

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年1月24日(24.01.2019)



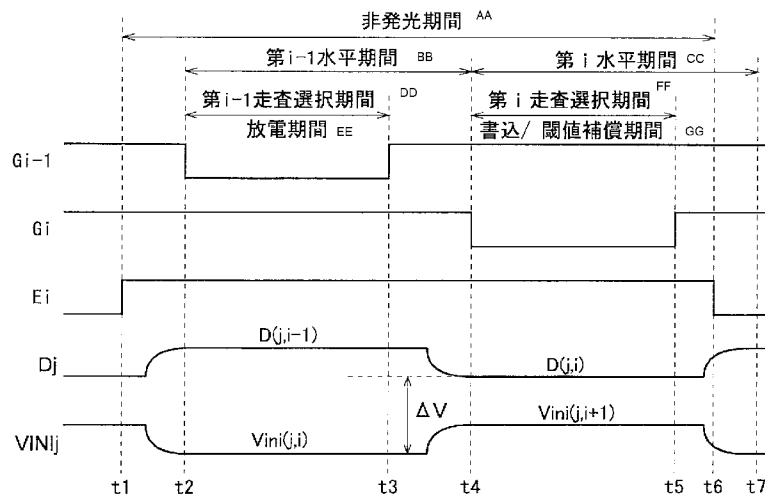
(10) 国際公開番号

WO 2019/016940 A1

- (51) 国際特許分類:
G09G 3/3233 (2016.01) G09G 3/3291 (2016.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2017/026455
- (22) 国際出願日: 2017年7月21日(21.07.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).
- (72) 発明者: 小林 史幸(KOBAYASHI, Fumiyuki).
- (74) 代理人: 島田 明宏, 外 (SHIMADA, Akihiro et al.); 〒6340078 奈良県橿原市八木町1丁目10番3号 葛盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: DISPLAY DEVICE AND DRIVING METHOD THEREOF

(54) 発明の名称: 表示装置およびその駆動方法



AA Non-light emitting period
BB $i-1^{th}$ horizontal period
CC i^{th} horizontal period
DD $i-1^{th}$ scanning selection period
EE Discharge period
FF i^{th} scanning selection period
GG Writing/threshold value compensation period

(57) **Abstract:** The present application discloses an organic EL display device capable of performing a sufficient threshold value compensation in a pixel circuit regardless of a gradation value of each pixel of an image to be displayed without adding a configuration to the pixel circuit or changing the configuration of the pixel circuit. An initialization signal line VINIj is arranged along each data signal line Dj in a display unit. Before writing a data signal D(j, i) as pixel data through the data signal line Dj corresponding to each pixel circuit Pix(j, i), a data signal line driving circuit initializes a gate voltage

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

V_g of a driving transistor M1 by supplying, to the pixel circuit Pix(j, i) through the corresponding initialization signal line VINI_j, an initialization signal Vini(j, i) for a value which has been obtained by subtracting a predetermined value ΔV (fixed value) from the value of the data signal D(j, i). Thus, a gate-source voltage V_{gs0} of a driving transistor at the start of a threshold value compensation operation in each pixel circuit Pix(j, i) becomes constant regardless of a gradation value indicated by the pixel data.

(57) 要約: 本願は、画素回路につき構成の追加や変更等を行うことなく、表示すべき画像の各画素の階調値に拘わらず画素回路で十分に閾値補償を行える有機EL表示装置を開示する。表示部において各データ信号線D_jに沿って初期化信号線VINI_jが配設されている。データ信号線駆動回路は、各画素回路Pix(j, i)に対応データ信号線D_jを介してデータ信号D(j, i)を画素データとして書き込む前に、当該データ信号D(j, i)の値から所定値ΔV(固定値)だけ減算した値の初期化信号Vini(j, i)を対応初期化信号線VINI_jを介して当該画素回路Pix(j, i)に与えることにより駆動トランジスタM1のゲート電圧V_gを初期化する。これにより、各画素回路Pix(j, i)での閾値補償動作の開始時点における駆動トランジスタのゲート・ソース間電圧V_{gs0}が画素データの示す階調値に拘わらず一定となる。

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] 本発明は表示装置に関し、より詳しくは、有機ＥＬ（Electro Luminescence）表示装置等の電流で駆動される表示素子を備えた表示装置およびその駆動方法に関する。

背景技術

[0002] 近年、有機エレクトロルミネッセンス（Electro Luminescence）素子（以下「有機ＥＬ素子」という）を含む画素回路を備えた有機ＥＬ表示装置が実用化されている。有機ＥＬ表示装置の画素回路は、有機ＥＬ素子に加えて、駆動トランジスタや、書き込み制御トランジスタ、保持キャパシタ等を含んでいる。駆動トランジスタや書き込み制御トランジスタには、薄膜トランジスタ（Thin Film Transistor）（以下「ＴＦＴ」という）が使用され、駆動トランジスタの制御端子としてのゲート端子に保持キャパシタが接続され、この保持キャパシタには、駆動回路からデータ信号線を介して、表示すべき画像を表す映像信号に応じた電圧（より詳しくは当該画素回路で形成すべき画素の階調値を示す電圧であり、以下「データ電圧」という）が与えられる。有機ＥＬ素子は、それに流れる電流の量に応じた輝度で発光する自発光型表示素子である。駆動トランジスタは、有機ＥＬ素子と直列に設けられ、保持キャパシタに保持される電圧にしたがって、有機ＥＬ素子に流れる電流の量を制御する。

[0003] 有機ＥＬ素子と駆動トランジスタの特性には、ばらつきや変動が発生する。このため、有機ＥＬ表示装置において高画質表示を行うためには、これらの素子の特性のばらつきや変動を補償する必要がある。有機ＥＬ表示装置については、素子の特性の補償を画素回路の内部で行う方法と、画素回路の外部で行う方法とが知られている。前者の方法では、駆動トランジスタのゲート端子の電圧すなわち保持キャパシタに保持される電圧を所定レベルに初期

化した後（以下、初期化された時点の当該ゲート端子の電圧を「初期電圧 V_{ini} 」という）、ダイオード接続状態とした駆動トランジスタを介してデータ電圧で保持キャパシタを充電する。これにより、駆動トランジスタにおける閾値電圧のばらつきや変動が補償される（以下、この閾値電圧のばらつきや変動の補償を「閾値補償」という）。

[0004] 上記のような有機EL表示装置に関連する事項が特許文献1～3に記載されている。例えば特許文献1には、有機発光素子を有する表示装置の画素回路において、駆動トランジスタM1の閾値電圧変動や階調データの変化に応じて初期化電圧を決定し、初期化電圧と階調データの電圧差を一定にすることが記載されている（段落[0041]～[0046]、[0067]）。また特許文献3では、EL表示装置における画素16を構成する駆動トランジスタ11aをリセット状態にするために印加されるリセット電圧 V_{rst} を映像信号電圧 V_{data} に応じて変化させる構成に言及されている（段落[0036]）。

先行技術文献

特許文献

[0005] 特許文献1：日本国特開2014-115543号公報

特許文献2：日本国特開2015-011267号公報

特許文献3：日本国特開2009-258227号公報

発明の概要

発明が解決しようとする課題

[0006] 上記のようにダイオード接続状態の駆動トランジスタを介して保持キャパシタを充電することにより閾値補償を行う有機EL表示装置では、この閾値補償に必要な時間（以下「閾値補償所要時間」という）は、その充電の開始時点における駆動トランジスタのゲート・ソース間電圧 V_{gs} （以下「初期ゲート・ソース間電圧 V_{gs0} 」という）に依存し、初期ゲート・ソース間電圧 V_{gs0} は初期電圧 V_{ini} とデータ電圧との差に相当する。通常、初

期電圧 V_{ini} として固定電圧が与えられるので、閾値補償所要時間はデータ電圧に依存することになり、当該画素回路によって形成すべき画素の階調値によって閾値補償所要時間が異なる。

[0007] 例えばPチャネル型TFTを駆動トランジスタとして使用する画素回路（後述の図2参照）では、高階調の画素を形成するときには（データ電圧が低いときには）、初期ゲート・ソース間電圧 V_{gs0} が小さいので、データ電圧による保持キャパシタの充電速度が低く、閾値補償所要時間が長くなる。この充電速度を上げるために初期電圧 V_{ini} として十分に低い電圧を使用することが考えられる。しかし、初期電圧 V_{ini} を低下させると、低階調の画素を形成するとき（データ電圧が高いとき）に、データ電圧と初期電圧 V_{ini} との差が大きいため、閾値補償所要時間が長くなる。一方、近年の表示画像の高精細化に伴って水平期間が短くなると、データ電圧による保持キャパシタの充電に確保可能な時間も短くなる。このため、画素の階調値によっては閾値補償所要時間が不足し、表示品質が低下することがある。

[0008] これに対し特許文献1の上記表示装置では、初期化電圧と階調データの電圧差を一定にすることで良好な補償性能を確保することができる。しかし、特許文献1の上記表示装置では、初期化電圧と階調データの電圧差を一定にするためのプリデータ書き込み動作およびそのための構成が各画素回路において必要となる。また特許文献3には、初期化電圧と階調データの電圧差を一定にするための具体的な構成は開示されていない。

[0009] そこで、画素回路につき構成の追加・変更やプリデータ書き込み動作を必要とすることなく、表示すべき画像の各画素の階調値に拘わらず画素回路で十分に閾値補償を行える有機EL表示装置等の電流駆動型の表示装置を提供することが望まれている。

課題を解決するための手段

[0010] 本発明のいくつかの実施形態に係る表示装置は、複数のデータ信号線と、前記複数のデータ線に交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画

素回路とを有する表示装置であって、

前記複数のデータ信号線にそれぞれ対応するように配設された複数の初期化信号線と、

前記複数のデータ信号線を駆動するデータ信号線駆動回路と、

前記複数の走査信号線を選択的に駆動する走査信号線駆動回路とを備え、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか 1 つに対応するとともに前記複数の走査信号線のいずれか 1 つに対応し、

各画素回路は、電流によって駆動される表示素子と、前記表示素子と直列に接続され前記表示素子の駆動電流を制御する駆動トランジスタと、前記駆動トランジスタの制御端子に接続され前記表示素子の駆動電流を制御するための電圧を保持する保持キャパシタとを含み、対応する走査信号線が選択状態となる前に対応する初期化信号線の電圧が前記保持キャパシタに与えられ、当該対応する走査信号線が選択状態のときに前記駆動トランジスタがダイオード接続状態となって対応するデータ信号線の電圧が前記駆動トランジスタを介して前記保持キャパシタに与えられるように構成されており、

前記データ信号線駆動回路は、

表示すべき画像を表す複数のデータ信号を所定時間だけ遅延させた複数の駆動用データ信号をアナログ電圧信号の形態で生成し、当該複数の駆動用データ信号を前記複数のデータ信号線にそれぞれ印加する駆動用信号生成回路と、

前記複数のデータ信号のそれぞれの値に対し同一の所定値を前記画素回路の構成に応じて減算または加算することにより得られる複数の値をそれぞれ有する複数の初期化信号をアナログ電圧信号の形態で生成し、当該複数の初期化信号を前記複数の初期化信号線に印加する初期化信号生成回路とを含む。

[0011] 本発明の他のいくつかの実施形態に係る駆動方法は、複数のデータ信号線と、前記複数のデータ線に交差する複数の走査信号線と、前記複数のデータ

信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素回路とを有する表示装置の駆動方法であって、

前記表示装置は、前記複数のデータ信号線にそれぞれ対応するように配設された複数の初期化信号線を更に有し、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか1つに対応するとともに前記複数の走査信号線のいずれか1つに対応し、

各画素回路は、電流によって駆動される表示素子と、前記表示素子と直列に接続され前記表示素子の駆動電流を制御する駆動トランジスタと、前記駆動トランジスタの制御端子に接続され前記表示素子の駆動電流を制御するための電圧を保持する保持キャパシタとを含み、対応する走査信号線が選択状態となる前に対応する初期化信号線の電圧が前記保持キャパシタに与えられ、当該対応する走査信号線が選択状態のときに前記駆動トランジスタがダイオード接続状態となって対応するデータ信号線の電圧が前記駆動トランジスタを介して前記保持キャパシタに与えられるように構成されており、

前記駆動方法は、

前記複数のデータ信号線を駆動するデータ信号線駆動ステップと、

前記複数の走査信号線を順次に選択する走査信号線駆動ステップとを備え、

前記データ信号線駆動ステップは、

表示すべき画像を表す複数のデータ信号を所定時間だけ遅延させた複数の駆動用データ信号をアナログ電圧信号の形態で生成するステップと、

前記複数の駆動用データ信号を前記複数のデータ信号線にそれぞれ印加するステップと、

前記複数のデータ信号のそれぞれの値に対し同一の所定値を前記画素回路の構成に応じて減算または加算することにより得られる複数の値をそれぞれ有する複数の初期化信号をアナログ電圧信号の形態で生成するステップと、

前記生成された複数の初期化信号を前記複数の初期化信号線に印加する

ステップとを含む。

発明の効果

[0012] 本発明の上記いくつかの実施形態では、各画素回路は、対応する走査信号線が選択状態となる前に対応する初期化信号線の電圧が保持キャパシタに与えられ、対応する走査信号線が選択状態のときに駆動トランジスタがダイオード接続状態となって対応するデータ信号線の電圧が駆動トランジスタを介して保持キャパシタに与えられるように構成されている。また、上記複数のデータ信号線には、表示すべき画像を表す複数のデータ信号を所定時間だけ遅延させた複数の駆動用データ信号がアナログ電圧信号の形態で印加され、上記複数の初期化信号線には、当該複数のデータ信号のそれぞれの値に対し同一の所定値を画素回路の構成に応じて減算または加算することにより得られる複数の値をそれぞれ有する複数の初期化信号がアナログ電圧信号の形態で印加される。その結果、各画素回路では、対応する走査信号線の選択期間の前に、当該選択期間に保持キャパシタに与えるべきデータ信号線の電圧に対し同一の所定電圧（所定値）を減算または加算した電圧が初期化電圧として保持キャパシタに与えられており、駆動トランジスタの制御端子の電圧は当該初期化電圧に等しくなっている。このため、当該選択期間の開始時点では、駆動トランジスタにおける当該制御端子とデータ信号線側の導通端子との間の電圧は、対応するデータ信号線の電圧（書き込むべき画素データを示す電圧）に拘わらず同一の所定値となる。この所定値が大きくなると保持キャパシタでの充電量が多くなるが、この充電量と補償速度を勘案して閾値補償所要時間を短縮するという観点から予め当該所定値を決定しておくことにより、表示すべき画像の各画素の階調値に拘わらず各画素回路内での駆動トランジスタの閾値電圧のばらつきや変動を十分に補償することができる。

図面の簡単な説明

[0013] [図1]第1の実施形態に係る表示装置の全体構成を示すブロック図である。

[図2]上記第1の実施形態における画素回路の構成を示す回路図である。

[図3]上記第1の実施形態に係る表示装置の駆動を説明するための信号波形図

である。

[図4]上記第1の実施形態における画素回路内の駆動トランジスタの制御端子の初期化動作を説明するためのブロック図である。

[図5]第2の実施形態に係る表示装置の全体構成を示すブロック図である。

[図6]第3の実施形態に係る表示装置の全体構成を示すブロック図である。

[図7]上記第3の実施形態におけるデータ信号線駆動回路に含まれるデマルチプレクサの構成を説明するための回路図である。

[図8]上記第3の実施形態に係る表示装置の駆動を説明するための信号波形図である。

[図9]上記第3の実施形態における画素回路内の駆動トランジスタの制御端子の初期化動作を説明するための回路図である。

発明を実施するための形態

[0014] 以下、添付図面を参照しながら各実施形態について説明する。なお、以下で言及する各トランジスタにおいて、ゲート端子は制御端子に相当し、ドレイン端子およびソース端子の一方は第1導通端子に相当し、他方は第2導通端子に相当する。また、各実施形態におけるトランジスタはすべてPチャネル型であるものとして説明するが、本発明はこれに限定されない。さらに、各実施形態におけるトランジスタは例えば薄膜トランジスタであるが、本発明はこれに限定されない。さらにまた、本明細書における「接続」とは、特に断らない限り「電氣的接続」を意味し、本発明の要旨を逸脱しない範囲において、直接的な接続を意味する場合のみならず、他の素子を介した間接的な接続を意味する場合も含むものとする。

[0015] <1. 第1の実施形態>

<1. 1 全体構成>

図1は、第1の実施形態に係る表示装置10の全体構成を示すブロック図である。この表示装置10は、内部補償を行う有機EL表示装置である。すなわち、この表示装置10では、各画素回路に画素データを書き込む際に、当該画素回路内においてダイオード接続状態の駆動トランジスタを介して保

持キャパシタをデータ信号の電圧（データ電圧）で充電することにより当該駆動トランジスタの閾値電圧のばらつきや変動が補償される（詳細は後述）。

[0016] 図1に示すように、この表示装置10は、表示部11、表示制御回路20、データ側駆動回路（「データドライバ」とも呼ばれる）30、および、走査信号線駆動／発光制御回路40を備えている。走査信号線駆動／発光制御回路40は、走査信号線駆動回路（「ゲートドライバ」とも呼ばれる）と発光制御回路（エミッションドライバとも呼ばれる）の兼用回路であるが、これに代えて、走査信号線駆動回路と発光制御回路とが分離された構成であってもよい。また、走査信号線駆動／発光制御回路40は表示部11と一体的に形成されていてもよい。これらの点は、後述の他の実施形態や変形例においても同様である。

[0017] 表示部11には、 m 本（ m は2以上の整数）のデータ信号線 $D_1 \sim D_m$ と、これらに交差する $n+1$ 本（ n は2以上の整数）の走査信号線 $G_0 \sim G_n$ とが配設されており、 n 本の走査信号線 $G_1 \sim G_n$ にそれぞれ沿って n 本の発光制御線（「エミッションライン」とも呼ばれる） $E_1 \sim E_n$ が配設され、 m 本のデータ信号線 $D_1 \sim D_m$ にそれぞれ沿って m 本の初期化信号線 $V_{IN1} \sim V_{INm}$ が配設されている。また図1に示すように、表示部11には $m \times n$ 個の画素回路15が設けられており、これら $m \times n$ 個の画素回路15は、 m 本のデータ信号線 $D_1 \sim D_m$ および n 本の走査信号線 $G_1 \sim G_n$ に沿ってマトリクス状に配置されており、各画素回路15は、 m 本のデータ信号線 $D_1 \sim D_m$ のいずれか1つに対応するとともに n 本の走査信号線 $G_1 \sim G_n$ のいずれか1つに対応する（以下、各画素回路15を区別する場合には、 i 番目の走査信号線 G_i および j 番目のデータ信号線 D_j に対応する画素回路を「 i 行 j 列目の画素回路」といい、符号“ $P_{ix}(j, i)$ ”で示すものとする）。 m 本の初期化信号線 $V_{IN1} \sim V_{INm}$ は m 本のデータ信号線 $D_1 \sim D_m$ にそれぞれ対応し、 n 本の発光制御線 $E_1 \sim E_n$ は n 本の走査信号線 $G_1 \sim G_n$ にそれぞれ対応する。したがって、各画素回路15

は、 m 本の初期化信号線 $V_{IN1} \sim V_{INm}$ のいずれか1つにも対応し、さらに、 n 本の発光制御線 $E_1 \sim E_n$ のいずれか1つにも対応する。 m 本のデータ信号線 $D_1 \sim D_m$ および m 本の初期化信号線 $V_{IN1} \sim V_{INm}$ はデータ側駆動回路30に接続されており、このデータ側駆動回路30はデータ信号線駆動回路として機能する。 $n+1$ 本の走査信号線 $G_0 \sim G_n$ および n 本の発光制御線 $E_1 \sim E_n$ は走査側駆動／発光制御回路40に接続されている。

[0018] また表示部11には、各画素回路15に共通の図示しない電源線が配設されている。より詳細には、後述の有機EL素子を駆動するためのハイレベル電源電圧 $ELVDD$ を供給するための電源線（以下「ハイレベル電源線」といい、ハイレベル電源電圧と同じく符号 $ELVDD$ で表す。）および有機EL素子を駆動するためのローレベル電源電圧 $ELVSS$ を供給するための電源線（以下「ローレベル電源線」といい、ローレベル電源電圧と同じく符号 $ELVSS$ で表す。）が配設されている。これらの電圧 $ELVDD$ 、 $ELVSS$ は、図示しない電源回路から供給される。

[0019] 表示制御回路20は、表示すべき画像を表す画像情報および画像表示のためのタイミング制御情報を含む入力信号 S_{in} を表示装置10の外部から受け取り、この入力信号 S_{in} に基づきデータ側制御信号 S_{cd} および走査側制御信号 S_{cs} を生成し、データ側制御信号 S_{cd} をデータ側駆動回路（データ信号線駆動回路）30に、走査側制御信号 S_{cs} を走査信号線駆動／発光制御回路40にそれぞれ出力する。

[0020] 図1に示すようにデータ側駆動回路30は、直並列変換／ラッチ回路32、データ信号遅延回路34、ルックアップテーブル（以下「LUT」と略記する）36、および、初期／データ電圧生成回路38を含んでいる。このデータ側駆動回路30は、データ信号線 $D_1 \sim D_m$ を駆動するためのデータ信号 $D(1, i) \sim D(m, i)$ を生成する駆動用信号生成回路として機能するとともに、初期化信号線 $V_{IN1} \sim V_{INm}$ に与えるべき初期化信号 $V_{ini}(1, i+1) \sim V_{ini}(m, i+1)$ を生成する初期化信号生

成回路としても機能する（この点は、後述の第2の実施形態におけるデータ側駆動回路30bについても同様である）。表示制御回路20からデータ側駆動回路30に与えられる上記データ側制御信号Scdには、表示すべき画像を表すデジタル画像信号DA、データ側スタートパルス信号DSP、データ側クロック信号DCK、および、ラッチパルス信号LS等が含まれており、直並列変換／ラッチ回路32は、これらの信号に基づき、表示すべき画像を表すデジタル画像信号DAを直列形式から並列形式に変換し、ラッチパルス信号LSに基づき、表示すべき画像の1行分のデータを1水平期間毎に並列に出力する。表示部11におけるi番目の走査信号線がアクティブ（本実施形態ではローレベル）となる水平期間を「第i水平期間」（ $i = 1 \sim n$ ）と呼ぶものとする、直並列変換／ラッチ回路32は、第i-1水平期間の直前において、第i水平期間に表示部11に書き込むべき1行分の画像データに相当するm個の内部デジタル信号 $d(1, i) \sim d(m, i)$ を並列に出力し、当該第i-1水平期間の間、内部デジタル信号 $d(1, i) \sim d(m, i)$ の出力を維持する（後述の図3、図4参照）。データ信号遅延回路34は、直並列変換／ラッチ回路32から出力される1行分の内部デジタル信号 $d(1, i) \sim d(m, i)$ を1水平期間だけ遅延させる。これにより、これらの内部デジタル信号 $d(1, i) \sim d(m, i)$ は第i水平期間においてデータ信号遅延回路34から出力される。この第i水平期間では、図1に示すように、直並列変換／ラッチ回路32からは、第i+1水平期間に表示部11に書き込むべき1行分の画像データに相当するm個の内部デジタル信号 $d(1, i+1) \sim d(m, i+1)$ が並列に出力される。

[0021] LUT36は、直並列変換／ラッチ回路32から出力される各内部デジタル信号 $d(j, i+1)$ をその値から後述の所定値 $\Delta V (> 0)$ だけ減算した値を有する信号に変換するように構成されている（ $j = 1 \sim m$ ）。すなわちLUT36は、各内部デジタル信号 $d(j, i+1)$ の値から所定値 ΔV だけ減算するデジタル演算回路として機能し、減算結果に相当するm個の信号を初期化デジタル信号として出力する。ここで所定値 ΔV は、固定値であ

り、後述の補償速度やデータ書き込み時の充電量を考慮してその適切な値が予め決定される。

[0022] 初期／データ電圧生成回路38は、DA変換器として機能し、データ信号遅延回路34から出力されるmの内部デジタル信号 $d(1, i) \sim d(m, i)$ をm個のアナログ電圧信号であるデータ信号 $D(1, i) \sim D(m, i)$ にそれぞれ変換する第1DA変換回路と、LUT36から出力されるm個の初期化デジタル信号をm個のアナログ電圧信号である初期化信号 $V_{ini}(1, i+1) \sim V_{ini}(m, i+1)$ にそれぞれ変換する第2DA変換回路とを含んでいる。また、初期／データ電圧生成回路38は、電圧ホロア等を用いて実現される出力バッファ回路を有し、第i水平走査期間において、上記データ信号 $D(1, i) \sim D(m, i)$ を当該出力バッファ回路を介して出力し表示部11におけるデータ信号線 $D1 \sim Dm$ にそれぞれ印加するとともに、上記初期化信号 $V_{ini}(1, i+1) \sim V_{ini}(m, i+1)$ を当該出力バッファ回路を介して出力し表示部11における初期化信号線 $V_{IN1} \sim V_{INm}$ にそれぞれ印加する。なお、データ信号 $D(j, i)$ はi行j列目の画素回路 $P_{ix}(j, i)$ に書き込むべき画素データを示している。

[0023] 走査信号線駆動／発光制御回路40は、表示制御回路20からの走査側制御信号 S_{cs} に基づき走査信号線 $G0 \sim Gn$ および発光制御線 $E1 \sim En$ を駆動する。より詳細には、走査信号線駆動／発光制御回路40は、走査側制御信号 S_{cs} に基づき走査信号線 $G0 \sim Gm$ の中から1本の走査信号線を順に選択し、選択した走査信号線 Gk に対してアクティブな信号（ローレベル電圧）を印加する。これにより、選択された走査信号線 Gk ($1 \leq k \leq n$) に対応したm個の画素回路 $P_{ix}(1, k) \sim P_{ix}(m, k)$ が一括して選択される。上述のようにデータ側駆動回路30は、第k水平期間において、データ側制御信号 S_{cd} に基づきデジタル画像信号DAに応じたm個のデータ信号 $D(1, k) \sim D(m, k)$ をデータ信号線 $D1 \sim Dm$ にそれぞれ印加する。これにより、選択されたm個の画素回路 $P_{ix}(1, k) \sim P_{ix}(m, k)$

$x(m, k)$ に m 個のデータ信号 $D(1, k) \sim D(m, k)$ の電圧が画素データとしてそれぞれ書き込まれる。また走査信号線駆動／発光制御回路 40 は、 i 番目の発光制御線 E_i に対し、第 $i-1$ 水平期間および第 i 水平期間では非発光を示す発光制御信号（ハイレベル電圧）を印加し、それ以外の期間では発光を示す発光制御信号（ローレベル電圧）を印加する。 i 番目の走査信号線 G_i に対応する画素回路（以下「 i 行目の画素回路」ともいう） $P_{ix}(1, i) \sim P_{ix}(m, i)$ 内の有機 EL 素子は、発光制御線 E_i の電圧がローレベルである間すなわち発光制御線 E_i が選択状態である間、画素回路 $P_{ix}(1, i) \sim P_{ix}(m, i)$ にそれぞれ書き込まれたデータ電圧に応じた輝度で発光する。

[0024] <1. 2 画素回路の構成>

図 2 は、画素回路 15 の構成を示す回路図、より詳しくは、 i 番目の走査信号線 G_i および j 番目のデータ信号線 D_j に対応する画素回路 $P_{ix}(j, i)$ の構成を示す回路図である（ $1 \leq i \leq n$ 、 $1 \leq j \leq m$ ）。図 2 に示すように画素回路 15 は、有機 EL 素子 OLED、駆動トランジスタ M1、書込用トランジスタ M2、補償用トランジスタ M3、初期化用トランジスタ M4、電源供給用トランジスタ M5、発光制御用トランジスタ M6、および、データ電圧を保持するためのデータ保持キャパシタ C1 を含んでいる。

[0025] 画素回路 15 には、それに対応する走査信号線（画素回路に注目した説明において便宜上「対応走査信号線」という） G_i 、対応走査信号線 G_i の直前の走査信号線（走査信号線 $G_1 \sim G_n$ の走査順における直前の走査信号線であり、画素回路に注目した説明において便宜上「先行走査信号線」という） G_{i-1} 、それに対応する発光制御線（画素回路に注目した説明において便宜上「対応発光制御線」という） E_i 、それに対応するデータ信号線（画素回路に注目した説明において便宜上「対応データ信号線」という） D_j 、それに対応する初期化信号線（画素回路に注目した説明において便宜上「対応初期化信号線」という） V_{INIj} 、ハイレベル電源線 $ELVDD$ 、および、ローレベル電源線 $ELVSS$ が接続されている。

[0026] 画素回路15では、書込用トランジスタM2は、対応走査信号線G_iにゲート端子が接続され、対応データ信号線D_jにソース端子が接続されており、スイッチング素子として機能する。書込用トランジスタM2は、対応走査信号線G_iの選択に応じて、対応データ信号線D_jの電圧すなわちデータ信号D(j, i)の電圧をデータ電圧として駆動トランジスタM1に供給する。駆動トランジスタM1の第1導通端子としてのソース端子は、書込用トランジスタM2のドレイン端子に接続されている。駆動トランジスタM1は、ゲート・ソース間電圧V_{gs}に応じた駆動電流Iを有機EL素子OLEDに供給する。補償用トランジスタM3は、駆動トランジスタM1の制御端子としてのゲート端子と第2導通端子としてのドレイン端子との間に設けられており、スイッチング素子として機能する。補償用トランジスタM3のゲート端子は対応走査信号線G_iに接続されている。補償用トランジスタM3は、対応走査信号線G_iの選択に応じて駆動トランジスタM1をダイオード接続状態にする。

[0027] 初期化用トランジスタM4は、先行走査信号線G_{i-1}にゲート端子が接続され、駆動トランジスタM1のゲート端子と対応初期化信号線V_{INIj}との間に設けられており、スイッチング素子として機能する。この初期化用トランジスタM4は、先行走査信号線G_{i-1}の選択に応じて、対応初期化信号線V_{INIj}の電圧すなわち初期化信号V_{ini(j, i)}の電圧をデータ保持キャパシタC1に与えることにより駆動トランジスタM1のゲート端子の電圧（以下「ゲート電圧」という）V_gを初期化する。

[0028] 電源供給用トランジスタM5は、発光制御線E_iにゲート端子が接続され、ハイレベル電源線ELVDDと駆動トランジスタM1の第1導通端子との間に設けられてており、スイッチング素子として機能する。電源供給用トランジスタM5は、発光制御線E_iの選択に応じてハイレベル電源電圧ELVDDを駆動トランジスタM1の第1導通端子としてのソース端子に供給する。発光制御用トランジスタM6は、発光制御線E_iにゲート端子が接続され、駆動トランジスタM1の第2導通端子としてのドレイン端子と有機EL素

子O L E Dのアノードとの間に設けられており、スイッチング素子として機能する。発光制御用トランジスタM 6は、発光制御線E iの選択に応じて上記駆動電流Iを有機E L素子O L E Dに伝達する。

[0029] データ保持キャパシタC 1は、その第1端子がハイレベル電源線E L V D Dに接続され、その第2端子が駆動トランジスタM 1のゲート端子に接続されている。このデータ保持キャパシタC 1は、対応走査信号線G iが選択状態であるときに対応データ信号線D jの電圧（データ電圧）で充電され、この充電によって書き込まれたデータ電圧を保持することで、対応走査信号線G iが非選択状態であるときに駆動トランジスタM 1のゲート電圧V gを維持する。なお既述のように、先行走査信号線G i - 1の選択に応じて対応初期化信号線V I N I jの電圧がこのデータ保持キャパシタC 1（の第2端子）に与えられることにより駆動トランジスタM 1のゲート電圧V gが初期化される。

[0030] 有機E L素子O L E Dは、アノードが発光制御用トランジスタM 6を介して駆動トランジスタM 1の第2導通端子に接続され、カソードがローレベル電源線E L V S Sに接続されている。有機E L素子O L E Dは、上記駆動電流Iに応じた輝度で発光する。

[0031] < 1. 3 駆動方法 >

次に、本実施形態に係る表示装置10の駆動方法につき、図2に示したi行j列目の画素回路P i x (j , i)に着目し図1～図4を参照して説明する。図3は、本実施形態に係る表示装置10の駆動を説明するための信号波形図であり、図4は、本実施形態における画素回路P i x (j , i)の駆動トランジスタM 1のゲート端子の初期化動作を説明するためのブロック図である。

[0032] 図3は、i行j列目の画素回路P i x (j , i)における初期化および画素データ書込における各信号の変化を示している。図3において、時刻t 1～t 6の期間は、i行目の画素回路P i x (1 , i)～P i x (m , i)の非発光期間である。時刻t 2～t 4の期間は第i - 1水平期間であり、時刻

$t_2 \sim t_3$ の期間は $i-1$ 番目の走査信号線 G_{i-1} の選択期間（「第 $i-1$ 走査選択期間」または単に「走査選択期間」という）である。この走査選択期間（ $t_2 \sim t_3$ ）は、 i 行目の画素回路 $P_{ix}(1, i) \sim P_{ix}(m, i)$ の放電期間に相当し、 $i-1$ 行目の画素回路 $P_{ix}(1, i-1) \sim P_{ix}(m, i-1)$ の書込／閾値補償期間にも相当する。時刻 $t_4 \sim t_7$ の期間は第 i 水平期間であり、時刻 $t_4 \sim t_5$ の期間は i 番目の走査信号線 G_i の選択期間（「第 i 走査選択期間」または単に「走査選択期間」という）である。この走査選択期間（ $t_4 \sim t_5$ ）は、 i 行目の画素回路 $P_{ix}(1, i) \sim P_{ix}(m, i)$ の書込／閾値補償期間に相当し、 $i+1$ 行目の画素回路 $P_{ix}(1, i+1) \sim P_{ix}(m, i+1)$ の放電期間にも相当する。

[0033] i 行 j 列目の画素回路 $P_{ix}(j, i)$ では、図3に示すように時刻 t_1 において発光制御線 E_i の電圧がローレベルからハイレベルに変化すると、発光制御用トランジスタ M_6 はオン状態からオフ状態に変化し、有機EL素子OLEDは非発光状態となる。この時刻 t_1 から第 $i-1$ 走査選択期間の開始時点 t_2 までの間に、データ側駆動回路30により、データ信号線 D_j にデータ信号 $D(j, i-1)$ が印加され、初期化信号線 V_{ini_j} に初期化信号 $V_{ini}(j, i)$ が印加される。このときのデータ側駆動回路30の動作を図4を参照して説明する。

[0034] 時刻 t_1 から第 $i-1$ 水平期間の開始時点 t_2 までの間に、直並列変換／ラッチ回路32は、第 i 水平期間において表示部11の i 行目の画素回路 $P_{ix}(1, i) \sim P_{ix}(m, i)$ に書き込むべき1行分の画像データに相当する m 個の内部デジタル信号 $d(1, i) \sim d(m, i)$ を並列に出力し（図4参照）、少なくとも第 $i-1$ 走査選択期間（ $t_2 \sim t_3$ ）の間、内部デジタル信号 $d(1, i) \sim d(m, i)$ の出力を維持する。データ信号遅延回路34は、この1行分の内部デジタル信号 $d(1, i) \sim d(m, i)$ を1水平期間だけ遅延させる。したがって、これらの内部デジタル信号 $d(1, i) \sim d(m, i)$ は第 i 水平期間においてデータ信号遅延回路34か

ら出力される（図 1 参照）。

[0035] また、時刻 t_1 から第 $i-1$ 水平期間の開始時点 t_2 までの間に、データ信号遅延回路 34 に記憶されている 1 行分の内部デジタル信号 $d(1, i-1) \sim d(m, i-1)$ がデータ信号遅延回路 34 から出力され、初期／データ電圧生成回路 38 に入力される。一方、直並列変換／ラッチ回路 32 から出力される内部デジタル信号 $d(1, i) \sim d(m, i)$ は、LUT 36 にも入力され、これにより、それぞれの値を所定値 ΔV だけ減算した値を有する m 個のデジタル信号に変換される。これら m 個のデジタル信号も、 m 個のデジタル初期化信号として初期／データ電圧生成回路 38 に入力される。

[0036] 図 4 に示すように初期／データ電圧生成回路 38 は、データ信号遅延回路 34 から出力される m の内部デジタル信号 $d(1, i-1) \sim d(m, i-1)$ を m 個のアナログ電圧信号であるデータ信号 $D(1, i-1) \sim D(m, i-1)$ にそれぞれ変換する。これらのデータ信号 $D(1, i-1) \sim D(m, i-1)$ は、少なくとも第 $i-1$ 走査選択期間 ($t_2 \sim t_3$) の間、表示部 11 におけるデータ信号線 $D1 \sim Dm$ にそれぞれ印加される（図 3 参照）。また初期／データ電圧生成回路 38 は、LUT 36 から出力される m 個の初期化デジタル信号を m 個のアナログ電圧信号である初期化信号 $V_{ini}(1, i) \sim V_{ini}(m, i)$ にそれぞれ変換する。これらの初期化信号 $V_{ini}(1, i) \sim V_{ini}(m, i)$ は、少なくとも第 $i-1$ 走査選択期間 ($t_2 \sim t_3$) の間、表示部 11 における初期化信号線 $V_{IN1} \sim V_{INm}$ にそれぞれ印加される（図 3 参照）。

[0037] 第 $i-1$ 選択走査期間 ($t_2 \sim t_3$) では、このようなデータ側駆動回路 30 の動作により、データ信号 $D(1, i-1) \sim D(m, i-1)$ の電圧がデータ信号線 $D1 \sim Dm$ を介して $i-1$ 行目の画素回路 $P_{ix}(1, i-1) \sim P_{ix}(m, i-1)$ にそれぞれ書き込まれる。また、このようなデータ側駆動回路 30 の動作により、初期化信号 $V_{in}(1, i) \sim V_{ini}(m, i)$ の電圧が初期化信号線 $V_{IN1} \sim V_{INm}$ を介して i 行目の画素回路 $P_{ix}(1, i) \sim P_{ix}(m, i)$ に初期化電圧としてそれぞれ

与えられる。このとき i 行目の各画素回路 $P_{i \times (j, i)}$ において、対応初期化信号線 V_{INj} の電圧が初期化用トランジスタ $M4$ を介してデータ保持キャパシタ $C1$ に与えられることで、データ保持キャパシタ $C1$ の電荷が放電されて駆動トランジスタ $M1$ のゲート電圧 V_g が初期化される。

[0038] 第 $i - 1$ 走査選択期間の終了時点 t_3 から第 i 水平期間の開始時点 t_4 までの間に、直並列変換／ラッチ回路 32 は、第 $i + 1$ 水平期間において表示部 11 の $i + 1$ 行目の画素回路 $P_{i \times (1, i + 1)} \sim P_{i \times (m, i + 1)}$ に書き込むべき 1 行分の画像データに相当する m 個の内部デジタル信号 $d(1, i + 1) \sim d(m, i + 1)$ を並列に出力し（図 1 参照）、少なくとも第 i 走査選択期間（ $t_4 \sim t_5$ ）の間、内部デジタル信号 $d(1, i + 1) \sim d(m, i + 1)$ の出力を維持する。データ信号遅延回路 34 は、直並列変換／ラッチ回路 32 から出力される 1 行分の内部デジタル信号 $d(1, i + 1) \sim d(m, i + 1)$ を 1 水平期間だけ遅延させる。

[0039] また、第 $i - 1$ 走査選択期間の終了時点 t_3 から第 i 水平期間の開始時点 t_4 までの間に、データ信号遅延回路 34 に記憶されている 1 行分の内部デジタル信号 $d(1, i) \sim d(m, i)$ がデータ信号遅延回路 34 から出力され、初期／データ電圧生成回路 38 に入力される。一方、直並列変換／ラッチ回路 32 から出力される内部デジタル信号 $d(1, i + 1) \sim d(m, i + 1)$ は、LUT 36 にも入力され、これにより、それぞれの値を所定値 ΔV だけ減算した値を有する m 個のデジタル信号に変換される。これら m 個のデジタル信号も、 m 個のデジタル初期化信号として初期／データ電圧生成回路 38 に入力される。

[0040] 図 1 に示すように初期／データ電圧生成回路 38 は、データ信号遅延回路 34 から出力される m の内部デジタル信号 $d(1, i) \sim d(m, i)$ を m 個のアナログ電圧信号であるデータ信号 $D(1, i) \sim D(m, i)$ にそれぞれ変換する。これらのデータ信号 $D(1, i) \sim D(m, i)$ は、少なくとも第 i 走査選択期間（ $t_4 \sim t_5$ ）の間、表示部 11 におけるデータ信号線 $D1 \sim Dm$ にそれぞれ印加される（図 3 参照）。また初期／データ電圧生

成回路 38 は、LUT 36 から出力される m 個の初期化デジタル信号を m 個のアナログ電圧信号である初期化信号 $V_{ini}(1, i+1) \sim V_{ini}(m, i+1)$ にそれぞれ変換する。これらの初期化信号 $V_{ini}(1, i+1) \sim V_{ini}(m, i+1)$ は、少なくとも第 i 走査選択期間 ($t_4 \sim t_5$) の間、表示部 11 における初期化信号線 $V_{IN1} \sim V_{INm}$ にそれぞれ印加される (図 3 参照)。

[0041] 第 i 選択走査期間 ($t_4 \sim t_5$) では、このようなデータ側駆動回路 30 の動作により、データ信号 $D(1, i) \sim D(m, i)$ の電圧がデータ信号線 $D1 \sim Dm$ を介して i 行目の画素回路 $P_{ix}(1, i) \sim P_{ix}(m, i)$ にそれぞれ書き込まれる。このとき i 行目の各画素回路 $P_{ix}(j, i)$ ($j = 1 \sim m$) において、対応データ信号線 D_j の電圧がダイオード接続状態の駆動トランジスタ $M1$ を介してデータ保持キャパシタ $C1$ に与えられることで、当該駆動トランジスタ $M1$ の閾値電圧のばらつきや変動が補償される。このときの画素回路の動作を、 i 行 j 列目の画素回路 $P_{ix}(j, i)$ に着目し図 2 を参照して説明する。

[0042] i 行 j 列目の画素回路 $P_{ix}(j, i)$ では、第 $i-1$ 走査選択期間 ($t_2 \sim t_3$) において、初期化用トランジスタ $M4$ がオン状態であり、対応初期化信号線 V_{INj} の電圧が初期化用トランジスタ $M4$ を介してデータ保持キャパシタ $C1$ に与えられることで、駆動トランジスタ $M1$ のゲート電圧 V_g が初期化信号 $V_{ini}(j, i)$ の電圧に初期化される。この初期化信号 $V_{ini}(j, i)$ は、データ側駆動回路 30 における既述の動作により生成されるアナログ電圧信号であって (図 4 参照)、内部デジタル信号 $d(j, i)$ の値から所定値 ΔV だけ減算した値を有している。このため、この初期化信号 $V_{ini}(j, i)$ は次式のように表すことができる。

$$V_{ini}(j, i) = D(j, i) - \Delta V \quad \dots (1)$$

[0043] したがって、第 i 走査選択期間の開始時点 t_4 では、駆動トランジスタ $M1$ のゲート電圧 V_g は、上式 (1) により示される初期化信号 $V_{ini}(j, i)$ の値となっている。第 i 走査選択期間 ($t_4 \sim t_5$) では、書込用ト

ランジスタM2および補償用ランジスタM3がオン状態であり、対応データ信号線Djの電圧すなわちデータ信号D(j, i)の電圧が書込用ランジスタM2およびダイオード接続状態の駆動ランジスタM1を介してデータ保持キャパシタC1に与えられる。これにより、駆動ランジスタM1のゲート電圧Vgは、データ信号D(j, i)に応じた値に向かって変化する。すなわち、駆動ランジスタM1の閾値電圧をVth(<0)とすると、第i選択走査期間(t4~t5)においてゲート電圧Vgは、初期化信号Vinij, i)の値からD(j, i) - |Vth|に向かって変化する。ここでは説明の便宜上、第i走査選択期間の終了時点t5においてゲート電圧VgはD(j, i) - |Vth|に到達しているものとする。

[0044] 時刻t5において、書込用ランジスタM2および補償用ランジスタM3はオフ状態に変化し、時刻t5以降、データ保持キャパシタC1は $ELVDD - D(j, i) + |Vth|$ で示される電圧を保持する。

[0045] その後、時刻t6において、発光制御線Eiの電圧がローレベルに変化する。これに伴い、電源供給用ランジスタM5および発光制御用ランジスタM6がオン状態に変化する。時刻t6以降、ハイレベル電源線ELVDDから電源供給用ランジスタM5、駆動ランジスタM1、発光制御用ランジスタM6、および、有機EL素子OLEDを経由してローレベル電源線ELVSSに電流が流れる。この電流I1は、駆動ランジスタM1のゲート・ソース間電圧をVgs(>0)とすると、駆動ランジスタM1の特性に関する定数Kを用いて次式で示される。

$$I1 = K (Vgs - |Vth|)^2 \quad \dots (2)$$

電源供給用ランジスタM5がオン状態のとき、駆動ランジスタM1のゲート・ソース間電圧Vgsは、データ保持キャパシタC1に保持される電圧に相当し、

$$Vgs = ELVDD - D(j, i) + |Vth| \quad \dots (3)$$

である。したがって、上記電流I1は次式で与えられる。

$$I1 = K (ELVDD - D(j, i) + |Vth| - |Vth|)^2$$

$$=K (ELVDD - D(j, i))^2 \quad \dots (4)$$

[0046] このように時刻 t_6 以降、有機EL素子OLEDは、駆動トランジスタM1の閾値電圧 V_{th} にかかわらず、画素回路 $P_{ix}(j, i)$ にデータ電圧として書き込まれたデータ信号 $D(j, i)$ の電圧に応じた輝度で発光する。

[0047] <1. 4 作用および効果>

上記のように i 行 j 列目の画素回路 $P_{ix}(j, i)$ において、第 i 走査選択期間 ($t_4 \sim t_5$) は、データ信号 $D(j, i)$ の電圧がデータ電圧 (画素データ) としてデータ保持キャパシタ C_1 に書き込まれる期間であり、このときダイオード接続状態の駆動トランジスタM1を介してデータ電圧を書き込むことで閾値電圧のばらつきや変動が補償される。このため、第 i 走査選択期間 ($t_4 \sim t_5$) は閾値補償期間に相当する。駆動トランジスタM1の閾値電圧の補償速度は閾値補償期間の開始時点 t_4 における当該駆動トランジスタM1のゲート・ソース間電圧すなわち初期ゲート・ソース間電圧 V_{gs0} に依存し、初期ゲート・ソース間電圧 $V_{gs0} (>0)$ が大きいほど補償速度が大きくなる。

[0048] 本実施形態では、第 i 走査選択期間の開始時点 t_4 における駆動トランジスタM1のゲート電圧 V_g は $V_{ini}(j, i) = D(j, i) - \Delta V$ であるので、初期ゲート・ソース間電圧 V_{gs0} は次式で表される。

$$\begin{aligned} V_{gs0} &= D(j, i) - V_{ini}(j, i) \\ &= \Delta V \quad \dots (5) \end{aligned}$$

既述のように所定値 $\Delta V (>0)$ は固定値であるので、補償速度は、画素回路 $P_{ix}(j, i)$ に書き込むべきデータ電圧 (データ信号 $D(j, i)$) に依存しない。

[0049] 上記より、所定値 $\Delta V (=D(j, i) - V_{ini}(j, i))$ を大きくするほど、補償速度が大きくなるが、閾値補償期間としての選択走査期間 ($t_4 \sim t_5$) においてデータ保持キャパシタ C_1 における充電量 (蓄積すべき電荷量) が大きくなる。そこで本実施形態では、この充電量と補償速度を

勘案して閾値補償所要時間を短縮化するという観点から、計算機シミュレーションや実験等に基づき適切な所定値 ΔV が予め決定される。

[0050] このようにして本実施形態では、各画素回路 $P_{ix}(j, i)$ に与えるべき初期化信号 $V_{ini}(j, i)$ はデータ信号 $D(j, i)$ の値から上記所定値 ΔV を減算した値の信号として生成されることから、閾値補償期間の開始時点のゲート・ソース間電圧 V_{gs} すなわち初期ゲート・ソース間電圧 V_{gs0} は上記所定値 ΔV に等しくなる。したがって本実施形態によれば、表示装置の高解像度化によって水平期間が短くなっても、表示すべき画像の各画素の階調値に拘わらず各画素回路内の駆動トランジスタの閾値電圧のばらつきや変動の補償（内部補償）を十分に行うことができる。

[0051] <2. 第2の実施形態>

上記第1の実施形態におけるデータ側駆動回路30bでは、画素回路 $P_{ix}(1, i) \sim P_{ix}(m, i)$ に書き込むべき1行分の画像データに相当する m 個の内部デジタル信号 $d(1, i) \sim d(m, i)$ に対してデータ信号遅延回路34およびLUT36によるデジタル処理を施すことにより、1水平期間だけ遅延させた m 個の内部デジタル信号および m 個の初期化デジタル信号が生成され、これらをDA変換することにより、第 i 選択走査期間においてデータ信号線 $D1 \sim Dm$ に印加すべきアナログ電圧信号としてのデータ信号 $D(1, i) \sim D(m, i)$ が出力されるとともに、第 $i-1$ 走査選択期間において初期化信号線 $V_{IN1} \sim V_{INm}$ に印加すべき初期化信号 $V_{ini}(1, i) \sim V_{ini}(m, i)$ が出力される（図1、図3、図4）。しかし、データ側駆動回路30の構成は、このような構成に限定されるものではない。例えばデータ側駆動回路は、画素回路 $P_{ix}(1, i) \sim P_{ix}(m, i)$ に書き込むべき1行分の画像データに相当する m 個の内部デジタル信号 $d(1, i) \sim d(m, i)$ に対してまずDA変換を行うことにより、アナログ電圧信号としてデータ信号 $D(1, i) \sim D(m, i)$ を生成し、その後、これらデータ信号 $D(1, i) \sim D(m, i)$ に対しアナログ処理を施すことにより、第 i 選択走査期間においてデータ信号線 $D1 \sim$

D_m に印加すべきデータ信号 $D(1, i) \sim D(m, i)$ を出力するとともに、第 $i-1$ 走査選択期間において初期化信号線 $V_{IN1} \sim V_{INm}$ に印加すべき初期化信号 $V_{ini}(1, i) \sim V_{ini}(m, i)$ を出力するように構成されていてもよい。以下、このようなデータ側駆動回路を備える表示装置を第2の実施形態として説明する。

[0052] 図5は、第2の実施形態に係る表示装置10bの全体構成を示すブロック図である。この表示装置10bも、内部補償を行う有機EL表示装置である。

[0053] この表示装置10bでは、データ側駆動回路30bの構成が上記第1の実施形態におけるデータ側駆動回路30の構成と相違するが、その他の構成および当該他の構成の動作は上記第1の実施形態と同様である（図1～図3、図5参照）。そこで以下では、本実施形態の構成のうち上記第1の実施形態と同一部分には同一の参照符号を付して詳しい説明を省略する。以下、本実施形態につきデータ側駆動回路30bを中心に説明する。

[0054] 図5に示すように、本実施形態におけるデータ側駆動回路30bは、直並列変換／ラッチ回路32、DA変換回路33、アナログ遅延回路としてのデータ信号遅延回路34a、アナログ減算回路36a、および、出力バッファ回路39を含んでいる。

[0055] 直並列変換／ラッチ回路32は、上記第1の実施形態と同様、表示すべき画像を表すデジタル画像信号DA、データ側スタートパルス信号DSP、データ側クロック信号CLK、および、ラッチパルス信号LS等を含むデータ側制御信号Scdを表示制御回路20から受け取り、これらの信号に基づき、表示すべき画像を表すデジタル画像信号DAを直列形式から並列形式に変換し、ラッチパルス信号LSに基づき、表示すべき画像の1行分のデータを1水平期間毎に並列に出力する。より詳しくは、直並列変換／ラッチ回路32は、第 $i-1$ 水平期間の直前において、第 i 水平期間に i 行目の画素回路 $Pix(1, i) \sim Pix(m, i)$ に書き込むべき1行分の画像データに相当する m 個の内部デジタル信号 $d(1, i) \sim d(m, i)$ を並列に出力

し、第 $i - 1$ 水平期間の間、内部デジタル信号 $d(1, i) \sim d(m, i)$ の出力を維持する。また直並列変換／ラッチ回路 32 は、第 i 水平期間の直前には、第 $i + 1$ 水平期間に $i + 1$ 行目の画素回路 $P_{ix}(1, i + 1) \sim P_{ix}(m, i + 1)$ に書き込むべき 1 行分の画像データに相当する m 個の内部デジタル信号 $d(1, i + 1) \sim d(m, i + 1)$ を並列に出力し、第 i 水平期間の間、内部デジタル信号 $d(1, i + 1) \sim d(m, i + 1)$ の出力を維持する。

[0056] DA変換回路 33 は、これらの内部デジタル信号 $d(1, i + 1) \sim d(m, i + 1)$ をアナログ電圧信号であるデータ信号 $D(1, i + 1) \sim D(m, i + 1)$ にそれぞれ変換する。これらのデータ信号 $D(1, i + 1) \sim D(m, i + 1)$ は、データ信号遅延回路 34 a およびアナログ減算回路 26 a に入力される。

[0057] データ信号遅延回路 34 a は、上記第 1 の実施形態におけるデータ信号遅延回路 34 とは異なり、データ信号 $D(1, i + 1) \sim D(m, i + 1)$ のそれぞれをアナログ電圧信号として 1 水平期間だけ遅延させる。このようなアナログ遅延回路としてのデータ信号遅延回路 34 a は、例えば、アナログ電圧信号を保持するためのキャパシタとスイッチング素子としてのトランジスタとを用いて実現することができる。1 水平期間だけ遅延させた後のデータ信号 $D(1, i + 1) \sim D(m, i + 1)$ は、出力バッファ回路 39 を経てデータ側駆動回路 30 b から出力され、少なくとも第 $i + 1$ 走査選択期間の間、データ信号線 $D1 \sim Dm$ にそれぞれ印加される。一方、その直前の水平期間である第 i 水平期間では、 i 行目の画素回路 $P_{ix}(1, i) \sim P_{ix}(m, i)$ に書き込むべき 1 行分の画像データに相当する m 個の内部デジタル信号 $d(1, i) \sim d(m, i)$ を DA 変換することにより得られたデータ信号 $D(1, i) \sim D(m, i)$ がデータ信号遅延回路 34 a から出力される。これらのデータ信号 $D(1, i) \sim D(m, i)$ は、出力バッファ回路 39 を経てデータ側駆動回路 30 b から出力され、少なくとも第 i 走査選択期間の間、データ信号線 $D1 \sim Dm$ にそれぞれ印加される。

[0058] アナログ減算回路36aは、上記第1の実施形態におけるLUT26の代わりに、アナログ処理によってデータ信号 $D(1, i+1) \sim D(m, i+1)$ のそれぞれの値から上記所定値 ΔV を減算するアナログ演算回路である。例えば、アナログ電圧信号を保持するキャパシタとスイッチング素子としてのトランジスタ、または、演算増幅器と抵抗素子等を用いて、このようなアナログ減算回路36aを実現することができる。このアナログ減算回路36aにより得られる減算結果としてのm個のアナログ電圧信号は、初期化信号 $V_{ini}(1, i+1) \sim V_{ini}(m, i+1)$ として出力バッファ回路39を経てデータ側駆動回路30bから出力され、少なくとも第i走査選択期間の間、初期化信号線 $V_{IN1} \sim V_{INm}$ にそれぞれ印加される。

[0059] なお、出力バッファ回路39は、上記第1の実施形態における初期／データ電圧生成回路38に含まれる出力バッファ回路と同様の構成を有し、電圧ホロア等を用いて実現される。

[0060] 上記のようなデータ側駆動回路30bによれば、上記第1の実施形態と同様、少なくとも第i-1走査選択期間の間、初期化信号 $V_{ini}(1, i) \sim V_{ini}(m, i)$ が初期化信号線 $V_{IN1} \sim V_{INm}$ にそれぞれ印加され、少なくとも第i走査選択期間の間、データ信号 $D(1, i) \sim D(m, i)$ がデータ信号線 $D1 \sim Dm$ にそれぞれ印加される（図3参照）。このため、本実施形態に係る表示装置10bの駆動方法は、上記第1の実施形態と実質的に同じであり、各画素回路 $P_{ix}(j, i)$ は同様に動作する（図2、図3参照）。したがって本実施形態は、上記第1の実施形態と同様の効果を奏する。これに加えて本実施形態によれば、上記第1の実施形態に比べDA変換回路の回路量が大幅（1/2）に削減されるので（図4および図5参照）、アナログ遅延回路としてのデータ信号遅延回路34aおよびアナログ減算回路36aを適切な構成とすることで、データ側駆動回路30bの全体の回路量を低減することができる。

[0061] <3. 第3の実施形態>

上記第1および第2の実施形態では、表示部11におけるデータ信号線D

1 ～ D m はデータ側駆動回路 3 0, 3 0 b に直接に接続されているが、これに代えて、データ側駆動回路とデータ信号線 D 1 ～ D m との間にデマルチプレクス回路を設け、データ側駆動回路で生成された各データ信号 D (j , i) を逆多重化して表示部 1 1 における 2 以上のデータ信号線（ソースライン）に与える駆動方式（以下「SSD (Source Shared Driving) 方式」と呼ぶ）を採用してもよい。以下、SSD 方式を採用した有機 EL 表示装置を第 3 の実施形態として説明する。

[0062] <3. 1 構成>

図 6 は、第 3 の実施形態に係る表示装置 1 0 c の全体構成を示すブロック図である。この表示装置 1 0 c は、上記第 1 および第 2 の実施形態と同様、内部補償を行う有機 EL 表示装置であるが、多重度が 3 の SSD 方式が採用されている点で上記第 1 および第 2 の実施形態と相違する。また、この表示装置 1 0 c は、赤、緑、および青の 3 原色によるカラー表示を行い、当該 3 原色に対応する 3 本のデータ信号線を 1 組として各組における 3 本のデータ信号線を時分割的に駆動する SSD 方式が採用されている。この SSD 方式の採用に伴い、当該 3 原色に対応する 3 本のデータ信号線にそれぞれ対応する 3 本の初期化信号線を 1 組として各組における 3 本の初期化信号線に初期化信号が時分割的に与えられる。本実施形態の構成のうちこれらの点に関する構成以外は、上記第 1 または第 2 の実施形態と同様であるので、同一または対応する部分に同一の参照符号を付して詳しい説明を省略する。

[0063] 図 6 に示すように、本実施形態に係る表示装置 1 0 c は、表示部 1 1 c、表示制御回路 2 0、データ信号線駆動回路 3 5、および、走査信号線駆動／発光制御回路 4 0 を備えている。

[0064] 表示部 1 1 c には、3 原色を構成する赤、緑、青にそれぞれ対応する R データ信号線 D r j、G データ信号線 D g j、B データ信号線 D b j からなる 3 本のデータ信号線を 1 組とする m 組（3 m 本）のデータ信号線 D r 1, D g 1, D b 1 ～ D r m, D g m, D b m と、これらに交差する n + 1 本の走査信号線 G 0 ～ G n とが配設されており、当該 3 m 本のデータ信号線 D x 1

～ $D \times m$ ($x = r, g, b$) にそれぞれ沿って $3m$ 本の初期化信号線 $V \mid N \mid x 1 \sim V \mid N \mid x m$ ($x = r, g, b$) が配設されている。これら $3m$ 本の初期化信号線 $V \mid N \mid x 1 \sim V \mid N \mid x m$ ($x = r, g, b$) も、 R データ信号線 $D r j$ 、 G データ信号線 $D g j$ 、 B データ信号線 $D b j$ にそれぞれ対応する初期化信号線 $V \mid N \mid r j$ 、 $V \mid N \mid g j$ 、 $V \mid N \mid b j$ からなる 3 本の初期化信号線を 1 組として組み分けされている。以下では「 X データ信号線」に対応する初期化信号線を「 X 初期化信号線」ともいう ($X = R, G, B$)。また上記第 1 の実施形態と同様、 n 本の走査信号線 $G 1 \sim G n$ に沿って n 本の発光制御線 $E 1 \sim E n$ がそれぞれ配設されている。

[0065] また図 6 に示すように、表示部 11c には $3m \times n$ 個の画素回路 15 が $3m$ 本のデータ信号線 $D x 1 \sim D x m$ ($x = r, g, b$) および n 本の走査信号線 $G 1 \sim G n$ に沿ってマトリクス状に配置されており、各画素回路 15 は、 $3m$ 本のデータ信号線 $D x 1 \sim D x m$ ($x = r, g, b$) のいずれか 1 つに対応するとともに、 n 本の走査信号線 $G 1 \sim G n$ のいずれか 1 つに対応する。以下において各画素回路 15 を区別する場合には、 i 番目の走査信号線 $G i$ および j 組目の R データ信号線 $D r j$ に対応する画素回路を「 i 行 j 組目の R 画素回路」といい、符号 “ $P r (j, i)$ ” で示し、 i 番目の走査信号線 $G i$ および j 組目の G データ信号線 $D g j$ に対応する画素回路を「 i 行 j 組目の G 画素回路」といい、符号 “ $P g (j, i)$ ” で示し、 i 番目の走査信号線 $G i$ および j 組目の B データ信号線 $D b j$ に対応する画素回路を「 i 行 j 組目の B 画素回路」といい、符号 “ $P b (j, i)$ ” で示するものとする。なお、各画素回路 $P x (j, i)$ は、 $3m$ 本の初期化信号線 $V \mid N \mid x 1 \sim V \mid N \mid x m$ のいずれか 1 つにも対応し、かつ、 n 本の発光制御線 $E 1 \sim E n$ のいずれか 1 つにも対応する ($x = r, g, b$)。本実施形態における各画素回路 15 ($P x (j, i)$) の構成は上記第 1 の実施形態における画素回路 15 の構成と同様であるので、同一部分には同一の参照符号を付して説明を省略する (図 2 参照)。

[0066] $3m$ 本のデータ信号線 $D x 1 \sim D x m$ ($x = r, g, b$) および $3m$ 本の

初期化信号線 $V_{IN|x1} \sim V_{IN|x_m}$ ($x = r, g, b$) は、データ信号線駆動回路35内の後述のデマルチプレクス回路50に接続され、 $n+1$ 本の走査信号線 $G_0 \sim G_n$ および n 本の発光制御線 $E_1 \sim E_n$ は、上記第1の実施形態と同様、走査信号線駆動／発光制御回路40に接続されている。

[0067] また表示部11cには、上記第1の実施形態と同様、各画素回路15に共通の電源線（不図示）として、ハイレベル電源電圧 $ELVDD$ を供給するためのハイレベル電源線（ハイレベル電源電圧と同じく符号 $ELVDD$ で表す。）およびローレベル電源電圧 $ELVSS$ を供給するための電源線（ローレベル電源電圧と同じく符号 $ELVSS$ で表す。）が配設されている。

[0068] 表示制御回路20は、上記第1の実施形態と同様、入力信号 S_{in} を表示装置10cの外部から受け取り、この入力信号 S_{in} に基づきデータ側制御信号 S_{cd} および走査側制御信号 S_{cs} を生成し、データ側制御信号 S_{cd} をデータ信号線駆動回路35内の後述のデータ側駆動回路30cに、走査側制御信号 S_{cs} を走査信号線駆動／発光制御回路40にそれぞれ出力する。これに加えて表示制御回路20は、データ信号線駆動回路35内の後述のデマルチプレクス回路50にR選択制御信号 SSD_r 、G選択制御信号 SSD_g 、およびB選択制御信号 SSD_b を出力する。

[0069] 図6に示すように、データ信号線駆動回路35は、データ側駆動回路30cおよびデマルチプレクス回路50を含んでいる。このデータ信号線駆動回路35は、データ信号線 $D_{x1} \sim D_{x_m}$ を駆動するためのデータ信号 $D_{x(1,i)} \sim D_{x(m,i)}$ を生成する駆動用信号生成回路として機能するとともに、初期化信号線 $V_{IN|x1} \sim V_{IN|x_m}$ に与えるべき初期化信号 $V_{inix(1,i+1)} \sim V_{inix(m,i+1)}$ を生成する初期化信号生成回路としても機能する ($x = r, g, b$)。

[0070] データ側駆動回路30cは、上記第1および第2の実施形態におけるデータ側駆動回路30、30bのいずれかと同様の構成を有している。ただし、本実施形態では既述のような多重度が3のSSD方式が採用されていることから、このデータ側駆動回路30cは、時分割データ信号生成回路として機

能するとともに、時分割初期化信号生成回路としても機能する。すなわち、このデータ側駆動回路30cは、表示制御回路20からのデータ側制御信号Scdに基づき、各水平期間において、Rデータ信号線Drjに印加すべきRデータ信号Dr(j, i)、Gデータ信号線Dgjに印加すべきGデータ信号Dg(j, i)、Bデータ信号線Dbjに印加すべきBデータ信号Db(j, i)を時分割的にデータ信号D(j, i)として出力する(j=1~m)。また、このデータ側駆動回路30cは、表示制御回路20からのデータ側制御信号Scdに基づき各水平期間において、R初期化信号線VINIrjに印加すべきR初期化信号Vinir(j, i+1)、G初期化信号線VINIgjに印加すべきG初期化信号Vinig(j, i+1)、B初期化信号線VINIbjに印加すべきB初期化信号Vinib(j, i+1)を、時分割的に初期化信号Vini(j, i+1)として出力する(j=1~m)。すなわち、各水平期間は第1から第3期間からなる3つの期間を含み、第i水平期間では、第1期間にRデータ信号Dr(j, i)およびR初期化信号Vinir(j, i+1)が出力され、第2期間にGデータ信号Dg(j, i)およびG初期化信号Vinig(j, i+1)が出力され、第3期間にBデータ信号Db(j, i)およびB初期化信号Vinib(j, i+1)が出力される。なお、データ信号Dr(j, i)、Dg(j, i)、Db(j, i)は、それぞれ、i行j組目の画素回路Pr(j, i)、Pg(j, i)、Pb(j, i)に書き込むべき画素データを示している。

[0071] デマルチプレクス回路50は、第1から第mデマルチプレクサ51~5mからなるm個のデマルチプレクサを有している。各デマルチプレクサ5j(j=1~m)は同一の構成を有しており、データ側駆動回路30cから出力されるデータ信号D(j, i)を逆多重化するデータ用デマルチプレクサとして機能するとともに、データ側駆動回路30cから出力される初期化信号Vini(j, i)を逆多重化する初期化用デマルチプレクサとしても機能する。表示制御回路20から出力されるR選択制御信号SSDr、G選択制御信号SSDg、およびB選択制御信号SSDbは、全てのデマルチプレク

サ5 1 ～ 5 m に与えられる。データ側駆動回路3 0 c は、m 個のデータ用出力端子T a 1 ～ T a m およびm 個の初期化用出力端子T b 1 ～ T b m を有しており、第j デマルチプレクサ5 j の入力側はj 番目のデータ用出力端子T a j および初期化用出力端子T b j に接続され、出力側はj 組目の3 本のデータ信号線D r j , D g j , D b j に接続されている。

[0072] 図7 は、第j デマルチプレクサ5 j の構成を説明するための回路図である（j = 1 ～ m）。図7 に示すように各デマルチプレクサ5 j は、スイッチング素子として、Rデータ用選択トランジスタM d r、Gデータ用選択トランジスタM d g、およびBデータ用選択トランジスタM d b からなる3 個のデータ用選択トランジスタを含むとともに、R初期化用選択トランジスタM i r、G初期化用選択トランジスタM i g、およびB初期化用選択トランジスタM i b からなる3 個の初期化用選択トランジスタを含んでいる。R、G、およびBデータ用選択トランジスタM d r、M d g、M d b の制御端子としてのゲート端子には、R、G、およびB選択制御信号S S D r、S S D g、S S D b がそれぞれ与えられ、R、G、およびB初期化用選択トランジスタM i r、M i g、M i b の制御端子としてのゲート端子にも、R、G、およびB選択制御信号S S D r、S S D g、S S D b がそれぞれ与えられる。各データ用選択トランジスタM d x は、そのゲート端子に与えられる選択制御信号S S D x がローレベル（アクティブ）のときオン状態であり、ハイレベル（非アクティブ）のときオフ状態である（x = r, g, b）。また、各初期化用選択トランジスタM i x も、そのゲート端子に与えられる選択制御信号S S D x がローレベル（アクティブ）のときオン状態であり、ハイレベル（非アクティブ）のときオフ状態である（x = r, g, b）。

[0073] 第j デマルチプレクサ5 j における選択トランジスタのうち、R、G、およびBデータ用選択トランジスタM d r、M d g、M d b の第1 導通端子としてのドレイン端子は、j 組目のR、G、およびBデータ信号線D r j , D g j , D b j にそれぞれ接続されており、R、G、およびBデータ用選択トランジスタM d r、M d g、M d b の第2 導通端子としてのソース端子はい

いずれもデータ側駆動回路30cにおけるj番目のデータ用出力端子 T_{aj} に接続されている。R、G、およびB初期化用選択トランジスタ M_{ir} 、 M_{ig} 、 M_{ib} の第1導通端子としてのドレイン端子は、j組目のR、G、およびB初期化信号線 $V_{IN|rj}$ 、 $V_{IN|gj}$ 、 $V_{IN|bj}$ にそれぞれ接続されており、R、G、およびB初期化用選択トランジスタ M_{ir} 、 M_{ig} 、 M_{ib} の第2導通端子としてのソース端子はいずれもデータ側駆動回路30cにおけるj番目の初期化用出力端子 T_{bj} に接続されている。

[0074] <3. 2 駆動方法>

次に、本実施形態に係る表示装置10cの駆動方法につき、i行j組目の3個の画素回路 $P_r(j, i)$ 、 $P_g(j, i)$ 、 $P_b(j, i)$ に着目し図2および図6～図9を参照して説明する。図8は、本実施形態に係る表示装置10cの駆動を説明するための信号波形図であり、図9は、本実施形態における画素回路15の駆動トランジスタM1のゲート端子（制御端子）の初期化動作を説明するためのブロック図である。

[0075] 図8は、i行j組目の3個の画素回路 $P_r(j, i)$ 、 $P_g(i, j)$ 、 $P_b(i, j)$ における初期化および画素データ書込における各信号の変化を示している。図8において、時刻 $t_1 \sim t_{13}$ の期間は、i行目の画素回路 $P_x(1, i) \sim P_x(m, i)$ ($x = r, g, b$)の非発光期間である。時刻 $t_1 \sim t_7$ の期間は第i-1水平期間であり、時刻 $t_5 \sim t_6$ の期間はi-1番目の走査信号線 G_{i-1} の選択期間すなわち第i-1水平期間内の走査選択期間である。この走査選択期間($t_5 \sim t_6$)は、i行目の画素回路 $P_x(1, i) \sim P_x(m, i)$ ($x = r, g, b$)の放電期間に相当し、i-1行目の画素回路 $P_x(1, i-1) \sim P_x(m, i-1)$ ($x = r, g, b$)の書込／閾値補償期間にも相当する。時刻 $t_7 \sim t_{13}$ の期間は第i水平期間であり、時刻 $t_{11} \sim t_{12}$ の期間はi番目の走査信号線 G_i の選択期間すなわち第i水平期間内の走査選択期間である。この走査選択期間($t_{11} \sim t_{12}$)は、i行目の画素回路 $P_x(1, i) \sim P_x(m, i)$ ($x = r, g, b$)の書込／閾値補償期間に相当し、i+1行目の画素

回路 $P \times (1, i + 1) \sim P \times (m, i + 1)$ ($x = r, g, b$) の放電期間にも相当する。

[0076] 本実施形態では、図 8 に示すように各水平期間において、その走査選択期間の開始時点よりも前の期間（以下「選択前期間」という）に、R 選択制御信号 SSD_r 、G 選択制御信号 SSD_g 、および B 選択制御信号 SSD_b が所定期間ずつ順次ローレベル（アクティブ）となることにより、各デマルチプレクサ 5 j において、R データ用選択トランジスタ M_{dr} 、G データ用選択トランジスタ M_{dg} 、および B データ用選択トランジスタ M_{db} が当該所定期間ずつ順次オン状態になるとともに、R 初期化用選択トランジスタ M_{ir} 、G 初期化用選択トランジスタ M_{ig} 、および B 初期化用選択トランジスタ M_{ib} も当該所定期間ずつ順次オン状態になる（図 7 参照）。

[0077] 一方、データ側駆動回路 30c のデータ用出力端子 T_{aj} からは、第 $i - 1$ 水平期間内の選択前期間 ($t_1 \sim t_5$) において、図 8 に示すように、R 選択制御信号 SSD_r 、G 選択制御信号 SSD_g 、および B 選択制御信号 SSD_b に連動して R データ信号 $D_r(j, i - 1)$ 、G データ信号 $D_g(j, i - 1)$ 、および B データ信号 $D_b(j, i - 1)$ が順次に出力される。これら順次に出力される R データ信号 $D_r(j, i - 1)$ 、G データ信号 $D_g(j, i - 1)$ 、および B データ信号 $D_b(j, i - 1)$ の電圧は、上記デマルチプレクサ 5 j によってデータ信号線 D_{rj} 、 D_{gj} 、 D_{bj} にそれぞれ供給され、それらのデータ信号線 D_{rj} 、 D_{gj} 、 D_{bj} の配線容量にそれぞれ保持される（以下、各データ信号線 D_{xj} ($x = r, g, b$) に形成される配線容量を「データライン容量 C_{dxj} 」という）。すなわち選択前期間 ($t_1 \sim t_5$) のうち、R 選択制御信号 SSD_r がローレベルの期間（以下「R ライン充電期間」という）では R データ信号 $D_r(j, i - 1)$ の電圧で R データ信号線 D_{rj} の配線容量であるデータライン容量 C_{drj} が充電され、G 選択制御信号 SSD_g がローレベルの期間（以下「G ライン充電期間」という）では G データ信号 $D_g(j, i - 1)$ の電圧で G データ信号線 D_{gj} の配線容量であるデータライン容量 C_{dgj} が充電され、B 選

択制御信号 SSD_b がローレベルの期間（以下「Bライン充電期間」という）ではBデータ信号 $D_b(j, i-1)$ の電圧でBデータ信号線 D_bj の配線容量であるデータライン容量 C_{dbj} が充電される。図8に示すように、Rライン充電期間の終了時のRデータ信号線 D_rj の電圧、Gライン充電期間の終了時のGデータ信号線 D_gj の電圧、および、Bライン充電期間の終了時のBデータ信号線 D_bj の電圧は、少なくとも当該水平期間内の走査選択期間（ $t_5 \sim t_6$ ）の間は保持される。

[0078] また、データ側駆動回路 30c の初期化用出力端子 T_{bj} からは、第 $i-1$ 水平期間内の選択前期間（ $t_1 \sim t_5$ ）において、図8に示すように、R選択制御信号 SSD_r 、G選択制御信号 SSD_g 、およびB選択制御信号 SSD_b に連動してR初期化信号 $V_{inir}(j, i)$ 、G初期化信号 $V_{inig}(j, i)$ 、およびB初期化信号 $V_{inib}(j, i)$ が順次に出力される。これら順次に出力されるR初期化信号 $V_{inir}(j, i)$ 、G初期化信号 $V_{inig}(j, i)$ 、およびB初期化信号 $V_{inib}(j, i)$ の電圧は、上記デマルチプレクサ 5j によって初期化信号線 $V_{IN|rj}$ 、 $V_{IN|gj}$ 、 $V_{IN|bj}$ にそれぞれ供給され、それらの初期化信号線 $V_{IN|rj}$ 、 $V_{IN|gj}$ 、 $V_{IN|bj}$ の配線容量にそれぞれ保持される（以下、各初期化信号線 $V_{IN|xj}$ （ $x=r, g, b$ ）に形成される配線容量を「初期化ライン容量 C_{ixj} 」という）。すなわち選択前期間（ $t_1 \sim t_5$ ）のうち、Rライン充電期間ではR初期化信号 $V_{inir}(j, i)$ の電圧でR初期化信号線 $V_{IN|rj}$ の配線容量である初期化ライン容量 C_{irj} が充電され、Gライン充電期間ではG初期化信号 $V_{inig}(j, i)$ の電圧でG初期化信号線 $V_{IN|gj}$ の配線容量である初期化ライン容量 C_{igj} が充電され、Bライン充電期間ではB初期化信号 $V_{inib}(j, i)$ の電圧でB初期化信号線 $V_{IN|bj}$ の配線容量である初期化ライン容量 C_{ibj} が充電される。図8に示すように、Rライン充電期間の終了時のR初期化信号線 $V_{IN|rj}$ の電圧、Gライン充電期間の終了時のG初期化信号線 $V_{IN|gj}$ の電圧、および、Bライン充電期間の終了時のB初期化信

号線 $V_{IN|b_j}$ の電圧は、少なくとも当該水平期間内の走査選択期間 ($t_5 \sim t_6$) の間は保持される。

[0079] その後、走査選択期間 ($t_5 \sim t_6$) の開始時点で走査信号線 G_{i-1} の電圧がローレベル（アクティブ）に変化し、この走査選択期間 ($t_5 \sim t_6$) の間、当該電圧はローレベルに維持される。このため、この走査選択期間 ($t_5 \sim t_6$) の間、 $i-1$ 行 j 組目の各画素回路 $P_x(j, i-1)$ ($x = r, g, b$) における書込用トランジスタ $M2$ および補償用トランジスタ $M3$ はオン状態であり、 i 行 j 組目の各画素回路 $P_x(j, i)$ ($x = r, g, b$) における初期化用トランジスタ $M4$ もオン状態である（図2参照）。

[0080] したがって、この走査選択期間 ($t_5 \sim t_6$) において、Rデータ信号線 D_{rj} の電圧、すなわちデータライン容量 $C_{d_{rj}}$ に保持されたRデータ信号 $D_r(j, i-1)$ の電圧が、 $i-1$ 行 j 組目のR画素回路 $P_r(j, i-1)$ に画素データとして書き込まれ、Gデータ信号線 D_{gj} の電圧すなわちデータライン容量 $C_{d_{gj}}$ に保持されたGデータ信号 $D_g(j, i-1)$ の電圧が、 $i-1$ 行 j 組目のG画素回路 $P_g(j, i-1)$ に画素データとして書き込まれ、Bデータ信号線 D_{bj} の電圧すなわちデータライン容量 $C_{d_{bj}}$ に保持されたBデータ信号 $D_b(j, i-1)$ の電圧が、 $i-1$ 行 j 組目のB画素回路 $P_b(j, i-1)$ に画素データとして書き込まれる。

[0081] また、この走査選択期間 ($t_5 \sim t_6$) において、R初期化信号線 $V_{IN|r_j}$ の電圧、すなわち初期化ライン容量 $C_{i_{rj}}$ に保持されたR初期化信号 $V_{inir}(j, i)$ の電圧が、 i 行 j 組目のR画素回路 $P_r(j, i)$ におけるデータ保持キャパシタ C_1 に与えられることで、駆動トランジスタ $M1$ のゲート電圧 V_g が初期化される。また、G初期化信号線 $V_{IN|g_j}$ の電圧すなわち初期化ライン容量 $C_{i_{gj}}$ に保持されたG初期化信号 $V_{inig}(j, i)$ の電圧が、 i 行 j 組目のG画素回路 $P_g(j, i)$ におけるデータ保持キャパシタ C_1 に与えられることで、駆動トランジスタ $M1$ のゲート電圧 V_g が初期化されるとともに、B初期化信号線 $V_{IN|b_j}$ の電圧

すなわち初期化ライン容量 C_{ibj} に保持されたB初期化信号 $V_{inib}(j, i)$ の電圧が、 i 行 j 組目のB画素回路 $P_b(j, i)$ におけるデータ保持キャパシタ C_1 に与えられることで、駆動トランジスタ M_1 のゲート電圧 V_g が初期化される。

[0082] 次の水平期間である第 i 水平期間($t_7 \sim t_{13}$)内の選択前期間($t_7 \sim t_{11}$)においても、各デマルチプレクサ 5_j では、Rデータ用選択トランジスタ M_{dr} 、Gデータ用選択トランジスタ M_{dg} 、およびBデータ用選択トランジスタ M_{db} が所定期間ずつ順次オン状態になるとともに、R初期化用選択トランジスタ M_{ir} 、G初期化用選択トランジスタ M_{ig} 、およびB初期化用選択トランジスタ M_{ib} も当該所定期間ずつ順次オン状態になる(図7参照)。

[0083] この第 i 水平期間内の選択前期間($t_7 \sim t_{11}$)において、データ側駆動回路 $30c$ のデータ用出力端子 T_{aj} から、図8に示すようにR選択制御信号 SSD_r 、G選択制御信号 SSD_g 、およびB選択制御信号 SSD_b に連動してRデータ信号 $D_r(j, i)$ 、Gデータ信号 $D_g(j, i)$ 、およびBデータ信号 $D_b(j, i)$ が順次に出力される。これら順次に出力されるRデータ信号 $D_r(j, i)$ 、Gデータ信号 $D_g(j, i)$ 、およびBデータ信号 $D_b(j, i)$ の電圧は、上記デマルチプレクサ 5_j によってデータ信号線 D_{rj} 、 D_{gj} 、 D_{bj} にそれぞれ供給され、それらのデータ信号線 D_{rj} 、 D_{gj} 、 D_{bj} の配線容量にそれぞれ保持される。すなわち、この選択前期間($t_7 \sim t_{11}$)のうち、Rライン充電期間ではRデータ信号 $D_r(j, i)$ の電圧でRデータ信号線 D_{rj} の配線容量であるデータライン容量 C_{drj} が充電され、Gライン充電期間ではGデータ信号 $D_g(j, i)$ の電圧でGデータ信号線 D_{gj} の配線容量であるデータライン容量 C_{dgg} が充電され、Bライン充電期間ではBデータ信号 $D_b(j, i)$ の電圧でBデータ信号線 D_{bj} の配線容量であるデータライン容量 C_{bdb} が充電される。Rライン充電期間の終了時のRデータ信号線 D_{rj} の電圧、Gライン充電期間の終了時のGデータ信号線 D_{gj} の電圧、および、Bライン充電

期間の終了時のBデータ信号線 D_{bj} の電圧は、少なくとも当該水平期間内の走査選択期間($t_{11} \sim t_{12}$)の間は保持される。

[0084] また、この第 i 水平期間内の選択前期間($t_7 \sim t_{11}$)において、データ側駆動回路30cの初期化用出力端子 T_{bj} から、図8に示すようにR選択制御信号 $SSDr$ 、G選択制御信号 $SSDg$ 、およびB選択制御信号 $SSDb$ に連動してR初期化信号 $V_{inir}(j, i+1)$ 、G初期化信号 $V_{inig}(j, i+1)$ 、およびB初期化信号 $V_{inib}(j, i+1)$ が順次に出力される。これら順次に出力されるR初期化信号 $V_{inir}(j, i+1)$ 、G初期化信号 $V_{inig}(j, i+1)$ 、およびB初期化信号 $V_{inib}(j, i+1)$ の電圧は、上記デマルチプレクサ5jによって初期化信号線 $VINIrj$ 、 $VINIgj$ 、 $VINIbj$ にそれぞれ供給され、それらの初期化信号線 $VINIrj$ 、 $VINIgj$ 、 $VINIbj$ の配線容量すなわち初期化ライン容量 C_{irj} 、 C_{igj} 、 C_{ibj} にそれぞれ保持される。

[0085] その後、この走査選択期間($t_{11} \sim t_{12}$)の開始時点で走査信号線 G_i の電圧がローレベル(アクティブ)に変化し、この走査選択期間($t_{11} \sim t_{12}$)の間、当該電圧はローレベルに維持される。このため、この走査選択期間($t_{11} \sim t_{12}$)の間、 i 行 j 組目の各画素回路 $P_x(j, i)$ ($x = r, g, b$)における書込用トランジスタ M_2 および補償用トランジスタ M_3 はオン状態である(図2参照)。

[0086] したがって、この走査選択期間($t_{11} \sim t_{12}$)において、Rデータ信号線 D_{rj} の電圧、すなわちデータライン容量 C_{drj} に保持されたRデータ信号 $D_r(j, i)$ の電圧が、 i 行 j 組目のR画素回路 $P_r(j, i)$ に画素データとして書き込まれ、Gデータ信号線 D_{gj} の電圧すなわちデータライン容量 $C_{d gj}$ に保持されたGデータ信号 $D_g(j, i)$ の電圧が、 i 行 j 組目のG画素回路 $P_g(j, i)$ に画素データとして書き込まれ、Bデータ信号線 D_{bj} の電圧すなわちデータライン容量 $C_{d bj}$ に保持されたBデータ信号 $D_b(j, i)$ の電圧が、 i 行 j 組目のB画素回路 $P_b(j, i)$

）に画素データとして書き込まれる。これら i 行 j 組目の画素回路 $P_x(i, j)$ ($x = r, g, b$) への画素データの書き込みを、 i 行 j 組目の R 画素回路 $P_r(i, j)$ への画素データの書き込みを例に挙げて更に詳しく説明する。なお以下において、 i 行 j 組目の各画素回路 $P_x(i, j)$ における駆動トランジスタの閾値電圧 (< 0) を “ V_{thx} ” で示すものとする ($x = r, g, b$)。

[0087] i 行 j 組目の R 画素回路 $P_r(j, i)$ では、既述のように、第 $i - 1$ 水平期間内の走査選択期間 ($t_5 \sim t_6$) において、 R 初期化信号線 V_{inir} の電圧すなわち R 初期化信号 $V_{inir}(j, i)$ が初期化用トランジスタ M_4 を介してデータ保持キャパシタ C_1 に与えられることで、駆動トランジスタ M_1 のゲート電圧 V_g が R 初期化信号 $V_{inir}(j, i)$ の電圧に初期化される (図 8、図 9 参照)。この R 初期化信号 $V_{inir}(j, i)$ は、上記第 1 または第 2 の実施形態におけるデータ側駆動回路 30, 30b と同様の構成を有するデータ側駆動回路 30c 内で生成されるアナログ電圧信号であり (図 4、図 5 参照)、次式のように表すことができる。

$$V_{inir}(j, i) = D_r(j, i) - \Delta V \quad \dots (6)$$

[0088] したがって、第 i 水平期間内の走査選択期間 ($t_{11} \sim t_{12}$) の直前では、駆動トランジスタ M_1 のゲート電圧 V_g は、上式 (6) により示される R 初期化信号 $V_{inir}(j, i)$ の値となっている。この走査選択期間 ($t_{11} \sim t_{12}$) では、書込用トランジスタ M_2 および補償用トランジスタ M_3 がオン状態であり、 R データ信号線 D_r の電圧すなわち R データ信号 $D_r(j, i)$ が書込用トランジスタ M_2 およびダイオード接続状態の駆動トランジスタ M_1 を介してデータ保持キャパシタ C_1 に与えられる (図 2 参照)。これにより、駆動トランジスタ M_1 のゲート電圧 V_g は、 R データ信号 $D_r(j, i)$ に応じた値に向かって変化する。すなわち、この選択走査期間 ($t_{11} \sim t_{12}$) においてゲート電圧 V_g は、 R 初期化信号 $V_{inir}(j, i)$ の値から $D_r(j, i) - |V_{thr}|$ に向かって変化する。ここでは説明の便宜上、この走査選択期間の終了時点 t_{12} においてゲート

電圧 V_g は $D_r(j, i) - |V_{thr}|$ に到達しているものとする。

[0089] i 行 j 組目の G 画素回路 $P_g(i, j)$ および B 画素回路 $P_b(i, j)$ についても、R 画素回路 $P_r(i, j)$ への画素データの上記書込動作と同様の書き込み動作が行われる。すなわち、G 画素回路 $P_g(i, j)$ では、第 i 水平期間内の走査選択期間 ($t_{11} \sim t_{12}$) の直前には、駆動トランジスタ M1 のゲート電圧 V_g は、下記式 (7) により示される G 初期化信号 $V_{inig}(j, i)$ の値となっており、B 画素回路 $P_b(i, j)$ では、第 i 水平期間内の走査選択期間 ($t_{11} \sim t_{12}$) の直前には、駆動トランジスタ M1 のゲート電圧 V_g は、下記式 (8) により示される B 初期化信号 $V_{inib}(j, i)$ の値となっている。

$$V_{inig}(j, i) = D_g(j, i) - \Delta V \quad \dots (7)$$

$$V_{inib}(j, i) = D_b(j, i) - \Delta V \quad \dots (8)$$

G 画素回路 $P_g(i, j)$ では、この走査選択期間 ($t_{11} \sim t_{12}$) において、G データ信号 $D_g(j, i)$ が書込用トランジスタ M2 およびダイオード接続状態の駆動トランジスタ M1 を介してデータ保持キャパシタ C1 に与えられることにより (図 2 参照)、駆動トランジスタ M1 のゲート電圧 V_g は、G データ信号 $D_g(j, i)$ に応じた値すなわち $D_g(j, i) - |V_{thg}|$ に向かって変化する。また、B 画素回路 $P_b(i, j)$ では、この走査選択期間 ($t_{11} \sim t_{12}$) において、B データ信号 $D_b(j, i)$ が書込用トランジスタ M2 およびダイオード接続状態の駆動トランジスタ M1 を介してデータ保持キャパシタ C1 に与えられることにより (図 2 参照)、駆動トランジスタ M1 のゲート電圧 V_g は、B データ信号 $D_b(j, i)$ に応じた値すなわち $D_b(j, i) - |V_{thb}|$ に向かって変化する。ここでは説明の便宜上、この走査選択期間の終了時点 t_{12} において、G 画素回路 $P_g(i, j)$ における駆動トランジスタ M1 のゲート電圧 V_g は $D_g(j, i) - |V_{thg}|$ に到達しているものとし、B 画素回路 $P_b(i, j)$ における駆動トランジスタ M1 のゲート電圧 V_g は $D_b(j, i) - |V_{thb}|$ に到達しているものとする。

[0090] この走査選択期間の終了時点 t_{12} において、 i 行 j 組目の各画素回路 $P_x(i, j)$ ($x = r, g, b$) では、書込用トランジスタ $M2$ および補償用トランジスタ $M3$ はオフ状態に変化する。この時刻 t_{12} 以降、 R 画素回路 $P_r(i, j)$ 、 G 画素回路 $P_g(i, j)$ 、および、 B 画素回路 $P_b(i, j)$ におけるデータ保持キャパシタ $C1$ は、 $ELVDD - D_r(j, i) + |V_{thr}|$ で示される電圧、 $ELVDD - D_g(j, i) + |V_{thg}|$ で示される電圧、および、 $ELVDD - D_b(j, i) + |V_{thb}|$ で示される電圧をそれぞれ保持する。

[0091] その後、時刻 t_{13} において、発光制御線 E_i の電圧がローレベルに変化する。これに伴い、 i 行 j 組目の各画素回路 $P_x(j, i)$ ($x = r, g, b$) において、電源供給用トランジスタ $M5$ および発光制御用トランジスタ $M6$ がオン状態に変化する。時刻 t_{13} 以降、ハイレベル電源線 $ELVDD$ から電源供給用トランジスタ $M5$ 、駆動トランジスタ $M1$ 、発光制御用トランジスタ $M6$ 、および、有機 EL 素子 $OLED$ を経由してローレベル電源線 $ELVSS$ に電流が流れる。この電流 I_1 は、各画素回路 $P_x(i, j)$ における駆動トランジスタ $M1$ のゲート・ソース間電圧を $V_{gsx} (> 0)$ とすると、駆動トランジスタ $M1$ の特性に関する定数 K を用いて次式で示される ($x = r, g, b$)。

$$I_1 = K (V_{gsx} - |V_{thx}|)^2 \quad \dots (9)$$

電源供給用トランジスタ $M5$ がオン状態のとき、駆動トランジスタ $M1$ のゲート・ソース間電圧 V_{gsx} は、データ保持キャパシタ $C1$ に保持される電圧に相当し、

$$V_{gsx} = ELVDD - D_x(j, i) + |V_{thx}| \quad \dots (10)$$

である。したがって、上記電流 I_1 は次式で与えられる。

$$\begin{aligned} I_1 &= K (ELVDD - D_x(j, i) + |V_{thx}| - |V_{thx}|)^2 \\ &= K (ELVDD - D_x(j, i))^2 \quad \dots (11) \end{aligned}$$

[0092] このように時刻 t_{13} 以降、 i 行 j 組目の各画素回路 $P_x(i, j)$ にお

いて、有機EL素子OLEDは、駆動トランジスタM1の閾値電圧 V_{thx} にかかわらず、画素回路 $P_x(j, i)$ に画素データとして書き込まれたデータ信号 $D_x(j, i)$ の電圧に応じた輝度で発光する($x = r, g, b$)。ただし、R画素回路 $P_r(i, j)$ における発光色は赤であり、G画素回路 $P_g(i, j)$ における発光色は緑であり、B画素回路 $P_b(i, j)$ における発光色は青である。

[0093] <3. 3 作用および効果>

上記のようにi行j組目の各画素回路 $P_x(j, i)$ ($x = r, g, b$)において、第i水平期間内の走査選択期間($t_{11} \sim t_{12}$)は、データ信号 $D_x(j, i)$ が画素データを示すデータ電圧としてデータ保持キャパシタC1に書き込まれる期間であり、このときダイオード接続状態の駆動トランジスタM1を介してデータ電圧を書き込むことで閾値電圧のばらつきや変動が補償される。このため、この走査選択期間($t_{11} \sim t_{12}$)は閾値補償期間に相当する。駆動トランジスタM1の閾値電圧の補償速度は閾値補償期間の開始時点 t_{11} における当該駆動トランジスタM1のゲート・ソース間電圧である初期ゲート・ソース間電圧 V_{gs0} に依存し、初期ゲート・ソース間電圧 $V_{gs0} (> 0)$ が大きいほど補償速度が大きくなる。

[0094] 本実施形態では、第i水平期間内の走査選択期間の開始時点 t_{11} における各画素回路 $P_x(i, j)$ の駆動トランジスタM1のゲート電圧 V_g は $V_{inix}(j, i) = D_x(j, i) - \Delta V$ であるので($x = r, g, b$)、初期ゲート・ソース間電圧 V_{gs0} は次式で表される。

$$\begin{aligned} V_{gs0} &= D_x(j, i) - V_{ini}(j, i) \\ &= \Delta V \end{aligned}$$

既述のように所定値 $\Delta V (> 0)$ は固定値であるので、補償速度は、各画素回路 $P_x(j, i)$ に書き込むべきデータ電圧(データ信号 $D_x(j, i)$)に依存せず、いずれの画素回路 $P_x(i, j)$ においても同じである。なお、所定値 ΔV については、上記第1の実施形態と同様、閾値補償所要時間を短縮化するという観点から、計算機シミュレーションや実験等に基づき適

切な値が予め決定される。

[0095] このようにして本実施形態では、各画素回路 $P \times (j, i)$ における初期ゲート・ソース間電圧 V_{gs0} は同一の固定値（上記所定値 ΔV ）となる。したがって本実施形態によれば、上記第1および第2の実施形態と同様、表示装置の高解像度化によって水平期間が短くなっても、表示すべき画像の各画素の階調値に拘わらず画素回路内での駆動トランジスタの閾値電圧のばらつきや変動の補償（内部補償）を十分に行うことができる。

[0096] また本実施形態では、SSD方式が採用されていることから、データ信号線駆動回路35は、データ側駆動回路30cから出力される各データ信号 $D(j, i)$ を逆多重化して3本のデータ信号線 D_{rj} , D_{gj} , D_{bj} に与え、かつ、データ側駆動回路30cから出力される各初期化信号 $V_{ini}(j, i)$ を逆多重化して3本の初期化信号線 $V_{INI_{rj}}$, $V_{INI_{gj}}$, $V_{INI_{bj}}$ に与えるように構成されている。このため本実施形態によれば、上記第1または第2の実施形態と同様の効果を奏しつつ、データ側駆動回路30cの回路量を大幅に低減することができる。

[0097] <4. 変形例>

本発明は上記各実施形態に限定されるものではなく、本発明の範囲を逸脱しない限りにおいてさらに種々の変形を施すことができる。

[0098] 例えば、上記第1および第2の実施形態におけるデータ側駆動回路30, 30bは、図1、図5に示す構成に限定されるものではなく、図3に示された駆動方法を実現できるものであれば、他の構成であってもよい。

[0099] また、上記第1～第3の実施形態は、各画素回路 $P_{ix}(j, i)$ または $P \times (j, i)$ ($x = r, g, b$) において駆動トランジスタM1のゲート電圧 V_g が先行走査信号線 G_{i-1} の選択期間に初期化されるように構成されているが（図2、図3参照）、これに限定されるものではなく、非発光期間（発光制御線 E_i に非選択期間）において対応走査信号線 G_i の選択期間よりも前に初期化されるように構成されていればよい。なお、例えば上記第1の実施形態において先行走査信号線 G_{i-1} の選択期間以外の他の期間で

駆動トランジスタM1のゲート電圧 V_g を初期化する場合、データ側駆動回路30内のデータ信号遅延回路34は、内部デジタル信号 $d(1, i) \sim d(m, i)$ を1水平期間だけ遅延させるのではなく、当該他の期間と対応走査信号線 G_i の選択期間との時間的關係に応じた所定時間だけ遅延させる構成となる。

[0100] また、上記第1から第3の実施形態では、駆動トランジスタM1としてPチャネル型のトランジスタを使用した図2に示す構成の画素回路が使用されているが、画素回路の構成は図2の構成に限定されるものではなく、ダイオード接続を利用して内部補償を行う画素回路であれば他の構成であってもよく、駆動トランジスタM1としてNチャネル型のトランジスタを使用した構成であってもよい。なお例えば、上記第1の実施形態におけるデータ側駆動回路30では、データ信号 $D(j, i)$ から所定値 ΔV を減算した値を有するアナログ電圧信号として初期化信号 $V_{ini}(j, i)$ が生成されるが（図3、図4参照）、画素回路においてNチャネル型の駆動トランジスタを使用した他の構成を採用した場合には、データ信号 $D(j, i)$ に所定値 ΔV を加算した値を有するアナログ電圧信号として初期化信号 $V_{ini}(j, i)$ が生成されることもある。より一般的には、データ信号 $D(j, i)$ と初期化信号 $V_{ini}(j, i)$ との差が同一の所定値 ΔV となるように、予め適切に決められた所定値 ΔV に基づく演算処理により当該初期化信号 $V_{ini}(j, i)$ が生成される。

[0101] また、上記第3の実施形態では多重度が3のSSD方式が採用されているが（図6、図7参照）、多重度が2のSSD方式を採用してもよいし、多重度が4以上のSSD方式を採用してもよい。例えば、R（赤）、G（緑）、B（青）、W（白）の4原色に基づきカラー画像を表示する有機EL表示装置において、当該4つの原色に対応する4本のデータ信号線を1組として表示部における複数のデータ信号線を m 組のデータ信号線群にグループ化し、多重度が4のSSD方式を採用してもよい。この場合、表示部11cにおける複数の初期化信号線も、各組の4本のデータ信号線にそれぞれ対応する4

本の初期化信号線を1組としてm組の初期化信号線群にグループ化される。

[0102] また、上記第3の実施形態における各デマルチプレクサ5jにおいて、データ用選択トランジスタMdxおよび初期化用選択トランジスタMixには同一の選択制御信号SSDxが与えられるが($x = r, g, b$)、それらの選択トランジスタMdx, Mixに異なる選択制御信号を与えるようにしてもよい。すなわち、上記第3の実施形態におけるR選択制御信号SSDr、G選択制御信号SSDg、およびB選択制御信号SSDbを、データ用選択トランジスタMdr, Mdg, Mdbの制御端子に与えるべきRデータ用選択制御信号SSDdr、Gデータ用選択制御信号SSDdg、およびBデータ用選択制御信号SSDdbと、初期化用選択トランジスタMir, Mig, Mibの制御端子に与えるべきR初期化用選択制御信号SSDir、G初期化用選択制御信号SSDig、およびB初期化用選択制御信号SSDibとに分離してもよい。この場合、初期化用選択制御信号SSDixのアクティブ期間をデータ用選択制御信号SSDdxのアクティブ期間と異ならせることができる($x = r, g, b$)。

[0103] なお以上において、有機EL表示装置を例に挙げて各実施形態およびその変形例が説明されたが、本発明は、有機EL表示装置に限定されるものではなく、電流で駆動される表示素子を用いた内部補償方式の表示装置であれば適用可能である。ここで使用可能な表示素子は、電流によって輝度または透過率等が制御される表示素子であり、例えば、有機EL素子すなわち有機発光ダイオード(Organic Light Emitting Diode(OLED))の他、無機発光ダイオードや量子ドット発光ダイオード(Quantum dot Light Emitting Diode(QLED))等が使用可能である。

符号の説明

[0104] 10, 10b, 10c…有機EL表示装置
 11, 11c …表示部
 15 …画素回路
 Pix(j, i) …画素回路($i = 1 \sim n, j = 1 \sim m$)

$P_r(j, i)$	…R画素回路 ($i = 1 \sim n$ 、 $j = 1 \sim m$)
$P_g(j, i)$	…G画素回路 ($i = 1 \sim n$ 、 $j = 1 \sim m$)
$P_b(j, i)$	…B画素回路 ($i = 1 \sim n$ 、 $j = 1 \sim m$)
20	…表示制御回路
30, 30b, 30c	…データ側駆動回路
34	…データ信号遅延回路 (デジタル遅延回路)
34a	…データ信号遅延回路 (アナログ遅延回路)
36	…ルックアップテーブル (デジタル演算回路)
36a	…アナログ減算回路 (アナログ演算回路)
35	…データ信号線駆動回路
40	…走査信号線駆動／発光制御回路
50	…デマルチプレクス回路
51～5m	…デマルチプレクサ
G_i	…走査信号線 ($i = 1 \sim n$)
E_i	…発光制御線 ($i = 1 \sim n$)
D_j	…データ信号線 ($j = 1 \sim m$)
D_{rj} , D_{gj} , D_{bj}	…データ信号線 ($j = 1 \sim m$)
V_{INIj}	…初期化信号線 ($j = 1 \sim m$)
$V_{INI_{rj}}$, $V_{INI_{gj}}$, $V_{INI_{bj}}$	…初期化信号線 ($j = 1 \sim m$)
T_{aj}	…データ用出力端子 ($j = 1 \sim m$)
T_{bj}	…初期化用出力端子 ($j = 1 \sim m$)
M_{dr} , M_{dg} , M_{db}	…データ用選択トランジスタ
M_{ir} , M_{ig} , M_{ib}	…初期化用選択トランジスタ
M1	…駆動トランジスタ
M2	…書込用トランジスタ
M3	…補償用トランジスタ
M4	…初期化用トランジスタ

- M 5 …電源供給用トランジスタ
- M 6 …発光制御用トランジスタ
- C 1 …データ保持キャパシタ（保持容量）
- O L E D …有機E L 素子
- S S D x …選択制御信号（x = r , g , b）

請求の範囲

[請求項1]

複数のデータ信号線と、前記複数のデータ線に交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素回路とを有する表示装置であって、

前記複数のデータ信号線にそれぞれ対応するように配設された複数の初期化信号線と、

前記複数のデータ信号線を駆動するデータ信号線駆動回路と、

前記複数の走査信号線を選択的に駆動する走査信号線駆動回路とを備え、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか1つに対応するとともに前記複数の走査信号線のいずれか1つに対応し、

各画素回路は、電流によって駆動される表示素子と、前記表示素子と直列に接続され前記表示素子の駆動電流を制御する駆動トランジスタと、前記駆動トランジスタの制御端子に接続され前記表示素子の駆動電流を制御するための電圧を保持する保持キャパシタとを含み、対応する走査信号線が選択状態となる前に対応する初期化信号線の電圧が前記保持キャパシタに与えられ、当該対応する走査信号線が選択状態のときに前記駆動トランジスタがダイオード接続状態となって対応するデータ信号線の電圧が前記駆動トランジスタを介して前記保持キャパシタに与えられるように構成されており、

前記データ信号線駆動回路は、

表示すべき画像を表す複数のデータ信号を所定時間だけ遅延させた複数の駆動用データ信号をアナログ電圧信号の形態で生成し、当該複数の駆動用データ信号を前記複数のデータ信号線にそれぞれ印加する駆動用信号生成回路と、

前記複数のデータ信号のそれぞれの値に対し同一の所定値を前記

画素回路の構成に応じて減算または加算することにより得られる複数の値をそれぞれ有する複数の初期化信号をアナログ電圧信号の形態で生成し、当該複数の初期化信号を前記複数の初期化信号線にそれぞれ印加する初期化信号生成回路とを含む、表示装置。

[請求項2]

前記駆動用信号生成回路は、

前記複数のデータ信号を所定時間だけ遅延させた複数の遅延データ信号をデジタル信号の形態で生成するデジタル遅延回路と、

前記複数の遅延データ信号をアナログ信号に変換することにより前記複数の駆動用データ信号を生成する第1 D A変換回路とを含み、

前記初期化信号生成回路は、

前記複数のデータ信号のそれぞれが示すデジタル値に対し前記所定値としての同一デジタル値を前記画素回路の構成に応じて減算または加算することにより複数のデジタル初期化信号を生成するデジタル演算回路と、

前記複数のデジタル初期化信号をアナログ信号に変換することにより前記複数の初期化信号を生成する第2 D A変換回路とを含む、請求項1に記載の表示装置。

[請求項3]

前記駆動用信号生成回路は、

前記複数のデータ信号としてのデジタル信号をアナログ信号に変換することにより複数のアナログデータ信号をアナログ電圧信号の形態で生成するD A変換回路と、

前記複数のアナログデータ信号を所定時間だけ遅延させることにより前記複数の駆動用データ信号を生成するアナログ遅延回路とを含み、

前記初期化信号生成回路は、前記複数のアナログデータ信号のそれぞれに対し前記所定値としての同一電圧を前記画素回路の構成に応じて減算または加算することにより前記複数の初期化信号を生成するアナログ演算回路を含む、請求項1に記載の表示装置。

[請求項4] 前記駆動用信号生成回路は、

2つ以上のデータ信号線を1組として前記複数のデータ信号線をグループ化することにより得られる複数組のデータ信号線群にそれぞれ対応する複数のデータ用出力端子を有し、各データ用出力端子から、前記複数の駆動用データ信号のうち当該データ用出力端子に対応する組の2つ以上のデータ信号線にそれぞれ印加すべき2つ以上の駆動用データ信号を時分割的に出力する時分割データ信号生成回路と、

前記複数のデータ用出力端子にそれぞれ接続され、前記複数組のデータ信号線群にそれぞれ対応する複数のデータ用デマルチプレクサとを含み、

各データ用デマルチプレクサは、それに接続されたデータ用出力端子から時分割的に出力される前記2つ以上の駆動用データ信号を対応する組の前記2つ以上のデータ信号線にそれぞれ与え、

前記初期化信号生成回路は、

前記2つ以上のデータ信号線に対応する2つ以上の初期化信号線を1組として前記複数の初期化信号線をグループ化することにより得られる複数組の初期化信号線群にそれぞれ対応する複数の初期化用出力端子を有し、各初期化用出力端子から、前記複数の初期化信号のうち当該初期化用出力端子に対応する組の2つ以上の初期化信号線にそれぞれ印加すべき2つ以上の初期化信号を時分割的に出力する時分割初期化信号生成回路と、

前記複数の初期化用出力端子にそれぞれ接続され、前記複数組の初期化信号線群にそれぞれ対応する複数の初期化用デマルチプレクサとを含み、

各初期化用デマルチプレクサは、それに接続された初期化用出力端子から時分割的に出力される前記2つ以上の初期化信号を対応する組の前記2つ以上の初期化信号線にそれぞれ与える、請求項1に記載の表示装置。

- [請求項5] 前記走査信号線駆動回路は、前記複数の走査信号線が順次に選択されるように前記複数の走査信号線を駆動し、
- 各画素回路は、
- 対応する走査信号線の前に選択される走査信号線に制御端子が接続されたスイッチング素子としての初期化用トランジスタと、
- 前記対応する走査信号線に制御端子が接続されたスイッチング素子としての書込用トランジスタと、
- 前記対応する走査信号線に制御端子が接続されたスイッチング素子としての補償用トランジスタとを含み、
- 各画素回路において、
- 前記駆動トランジスタの前記制御端子および前記保持キャパシタは、前記初期化用トランジスタを介して対応する初期化信号線に接続され、
- 前記駆動トランジスタの第1導通端子は、前記書込用トランジスタを介して対応するデータ信号線に接続され、
- 前記駆動トランジスタの第2導通端子は、前記補償用トランジスタを介して前記駆動トランジスタの前記制御端子に接続されている、
- 請求項1から4のいずれか1項に記載の表示装置。
- [請求項6] 複数のデータ信号線と、前記複数のデータ線に交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素回路とを有する表示装置の駆動方法であって、
- 前記表示装置は、前記複数のデータ信号線にそれぞれ対応するように配設された複数の初期化信号線を更に有し、
- 前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか1つに対応するとともに前記複数の走査信号線のいずれか1つに対応し、
- 各画素回路は、電流によって駆動される表示素子と、前記表示素子

と直列に接続され前記表示素子の駆動電流を制御する駆動トランジスタと、前記駆動トランジスタの制御端子に接続され前記表示素子の駆動電流を制御するための電圧を保持する保持キャパシタとを含み、対応する走査信号線が選択状態となる前に対応する初期化信号線の電圧が前記保持キャパシタに与えられ、当該対応する走査信号線が選択状態のときに前記駆動トランジスタがダイオード接続状態となって対応するデータ信号線の電圧が前記駆動トランジスタを介して前記保持キャパシタに与えられるように構成されており、

前記駆動方法は、

前記複数のデータ信号線を駆動するデータ信号線駆動ステップと、

前記複数の走査信号線を選択的に駆動する走査信号線駆動ステップとを備え、

前記データ信号線駆動ステップは、

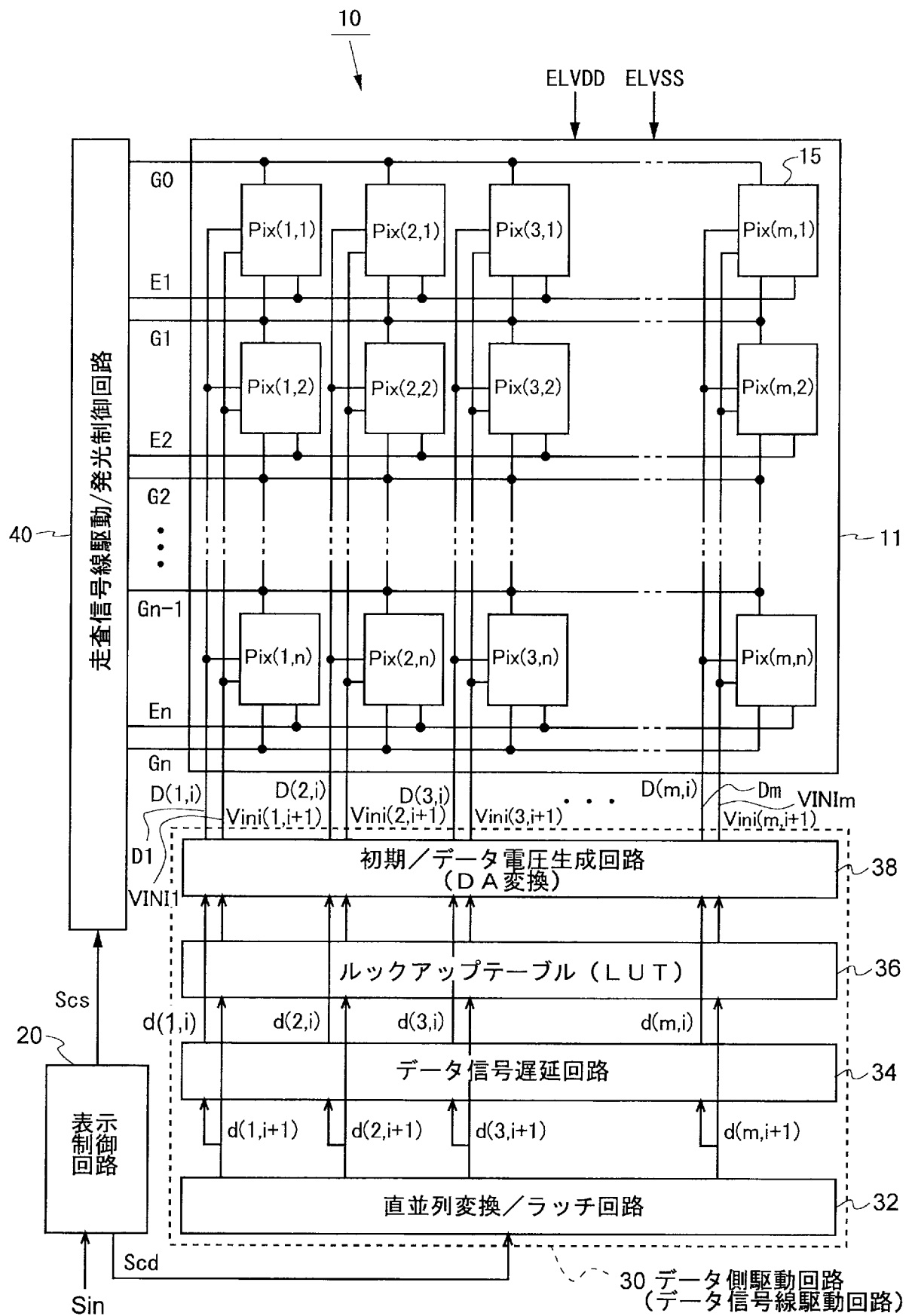
表示すべき画像を表す複数のデータ信号を所定時間だけ遅延させた複数の駆動用データ信号をアナログ電圧信号の形態で生成するステップと、

前記複数の駆動用データ信号を前記複数のデータ信号線にそれぞれ印加するステップと、

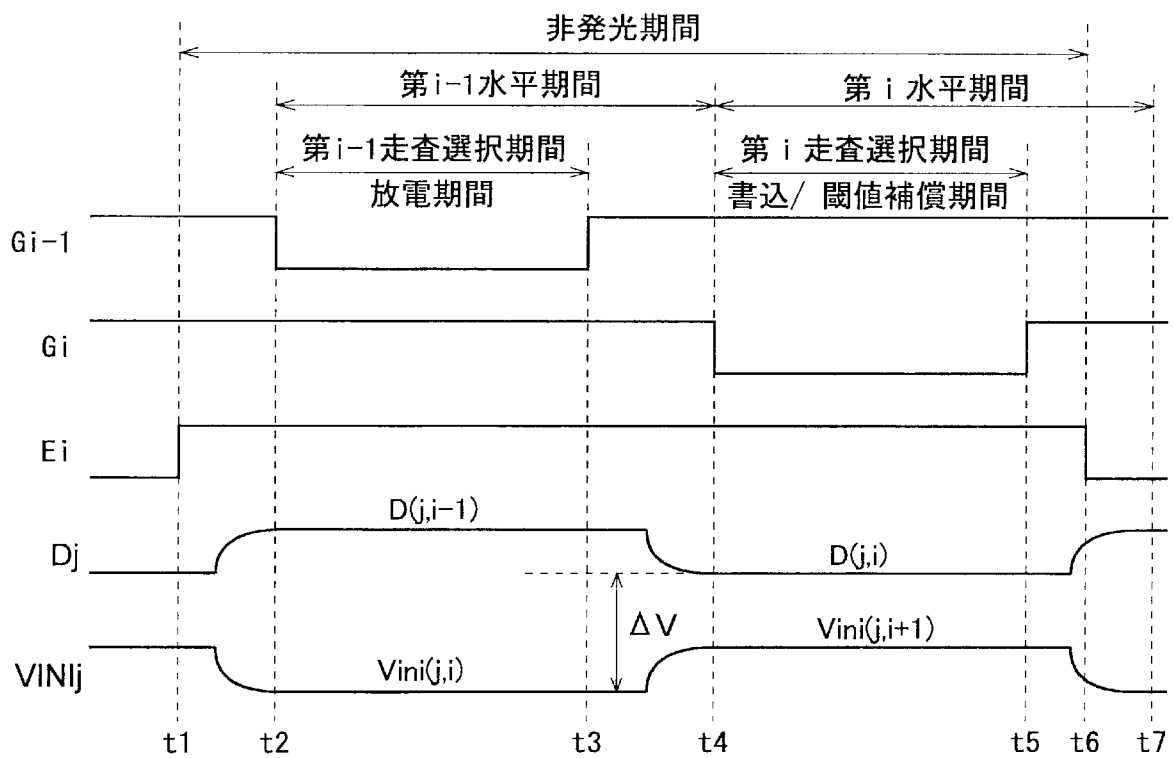
前記複数のデータ信号のそれぞれの値に対し同一の所定値を前記画素回路の構成に応じて減算または加算することにより得られる複数の値をそれぞれ有する複数の初期化信号をアナログ電圧信号の形態で生成するステップと、

前記生成された複数の初期化信号を前記複数の初期化信号線に印加するステップとを含む、駆動方法。

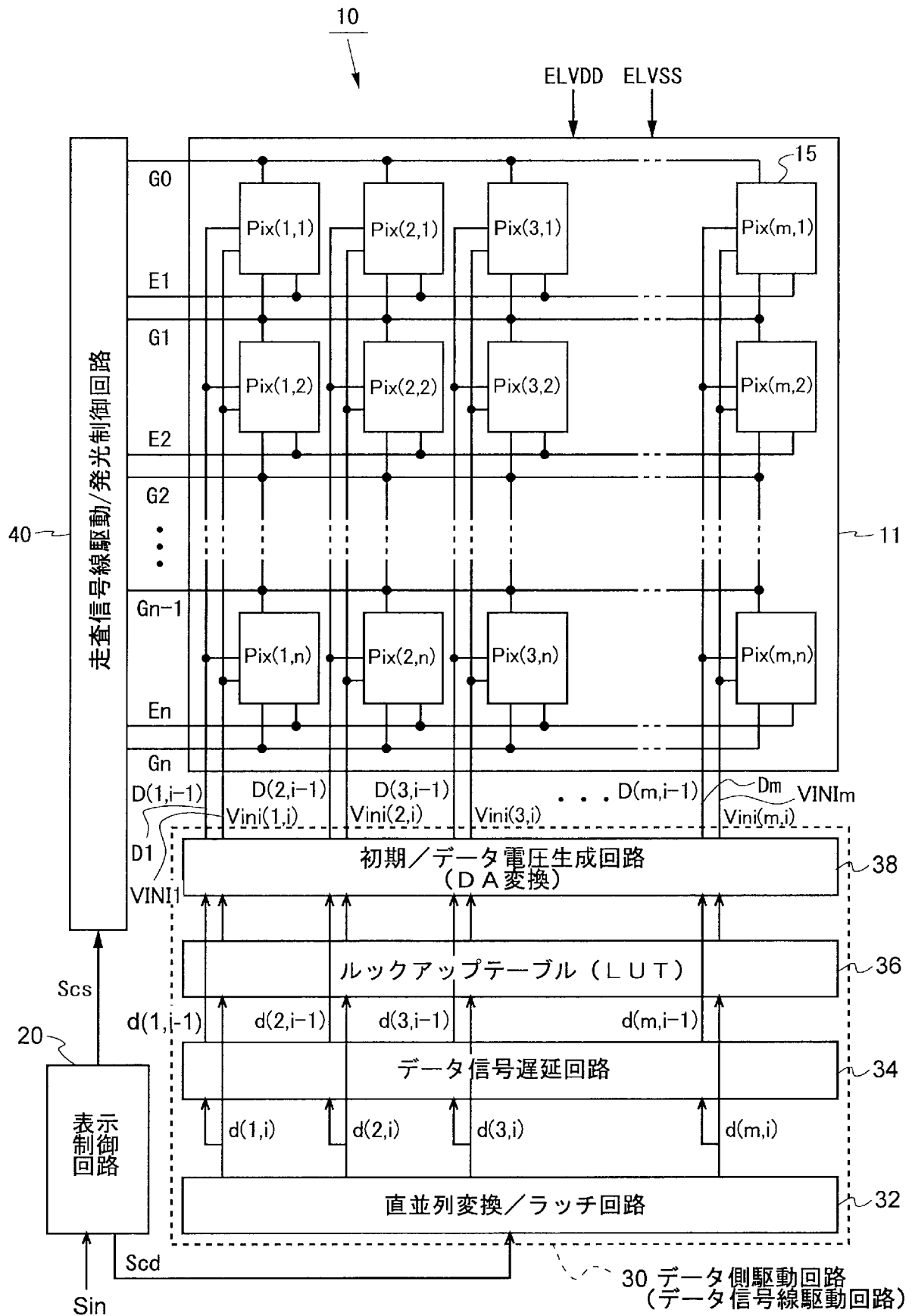
[図1]



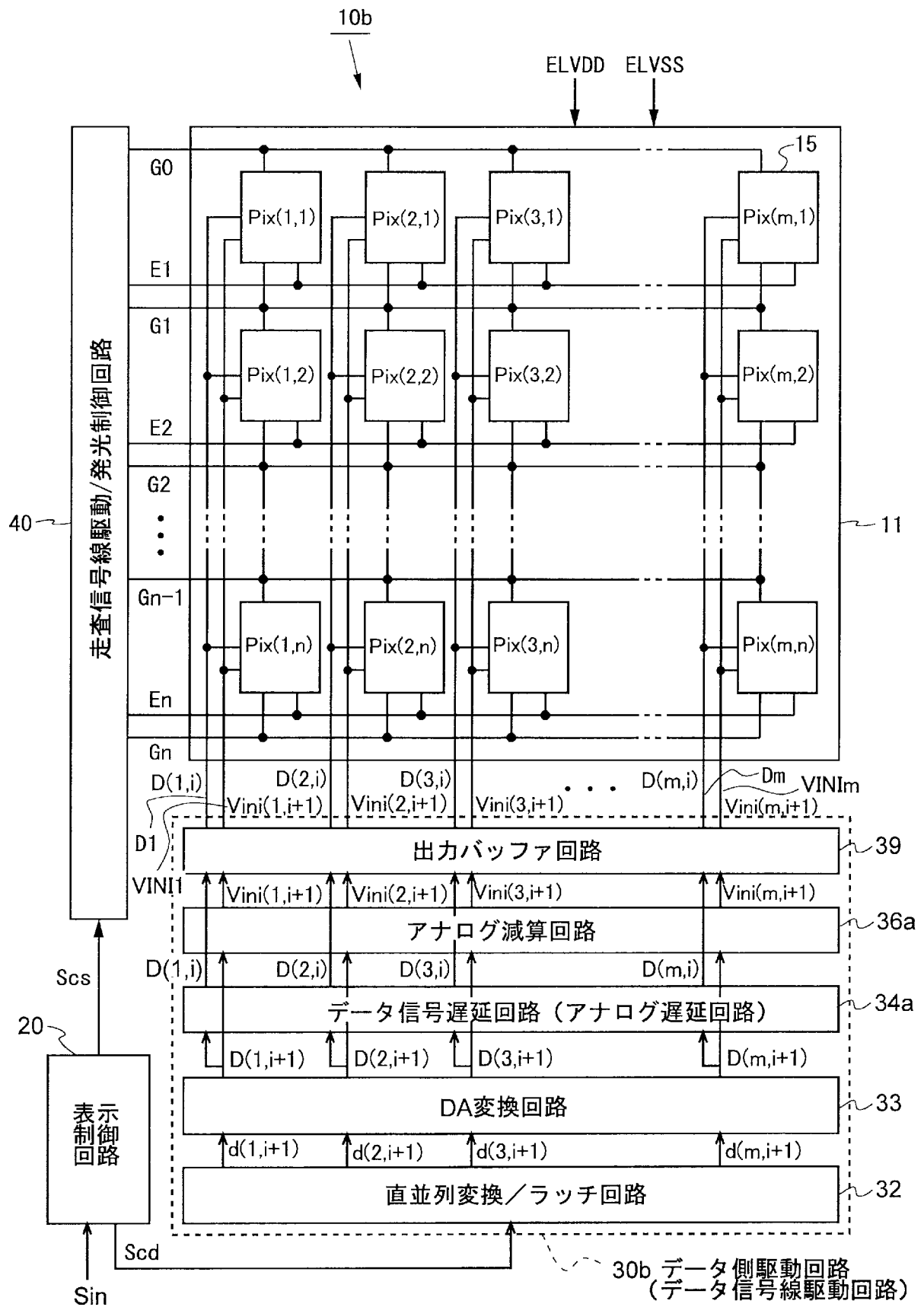
15



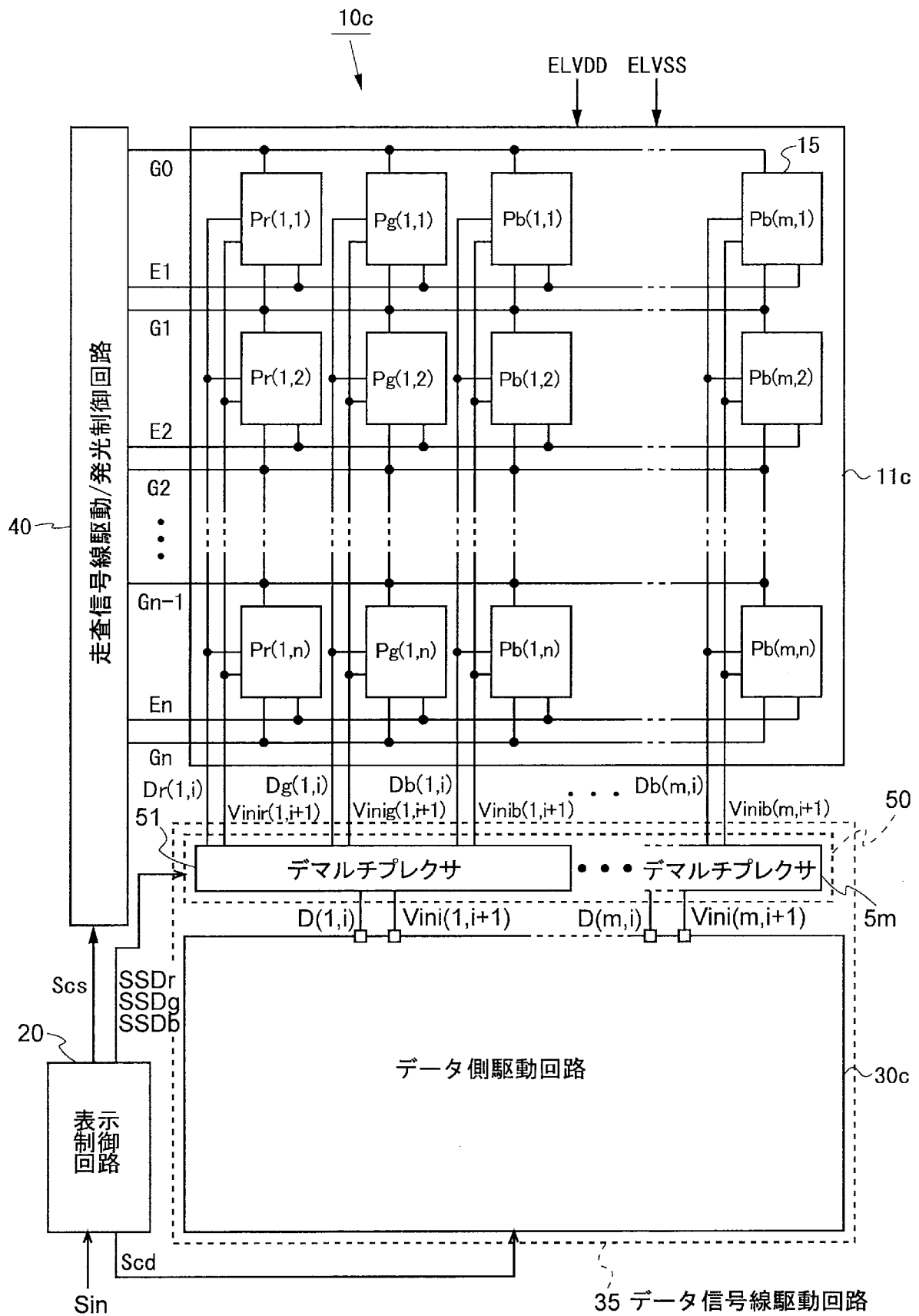
[図4]



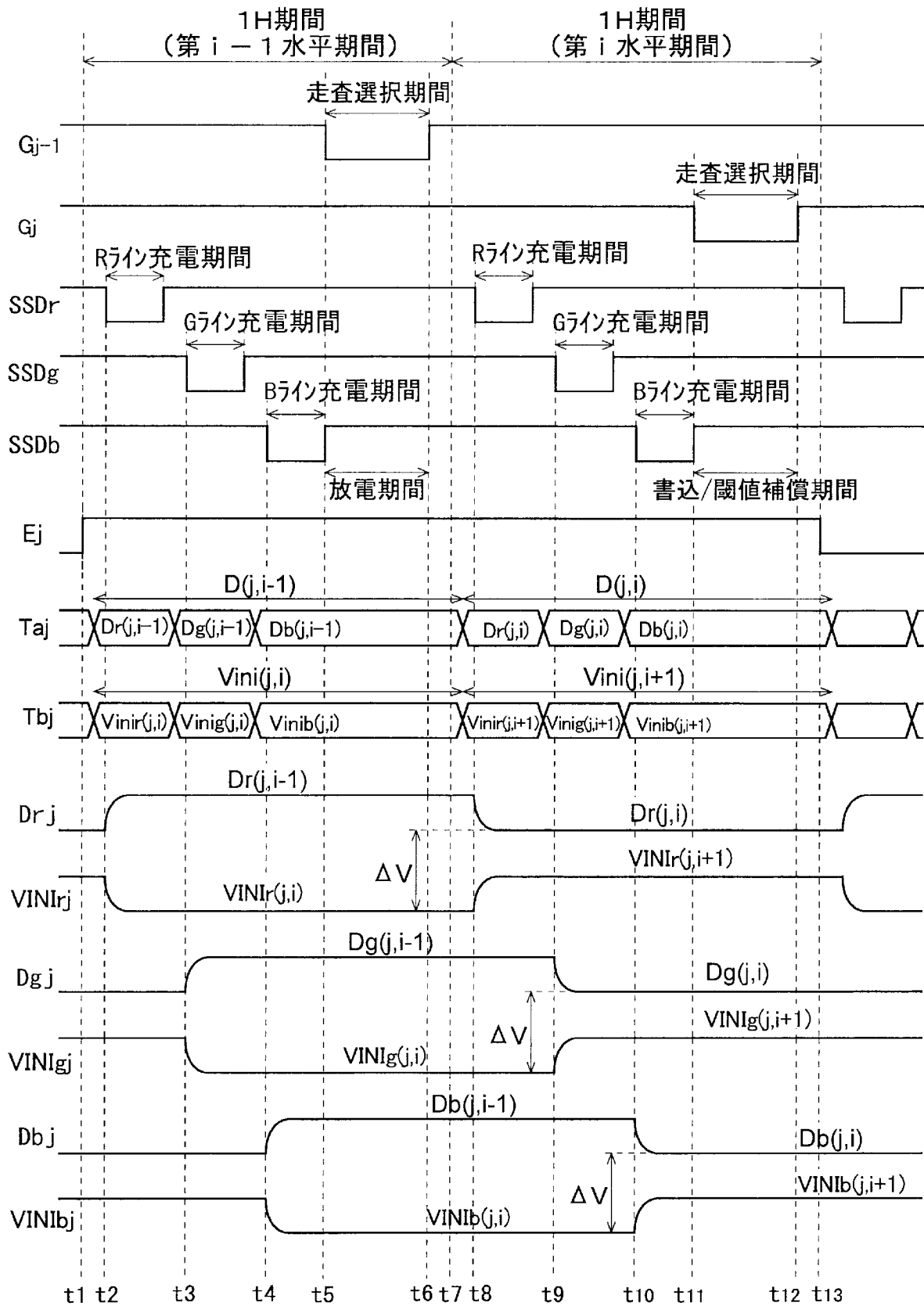
[図5]



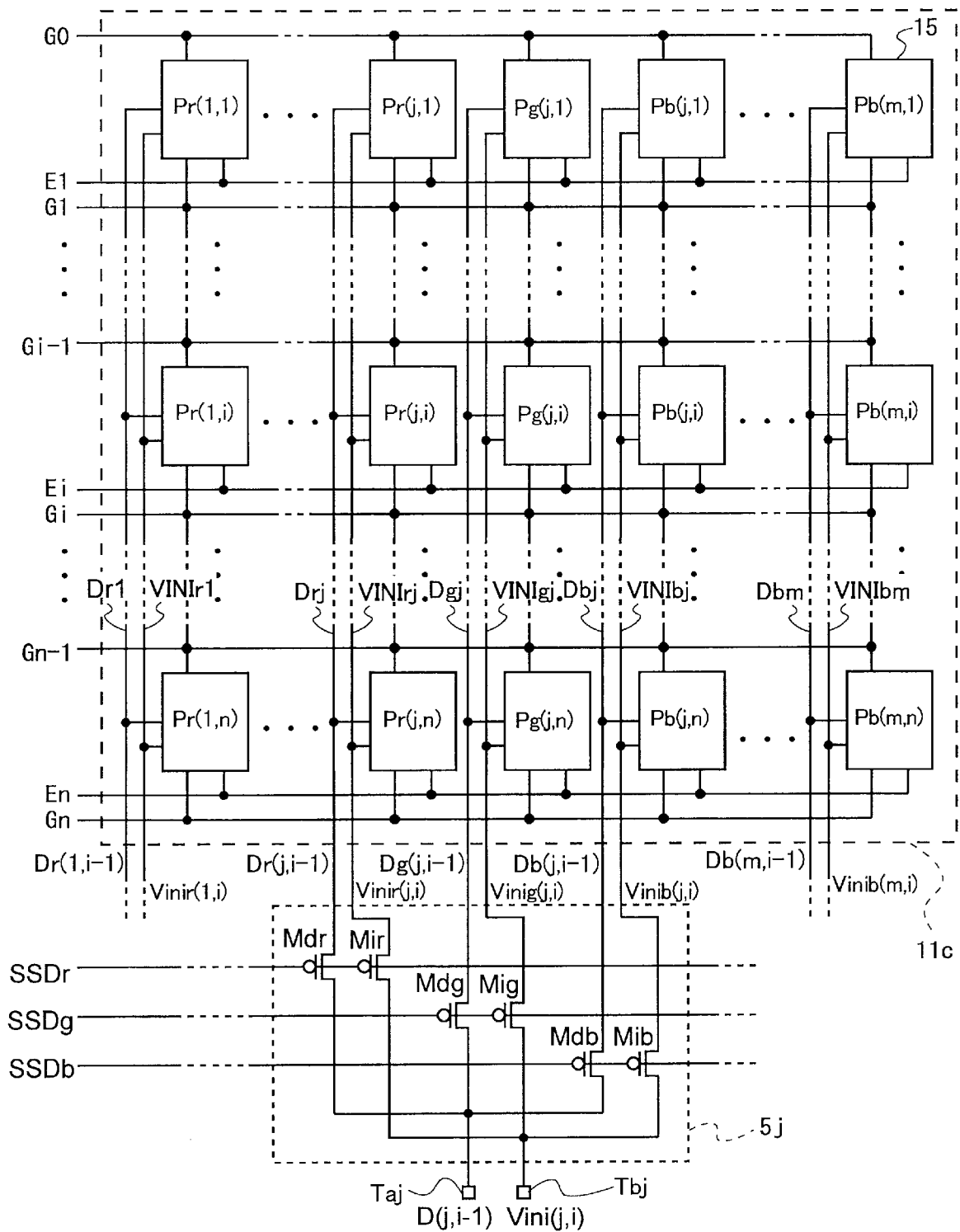
[図6]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/026455

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/3233(2016.01)i, G09G3/20(2006.01)i, G09G3/3291(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/3233, G09G3/20, G09G3/3291

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2009-265328 A (Toshiba Mobile Display Co., Ltd.), 12 November 2009 (12.11.2009), paragraphs [0069] to [0102], [0161] to [0164]; fig. 14, 16 to 20, 22 to 26, 50 (Family: none)	1, 4-6 2-3
Y	WO 2015/140861 A1 (JOLED Inc.), 24 September 2015 (24.09.2015), paragraphs [0103] to [0111]; fig. 6 & US 2017/0076663 A1 paragraphs [0115] to [0131]; fig. 6	2-3

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
06 October 2017 (06.10.17)

Date of mailing of the international search report
17 October 2017 (17.10.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/026455

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-180765 A (Casio Computer Co., Ltd.), 13 August 2009 (13.08.2009), paragraphs [0032] to [0059]; fig. 4 & US 2009/0189924 A1 paragraphs [0090] to [0143]; fig. 4A	2-3
Y	WO 2015/136588 A1 (JOLED Inc.), 17 September 2015 (17.09.2015), paragraphs [0094] to [0097] & US 2017/0018220 A1 paragraphs [0173] to [0176]	2-3
A	US 2016/0321990 A1 (SAMSUNG DISPLAY CO., LTD.), 03 November 2016 (03.11.2016), entire text; all drawings & KR 10-2016-0130066 A	1-6
A	JP 2014-62967 A (Canon Inc.), 10 April 2014 (10.04.2014), entire text; all drawings & US 2014/0078233 A1	1-6
A	JP 2012-63734 A (Samsung Mobile Display Co., Ltd.), 29 March 2012 (29.03.2012), entire text; all drawings & US 2012/0062536 A1	1-6

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G09G3/3233(2016.01)i, G09G3/20(2006.01)i, G09G3/3291(2016.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G09G3/3233, G09G3/20, G09G3/3291

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2009-265328 A（東芝モバイルディスプレイ株式会社） 2009.11.12, [0069]-[0102]. [0161]-[0164], 図14, 16-20, 22-26, 50 (ファミリーなし)	1, 4-6 2-3
Y	WO 2015/140861 A1（株式会社J O L E D）2015.09.24, [0103]-[0111], 図6 & US 2017/0076663 A1, [0115]-[0131], FIG. 6	2-3
Y	JP 2009-180765 A（カシオ計算機株式会社）2009.08.13, [0032]-[0059], 図4 & US 2009/0189924 A1, [0090]-[0143], FIG. 4A	2-3

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

06.10.2017

国際調査報告の発送日

17.10.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

橋本 直明

21

9707

電話番号 03-3581-1101 内線 3273

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2015/136588 A1 (株式会社 J O L E D) 2015. 09. 17, [0094]-[0097] & US 2017/0018220 A1, [0173]-[0176]	2-3
A	US 2016/0321990 A1 (SAMSUNG DISPLAY CO., LTD.) 2016. 11. 03, 全 文全図 & KR 10-2016-0130066 A	1-6
A	JP 2014-62967 A (キヤノン株式会社) 2014. 04. 10, 全文全図 & US 2014/0078233 A1	1-6
A	JP 2012-63734 A (三星モバイルディスプレイ株式會社) 2012. 03. 29, 全文全図 & US 2012/0062536 A1	1-6