

申請日期： 類別：	8.6.4 G06F 7124	案號：88109265	公告
--------------	--------------------	-------------	----

(以上各欄由本局填註)

發明專利說明書

445428

一、 發明名稱	中文	連接比較端於聯賽樹狀結構之合併分類排序處理裝置
	英文	
二、 發明人	姓名 (中文)	1. 東辰輔
	姓名 (英文)	1.
	國籍	1. 日本
	住、居所	1. 東京都千代田區丸之內二丁目2番3號
三、 申請人	姓名 (名稱) (中文)	1. 三菱電機股份有限公司
	姓名 (名稱) (英文)	1. 三菱電機株式會社
	國籍	1. 日本
	住、居所 (事務所)	1. 東京都千代田區丸之內二丁目2番3號
	代表人 姓名 (中文)	1. 谷口一郎
代表人 姓名 (英文)	1.	



445428

本案已向

國(地區)申請專利

日本 JP

申請日期

1998/06/19 10-173355

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明所屬技術領域

本發明係關於在資料庫之合併分類，即依據大小比較變更資料之排列之處理之硬體之實現方式。

習知技術

一般，係資料庫之要素之記錄由複數個欄構成。將某欄作為鍵，並按照上升順序或下降順序變更記錄之排列之處理稱為分類。又，有已分類之記錄串有複數個之情況，將那些再編成一個已分類之記錄串之處理稱為合併。

在用軟體分類或合併之情況，在處理器和記憶體、碟片等輔助記憶裝置之間大量之資料往返，處理需要時間。而，在高速處理分類之硬體上存在管路式合併分類器等。

圖10係例如在「VLSI分類處理器」(情報處理，Vol.31, No.4, 1990年4月，喜連川優等著)記載之管路式合併分類器之構造圖。在圖10表示1次元連接之分類處理器1000、1001、1002、1003和與各分類處理器1000~1003連接之記憶體1010、1011、1012、1013。

在管路式合併分類器，第n段之分類處理器自第n-1段分類處理器輸入各自由 2^{n-1} 個記錄構成之2組已分類之記錄串，合併後輸出由 2^n 個記錄構成之1組已分類之記錄串。在和各分類處理器連接之記憶體儲存所輸入2組記錄串之中之第1記錄串。使用了管路式合併分類器分類之過程如圖11所示。

圖11係表示2路徑(Way)合併分類之記錄串之變遷例之



五、發明說明 (2)

圖，一般在 K 路徑合併分類，第 n 段之分類處理器自第 $n-1$ 段分類處理器輸入各自由 K^{n-1} 個記錄構成之 K 組已分類之記錄串，合併後輸出由 K^n 個記錄構成之 1 組已分類之記錄串。

圖12係表示利用競賽樹方式之8路徑合併分類之分類處理器之構造之圖。在圖12表示比較節點1100~1120、保持投入競賽比較電路之資料之8個暫存器1200~1207以及保持比較之勝者之輸出暫存器1210。在相當於競賽之第1回合之比較節點1100輸入暫存器1200及1201之資料，其輸出成為第2回合之比較節點1110之一者之輸入。1110之另一者之輸入和別的第1回合之比較節點1101之輸出連接，1110之輸出成為第3回合即決賽之比較節點1120之一者之輸入。1120之輸出變成暫存器1210之輸入。

圖13係詳細表示了圖12所示各比較節點之構造圖。資料 X 及 Y 都成為比較器1500和選擇器1510之輸入。依照在比較器1500之比較結果在選擇器1510選擇後輸出資料 Z 。

說明依據圖12及圖13之構造之動作。在各輸入暫存器1200~1207輸入如圖4所示之已分類之記錄串各1字。記錄串之各記錄由鍵和記錄本體構成。最初將記錄串0~7之各前頭記錄之鍵之第1字設於輸入暫存器1200~1207，以後視需要各自依次將後續之字設於暫存器。

可是，在習知之8路徑合併分類，在穩態上需要供給輸入暫存器1200~1207八條記錄串。一般因記錄串儲存於共用之記憶體並經由共用之資料匯流排讀出，在此情況，



五、發明說明 (3)

在穩態上八條記錄串之讀出競賽，成為合併分類處理之性能降低之要因。

因此，為了防止這種性能降低，在日本專利申請公告編號特公平7-111677號公報(公告日1995年11月29日)改良交換選擇法，公開例如藉著在穩態上比較5個記錄實現16路徑合併分類之資料處理裝置。這相當於藉著4個記錄之比較實現8路徑合併分類。

發明要解決之課題

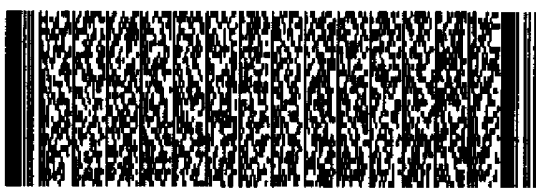
可是，在本習知例，需要將競賽樹起始化之過程，那時需要額外之時計週期。即，例如在8路徑合併分類之情況，意指在管路式合併分類器之第1段每8個記錄插入額外之時計週期，這會成為令管路式合併分類器整體之性能降低之要因。

於是，在習知之K路徑合併分類，有來自記憶體之記錄串之讀出競賽而令性能降低，或者在競賽樹之起始化需要額外之時計週期而令性能降低之問題。

解決課題之手段

本發明係為了解決上述之問題而想出來的，其目的在於提供可實現高速之合併分類處理之合併分類排序處理裝置。

為了達成上述之目的，本發明之合併分類排序處理裝置，係關於藉著在指定之各處理循環比較逐次設於複數個輸入暫存器之各資料，將由1個或複數個資料構成之記錄按照上升順序或下降順序變更排列之合併分類排序處理裝

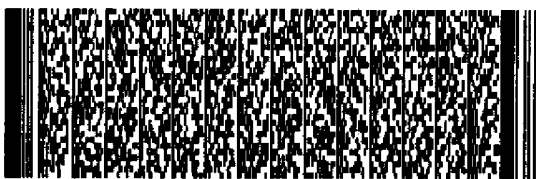


五、發明說明(4)

置，包括：競賽比較電路，藉著將進行2個輸入資料之比較處理之結果輸出某一者之輸入資料而且輸出其比較結果之複數比較節點連接成競賽樹狀，形成複數條自該各輸入暫存器開始之路徑；以及比較控制電路，依照該比較節點輸出之比較結果決定表示輸入該各比較節點之各資料之有效性之有效旗標資訊之設定內容，而且向對應之該比較節點供給所決定之有效旗標資訊；在下一處理循環，令該各比較節點如在自該比較控制電路送來之有效旗標資訊表示雙方之輸入資料都有效之情況輸出依據輸入資料之大小關係所決定之輸入資料，而在有效旗標資訊表示雙方之輸入資料都無效之情況不輸出輸入資料般動作；該比較控制電路，藉著在資料比較處理將和未輸出之輸入資料對應之有效旗標資訊設為無效，在記錄比較處理終了之時刻將和該各比較節點之各輸入資料對應之有效旗標資訊之內容在和與輸出對該比較節點之輸入資料之下階連接之比較節點應之有效旗標資訊設為有效之情況設為有效，執行合併分類處理時不必每次進行記錄比較處理都將該競賽比較電路起始化。

又，該比較節點具有比較2個輸入資料之大小關係之比較器、及依照該比較器之比較結果及自該比較控制電路送來之有效旗標資訊輸出某一者之輸入資料之選擇器。

又，該比較控制電路具有保持自該各比較節點送來之比較結果之比較結果保持裝置，每自該各比較節點送來比較結果，該比較結果保持裝置保持該比較結果，在該競賽



五、發明說明 (5)

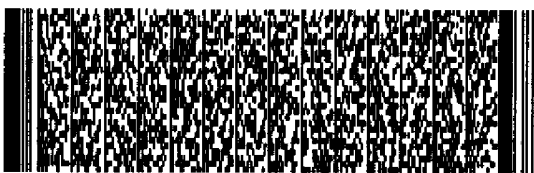
比較電路在某路徑連贏時將位於該路徑之路線(path)上之該比較節點之該比較結果保持裝置保持之比較結果起始化。

又，該比較控制電路具有在該競賽比較電路保持位於最下階層之比較節點以外之該比較節點之有效旗標資訊之有效旗標資訊保持裝置，對應於和在對應之該比較節點之下階連接之該比較節點之該有效旗標資訊保持裝置之中至少一者設定時在該有效旗標資訊保持裝置設定有效，在對應之該比較節點之另一者之輸入資料贏時或在對應之該比較節點之上階之該比較節點在另一者之輸入資料贏時在該有效旗標資訊保持裝置設定無效。

此外，該比較控制電路具有保持表示設於令和各路徑對應之輸入暫存器之資料是否作為在下一資料比較處理之處理對象之資訊之處理對象路徑保持裝置，將和位於在正前之資料比較處理連贏之資料通過之路徑或路線上之該比較節點之中只在一個比較節點輸了之路徑對應之輸入暫存器所設定之資料在該處理對象路徑保持裝置設為在下一資料比較處理有效，在位於路線上之該比較節點決定了輸之時刻將和該路徑對應之輸入暫存器所設定之資料在該處理對象路徑保持裝置設為在下一資料比較處理無效。

發明之效果

若利用本發明，因可防止在習知之K路徑合併分類發生之來自記憶體之記錄串之讀出競賽或競賽樹之起始化引起之性能降低，可實現高速之合併分類。



五、發明說明(6)

又，因使用選擇器實現了比較節點，在競賽比較電路能在1個循環決定勝者。

圖式簡單說明

圖1係表示本發明之合併分類排序處理裝置之一實施形態之構造圖。

圖2係表示在本實施形態之比較節點之內部構造之圖。

圖3係表示了表示在本實施形態之比較節點之動作之真值表之圖。

圖4係表示在本實施形態比較並合併分類之記錄構造例之圖。

圖5係表示在本實施形態保持比較控制電路之暫存器群之構造之圖。

圖6係表示在本實施形態保持比較控制電路之暫存器之第1狀態之圖。

圖7係表示在本實施形態保持比較控制電路之暫存器之第2狀態之圖。

圖8係表示在本實施形態保持比較控制電路之暫存器之第3狀態之圖。

圖9係表示在本實施形態保持比較控制電路之暫存器之第4狀態之圖。

圖10係管路式合併分類器之構造圖。

圖11係表示管路式合併分類器之動作處理之說明圖。

圖12係習知例之競賽比較電路之構造圖。



五、發明說明(7)

圖13係習知例之比較節點之構造圖。

符號說明

100~120比較節點、200~207輸入暫存器、210輸出暫存器、300比較控制電路、500比較器、510選擇器、600~607合併成員暫存器(處理對象路徑保持裝置)、700~720比較結果暫存器(比較結果保持裝置)、800~820有效旗標暫存器(有效旗標資訊保持裝置)

發明之實施例

以下依照圖面說明本發明之適合的實施例。

圖1係表示本發明之合併分類排序處理裝置之一實施形態之構造圖，8係表示8路徑合併分類之例子。在此，以上升順序排列各記錄之情況為例說明。在圖1表示比較節點100~103、100~111、120、輸入暫存器200~207、輸出暫存器210以及比較控制電路300。比較節點100~120依照2個輸入資料之比較結果及自比較控制電路300送來之輸入資料之有效旗標資訊輸出一者之輸入資料。藉著將這些比較節點100~120連接成競賽樹狀形成具有自輸入暫存器200~207開始之路徑之競賽比較電路。輸入暫存器200~207保持投入該競賽比較電路之資料。輸出暫存器210保持在一次之資料比較處理之勝者。利用圖1所示競賽比較電路時，在相當於競賽之第1回合之比較節點100，輸入暫存器200及201之資料，其輸出成為第2回合之比較節點110之一者之輸入。在比較節點110之另一者之輸入連接別的第1回合之比較節點101之輸出。比較節點110之輸出成為第3回

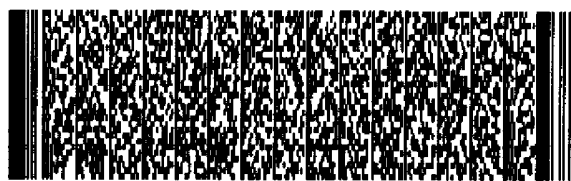


五、發明說明(8)

合即決賽之比較節點120之一者之輸入。在比較節點120之另一者之輸入連接別的第2回合之比較節點111之輸出，在比較節點111之各輸入各自連接相當於第1回合之比較節點102、103之輸出。然後，比較節點120之輸出成為輸出暫存器210之輸入。比較控制電路300和各比較節點100~120交換控制資訊。即，將依照送來之比較節點100~120之比較結果所決定之表示在各比較節點100~120之輸入資料之有效性之有效旗標資訊供給對應之比較節點100~120。

圖2係表示在本實施形態之比較節點之內部構造之圖。圖1所示各比較節點之基本構造係和本圖2所示比較節點一樣。比較器500比較2個輸入資料X、Y之大小關係後，將其比較結果作為信號R輸出。選擇器510依照來自比較器500之信號R及係來自比較控制電路300之有效旗標資訊之信號V選擇，將輸入資料X、Y之某一者作為資料Z輸出。在本實施形態，因不是使用暫存器而使用選擇器510實現比較節點，在競賽比較電路能在一個循環決定勝者。

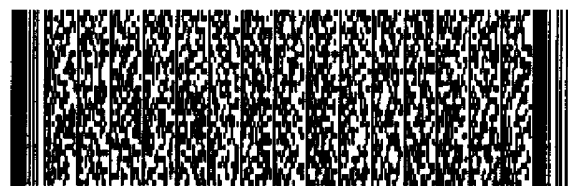
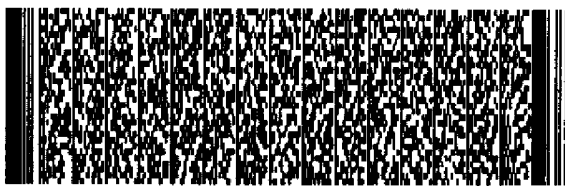
圖3係以真值表表示比較節點500之動作之圖。信號R由2位元構成，分別表示資料X贏之"10"、資料Y贏之"01"、平手之"00"。自比較控制電路300送來之信號V也由2位元構成，各位元各自表示所輸入之資料X、Y是否有效。在資料X、Y都有效之情況"11"，將信號R所示贏之一者作為Z輸出，在平手之情況輸出任一者都可。在資料X、Y之中只有一者有效之情況，將有效之一者作為Z輸出。在資料X、Y都無效之情況，輸出任一者都可。



五、發明說明 (9)

圖4係表示在本實施形態比較並合併分類之記錄構造例之圖。各記錄串0~7由已分類之記錄構成，各記錄由鍵和記錄本體構成。在各輸入暫存器200~207自對應之各已分類之記錄串0~7之前頭開始輸入各1字。即，在輸入暫存器200~207最初設定記錄串0~7之各前頭記錄之鍵之第1字，以後視需要各自依次設定後續之1字之資料。例如，在1個記錄由1字之鍵和3字之本體共4字構成之情況，最初設定鍵，接著設定記錄本體之第1字、第2字、第3字。在本例之一次之比較處理，成為對象之資料係輸入暫存器200~207之大小，係競賽比較電路之匯流排之寬度，即1字長度。此外，在本實施形態，資料不是意指記錄本身，而是構成記錄之1字長度之資料，意指在1個循環之比較處理比較之資料。將這在1個循環之比較處理稱為資料比較處理。又，在本例之情況，以4個循環進行4個字之資料比較處理，才進行了記錄之比較處理。將這包含4個字之資料比較處理稱為記錄比較處理。在記錄為1字長度時，記錄和資料變成同義。

圖5係表示在本實施形態之比較控制電路300保持之暫存器群之構造之圖。比較控制電路300具有合併成員暫存器600~607、比較結果暫存器700~720以及有效旗標暫存器800~820。比較結果暫存器700~720設置為保持自各比較節點100~120送來之比較結果之比較結果保持裝置，保持值各自依據比較節點100~120之信號R決定。合併成員暫存器600~607係保持表示令和各路徑對應之輸入暫存器200~207



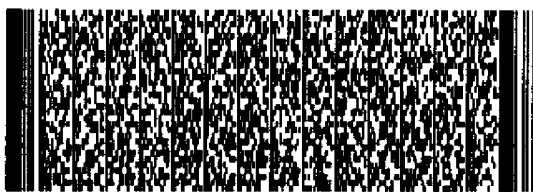
五、發明說明(10)

所設定之資料是否作為在下一資料比較處理之處理對象之資訊之處理對象路徑保持裝置。有效旗標暫存器800~820之中和在競賽比較電路位於最下階層以外之比較節點110、111、120對應設置之有效旗標暫存器810、811、820係保持各比較節點110、111、120之有效旗標資訊之有效旗標資訊保持裝置。合併成員暫存器600~607及有效旗標暫存器810、811、820各自變成供給比較節點100~120之信號V之值。此外，在保持有效旗標資訊上，因合併成員暫存器600~607也和有效旗標暫存器810、811、820一樣，在圖上以有效旗標暫存器800~803表示。換言之，有效旗標暫存器800~803實體上係和合併成員暫存器600~607一樣的。

其次，更詳細說明對比較控制電路300所具有之各暫存器之設定、清除之基本動作等。

比較結果暫存器700~720各自由2位元構成，各位元和對應之比較節點100~120之輸入對應。例如，比較結果暫存器700和比較節點100對應，依據來自比較節點100之信號R在傳送了資料X贏或資料Y贏之時刻保持該資訊。成為比較對象之記錄在到最後為止未決定輸贏之情況(在上述例子比較到最後之第4字之資料為止也未分大小之情況)，看成資料X贏，將該主旨設於比較結果暫存器700。

在本實施形態設為"1"表示贏。關於比較結果暫存器701~720也一樣。例如，在一次之記錄比較處理，在記錄串2連贏之情況，比較結果暫存器變成圖6所示之值。而，

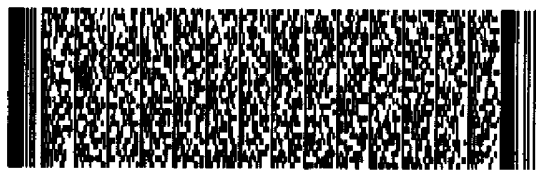


五、發明說明(11)

在開始下一記錄之比較處理時在前一記錄比較處理，例如在記錄串0之記錄連贏時及記錄串1之記錄連贏時清除比較結果暫存器700、710、720之對應側，在記錄串2之記錄連贏時及記錄串3之記錄連贏時清除比較結果暫存器701、710、720之對應側，在記錄串4之記錄連贏時及記錄串5之記錄連贏時清除比較結果暫存器702、711、720之對應側，在記錄串6之記錄連贏時及記錄串7之記錄連贏時清除比較結果暫存器703、711、720之對應側。即，在表示了記錄比較處理剛終了之狀態之圖6之後，在下一次之記錄比較處理開始時刻清除比較結果暫存器701、710、720，比較結果暫存器變成圖7所示之值。

合併成員暫存器600~607各自和記錄串0~7對應，在對應之記錄串0~7之正前之記錄連贏了之情況或在位於路線上之比較節點之中只在一個比較節點輸了之情況，具體而言，在對應之由第1回合至第3回合為止之3個比較節點之中在2個比較節點贏了之情況，到下一記錄比較處理開始前為止設定。若依照圖6所示例子，照圖7所示設定合併成員暫存器600、602、603、605。然後，合併成員暫存器600~607在下一記錄比較處理在位於路線上之比較節點決定了輸之時刻，具體而言，在決定第1回合輸了之時刻，或在決定了第1回合贏和第2回合輸之時刻，或在決定了第1、2回合贏和第3回合輸之時刻重設。

有效旗標暫存器800~820各自由2位元構成，各位元和對應之比較節點100~120之輸入對應。有效旗標暫存器之



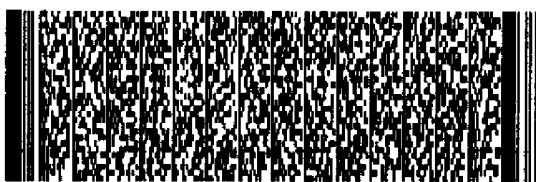
五、發明說明 (12)

值以信號V傳給比較節點100~120。如上述所示，位於最下階層之有效旗標暫存器800~823之各2位元在實體上係和合併成員暫存器600~607一樣。有效旗標暫存器800~820在記錄比較處理終了之時刻，例如有效旗標暫存器810之左側之位元在構成位於其下階之有效旗標暫存器800之2位元之中至少一者設定時設定。而，在下一記錄比較處理所含之各資料比較處理，在比較節點110Y輸入贏了之情況，或者在比較節點110X輸入贏、在比較節點120Y輸入贏了之情況重設。關於有效旗標暫存器810之另一者之位元及有效旗標暫存器811之2位元也一樣。同樣地，有效旗標暫存器820之左側之位元，在記錄比較處理終了之時刻在位於其下階之有效旗標暫存器810之2位元之中至少一者設定時設定，在下一記錄比較處理所含之各資料比較處理，在比較節點120Y輸入贏了之情況重設。表示資料比較處理剛終了之狀態之圖6之正後之有效旗標暫存器800~820變成圖7所示之值。

其次，沿著在本實施形態之記錄比較處理之步驟說明。此外，在此以1個記錄由4字構成之情況(包含鍵)為例說明。

首先，在合併分類排序處理裝置開始動作時比較控制電路300之比較結果暫存器700~720係"00"，有效旗標暫存器800~820係意指資料X、Y都是有效資料之"11"，各自起始化。

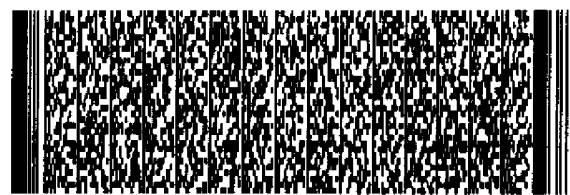
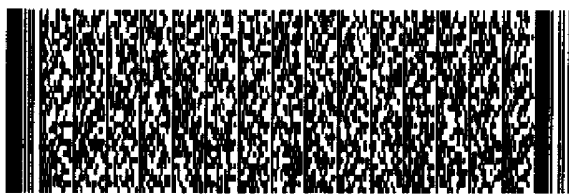
在第1個循環，在輸入暫存器200~207自圖4所示已分



五、發明說明 (13)

類之各記錄串輸入前頭之1字之資料(在此為鍵)，競賽比較電路依照該資料馬上判斷大小關係，將最後所選到之資料設於輸出暫存器 210。在本實施形態之比較節點 100~120 因使用選擇器，可在本循環內馬上決定輸贏。此外，輸入了輸出暫存器 210 之資料原封不動地輸出，退避於圖上未示之緩衝器儲存。即，因為輸出，不需要特殊之循環。依據信號V時，因輸入之資料X、Y都有效，在各比較節點100~120就選擇小的。又，此時，自各比較節點 100~120 輸出信號R，將其內容設比較控制電路300之比較結果暫存器700~720。例如，因 $X < Y$ ，在和選擇了資料X之比較節點對應之比較結果暫存器設定"10"。又，在 $X = Y$ 時，和所選擇之資料值無關地在比較結果暫存器設定"00"。

在此，在第1個循環即第1字之資料比較處理，例如因自記錄串5(輸入暫存器205)輸入之資料Y之值比自另一者之記錄串4(輸入暫存器204)輸入之資料X的大而未選擇之情況，就該比較之記錄串4、5而言，不必進行第2字以後之資料比較處理，在此時刻也就分出輸贏。又，記錄串5所含之資料Y在第1回合就決定輸了。因此，若利用本實施形態，在這種情況，依照本例時，將和比較節點102對應之有效旗標暫存器802設為"10"，在自第2字至第4字為止之資料比較處理向比較節點102輸出"10"之信號V，使得不選擇資料Y。藉著將信號V設為"10"，和第2字以後之資料X、Y之大小無關地只選擇資料X，這由圖3(b)也明白。在X

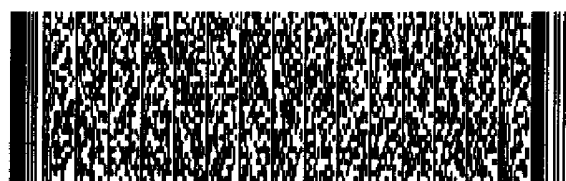


五、發明說明 (14)

>Y之情況，只是在各暫存器設定之旗標值變成相反，一樣地動作。又，在 $X=Y$ 之情況，因輸贏之決定留到第2字以後，如上述所示，在比較結果暫存器設定"00"，而在有效旗標暫存器就一直保持意指輸入之資料X、Y都有效之起始值"11"。

於是，在各比較節點100~120，依照自比較控制電路300送來之已設定之有效旗標資訊(信號V)之內容進行輸入資料之比較處理，結果選擇某一者之資料後輸出，再向比較控制電路300輸出係此時之比較結果之信號R。在比較控制電路300，將自各比較節點100~120送來之比較結果保持於比較結果暫存器700~720，而且依照其比較結果更新有效旗標暫存器800~820。依照此更新有效旗標暫存器800~820之內容即有效旗標資訊，比較節點100~120進行下一資料比較處理。

基本上，藉著重複上述之處理4個循環，就進行1次記錄比較處理。也有不必花4個循環就決定連贏之記錄之情況，但是在此情況也執行4個循環之處理，必須向輸出暫存器210輸出設於輸入暫存器之連贏了之記錄之剩下之資料。適合此情況之第2字以後之資料比較處理變成只是自輸入暫存器200~207向輸出暫存器210輸出資料之處理。在第1個循環未決定連贏之記錄之情況，只有未分輸贏之記錄串進行資料比較處理。至最後字之資料比較處理為止就分出輸贏。即，關於在第2個循環、第3個循環未分輸贏的，如上述所示，清除輸側之有效旗標資訊，使得排除在



五、發明說明 (15)

下次以後之資料比較處理之處理對象。此外，在存在同值之記錄況，按照預先決定之指定之規則將之其中之一當作勝者處理。

照以上做，至第4字為止之比較處理，即1次之記錄比較處理終了，在此時刻，例如記錄串2連贏之情況之比較控制電路300之暫存器之內容變成如圖6所示。

因在各資料比較處理連贏了之資料退避於暫存器，向外部輸出花了和資料比較處理所需要的一樣之4個循環而最後變成勝者之記錄。在本實施形態，在此循環之間，為了下一記錄比較處理，將比較控制電路300之暫存器群之內容更新如下。此比較控制電路300之暫存器群之更新在記錄和記錄之境界瞬間進行。此外，更新後，即下次之記錄比較處理所需之各暫存器之設定內容如圖7所示。

首先，在比較結果暫存器700~720，如上述所示，因使得清除和連贏了之記錄串之路線上之比較節點對應之位置之設定內容，如圖6所示，在上次之記錄比較處理記錄串2連贏了之情況，各自清除和路線上之比較節點101、110、120對應之比較結果暫存器701、710、720之對應側，即左側、右側、左側。其他則原封不動地保持。又，合併成員暫存器600~607如上述所示，因在正前之記錄比較處理連贏了之記錄串及在位於路線上之比較節點自第1回合至第3回合為止之3個比較節點之中之2個比較節點贏了之情況設定，設定和在第1、3回合贏了之記錄串0、連贏了之記錄串2、在第2、3回合贏了之記錄串以及在第1、



五、發明說明 (16)

2 回合贏了之記錄串5 對應之合併成員暫存器600、602、603、605。又，有效旗標暫存器800~820之中有效旗標暫存器800~803因實體上和合併成員暫存器600~607一樣，變成和合併成員暫存器600~607同值。有效旗標暫存器810~820，因在構成位於下階之有效旗標暫存器之2位元之中至少一者設定時時設定，在圖7，除了有效旗標暫存器811之右側以外都設定。

在此狀態，進行下一記錄比較處理，結果，記錄串5連贏之情況如圖8所示。之後更新了之比較控制電路300之各暫存器之內容如圖9所示。

如上述所示，在本實施形態，藉著在比較控制電路300設置上述各暫存器，並按照指定之時刻設定、清除這些各暫存器，有如下之效果。

在本實施形態舉例之8路徑合併分類排序處理裝置之情況，只有最初比較和全部之路徑各自對應之記錄串，但是由下次開始只要比較4條記錄串即可。在圖7表示係記錄串0、2、3、5，在圖9表示只有記錄串0、4、5、6四條，表示只要對對應之輸入暫存器供給後續之資料就可決定下一勝者。反而言之，關於其他4條記錄串，不必供給輸入暫存器資料。一般，因記錄串儲存於共用之記憶體並經由共用之資料匯流排讀出，在8路徑合併分類之情況，在常態上8條記錄串之讀出會競賽，但是若利用本實施形態，在常態上只有4條記錄串之讀出會競賽。其理由如下。

例如，如圖6所示，在記錄串2連贏之情況，和記錄串



五、發明說明 (17)

2之資料直接比較後變成敗者之記錄或許具有自8個輸入暫存器輸入之記錄之中第2小之值。因此，在下一記錄比較處理，因有連贏之可能性，有必要預先設為比較對象。又，因自連贏了之記錄接著取出之記錄也有繼續連贏之可能性，在下一資料比較處理也有必要設為比較對象。而，與上述和記錄串2之資料直接比較後變成敗者之記錄直接比較後變成敗者之記錄，在該記錄比較處理因最好也是第3小之值，在下一記錄比較處理無連贏之可能性。因而不必列入比較對象。在本實施形態，因使得用合併成員暫存器600~607保持是否作為下一記錄比較處理之處理對象，可防止自共用記憶體之徒勞之讀出。

又，使得在資料比較處理一度變成敗者之記錄串在依照在該資料比較處理構成同一記錄之其他之資料之以後之比較處理不會變成勝者。將此資訊作為有效旗標資訊，保持於有效旗標暫存器810~820。此外，在本實施形態，以1個記錄由1字之鍵和3字之本體之4字構成之情況為例，但是即使是除此以外之字數，尤其是係1字也藉著進行上述之動作，可確實且迅速地進行合併分類處理。尤其，若利用本實施形態，不必每次比較記錄時將在比較控制電路300之各暫存器起始化。即，不需要特殊之起始化循環。

若利用本實施形態，一般在K路徑合併分類，可將在習知之K條記錄串之記憶體讀出競賽抑制成 $(\log_2 K + 1)$ 條之競賽，結果可減輕記憶體讀出之瓶頸。尤其，不必每次比較各記錄都進行特殊之起始化循環。此外，藉著各路徑



五、發明說明 (18)

個別地設置緩衝器，作為對在本實施形態所示之輸入暫存器200~207之資料供給源，也可迴避對輸入暫存器之資料供給之競賽，但是對緩衝器之資料供給還是來自共用記憶體，因在圖4所示鍵之大小超過緩衝器之大小之情況無法迴避記錄串之讀出競賽，本發明在這種情況也有效。

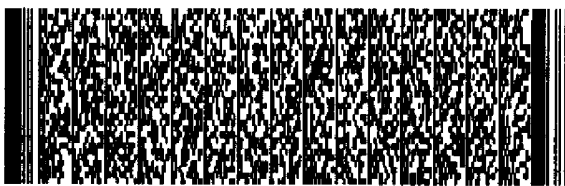
此外，在本實施形態，以按照上升順序排列之情況為例，但是在將大小結果反向處理之下降順序之情況當然也可一樣地構築。又，因在比較控制電路300保持之各比較節點100~120之比較結果或有效旗標資訊等全部係能以1位元表示之資訊，用暫存器構成了處理對象路徑保持裝置、比較結果保持裝置以及有效旗標資訊保持裝置，但是未限定如此。



四、中文發明摘要 (發明之名稱：連接比較端於聯賽樹狀結構之合併分類排序處理裝置)

一種合併分類排序處理裝置，具有由比較節點構成之競賽比較電路、及將依照比較節點之比較結果決定之在各比較節點之輸入資料之有效旗標資訊供給對應之比較節點之比較控制電路。比較控制電路包括保持該比較結果之測試結果暫存器、保持該有效旗標資訊之有效旗標資訊暫存器以及保持表示設於令和各路徑(Way)對應之輸入暫存器之資料是否作為在下一資料比較處理之比較對象之資訊之合併成員暫存器。藉著採用這種構成，因可不需要來自記憶體之記錄串之讀出競賽或各暫存器之起始化，可高速地執行合併分類處理。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種合併分類排序處理裝置，藉著在指定之各處理循環比較逐次設於複數個輸入暫存器之各資料，將由1個或複數個資料構成之記錄按照上升順序或下降順序變更排列，

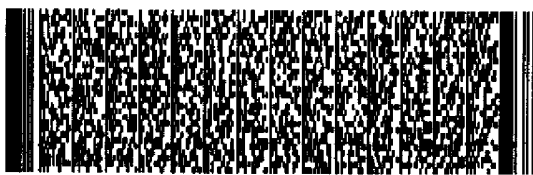
其特徵在於包括：

競賽比較電路，藉著將進行2個輸入資料之比較處理之結果輸出某一者之輸入資料而且輸出其比較結果之複數比較節點連接成競賽樹狀，形成複數條自該各輸入暫存器開始之路徑；以及

比較控制電路，依照該比較節點輸出之比較結果決定表示輸入該各比較節點之各資料之有效性之有效旗標資訊之設定內容，而且向對應之該比較節點供給所決定之有效旗標資訊；

在下一處理循環，令該各比較節點如在自該比較控制電路送來之有效旗標資訊表示雙方之輸入資料都有效之情況輸出依據輸入資料之大小關係所決定之輸入資料，而在有效旗標資訊表示雙方之輸入資料都無效之情況不輸出輸入資料般動作；

該比較控制電路，藉著在資料比較處理將和未輸出之輸入資料對應之有效旗標資訊設為無效，在記錄比較處理終了之時刻將和該各比較節點之各輸入資料對應之有效旗標資訊之內容在和與輸出對該比較節點之輸入資料之下階連接之比較節點應之有效旗標資訊設為有效之情況設為有效，執行合併分類處理時不必每次進行記錄比較處理都將



六、申請專利範圍

該競賽比較電路起始化。

2. 如申請專利範圍第1項之合併分類排序處理裝置，其中比較節點包括：

比較器，比較2個輸入資料之大小關係；以及

選擇器，依照該比較器之比較結果及自該比較控制電路送來之有效旗標資訊輸出某一者之輸入資料。

3. 如申請專利範圍第1項之合併分類排序處理裝置，其中：

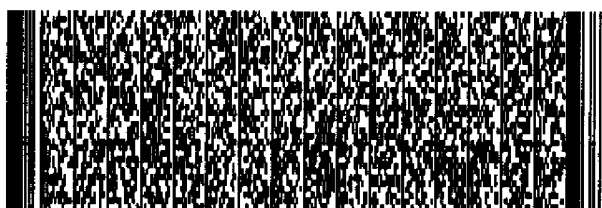
該比較控制電路具有保持自該各比較節點送來之比較結果之比較結果保持裝置；

每自該各比較節點送來比較結果，該比較結果保持裝置保持該比較結果，在該競賽比較電路在某路徑連贏時將位於該路徑之路線上之該比較節點之該比較結果保持裝置保持之比較結果起始化。

4. 如申請專利範圍第1項之合併分類排序處理裝置，其中：

該比較控制電路具有在該競賽比較電路保持位於最下階層之比較節點以外之該比較節點之有效旗標資訊之有效旗標資訊保持裝置；

對應於和在對應之該比較節點之下階連接之該比較節點之該有效旗標資訊保持裝置之中至少一者設定時在該有效旗標資訊保持裝置設定有效，在對應之該比較節點之另一者之輸入資料贏時或在對應之該比較節點之上階之該比較節點在另一者之輸入資料贏時在該有效旗標資訊保持裝



六、申請專利範圍

置設定無效。

5. 如申請專利範圍第1項之合併分類排序處理裝置，其中：

該比較控制電路具有保持表示設於令和各路徑對應之輸入暫存器之資料是否作為在下一資料比較處理之處理對象之資訊之處理對象路徑保持裝置；

將和位於在正前之資料比較處理連贏之資料通過之路徑或路線上之該比較節點之中只在一個比較節點輸了之路徑對應之輸入暫存器所設定之資料在該處理對象路徑保持裝置設為在下一資料比較處理有效，在位於路線上之該比較節點決定了輸之時刻將和該路徑對應之輸入暫存器所設定之資料在該處理對象路徑保持裝置設為在下一資料比較處理無效。

6. 如申請專利範圍第1項之合併分類排序處理裝置，其中：

該比較控制電路包括：

比較結果保持裝置，保持自該各比較節點送來之比較結果；

有效旗標資訊保持裝置，在該競賽比較電路保持位於最下階層之比較節點以外之該比較節點之有效旗標資訊；以及

處理對象路徑保持裝置，保持表示設於令和各路徑對應之輸入暫存器之資料是否作為在下一資料比較處理之處理對象之資訊；



六、申請專利範圍

每自該各比較節點送來比較結果就將該比較結果保持於該比較結果保持裝置，在該競賽比較電路在某路徑連贏時將在位於該路徑之路線上之該比較節點之該比較結果保持裝置已保持之比較結果起始化；

對應於和在對應之該比較節點之下階連接之該比較節點之該有效旗標資訊保持裝置之中至少一者設定時在該有效旗標資訊保持裝置設定有效，在對應之該比較節點之另一者之輸入資料贏時或在對應之該比較節點之上階之該比較節點在另一者之輸入資料贏時在該有效旗標資訊保持裝置設定無效；

將和位於在正前之資料比較處理連贏之資料通過之路徑或路線上之該比較節點之中只在一個比較節點輸了之路徑對應之輸入暫存器所設定之資料在該處理對象路徑保持裝置設為在下一資料比較處理有效，在位於路線上之該比較節點決定了輸之時刻將和該路徑對應之輸入暫存器所設定之資料在該處理對象路徑保持裝置設為在下一資料比較處理無效。

7. 如申請專利範圍第3項之合併分類排序處理裝置，其中該比較結果保持裝置用由和該各比較節點對應設置之2位元構成之暫存器群形成。

8. 如申請專利範圍第4項之合併分類排序處理裝置，其中該有效旗標資訊保持裝置用由和在該競賽比較電路位於最下階層之比較節點以外之該各比較節點對應設置之2位元構成之暫存器群形成。



六、申請專利範圍

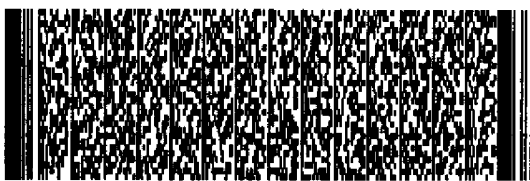
9. 如申請專利範圍第5項之合併分類排序處理裝置，其中該處理對象路徑保持裝置用由和該各路徑對應設置之1位元構成之暫存器群形成。

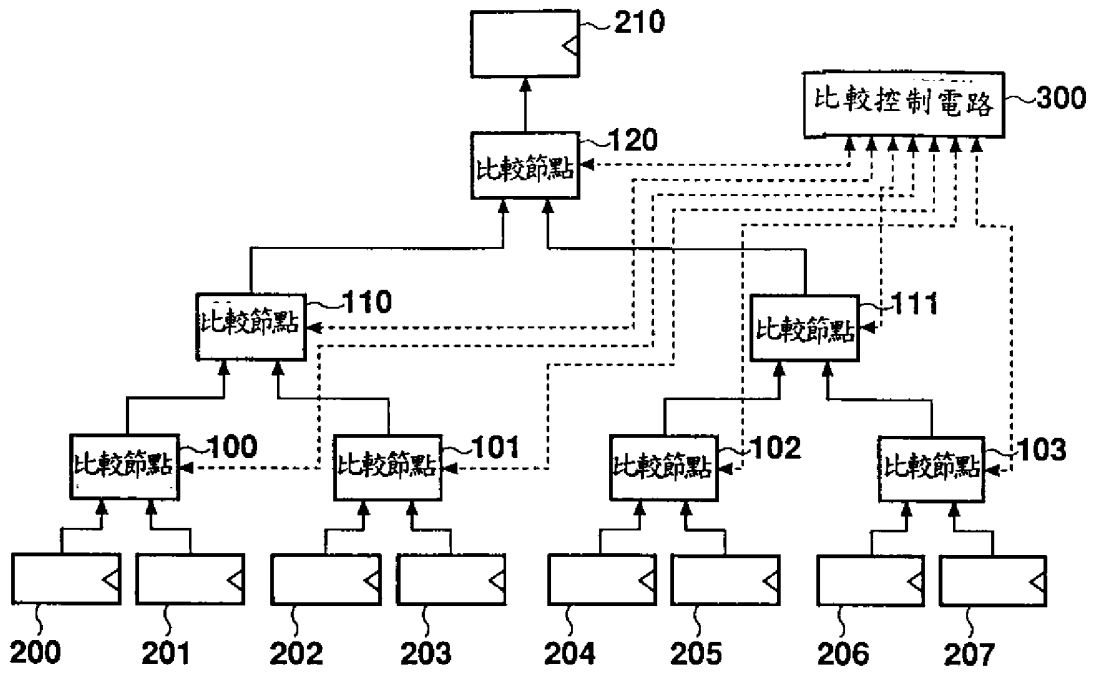
10. 如申請專利範圍第6項之合併分類排序處理裝置，其中該比較控制電路藉著將該處理對象路徑保持裝置持持之該資訊和該有效旗標資訊一樣地處理，將該處理對象路徑保持裝置作為保持在該競賽比較電路位於最下階層之比較節點之有效旗標資訊之裝置，裝入該處理對象路徑保持裝置。

11. 如申請專利範圍第6項之合併分類排序處理裝置，其中該比較結果保持裝置用由和該各比較節點對應設置之2位元構成之暫存器群形成。

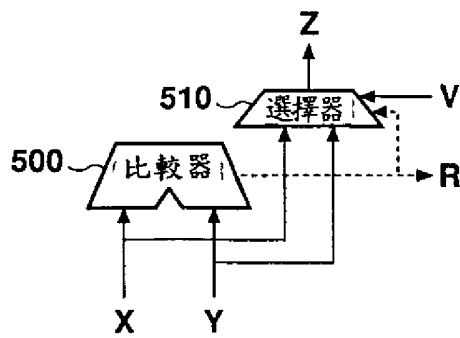
12. 如申請專利範圍第6項之合併分類排序處理裝置，其中該有效旗標資訊保持裝置用由和在該競賽比較電路位於最下階層之比較節點以外之該各比較節點對應設置之2位元構成之暫存器群形成。

13. 如申請專利範圍第6項之合併分類排序處理裝置，其中該處理對象路徑保持裝置用由和該各路徑對應設置之1位元構成之暫存器群形成。





第 1 圖



第 2 圖

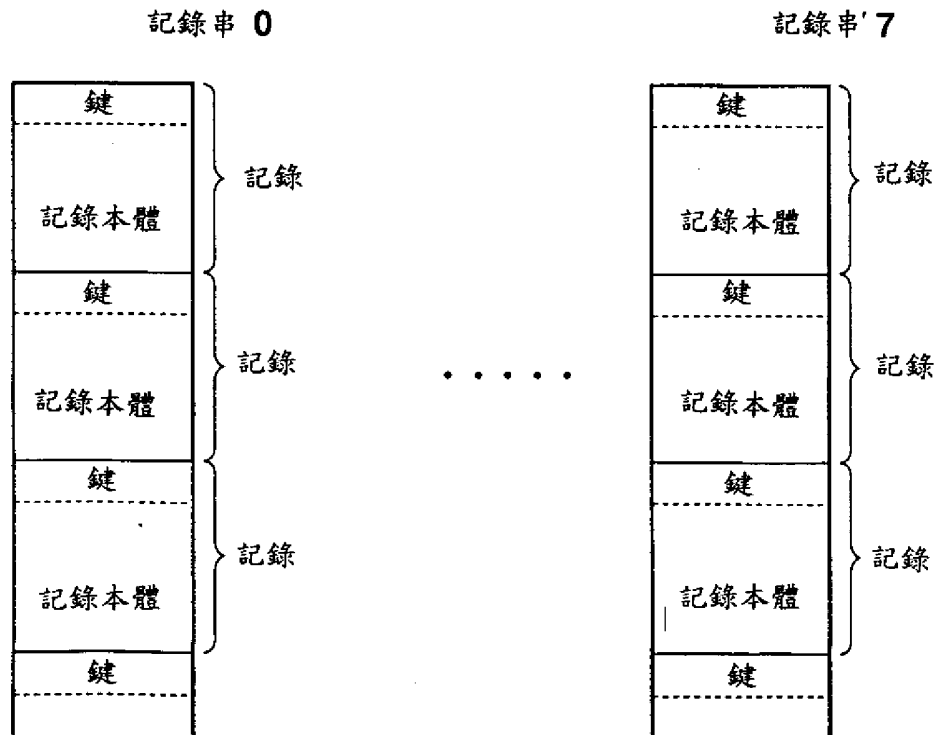
(a) 信號 R 之產生條件

在比較器之比較結果	R(2 位元之 2 進位數)
X < Y	10
X > Y	01
X = Y	00

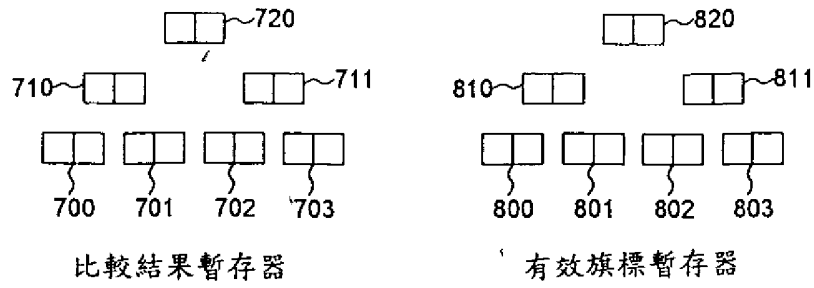
(b) 選擇器之選擇條件

V(2 位元之 2 進位數)	R(2 位元之 2 進位數)	Z 輸出
10	DON'T CARE	X
01	DON'T CARE	Y
11	10	X
	01	Y
	00	X 或 Y
00	DON'T CARE	X 或 Y

第 3 圖

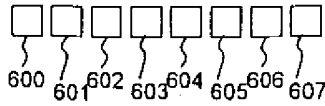


第 4 圖



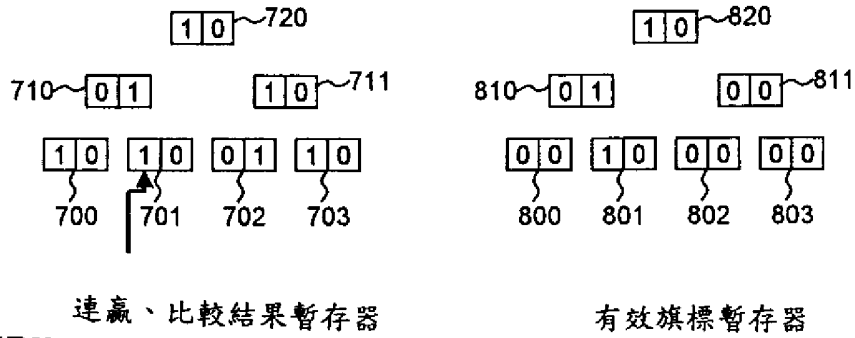
比較結果暫存器

有效旗標暫存器



合併成員暫存器

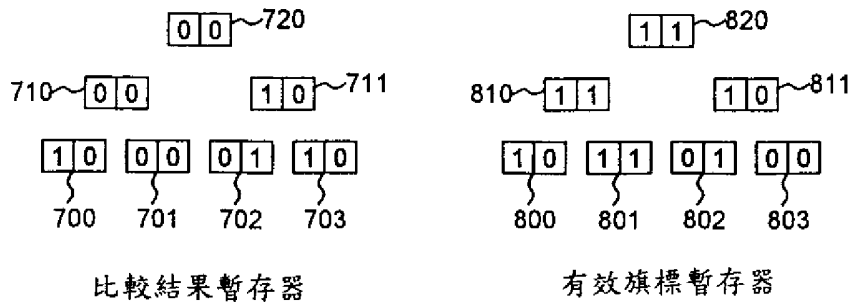
第 5 圖



連贏、比較結果暫存器

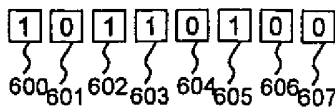
有效旗標暫存器

第 6 圖



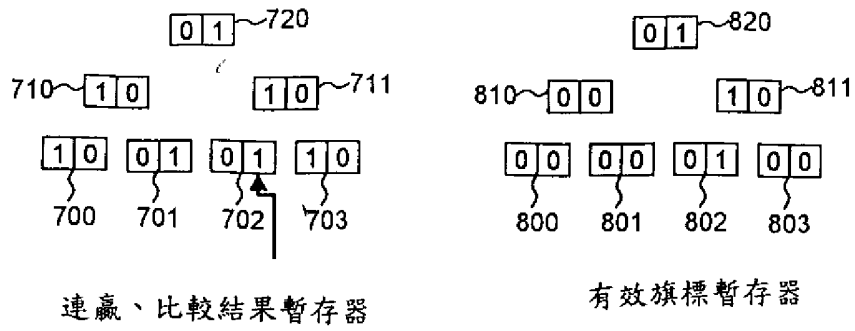
比較結果暫存器

有效旗標暫存器

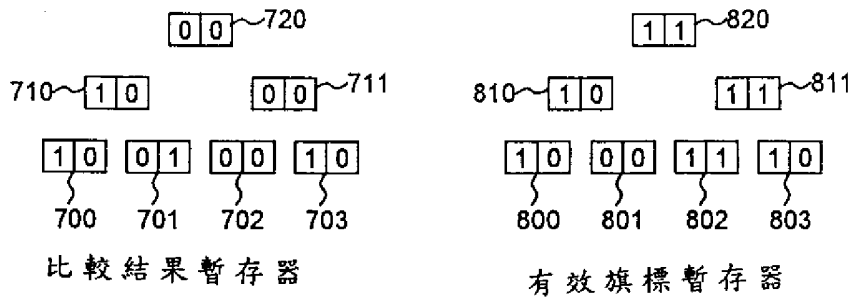


合併成員暫存器

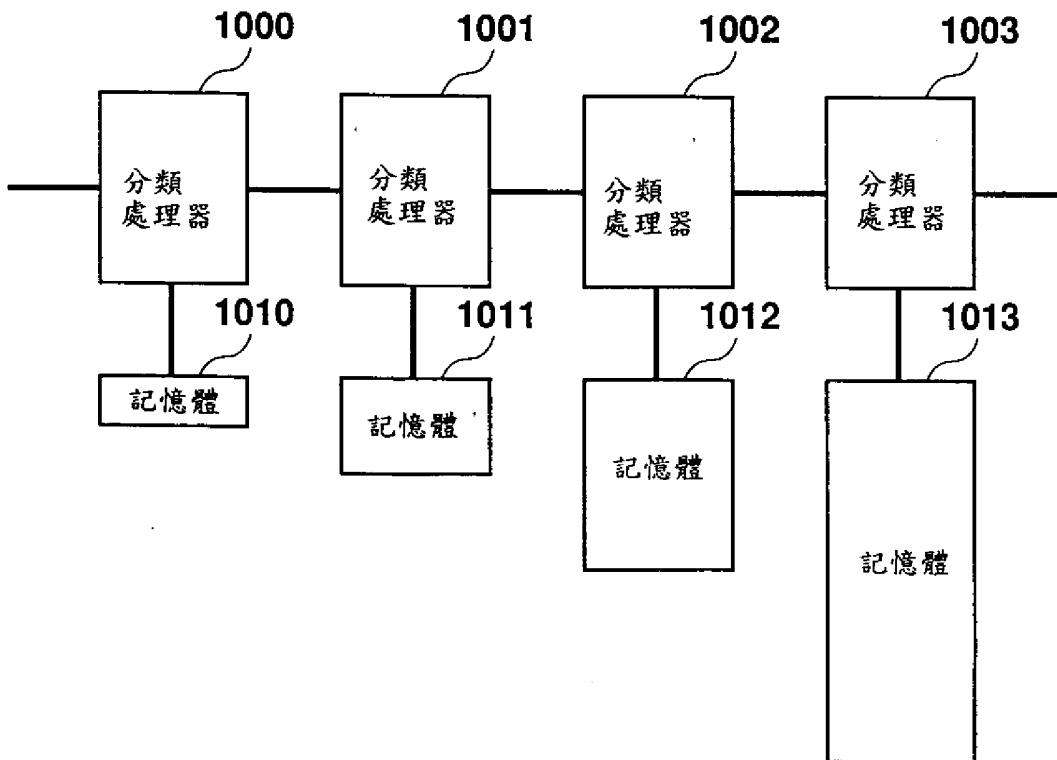
第 7 圖



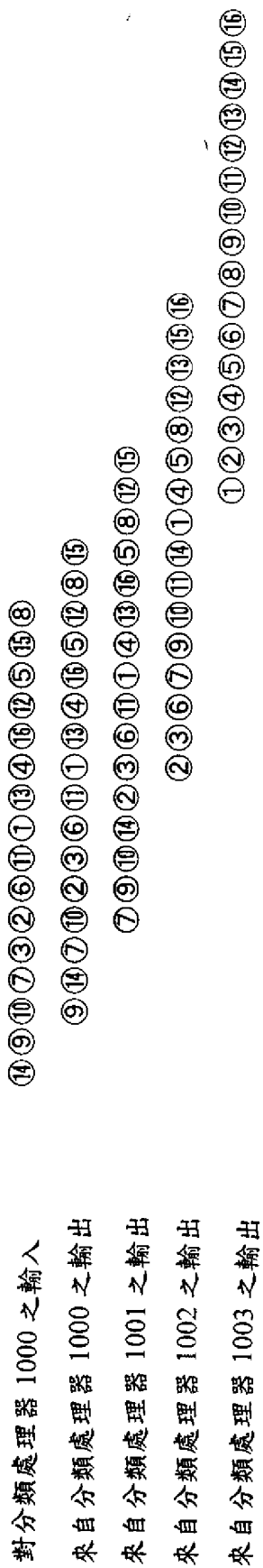
第 8 圖



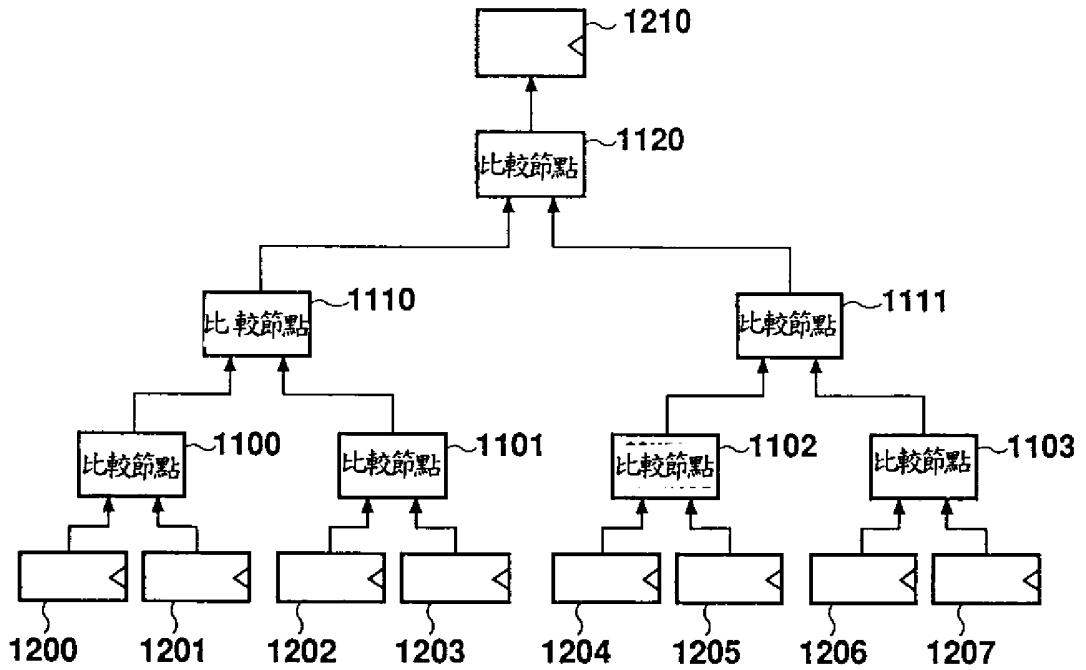
第 9 圖



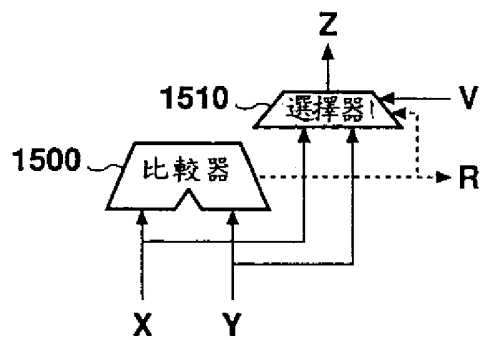
第 10 圖



第 11 圖



第 12 圖



第 13 圖