

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 4 月 25 日(25.04.2013)



(10) 国際公開番号

WO 2013/058044 A1

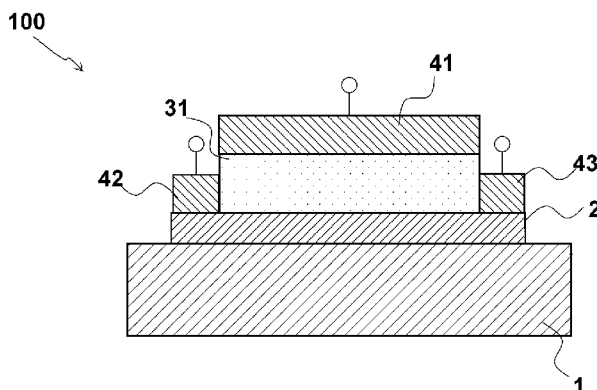
- (51) 国際特許分類:
H01L 27/105 (2006.01) H01L 43/08 (2006.01)
G11C 13/00 (2006.01) H01L 45/00 (2006.01)
H01L 29/786 (2006.01) H01L 49/00 (2006.01)
- (21) 国際出願番号: PCT/JP2012/073640
- (22) 国際出願日: 2012 年 9 月 14 日(14.09.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-230068 2011 年 10 月 19 日(19.10.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 荻本 泰史(OGIMOTO, Yasushi) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 河野 広明(KOUNO, Hiroaki); 〒5300036 大阪府大阪市北区与力町 4-8 末広センタービル 7 F Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロピア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: STRONGLY CORRELATED NON-VOLATILE MEMORY DEVICE

(54) 発明の名称: 強相関不揮発メモリー素子

[図1]



(57) Abstract: [Problem] To provide a strongly correlated non-volatile memory device which undergoes a phase transition caused by an electrical means and exhibits a non-volatile switching function. [Solution] An embodiment of the present invention provides a strongly correlated non-volatile memory device in which a channel layer (2), a gate electrode (41), a gate insulator (31), a source electrode (43), and a drain electrode (42) are provided on a substrate (1). The channel layer (2) includes a strongly correlated oxide thin film and comprises a perovskite manganite showing a charge-ordered phase or an orbital-ordered phase, the gate insulator (31) is formed in contact with at least a part of a surface or an interface of the channel layer and is sandwiched between the channel layer and the gate electrode, and the source electrode (43) and the drain electrode (42) are formed in contact with at least a part of the channel layer.

(57) 要約: 【課題】 電気的手段により相転移し不揮発なスイッチング機能を発現する強相関不揮発メモリー

素子を提供する。【解決手段】 本発明のある実施形態においては、チャネル層 2 とゲート電極 41 とゲート絶縁体 31 とソース電極 43 とドレイン電極 42 とを基板 1 上に備えている強相関不揮発メモリー素子が提供される。チャネル層 2 は強相関酸化物薄膜を含むとともに電荷整列相または軌道整列相を示すペロフスカイト型マンガン酸化物からなり、ゲート絶縁体 31 はチャネル層の表面または界面の少なくとも一部に接して形成されるとともにチャネル層とゲート電極により挟まれており、ソース電極 43 およびドレイン電極 42 はチャネル層の少なくとも一部に接して形成されている。

WO 2013/058044 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 強相関不揮発メモリー素子

技術分野

[0001] 本発明は強相関不揮発メモリー素子に関する。さらに詳細には本発明は、電気的手段により不揮発性メモリー機能を発現する強相関不揮発メモリー素子に関する。

背景技術

[0002] 近年、半導体デバイスの性能向上指針であったスケーリング則もいよいよ限界に直面することが懸念されている。それに伴い、トランジスタリミット以降の危機を乗り越えるべく新奇な動作原理を可能とする材料開発が進められている。例えば、スピンの自由度を取り入れたスピントロニクス分野において、DRAM（ダイナミックランダムアクセスメモリー）並みの高速動作が可能な高密度不揮発性メモリーを目指した開発が進められている。

[0003] 一方、半導体デバイス設計の基礎を支えるバンド理論を適用することができない強相関電子系を有する材料の研究も進展してきた。その進展の成果として、電子系の相転移に起因する巨大かつ高速な物性変化を示す物質が見出されている。強相関電子系材料においては、スピンのみならず電子軌道の自由度までもが電子系の相状態に関与することにより、スピン、電荷、軌道が形成する様々な秩序を示す多彩な電子相が発現する。強相関電子系材料の代表例がペロフスカイト型マンガン酸化物（perovskite manganite）であり、その電子系においては、一次相転移によりマンガン（Mn）の3d電子が整列する電荷整列相（charge-ordered phase）や、電子軌道が整列する軌道整列相（orbital-ordered phase）が発現することが知られている。

[0004] 電荷整列相や軌道整列相においてはキャリアが局在するため電気抵抗は高くなり、電子相は絶縁体相となる。また、これらの電子相の磁氣的性質は、二重交換相互作用及び超交換相互作用による反強磁性相である。なお、電荷整列相や軌道整列相の電子状態は半導体的とみられる場合も多い。電荷整列

相や軌道整列相においては、キャリアが局在しているものの、電気抵抗はいわゆるバンド絶縁体よりも低くなるためである。しかしここでは慣例により、電荷整列相や軌道整列相の電子相を絶縁体相と表現する。これとは逆に、電気抵抗が低く金属的振舞いを示す場合にはスピンの揃うため電子相は強磁性相を示す。なお、金属相の定義は様々あるが、本出願においては、「抵抗率の温度微係数の符号が正のもの」を金属相と表現する。この表現に対応させれば、上記の絶縁体相は、「抵抗率の温度微係数の符号が負のもの」と再定義される。

[0005] さらに、金属相と絶縁体相がある物質中にて共存している二相共存状態も知られている。二相共存状態をとる物質の電気抵抗値は、その物質中における上記金属相のパーコレーションにより決定される。例えば、電気抵抗を測定するために当該物質を介して設けられた二つの電極間において金属相の領域が1か所でも経路としてつながれば抵抗は低くなり、そのような経路が存在しなければ抵抗が高くなる。二相共存状態をとる物質が導体的振る舞いを示すか絶縁体的振る舞いを示すか、すなわちその物質のみかけの電気抵抗値は、このようなパーコレーションによってもたらされる金属相の経路の幾何学的構造（典型的には、長さ、太さ、および数）によって決まる。そして、二相共存状態における上記金属相領域の経路の幾何学的構造に応じて、上記電気抵抗値が2値以上の値を取り得ることが知られている。

[0006] 上述した電荷整列相、軌道整列相に加え、電荷整列と軌道整列との両方がともに成立している相（電荷軌道整列相；charge- and orbital-ordered phase）といった電子相のうちいずれかのものを取りうる物質においては、その物質の単結晶バルク材料において種々のスイッチング現象が観察されることが開示されている（特許文献1：特開平8-133894号公報、特許文献2：特開平10-255481号公報、特許文献3：特開平10-261291号公報）。それらのスイッチング現象は、転移点を挟むような温度変化、磁場や電場の印加、さらには光照射といった刺激を作用させたことに応じて発現する現象である。これらのスイッチング現象は、典型的には、電気抵

抗の巨大な変化や、反強磁性相－強磁性相の間の相転移として観察される。
例えば、磁場印加による何桁もの抵抗変化は、超巨大磁気抵抗効果としてよく知られている。

[0007] これらの強相関電子系材料を薄膜化しチャネル層として用いる電界効果素子の研究も早くから試みられてきた。例えば、 $\text{La}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ 薄膜をチャネル層とし、その上部にゲート絶縁体として強誘電体 $\text{PbZr}_{0.2}\text{Ti}_{0.8}\text{O}_3$ (PZT) 薄膜を作製した場合に、強誘電体 $\text{PbZr}_{0.2}\text{Ti}_{0.8}\text{O}_3$ 薄膜の残留分極によりチャネル層に不揮発な抵抗変化がもたらされることが報告されている（非特許文献1）。非特許文献1には、チャネル層の抵抗が、正の電圧印加により低下し、負の電圧印加により増大することが報告されている。また、(110) 面方位基板上において単結晶薄膜における一次転移が可能であること（特許文献4）を利用して、金属絶縁体転移 (metal insulator transition) を示す強相関酸化物薄膜である $\text{Nd}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ 薄膜を p 層として、また、Nb ドープ SrTiO_3 (110) 基板を n 層として用いた pn 接合が報告されている（非特許文献2）。さらに最近、金属絶縁体転移を示す NdNiO_3 薄膜をチャネル層に用いた 3 端子素子の研究も報告されている（非特許文献3）。

先行技術文献

特許文献

- [0008] 特許文献1：特開平8－133894号公報
特許文献2：特開平10－255481号公報
特許文献3：特開平10－261291号公報
特許文献4：特開2005－213078号公報

非特許文献

- [0009] 非特許文献1：S. Mathews et al., “Ferroelectric Field Effect Transistor Based on Epitaxial Perovskite Heterostructures”, Science vol.276, 238(1997)
非特許文献2：J. Matsuno et al., “Magnetic field tuning of interface

electronic properties in manganite-titanate junctions” , Applied Physics Letters vol.92, 122104(2008)

非特許文献3 : S. Asanuma et al., “Tuning of the metal-insulator transition in electrolyte-gated NdNiO₃” , Applied Physics Letters vol.97, 142110(2010)

発明の概要

発明が解決しようとする課題

[0010] しかしながら、非特許文献1によれば、±10Vの電圧印加の範囲において生じる抵抗の変化量は、比にして約3倍程度にとどまっている。非特許文献1はゲート絶縁体として強誘電体を採用している。そのため、チャネル層に用いたマンガン酸化物と、ゲート絶縁体の上方の強誘電体材料との界面における格子ミスマッチが大きすぎることで、当該界面での欠陥発生が避けられない。このような欠陥が導入されると、ゲート絶縁体を介したリーク電流が発生したり強誘電性自体が劣化したりするため、長期間にわたり使用されるデバイスを使用しようとする、問題を引き起こすことが懸念される。そしてなにより、非特許文献1において実現されている不揮発性は、ゲート絶縁体の強誘電体としての性質を利用したものである。つまり、不揮発性を実現するために強誘電体のゲート絶縁体を必須としている。また、非特許文献2に開示されるpn接合においても、Nd_{0.5}Sr_{0.5}MnO₃薄膜等の金属絶縁体転移において発現する5桁以上もの抵抗変化から期待されるほどの電流密度あるいはキャパシタンスの巨大な変化は観測されず、不揮発性も報告されていない。さらに、非特許文献3の開示においても、チャネル層の厚みが5nmの試料において、-2.5Vのゲート電圧の印加により金属絶縁体転移温度が約40K低減しているものの、ゲート電圧による完全な金属相への転移は実現せず、不揮発性も報告されていない。これらのように、これまでの開示または報告においては、強相関酸化物をチャネル層に用いる電界効果素子などの回路要素または素子において、巨大な抵抗変化を利用した不揮発性メモリー機能は達成されていない。

[0011] 加えて、金属相と絶縁体相の二相共存状態やそれに伴うパーコレーションを、強相関酸化物をチャネル層に用いる素子や、まして、不揮発性メモリーの動作のために利用する手法は知られていない。

[0012] 本発明は上記問題点の少なくともいずれかを解決するためになされたものである。本発明は、電気的手段により巨大な抵抗変化（スイッチング）を利用した不揮発性メモリー機能を発現する強相関不揮発性メモリーの実現に貢献する。

課題を解決するための手段

[0013] 上記課題を吟味した結果、本願の発明者は、ゲート絶縁体の作用を利用しなくとも、不揮発性メモリー機能が、チャネル層それ自体の性質によって発現させることが可能なものであると考えるに至り、従来にない新規な不揮発メモリー素子を創出するに至った。なお、本出願全般において、不揮発メモリー素子のための構造を特定するために、理解を容易にするのみの目的にて、周知の電界効果トランジスター（FET）や薄膜トランジスター（TFET）の構造のために通常用いられる用語により説明する場合がある。

[0014] 本発明において提案される新たな動作原理に基づく本発明のある態様においては、強相関酸化物薄膜を含むチャネル層と、ゲート電極と、該チャネル層の表面または界面の少なくとも一部に接して形成され、該チャネル層と該ゲート電極とにより挟まれているゲート絶縁体と、前記チャネル層の少なくとも一部に接して形成されたソース電極およびドレイン電極とを基板上に備えており、前記チャネル層が、金属相と、電荷整列相または軌道整列相のいずれかである絶縁体相との間において相転移可能なペロフスカイト型マンガ酸化物を含んでいる強相関不揮発メモリー素子が提供される。

[0015] 上記構成により、本発明のある態様においては、電荷整列相または軌道整列相を示すペロフスカイト形マンガ酸化物の示す外場による絶縁体金属転移および双安定領域を利用した強相関不揮発メモリー素子が提供される。以下、強相関酸化物薄膜を含むチャネル層を、必要に応じて「強相関チャネル層」と記す。また、強相関不揮発メモリー素子とは、不揮発性メモリー機能

を備える強相関酸化物を利用する素子を示している。

[0016] また、本発明のある態様の強相関不揮発メモリー素子においては、前記チャンネル層、前記ゲート絶縁体、および前記ゲート電極が、前記基板からこの順に形成されている。また、本発明のある態様の強相関不揮発メモリー素子は、前記ゲート電極、前記ゲート絶縁体、および前記チャンネル層が、前記基板からこの順に形成されている。

[0017] 本態様により、いわゆるトップゲート構成や、ボトムゲート構成の強相関不揮発メモリー素子が提供される。

[0018] また、本発明のある態様の強相関不揮発メモリー素子においては、前記チャンネル層が、第1種の強相関酸化物のトリガー層と、第2種の強相関酸化物のチューニング層とからなり、前記トリガー層と前記チューニング層とが互いに積層して配置されている。

[0019] さらに、本発明のある態様の強相関不揮発メモリー素子においては、前記ゲート絶縁体と前記チューニング層とにより前記トリガー層が挟まれている。

[0020] 強相関不揮発メモリー素子を含む3端子素子の動作原理には、電界によってチャンネル層内にキャリアをドーピングすることにより相転移を引き起こすという上述した第1の動作原理を含んでいる。したがってチャンネル層を薄くしてキャリア密度を増大させることにより、相転移は容易となる。ここで、印加されたゲート電圧の作用により、キャリアはゲート絶縁体側に蓄積する。このため、本発明のトリガー層とチューニング層を採用する態様において各層の膜厚を適切に決定することにより、前記トリガー層に対してゲート電極によるキャリアドープがより効果的に作用し電圧閾値を低減することが可能となる。

[0021] すなわち、これらの膜厚を臨界膜厚との関係により具体的に特定すれば、本発明のある態様の強相関不揮発メモリー素子においては、前記チャンネル層の厚さ t 、前記トリガー層の厚さ t_1 、および前記チューニング層の厚さ t_2 が、該トリガー層および該チューニング層のそれぞれの金属相のための臨

界膜厚 t_{1c} および t_{2c} に対し、

$$t = t_1 + t_2 \geq \max(t_{1c}, t_{2c})$$

ただし、

$t_1 < t_{1c}$ 、 $t_2 < t_{2c}$ 、 $\max()$ は変数群の最大値を返す関数、なる関係を満たしていることが好ましい。

[0022] また、本発明のある態様の強相関不揮発メモリー素子においては、基板の面方位が (110) 面方位または (210) 面方位である。

[0023] 本態様により、ペロフスカイト型マンガン酸化物の電荷整列相、軌道整列相による一次転移が単結晶薄膜であっても可能となるため格子欠陥等の少ないチャネル層が使用可能となり、スイッチングによる巨大な抵抗変化が得られる。

[0024] また、本発明の強相関不揮発メモリー素子においては、絶対値がある閾値電圧以上となる第1極性の電圧を前記ゲート電極に印加し前記チャネル層の抵抗値を低下させるSET動作の後に、前記ソース電極および前記ドレインの間に流すソースドレイン電流を閾値電流以上に維持したまま、前記ゲート電極への前記電圧を、前記第1極性のまま絶対値を前記閾値電圧より低下させるかまたはその印加を停止することにより、前記チャネル層の抵抗値が前記SET動作以前の値よりも低い値となるよう制御される。

[0025] 本態様により、SET動作によってチャネル層の抵抗値を制御する不揮発メモリー機能を実現することができる。

[0026] さらに、本発明の強相関不揮発メモリー素子においては、絶対値がある閾値電圧以上となる第2極性の電圧を前記ゲート電極に印加し前記チャネル層の抵抗値を上昇させるRESET動作の後に、前記ゲート電極への前記電圧を、前記第2極性のまま絶対値を前記閾値電圧より低下させるかまたはその印加を停止することにより、前記チャネル層の抵抗値が前記RESET動作以前の値よりも高い値となるよう制御される。

[0027] 本態様により、秩序化温度以上への加熱等を行うことなく電氣的な手段によるRESET動作が可能となる。また、そのRESET動作によってチャ

ネル層の抵抗値を制御する不揮発メモリ機能を実現することができる。

[0028] また、本発明の強相関不揮発メモリ素子においては、前記SET動作の後の前記ソースドレイン電流の値を前記閾値電流以上の範囲において調整することより、前記ゲート電極に印加する電圧の絶対値を前記閾値電圧より低下させるかまたはその印加を停止した後のチャネル層の抵抗値が3値以上に制御される。

[0029] さらに、前記RESET動作においては、前記RESET動作における前記ゲート電極への印加電圧の値を、絶対値が前記閾値電圧以上となる電圧範囲において調整することより、前記ゲート電極に印加する電圧の絶対値を前記閾値電圧より低下させるかまたはその印加を停止した後のチャネル層の抵抗値が3値以上に制御される。

[0030] 本発明のこれらの態様により、多値のメモリ動作をする不揮発メモリ素子を実現することができる。

発明の効果

[0031] 本発明のいずれかの態様においては、チャネル層において不揮発性を発現するためゲート絶縁体に不揮発性を担保させる必要がない強相関不揮発メモリ素子の実現される。また、チューニング層内のパーコレーションによる経路の変化に応じた抵抗変化を利用することより、多値の不揮発性メモリ動作を行ないうる強相関不揮発メモリ素子の実現される

図面の簡単な説明

[0032] [図1]本発明のある実施形態における一例のトップゲート型の強相関不揮発メモリ素子の概略断面図である。

[図2]本発明のある実施形態における一例のボトムゲート型の強相関不揮発メモリ素子の概略断面図である。

[図3]本発明のある実施形態における一例のトリガー層とチューニング層を備える強相関チャネル層を有する強相関不揮発メモリ素子の概略断面図である。

[図4]本発明のある実施形態におけるチャネル層の動作メカニズムを説明する

説明図である。図4（a）は電荷軌道整列相を示すペロフスカイトマンガン酸化物に見られる典型的な磁場－温度電子相図であり、図4（b）はペロフスカイトマンガン酸化物におけるキャリアドーピングの動作を温度とホール量の相図により説明する説明図である。

[図5]本発明のある態様において電気的手段によって実現するメモリー動作に関連して、特にソースドレイン電流の果たす役割を説明する説明図である。

図5（a）～（e）は、それぞれ、（a）： $V_g > V_{th}$ 、 $I_{s-d} < I_{th}$ 、（b）： $V_g > V_{th}$ 、 $I_{s-d} > I_{th}$ 、（c）： $V_g < V_{th}$ 、 $I_{s-d} > I_{th}$ 、（d）： $V_g < V_{th}$ 、 $I_{s-d} < I_{th}$ 、そして（e）： $V_g = 0$ 、 $I_{s-d} = 0$ の動作を示している。

[図6]本発明のある態様におけるSET動作を時系列に従って示すタイミングチャートであり、ゲート電圧 V_g 、ソースドレイン電流 I_{s-d} 、ソースドレイン抵抗 R_{SD} の時系列変化を示している。図6（a）は通常のスイッチング動作であり、図6（b）はSET動作である。

[図7]本発明のある実施形態において、各温度において2層構造の強相関チャネル層2における伝導状態を説明する説明図である。

[図8]本発明のある実施形態におけるチューニング層によるチャネル層の抵抗変化のメカニズムを示す模式図であり、（a）から（c）の順に外場強度が増大してゆく様子を示している。

[図9]本発明のある実施形態における強相関不揮発メモリー素子のチューニング層およびトリガー層の材質の抵抗率の温度および磁場依存性を示すグラフである。図9（a）はチューニング層として使用する $Nd_{0.5}Sr_{0.5}MnO_3$ 薄膜（膜厚80nm）であり、図9（b）はトリガー層として使用する $Pr_{0.5}Sr_{0.5}MnO_3$ 薄膜（膜厚40nm）である。

[図10]本発明のある実施形態における強相関不揮発メモリー素子のチャネル層の抵抗値の温度および磁場依存性のグラフである。トリガー層は $Pr_{0.5}Sr_{0.5}MnO_3$ の3nm厚の薄膜であり、チューニング層は $Nd_{0.5}Sr_{0.5}MnO_3$ の3nm厚の薄膜である。

[図11]本発明のある実施形態における強相関不揮発メモリー素子の無磁場下冷却後の磁気掃引における電気抵抗のグラフである。

[図12]本発明のある実施形態における強相関不揮発メモリー素子の磁場下冷却後の磁気掃引における電気抵抗のグラフである。

[図13]本発明のある実施形態におけるチャネル層のドーピング挙動を説明するための説明図であり、 $\text{Pr}_{1-x}\text{Sr}_x\text{MnO}_3$ ($x=0.4\sim0.6$) バルク単結晶の電子相図である。

[図14]本発明のある実施形態における強相関不揮発メモリー素子の実施例において、ゲート電圧に対するチャネル層の抵抗値のグラフである。

[図15]本発明のある実施形態における強相関不揮発メモリー素子のSET動作により多値に制御される電気抵抗を示すグラフである。

[図16]本発明のある実施形態における強相関不揮発メモリー素子のRESET動作により多値に制御される電気抵抗を示すグラフである。

発明を実施するための形態

[0033] 以下、本発明に係る強相関不揮発メモリー素子の実施形態を図面に基づいて説明する。当該説明に際し特に言及がない限り、全図にわたり共通する部分または要素には共通する参照符号が付されている。また、図中、各実施形態の要素のそれぞれは、必ずしも互いの縮尺比を保って示されてはいない。

[0034] <第1実施形態>

[1 動作原理]

[1-1 メモリー素子の概略構成]

図1は、本実施形態の一例の強相関不揮発メモリー素子の構成を示す概略断面図であり、トップゲート構造を有する強相関不揮発メモリー素子100（以下「強相関不揮発メモリー100」と記す）の構成を示す。図1における基板1の紙面の上方の面の上には強相関酸化物を含むチャネル層2が形成されている。なお、本出願全般において、トップゲート構造やチャネル層との用語を含むその他の用語は、従来の電界効果素子の代表的な構成である例えばシリコン用いるMOSFET（金属酸化物半導体電界効果トランジスタ

一) と対比することにより、本願の説明の理解を容易にするためのみに記載されている。

[0035] [1-2 スイッチングのメカニズム]

本願の発明者は、強相関不揮発メモリー 100 に例示される構造の素子において、電荷整列相や軌道整列相あるいは両方が同時に成立する電荷軌道整列相を示す強相関酸化物をチャネル層 2 に用いることにより、2 種類の物理的機構でスイッチングを行なわせうることに着目した。スイッチングのための第 1 の物理的機構は、背景技術で記載したように磁場、電場、電流、光照射などの摂動となる外場により強相関酸化物に生じさせうる絶縁体金属転移である。また、第 2 の物理的機構は、強相関酸化物を含むチャネル層内に電界を作用させてキャリアをドーピングし、そのキャリアの作用によって強相関酸化物の相転移を引き起こす、というものである。

[0036] 本実施形態においてチャネル層として採用する強相関酸化物薄膜のスイッチング動作を図 4 に基づいて説明する。強相関不揮発メモリー 100 のような電界効果素子に類似した構成を念頭におき、チャネル層に用いる強相関酸化物において実現されるスイッチングや不揮発性メモリー機能のメカニズムについて説明する。

[0037] [1-2-1 双安定性のメカニズムと相転移]

第 1 の物理的機構を説明するために、図 4 (a) に、電荷軌道整列相を示すペロフスカイトマンガン酸化物に見られる典型的な磁場-温度電子相図 (温度磁場相図) を示す。低磁場側に見られる領域 402 は強相関酸化物が電荷軌道整列することによって生じる絶縁体相となる領域を表している。これに対し、高磁場側に見られる領域 404 は金属相となる領域を示している。そして、これらに挟まれたハッチングで示す領域 406 は、強相関酸化物が電荷軌道整列による絶縁体相と金属相との間で双安定状態をとる領域を示している。すなわち、この領域 406 における強相関酸化物は、磁場印加履歴に応じて絶縁体相であったり金属相となったりする。より具体的には、ある温度 T に固定したまま磁場を印加してゆくと、領域 402 から出発して境界

B L を過ぎ、ハッチングで示す領域 4 0 6 となる。この時点での強相関酸化物は電荷軌道整列相による絶縁状態すなわち絶縁体相となっている。続けて磁場を増大させると、領域 4 0 6 の高磁場側の境界 B H に達して領域 4 0 4 の金属相となる。この境界 B H を通過する際に、強相関酸化物には、それまでの絶縁体相から金属相へとスイッチングすることに伴う巨大な抵抗変化が観察される。逆に、同一温度で磁場を減少させていくと、領域 4 0 4 および領域 4 0 6 において強相関酸化物の金属相が維持される。そして、ある磁場つまり低磁場側の境界 B L に達すると、強相関酸化物に生じていた金属相は消失してゆく。以上に述べた双安定状態の出現は、第 1 の物理的機構の一例である磁場によってもたらされている。この双安定状態により不揮発性が得られる。なお、図 4 (a) の温度磁場相図において、この低磁場側の境界 B L が磁場 0 を示す温度軸に到達している。このことは、この温度より低温では、強相関酸化物が一旦、金属相へとスイッチングすると、その後に磁場をとりさった後でも金属相が維持され、絶縁体相とならないことを示している。

[0038] 次に、スイッチングのための第 2 の物理的機構について説明する。図 4 (b) はペロフスカイトマンガン酸化物におけるキャリアドーピングの動作を温度とホール量の相図により説明する説明図である。この図において示しているのは、強相関酸化物の双安定状態を示す 2 つの秩序相、すなわち絶縁体相と金属相の相図であり、横軸にホール量 (hole content) 、縦軸に温度 (絶対温度) をとっている。留意すべきは、絶縁体相 I と金属相 M の相境界 B D 1 は、2 つの秩序が競合するいわゆる二重臨界状態となっていることである。このような相図を示す強相関酸化物においては、絶縁体相 I と金属相 M の境界をまたぐように電界によってキャリアを注入することによりスイッチングが実現される。特に図 4 (b) に示す白丸 4 1 2 と黒丸 4 1 4 は、それぞれ、白丸 4 1 2 で示す強相関酸化物チャネル層の絶縁体相 I から、黒丸 4 1 4 で示す金属相 M へとスイッチングする状態を示している。そしてそのスイッチングは、電界効果によりキャリア (この場合は電子) を注入することによ

りホール量が減少することに起因して引き起こされる。なお、このキャリアの注入は、チャネル層に対して電界を形成させるための電極（ゲート電極）を用いて、そのゲート電極への電圧（ゲート電圧）を制御することにより行なわれる。そしてそのゲート電圧の印加を停止すれば、チャネル層の強相関酸化物は、その内部におけるホール量が減少して白丸412で示す絶縁体相1へと戻る。このため、この第2の物理的機構のみでは不揮発性は得られない。

[0039] [1-2-2 電気的手段によるメモリー動作]

ここで、本願の発明者は、図4（a）および（b）に示したスイッチングのための二つの物理的機構を組み合わせることによって、不揮発性メモリーの動作が可能であることに気づいた。すなわち、図4（b）から見ると、温度とホール量に加え、図4（a）の横軸の磁場に相当する外場の軸を導入する。ホール量が上述した第2の物理的機構を制御するパラメータであり、外場が第1の物理的機構を制御するパラメータである。そしてその外場としては、図4（a）に示した磁場であってもよいが、強相関不揮発メモリー100に例示される3端子素子の形態をとるメモリー素子における電気的手段による制御を念頭におき、ここでは強相関酸化物に直接流す電流を採用する。この電流を以下「ソースドレイン電流」と呼ぶ。

[0040] 図5は、図4に示した二つの物理的機構を組み合わせることにより、電気的手段によって実現するメモリー動作の発現に関連して、特にソースドレイン電流の果たす役割を説明する説明図である。図5は、温度とホール量、そして電流を軸にとりSET動作におけるチャネル層2の相転移、特に、絶縁体相と金属相の転移とこれらの相による双安定状態を示している。図5（a）～（e）は、それぞれ、（a）ゲート電圧 $V_g > \text{電圧閾値 } V_{th}$ 、ソースドレイン電流 $I_{s-d} < \text{電流閾値 } I_{th}$ 、（b） $V_g > V_{th}$ 、 $I_{s-d} > I_{th}$ 、（c） $V_g < V_{th}$ 、 $I_{s-d} > I_{th}$ 、（d） $V_g < V_{th}$ 、 $I_{s-d} < I_{th}$ 、そして（e） $V_g = 0$ 、 $I_{s-d} = 0$ の動作を示している。このため、図5（a）は図4（b）と同一の図であり、図5（b）～（d）は、ソースドレイン

電流が流れている状態において強相関酸化物が示す相図であり、図5（e）は、スイッチングしてソースドレイン電流が停止した後に強相関酸化物が示す相図である。図5（b）～（d）においては、ソースドレイン電流の値に合わせた位置に金属相の領域を示している。また、ここでは、ゲート電圧 V_g を正極性とすることにより、ドーピングするキャリアが電子である場合について説明する。

[0041] まず、ゲート電圧によりキャリア（この場合は電子）を注入し絶縁体相の白丸502から金属相の黒丸504へスイッチングした図4（b）（図5（a））の状態としておく。そしてそこからソースドレイン電流を増加させ、その電流値がある値（電流閾値）を超えることにより、図4（a）にハッチングで示した双安定領域（領域406）にあるとする。このソースドレイン電流を流した状態への強相関酸化物の変化は、黒丸504から黒丸506に向かう矢印により表される。この矢印が示すように、ソースドレイン電流は、ホール量とは独立して調整される。図5においては、電流の軸を追加してソースドレイン電流の変位を明示している。次にこの電流量を維持しながらゲート電圧印加を停止してホール量を白丸502と同じとなるように調整しても、図5（c）の黒丸508に示されるように、金属状態は維持される。これは、ソースドレイン電流を流した状態の強相関酸化物が、図4（a）の領域406と同様の双安定状態となっているためである。さらにその後に電流供給を停止して黒丸508から電流の軸方向に戻っても、図5（d）の黒丸510に示すように金属相は維持される。

[0042] すなわち、ゲート電圧によって単にキャリアのドーピング量（ホール量）を調整した場合には、絶縁体相と金属相間のスイッチングのみが得られるのに対して、金属相において閾値以上の外場を印加することにより、その履歴に依存した双安定状態の制御が可能になる。この電流の閾値は、磁場を外場とする場合に図4（a）において境界BHに相当する。そのため、図5（a）から図5（b）～（d）という履歴を経た後にゲート電圧、ソースドレイン電流供給をともに停止した後でも、図5（e）に示すように強相関酸化物

は金属相に維持される。このようなメカニズムによって、強相関酸化物をチャンネル層に採用するメモリー素子において不揮発性メモリー機能が実現されることになる。電気的手段によりこの動作を実現するため、本願の発明の一態様である強相関酸化物の不揮発性メモリー素子には、上述した3端子の電界効果素子に類似した構成を採用する。

[0043] 図5に関して上述した動作例は、チャンネル層の電気抵抗を低下させる動作つまりSET動作に対応させることができる。その対応の下で、本願の発明の一態様である強相関酸化物の不揮発性メモリー素子において、チャンネル層の抵抗を増大させて元に戻す動作つまりRESET動作においても不揮発性メモリー機能を実現することが可能である。具体的には、RESET動作においては、ゲート電圧をSET動作に用いた電圧とは逆の極性の電圧とし、その後にゲート電圧の印加をすることにより、相境界BD2（図5（e））を通過させて絶縁体相Iへとスイッチングさせる（図示しない）。その後、電流供給を停止した状態、より一般には上記電流閾値を下回る電流を流した状態とするために、ゲート電圧印加を停止すると、強相関酸化物は絶縁状態に維持される。つまり、チャンネル層の抵抗は高抵抗の状態に維持される。なお、このRESET動作は強相関酸化物の双安定性を利用した動作であり、図5（e）に示す相図をとる状態から、図5（a）に示す相図を取る状態に、キャリア量の変化（図の横軸のみの変化）によって遷移させることに相当する。図5（a）と図5（e）との間において境界BD1と境界BD2がシフトしていることに留意されたい。

[0044] なお、上述したSET動作とRESET動作との間における非対称性は、そもそもの始状態が絶縁体相であることに起因する。

[0045] 次に、図6のタイミングチャートに基づいて、図5に示したSET動作をゲート電圧 V_g 、ソースドレイン電流、ソースドレイン抵抗の時間的変化の側面から説明する。まず、SET動作が行なわれない場合の動作から説明する。図6（a）は、ソースドレイン電流 I_{s-d} を、SET動作のための電流閾値 I_{th} に満たない条件で動作させた場合のタイミングチャートである。この

場合、図4（b）に示したように、ゲート電圧 V_g の印加によりキャリアを注入し絶縁体相から金属相へとスイッチングする。これに伴って、ソースドレイン抵抗 R_{s-d} すなわちチャネル層の強相関酸化物の抵抗は、低抵抗値 R_L となる。このスイッチングは、ゲート電圧 V_g を相境界BD1（図4（b））を通過するために必要な電圧閾値 V_{th} 以上にする結果生じる現象である。ところが、ゲート電圧 V_g を電圧閾値 V_{th} より低下させて元に戻すと、ソースドレイン抵抗 R_{s-d} は再び高抵抗値 R_H となる。これは、 I_{s-d} がSET動作のための電流閾値 I_{th} に満たない条件としたためである。

[0046] 一方、ソースドレイン電流 I_{s-d} をSET動作のための電流閾値 I_{th} を越える値として同様のゲート電圧 V_g を変化させると、SET動作が実現する。図6（b）は、この動作を示すタイミングチャートである。図6（b）に示すように、この動作においては、ソースドレイン電流 I_{s-d} をある電流閾値 I_{th} 以上にしながら、ゲート電圧 V_g を V_{th} 以上に変化させる。その後にゲート電圧 V_g を V_{th} 以下にしてもソースドレイン抵抗 R_{s-d} は低抵抗値 R_L に維持される。なお、ゲート電圧 V_g の印加停止後にソースドレイン電流 I_{s-d} を電流閾値 I_{th} 以下にしても、ソースドレイン抵抗 R_{s-d} は低抵抗値 R_L であり続ける。こうして、SET動作のための電流閾値 I_{th} を越えるソースドレイン電流 I_{s-d} をチャネル層に流すことにより、SET状態を実現することができる。

[0047] [1-3 2層構成のチャネル層]

次に、チャネル層2としてトリガー層とチューニング層の積層構造を採用する場合の強相関酸化物の転移現象について説明する。図3は、本実施形態の一例の強相関不揮発メモリー素子の構成を示す概略断面図であり、強相関酸化物のチューニング層21（以下、「チューニング層21」という）、強相関酸化物のトリガー層22（「トリガー層22」）の2層を備えるチャネル層2を有するトップゲート構造の強相関不揮発メモリー素子300（以下「強相関不揮発メモリー300」と記す）の構成を示す。一般に、強相関酸化物薄膜において、金属相を安定させたり、金属絶縁体転移が実現したりす

るためには、その薄膜はある程度厚く作製されている必要がある。強相関酸化物薄膜の膜厚があまりに薄いと安定した金属相や金属絶縁体転移が実現しないためである。すなわち、厚みに関する臨界値（以下「臨界膜厚（critical thickness）」という）より厚く形成されている強相関酸化物薄膜においてのみ、金属相が実現したり、金属絶縁体転移が実現したりする。その意味において、臨界膜厚とは、上記の金属相が安定に存在するため、または、金属絶縁体転移が発現するために必要となる膜厚の下限值ともいえる。この強相関酸化物特有の現象のために、キャリア密度の向上を狙ってチャネル層 2 を薄くしていても、金属相や金属絶縁体転移自体が消失する場合がある。

[0048] このような一般的な性質を克服するために、本実施形態様における好ましい構成として、本願の発明者は、強相関チャネル層 2 にトリガー層 2 2 とチューニング層 2 1 という異なる役割の層を含めて積層構造とすることを創出した。図 7 は、各温度において 2 層構造の強相関チャネル層 2 における伝導状態を説明する説明図である。この好ましい構成において、特に各層の厚みを適切に設定する具体的な構成を説明する。ここでは、強相関酸化物のトリガー層 2 2 の厚さ t_1 をその臨界膜厚 t_{1c} より薄くし、強相関酸化物のチューニング層 2 1 の厚さ t_2 をその臨界膜厚 t_{2c} より薄くした 2 層を含むチャネル層を考える。トリガー層 2 2 およびチューニング層 2 1 は単独の層では、それぞれの臨界膜厚 t_{1c} および t_{2c} それぞれより薄いために金属絶縁体転移（metal-insulator transition）あるいは金属相（metallic phase）が消失する。そしてその消失のメカニズムは、層厚が薄く電子状態が二次元的になるためであることに本願発明者は注目した。ここで、上記 2 層を含むチャネル層全体の厚み t を、 $t = t_1 + t_2 \geq \max(t_{1c}, t_{2c})$ を満たすように決定するとする。なお、 $\max(t_{1c}, t_{2c})$ は、関数 $\max()$ の変数である t_{1c} 、 t_{2c} のうちの最大値を返す関数である。この厚みの条件を満たす場合において、まず、トリガー層 2 2 が金属相を示すときを考える。このときには、チャネル層全体として電子状態が三次元的になる。このため、チャネル層 2 全体における金属絶縁体転移あるいは金属

相が維持される。次に、トリガー層 2 2 が金属絶縁体転移により絶縁体相となるときのを考える。このとき、トリガー層 2 2 に接して配置されたチューニング層 2 1 の内部のキャリアは、トリガー層 2 2 が絶縁体相となっているためにチャンネル層 2 全体の厚み t ではなく、強相関酸化物のチューニング層 2 1 の厚み t_2 のみを感じることになる。チューニング層 2 1 の厚み t_2 は金属相の臨界膜厚 t_{2c} より薄いため、チューニング層 2 1 の金属相は消失し、その結果チャンネル層 2 全体の抵抗値が増大する。このように、上記厚みの条件が満たされている場合、チャンネル層全体の抵抗がトリガー層 2 2 の金属絶縁体転移によって支配される。すなわちトリガー層 2 2 が金属相であればチャンネル層 2 は抵抗値が低い金属相であり、トリガー層 2 2 が絶縁体相であればチャンネル層 2 は抵抗値が高い絶縁体相となる。

[0049] この強相関チャンネル層 2 に上記 2 層を含む場合のメカニズムは、図 7 に示すモデルを用いて説明することができる。図 7 の各図は、(a) から順に、軌道整列温度 (Orbital ordering temperature) T_{oo} との比較において、温度 T が T_{oo} よりも高温 (図 7 (a))、 T_{oo} 程度 (図 7 (b))、そして T_{oo} より低温 (図 7 (c)) のそれぞれにおけるチャンネル層 2 の内部の伝導キャリアの移動の様子を模式的に示す説明図である。例えば室温 (300 K) など、図 7 (a) に示される高温の状態から冷却していくとする。チャンネル層 2 においては、キュリー温度 $T_c = 200$ K 近傍およびそれより低温の温度域において、抵抗率の温度微係数の符号は正となっている。この際には、典型的には、図 7 (a) の矢印により示されるように、チャンネル層 2 全体、つまり、チューニング層 2 1 およびトリガー層 2 2 をまたがるようにキャリアが伝播している。すなわち、上記 2 層を含むチャンネル層 2 の合計の厚み t が、 $t = t_1 + t_2 \geq \max(t_{1c}, t_{2c})$ を満たしている。このため、キャリアはチャンネル層 2 の全体を伝播し三次元的な領域に拡がる電子状態となっている。このように、強相関酸化物のトリガー層が金属相を示す場合には、金属相が維持される。さらに冷却され温度 T が T_{oo} 程度、例えば 100 K 近傍となると、トリガー層 2 2 が金属絶縁体転移により絶縁体相へと相転移

する（図 7（b））。このとき、トリガー層 2 2 に接して配置されたチューニング層 2 1 の内部にある伝導キャリアは、チューニング層 2 1 の厚み t_2 のみを「感じる」ことになる。つまり、伝導キャリアの状態は、その伝導キャリア自体の伝播可能な領域の厚みの減少による影響を受ける。伝導キャリアにとっての厚みが、チャンネル層 2 全体の厚み t ではなく、チューニング層 2 1 の厚み t_2 となるのである。

[0050] 図 7（b）は、この状態において、伝導キャリアがチューニング層 2 1 のみを伝導する様子を示している。すなわちトリガー層 2 2 内の伝導キャリアにとっては、図中の白丸を以て示したように局在しているのに対し、チューニング層 2 1 内の伝導キャリアは、チャンネル層 2 の厚みが例えば半分になったのと同様の状況となる。こうして、チャンネル層 2 内の伝導キャリアにとって、「感じる」ことのできる膜厚が、チャンネル層 2 全体の厚みから、チューニング層 2 1 のみの厚みへと切り替わることとなる。さらに冷却され温度が T_{00} を下回ると、チューニング層 2 1 の金属相は消失し、その結果、チャンネル層 2 全体の抵抗値が増大する。図 7（c）は、この状態において伝導キャリアがいずれの層においても局在している様子を示している。すなわち、温度が T_{00} を下回ると、チューニング層 2 内のキャリアも局在化することになる。トリガー層 2 2 とチューニング層 2 1 を採用することは、いわば、伝導キャリアの次元性が変化することを積極的に変更することにより電気抵抗が変動する現象を活用するアプローチといえる。

[0051] [1-4 パーコレーション]

続いてチューニング層内の金属相のパーコレーションについて図 8 に基づいて説明する。図 8 は、チューニング層によるチャンネル層の抵抗変化のメカニズムを示す模式図であり、（a）から（c）の順に、外場強度が増大していった際のチューニング層 2 1 における金属相のパーコレーションの様子を示したものである。図中、斜線により示した領域 8 2 が金属相であり、白い領域 8 4 が絶縁体相を示している。本実施形態においては、典型的なチャンネル層 2 1 の厚みは数 nm とする。この場合、膜厚方向の変化は考慮する必要

が無く、ドメインは膜厚方向に一様であると考えられる。まず、図8（a）に示すように絶縁体相の領域が大きい状態では抵抗は高い。そこから、上述したソースドレイン電流などのような外場強度を増加させると、図8（b）に示すように絶縁体相の領域82が縮小し、その分だけ金属相の領域84が占める割合が増加する。さらに外場強度を増加すると、図8（c）に示すように絶縁体相の領域84は殆どみられなくなる。

[0052] このように、チューニング層21内の金属相の絶縁体相に対する割合は外場強度に応じて変化し、パーコレーション経路の状態に応じてキャリアの局在の程度も変化する。この性質を利用すれば、チューニング層21の電気抵抗の値は、低抵抗と高抵抗の2値ではなく、3値以上の値を実現させることが可能となる。その場合、チューニング層21の抵抗値は、ソース、ドレイン間のパーコレーションによる経路の幾何学的構造（長さ、太さ、数）により決定される。このため、チャンネル層2全体の抵抗値もチューニング層21の状態に応じて3値以上の値をとることすなわち多値化が可能となる。

[0053] 以上のように、本発明のある態様の好ましい形態においては、スイッチング動作はトリガー層22における絶縁体金属転移により実現する。また、チューニング層21における金属相の領域82と絶縁体相の領域84において生じるパーコレーションを利用することにより、抵抗値の多値化が可能となる。

[0054] [2 素子構造]

以下、本実施形態の強相関酸化物を用いる強相関不揮発メモリー素子を図面に基づいて説明する。本実施形態の強相関不揮発メモリー素子の構造を、典型的な二つの構成すなわちトップゲート構成とボトムゲート構成について説明する。さらに、チャンネル層を2層の積層構造とする好ましい構造についても説明する。

[0055] [2-1 トップゲート構成]

再び図1を参照して、本実施形態の一例の強相関不揮発メモリー素子の構成について説明する。概略断面図として示されるように、強相関不揮発メモ

リー１００はトップゲート構造に作製されている。チャンネル層２の図１における上面には、ゲート絶縁体３１を介してゲート電極４１が形成されている。さらに、チャンネル層２に接するように、ドレイン電極４２およびソース電極４３が形成されている。そして、基板１とチャンネル層２とを構成する物質としてペロフスカイト型酸化物を選択することにより、チャンネル層２を、基板１に対してエピタキシャルに成長させることが可能となる。これにより、チャンネル層２として高品質な薄膜を作製することが可能となる。例えば、基板１としては $(\text{LaAlO}_3)_{0.3}(\text{SrAl}_{0.5}\text{Ta}_{0.5}\text{O}_3)_{0.7}$ （以下、LSATと略記する）あるいは SrTiO_3 が好ましい。このように構成することにより、チャンネル層を、金属相と、電荷整列相または軌道整列相のいずれかである絶縁体相との間において相転移可能なペロフスカイト型マンガノ酸化物とすることができる。

[0056] [２－２ ボトムゲート構造]

図１に示した強相関不揮発メモリー１００の変形として、本実施形態においては、ボトムゲート構造の強相関不揮発メモリー素子を作製することも可能である。図２は、本実施形態の強相関不揮発メモリー素子の別の例であるボトムゲート構造の強相関不揮発メモリー素子２００（（以下「強相関不揮発メモリー２００」と記す）の概略断面図である。図２に示したように、強相関不揮発メモリー２００においては、チャンネル層２からみて基板１Ａ側にゲート電極４１Ａが配置されている。この構造の電界効果素子２００を作製するためには、まず、基板１Ａの図２における紙面の上方の面の上に、エピタキシャル成長可能な導電性の酸化物薄膜としてゲート電極４１Ａを形成し、次いでゲート絶縁体３１Ａ、強相関酸化物のチャンネル層２Ａを、この順に積層する。これらの基板１Ａと、チャンネル層２Ａと、チャンネル層２Ａおよび基板１Ａの間に位置するゲート電極４１Ａおよびゲート絶縁体３１Ａとのすべてが、ペロフスカイト型酸化物により構成されていることにより、チャンネル層２Ａとして、基板１Ａに対してエピタキシャルに成長する高品質な薄膜を作製することが可能となる。例えば、基板１ＡとしてはLSATあるいは

SrTiO_3 が望ましい。ゲート電極41Aとしては $\text{La}_{1-x}\text{Sr}_x\text{MnO}_3$ 薄膜 ($x=0.2\sim0.4$)、ゲート絶縁体31Aとしては基板1Aと同種の物質、すなわち基板1AがLSATの場合はLSAT、基板1Aが SrTiO_3 の場合は SrTiO_3 を選択することが好ましい。また、強相関酸化物のチャネル層2Aとしては基板1AがLSATである場合には、例えば $\text{Pr}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ 薄膜とすることが好ましく、また、基板1Aが SrTiO_3 である場合には、 $\text{Nd}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ 薄膜とすることが好ましい。このように構成することにより、チャネル層を、金属相と、電荷整列相または軌道整列相のいずれかである絶縁体相との間において相転移可能なペロフスカイト型マンガン酸化物とすることができる。

[0057] なお、強相関不揮発メモリー200においては、例えば、ゲート電極41A、ゲート絶縁体31Aおよびチャネル層2Aは、まずこれら3つの層が形成される。その後、3つの層をフォトリソグラフィーにより一括してエッチングして基板1Aの面内の形状がパターンニングされ、図2に示されているように加工される。そして、絶縁膜32Aを形成した後に、チャネル層2の表面または界面に接するいずれかの位置にドレイン電極42Aとソース電極43Aとが形成される。こうして図2の強相関不揮発メモリー200の構造が形成される。

[0058] [2-3 トップゲート構造における2層チャネル構造]

再び図3を参照して、トップゲート構成の強相関不揮発メモリー素子300の構造について説明する。図3における基板1の紙面の上方の面の上には、チューニング層21と、トリガー層22とを、基板1側からこの順に含むチャネル層2が形成されている。

[0059] チャネル層2の図3における上面には、ゲート絶縁体31を介してゲート電極41が形成されている。さらに、チャネル層2に接するように、ドレイン電極42およびソース電極43が形成されている。図3には、例示として、トリガー層22に接しているドレイン電極42およびソース電極43が描かれている。そして、基板1とチャネル層2に含まれる2つの層（チューニ

ング層 2 1、トリガー層 2 2) とを構成する物質としてペロフスカイト型酸化物を選択することにより、チャネル層 2 のチューニング層 2 1 およびトリガー層 2 2 を、基板 1 に対してエピタキシャルに成長させることが可能となる。これにより、チャネル層 2 として高品質な薄膜を作製することが可能となる。

[0060] 次に、図 3 に示した強相関不揮発メモリー 3 0 0 におけるチューニング層 2 1 について説明する。チューニング層 2 1 は、強相関酸化物であることに加えて、基板 1 が L S A T である場合には、 $\text{Nd}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ 薄膜を採用することが好ましく、また、基板 1 が SrTiO_3 の場合は $\text{Pr}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ 薄膜を採用することが好ましい。

[0061] さらに、トリガー層 2 2 について説明する。トリガー層 2 2 も、強相関酸化物であることに加えて、基板 1 が L S A T の場合には、 $\text{Pr}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ 薄膜を採用することが好ましく、基板 1 が SrTiO_3 の場合には $\text{Nd}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ 薄膜を採用することが好ましい。ゲート絶縁体 3 1 やゲート電極 4 1、ドレイン電極 4 2、ソース電極 4 3 はペロフスカイト型酸化物である必要はなく、適宜利用可能な物質を選択することができる。

[0062] したがって、チャネル層 2 として用いられるトリガー層 2 2 のための強相関酸化物（第 1 種の強相関酸化物）およびチューニング層 2 1 のための強相関酸化物（第 2 種の強相関酸化物）として選択される材質例は、基板 1 が L S A T の場合には、それぞれ、 $\text{Pr}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ および $\text{Nd}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ となる。これに対し、基板 1 が SrTiO_3 の場合には、上記材質例は、それぞれ、 $\text{Nd}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ および $\text{Pr}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ となる。

[0063] [3 実施例]

[3 - 1 素子作製例]

以下、本実施形態の強相関不揮発メモリー素子の作製方法を説明する。この説明は、図 3 に示した、チューニング層 2 1、トリガー層 2 2 の 2 層を備えるチャネル層 2 を有するトップゲート構造の強相関不揮発メモリー 3 0 0

の一例の実施例を作製した具体的方法に基づくものである。以下に実施例を挙げて本発明をさらに具体的に説明する。以下の実施例に示す材料、使用量、割合、処理内容、処理手順等は本発明の趣旨を逸脱しない限り適宜変更することかできる。したがって、本発明の範囲は以下の具体例に限定されるものではない。

[0064] 本実施形態の実施例となる強相関不揮発メモリー素子に採用される材料は、トリガー層22として $\text{Pr}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ 、チューニング層21として $\text{Nd}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ であり、基板1はLSAT(110)面方位基板である。製造装置の構成についてはいずれも図示しない。

[0065] まず、本実施形態の強相関不揮発メモリー300の実施例において、強相関酸化物薄膜を含むチャネル層2がレーザーアブレーション法を利用して作製された。各材料のターゲットは、固相反応法により $\phi 20\text{ mm} \times 5\text{ mm}$ の円筒形に成形して作製された各組成の多結晶材料を用いた。具体的には、基板1としてLSAT(110)基板を取り付けた真空チャンバーを $3 \times 10^{-9}\text{ Torr}$ ($4 \times 10^{-7}\text{ Pa}$)以下に真空排気した。その後、高純度の酸素ガスを 1 mTorr (0.133 Pa)導入し、基板を 900°C に到達するまで加熱した。続いて波長 248 nm のKrFエキシマレーザを、チャンバーのレーザー光導入ポートを介してターゲットに照射した。次いで、チューニング層21として $\text{Nd}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ 薄膜を11原子層の厚みに形成した。引き続き、同一雰囲気中にてトリガー層22のための強相関酸化物の層として $\text{Pr}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ 薄膜を11原子層の厚みに形成した。なお、これらの原子層の厚みは、1原子層の厚みが、(110)面の間隔 $d(110)$ に対応している。つまり、 $\text{Pr}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ や $\text{Nd}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ における $d(110)$ は 0.27 nm に相当しているため、11原子層の場合にはいずれも、約 3 nm の厚みである。すなわち、ここで作製された強相関不揮発メモリー300の実施例においては、強相関酸化物のトリガー層22の厚み t_1 は 3 nm 、チューニング層21の厚み t_2 は 3 nm 、したがって、チャネル層2の厚み t は 6 nm である。

[0066] これらの2層を含むチャネル層2を形成した後、原子層堆積法によりゲート絶縁体31として酸化アルミナを形成した。その後フォトリソグラフィとエッチング、電極作製プロセスを経て図1に示す三端子の強相関不揮発メモリー素子を作製した。

[0067] [3-2 強相関酸化物の特性]

[3-2-1 磁場を外場とする場合の特性]

次に、上記実施例のチューニング層21として採用した $\text{Nd}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ と、トリガー層22として採用した $\text{Pr}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ とのより一般的な特性について説明する。図9は、各材料の体積抵抗率 ρ の温度依存性のグラフである。図9(a)は、 $\text{Nd}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ 、そして図9(b)は $\text{Pr}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ のものである。各グラフは、外部磁場をパラメータとして示している。図9(b)に示すように、 $\text{Pr}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ 薄膜(膜厚は40nm)はLSAT(110)基板上においては軌道秩序によるシャープな金属絶縁体転移を示す。別途検討したところ、 $\text{Pr}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ における臨界膜厚 t_{1c} は約5nmである。これに対し、 $\text{Nd}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ 薄膜(膜厚は80nm)は図9(a)のグラフに示すようにLSAT(110)基板上においては電荷軌道整列絶縁体相と金属相が混じった二相共存状態を示す。 $\text{Nd}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ の臨界膜厚 t_{2c} は約5nm未満である。したがって、上記実施例におけるチャネル層2は、 $t = t_1 + t_2 \geq \max(t_{1c}, t_{2c})$ 、ただし $t_1 < t_{1c}$ 、 $t_2 < t_{2c}$ の条件を満たしている。

[0068] [3-2-2 メモリー素子としての動作]

[3-2-2-1 チャネル層の磁場による相転移]

次に、強相関不揮発メモリー300の特性について説明する。図10は、上述した工程により作製した強相関不揮発メモリー300のチャネル層2の電気抵抗を、温度および磁場を変えながら測定したグラフである。ここでは、ゲート電圧を0Vに保ち、ゲート電圧と同様の作用を及ぼす外場の一つである磁場を印加している。図10に示すように、強相関不揮発メモリー300

0の温度を室温から冷却していくと、チャンネル層2の電気抵抗が100Kにおいて急激に増大し、その増大前後での電気抵抗の比率は最大で6桁以上となりうることを確認した。すなわち、強相関酸化物のトリガー層22と強相関酸化物のチューニング層21を備えるチャンネル層2は、トリガー層22をなす強相関酸化物における金属絶縁体転移により、絶縁状態とすることが可能である。このように、強相関酸化物のチューニング層21が存在しているにもかかわらず、トリガー層22の強相関酸化物における金属絶縁体転移の影響によってチューニング層21の金属相は消失している。このため、チャンネル層2全体としてみても巨大な抵抗変化が得られることが確認された。さらに、磁場を印加し冷却すると磁場強度に応じて抵抗値が変化することを確認した。これはチューニング層21中の金属相が、磁場強度の増大に応じて増加することでパーコレーション経路が電極間で発生していることを示している。すなわちチャンネル層2全体の抵抗値はトリガー層22によりスイッチングし、なおかつ、チューニング層21中のパーコレーション経路に応じてその抵抗値は3値以上の値をとるのである。

[0069] [3-2-2-2 チャンネル層の磁場による双安定動作]

強相関不揮発メモリー300においてさらに無磁場下で所定の温度に冷却し、その後に磁場を掃引して印加しチャンネル層2の電気抵抗を測定した。図11は、強相関不揮発メモリー300の無磁場下冷却後の電気抵抗のグラフであり、各曲線は、抵抗変化の大きい側から順に、30K、40K、60K、80K、および100Kの各温度で磁場を掃引して測定した結果であり、横軸は磁束密度の単位により示す掃引磁場である。各温度において、図4(a)に示した温度磁場相図のように双安定状態が実現することが確認された。特に100Kでは、5Tの掃引磁場の印加により生じた低抵抗状態すなわち金属相が無磁場下でもほぼ保たれている。このため、100K以外の温度においても磁場強度がより大きければ同様に金属相が無磁場下でも保たれることも十分考えられる。

[0070] [3-2-2-3 チャンネル層のパーコレーションによる電気抵抗への影響]

]

また、外場によるパーコレーション状態の変化を調べるために 300 K にて磁場を印加した後、5 K まで冷却し測定した磁場冷却 (Field Cooling) 処理における電気抵抗を調べた。図 12 は、強相関不揮発メモリー 300 の磁場下冷却後の電気抵抗のグラフである。各曲線は、抵抗の高い側から順に 1.05 T、1.1 T、1.3 T、1.5 T、および 2 T の磁場 (初期磁場) を印加する磁場冷却処理後に磁場掃引を行なって測定した結果であり、横軸はその掃引された磁場を磁束密度の単位により示している。また、各曲線は初期磁場を出発点にして、初期磁場と同じ強度で逆向きの磁場まで磁場を掃引し、再び初期磁場に戻すような磁場履歴を経た場合のものである。初期磁場を 1.05 T とした場合は、無磁場下になると電気抵抗が高くなり、その後の磁場掃引において、その高い電気抵抗にてほぼ一定の値を保っている。これはパーコレーション経路の変化に対応しているものと考えられる。初期磁場が 1.05 T を超える場合には、初期磁場の強度を増大させるのに応じて抵抗値は低くなり、1.1 T、1.3 T、1.5 T、および 2 T のうちのいずれの初期磁場の場合も、掃引時の無磁場下における抵抗値がほぼ一定に保たれる。このことから、チューニング層 21 におけるパーコレーション経路に応じた 3 値以上の抵抗値を実現する相状態は安定であることがわかる。

[0071] 次に、トリガー層 22 である $\text{Pr}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ の相転移に関連して、 $\text{Pr}_{1-x}\text{Sr}_x\text{MnO}_3$ ($x=0.4\sim0.6$) バルク単結晶の性質を説明する。図 13 は、チャンネル層のドーピング挙動を説明するための説明図として示す、 $\text{Pr}_{1-x}\text{Sr}_x\text{MnO}_3$ ($x=0.4\sim0.6$) バルク単結晶の電子相図である。これは先に図 4 (b) や図 5 として示した電子相図に対応するものである。図 13 の縦軸は温度 (K)、そして横軸は Sr 量すなわちホールドーピング量 x である。白丸は強磁性相の転移温度 (キュリー温度) を示し、黒丸は強磁性相から反強磁性相へと転移する T_N (ネール温度) を示している。 $\text{Pr}_{1-x}\text{Sr}_x\text{MnO}_3$ においては反強磁性相への転移と同時に軌道整列が生じ、それとともに、キャリアが局在化するため金属絶縁体転移も発生する。した

がって、 $T_N = T_{OO}$ （軌道整列温度）は金属絶縁体転移が生じる温度となる。図13に示すように $x = 0.5$ の組成の $\text{Pr}_{1-x}\text{Sr}_x\text{MnO}_3$ に対して電子をドーピングすることは、例えば100K程度の温度を保って図13の左側へ移動することに対応する。このため、電子をドーピングすることにより、金属相が出現し始め絶縁体から金属へと転移することとなり、抵抗が低下する。また、 $x = 0.5$ の組成の $\text{Pr}_{1-x}\text{Sr}_x\text{MnO}_3$ に対してホールをドーピングすることは、相図の右側へ移動することに対応する。

[0072] [3-3 メモリー動作]

[3-3-1 不揮発性メモリー機能]

続いて、電界効果による抵抗変化および不揮発性メモリー機能について説明する。図14は、強相関不揮発メモリー300の実施例においてゲート電圧に対するチャネル層の抵抗値のグラフである。白丸および黒丸は、それぞれ、ゲート電圧を正極性側（第1極性）に上昇させてゆく場合、および負極性側（第2極性）に低下させてゆく場合についての電気抵抗値の測定値を示している。なお、ゲート電圧は、ソース電極43を0Vの基準とした場合のゲート電極41の電位である。また、この測定においては、ゲート電圧を設定してソース電極43とドレイン電極42の間の電気抵抗値を測定し、その電気抵抗値をチャネル層2の抵抗として図示している。さらに測定は、強相関不揮発メモリー300を30Kに冷却して行なった。

[0073] ゲート電圧を上昇させてゆく動作においては、図14の特性に示されるように、ゲート電圧を正極性側に上昇させて絶対値を増加させた。すると、約1.8V付近にてチャネル層の電気抵抗値が急激に低下するという閾値を有するステップ的な挙動が確認された。さらにゲート電圧を+3Vまで印加したところ、チャネル層の電気抵抗値は、ゲート電圧を印加しない状態との間で5桁以上の変化を示した。この動作は、チャネル層2を金属相することにより低抵抗状態（SET状態）に遷移させるSET動作となる。さらにソース、ドレイン間に100 μA の電流を流しながら、ゲート電圧を正極性の範囲で低下させていくと、ゲート電圧が約1.8V以下の場合や、0Vの場合

において、低抵抗のSET状態が維持され、不揮発性メモリー機能が発現することを確認した。

[0074] 引き続き、ソース、ドレイン間に $100\mu\text{A}$ の電流を流しながらゲート電圧を0にすることにより得られた上記SET状態から出発して、ゲート電圧を負極性側へ電圧を印加した。すると、図14に示されるように、 -1V を過ぎるとともに抵抗値の増加が観測された。そしてさらに負側へ電圧を印加し負極性のまま電圧の絶対値を増加させていくと、 -2V 以上で初期の高抵抗状態(OFF状態)に戻った。この動作は、チャネル層2を絶縁体相にすることにより高抵抗状態(OFF状態)に遷移させるRESET動作となる。そして、その際には、 -1V を閾値とするなだらかな挙動と、RESET動作による高抵抗状態が得られることを確認した。その後、再びゲート電圧を負極性のまま0Vに向かって上昇させることによりゲート電圧の絶対値を低下させてゆくと、その間および0VにおいてOFF状態が維持されていた。つまり、高抵抗状態(OFF状態)が維持されることを確認した。

[0075] 以上のように、ゲート電圧の極性を制御することにより、SET動作およびRESET動作を行なうこと、そして、低抵抗状態(SET状態)と高抵抗状態(OFF状態)とを相互に遷移させることが可能であった。また、SET状態およびOFF状態のいずれも、ゲート電圧を0Vとし、チャネル層に電流を全く流さない状態においてそれぞれの状態が維持される不揮発性メモリー機能が発現することを確認した。

[0076] [3-3-2 多値メモリー機能]

[3-3-2-1 SET動作における多値メモリー動作]

さらに、図14と同様の動作条件において、ソース、ドレイン間に流す電流値(ソースドレイン電流値)のみ $80\mu\text{A}$ 、 $70\mu\text{A}$ 、 $60\mu\text{A}$ 、と変えて同様の測定を行なった。図15は、強相関不揮発メモリー素子300のSET動作により多値に制御される電気抵抗を示すグラフである。この測定のためには、まず上記SET動作の途中の $+3\text{V}$ のゲート電圧を印加した状態において、上記各値のソースドレイン電流を流しながらゲート電圧を、 $+1$ 、

8 Vの閾値電圧を下回る0 Vへと低下させた。そしてその電圧低下の後に、チャンネル層の電気抵抗を測定した。その結果、図15に示すように、ソースドレイン電流値の各値に応じ、ゲート電圧が0 Vの時点におけるチャンネル層の抵抗値が変化することが観察された。具体的な数値に基づいて説明すると、 $80\text{ }\mu\text{A}$ 、 $70\text{ }\mu\text{A}$ 、 $60\text{ }\mu\text{A}$ のそれぞれの値のソースドレイン電流に応じて、チャンネル層の抵抗値が約 $10^4\text{ }\Omega$ 、約 $10^5\text{ }\Omega$ 、約 $10^6\text{ }\Omega$ と変化した。そして、これらの抵抗値はその時点でソースドレイン電流の値を0 Aとしても維持された。このように、ゲート電圧を0 Vとした状態において、チャンネル層の抵抗値がそれぞれの値に制御される、多値の抵抗値制御が実現されることを確認した。なお、ソースドレイン電流値を $40\text{ }\mu\text{A}$ 未満とした場合には、チャンネル層の抵抗値は約 $10^8\text{ }\Omega$ 程度となり、チャンネル層の抵抗値の制御を行なうことはできなかった。このため、ソースドレイン電流の閾値電流は、 $40\text{ }\mu\text{A}$ 以上 $60\text{ }\mu\text{A}$ 未満の範囲にあったものと推測している。以上のようにして、多値の記憶動作を行ないうる不揮発性メモリー機能が発現することを確認した。

[0077] このような多値の記憶動作の不揮発性メモリー機能の物理的機構は、キャリア量を S_r 量とし、また、外場を磁場として上述した強相関酸化物薄膜の特性を活かすことによって実現されたものである。そして、ゲート電圧により制御されるのはチャンネル層中に注入するキャリア量である。つまり、図13において S_r 量を制御したかのような制御をゲート電極への印加電圧により実現して、図4(b)または図5の電子相図中における横移動に対応する制御を行なう動作が確認された。その一方、外場として磁場に基づいて説明した図9～図12の挙動と同様の現象は、強相関不揮発メモリー300においては、ソースドレイン電流によって実現される。つまり、ソースドレイン電流の値は、強相関酸化物薄膜を金属相に維持する作用を持つ上記外場の一種とみなすことが可能である。上述した図4(b)または図5の電子相図の説明においても、追加の軸方向の移動として電流値を明示していた。このように、SET動作の後のソースドレイン電流の値を閾値電流以上の範囲にお

いて調整することより、ゲート電極に印加する電圧の絶対値を閾値電圧より低下させるかまたはその印加を停止した後のチャネル層の抵抗値が3値以上に制御された。こうしてゲート電圧によるキャリア量の制御と、ソースドレイン電流の値とを組み合わせることにより、電気的手段による不揮発性メモリー機能を実現することが確認された。

[0078] さらに、図15の実験結果から、特に図11および図12に基づいて説明したパーコレーションは、ソースドレイン電流が外場として作用する場合にも同様に成立している可能性が高いと本願発明者は考えている。つまり、ソースドレイン電流の値により制御されるチューニング層中のパーコレーション経路の形成状態に起因して、多値の安定状態が実現している。そして、上述した不揮発性の実現とソースドレイン電流の制御とは両立することが可能なため、多値の不揮発効果が発現するものと考えられる。このような電気的手段により制御される不揮発性メモリー機能は、そもそも強相関電子系の相転移現象を起源とするものであることから、本実施形態においてチャネル層の材質として採用している強相関物質を用いることで初めて発現する機能と言える。なお、図15に示すゲート電圧0Vの各電気抵抗値となっている状態は、ゲート電圧を負にせず再び十分に高い電圧（例えば3V）とすることにより、ソースドレイン電流値に応じて制御することが可能となった。このため、ソースドレイン電流値とSET動作を組み合わせる構成においては、高抵抗状態に遷移させる場合に行なわれるRESET動作を除き、ゲート電圧を負とすることなく3値以上の多値の不揮発性メモリー機能を実現することが可能である。

[0079] [3-3-2-2 RESET動作における多値メモリー動作]

多値の不揮発性メモリー機能を実現する別の方法としてOFF状態の印加電圧値による制御を行なうこともできる。この際のチャネル層の電気抵抗の変化を測定した。図16は、強相関不揮発メモリー素子300のRESET動作により多値に制御される電気抵抗を示すグラフである。この測定のためには、まず、ソース、ドレイン間に100 μ Aの電流を流しながらゲート電

圧を0にしてSET動作を一旦完了してからゲート電圧をさらに負側へ印加し、ゲート電圧の絶対値を増大させた。そして、ソース、ドレイン電圧の到達電圧を -1 V 、 -1.25 V 、 -1.5 V 、 -1.75 V の各電圧値として、その後にゲート電圧を上昇させて0に戻すまでの電気抵抗を測定した。図16に示すように、その戻す間および0Vの時点において、チャネル層の電気抵抗は、負側のゲートの到達電圧値に対応した抵抗値に維持された。つまり、ゲート電圧の絶対値を閾値電圧（ 1 V ）以上となる電圧範囲で調整することにより、ゲート電圧の絶対値をその閾値電圧より低下させるかまたはその印加を停止した後のチャネル層の抵抗値が3値以上に制御されることが確認された。このように動作させることによって、OFF状態の到達電圧としての印加電圧値に応じた多値の不揮発性メモリー機能の実現されることを確認した。

[0080] この現象は、負側の到達電圧値に応じてキャリア量が減少すること、そしてそのキャリア量の減少の結果が、図13の電子相図中、 $x=0.5$ に向かって右へと移動することに対応している。すなわち、図13の電子相図中で $x=0.5$ に向かって右へと移動するにつれて、チューニング層における金属相と絶縁体相の割合が変わることにより、パーコレーション経路が変化するためと考えられる。そして、このRESET動作による多値記憶の動作は、最初に行なわれるSET動作を除き、上述した外場としてのソースドレイン電流による制御を要さないという利点をも備えている。したがって、RESET動作において、ゲート電極41を介した印加電圧値を調整することにより、ソースドレイン電流値の制御を利用することなく、ゲート電圧の印加停止後のチャネル層2の抵抗値を3値以上に制御することが可能である。

[0081] [4 変形例]

以上説明したように、本発明の強相関不揮発メモリー素子により巨大な抵抗変化を伴う不揮発性メモリー機能の実現される。特に、チューニング層、トリガー層の2層を備えるチャネル層を有する強相関不揮発メモリーにおいては多値の不揮発メモリー機能の実現される。

[0082] ここで、上述した実施例に基づく本実施形態の説明は、チャンネル層 2 にトリガー層 2 2 とチューニング層 2 1 を採用した強相関不揮発メモリー 3 0 0 に基づいて行なったものである。しかし、本実施形態の強相関メモリー素子の構成は、必ずしもこのような構成のチャンネル層の構成のみに限定されず、詳述した動作原理が成立する任意の具体的構造の強相関メモリー素子を含むものである。例えば、図 4 (a) に関連して説明した双安定性は、単一のチャンネル層を採用した場合においても成立する。また、図 8 に関連して説明した二相共存状態におけるパーコレーションも同様である。このため、図 1 および図 2 に基づいて説明した強相関不揮発メモリー 1 0 0 および 2 0 0 においても、双安定性を起源とする不揮発性メモリー機能は発現し、また、パーコレーションを起源とする 3 値以上の多値記憶を実現することが可能である。

[0083] また、トップゲート構成の強相関不揮発メモリー 3 0 0 (図 3) のみを例にしてチューニング層 2 1 とトリガー層 2 2 との 2 層を備えるチャンネル層 2 の構成を説明した。これは、強相関不揮発メモリー 1 0 0 (図 1) において、チャンネル層 2 を、第 1 種の強相関酸化物のトリガー層 2 2 と第 2 種の強相関酸化物のチューニング層とにより形成し、ゲート絶縁体 3 1 をトリガー層 2 2 とゲート電極 4 1 とにより挟むように構成したものである。しかし、チューニング層 2 1 とトリガー層 2 2 との 2 層を含むチャンネル層 2 は、ボトムゲート構成の強相関不揮発メモリー 2 0 0 (図 2) において採用することも可能である。その場合にも、例えば、チャンネル層 2 を、第 1 種の強相関酸化物のトリガー層 2 2 と第 2 種の強相関酸化物のチューニング層とにより形成し、ゲート絶縁体 3 1 をトリガー層 2 2 とゲート電極 4 1 とにより挟むように構成することも可能である。トップゲート構成およびボトムゲート構成のいずれの構成においても、トリガー層 2 2 の制御を介してチャンネル層 2 の制御を行なうことが可能である。

[0084] さらに本実施形態においては (1 1 0) 面方位基板を使用した (2 1 0) 面方位基板上の単結晶薄膜も一次転移が可能であることから (2 1 0) 面

方位基板を用いた場合にも同様に巨大な抵抗変化を示す強相関酸化物電界効果素子を実現可能である。なお、本実施形態において例示した薄膜や基板の材料やその組成、膜厚、形成方法等は、上記実施形態に限定されるものではない。

[0085] 以上、本発明の実施形態を具体的に説明した。上述の各実施形態および実施例は、発明を説明するために記載されたものであり、本出願の発明の範囲は、特許請求の範囲の記載に基づいて定められるべきものである。また、各実施形態の他の組合せを含む本発明の範囲内に存在する変形例もまた、特許請求の範囲に含まれるものである。

産業上の利用可能性

[0086] 本発明の強相関不揮発メモリーは、電気的手段により不揮発性のあるスイッチング機能を発現する素子を利用する任意の電気・電子機器に利用可能である。

符号の説明

[0087] 100、200、300 強相関不揮発メモリー素子

1、1A 基板

2、2A チャンネル層

21 チューニング層

22 トリガー層

31、31A ゲート絶縁体

32、32A 絶縁膜

41、41A ゲート電極

42、42A ドレイン電極

43、43A ソース電極

402 領域（絶縁体相）

404 領域（金属相）

406 領域（双安定）

82 領域（金属相）

8 4 領域（絶縁体相）

請求の範囲

- [請求項1] 強相関酸化物薄膜を含むチャネル層と、
ゲート電極と、
該チャネル層の表面または界面の少なくとも一部に接して形成され、
該チャネル層と該ゲート電極とにより挟まれているゲート絶縁体と、
前記チャネル層の少なくとも一部に接して形成されたソース電極およびドレイン電極と
を基板上に備えており、
前記チャネル層が、金属相と、電荷整列相または軌道整列相のいずれかである絶縁体相との間において相転移可能なペロフスカイト型マンガ酸化物を含んでいる
強相関不揮発メモリー素子。
- [請求項2] 前記チャネル層、前記ゲート絶縁体、および前記ゲート電極が、前記基板からこの順に形成されている
請求項1に記載の強相関不揮発メモリー素子。
- [請求項3] 前記ゲート電極、前記ゲート絶縁体、および前記チャネル層が、前記基板からこの順に形成されている
請求項1に記載の強相関不揮発メモリー素子。
- [請求項4] 前記チャネル層が、
第1種の強相関酸化物のトリガー層と、
第2種の強相関酸化物のチューニング層と
からなり、
前記トリガー層と前記チューニング層とが互いに積層して配置されている
請求項1乃至請求項3のいずれか1項に記載の強相関不揮発メモリー素子。
- [請求項5] 前記ゲート絶縁体と前記チューニング層とにより前記トリガー層が

挟まれている

請求項4に記載の強相関不揮発メモリー素子。

[請求項6] 前記チャネル層の厚さ t 、前記トリガー層の厚さ t_1 、および前記チューニング層の厚さ t_2 が、該トリガー層および該チューニング層のそれぞれの金属相のための臨界膜厚 t_{1c} および t_{2c} に対し、

$$t = t_1 + t_2 \geq \max(t_{1c}, t_{2c})$$

ただし、

$$t_1 < t_{1c}, t_2 < t_{2c},$$

$\max()$ は変数群の最大値を返す関数

なる関係を満たしている

請求項4に記載の強相関不揮発メモリー素子。

[請求項7] 前記基板の面方位が (110) 面方位または (210) 面方位である

請求項1乃至請求項3のいずれか1項に記載の強相関不揮発メモリー素子。

[請求項8] 絶対値がある閾値電圧以上となる第1極性の電圧を前記ゲート電極に印加し前記チャネル層の抵抗値を低下させるSET動作の後に、前記ソース電極および前記ドレインの間に流すソースドレイン電流を閾値電流以上に維持したまま、前記ゲート電極への前記電圧を、前記第1極性のまま絶対値を前記閾値電圧より低下させるかまたはその印加を停止することにより、前記チャネル層の抵抗値が前記SET動作以前の値よりも低い値となるよう制御される

請求項1乃至請求項3のいずれか1項に記載の強相関不揮発メモリー素子。

[請求項9] 絶対値がある閾値電圧以上となる第2極性の電圧を前記ゲート電極に印加し前記チャネル層の抵抗値を上昇させるRESET動作の後に、前記ゲート電極への前記電圧を、前記第2極性のまま絶対値を前記閾値電圧より低下させるかまたはその印加を停止することにより、前

記チャネル層の抵抗値が前記 R E S E T 動作以前の値よりも高い値となるよう制御される

請求項 1 乃至請求項 3 のいずれか 1 項に記載の強相関不揮発メモリー素子。

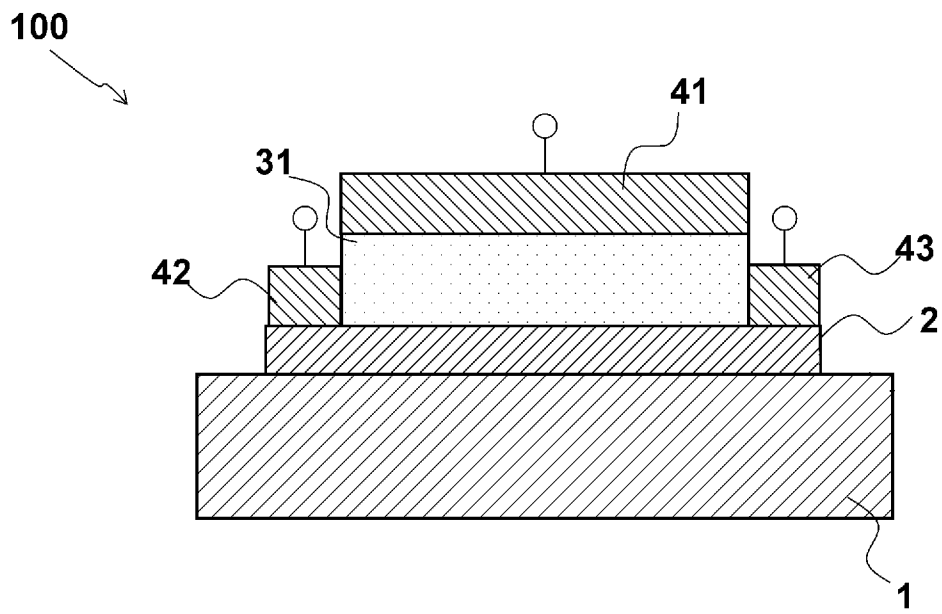
[請求項10] 前記 S E T 動作の後の前記ソースドレイン電流の値を前記閾値電流以上の範囲において調整することより、前記ゲート電極に印加する電圧の絶対値を前記閾値電圧より低下させるかまたはその印加を停止した後のチャネル層の抵抗値が 3 値以上に制御される

請求項 8 に記載の強相関不揮発メモリー素子。

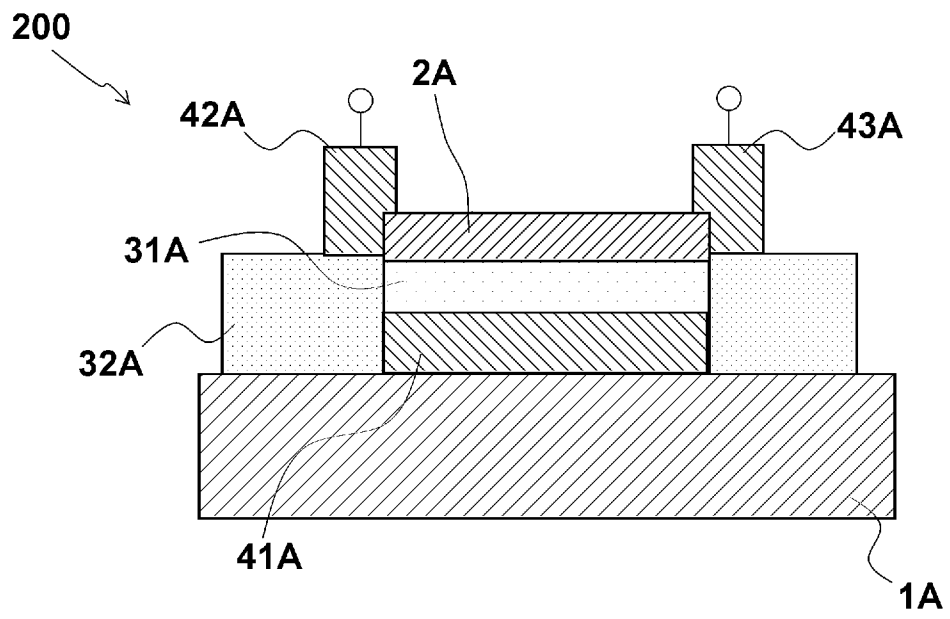
[請求項11] 前記 R E S E T 動作における前記ゲート電極への印加電圧の値を、絶対値が前記閾値電圧以上となる電圧範囲において調整することより、前記ゲート電極に印加する電圧の絶対値を前記閾値電圧より低下させるかまたはその印加を停止した後のチャネル層の抵抗値が 3 値以上に制御される

請求項 9 に記載の強相関不揮発メモリー素子。

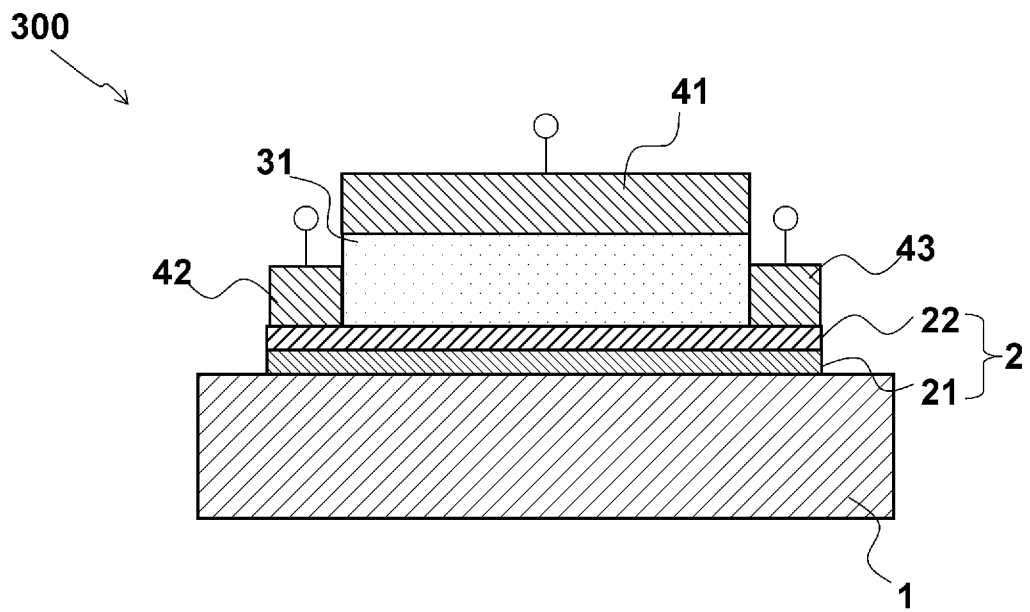
[図1]



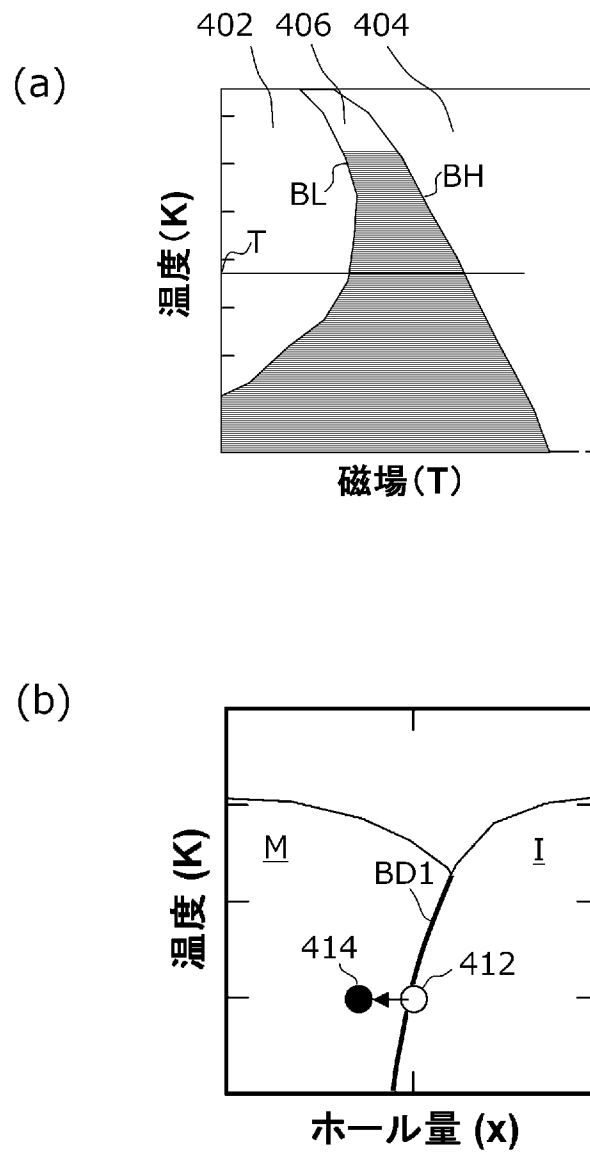
[図2]



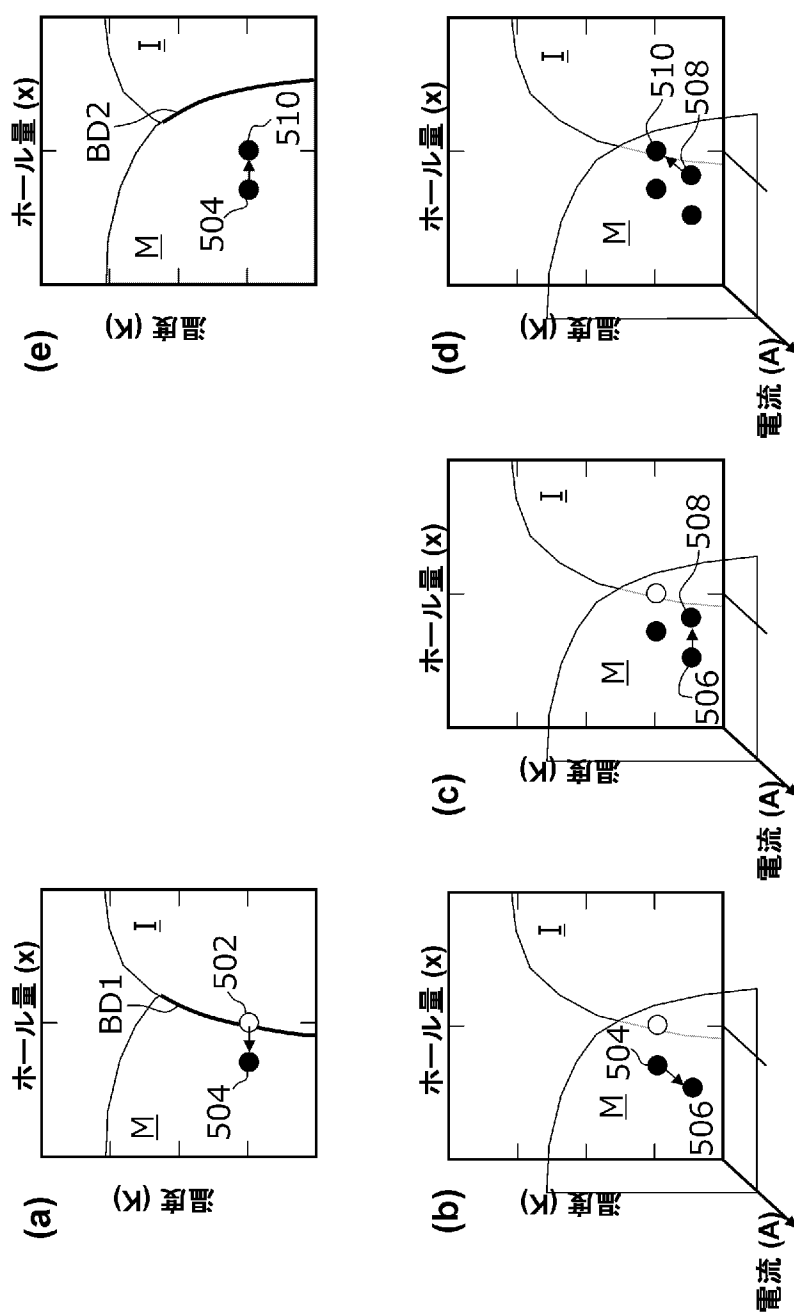
[図3]



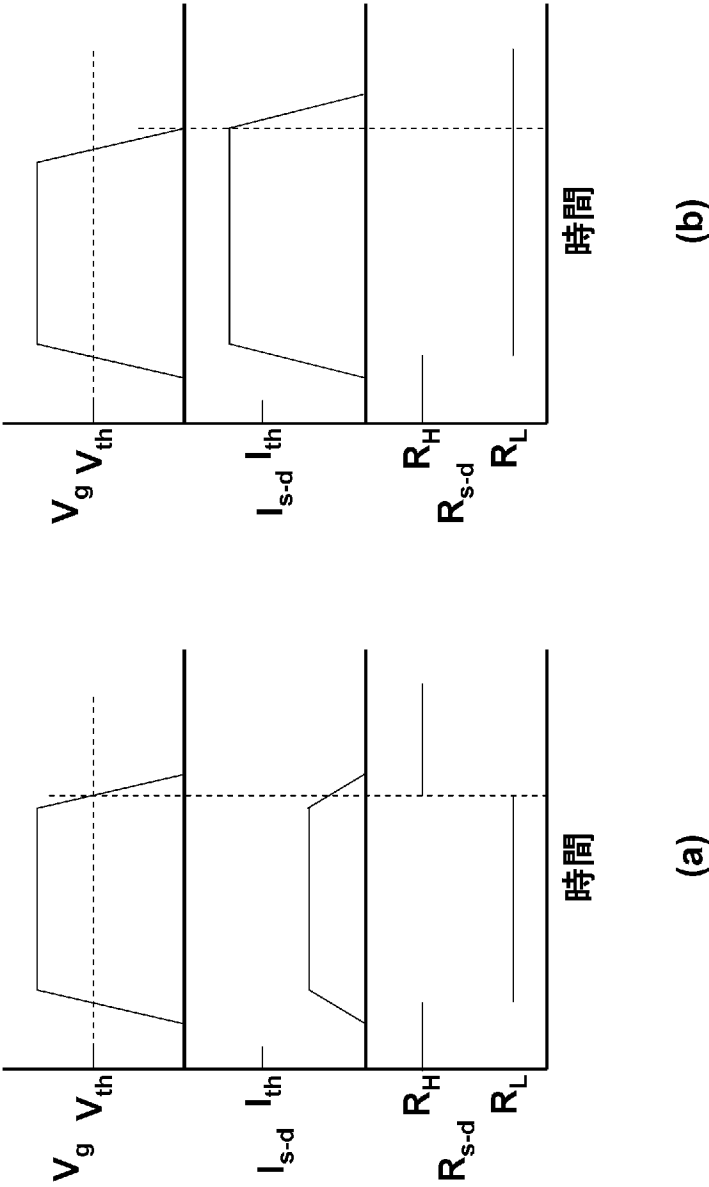
[図4]



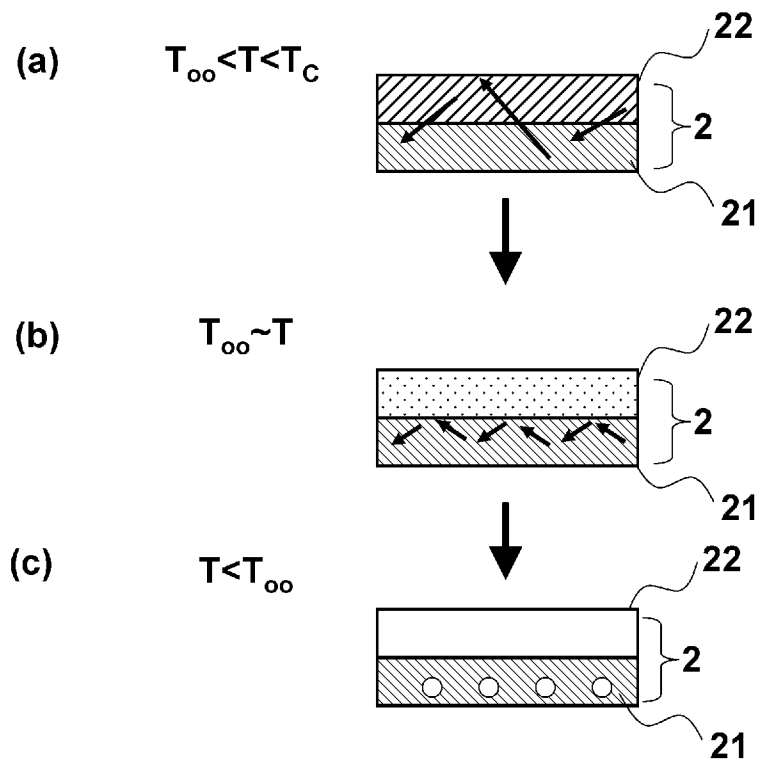
[図5]



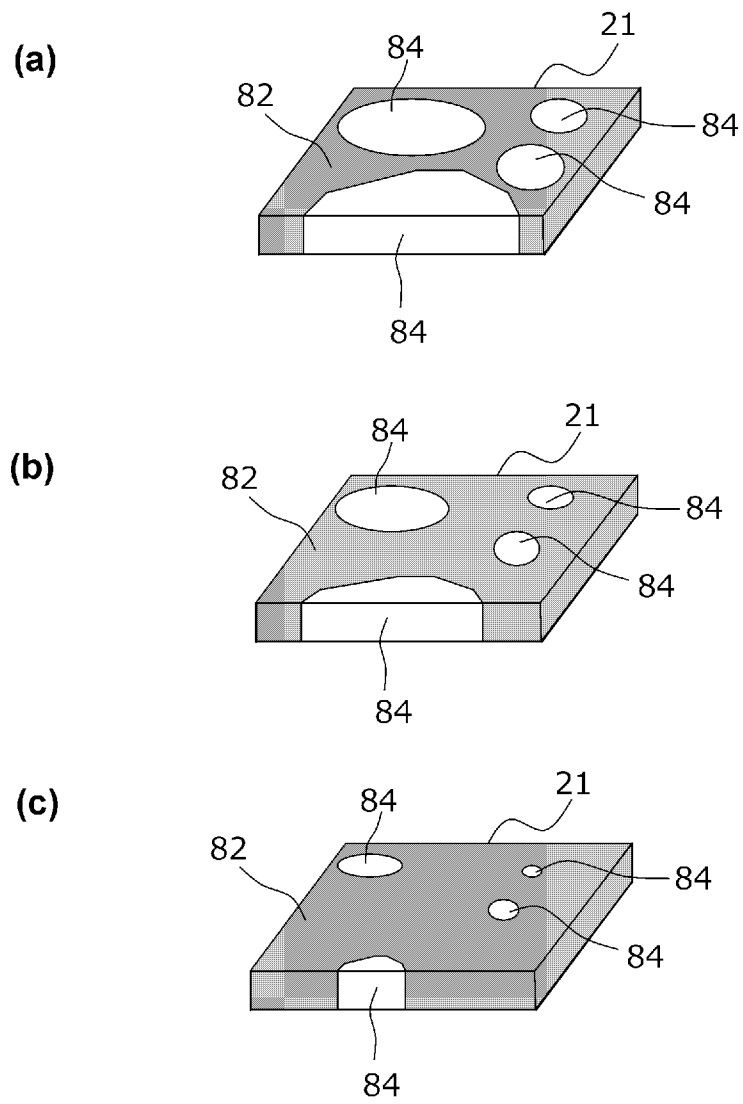
[図6]



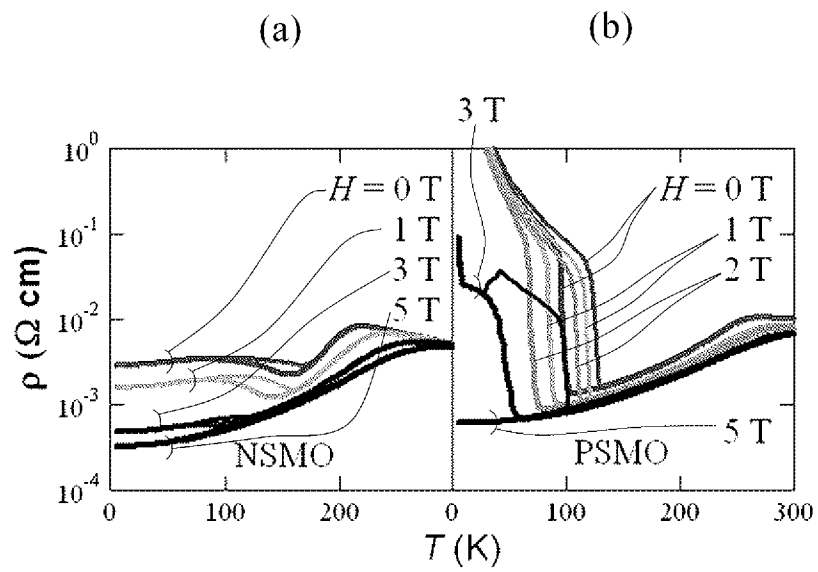
[図7]



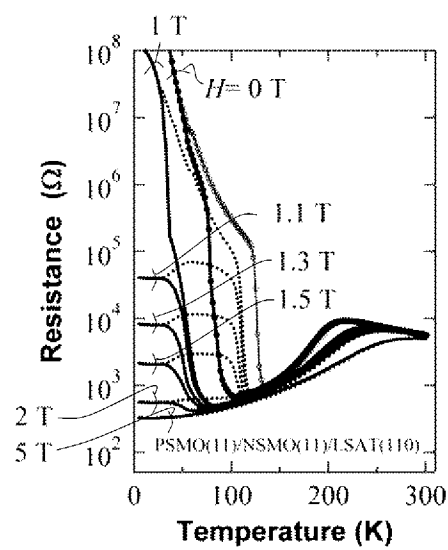
[図8]



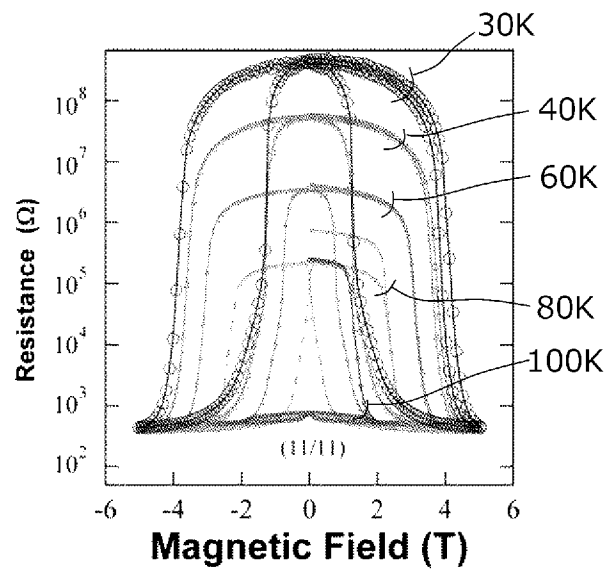
[図9]



[図10]



[図11]



[図12]

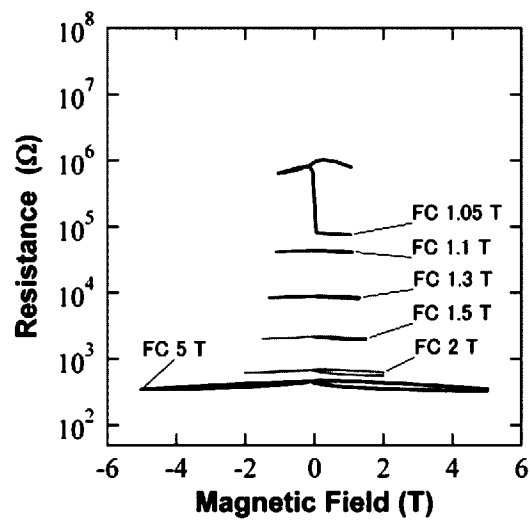
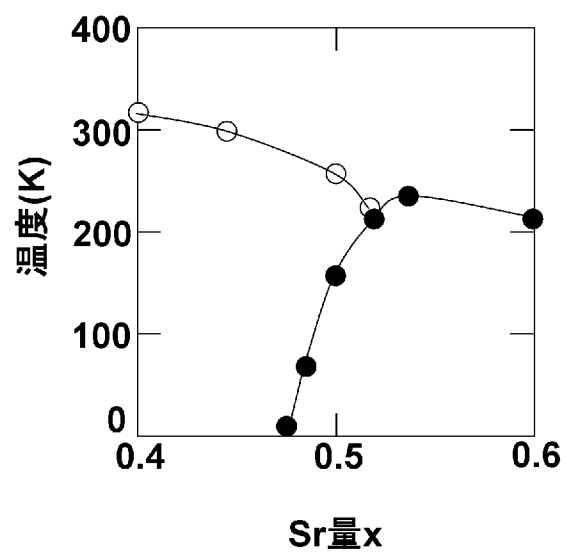
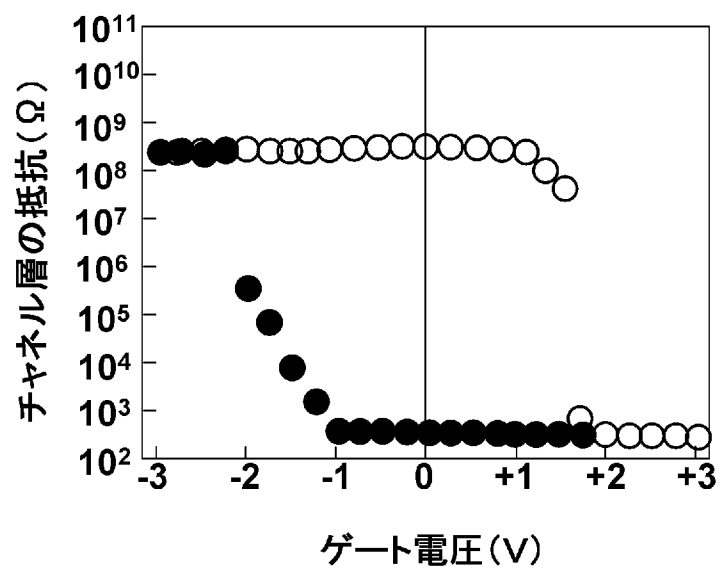


図12

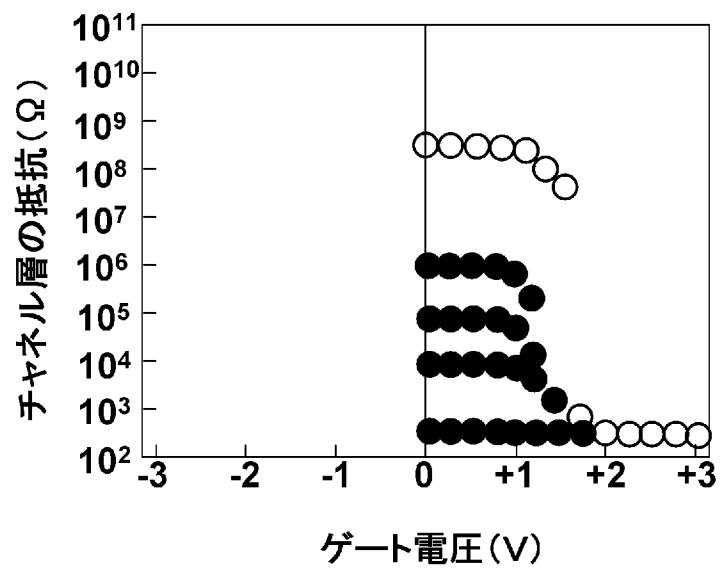
[図13]



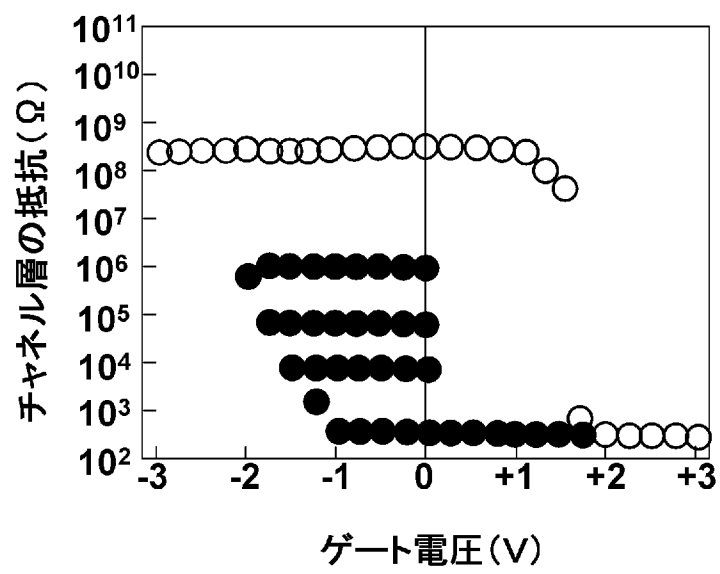
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/073640

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/105(2006.01)i, G11C13/00(2006.01)i, H01L29/786(2006.01)i,
H01L43/08(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/105, G11C13/00, H01L29/786, H01L43/08, H01L45/00, H01L49/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2004/023563 A1 (Japan Science and Technology Agency), 18 March 2004 (18.03.2004), fig. 1 to 5 and the explanations thereof & US 2006/0017080 A1 & US 2007/0007568 A1 & EP 1548843 A1 & KR 10-2005-0083673 A & KR 10-2007-0048811 A	1-3 3, 7 4-6, 8-11
X Y A	JP 6-151872 A (Mitsubishi Kasei Corp.), 31 May 1994 (31.05.1994), paragraphs [0007] to [0044]; fig. 1 to 8 & US 5418389 A	1, 2 3, 7 4-6, 8-11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 October, 2012 (02.10.12)

Date of mailing of the international search report
16 October, 2012 (16.10.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/073640

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-339110 A (Matsushita Electric Industrial Co., Ltd.), 07 December 2001 (07.12.2001), paragraphs [0032] to [0034]; fig. 2 & US 2001/0026466 A1 & EP 1134742 A2	7
E,X	JP 2011-233551 A (Sharp Corp.), 17 November 2011 (17.11.2011), paragraphs [0014] to [0081]; fig. 1 to 9 (Family: none)	1-3
A	WO 2006/101152 A1 (National Institute of Advanced Industrial Science and Technology), 28 September 2006 (28.09.2006), entire text; all drawings & US 2009/0065757 A1 & DE 112006000612 T & KR 10-2007-0115970 A	1-11
A	WO 2007/026509 A1 (Sharp Corp.), 08 March 2007 (08.03.2007), entire text; all drawings & US 2009/0231083 A1 & TWB 00I311376	1-11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/073640

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention of claim 1 does not have a special technical feature, since the invention is disclosed in the document 1 (WO 2004/023563 A1 (Japan Science and Technology Agency), 18 March 2004 (18.03.2004), fig. 1 to 5 and the explanations thereof), and the document 2 (JP 6-151872 A (Mitsubishi Kasei Corp.), 31 May 1994 (31.05.1994), paragraphs [0007] to [0044]; fig. 1 to 8).

Consequently, the following four inventions (invention groups) are involved in claims.

Meanwhile, the invention of claim 1 having no special technical feature is classified into invention 1.

(Continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/073640

Continuation of Box No.III of continuation of first sheet (2)

(Invention 1) claims 1-6
(Invention 2) claim 7
(Invention 3) claims 8 and 10
(Invention 4) claims 9 and 11

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L27/105(2006.01)i, G11C13/00(2006.01)i, H01L29/786(2006.01)i, H01L43/08(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L27/105, G11C13/00, H01L29/786, H01L43/08, H01L45/00, H01L49/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	WO 2004/023563 A1 (独立行政法人科学技術振興機構) 2004.03.18, 図 1-5 及びその説明箇所 & US 2006/0017080 A1 & US 2007/0007568 A1 & EP 1548843 A1 & KR 10-2005-0083673 A & KR 10-2007-0048811 A	1-3 3, 7 4-6, 8-11
X Y A	JP 6-151872 A (三菱化成株式会社) 1994.05.31, 段落【0007】 - 【0044】, 図 1-8 & US 5418389 A	1, 2 3, 7 4-6, 8-11

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 2 . 1 0 . 2 0 1 2

国際調査報告の発送日

1 6 . 1 0 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

瀧内 健夫

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

5 F

4 6 6 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2001-339110 A (松下電器産業株式会社) 2001. 12. 07, 段落【0032】 - 【0034】 , 図 2 & US 2001/0026466 A1 & EP 1134742 A2	7
E, X	JP 2011-233551 A (シャープ株式会社) 2011. 11. 17, 段落【0014】 - 【0081】 , 図 1-9 (ファミリーなし)	1-3
A	WO 2006/101152 A1 (独立行政法人産業技術総合研究所) 2006. 09. 28, 全文全図 & US 2009/0065757 A1 & DE 112006000612 T & KR 10-2007-0115970 A	1-11
A	WO 2007/026509 A1 (シャープ株式会社) 2007. 03. 08, 全文全図 & US 2009/0231083 A1 & TWB 00I311376	1-11

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項 1 に係る発明は、文献 1（W0 2004/023563 A1（独立行政法人科学技術振興機構）2004.03.18，図 1-5 及びその説明箇所）、文献 2（JP 6-151872 A（三菱化成株式会社）1994.05.31，段落【0007】－【0044】，図 1-8）に記載されたものであるので、請求項 1 に係る発明は、特別な技術的特徴を有しない。よって、請求の範囲には、以下の 4 の発明（群）が含まれる。なお、特別な技術的特徴を有しない請求項 1 に係る発明は、発明 1 に区分する。

- （発明 1）請求項 1-6
- （発明 2）請求項 7
- （発明 3）請求項 8, 10
- （発明 4）請求項 9, 11

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。