

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2004-145281
(P2004-145281A)

(43) 公開日 平成16年5月20日(2004.5.20)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G09G 3/30	G09G 3/30 J	3K007
G09G 3/20	G09G 3/30 K	5C080
H03K 17/00	G09G 3/20 611H	5J055
H05B 33/14	G09G 3/20 612G	
	G09G 3/20 624B	
審査請求 未請求 請求項の数 33 O L (全 23 頁) 最終頁に続く		

(21) 出願番号 特願2003-207376 (P2003-207376)	(71) 出願人 000002369 セイコーエプソン株式会社 東京都新宿区西新宿 2 丁目 4 番 1 号
(22) 出願日 平成15年8月12日 (2003.8.12)	
(31) 優先権主張番号 特願2002-255251 (P2002-255251)	(74) 代理人 100095728 弁理士 上柳 雅普
(32) 優先日 平成14年8月30日 (2002.8.30)	(74) 代理人 100107076 弁理士 藤綱 英吉
(33) 優先権主張国 日本国 (JP)	(74) 代理人 100107261 弁理士 須澤 修
	(72) 発明者 宮澤 貴士 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内
	Fターム(参考) 3K007 AB17 AB18 BA06 DB03 GA00
	最終頁に続く

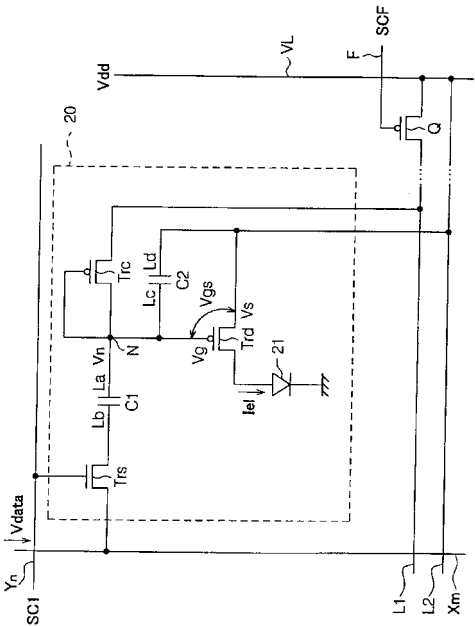
(54) 【発明の名称】 電子回路、電子回路の駆動方法、電気光学装置、電気光学装置の駆動方法及び電子機器

(57) 【要約】

【課題】トランジスタの閾値電圧のばらつきを低減することができる電子回路、電子回路の駆動方法、電気光学装置、電気光学装置の駆動方法及び電子機器を提供する。

【解決手段】駆動トランジスタTrd、調整用トランジスタTrc及びスイッチングトランジスタTrsからなる3つのトランジスタと、第1キャパシタC1及び第2キャパシタC2からなる2つのコンデンサとで画素回路20を構成した。又、調整用トランジスタTrcのソースは、他の画素回路20の調整用トランジスタTrcのソースとともにアクティブマトリクス部の右端側に設けられた駆動電圧Vddを供給する電圧供給線VLと制御用トランジスタQを介して接続した。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

第 1 の端子と第 2 の端子と第 1 の制御用端子とを備えた第 1 のトランジスタと、
第 3 の端子と第 4 の端子と第 2 の制御用端子とを備え、前記第 3 の端子が前記第 1 の制御用端子に接続された第 2 のトランジスタと、
第 1 の電極と第 2 の電極とを備え、前記第 1 の電極が前記第 1 の制御用端子に接続された容量素子と、
第 5 の端子と第 6 の端子とを備え、前記第 5 の端子が前記第 2 の電極に接続された第 3 のトランジスタと
を含む単位回路を複数有し、
前記第 4 の端子は前記複数の単位回路の他の単位回路の前記第 4 の端子と共に第 1 の電源線に接続され、
前記第 1 の電源線の電位を複数の電位に設定する、あるいは前記第 1 の電源線と駆動電圧との電氣的切断及び電氣的接続を制御する制御回路を備えていることを特徴とする電子回路。

10

【請求項 2】

第 1 の端子と第 2 の端子と第 1 の制御用端子とを備えた第 1 のトランジスタと、
第 3 の端子と第 4 の端子と第 2 の制御用端子とを備え、前記第 3 の端子が前記第 1 の制御用端子に接続された第 2 のトランジスタと、
第 1 の電極と第 2 の電極とを備え、前記第 1 の電極が前記第 1 の制御用端子に接続された容量素子と、
第 5 の端子と第 6 の端子とを備え、前記第 5 の端子が前記第 2 の電極に接続された第 3 のトランジスタと
を含む単位回路を複数有し、
前記第 4 の端子は前記複数の単位回路の他の単位回路の前記第 4 の端子と共に第 1 の電源線に接続され、
前記第 2 の端子は第 2 の電源線に接続され、
前記第 1 の電源線の電位を複数の電位に設定する、あるいは前記第 1 の電源線と駆動電圧との電氣的切断及び電氣的接続を制御する制御回路を備えていることを特徴とする電子回路。

20

30

【請求項 3】

請求項 1 または 2 に記載の電子回路において、
前記第 2 の制御用端子は前記第 3 の端子に接続されていることを特徴とする電子回路。

【請求項 4】

請求項 1 乃至 3 のいずれかに記載の電子回路において、
前記単位回路の各々には、前記第 1 のトランジスタ、前記第 2 のトランジスタ及び前記第 3 のトランジスタ以外のトランジスタはないことを特徴とする電子回路。

【請求項 5】

請求項 1 乃至 4 のいずれか 1 つに記載の電子回路において、前記第 1 のトランジスタと前記第 2 のトランジスタの導電型は同じであることを特徴とする電子回路。

40

【請求項 6】

請求項 1 乃至 5 のいずれか 1 つに記載の電子回路において、前記第 1 の端子には電子素子が接続されていることを特徴とする電子回路。

【請求項 7】

請求項 6 に記載の電子回路において、
前記電子素子が電流駆動素子であることを特徴とする電子回路。

【請求項 8】

請求項 1 乃至 7 のいずれか 1 つに記載の電子回路において、前記制御回路は、第 7 の端子と第 8 の端子とを備えた第 4 のトランジスタであり、
前記第 7 の端子は前記第 1 の電源線を介して前記第 4 の端子に接続されるとともに、前記

50

第 8 の端子は前記駆動電圧に接続されていることを特徴とする電子回路。

【請求項 9】

請求項 1 乃至 8 のいずれか 1 つに記載の電子回路において、前記第 2 の電源線も前記駆動電圧に電氣的に接続可能であることを特徴とする電子回路。

【請求項 10】

請求項 1 乃至 9 のいずれか 1 つに記載の電子回路において、
前記第 1 のトランジスタの閾値電圧は前記第 2 のトランジスタの閾値電圧より低くならないように設定されていることを特徴とする電子回路。

【請求項 11】

複数の第 1 の信号線と、複数の第 2 の信号線と、複数の電源線と、複数の単位回路と、を含む電子回路であって、

前記複数の単位回路の各々は、

第 1 の端子と第 2 の端子と第 1 の制御用端子とを備えた第 1 のトランジスタと、

第 3 の端子と第 4 の端子と第 2 の制御用端子とを備え、前記第 3 の端子が前記第 1 の制御用端子に接続された第 2 のトランジスタと、

第 1 の電極と第 2 の電極とを備え、前記第 1 の電極が前記第 1 の制御用端子に接続された容量素子と、

第 5 の端子と第 6 の端子と第 3 の制御用端子とを備え、前記第 5 の端子が前記第 2 の電極に接続された第 3 のトランジスタと

を含み、

前記第 2 の制御用端子は前記第 3 の端子に接続され、

前記第 3 の制御用端子は前記複数の第 1 の信号線のうち対応する第 1 の信号線に接続されていることを特徴とする電子回路。

【請求項 12】

請求項 11 に記載の電子回路において、

前記第 4 の端子は前記複数の単位回路の他の単位回路の前記第 4 の端子と共に第 1 の電源線に接続され、

前記第 2 の端子は第 2 の電源線に接続され、

前記第 1 の電源線の電位を複数の電位に設定する、あるいは前記第 1 の電源線と駆動電圧との電氣的切断及び電氣的接続を制御する制御回路を備えていることを特徴とする電子回路。

【請求項 13】

請求項 11 又は 12 に記載の電子回路において、

前記第 1 のトランジスタと前記第 2 のトランジスタの導電型は同じであることを特徴とする電子回路。

【請求項 14】

請求項 11 乃至 13 のいずれか 1 つに記載の電子回路において、

前記第 1 の端子には電子素子が接続されていることを特徴とする電子回路。

【請求項 15】

複数の単位回路を備えた電子回路において、

前記複数の単位回路の各々は、

信号を電荷として保持する保持素子と、

前記保持素子への前記信号の伝送を制御するスイッチングトランジスタと、前記保持素子に保持された電荷に基づいて導通状態が設定される駆動トランジスタと、

前記保持素子への前記信号の伝送に先立って前記駆動トランジスタの制御用端子を所定の電位に設定する調整用トランジスタと

を含み、

前記複数の単位回路のうち少なくとも 2 つの単位回路の前記調整用トランジスタに駆動電圧を供給する制御回路と

を備えたことを特徴とする電子回路。

10

20

30

40

50

【請求項 16】

請求項 15 に記載の電子回路において、
前記駆動トランジスタには電子素子が接続されていることを特徴とする電子回路。

【請求項 17】

第 1 の端子と第 2 の端子と第 1 の制御用端子とを備えた第 1 のトランジスタと、
第 3 の端子と第 4 の端子とを備え、前記第 1 の制御用端子に前記第 3 の端子が接続された
第 2 のトランジスタと、
第 1 の電極と第 2 の電極とを備え、前記第 1 の制御用端子に前記第 1 の電極が接続された
容量素子と
を含む複数の単位回路を備えた電子回路の駆動方法であって、
前記複数の単位回路の前記各第 3 の端子を所定電位に電氣的に接続するとともに前記第 1
の制御用端子を第 1 の電位に設定する第 1 のステップと、
前記第 3 の端子を前記所定電位から電氣的に切断した状態で、前記第 2 の電極の電位を第
2 の電位から第 3 の電位に変化させることにより前記第 1 の制御用端子を前記第 1 の電位
から変化させる第 2 のステップと
を含むことを特徴とする電子回路の駆動方法。

10

【請求項 18】

請求項 17 に記載の電子回路の駆動方法において、
少なくとも前記第 1 のステップを行っている期間は前記第 2 の電極の電位を前記第 2 の電
位に設定した状態とすることを特徴とする電子回路の駆動方法。

20

【請求項 19】

複数のデータ線と、複数の走査線と、複数の単位回路を備えた電気光学装置であって、
前記複数の単位回路の各々は、
第 1 の端子と第 2 の端子と第 1 の制御用端子とを備えた第 1 のトランジスタと、
前記第 1 の端子と接続された電気光学素子と、
第 3 の端子と第 4 の端子とを備え、前記第 3 の端子が前記第 1 の制御用端子に接続された
第 2 のトランジスタと、
第 1 の電極と第 2 の電極とを備え、前記第 1 の電極が前記第 1 の制御用端子に接続された
容量素子と、
第 5 の端子と第 6 の端子と第 3 の制御用端子とを備え、前記第 5 の端子が前記第 2 の電極
に電氣的に接続された第 3 のトランジスタと、
を含み、
前記第 4 の端子は前記複数の単位回路の他の単位回路の前記第 4 の端子と共に第 1 の電源
線に接続され、
前記第 3 の制御用端子は、前記複数の走査線のうち対応する走査線に接続され、
前記第 6 の端子は、前記複数のデータ線のうち対応するデータ線に接続され、前記第 1 の
電源線の電位を複数の電位に設定する、あるいは前記第 1 の電源線と駆動電圧との電氣的
切断及び電氣的接続を制御する制御回路を備えていることを特徴とする電気光学装置。

30

【請求項 20】

複数のデータ線と、複数の走査線と、複数の単位回路を備えた電気光学装置であって、
前記複数の単位回路の各々は、
第 1 の端子と第 2 の端子と第 1 の制御用端子とを備えた第 1 のトランジスタと、
前記第 1 の端子と接続された電気光学素子と、
第 3 の端子と第 4 の端子とを備え、前記第 3 の端子が前記第 1 の制御用端子に接続された
第 2 のトランジスタと、
第 1 の電極と第 2 の電極とを備え、前記第 1 の電極が前記第 1 の制御用端子に接続された
容量素子と、
第 5 の端子と第 6 の端子と第 3 の制御用端子とを備え、前記第 5 の端子が前記第 2 の電極
に電氣的に接続された第 3 のトランジスタと、
を含み、

40

50

前記第 4 の端子は前記複数の単位回路の他の単位回路の前記第 4 の端子と共に第 1 の電源線に接続され、

前記第 2 の端子は前記複数の単位回路の他の単位回路の前記第 2 の端子と共に第 2 の電源線に接続され、

前記第 3 の制御用端子は、前記複数の走査線のうち対応する走査線に接続され、

前記第 6 の端子は、前記複数のデータ線のうち対応するデータ線に接続され、前記第 1 の電源線の電位を複数の電位に設定する、あるいは前記第 1 の電源線と駆動電圧との電氣的切断及び電氣的接続を制御する制御回路を備えていることを特徴とする電気光学装置。

【請求項 2 1】

請求項 1 9 または 2 0 に記載の電気光学装置において、

10

前記第 2 のトランジスタは、第 2 の制御用端子を備え、

前記第 2 の制御用端子は前記第 3 の端子に接続されていることを特徴とする電気光学装置。

【請求項 2 2】

請求項 1 9 乃至 2 1 のいずれか 1 つに記載の電気光学装置において、

前記制御回路は、第 7 の端子と第 8 の端子とを備えた第 4 のトランジスタであり、

前記第 7 の端子は、前記第 1 の電源線を介して前記第 4 の端子と接続されるとともに、前記第 8 の端子は前記駆動電圧に接続されていることを特徴とする電気光学装置。

【請求項 2 3】

請求項 1 9 乃至 2 2 のいずれか 1 つに記載の電気光学装置において、

20

前記単位回路の各々には、前記第 1 のトランジスタ、前記第 2 のトランジスタ及び前記第 3 のトランジスタ以外のトランジスタはないことを特徴とする電気光学装置。

【請求項 2 4】

請求項 1 9 乃至 2 3 のいずれか 1 つに記載の電気光学装置において、

前記第 1 のトランジスタと前記第 2 のトランジスタの導電型は同じであることを特徴とする電気光学装置。

【請求項 2 5】

請求項 1 9 乃至 2 4 のいずれか 1 つに記載の電気光学装置において、

前記第 1 のトランジスタの閾値電圧は前記第 2 のトランジスタの閾値電圧より低くならないように設定されていることを特徴とする電気光学装置。

30

【請求項 2 6】

請求項 1 9 乃至 2 5 のいずれか 1 つに記載の電気光学装置において、

前記第 2 の電源線も前記駆動電圧に電氣的に接続可能であることを特徴とする電気光学装置。

【請求項 2 7】

請求項 1 9 乃至 2 6 のいずれか 1 つに記載の電気光学装置において、

前記電気光学素子は E L 素子であることを特徴とする電気光学装置。

【請求項 2 8】

請求項 1 9 乃至 2 7 のいずれか 1 つに記載の電気光学装置において、

前記走査線に沿って、同色の電気光学素子が配置されるようにしたことを特徴とする電気光学装置。

40

【請求項 2 9】

第 1 の端子と第 2 の端子と第 1 の制御用端子とを備えた第 1 のトランジスタと、

前記第 1 の端子に接続された電気光学素子と、

第 3 の端子と第 4 の端子とを備え、前記第 1 の制御用端子に前記第 3 の端子が接続された第 2 のトランジスタと、

第 1 の電極と第 2 の電極とを備え、前記第 1 の制御用端子に前記第 1 の電極が接続された容量素子と、を含む複数の単位回路が、複数の走査線と複数のデータ線の交差部に対応して配置された電気光学装置の駆動方法であって、

前記複数の単位回路のうち、前記複数の走査線の一つの走査線に第 3 の制御用端子が接続

50

された第3のトランジスタを含む一連の単位回路の前記第3の端子を前記第4の端子及び前記第2のトランジスタのチャネルを介して所定電位に電氣的接続することにより、前記第1の制御用端子を第1の電位に設定する第1のステップと、
前記一連の単位回路の前記第3の制御用端子に前記第3のトランジスタをオン状態とする走査信号を供給して、前記第3のトランジスタをオン状態として前記複数のデータ線の対応するデータ線と電氣的に接続した後、前記対応するデータ線及び前記第3のトランジスタを経由して供給されるデータ信号を前記第2の電極に印加することにより、前記第2の電極の電位を第2の電位から第3の電位に変化させることで前記第1の制御用端子の電位を前記第1の電位から変化させる第2のステップを含み、
前記第2のステップにおいて、前記データ信号を前記第2の電極に印加する期間と前記一連の単位回路の前記第3の端子を前記所定電位から電氣的に切り離す期間とが少なくとも1部重なるように設定することを特徴とする電気光学装置の駆動方法。

10

【請求項30】

第1の端子と第2の端子と第1の制御用端子とを備えた第1のトランジスタと、
前記第1の端子に接続された電気光学素子と、
第3の端子と第4の端子とを備え、前記第1の制御用端子に前記第3の端子が接続された第2のトランジスタと、
第1の電極と第2の電極とを備え、前記第1の制御用端子に前記第1の電極が接続された容量素子と、を含む複数の単位回路が、複数の走査線と複数のデータ線の交差部に対応して配置され、
前記複数の単位回路のうち、前記複数の走査線の一つの走査線に第3の制御用端子が接続された第3のトランジスタを含む一連の単位回路の前記第4の端子が、全て複数の第1の電源線のうちの一つの第1の電源線に接続されている電気光学装置の駆動方法であって、
前記一連の単位回路の前記第4の端子を所定電位に電氣的接続することにより、前記第1の制御用端子を第1の電位に設定する第1のステップと、
前記一連の単位回路の前記第3の制御用端子に前記第3のトランジスタをオン状態とする走査信号を供給して、前記第3のトランジスタをオン状態として前記複数のデータ線の対応するデータ線と電氣的に接続した後、前記対応するデータ線及び前記第3のトランジスタを経由して供給されるデータ信号を前記第2の電極に印加することにより、前記第2の電極の電位を第2の電位から第3の電位に変化させることで前記第1の制御用端子の電位を前記第1の電位から変化させる第2のステップを含み、
前記第2のステップにおいて、前記データ信号を前記第2の電極に印加する期間と前記一連の単位回路の前記第4の端子を前記所定電位から電氣的に切り離す期間とが少なくとも1部は重なるように設定することを特徴とする電気光学装置の駆動方法。

20

30

【請求項31】

請求項29または30に記載の電気光学装置の駆動方法において、
少なくとも前記第1のステップを行っている期間は前記第2の電極の電位を前記第2の電位に設定した状態とすることを特徴とする電気光学装置の駆動方法。

【請求項32】

請求項1乃至16のいずれか1つに記載の電子回路を実装したことを特徴とする電子機器

40

【請求項33】

請求項19乃至28のいずれか1つに記載の電気光学装置を実装したことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子回路、電子回路の駆動方法、電気光学装置、電気光学装置の駆動方法及び電子機器に関するものである。

【0002】

50

【従来の技術】

近年、広く表示装置として用いられる複数の電気光学素子を備えた電気光学装置は、高精彩化あるいは大画面化が求められており、これに呼応して、複数の電気光学素子の各々を駆動するための画素回路を備えたアクティブマトリクス駆動型電気光学装置のパッシブ駆動型電気光学装置に対する比重はより高まっている。しかしながら、より一層の高精彩化あるいは大画面化を達成するためには、電気光学素子をそれぞれ精密に制御する必要がある。そのためには、画素回路を構成する能動素子の特性バラツキを補償しなければならない。

【0003】

能動素子の特性バラツキの補償方法として、例えば、特性バラツキを補償するための、ダイオード接続したトランジスタを含む画素回路を備えた表示装置（例えば、特許文献1を参照）が提案されている。 10

【特許文献1】特開平11-272233号公報

【発明が解決しようとする課題】

ところで、能動素子の特性バラツキを補償する画素回路は、一般に4つ以上のトランジスタにより構成され、そのため、歩留まりや開口率の低下を招くこととなる。

【0004】

本発明の一つの目的は、上記問題点を解消することであって、画素回路、あるいは単位回路を構成するトランジスタの個数を削減することができる電子回路、電子回路の駆動方法、電気光学装置、電気光学装置の駆動方法及び電子機器を提供することにある。 20

【0005】**【課題を解決するための手段】**

本発明の第1の電子回路は、第1の端子と第2の端子と第1の制御用端子とを備えた第1のトランジスタと、第3の端子と第4の端子と第2の制御用端子とを備え、前記第3の端子が前記第1の制御用端子に接続された第2のトランジスタと、第1の電極と第2の電極とを備え、前記第1の電極が前記第1の制御用端子に接続された容量素子と、第5の端子と第6の端子とを備え、前記第5の端子が前記第2の電極に接続された第3のトランジスタとを含む単位回路を複数有し、前記第4の端子は前記複数の単位回路の他の単位回路の前記第4の端子と共に第1の電源線に接続され、前記第1の電源線の電位を複数の電位に設定する、あるいは前記第1の電源線と駆動電圧との電氣的切断及び電氣的接続を制御する制御回路を備えていることを特徴とする。 30

【0006】

上記の電子回路において、前記第2の端子を前記第1の電源線に接続してもよいし、前記第1の電源線とは異なる第2の電源線に接続するようにしてもよい。

【0007】

本発明の第2の電子回路は、第1の端子と第2の端子と第1の制御用端子とを備えた第1のトランジスタと、第3の端子と第4の端子と第2の制御用端子とを備え、前記第3の端子が前記第1の制御用端子に接続された第2のトランジスタと、第1の電極と第2の電極とを備え、前記第1の電極が前記第1の制御用端子に接続された容量素子と、第5の端子と第6の端子とを備え、前記第5の端子が前記第2の電極に接続された第3のトランジスタとを含む単位回路を複数有し、前記第4の端子は前記複数の単位回路の他の単位回路の前記第4の端子と共に第1の電源線に接続され、前記第2の端子は第2の電源線に接続され、前記第1の電源線の電位を複数の電位に設定する、あるいは前記第1の電源線と駆動電圧との電氣的切断及び電氣的接続を制御する制御回路を備えている。 40

【0008】

上記の電子回路のような構成することにより、前記単位回路を構成するトランジスタ数を削減することができる。

【0009】

上記の電子回路において、前記第2の制御用端子は前記第3の端子に接続されていることが好ましい。

【 0 0 1 0 】

例えば、前記第 3 の端子を及び前記第 2 の制御用端子をそれぞれドレイン及びゲートとすることが好ましい。これにより、前記第 2 のトランジスタを前記第 1 のトランジスタの閾値電圧を補償するトランジスタとして用いることができる。

【 0 0 1 1 】

上記の電子回路において、前記単位回路の各々には、前記第 1 のトランジスタ、前記第 2 のトランジスタ及び前記第 3 のトランジスタ以外のトランジスタは含まれていないことが好ましい。

【 0 0 1 2 】

これにより、前記第 1 のトランジスタの閾値電圧を補償しつつ、前記単位回路のトランジスタ数を削減することができる。 10

【 0 0 1 3 】

上記の電子回路において、前記第 1 のトランジスタと前記第 2 のトランジスタの導電型は同じであることが好ましい。

【 0 0 1 4 】

これによれば、第 2 のトランジスタの閾値電圧を調整することによって容易に第 1 のトランジスタの閾値電圧を補償することができる。

【 0 0 1 5 】

上記の電子回路において、前記第 1 の端子には電子素子が接続されていてもよい。

【 0 0 1 6 】

上記の電子回路において、前記電子素子は、例えば、電流駆動素子や電気光学素子、抵抗素子、ダイオード、記憶素子等である。 20

【 0 0 1 7 】

上記の電子回路において、前記制御回路は、第 7 の端子と第 8 の端子とを備えた第 4 のトランジスタであり、前記第 7 の端子は前記第 1 の電源線を介して前記第 4 の端子に接続されるとともに、前記第 8 の端子は前記駆動電圧に接続されている。

【 0 0 1 8 】

これによれば、制御回路を容易に構成することができる。

【 0 0 1 9 】

上記の電子回路において、前記第 2 の電源線も前記駆動電圧に電氣的に接続可能であってもよい。 30

【 0 0 2 0 】

上記の電子回路において、前記第 1 のトランジスタの閾値電圧は前記第 2 のトランジスタの閾値電圧より低くならないように設定されていることが好ましい。

【 0 0 2 1 】

これによれば、第 1 のトランジスタの閾値を確実に補償することができる。

【 0 0 2 2 】

また、前記第 2 のトランジスタを用いて前記第 1 のトランジスタの閾値補償を行った際でも、前記第 1 のトランジスタは非導通状態に設定することができる。

【 0 0 2 3 】

逆に上記の電子回路において、前記第 1 のトランジスタの閾値電圧を前記第 2 のトランジスタの閾値電圧以上としてもよい。 40

【 0 0 2 4 】

この場合、前記第 2 のトランジスタを用いて前記第 1 のトランジスタの閾値補償を行っただけで、前記第 2 のトランジスタをオン状態とすることができる。

【 0 0 2 5 】

本発明の第 3 の電子回路は、複数の第 1 の信号線と、複数の第 2 の信号線と、複数の電源線と、複数の単位回路と、を含む電子回路であって、前記複数の単位回路の各々は、第 1 の端子と第 2 の端子と第 1 の制御用端子とを備えた第 1 のトランジスタと、第 3 の端子と第 4 の端子と第 2 の制御用端子とを備え、前記第 3 の端子が前記第 1 の制御用端子に接続 50

された第2のトランジスタと、第1の電極と第2の電極とを備え、前記第1の電極が前記第1の制御用端子に接続された容量素子と、第5の端子と第6の端子と第3の制御用端子とを備え、前記第5の端子が前記第2の電極に接続された第3のトランジスタとを含み、前記第2の制御用端子は前記第3の端子に接続され、前記第3の制御用端子は前記複数の第1の信号線のうち対応する第1の信号線に接続されている。

【0026】

上記の電子回路において、前記第4の端子は前記複数の単位回路の他の単位回路の前記第4の端子と共に第1の電源線に接続され、前記第2の端子は第2の電源線に接続され、前記第1の電源線の電位を複数の電位に設定する、あるいは前記第1の電源線と駆動電圧との電氣的切断及び電氣的接続を制御する制御回路を備えていることが好ましい。

10

【0027】

これによれば、前記単位回路を構成するトランジスタ数を削減することができる。

【0028】

上記の電子回路において、前記第1のトランジスタと前記第2のトランジスタの導電型は同じであることが好ましい。

【0029】

これによれば、第2のトランジスタの閾値電圧を調整することによって容易に第1のトランジスタの閾値電圧を補償することができる。

【0030】

上記の電子回路において、前記第1の端子には電子素子が接続されていてもよい。

20

【0031】

上記の電子回路において、前記電子素子は、例えば、電流駆動素子や電気光学素子、抵抗素子、ダイオード、記憶素子等である。

【0032】

上記の電子回路において、前記第1のトランジスタの閾値電圧は前記第2のトランジスタの閾値電圧より低くならないように設定されていることが好ましい。

【0033】

上記の電子回路において、逆に上記の電子回路において、前記第1のトランジスタの閾値電圧を前記第2のトランジスタの閾値電圧以下としてもよい。

【0034】

30

本発明の第4の電子回路は、複数の単位回路を備えた電子回路において、前記複数の単位回路の各々は、信号を電荷として保持する保持素子と、前記保持素子への前記信号の伝送を制御する第1のスイッチングトランジスタと、前記保持素子に保持された電荷に基づいて導通状態が設定される駆動トランジスタと、前記保持素子への前記信号の伝送に先立って前記駆動トランジスタの制御用端子を所定の電位に設定する調整用トランジスタとを含み、前記複数の単位回路のうち少なくとも2つの単位回路の前記調整用トランジスタに駆動電圧を供給する制御回路とを備えていることを特徴とする。

【0035】

上記の電子回路において、前記駆動トランジスタには電子素子が接続されていてもよい。

【0036】

40

上記の電子回路において、前記電子素子は、例えば、電流駆動素子や電気光学素子、抵抗素子、ダイオード、記憶素子等である。

【0037】

本発明の電子回路の駆動方法は、第1の端子と第2の端子と第1の制御用端子とを備えた第1のトランジスタと、第3の端子と第4の端子とを備え、前記第1の制御用端子に前記第3の端子が接続された第2のトランジスタと、第1の電極と第2の電極とを備え、前記第1の制御用端子に前記第1の電極が接続された容量素子とを含む複数の単位回路を備えた電子回路の駆動方法であって、前記複数の単位回路の前記各第3の端子を所定電位に電氣的に接続するとともに前記第1の制御用端子を第1の電位に設定する第1のステップと、前記第3の端子を前記所定電位から電氣的に切断した状態で、前記第2の電極の電位を

50

第 2 の電位から第 3 の電位に変化させることにより前記第 1 の制御用端子を前記第 1 の電位から変化させる第 2 のステップとを含む。

【 0 0 3 8 】

これによれば、第 1 のトランジスタの閾値電圧を補償しつつ、前記電子回路を構成するトランジスタ数を削減することができる。

上記の電子回路の駆動方法において、少なくとも前記第 1 のステップを行っている期間は前記第 2 の電極の電位を前記第 2 の電位に設定した状態とすることが好ましい。

【 0 0 3 9 】

なお、上記の電子回路の駆動方法において、「前記第 3 の端子を所定電位に電氣的に接続する」とは、例えば、前記第 3 の端子に前記第 4 の端子を介して電流が流れ込む状態を言い、前記第 3 の端子を所定電位に電氣的に切断する」とは、例えば、前記第 4 の端子を介して電流が流れ込まない状態を言う。

10

【 0 0 4 0 】

本発明の第 1 の電気光学装置は、複数のデータ線と、複数の走査線と、複数の単位回路を備えた電気光学装置であって、前記複数の単位回路の各々は、

第 1 の端子と第 2 の端子と第 1 の制御用端子とを備えた第 1 のトランジスタと、前記第 1 の端子と接続された電気光学素子と、第 3 の端子と第 4 の端子とを備え、前記第 3 の端子が前記第 1 の制御用端子に接続された第 2 のトランジスタと、第 1 の電極と第 2 の電極とを備え、前記第 1 の電極が前記第 1 の制御用端子に接続された容量素子と、第 5 の端子と第 6 の端子と第 3 の制御用端子とを備え、前記第 5 の端子が前記第 2 の電極に電氣的に接続された第 3 のトランジスタと、を含み、前記第 4 の端子は前記複数の単位回路の他の単位回路の前記第 4 の端子と共に第 1 の電源線に接続され、前記第 3 の制御用端子は、前記複数の走査線のうち対応する走査線に接続され、前記第 6 の端子は、前記複数のデータ線のうち対応するデータ線に接続され、前記第 1 の電源線の電位を複数の電位に設定する、あるいは前記第 1 の電源線と駆動電圧との電氣的切断及び電氣的接続を制御する制御回路を備えていることを特徴とする。

20

【 0 0 4 1 】

本発明の第 2 の電気光学装置は、複数のデータ線と、複数の走査線と、複数の単位回路を備えた電気光学装置であって、前記複数の単位回路の各々は、第 1 の端子と第 2 の端子と第 1 の制御用端子とを備えた第 1 のトランジスタと、前記第 1 の端子と接続された電気光学素子と、第 3 の端子と第 4 の端子とを備え、前記第 3 の端子が前記第 1 の制御用端子に接続された第 2 のトランジスタと、第 1 の電極と第 2 の電極とを備え、前記第 1 の電極が前記第 1 の制御用端子に接続された容量素子と、第 5 の端子と第 6 の端子と第 3 の制御用端子とを備え、前記第 5 の端子が前記第 2 の電極に電氣的に接続された第 3 のトランジスタと、を含み、前記第 4 の端子は前記複数の単位回路の他の単位回路の前記第 4 の端子と共に第 1 の電源線に接続され、前記第 2 の端子は前記複数の単位回路の他の単位回路の前記第 2 の端子と共に第 2 の電源線に接続され、前記第 3 の制御用端子は、前記複数の走査線のうち対応する走査線に接続され、前記第 6 の端子は、前記複数のデータ線のうち対応するデータ線に接続され、前記第 1 の電源線の電位を複数の電位に設定する、あるいは前記第 1 の電源線と駆動電圧との電氣的切断及び電氣的接続を制御する制御回路を備えた。

30

40

【 0 0 4 2 】

上記の電気光学装置によれば、第 1 のトランジスタの閾値電圧を補償しつつ、画素回路を構成するトランジスタ数を削減することができる。

【 0 0 4 3 】

これは、一画素の開口率を向上させ、製造の歩留まりを向上させることができる。

【 0 0 4 4 】

上記の電気光学装置において、前記第 2 の制御用端子は前記第 3 の端子に接続されていることが好ましい。

【 0 0 4 5 】

上記の電気光学装置において、前記制御回路は、第 7 の端子と第 8 の端子とを備えた第 4

50

のトランジスタであり、前記第 7 の端子は、前記第 1 の電源線を介して前記第 4 の端子と接続されるとともに、前記第 8 の端子は前記駆動電圧に接続されている。

【0046】

これによれば、制御回路を簡単な構成することができる。

【0047】

上記の電気光学装置において、前記単位回路の各々には、前記第 1 のトランジスタ、前記第 2 のトランジスタ及び前記第 3 のトランジスタ以外のトランジスタはないことが好ましい。

【0048】

これによれば、高い開口率を有する電気光学装置を提供することができる。

10

【0049】

上記の電気光学装置において、前記第 1 のトランジスタと前記第 2 のトランジスタの導電型は同じである。

【0050】

これによれば、第 1 のトランジスタの閾値電圧を確実に補償することができる。

【0051】

上記の電気光学装置において、前記第 1 のトランジスタの閾値電圧は前記第 2 のトランジスタの閾値電圧より低くならないように設定されていることが好ましい。

【0052】

具体的には、前記第 1 のトランジスタは、そのゲート長が画素内で対応する前記第 2 のトランジスタのゲート長より短くならない様に設定されていてもよい。

20

【0053】

或いは、前記第 1 のトランジスタは、そのゲート絶縁膜が画素内で対応する前記第 2 のトランジスタのゲート絶縁膜より薄くならない様に設定されていてもよい。

【0054】

或いは、前記第 1 のトランジスタは、チャネルに注入される不純物濃度を調整して、その閾電圧が画素内で対応する前記第 2 のトランジスタの閾電圧より低くならない様に設定されていてもよい。

【0055】

前記第 1 のトランジスタは飽和領域で動作することが好ましい。

30

【0056】

これによれば、画素回路に設けられた第 1 のトランジスタの閾値電圧を確実に補償することができる。従って、電気光学素子の輝度階調を精度良く制御することができる。

【0057】

逆に上記の電気光学装置において、前記第 1 のトランジスタの閾値電圧を前記第 2 のトランジスタの閾値電圧以下となるように設定してもよい。

【0058】

上記の電気光学装置において、前記第 2 の電源線も前記駆動電圧に電氣的に接続可能である。

【0059】

上記の電気光学装置において、前記電気光学素子は、例えば、EL 素子である。

40

【0060】

上記の電気光学装置において、前記走査線に沿って、同色の電気光学素子が配置されるようにすることが好ましい。

【0061】

本発明の第 1 の電気光学装置の駆動方法は、第 1 の端子と第 2 の端子と第 1 の制御用端子とを備えた第 1 のトランジスタと、前記第 1 の端子に接続された電気光学素子と、第 3 の端子と第 4 の端子とを備え、前記第 1 の制御用端子に前記第 3 の端子が接続された第 2 のトランジスタと、第 1 の電極と第 2 の電極とを備え、前記第 1 の制御用端子に前記第 1 の電極が接続された容量素子と、を含む複数の単位回路が、複数の走査線と複数のデータ線

50

の交差部に対応して配置された電気光学装置の駆動方法であって、前記複数の単位回路のうち、前記複数の走査線の一つの走査線に第3の制御用端子が接続された第3のトランジスタを含む一連の単位回路の前記第3の端子を前記第4の端子及び前記第2のトランジスタのチャンネルを介して所定電位に電氣的接続することにより、前記第1の制御用端子を第1の電位に設定する第1のステップと、前記一連の単位回路の前記第3の制御用端子に前記第3のトランジスタをオン状態とする走査信号を供給して、前記第3のトランジスタをオン状態として前記複数のデータ線の対応するデータ線と電氣的に接続した後、前記対応するデータ線及び前記第3のトランジスタを経由して供給されるデータ信号を前記第2の電極に印加することにより、前記第2の電極の電位を第2の電位から第3の電位に変化させることで前記第1の制御用端子の電位を前記第1の電位から変化させる第2のステップを含み、前記第2のステップにおいて、前記データ信号を前記第2の電極に印加する期間と前記一連の単位回路の前記第3の端子を前記所定電位から電氣的に切り離す期間とが少なくとも1部重なるように設定することを特徴とする。

10

【0062】

本発明の第2の電気光学装置の駆動方法は、第1の端子と第2の端子と第1の制御用端子とを備えた第1のトランジスタと、前記第1の端子に接続された電気光学素子と、第3の端子と第4の端子とを備え、前記第1の制御用端子に前記第3の端子が接続された第2のトランジスタと、第1の電極と第2の電極とを備え、前記第1の制御用端子に前記第1の電極が接続された容量素子と、を含む複数の単位回路が、複数の走査線と複数のデータ線の交差部に対応して配置され、前記複数の単位回路のうち、前記複数の走査線の一つの走査線に第3の制御用端子が接続された第3のトランジスタを含む一連の単位回路の前記第4の端子が、全て複数の第1の電源線のうちの一つの第1の電源線に接続されている電気光学装置の駆動方法であって、前記一連の単位回路の前記第4の端子を所定電位に電氣的接続することにより、前記第1の制御用端子を第1の電位に設定する第1のステップと、前記一連の単位回路の前記第3の制御用端子に走査信号を供給して、前記第3のトランジスタをオン状態として前記複数のデータ線の対応するデータ線と電氣的に接続した後、前記対応するデータ線及び前記第3のトランジスタを経由して供給されるデータ信号を前記第2の電極に印加することにより、前記第2の電極の電位を第2の電位から第3の電位に変化させることで、前記第1の制御用端子の電位を前記第1の電位から変化させる第2のステップを含み、前記第2のステップにおいて、前記データ信号を前記第2の電極に印加する期間と前記一連の単位回路の前記第4の端子を前記所定電位から電氣的に切り離す期間とが少なくとも1部は重なるように設定する。

20

30

【0063】

上記の電気光学装置の駆動方法において、少なくとも前記第1のステップを行っている期間は前記第2の電極の電位を前記第2の電位に設定した状態としておくことが好ましい。

【0064】

これにより、前記第1の制御用端子の電位を前記データ信号に応じた電位に正確に設定することができる。

【0065】

本発明の第1の電子機器は、上記の電子回路を実装したことを特徴とする。

40

【0066】

本発明における第2の電子機器は、上記の電気光学装置を実装したことを特徴とする。

【0067】

上記の発明において、第1のトランジスタ及び駆動トランジスタ、第1及び第2の端子、第1の制御用端子及び駆動トランジスタの制御用端子は、一例を挙げれば、後述する本実施形態の図3に示した画素回路20において、それぞれ、駆動トランジスタTrd、駆動トランジスタTrdのドレイン及びソース、駆動トランジスタTrdのゲートに対応している。

【0068】

また、第2のトランジスタ及び調整用トランジスタ、第3及び第4の端子、第2の制御用

50

端子は、一例を挙げれば、本実施形態の図 3 に示した画素回路 20 において、それぞれ、調整用トランジスタ T_{rc} 、調整用トランジスタ T_{rc} のドレイン、ソース及びゲートに対応している。

【0069】

さらに、第 3 のトランジスタ、第 5 の端子、第 6 の端子、第 3 の制御用端子は、一例を挙げれば、本実施形態の図 3 に示した画素回路 20 において、それぞれ、スイッチングトランジスタ T_{rs} 、スイッチングトランジスタ T_{rs} のソース（キャパシタ C_1 に接続された端子）、スイッチングトランジスタ T_{rs} のドレイン（データ線 X_m に接続された端子）、スイッチングトランジスタ T_{rs} のゲートに対応している。

【0070】

10

【発明の実施の形態】

（第 1 実施形態）

以下、本発明を具体化した第 1 実施形態を図 1 ～ 4 に従って説明する。図 1 は、電気光学装置としての有機 EL ディスプレイの回路構成を示すブロック回路図である。図 2 は、アクティブマトリクス部及びデータ線駆動回路の内部回路構成を示すブロック回路図である。図 3 は画素回路の回路図である。図 4 は画素回路の駆動方法を説明するためのタイミングチャートである。

【0071】

有機 EL ディスプレイ 10 は、図 1 に示すように、信号生成回路 11、アクティブマトリクス部 12、走査線駆動回路 13、データ線駆動回路 14 及び電源線制御回路 15 を備えている。

20

【0072】

有機 EL ディスプレイ 10 の信号生成回路 11、走査線駆動回路 13、データ線駆動回路 14 及び電源線制御回路 15 は、それぞれが独立した電子部品によって構成されていてもよい。例えば、信号生成回路 11、走査線駆動回路 13、データ線駆動回路 14 及び電源線制御回路 15 が、各々 1 チップの半導体集積回路装置によって構成されていてもよい。又、信号生成回路 11、走査線駆動回路 13、データ線駆動回路 14 及び電源線制御回路 15 の全部若しくは一部がプログラマブルな IC チップで構成され、その機能が IC チップに書き込まれたプログラムによりソフトウェア的に実現されてもよい。

【0073】

30

信号生成回路 11 は、図示しない外部装置からの画像データに基づいてアクティブマトリクス部 12 に画像を表示するための走査制御信号及びデータ制御信号を作成する。そして、信号生成回路 11 は、走査制御信号を走査線駆動回路 13 に出力するとともに、データ制御信号をデータ線駆動回路 14 に出力する。更に、信号生成回路 11 は、電源線制御回路 15 に対してタイミング制御信号を出力する。

【0074】

アクティブマトリクス部 12 は、図 2 に示すように、発光層が有機材料で構成された電子素子又は電気光学素子としての有機 EL 素子 21 を有する複数の単位回路としての画素回路 20 がマトリクス状に配設された電子回路を有している。つまり、画素回路 20 は、列方向に沿って延びる M 本のデータ線 X_m ($m = 1 \sim M$; m は整数) と、行方向に沿って延びる N 本の走査線 Y_n ($n = 1 \sim N$; n は整数) との交差部に対応する位置に配設されている。

40

【0075】

又、画素回路 20 は、その行方向に沿って延びる第 1 の電源線 L_1 及び第 2 の電源線 L_2 と接続されている。第 1 及び第 2 の電源線 L_1 , L_2 は、それぞれ、アクティブマトリクス部 12 の右端側に設けられた画素回路 20 の列方向に沿って延びる電圧供給線 V_L に接続されている。尚、画素回路 20 内に配置形成される後述するトランジスタは、通常は TFT（薄膜トランジスタ）で構成されている。

【0076】

走査線駆動回路 13 は、信号生成回路 11 から出力される走査制御信号に基づいて、アク

50

ティブマトリクス部 12 に設けられた N 本の走査線 Y_n のうち、1 本の走査線を選択し、その選択された走査線に走査信号を供給する。

【0077】

データ線駆動回路 14 は、複数の単一ラインドライバ 23 を備えている。各単一ラインドライバ 23 は、アクティブマトリクス部 12 に設けられた対応するデータ線 X_m とそれぞれ接続されている。単一ラインドライバ 23 は、それぞれ、信号生成回路 11 から出力されたデータ制御信号に基づいて、信号としてのデータ電圧 V_{data} を生成する。又、単一ラインドライバ 23 は、その生成されたデータ電圧 V_{data} をデータ線 X_m を介して画素回路 20 に出力する。画素回路 20 は、この出力されたデータ電圧 V_{data} に応じて同画素回路 20 の内部状態が設定されることで、各有機 EL 素子 21 に流れる駆動電流 I_{el} (図 3 参照) を制御して、有機 EL 素子 21 の輝度階調を制御するようになっている。また、データ線駆動回路 14 の各単一ラインドライバ 23 は、後述するデータ書き込み期間 T_1 において、データ電圧 V_{data} を供給する前に電圧供給線 V_L から供給される駆動電圧 V_{dd} と同じ電位のバイアス電圧を各画素回路 20 に供給するようになっている。

10

【0078】

電源線制御回路 15 は、後述する制御用トランジスタ Q のゲートと電源線制御線 F を介して接続されている。電源線制御回路 15 は、信号生成回路 11 からのタイミング制御信号に基づいて、走査信号と完全、あるいは、1 部時間的に重なる期間で、制御用トランジスタ Q をオン状態にする電源線制御信号を生成し、供給する。そして、制御用トランジスタ Q がオン状態となると、第 1 の電源線 L_1 を介して駆動電圧 V_{dd} が各画素回路 20 に供給されるようになっている。

20

【0079】

このように構成された有機 EL ディスプレイ 10 のアクティブマトリクス部 12 を構成する画素回路 20 について以下に説明する。尚、各画素回路 20 の回路構成は同じであるので、説明の便宜上、1 つの画素回路について説明する。

【0080】

画素回路 20 は、図 3 に示すように、3 つのトランジスタと 2 つのコンデンサとを備えている。詳しくは、画素回路 20 は、図 3 に示すように、駆動トランジスタ T_{rd} 、調整用トランジスタ T_{rc} 及びスイッチングトランジスタ T_{rs} を備えている。又、画素回路 20 は、容量素子又は保持素子としての第 1 キャパシタ C_1 と第 2 キャパシタ C_2 とを備えている。

30

駆動トランジスタ T_{rd} 、調整用トランジスタ T_{rc} 及び制御用トランジスタ Q の導電型は、それぞれ、p 型 (p チャンネル) で構成されている。又、スイッチングトランジスタ T_{rs} の導電型は、n 型 (n チャンネル) で構成されている。

【0081】

駆動トランジスタ T_{rd} は、そのドレインが有機 EL 素子 21 の陽極に接続されている。有機 EL 素子 21 の陰極は接地されている。又、駆動トランジスタ T_{rd} のソースは第 2 の電源線 L_2 に接続されている。第 2 の電源線 L_2 は駆動電圧としての駆動電圧 V_{dd} を供給する電圧供給線 V_L と接続されている。駆動トランジスタ T_{rd} のゲートは、第 1 キャパシタ C_1 の第 1 の電極 L_a と、調整用トランジスタ T_{rc} のドレインと、第 2 キャパシタ C_2 の第 3 の電極 L_c に接続されている。第 1 キャパシタ C_1 の静電容量は C_a であって、第 2 キャパシタ C_2 の静電容量は C_b である。

40

【0082】

第 1 キャパシタ C_1 の第 2 の電極 L_b はスイッチングトランジスタ T_{rs} のソースに接続されている。スイッチングトランジスタ T_{rs} のドレインはデータ線 X_m に接続されている。また、スイッチングトランジスタ T_{rs} のゲートは走査線 Y_n に接続されている。

【0083】

調整用トランジスタ T_{rc} は、そのゲートとドレインがノード N にて接続されている。調整用トランジスタ T_{rc} のソースは、他の画素回路 20 に設けられた他の調整用トランジ

50

スタ T_{rc} のソースとともに第1の電源線 L_1 に接続されている。第1の電源線 L_1 はアクティブマトリクス部12の右端側に設けられた電圧供給線 V_L に制御用トランジスタ Q を介して接続されている。詳述すると、制御用トランジスタ Q は、その第7の端子としてのドレインが第1の電源線 L_1 に接続されている。第8の端子としての制御用トランジスタ Q のソースは、電圧供給線 V_L に接続されている。また、制御用トランジスタ Q のゲートは、電源線制御線 F が接続されている。電源線制御線 F は電源線制御回路15に接続されている。

【0084】

電源線制御回路15は電源線制御線 F を介して制御用トランジスタ Q を導通制御するための電源線制御信号 SCF を供給するようになっている。そして、電源線制御回路15から制御用トランジスタ Q をオン状態にする電源線制御信号 SCF が出力されると、制御用トランジスタ Q がオン状態になる。その結果、駆動電圧 V_{dd} が調整用トランジスタ T_{rc} のソースに印加されることとなる。

【0085】

第2キャパシタ C_2 の第4の電極 L_d は駆動トランジスタ T_{rd} のソースと共に第2の電源線 L_2 に接続されている。

【0086】

本実施形態においては、調整用トランジスタ T_{rc} は、その閾値電圧 V_{th2} が駆動トランジスタ T_{rd} の閾値電圧 V_{th1} とほぼ等しくなるように形成されている。又、駆動電圧 V_{dd} はデータ電圧 V_{data} と比べて十分高くなるように設定されている。

【0087】

次に、上述のように構成された有機 EL ディスプレイ10の画素回路20の駆動方法について図4に従って説明する。なお、図4において、 T_c 、 T_1 及び T_2 は、それぞれ、駆動周期、データ書き込み期間及び発光期間を表している。駆動周期 T_c は、データ書き込み期間 T_1 と発光期間 T_2 とから構成されている。駆動周期 T_c は、有機 EL 素子21の輝度階調が更新される周期を意味しており、本実施形態では、フレームに対応している。

【0088】

まず、データ書き込み期間 T_1 において、スイッチングトランジスタ T_{rs} がオフした状態で、電源線制御回路15から電源線制御線 F を介して制御用トランジスタ Q をオン状態にする電源線制御信号 SCF が出力される。すると、制御用トランジスタ Q がオン状態となり、それにより、制御用トランジスタ Q が接続されている第1の電源線 L_1 に駆動電圧 V_{dd} が出力される。

【0089】

これにより、調整用トランジスタ T_{rc} のソースの電位は駆動電圧 V_{dd} になるとともに、ゲートの電位、即ちノード N の電位 V_n は駆動電圧 V_{dd} から調整用トランジスタ T_{rc} の閾値電圧(V_{th2})を引いた電圧($V_n = V_{dd} - V_{th2}$)になる。そして、電位 V_n が初期電位 V_{c1} として第1キャパシタ C_1 及び第2キャパシタ C_2 に保持され、駆動トランジスタ T_{rd} のゲートに供給される。

【0090】

また、このとき、走査線駆動回路13からは走査線 Y_n を介してスイッチングトランジスタ T_{rs} のゲートにスイッチングトランジスタ T_{rs} をオフ状態にする走査信号 SC_1 が供給されており、スイッチングトランジスタ T_{rs} はオフ状態になっている。

【0091】

その後、電源線制御回路15から電源線制御線 F を介して制御用トランジスタ Q をオフ状態にする電源線制御信号 SCF が出力され、制御用トランジスタ Q がオフ状態になり、調整用トランジスタ T_{rc} のソースが電源線制御回路15と電氣的に切断した状態となる。その結果、調整用トランジスタ T_{rc} のドレインは駆動電圧 V_{dd} から電氣的に切り離された状態、すなわちフローティング状態となる。

【0092】

続いて、走査線駆動回路13から走査線 Y_n を介してスイッチングトランジスタ T_{rs} の

ゲートにスイッチングトランジスタ T_{rs} をオン状態にする走査信号 $SC1$ が供給され、スイッチングトランジスタ T_{rs} がオン状態になる。

【0093】

スイッチングトランジスタ T_{rs} がオン状態となっている期間に、データ線駆動回路 14 からデータ線 X_m 及びスイッチングトランジスタ T_{rs} を介して画素回路 20 にデータ電圧 V_{data} が供給される。

【0094】

このことによって、初期電位 V_{c1} は、第 1 キャパシタ C_1 の静電容量 C_a 及び第 2 キャパシタ C_2 の静電容量 C_b を用いると、以下の式で表わす値に変化する。

$$V_{c1} = V_{dd} - V_{th2} + C_a / (C_a + C_b) \cdot V_{data}$$

10

【0095】

ここで、 V_{data} は、駆動電圧 V_{dd} とデータ電圧 V_{data} との電位差 ($= V_{dd} - V_{data}$) である。そして、この $V_{dd} - V_{th2} + C_a / (C_a + C_b) \cdot V_{data}$ が最終電位 V_{c2} として駆動トランジスタ T_{rd} のゲートに供給される。

【0096】

最終電位 V_{c2} に応じて、駆動トランジスタ T_{rd} の導通状態が設定され、その導通状態に応じた駆動電流 I_{e1} が有機 EL 素子 21 に供給される。この電流 I_{e1} は、駆動トランジスタ T_{rd} のゲート電圧 V_g とソース電圧 V_s との電圧差を V_{gs} で表すと、以下のよう表される。

$$I_{e1} = (1/2) \cdot (-V_{gs} - V_{th1})^2$$

20

【0097】

ここで、 β は利得係数であって、キャリアの移動度を μ 、ゲート容量を A 、チャネル幅を W 、チャネル長を L で表すと、利得係数 β は、 $\beta = (\mu A W / L)$ となる。なお、駆動トランジスタ T_{rd} のゲート電圧 V_g は最終電位 V_{c2} である。つまり、駆動トランジスタ T_{rd} のゲート電圧 V_g とソース電圧 V_s との電圧差 V_{gs} は以下のように表される。

$$V_{gs} = V_{dd} - [V_{dd} - V_{th2} + C_a / (C_a + C_b) \cdot V_{data}]$$

【0098】

従って、駆動トランジスタ T_{rd} の駆動電流 I_{e1} は以下のように表される。

$$I_{e1} = (1/2) \cdot [V_{th2} - C_a / (C_a + C_b) \cdot V_{data} - V_{th1}]^2$$

30

【0099】

ここで、調整用トランジスタ T_{rc} の閾値電圧 V_{th2} は、上述したように、駆動トランジスタ T_{rd} の閾値電圧 V_{th1} とほぼ等しくなるように設定してあるので、駆動電流 I_{e1} は以下のように表される。

$$\begin{aligned} I_{e1} &= (1/2) \beta [V_{th2} - C_a / (C_a + C_b) \cdot \Delta V_{data} - V_{th1}]^2 \\ &= (1/2) \beta [C_a / (C_a + C_b) \cdot \Delta V_{data}]^2 \end{aligned}$$

【0100】

従って、上式に示されるように、駆動電流 I_{e1} は、駆動トランジスタ T_{rd} の閾値電圧 V_{th1} に依存することなく、データ電圧 V_{data} に対応した大きさの電流となる。そして、この駆動電流 I_{e1} が有機 EL 素子 21 に供給され、有機 EL 素子 21 が発光することとなる。

40

【0101】

次に、データ書き込み期間 T_1 終了後、発光期間 T_2 にて、走査線駆動回路 13 から走査線 Y_n を介してスイッチングトランジスタ T_{rs} のゲートにスイッチングトランジスタ T_{rs} をオフ状態にする走査信号 $SC1$ が供給される。すると、スイッチングトランジスタ T_{rs} がオフ状態になる。

【0102】

この発光期間 T_2 においては、最終電位 V_{c2} に応じて設定された駆動トランジスタ T_r

50

dの導通状態に応じた駆動電流 I_{e1} が有機EL素子21に供給されることとなる。

【0103】

以上のことより、各画素回路20の駆動トランジスタ T_{rd} の閾値電圧 V_{th1} が製造ばらつきによって相違しても駆動電流 I_{e1} はデータ電圧 V_{data} で決定される。このことから、有機EL素子21は、データ電圧 V_{data} に基づいて精度良く輝度階調が制御されることとなる。

【0104】

しかも、画素回路20を構成するトランジスタの数を少なくし、なおかつ、製造ばらつきを補償することができる。従って、画素回路20は、有機EL素子21の輝度階調を精度良く制御することができることに加えて歩留まりや開口率を向上させることができる有機ELディスプレイ10を提供することができる。尚、画素回路20を構成するトランジスタは、例えば、単結晶シリコン、多結晶シリコン、微結晶シリコン、あるいは、アモルファスシリコンのいずれかにより形成されていることが好ましい。

10

【0105】

(第2実施形態)

次に、本発明を具体化した第2実施形態を図5に従って説明する。尚、本実施形態において、第1実施形態と同じ構成部材については符号を等しくして、その詳細な説明を省略する。

【0106】

図5は、有機ELディスプレイ10のアクティブマトリクス部12a及びデータ線駆動回路14の内部回路構成を示すブロック回路図である。本実施形態において、アクティブマトリクス部12aは、赤色の光を放射する有機EL素子21を有した赤用画素回路20Rと、緑色の光を放射する有機EL素子21を有した緑用画素回路20Gと、青色の光を放射する有機EL素子21を有した青用画素回路20Bとで構成される。上述の各赤、緑及び青用画素回路20R, 20G, 20Bの回路構成は、それぞれ、第1実施形態で説明した画素回路20の回路構成と等しい。

20

【0107】

詳述すると、アクティブマトリクス部12aは、同色の画素回路20R, 20G, 20Bが走査線 Y_n の延設方向に沿って配置されている。つまり、走査線 Y_n のうち、第1の走査線 Y_1 には、赤色の画素回路20Rが接続されている。同様に、走査線 Y_n のうち、第2の走査線 Y_2 には、緑用画素回路20Gが接続されている。

30

【0108】

同様に、走査線 Y_n のうち、第3の走査線 Y_3 には、青色の画素回路20Bが接続されている。そして、そのような各画素回路20R, 20G, 20Bが順次列方向に繰り返されて配置されている。又、各色の画素回路20R, 20G, 20Bに対応した制御用トランジスタ Q_R , Q_G , Q_B は、各色の画素回路20R, 20G, 20Bに対応した駆動電圧 V_{ddR} , V_{ddG} , V_{ddB} を供給する電圧供給線 V_{LR} , V_{LG} , V_{LB} と接続されている。

【0109】

次に、上述のように構成された有機ELディスプレイ10の画素回路20R, 20G, 20Bの駆動方法について説明する。

40

【0110】

走査線 Y_1 を介してスイッチングトランジスタ T_{rs} をオフ状態とする走査信号が供給され、走査線 Y_1 の延設方向に配置された赤用画素回路20R内のスイッチングトランジスタ T_{rs} がオフ状態となっている期間に、電源線制御回路15から、走査線 Y_1 に対応する制御用トランジスタ Q_R をオン状態とする信号が出力される。これによって、走査線 Y_1 に接続された赤用画素回路20Rの各々に含まれる第1キャパシタ C_1 及び第2キャパシタ C_2 には電位 $V_n (= V_{dd} - V_{th2})$ が初期電位 V_{c1} として保持される。

【0111】

その後、電源線制御回路15から制御用トランジスタ Q_R をオフ状態とし、さらに走査線

50

Y 1 を介してスイッチングトランジスタ T r s をオン状態にする走査信号が供給される。この状態で、データ線駆動回路 1 4 の単一ラインドライバ 2 3 からデータ線 X m 及びスイッチングトランジスタ T r s を介して画素回路 2 0 にデータ電圧 V d a t a が供給される。

【 0 1 1 2 】

このことによって、初期電位 V c 1 は、第 1 キャパシタ C 1 の静電容量 C a 及び第 2 キャパシタ C 2 の静電容量 C b を用いると、以下の式で表わす値に変化する。

$$V c 1 = V d d - V t h 2 + C a / (C a + C b) \cdot V d a t a$$

【 0 1 1 3 】

そして、この V c 1 が最終電位 V c 2 として駆動トランジスタ T r d のゲートに供給される。 10

【 0 1 1 4 】

最終電位 V c 2 に応じて、駆動トランジスタ T r d の導通状態が設定され、その導通状態に応じた駆動電流 I e 1 が有機 E L 素子 2 1 に供給される。

【 0 1 1 5 】

この結果、赤用画素回路 2 0 R の有機 E L 素子 2 1 が発光する。このとき、調整用トランジスタ T r c の閾値電圧 V t h 2 は駆動トランジスタ T r d の閾値電圧 V t h 1 とほぼ等しくなるように設定されている。従って、赤用画素回路 2 0 R の各々の駆動トランジスタ T r d は、その閾値電圧 V t h 1 が補償されているので、赤用画素回路 2 0 R の有機 E L 素子 2 1 の輝度階調がデータ電圧 V d a t a に応じて精度良く制御される。 20

【 0 1 1 6 】

続いて、走査線 Y 2 に対応する緑用画素回路 2 0 G に含まれるスイッチングトランジスタ T r s をオフ状態にした状態で、電源線制御回路 1 5 から制御用トランジスタ Q G をオン状態とする信号が供給される。これにより、走査線 Y 2 に接続された緑用画素回路 2 0 G の各々の第 1 キャパシタ C 1 及び第 2 キャパシタ C 2 に電位 V n (= V d d - V t h 2) が初期電位 V c 1 として保持される。

【 0 1 1 7 】

その後、電源線制御回路 1 5 から制御用トランジスタ Q G をオフ状態とし、さらに第 2 の走査線 Y 2 を介してスイッチングトランジスタ T r s をオン状態にする走査信号が供給される。これに呼応して、データ線駆動回路 1 4 の単一ラインドライバ 2 3 からデータ線 X m を介してデータ電圧 V d a t a が供給される。 30

【 0 1 1 8 】

このことによって、初期電位 V c 1 は、第 1 キャパシタ C 1 の静電容量 C a 及び第 2 キャパシタ C 2 の静電容量 C b を用いると、以下の式で表わす値に変化する。

$$V c 1 = V d d - V t h 2 + C a / (C a + C b) \cdot V d a t a$$

【 0 1 1 9 】

そして、この V c 1 が最終電位 V c 2 として駆動トランジスタ T r d のゲートに供給される。

【 0 1 2 0 】

最終電位 V c 2 に応じて、駆動トランジスタ T r d の導通状態が設定され、その導通状態に応じた駆動電流 I e 1 が有機 E L 素子 2 1 に供給される。 40

【 0 1 2 1 】

この結果、緑用画素回路 2 0 G の有機 E L 素子 2 1 が発光する。このとき、調整用トランジスタ T r c の閾値電圧 V t h 2 は駆動トランジスタ T r d の閾値電圧 V t h 1 とほぼ等しくなるように設定されている。従って、緑用画素回路 2 0 G の各々の駆動トランジスタ T r d は、その閾値電圧 V t h 1 が補償されているので、緑用画素回路 2 0 G の有機 E L 素子 2 1 の輝度階調がデータ電圧 V d a t a に応じて精度良く制御される。

【 0 1 2 2 】

以下、走査線 Y 3 に対応して設けられた青色用画素回路 2 0 B に対しても同様な操作を行う。

【0123】

通常、有機EL素子21は発光色により材料の特性が異なることがあるが、発光色毎に駆動電圧を設定する必要がある場合がある。そのような場合、第2実施形態のようなパネルレイアウトは適している。

【0124】

また、発光色により有機EL素子の経時劣化等により駆動電圧が異なる場合は、有機EL素子の経時劣化の程度に応じて駆動電圧V_{dd}を適宜再設定することにより、有機EL素子の経時劣化を補償することもできる。

【0125】

もちろん、上述の第2実施形態の概念は、有機EL素子以外の電子素子や電気光学素子にも適用することができる。 10

【0126】

(第3実施形態)

次に、第1及び第2実施形態で説明した電気光学装置としての有機ELディスプレイ10の電子機器の適用について図6及び図7に従って説明する。有機ELディスプレイ10は、モバイル型のパーソナルコンピュータ、携帯電話、デジタルカメラ等種々の電子機器に適用できる。

【0127】

図6は、モバイル型パーソナルコンピュータの構成を示す斜視図を示す。図6において、パーソナルコンピュータ50は、キーボード51を備えた本体部52と、有機ELディスプレイ10を用いた表示ユニット53とを備えている。 20

この場合においても、有機ELディスプレイ10を用いた表示ユニット53は上述の実施形態と同様な効果を発揮する。この結果、有機EL素子21の輝度階調を精度良く制御することができるとともに歩留まりや開口率を向上させることができる有機ELディスプレイ10を備えたモバイル型パーソナルコンピュータ50を提供することができる。

【0128】

図7は、携帯電話の構成を示す斜視図を示す。図7において、携帯電話60は、複数の操作ボタン61、受話口62、送話口63、有機ELディスプレイ10を用いた表示ユニット64を備えている。この場合においても、有機ELディスプレイ10を用いた表示ユニット64は上述の実施形態と同様な効果を発揮する。この結果、有機EL素子21の輝度階調を精度良く制御することができるとともに歩留まりや開口率を向上させることができる有機ELディスプレイ10を備えた携帯電話60を提供することができる。 30

【0129】

尚、発明の実施形態は、上記実施形態に限定されるものではなく、以下のように実施してもよい。

【0130】

上述の実施形態では、制御回路として、制御用トランジスタQを使用した。これを、トランジスタQの変わりに低電位と高電位との間で切換え可能なスイッチを設けてもよい。又、駆動トランジスタT_{rd}の駆動能力を向上させるためにバッファ回路あるいはソースフォロワ回路を含むボルテージフォロワ回路を使用してもよい。このようにすることによって、速やかに画素回路に電流を供給することができる。 40

【0131】

上述の実施形態では、制御用トランジスタQ及び電圧供給線V_Lをアクティブマトリクス部12の右端側に設けるようにしたが、制御用トランジスタQ及び電圧供給線V_Lを電源線制御回路15に設けるようにしてもよい。

【0132】

電圧供給線V_Lをアクティブマトリクス部12に対して走査線駆動回路13と同じ側に設けてもよい。

【0133】

電源線制御回路15を、アクティブマトリクス部12に対して走査線駆動回路13と同 50

じ側に設けることもできる。

【0134】

上述の実施形態では、駆動トランジスタ T_{rd} 、調整用トランジスタ T_{rc} 及び制御用トランジスタ Q の導電型を p 型とし、スイッチングトランジスタ T_{rs} 及びの導電型を n 型とした。これを、駆動トランジスタ T_{rd} 及び調整用トランジスタ T_{rc} の導電型を n 型とし、スイッチングトランジスタ T_{rs} 及び制御用トランジスタ Q の導電型を p 型としてもよい。

【0135】

あるいは、上記の全てのトランジスタの導電型を同一としてもよい。

【0136】

上記の実施形態では、本発明を有機 EL 素子に適用した例について述べたが、もちろん、有機 EL 素子以外の例えば LED 、 FED 、液晶素子、無機 EL 素子、電気泳動素子、電子放出素子等の種々の電気光学素子を駆動する単位回路に具体化してもよい。 RAM 等（特に $MRAM$ ）の記憶素子に具体化してもよい。

【図面の簡単な説明】

【図1】本実施形態の有機 EL ディスプレイの回路構成を示すブロック回路図である。

【図2】第1実施形態のアクティブマトリクス部及びデータ線駆動回路の内部回路構成を示すブロック回路図である。

【図3】第1実施形態の画素回路の回路図である。

【図4】第1実施形態の画素回路の駆動方法を説明するためのタイミングチャートである。

【図5】第2実施形態のアクティブマトリクス部及びデータ線駆動回路の内部回路構成を示すブロック回路図である。

【図6】第3実施形態を説明するためのモバイル型パーソナルコンピュータの構成を示す斜視図である。

【図7】第3実施形態を説明するための携帯電話の構成を示す斜視図である。

【符号の説明】

$C1$ 容量素子又は保持素子としてのキャパシタ

L_a 第1の電極

L_b 第2の電極

T_{rd} 第1のトランジスタとしての駆動トランジスタ

T_{rc} 第2のトランジスタとしての調整用トランジスタ

T_{rs} 第3のトランジスタとしてのスイッチングトランジスタ

Q 第4のトランジスタとしての制御用トランジスタ

V_{data} 信号としてのデータ電圧

V_{dd} 駆動電圧

Y_n 走査線

X_m データ線

10 電気光学装置としての有機 EL ディスプレイ

20 単位回路としての画素回路

21 電子素子又は電流駆動素子としての有機 EL 素子

50 電子機器としてのモバイル型パーソナルコンピュータ

60 電子機器としての携帯電話

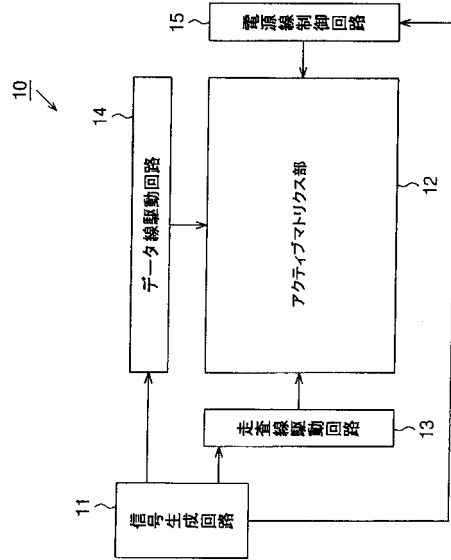
10

20

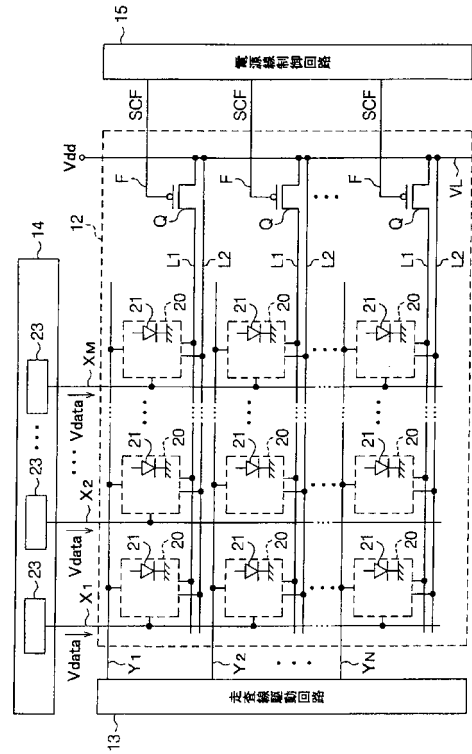
30

40

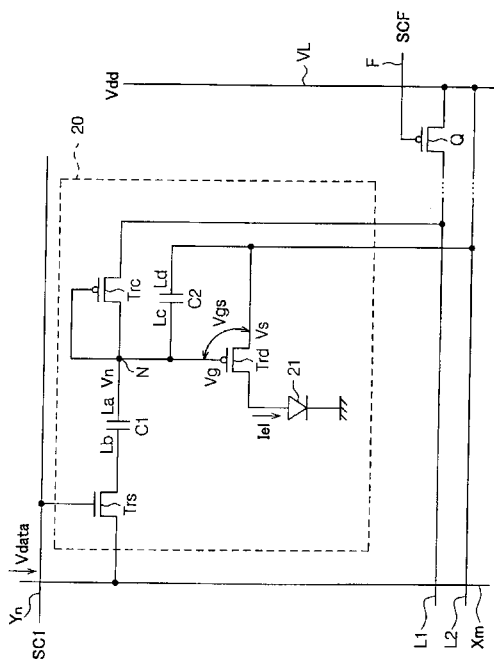
【図 1】



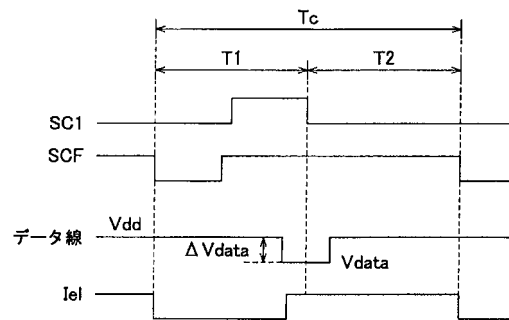
【図 2】



【図 3】



【図 4】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
	H 0 3 K 17/00	G
	H 0 3 K 17/00	M
	H 0 5 B 33/14	A

F ターム(参考)	5C080	AA06	BB05	DD05	DD22	DD25	EE29	FF11	JJ02	JJ03	JJ04
		KK02	KK47								
	5J055	AX48	BX09	BX16	CX29	DX13	DX14	DX44	EX02	EY10	EY14
		EY21	EZ39	EZ68	GX01	GX02	GX04				