

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7547518号
(P7547518)

(45)発行日 令和6年9月9日(2024.9.9)

(24)登録日 令和6年8月30日(2024.8.30)

(51)国際特許分類		F I	
H 0 1 L	21/338 (2006.01)	H 0 1 L	29/80 F
H 0 1 L	29/812 (2006.01)	H 0 1 L	29/80 H
H 0 1 L	29/778 (2006.01)	H 0 1 L	29/50 M
H 0 1 L	29/417 (2006.01)	H 0 1 L	29/78 3 0 1 X
H 0 1 L	21/336 (2006.01)	H 0 1 L	29/78 3 0 1 B
請求項の数 16 (全40頁) 最終頁に続く			
(21)出願番号	特願2023-656(P2023-656)	(73)特許権者	000116024
(22)出願日	令和5年1月5日(2023.1.5)		ローム株式会社
(62)分割の表示	特願2019-565755(P2019-565755)		京都府京都市右京区西院溝崎町2 1 番地
	)の分割	(74)代理人	110002310
原出願日	平成30年12月5日(2018.12.5)		弁理士法人あい特許事務所
(65)公開番号	特開2023-40154(P2023-40154A)	(72)発明者	阿久津 稔
(43)公開日	令和5年3月22日(2023.3.22)		京都府京都市右京区西院溝崎町2 1 番地
審査請求日	令和5年1月5日(2023.1.5)		ローム株式会社内
(31)優先権主張番号	特願2018-7397(P2018-7397)	(72)発明者	近松 健太郎
(32)優先日	平成30年1月19日(2018.1.19)		京都府京都市右京区西院溝崎町2 1 番地
(33)優先権主張国・地域又は機関	日本国(JP)		ローム株式会社内
		審査官	杉山 芳弘
最終頁に続く			

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

半導体積層構造上に配置されたソース電極、ゲート電極およびドレイン電極と、前記ソース電極に電氣的に接続されたソース配線、前記ドレイン電極に電氣的に接続されたドレイン配線および前記ゲート電極に電氣的に接続されたゲート配線とを有する半導体装置であって、

第1導電膜と、前記ソース電極と電氣的に接続された第2導電膜と、前記ソース電極と電氣的に接続された第3導電膜とを含み、

ある断面において、

前記第1導電膜は、前記ソース電極と前記ゲート電極の間に配置され、

前記第2導電膜は、前記ゲート電極と前記ドレイン電極との間に配置され、かつその最上面が前記ゲート電極の最上面よりも前記半導体積層構造に対して近接して配置されており、

前記第3導電膜は、前記ゲート電極の上方であって前記ドレイン配線の下方に配置されており、

前記第1導電膜は、前記半導体積層構造の表面と水平な方向に延出する部分を有し、

前記第2導電膜は、前記半導体積層構造の表面と水平な方向に延出する部分を有し、

前記第3導電膜は、前記半導体積層構造の表面と水平な方向に延出する部分を有し、

前記第1導電膜は、前記第2導電膜と同一のレイヤーに形成されており、

前記ソース配線は、前記ソース電極とは材料が異なるソースビアメタルを介して、前記

ソース電極に接続され、

前記ドレイン配線は、前記ドレイン電極とは材料が異なるドレインビアメタルを介して、前記ドレイン電極に接続され、

前記ゲート配線は、前記ゲート電極とは材料が異なるゲートビアメタルを介して、前記ゲート電極に接続されており、

前記ソース電極および前記ドレイン電極は、Ti膜、AlSiCu膜、Ti膜およびTiN膜が、下層からその順に積層されたTi/AlSiCu/Ti/TiN積層膜から構成されている、半導体装置。

【請求項2】

前記ゲート電極は、TiN膜、W膜、AlCu膜およびTiN膜が、下層からその順に積層されたTiN/W/AlCu/TiN積層膜から構成されている、請求項1に記載の半導体装置。

10

【請求項3】

前記ソース配線、前記ドレイン配線および前記ゲート配線は、TiN膜、AlCu膜およびTiN膜が、下層からその順に積層されたTiN/AlCu/TiN積層膜から構成されている、請求項2に記載の半導体装置。

【請求項4】

前記ソース電極、前記ゲート電極および前記ドレイン電極は、所定方向の第1方向に延びており、

前記第3導電膜は、前記ゲート電極の上面に沿って前記第1方向に延びている、請求項3に記載の半導体装置。

20

【請求項5】

前記第3導電膜の幅が前記ゲート電極の上面の幅よりも大きく、平面視において、前記第3導電膜の各側縁が、前記ゲート電極の上面の対応する側縁よりも外方に突出している、請求項4に記載の半導体装置。

【請求項6】

前記第3導電膜の各側縁の前記ゲート電極の上面の対応する側縁からの突出量が、0.3μm以上0.9μm以下である、請求項5に記載の半導体装置。

【請求項7】

前記ゲート電極の上面と前記第3導電膜の下面との間の距離が、0.15μm以上0.25μm以下である、請求項6に記載の半導体装置。

30

【請求項8】

前記ソース電極および前記ドレイン電極は、前記ゲート電極を挟むように、前記ゲート電極から離れて配置されている、請求項7に記載の半導体装置。

【請求項9】

前記半導体積層構造は、前記ソース電極および前記ドレイン電極で前記ゲート電極を挟むことによって構成された素子構造を含むアクティブエリアと、前記アクティブエリア外のノンアクティブエリアとを含み、

前記ノンアクティブエリアにおいて、前記ソース配線と前記第3導電膜とが電氣的に接続されている、請求項8に記載の半導体装置。

40

【請求項10】

前記半導体積層構造は、電子走行層と、前記電子走行層上に形成され、前記電子走行層に達する下側開口部が形成された電子供給層とを含み、

前記半導体積層構造上には、前記下側開口部に連通する上側開口部を有する絶縁層が形成されており、

前記絶縁層の表面および前記下側開口部および前記上側開口部からなるゲート開口部の底部および側部を覆うように、ゲート絶縁膜が形成されており、

前記ゲート電極は、前記ゲート開口部内で前記ゲート絶縁膜上に形成されている、請求項9に記載の半導体装置。

【請求項11】

50

前記第２導電膜は、前記ゲート電極と前記ドレイン電極との間で前記絶縁層に埋め込まれ、前記ゲート電極から絶縁され、前記ソース電極に電氣的に接続されており、

前記第２導電膜は、前記ゲート開口部の一側部の高さ中間位置で露出している、請求項 10 に記載の半導体装置。

【請求項 12】

前記第１導電膜は、前記ゲート電極と前記ソース電極との間で前記絶縁層に埋め込まれ、前記ゲート電極および前記ソース電極から絶縁されている、請求項 11 に記載の半導体装置。

【請求項 13】

前記ゲート絶縁膜と前記ゲート開口部の側部との間に配置された絶縁性のサイドウォールをさらに含む、請求項 12 に記載の半導体装置。

【請求項 14】

前記ゲート電極は、前記ゲート開口部の周縁において、前記ゲート絶縁膜上に形成されたオーバーラップ部を含む、請求項 13 に記載の半導体装置。

【請求項 15】

前記ソースビアメタル、前記ドレインビアメタルおよび前記ゲートビアメタルは、それぞれソースビアホール、ドレインビアホールおよびゲートビアホールに埋め込まれており、

前記ソースビアメタル、前記ドレインビアメタルおよび前記ゲートビアメタルは、対応するビアホールの側壁に形成される TiN バリア膜と、前記 TiN バリア膜の内側に埋め込まれるタングステンとから構成される、請求項 14 に記載の半導体装置。

【請求項 16】

前記第１導電膜は、前記ソース電極、前記ゲート電極および前記ドレイン電極のいずれの電極にも電氣的に接続されていない、請求項 15 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置に関する。

【背景技術】

【0002】

窒化物半導体を用いた HEMT (High Electron Mobility Transistor; 高電子移動度トランジスタ) が提案されている。このような HEMT は、たとえば、GaN からなる電子走行層と、この電子走行層上にエピタキシャル成長された AlGaN からなる電子供給層とを含む。電子供給層に接するように一対のソース電極およびドレイン電極が形成され、それらの間にゲート電極が配置される。ゲート電極は、絶縁膜を挟んで電子供給層に対向するように配置される。GaN と AlGaN との格子不整合に起因する分極のために、電子走行層内において、電子走行層と電子供給層との界面から数 Å だけ内方の位置に、二次元電子ガスが形成される。この二次元電子ガスをチャンネルとして、ソース・ドレイン間が接続される。ゲート電極に制御電圧を印加することで、二次元電子ガスを遮断すると、ソース・ドレイン間が遮断される。ゲート電極に制御電圧を印加していない状態では、ソース・ドレイン間が導通するので、ノーマリーオン型のデバイスとなる。

【0003】

窒化物半導体を用いたデバイスは、高耐圧、高温動作、大電流密度、高速スイッチングおよび低オン抵抗といった特徴を有するため、パワーデバイスへの応用が検討されている。しかし、パワーデバイスとして用いるためには、ゼロバイアス時に電流を遮断するノーマリーオフ型のデバイスである必要があるため、前述のような HEMT は、パワーデバイスには適用できない。

【0004】

ノーマリーオフ型の窒化物半導体 HEMT を実現するための構造は、たとえば、特許文献 1 において提案されている。特許文献 1 では、電子走行層上に、電子供給層と電子走行層との界面に連続する界面を有する酸化膜が形成されている。そして、ゲート電極は、酸

10

20

30

40

50

化膜を挟んで電子走行層上に対向している。このような構成では、ゲート電極の直下に電子供給層が存在しないので、ゲート電極の直下に二次元電子ガスは形成されない。これにより、ノーマリーオフが達成される。酸化膜は、たとえば、電子供給層の一部を熱酸化することにより作成される。

【先行技術文献】

【特許文献】

【0005】

【文献】特開2013-65612号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

窒化物半導体等を用いたデバイスにおいて、ゲート・ドレイン間の静電容量である帰還容量が大きいと、スイッチング特性が悪化するという問題がある。

【0007】

この発明の目的は、帰還容量を低減させることができ、スイッチング特性を向上できる、半導体装置を提供することにある。

【課題を解決するための手段】

【0008】

この発明の一実施形態は、半導体積層構造上に配置されたソース電極、ゲート電極およびドレイン電極と、前記ソース電極に電氣的に接続されたソース配線、前記ドレイン電極に電氣的に接続されたドレイン配線および前記ゲート電極に電氣的に接続されたゲート配線とを有する半導体装置であって、第1導電膜と、前記ソース電極と電氣的に接続された第2導電膜と、前記ソース電極と電氣的に接続された第3導電膜とを含み、ある断面において、前記第1導電膜は、前記ソース電極と前記ゲート電極の間に配置され、前記第2導電膜は、前記ゲート電極と前記ドレイン電極との間に配置され、かつその最上面が前記ゲート電極の最上面よりも前記半導体層構造に対して近接して配置されており、前記第3導電膜は、前記ゲート電極の上方であって前記ドレイン配線の下方に配置されている、半導体装置を提供する。

【0009】

この構成では、ゲート電極とドレイン配線との間の電気力線の少なくとも一部が第3導電膜によって遮断されるので、ゲート電極とドレイン配線とによって形成される静電容量を低減することができる、これにより、帰還容量を低減させることができるので、スイッチング特性を向上できる。

【0010】

この発明の一実施形態では、前記第1導電膜は、前記半導体積層構造の表面と水平な方向に延出する部分を有する。

【0011】

この発明の一実施形態では、前記第2導電膜は、前記半導体積層構造の表面と水平な方向に延出する部分を有する。

【0012】

この発明の一実施形態では、前記第3導電膜は、前記半導体積層構造の表面と水平な方向に延出する部分を有する。

【0013】

この発明の一実施形態では、前記第1導電膜は、前記第2導電膜と同一のレイヤーに形成されている。

【0014】

この発明の一実施形態では、前記ソース配線は、前記ソース電極とは材料が異なるソースビアメタルを介して、前記ソース電極に接続され、前記ドレイン配線は、前記ドレイン電極とは材料が異なるドレインビアメタルを介して、前記ドレイン電極に接続され、前記ゲート配線は、前記ゲート電極とは材料が異なるゲートビアメタルを介して、前記ゲート

10

20

30

40

50

電極に接続されており、前記ソース電極および前記ドレイン電極は、Ti膜、AlSiCu膜、Ti膜およびTiN膜が、下層からその順に積層されたTi／AlSiCu／Ti／TiN積層膜から構成されている。

【0015】

この発明の一実施形態では、前記ゲート電極は、TiN膜、W膜、AlCu膜およびTiN膜が、下層からその順に積層されたTiN／W／AlCu／TiN積層膜から構成されている。

【0016】

この発明の一実施形態では、前記ソース配線、前記ドレイン配線および前記ゲート配線は、TiN膜、AlCu膜およびTiN膜が、下層からその順に積層されたTiN／AlCu／TiN積層膜から構成されている。

10

【0017】

この発明の一実施形態では、前記ソース電極、前記ゲート電極および前記ドレイン電極は、所定の第1方向に延びており、前記第3導電膜は、前記ゲート電極の上面に沿って前記第1方向に延びている。

【0018】

この発明の一実施形態では、前記第3導電膜の幅が前記ゲート電極の上面の幅よりも大きく、平面視において、前記第3導電膜の各側縁が、前記ゲート電極の上面の対応する側縁よりも外方に突出している。

【0019】

この発明の一実施形態では、前記第3導電膜の各側縁の前記ゲート電極の上面の対応する側縁からの突出量が、0.3 μm以上0.9 μm以下である。

20

【0020】

この発明の一実施形態では、前記ゲート電極の上面と前記第3導電膜の下面との間の距離が、0.15 μm以上0.25 μm以下である。

【0021】

この発明の一実施形態では、前記ソース電極および前記ドレイン電極は、前記ゲート電極を挟むように、前記ゲート電極から離れて配置されている。

【0022】

この発明の一実施形態では、前記半導体積層構造は、前記ソース電極および前記ドレイン電極で前記ゲート電極を挟むことによって構成された素子構造を含むアクティブエリアと、前記アクティブエリア外のノンアクティブエリアとを含み、前記ノンアクティブエリアにおいて、前記ソース配線と前記第3導電膜とが電氣的に接続されている。

30

【0023】

この発明の一実施形態では、前記半導体積層構造は、電子走行層と、前記電子走行層上に形成され、電子走行層に達する下側開口部が形成された電子供給層とを含み、前記半導体積層構造上には、前記下側開口部に連通する上側開口部を有する絶縁層が形成されており、前記絶縁層の表面および前記下側開口部および前記上側開口部からなるゲート開口部の底部および側部を覆うように、ゲート絶縁膜が形成されており、前記ゲート電極は、前記ゲート開口部内で前記ゲート絶縁膜上に形成されている。

40

【0024】

この発明の一実施形態では、前記第2導電膜は、前記ゲート電極と前記ドレイン電極との間で前記絶縁層に埋め込まれ、前記ゲート電極から絶縁され、前記ソース電極に電氣的に接続されており、前記第2導電膜は、前記ゲート開口部の一側部の高さ中間位置で露出している。

【0025】

この発明の一実施形態では、前記第1導電膜は、前記ゲート電極と前記ソース電極との間で前記絶縁層に埋め込まれ、前記ゲート電極および前記ソース電極から絶縁されている。

【0026】

この発明の一実施形態では、前記ゲート絶縁膜と前記ゲート開口部の側部との間に配置

50

された絶縁性のサイドウォールをさらに含む。

【0027】

この発明の一実施形態では、前記ゲート電極は、前記ゲート開口部の周縁において、前記ゲート絶縁膜上に形成されたオーバーラップ部を含む。

【0028】

この発明の一実施形態では、前記ソースビアメタル、前記ドレインビアメタルおよび前記ゲートビアメタルは、それぞれソースビアホール、ドレインビアホールおよびゲートビアホールに埋め込まれており、前記ソースビアメタル、前記ドレインビアメタルおよび前記ゲートビアメタルは、対応するビアホールの側壁に形成されるTiNバリア膜と、前記TiNバリア膜の内側に埋め込まれるタングステンとから構成される。

10

【0029】

この発明の一実施形態では、前記第1導電膜は、前記ソース電極、前記ゲート電極および前記ドレイン電極のいずれの電極にも電氣的に接続されていない。

【0030】

本発明における上述の、またはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

【図面の簡単な説明】

【0031】

【図1】図1は、この発明の一実施形態に係る半導体装置の平面図であって、パッド部よりも上側の層が省略された平面図である。

20

【図2】図2Aは、図1のA部の拡大平面図であって、パッド部よりも下方に配置された配線メタル構造を示す図であり、図2Bは、図1のA部の拡大平面図であって、配線メタル構造よりも下方に配置された電極メタル構造を示す図である。

【図3】図3は、主として図2AのIII-III線に沿う断面を示す拡大断面図である。

【図4】図4は、主として図2AのIV-IV線に沿う断面を示す拡大断面図である。

【図5A】図5Aは、半導体装置の製造工程の一例を示す断面図である。

【図5B】図5Bは、図5Aの次の工程を示す断面図である。

【図5C】図5Cは、図5Bの次の工程を示す断面図である。

【図5D】図5Dは、図5Cの次の工程を示す断面図である。

【図5E】図5Eは、図5Dの次の工程を示す断面図である。

30

【図5F】図5Fは、図5Eの次の工程を示す断面図である。

【図5G】図5Gは、図5Fの次の工程を示す断面図である。

【図5H】図5Hは、図5Gの次の工程を示す断面図である。

【図5I】図5Iは、図5Hの次の工程を示す断面図である。

【図5J】図5Jは、図5Iの次の工程を示す断面図である。

【図5K】図5Kは、図5Jの次の工程を示す断面図である。

【図5L】図5Lは、図5Kの次の工程を示す断面図である。

【図5M】図5Mは、図5Lの次の工程を示す断面図である。

【図5N】図5Nは、図5Mの次の工程を示す断面図である。

【図5O】図5Oは、図5Nの次の工程を示す断面図である。

40

【図5P】図5Pは、図5Oの次の工程を示す断面図である。

【図5Q】図5Qは、図5Pの次の工程を示す断面図である。

【図5R】図5Rは、図5Qの次の工程を示す断面図である。

【図5S】図5Sは、図5Rの次の工程を示す断面図である。

【図5T】図5Tは、図5Sの次の工程を示す断面図である。

【図5U】図5Uは、図5Tの次の工程を示す断面図である。

【図5V】図5Vは、図5Uの次の工程を示す断面図である。

【図5W】図5Wは、図5Vの次の工程を示す断面図である。

【図5X】図5Xは、図5Wの次の工程を示す断面図である。

【図6A】図6Aは、半導体装置の製造工程の一例を示す平面図である。

50

【図 6 B】図 6 B は、図 6 A の次の工程を示す平面図である。

【図 6 C】図 6 C は、図 6 B の次の工程を示す平面図である。

【図 6 D】図 6 D は、図 6 C の次の工程を示す平面図である。

【図 6 E】図 6 E は、図 6 D の次の工程を示す平面図である。

【図 6 F】図 6 F は、図 6 E の次の工程を示す平面図である。

【図 6 G】図 6 G は、図 6 F の次の工程を示す平面図である。

【図 6 H】図 6 H は、図 6 G の次の工程を示す平面図である。

【図 6 I】図 6 I は、図 6 H の次の工程を示す平面図である。

【図 6 J】図 6 J は、図 6 I の次の工程を示す平面図である。

【図 6 K】図 6 K は、図 6 J の次の工程を示す平面図である。

10

【図 6 L】図 6 L は、図 6 K の次の工程を示す平面図である。

【図 6 M】図 6 M は、図 6 L の次の工程を示す平面図である。

【図 6 N】図 6 N は、図 6 M の次の工程を示す平面図である。

【図 6 O】図 6 O は、図 6 N の次の工程を示す平面図である。

【図 6 P】図 6 P は、図 6 O の次の工程を示す平面図である。

【図 6 Q】図 6 Q は、図 6 P の次の工程を示す平面図である。

【図 6 R】図 6 R は、図 6 Q の次の工程を示す平面図である。

【図 6 S】図 6 S は、図 6 R の次の工程を示す平面図である。

【図 6 T】図 6 T は、図 6 S の次の工程を示す平面図である。

【図 6 U】図 6 U は、図 6 T の次の工程を示す平面図である。

20

【図 6 V】図 6 V は、図 6 U の次の工程を示す平面図である。

【図 7】図 7 は、比較例のシミュレーションのモデルを示す模式図である。

【図 8】図 8 は、シミュレーション結果を示すグラフである。

【図 9】図 9 A ～図 9 D は、ゲート G にゲート電圧を印加した場合における、各静電容量 C_{GD} 、 C_{DS} 、 C_{GS} の充放電状態の変化を示す電気回路図である。

【図 10】図 10 は、ゲート G にゲート電圧を印加した場合における、入力ゲート電荷量に対する、ゲート・ソース間電圧 V_{GS} およびドレイン・ソース間電圧 V_{DS} の変化を示すグラフである。

【図 11】図 11 は、実施形態の半導体装置のシミュレーションのモデルを示す模式図である。

30

【図 12】図 12 は、シミュレーション結果を示す表である。

【図 13】図 13 は、ゲート電極がオーバーラップ部を有していない場合のシミュレーションのモデルを示す模式図である。

【図 14】図 14 は、シミュレーション結果を示す表である。

【図 15】図 15 は、シミュレーション結果を示す表である。

【発明を実施するための形態】

【0032】

図 1 は、この発明の一実施形態に係る半導体装置の平面図であって、パッド部よりも上側の層が省略された平面図である。図 2 A は、図 1 の A 部の拡大平面図であって、パッド部よりも下方に配置された配線メタル構造を示す図である。図 2 B は、図 1 の A 部の拡大平面図であって、配線メタル構造よりも下方に配置された電極メタル構造を示す図である。

40

【0033】

半導体装置 1 は、平面視において矩形状に形成されている。説明の便宜上、以下において、図 1、図 2 A および図 2 B に示した + X 方向、- X 方向、+ Y 方向および - Y 方向を用いることがある。+ X 方向および - X 方向は、平面視において、半導体装置 1 の表面の隣接する 2 つの辺のうちの一方の辺に沿う 2 つの方向であり、+ Y 方向および - Y 方向は、他方の辺に沿う 2 つの方向である。+ X 方向および - X 方向を総称するときには単に「X 方向」という。+ Y 方向および - Y 方向を総称するときには単に「Y 方向」という。

【0034】

半導体装置 1 は、半導体積層構造（窒化物半導体構造）2 と、半導体積層構造 2 上に配

50

置された電極メタル構造と、電極メタル構造上に配置された配線メタル構造と、配線メタル構造上に配置されたパッド部とを含む。

【0035】

電極メタル構造は、図2Bに示すように、ソース電極3、ゲート電極4およびドレイン電極5を含む。ソース電極3およびドレイン電極5はX方向に延びている。ゲート電極4は、互いに平行にX方向に延びた複数の電極部81と、これらの複数の電極部81の対応する端部どうしをそれぞれ連結する2つのベース部82とを含む。

【0036】

図2Bの例では、ソース電極3(S)、ゲート電極4の電極部81(G)およびドレイン電極5(D)は、Y方向にD G S G D G Sの順に周期的に配置されている。これにより、ソース電極3(S)およびドレイン電極5(D)でゲート電極4の電極部81(G)を挟むことによって素子構造が構成されている。半導体積層構造2上の表面の領域は、当該素子構造を含むアクティブエリア16と、アクティブエリア16以外のノンアクティブエリア17とからなる。図2Aおよび図2Bにおいて、符号18は、アクティブエリア16とノンアクティブエリア17との境界線である素子分離線(isolation line)を示している。ゲート電極4のベース部82は、ノンアクティブエリア17において、複数の電極部81の対応する端部どうしをそれぞれ連結している。

【0037】

配線メタル構造は、図2Aに示すように、Y方向に延びたソース配線9(S)、ドレイン配線10(D)およびゲート配線11(G)を含む。図2Aの例では、X方向に離れて配置された2つのゲート配線11(G)の間に、ソース配線9(S)およびドレイン配線10(D)が交互に並んで配置されている。配線メタル構造のソース配線9(S)、ドレイン配線10(D)およびゲート配線11(G)は、電極メタル構造のソース電極3(S)、ゲート電極4の電極部81(G)およびドレイン電極5(D)と直交している。ソース配線9(S)、ドレイン配線10(D)およびゲート配線11(G)は、それぞれソース電極3(S)、ドレイン電極5(D)およびゲート電極4(G)に電氣的に接続されている。

【0038】

パッド部には、図1に示すように、ドレインパッド12、ソースパッド13、ゲートパッド14および基板コンタクト部15が配置されている。ドレインパッド12、ソースパッド13およびゲートパッド14は、それぞれドレイン配線10(D)、ソース配線9(S)およびゲート配線11(G)に電氣的に接続されている。

【0039】

図3は、主として図2AのIII-III線に沿う断面を示す拡大断面図である。図3では、平面視において、ドレイン配線10が存在する領域において、図2Bのゲート電極41の1つの電極部81を含む小領域を+X方向から見た断面がアクティブエリア16として示されている。

【0040】

図4は、主として図2AのIV-IV線に沿う断面を示す拡大断面図である。図4では、平面視において、ソース配線9が存在する領域において、図2Bのゲート電極4の1つの電極部81を含む小領域を+X方向から見た断面がアクティブエリア16として示されている。また、図3および図4では、図1の基板コンタクト部15の一部を+X方向から見た断面がノンアクティブエリア17として示されている。

【0041】

図3および図4を参照して、半導体積層構造2は、基板21と、基板21の表面に形成されたバッファ層22と、バッファ層22上にエピタキシャル成長された電子走行層23と、電子走行層23上にエピタキシャル成長された電子供給層24とを含む。

【0042】

基板21は、たとえば、シリコン基板である。バッファ層22は、この実施形態では、基板21の表面に接するA l N膜からなる第1バッファ層22Aと、この第1バッファ層

10

20

30

40

50

の表面（基板 2 1 とは反対側の表面）に積層された A l G a N 膜からなる第 2 バッファ層 2 2 B とから構成されている。第 1 バッファ層 2 2 A の膜厚は、例えば 0 . 2 μ m であり、第 2 バッファ層 2 2 B の膜厚は、例えば 0 . 1 2 μ m である。バッファ層 2 2 は、たとえば、A l N の単膜から構成されていてもよい。

【0043】

電子走行層 2 3 および電子供給層 2 4 は、互いに A l 組成の異なる窒化物半導体からなる。この実施形態では、電子走行層 2 3 は、G a N 層からなり、その厚さは 0 . 1 μ m ~ 3 . 0 μ m 程度である。電子供給層 2 4 は、主として電子走行層 2 3 よりも A l 組成の高い窒化物半導体からなっている。この実施形態では、電子供給層 2 4 は、電子走行層 2 3 上に形成された A l N 層 2 4 A と、A l N 層 2 4 A 上に形成されたキャップ層 2 4 B とからなる。A l N 層 2 4 A の厚さは、例えば 2 n m 程度である。A l N 層 2 4 A は、A l N 層に限らず、 $A l_x I n_y G a_{1-x-y} N$ ($0 . 8 \leq x \leq 1 . 0$, $0 \leq x + y \leq 1$) 層から構成されていけばよい。キャップ層 2 4 B は、G a N 層からなり、A l N 層 2 4 A の表面の粗さを低減するために設けられている。キャップ層 2 4 B の膜厚は、1 n m 程度である。電子供給層 2 4 は、A l N 層 2 4 A のみから構成されていてもよい。

【0044】

このように電子走行層 2 3 と電子供給層 2 4 とは、A l 組成の異なる窒化物半導体からなっており、それらの間には格子不整合が生じている。具体的には、電子供給層 2 4 を主に構成している A l N の格子定数は、電子走行層 2 3 を構成している G a N の格子定数よりも小さい。このため、電子供給層 2 4 には、成長面に平行な方向に引っ張り歪が生じている。そして、電子走行層 2 3 および電子供給層 2 4 の自発分極ならびにそれらの間の格子不整合に起因するピエゾ分極によって、電子走行層 2 3 と電子供給層 2 4 との界面における電子走行層 2 3 の伝導帯のエネルギーレベルはフェルミ準位よりも低くなる。これにより、電子走行層 2 3 内の電子走行層 2 3 と電子走行層 2 3 との界面に近い位置（たとえば界面から数 Å 程度の距離）には、二次元電子ガス（2 D E G）2 5 が広がっている。

【0045】

電子供給層 2 4 上には、パッシベーション膜 2 9 が形成されている。パッシベーション膜 2 9 は、S i N 膜からなる。パッシベーション膜 2 9 の膜厚は、例えば 6 n m ~ 2 5 n m 程度である。ノンアクティブエリア 1 7 においては、パッシベーション膜 2 9 の表面に、パッシベーション膜 2 9 および電子供給層 2 4 を貫通して電子走行層 2 3 の内部に達する凹部 3 0 が形成されている。

【0046】

パッシベーション膜 2 9 上および凹部 3 0 の側壁および底壁上には、第 1 保護膜 3 1、第 2 保護膜 3 2、第 1 層間絶縁膜 3 3、第 2 層間絶縁膜 3 4 および第 3 層間絶縁膜 3 5 が、その順番で形成されている。第 1 保護膜 3 1 は、パッシベーション膜 2 9 を覆っている。第 1 保護膜 3 1、第 2 保護膜 3 2 および第 1 層間絶縁膜 3 3 は、本願の装置発明の絶縁層に相当する。第 2 層間絶縁膜 3 4 は、本願の製造方法の発明における第 1 絶縁層に相当する。第 3 層間絶縁膜 3 5 は、本願の製造方法の発明における第 2 絶縁層に相当する。

【0047】

この実施形態では、これらの各膜 3 1 ~ 3 5 は、S i O₂ 膜からなる。第 1 保護膜 3 1 の厚さは、例えば 4 0 n m 程度である。第 2 保護膜 3 2 の厚さは、例えば 1 0 0 n m 程度である。第 1 層間絶縁膜 3 3 の厚さは、例えば 6 0 0 n m 程度である。第 2 層間絶縁膜 3 4 の厚さは、例えば 2 0 0 n m 程度である。第 3 層間絶縁膜 3 5 の厚さは、例えば 5 0 0 n m 程度である。

【0048】

第 2 保護膜 3 2、第 1 保護膜 3 1 およびパッシベーション膜 2 9 には、電子供給層 2 4 に達する、ソースコンタクトホール 3 6 およびドレインコンタクトホール 3 7 が形成されている。ソースコンタクトホール 3 6 およびドレインコンタクトホール 3 7 には、それぞれ、ソース電極 3 およびドレイン電極 5 が埋め込まれている。この実施形態では、ソース電極 3 およびドレイン電極 4 は、それぞれ、ソースコンタクトホール 3 6 およびドレイン

10

20

30

40

50

コンタクトホール 37 の周縁で第 2 保護膜 32 上に形成されたオーバーラップ部を含んでいる。ソース電極 3 およびドレイン電極 5 は、それぞれ、ソースコンタクトホール 36 およびドレインコンタクトホール 37 内で、電子供給層 24 にオーミック接触している。ソース電極 3 およびドレイン電極 5 は、X 方向（図 3 および図 4 の紙面の厚さ方向）に延びている。

【0049】

ソース電極 3 およびドレイン電極 5 は、例えば、Ti 膜、AlSiCu 膜、Ti 膜および TiN 膜が、下層からその順に積層された Ti/AlSiCu/Ti/TiN 積層膜から構成されている。下層側の Ti 膜の厚さは、例えば 20 nm である。AlSiCu 膜の厚さは、例えば 2000 nm である。上層側の Ti 膜の厚さは、例えば 20 nm である。TiN 膜の厚さは、例えば 50 nm である。

10

【0050】

ソース電極 3 とドレイン電極 5 との間位置において、第 1 層間絶縁膜 33、第 2 保護膜 32、第 1 保護膜 31、パッシベーション膜 29 および電子供給層 24 には、電子走行層 23 に達するゲート開口部 38 が形成されている。ゲート開口部 38 は、第 1 層間絶縁膜 33 および第 2 保護膜 32 に形成された第 1 開口部 38a と、第 1 保護膜 31、パッシベーション膜 29 および電子供給層 24 に形成され、第 1 開口部 38a に連通する第 2 開口部 38b とを含む。第 2 開口部 38b のうち電子供給層 24 を貫通している部分が、本願発明の下側開口部に相当する。また、第 2 開口部 38b のうちパッシベーション膜 29 および第 1 保護膜 31 を貫通している部分と、第 1 開口部 38a とによって、本願発明の上側開口部が構成されている。

20

【0051】

ゲート開口部 38 の底部には、電子走行層 23 が露出している。ゲート開口部 38 の底壁および側壁を覆うようにゲート絶縁膜 40 が形成されている。ゲート絶縁膜 40 は、ゲート開口部 38 内に加えて、第 1 層間絶縁膜 33 と第 2 層間絶縁膜 34 との間にも形成されている。ゲート絶縁膜 40 は、例えば、SiO₂ 膜からなる。ゲート絶縁膜 40 の厚さは、例えば、20 nm 程度である。

【0052】

ゲート開口部 38 内にはゲート電極 4 が埋め込まれている。この実施形態では、ゲート電極 4 は、ゲート開口部 38 の周縁でゲート絶縁膜 40 上に形成されたオーバーラップ部 4a を含んでいる。ゲート電極 4 の電極部 81 は、X 方向（図 3 および図 4 の紙面の厚さ方向）に延びている。ゲート電極 4 は、例えば、TiN 膜、W 膜、AlCu 膜および TiN 膜が、下層からその順に積層された TiN/W/AlCu/TiN 積層膜から構成されている。下層側の TiN 膜の厚さは、例えば 100 nm である。W 膜の厚さは、例えば 500 nm である。AlCu 膜の厚さは、例えば 500 nm である。上層側の TiN 膜の厚さは、例えば 50 nm である。

30

【0053】

ゲート電極 4 の電極部 81 の両側には、ゲート開口部 38 の側部を部分的に形成するように、第 1 ソースフィールドプレート（第 1 SFP）6 およびフローティングプレート 7 が配置されている。フローティングプレート 7 は、ソース電極 3 とゲート電極 4 の電極部 81 との間に配置されている。第 1 ソースフィールドプレート 6 は、ゲート電極 4 の電極部 81 とドレイン電極 5 との間に配置されている。

40

【0054】

第 1 ソースフィールドプレート 6 およびフローティングプレート 7 は、ゲート開口部 38 の両側部の高さ中間位置で露出するように、第 1 保護膜 31 上に形成されている。つまり、ゲート開口部 38 の側部は、下側が第 1 保護膜 31、パッシベーション膜 29 および電子供給層 24 によって形成され、中間部が第 1 ソースフィールドプレート 6 およびフローティングプレート 7 によって形成され、上側が第 2 保護膜 32 および第 1 層間絶縁膜 33 によって形成されている。

【0055】

50

フローティングプレート7および第1ソースフィールドプレート6に接するように、第1開口部38aの側部に絶縁性のサイドウォール39が形成されている。つまり、サイドウォール39は、第1開口部38aの側部とゲート絶縁膜40との間に配置されている。たとえば、サイドウォール39は、例えばSiO₂膜からなり、その厚さは、例えば100nm程度である。

【0056】

フローティングプレート7および第1ソースフィールドプレート6は、サイドウォール39およびゲート絶縁膜40によって、ゲート電極4から絶縁されている。フローティングプレート7および第1ソースフィールドプレート6は、例えばTiN膜からなり、その厚さは、例えば100nm程度である。

【0057】

第1ソースフィールドプレート6は、ソース電極3（ソース配線9）に電氣的に接続されている。第1ソースフィールドプレート6は、よく知られているように、ゲート電極4の電極部81の端部への電界集中を緩和するために設けられている。一方、フローティングプレート7は、いずれの電極3，4，5にも電氣的に接続されていない。

【0058】

第2層間絶縁膜34上には、平面視において、ゲート電極4の電極部81の上面に対向する位置に、第2ソースフィールドプレート（第2SFP）8が配置されている。第2ソースフィールドプレート8（正確には、後述する第2ソースフィールドプレート8の電極部91）は、X方向（図3および図4の紙面の厚さ方向）に延びている。第2ソースフィールドプレート8は、第3層間絶縁膜35によって覆われている。

【0059】

この実施形態では、第2ソースフィールドプレート8の幅は、ゲート電極4の電極部81の上面（オーバーラップ4aの上面を含む）の幅よりも大きい。平面視において、第2ソースフィールドプレート8の-Y方向側端は、ゲート電極4の電極部81の上面の-Y方向側端よりも、-Y方向に突出している。同様に、平面視において、第2ソースフィールドプレート8の+Y方向側端は、ゲート電極4の電極部81の上面の+Y方向側端よりも、+Y方向に突出している。第2ソースフィールドプレート8は、例えばTiN膜からなり、その厚さは、例えば100nm程度である。なお、平面視において、第2ソースフィールドプレート8の-Y方向側端および+Y方向側端は、それぞれ、ゲート電極4の電極部81の上面の-Y方向側端および+Y方向側端から外方に突出していなくてもよい。

【0060】

第2ソースフィールドプレート8は、ソース電極3（ソース配線9）に電氣的に接続されている。第2ソースフィールドプレート8は、帰還容量C_{rss}（=ゲート・ドレイン間の静電容量C_{gd}）を低減することにより、半導体装置1のスイッチング特性を向上させるために設けられている。第2ソースフィールドプレート8が設けられている理由の詳細については、後述する。

【0061】

第3層間絶縁膜35、第2層間絶縁膜34、ゲート絶縁膜40および第1層間絶縁膜33には、ソース電極3およびドレイン電極5にそれぞれ達する、第1ソースビアホール41および第1ドレインビアホール42（図3、図4、図6O参照）が形成されている。第1ソースビアホール41および第1ドレインビアホール42には、それぞれ、ソースビアメタル51およびドレインビアメタル52（図3、図4、図6P参照）が埋め込まれている。ソースビアメタル51およびドレインビアメタル52は、それぞれ、第1ソースビアホール41および第1ドレインビアホール42内で、ソース電極3およびドレイン電極5に電氣的に接続されている。

【0062】

図3および図4には図示されていないが、第3層間絶縁膜35、第2層間絶縁膜34、ゲート絶縁膜40、第1層間絶縁膜33および第2保護膜32には、第1ソースフィールドプレート6に達する、第1SFP用ビアホール44（図6O参照）が形成されている。

第1 S F P用ビアホール44には、第1 S F P用ビアメタル54（図6 P参照）が埋め込まれている。第1 S F P用ビアメタル54は、第1 S F P用ビアホール44内で、第1ソースフィールドプレート6に電氣的に接続されている。

【0063】

図3および図4には図示されていないが、第3層間絶縁膜35および第2層間絶縁膜34には、ゲート電極4に達する、第1ゲートビアホール43（図6 O参照）が形成されている。第1ゲートビアホール43には、ゲートビアメタル53（図6 P参照）が埋め込まれている。ゲートビアメタル53は、第1ゲートビアホール43内で、ゲート電極4に電氣的に接続されている。

【0064】

図3および図4には図示されていないが、第3層間絶縁膜35には、第2ソースフィールドプレート8に達する、第2 S F P用ビアホール45（図6 O参照）が形成されている。第2 S F P用ビアホール45には、第2 S F P用ビアメタル55（図6 P参照）が埋め込まれている。第2 S F P用ビアメタル55は、第2 S F P用ビアホール45内で、第2ソースフィールドプレート8に電氣的に接続されている。

【0065】

第3層間絶縁膜35上には、X方向に間隔をおいて、ソース配線9、ドレイン配線10およびゲート配線11が形成されている。ソース配線9、ドレイン配線10およびゲート配線11は、Y方向に延びている。図3の断面図には、第3層間絶縁膜35上に形成されたドレイン配線10が現れている。図4の断面図には、第3層間絶縁膜35上に形成されたソース配線9が現れている。

【0066】

図3および図6 Pに示すように、ドレイン配線10には、ドレインビアメタル52が接続されている。また、図4および図6 Pに示すように、ソース配線9には、ソースビアメタル51が接続されている。図4には図示されていないが、図6 Pに示すように、ソース配線9には、第1 S F P用ビアメタル54および第2 S F P用ビアメタル55が接続されている。図3および図4には図示されていないが、図6 Pに示すように、ゲート配線11には、ゲートビアメタル53が接続されている。各ビアメタル51～55は、対応するビアホール41～45の側壁に形成されるTiNバリア膜と、TiNバリア膜の内側に埋め込まれるW（タングステン）とからなる。

【0067】

ソース配線9、ドレイン配線10およびゲート配線11は、例えば、TiN膜、AlCu膜およびTiN膜が第3層間絶縁膜35上に順に積層されたTiN/AlCu/TiN積層膜からなる。各TiN膜の厚さは、例えば40 nm程度であり、AlCu膜の厚さは、例えば1000 nm程度である。

【0068】

第3層間絶縁膜35上には、ソース配線9、ドレイン配線10およびゲート配線11を覆う第4層間絶縁膜61が形成されている。第4層間絶縁膜61は、例えばSiO₂からなり、その厚さは例えば1000 nm程度である。第4層間絶縁膜61の所要箇所には、図3に示すように、ドレイン配線10に達する第2ドレインビアホール62が形成されている。図3および図4には図示されていないが、第4層間絶縁膜61の所要箇所には、ソース配線9に達する第2ソースビアホールおよびゲート配線11に達する第2ゲートビアホールが形成されている。

【0069】

第4層間絶縁膜61上には、図3および図4に示すように、ドレインパッド12が形成されている。ドレインパッド12は、第2ドレインビアホール62に入りこみ、第2ドレインビアホール62内でドレイン配線10に接続されている。図3および図4には図示されていないが、第4層間絶縁膜61上には、図1に示されるソースパッド13およびゲートパッド14が形成されている。ソースパッド13は、第2ソースビアホールに入りこみ、第2ソースビアホール内でソース配線9に接続されている。ゲートパッド14は、第2

10

20

30

40

50

ゲートビアホールに入りこみ、第2ゲートビアホール内でゲート配線11に接続されている。ドレインパッド12、ソースパッド13およびゲートパッド14は、例えば、下層のTiN層と上層のAlCu層とのTiN/AlCu積層膜からなる。TiN層の厚さは、例えば40nm程度であり、AlCu層の厚さは、例えば4200nm程度である。

【0070】

ノンアクティブエリア17（基板コンタクト部15を含むノンアクティブエリア）においては、第4層間絶縁膜61、第3層間絶縁膜35、第2層間絶縁膜34、ゲート絶縁膜40、第1層間絶縁膜33、第2保護膜32、第1保護膜31、電子走行層23およびバッファ層22に、基板21に達する基板コンタクトホール63が形成されている。基板コンタクトホール63は、第4層間絶縁膜61、第3層間絶縁膜35、第2層間絶縁膜34、ゲート絶縁膜40、第1層間絶縁膜33、第2保護膜32および第1保護膜31に形成された第1基板コンタクトホール63aと、電子走行層23およびバッファ層22に形成されかつ第1基板コンタクトホール63aに連通する第2基板コンタクトホール63bとからなる。

【0071】

基板コンタクトホール63内に基板コンタクトメタル64が埋め込まれることにより、基板コンタクト部15が形成されている。基板コンタクトメタル64の材料は、例えば、ドレインパッド12、ソースパッド13およびゲートパッド14の材料と同じである。

【0072】

第4層間絶縁膜61上には、ドレインパッド12、ソースパッド13およびゲートパッド14および基板コンタクト部15（基板コンタクトメタル64）を覆う第3保護膜65が形成されている。第3保護膜65は、例えば、下層のSiO₂膜と上層のSiN膜とからなるSiO₂/SiN積層膜からなる。SiO₂膜の厚さは、600nm程度であり、SiN膜の厚さは600nm程度である。

【0073】

第3保護膜65には、図3および図4に示すように、ドレインパッド12の中央部を露出させるためのドレインパッド開口部66が形成されている。図3および図4には、図示されていないが、ソースパッド13の中央部を露出させるためのソースパッド開口部およびゲートパッド14の中央部を露出させるためのゲートパッド開口部が形成されている。

【0074】

第3保護膜65の表面には、樹脂層67が形成されている。樹脂層67は、例えばポリイミド層からなり、その厚さは、例えば10μm程度である。

【0075】

この半導体装置1では、電子走行層23上にAl組成の異なる電子供給層24が形成されてヘテロ接合が形成されている。これにより、電子走行層23と電子供給層24との界面付近の電子走行層23内に二次元電子ガス25が形成され、この二次元電子ガス25をチャンネルとして利用したHEMTが形成されている。

【0076】

ゲート電極4の電極部81は、ゲート絶縁膜40を挟んで電子走行層23に対向しており、ゲート電極4の電極部81の直下には、電子供給層24は存在しない。したがって、ゲート電極4の電極部81の直下では、電子供給層24と電子走行層23との格子不整合による分極に起因する二次元電子ガス25が形成されない。よって、ゲート電極4にバイアスを印加していないとき（ゼロバイアス時）には、二次元電子ガス25によるチャンネルはゲート電極4の電極部81の直下で遮断されている。こうして、ノーマリーオフ型のHEMTが実現されている。ゲート電極4に適切なオン電圧（たとえば5V）を印加すると、ゲート電極4の電極部81の直下の電子走行層23内にチャンネルが誘起され、ゲート電極4の電極部81の両側の二次元電子ガス25が接続される。これにより、ソースドレイン間が導通する。

【0077】

使用に際しては、たとえば、ソース電極3とドレイン電極5との間に、ドレイン電極5

10

20

30

40

50

側が正となる所定の電圧（たとえば200V～400V）が印加される。その状態で、ゲート電極4に対して、ソース電極3を基準電位（0V）として、オフ電圧（0V）またはオン電圧（5V）が印加される。

【0078】

図5A～図5Xは、前述の半導体装置1の製造工程の一例を説明するための断面図である。図5A～図5Xの断面は、図3の切断面に対応する断面図である。図6A～図6Vは、前述の半導体装置1の製造工程の一例を説明するための平面図である。図6A～図6Vの平面図は、図1のA部の平面図である。

【0079】

半導体装置1を製造するには、図5Aおよび図6Aに示すように、基板21上に、バッファ層22（22A，22B）および電子走行層23が順にエピタキシャル成長される。次に、電子走行層23上に電子供給層24（24A，24B）がエピタキシャル成長される。

【0080】

次に、電子供給層24上の全面を覆うように、例えばCVD法（化学的気相成長法）によって、パッシベーション膜29が形成される。この実施形態では、パッシベーション膜29は、バッファ層22、電子走行層23および電子供給層24が成膜された成膜装置内で成膜される。この後、ノンアクティブエリア17において、パッシベーション膜29、バッファ層22、電子走行層23および電子供給層24の表層部がエッチングされることにより、凹部30が形成される。

【0081】

次に、図5Bおよび図6Bに示すように、パッシベーション膜29上の全面および凹部30の内面を覆うように、例えばLPCVD法（減圧CVD法）によって、第1保護膜31が形成される。

【0082】

次に、例えばスパッタ法によって、第1保護膜31上にプレート膜が形成された後、例えばドライエッチングによって、プレート膜が選択的に除去される。これにより、図5Cおよび図6Cに示すように、第1保護膜31上にプレート膜20が形成される。プレート膜20は、互いに平行にかつX方向に延びる複数の電極部71と、複数の電極部71の対応する端部どうしをそれぞれ連結する2つのベース部72とを含んでいる。各ベース部72のX方向の外側縁部は、それぞれノンアクティブエリア17に配置されている。Y方向両端にある電極部71を除いて、各電極部71は、ソース電極3の形成予定領域とドレイン電極5の形成予定領域との間に形成される。

【0083】

次に、図5Dおよび図6Dに示すように、第1保護膜31上の全面を覆うように、例えばPECVD法（プラズマCVD法）によって、第2保護膜32が形成される。これにより、プレート膜20は、第1保護膜31と第2保護膜32とからなる保護膜内に埋め込まれる。この後、ソース電極3の形成予定領域およびドレイン電極4の形成予定領域において、第2保護膜32、第1保護膜31およびパッシベーション膜29がエッチングされることによって、ソースコンタクトホール36およびドレインコンタクトホール37が形成される。

【0084】

次に、図5Eおよび図6Eに示すように、ソースコンタクトホール36内およびドレインコンタクトホール37内に、それぞれソース電極3およびドレイン電極5が埋め込まれる。前述したように、この実施形態では、ソース電極3およびドレイン電極5は、それぞれ、ソースコンタクトホール36およびドレインコンタクトホール37の周縁で第2保護膜32上に形成されたオーバーラップ部を含む。

【0085】

次に、図5Fおよび図6Fに示すように、第2保護膜32、ソース電極3およびドレイン電極5を覆うように、例えばCVD法によって、第1層間絶縁膜33が形成される。

【0086】

次に、図5 Gおよび図6 Gに示すように、プレート膜20に対向するエッチング領域から、第1層間絶縁膜33、第2保護膜32およびプレート膜20をエッチングすることによって、ゲート開口部38における第1開口部38aが形成される。これにより、プレート膜20は、ゲート開口部38に対して自己整合的に、ドレイン側の第1ソースフィールドプレート6とソース側のフローティングプレート7とに分離される。したがって、第1ソースフィールドプレート6とフローティングプレート7は、この段階では、ゲート開口部38の側部に露出することになる。

【0087】

ソースフィールドプレート6は、図6 Gに示すように、ドレイン電極5を挟んでX方向に互いに平行に延びた一对の電極部73と、ノンアクティブエリア17において、これらの一对の電極部73の対応する端部どうしをそれぞれ連結する2つのベース部74とを含む。フローティングプレート7は、図6 Gに示すように、ソース電極3を挟んでX方向に互いに平行に延びた一对の電極部75と、ノンアクティブエリア17において、これらの一对の電極部75の対応する端部どうしをそれぞれ連結する2つのベース部76とを含む。

【0088】

次に、第1層間絶縁膜33上の全面および第1開口部38aの内面（側壁および底壁）を覆うように、例えば、CVD法によって、サイドウォール39の材料膜（SiO₂膜）が形成される。そして、この材料膜がドライエッチングされることにより、この材料膜における第1層間絶縁膜33上の部分および第1開口部38aの底壁上の部分が選択的に除去され、図5 Hおよび図6 Hに示すように、第1開口部38aの側壁にサイドウォール39の材料膜70が形成される。ただし、図6 Hにおいては、サイドウォール39の材料膜70は省略されている。このため、図6 Hは図6 Gと同じ図となっている。

【0089】

次に、図5 Iおよび図6 Iに示すように、ドライエッチングによって、第1開口部38a直下の第1保護膜31およびパッシベーション膜29が選択的に除去される。これにより、アクティブエリア16において、第1保護膜31およびパッシベーション膜29に電子供給層24に達する開口（第2開口部38bの一部）が形成されるとともに、図6 Iに示されるノンアクティブエリア17において、第1保護膜31に電子走行層23に達する開口が形成される。また、材料膜70が薄膜化されることにより、第1開口部38aの側壁にサイドウォール39が形成される。

【0090】

以下の説明に用いられる図6 J～図6 Oにおいては、説明の便宜上、それよりも上層の部材によって平面図には現れない部分が、破線ではなく実線が表示されることがある。

【0091】

次に、図5 Jおよび図6 Jに示すように、アクティブエリア16において、ALN酸化処理およびウェットエッチングによって、第1開口部38a直下の電子供給層24（24A、24B）が選択的に除去される。これにより、アクティブエリア16において、第1保護膜31、パッシベーション膜29および電子供給層24に、電子走行層23に達する第2開口部38bが形成される。これにより、第1開口部38aと第2開口部38bとからなるゲート開口部38が形成される。

【0092】

次に、図5 Kおよび図6 Kに示すように、ゲート開口部38の内面および第1層間絶縁膜33上の全面を覆うように、例えばCVD法によって、ゲート絶縁膜40が形成される。

【0093】

次に、図5 Lおよび図6 Lに示すように、ゲート開口部38内のゲート絶縁膜40の内側に、ゲート電極4が埋め込まれる。ゲート電極4は、図6 Lに示すように、互いに平行にX方向に延びた複数の電極部81と、ノンアクティブエリア17において、これらの複数の電極部81の対応する端部どうしをそれぞれ連結する2つのベース部82とを含む。前述したように、この実施形態では、ゲート電極4は、ゲート開口部38の周縁でゲート

絶縁膜 40 上に形成されたオーバーラップ部 4a を含む。

【0094】

次に、図 5M および図 6M に示すように、ゲート絶縁膜 40 上の全面およびゲート電極 4 を覆うように、例えば CVD 法によって、第 2 層間絶縁膜 34 が形成される。

【0095】

次に、例えばスパッタ法によって、第 2 層間絶縁膜 34 上に第 2 ソースフィールドプレート 8 の材料であるプレート膜が形成された後、ドライエッチングによって、プレート膜が選択的に除去される。これにより、図 5N および図 6N に示すように、第 2 層間絶縁膜 34 上に第 2 ソースフィールドプレート 8 が形成される。第 2 ソースフィールドプレート 8 は、図 6N に示すように、互いに平行に X 方向に延びた複数の電極部 91 と、ノンアクティブエリア 17 において、これらの複数の電極部 91 の対応する端部どうしをそれぞれ連結する 2 つのベース部 92 とを含む。

【0096】

次に、図 5O および図 6O に示すように、第 2 層間絶縁膜 34 上の全面および第 2 ソースフィールドプレート 8 を覆うように、例えば CVD 法によって、第 3 層間絶縁膜 35 が形成される。その後、図 6O に示すように、例えばエッチングによって、複数の第 1 ソースビアホール 41、複数の第 1 ドレインビアホール 42、複数の第 1 ゲートビアホール 43、複数の第 1 SFP 用ビアホール 44 および複数の第 2 SFP 用ビアホール 45 が形成される。

【0097】

第 1 ソースビアホール 41 は、アクティブエリア 16 において、ソース電極 3 と第 3 層間絶縁膜 35 上に形成されるソース配線 9 とが対向する領域において、それらの間の絶縁膜 33, 40, 34, 35 を貫通するように形成される。第 1 ドレインビアホール 42 は、アクティブエリア 16 において、ドレイン電極 5 と第 3 層間絶縁膜 35 上に形成されるドレイン配線 10 とが対向する領域において、それらの間の絶縁膜 33, 40, 34, 35 を貫通するように形成される。第 1 ゲートビアホール 43 は、ノンアクティブエリア 17 において、ゲート電極 4 のベース部 82 (図 6L 参照) と第 3 層間絶縁膜 35 上に形成されるゲート配線 11 とが対向する領域において、それらの間の絶縁膜 40, 34, 35 を貫通するように形成される。

【0098】

第 1 SFP 用ビアホール 44 は、ノンアクティブエリア 17 において、第 1 ソースフィールドプレート 6 のベース部 74 (図 6G 参照) と第 3 層間絶縁膜 35 上に形成されるソース配線 9 とが対向する領域において、それらの間の絶縁膜 32, 33, 40, 34, 35 を貫通するように形成される。第 2 SFP 用ビアホール 45 は、ノンアクティブエリア 17 において、第 2 ソースフィールドプレート 8 のベース部 92 (図 6N 参照) と第 3 層間絶縁膜 35 上に形成されるソース配線 9 とが対向する領域において、それらの間の絶縁膜 35 を貫通するように形成される。

【0099】

次に、図 5P および図 6P に示すように、各ビアホール 41、42、43、44 および 45 に、それぞれビアメタル 51、52、53、54 および 55 が埋め込まれる。そして、第 3 層間絶縁膜 35 上に、例えばスパッタ法によって、ソース配線 9、ドレイン配線 10 およびゲート配線 11 が形成される。図 6P に示すように、ソースビアメタル 51 は、ソース配線 9 に接続される。ドレインビアメタル 52 は、ドレイン配線 10 に接続される。ゲートビアメタル 53 は、ゲート配線 11 に接続される。第 1 SFP 用ビアメタル 54 および第 2 SFP 用ビアメタル 55 は、ソース配線 9 に接続される。

【0100】

次に、図 5Q および図 6Q に示すように、第 3 層間絶縁膜 35 上の全面ならびにソース配線 9、ドレイン配線 10 およびゲート配線 11 を覆うように、例えば CVD 法によって、第 4 層間絶縁膜 61 が形成される。

【0101】

次に、図 5 R に示すように、ノンアクティブエリア 17 において、例えばエッチングによって、第 4 層間絶縁膜 61、第 3 層間絶縁膜 35、第 2 層間絶縁膜 34、ゲート絶縁膜 40、第 1 層間絶縁膜 33、第 2 保護膜 32 および第 1 保護膜 31 が選択的に除去されることにより、第 1 基板コンタクトホール 63a が形成される。

【0102】

次に、図 5 S に示すように、ノンアクティブエリア 17 において、例えばエッチングによって、電子走行層 23 およびバッファ層 22 が選択的に除去されることにより、第 1 基板コンタクトホール 63a に連通しかつ基板 21 に達する第 2 基板コンタクトホール 63b が形成される。これにより、第 1 基板コンタクトホール 63a および第 2 基板コンタクトホール 63b からなる基板コンタクトホール 63 が形成される。

10

【0103】

次に、図 5 T および図 6 R に示すように、平面視でドレインパッド 12 が形成されるべき領域内において、第 4 層間絶縁膜 61 に、ドレイン配線 10 に達する複数の第 2 ドレインビアホール 62 が形成される。この際、平面視でソースパッド 13 が形成されるべき領域において、第 4 層間絶縁膜 61 に、ソース配線 9 に達する複数の第 2 ソースビアホール（図示略）が形成される。また、この際、平面視でゲートパッド 14 が形成されるべき領域において、第 4 層間絶縁膜 61 に、ゲート配線 11 に達する複数の第 2 ゲートビアホール（図示略）が形成される。

【0104】

次に、図 5 U および図 6 S に示すように、第 4 層間絶縁膜 61 上に、ドレインパッド 12、ソースパッド 13 およびゲートパッド 14 が形成されるとともに、基板コンタクトホール 63 内に基板コンタクトメタル 64 が埋め込まれる。ドレインパッド 12 は、第 2 ドレインビアホール 62 を介してドレイン配線 10 に接続される。ソースパッド 13 は、第 2 ソースビアホールを介してソース配線 9 に接続される。ゲートパッド 14 は、第 2 ゲートビアホールを介してゲート配線 11 に接続される。

20

【0105】

次に、図 5 V および図 6 T に示すように、第 4 層間絶縁膜 61 上の全面、各パッド 12、13、14 および基板コンタクトメタル 64 を覆うように、例えば CVD 法によって、第 3 保護膜 65 が形成される。

【0106】

次に、図 5 W および図 6 U に示すように、第 3 保護膜 65 に、ドレインパッド 12、ソースパッド 13 およびゲートパッド 14 をそれぞれ露出させるドレインパッド開口部 66、ソースパッド開口部およびゲートパッド開口部が形成される。

30

【0107】

次に、図 5 X および図 6 V に示すように、第 3 保護膜 65 の表面に、例えば CVD 法によって、樹脂層 67 が形成される。以上の工程を経て、図 1 ～図 4 に示す半導体装置 1 が得られる。

【0108】

以下、第 2 ソースフィールドプレート 8 が設けられている理由について説明する。

【0109】

以下において、前述の実施形態の半導体装置 1 に対して、第 2 ソースフィールドプレート 8 が設けられていない点のみが異なる半導体装置を比較例ということにする。実施形態の半導体装置 1 および比較例に形成されている HEMT には、静電容量 C_{GD} 、 C_{GS} 、 C_{DS} が存在する。 C_{GD} は、HEMT のゲート・ドレイン間の静電容量（以下、ゲート・ドレイン間容量 C_{GD} という）であり、帰還容量 C_{rss} と呼ばれる。 C_{GS} は、HEMT のゲート・ソース間の静電容量（以下、ゲート・ソース間容量 C_{GS} という）である。 C_{DS} は、HEMT のドレイン・ソース間の静電容量（以下、ドレイン・ソース間容量 C_{DS} という）である。また、ゲート・ドレイン間容量 C_{GD} とゲート・ソース間容量 C_{GS} との和（ $C_{GD} + C_{GS}$ ）は、入力容量 C_{iss} と呼ばれる。また、ドレイン・ソース間容量 C_{DS} とゲート・ドレイン間容量 C_{GD} との和（ $C_{DS} + C_{GD}$ ）は、出力容量 C_{oss} と呼ば

40

50

れる。

【0110】

実施形態の半導体装置1および比較例において、ドレイン電極5と、ゲート電極4と、それらの間の電子供給層24および電子走行層23とによって、第1のゲート・ドレイン間容量 C_{GD1} が形成されている。実施形態の半導体装置1および比較例では、電極メタル構造におけるゲート電極4の電極部81と配線メタル構造のドレイン配線10とは直交して配置されている。このため、ゲート電極4の電極部81の長さ方向位置によっては、ゲート電極4の電極部81の真上にドレイン配線10が配置されることになる。ゲート電極4の電極部81の真上にドレイン配線10が配置されている部分には、ゲート電極4の電極部81とドレイン配線10とそれらの間の絶縁膜34, 35とによって、第2のゲート・ドレイン間容量 C_{GD2} が形成される可能性がある。そうすると、第1のゲート・ドレイン間容量 C_{GD1} と第2のゲート・ドレイン間容量 C_{GD2} との和($C_{GD1} + C_{GD2}$)が帰還容量 C_{rss} (ゲート・ドレイン間容量 C_{GD})となるため、帰還容量 C_{rss} が大きくなるおそれがある。

10

【0111】

比較例のドレイン電圧に対する入力容量 C_{iss} ($=C_{GD} + C_{GS}$)、出力容量 C_{oss} ($=C_{DS} + C_{GD}$)および帰還容量 C_{rss} ($=C_{GD1} + C_{GD2}$)の変化をシミュレーションによって推定した。

【0112】

図7は、比較例のシミュレーションモデルM1を示す模式図である。図7において、図3の各部に対応する部分には、図3と同じ符号を付して示す。

20

【0113】

図8は、シミュレーション結果を示すグラフである。

【0114】

図8に示すように、帰還容量 C_{rss} は、ドレイン電圧が大きくなるにしたがって低下し、その後、ほぼ一定となる。ドレイン電圧を上昇させた場合、初期において帰還容量 C_{rss} が低下するのは、電子供給層24および電子走行層23におけるゲート電極4の近傍に空乏層が広がるので、第1のゲート・ドレイン間容量 C_{GD1} が低下するためである。その後において、帰還容量 C_{rss} がさほど低下しないのは、第2のゲート・ドレイン間容量 C_{GD2} が存在するためである。

30

【0115】

このように比較例では、第2のゲート・ドレイン間容量 C_{GD2} が存在するため、帰還容量 C_{rss} が大きくなり、HEMTのスイッチング特性を悪化させるおそれがある。

【0116】

帰還容量 C_{rss} が大きくなると、HEMTのスイッチング特性が悪化することについて説明する。

【0117】

図9Aは、半導体装置1に形成されたHEMT100と静電容量 C_{GD} , C_{GS} , C_{DS} を示す電気回路図である。

【0118】

半導体装置1に形成されたHEMT100のゲートGとドレインDとの間には、ゲート・ドレイン間容量 C_{GD} が存在する。HEMT100のゲートGとソースSとの間には、ゲート・ソース間容量 C_{GS} が存在する。HEMT100のドレインDとソースSとの間には、ドレイン・ソース間容量 C_{DS} が存在する。

40

【0119】

HEMT100がオフ状態である場合には、ゲートGおよびソースSの電位が0Vであり、ドレインDに所定の正電圧が印加されているので、ゲート・ドレイン間容量 C_{GD} およびドレイン・ソース間容量 C_{DS} が図9Aに示すように充電される。ゲートGおよびソースSは同電位であるため、ゲート・ソース間容量 C_{GS} は充電されない。

【0120】

50

図10は、ゲートGにゲート電圧を印加した場合における、入力ゲート電荷量 $Q_G (= \text{ゲート電流 } I_G \times \text{時間 } t)$ に対する、ゲート・ソース間電圧 V_{GS} およびドレイン・ソース間電圧 V_{DS} の変化を示すグラフである。

【0121】

$t_0 \sim t_1$ 期間：時刻 t_0 でゲート電圧がゲートGに印加されると、図9Bに示すように、ゲート電流 I_G によってゲート・ソース間容量 C_{GS} の充電が開始されるので、ゲート・ソース間電圧 V_{GS} が上昇する。

【0122】

$t_1 \sim t_2$ 期間：時点 t_1 でゲート・ソース間電圧 V_{GS} が閾値電圧 V_{th} に達すると、ドレイン・ソース間が短絡状態への遷移を開始するので、ドレイン・ソース間電圧 V_{DS} の低下が開始され、ドレイン・ソース間容量 C_{DS} の放電が開始される。

【0123】

$t_2 \sim t_3$ 期間：ゲート・ドレイン間容量 C_{GD} は、ドレイン・ソース間電圧 V_{DS} が低下して、 $V_{GS} \geq V_{DS}$ の状態となって初めて放電を開始する。ドレイン・ソース間電圧 V_{DS} が高いままだと、ゲート電流 I_G の流入によってゲート・ソース間電圧 V_{GS} が上昇しても、ゲート・ドレイン間容量 C_{GD} から見てHEMT100のオフ状態と同じく $V_{GS} < V_{DS}$ のままであるためである。時点 t_2 において、 $V_{GS} \geq V_{DS}$ の状態となるので、図9Cに示すように、ゲート・ドレイン間容量 C_{GD} は、放電を開始する。そして、ゲート・ドレイン間容量 C_{GD} の放電が終了すると、ゲート・ドレイン間容量 C_{GD} はオフ状態での充電とは逆極性で充電され始める。

【0124】

ゲート・ドレイン間容量 C_{GD} の放電開始から、ゲート・ドレイン間容量 C_{GD} のオフ状態での充電とは逆極性での充電が完了するまでの間、ゲート・ドレイン間容量 C_{GD} の放電にゲート電流 I_G が消費されるため、ゲート・ソース間電圧 V_{GS} はほとんど変化しない。

【0125】

t_3 以降の期間：図9Dに示すように、ゲート・ソース間容量 C_{GS} のオフ状態での充電とは逆極性での充電が完了した後、つまり、入力容量($C_{GD} + C_{GS}$)の充電が完了した後は、流入するゲート電流 I_G によって充電レベルが上がっていくので、ゲート・ソース間電圧 V_{GS} は時間に対してリニアに上昇する。

【0126】

ゲート・ドレイン間容量 C_{GD} （帰還容量 C_{rss} ）が大きいと、時点 $t_2 \sim t_3$ の期間が長くなるため、HEMT100のスイッチング特性が悪くなる。

【0127】

そこで、この実施形態では、ゲート電極4の電極部81上に、第2ソースフィールドプレート8を配置している。つまり、ゲート電極4の電極部81とドレイン配線10との間に、第2ソースフィールドプレート8を配置している。この第2ソースフィールドプレート8によって、ドレイン配線10とゲート電極4の電極部81との間の電気力線の少なくとも一部を遮断するようにしている。これにより、ゲート電極4の電極部81とドレイン配線10とそれらの間の絶縁膜34、35とによって形成される第2のゲート・ドレイン間容量 C_{GD2} を低減している。これにより、帰還容量 C_{rss} を低減することができるので、HEMT100のスイッチング特性を向上させることができる。

【0128】

第2のゲート・ドレイン間容量 C_{GD2} を低減するためには、平面視において、ゲート電極4の電極部81の上面に対向して配置される第2ソースフィールドプレート8の幅（Y方向長さ）は、ゲート電極4の電極部81の上面の幅（Y方向長さ）よりも大きく形成することが好ましい。そして、第2ソースフィールドプレート8の-Y方向側縁は、ゲート電極4の電極部81の上面の-Y方向側縁よりも、-Y方向に突出し、第2ソースフィールドプレート8の+Y方向側縁は、ゲート電極4の電極部81の上面の+Y方向側縁よりも、+Y方向に突出していることが好ましい。

10

20

30

40

50

【0129】

このようにすると、第2ソースフィールドプレート8の幅（Y方向長さ）が、ゲート電極4の電極部81の上面の幅と同じで、かつ、第2ソースフィールドプレート8のY方向の両側縁がゲート電極4の電極部81の上面の両側縁から外方に突出していない構造に比べて、ドレイン配線10とゲート電極4の電極部81との間の電気力線をより効果的に遮断できるからである。

【0130】

実施形態の半導体装置1の入力容量 C_{iss} 、出力容量 C_{oss} および帰還容量 C_{rss} と、比較例の入力容量 C_{iss} 、出力容量 C_{oss} および帰還容量 C_{rss} とをシミュレーションによって計算した。

10

【0131】

図11は、実施形態の半導体装置1のシミュレーションのモデルM2を示す模式図である。図11において、図3の各部に対応する部分には、図3と同じ符号を付して示す。図11において、aは、ゲート電極4のオーバーラップ部4aの幅（Y方向の長さ）を示している。このモデルM2では、aは、 $0.8\mu\text{m}$ に設定されている。図11において、bは、平面視において、ゲート電極4の電極部81の上面（オーバーラップ部4aの上面を含む）の+Y方向側縁からの、第2ソースフィールドプレート8の+Y方向側縁の突出量を示している。ゲート電極4の電極部81の上面の-Y方向側縁からの、第2ソースフィールドプレート8の-Y方向側縁の突出量は、ゲート電極4のオーバーラップ部4Aの+Y方向側縁からの、第2ソースフィールドプレート8の+Y方向側縁の突出量bと同じである。ここでは、突出量bは $0.6\mu\text{m}$ に設定されている。

20

【0132】

ここでは、図11のモデルM2から、第2ソースフィールドプレート8を除去した構成を、比較例のシミュレーションのモデルとした。

【0133】

図12は、シミュレーション結果を示す表である。各容量 C_{iss} 、 C_{oss} および C_{rss} は、ドレイン・ソース間電圧 V_{ds} が50Vのときの容量（pF）である。図12から、第2ソースフィールドプレート8を有する実施形態の半導体装置1の方が、第2ソースフィールドプレート8を有していない比較例に比べて、帰還容量 C_{rss} が大幅に小さくなっていることがわかる。

30

【0134】

前述の実施形態では、ゲート電極4はオーバーラップ部4aを有しているが、ゲート電極4はオーバーラップ部4aを有していなくてもよい。ゲート電極4はオーバーラップ部4aを有していない場合において、ゲート電極4の電極部81の上面の-Y方向側縁および+Y方向側縁からの第2ソースフィールドプレート8の-Y方向側縁および+Y方向側縁の突出量と、入力容量 C_{iss} 、出力容量 C_{oss} および帰還容量 C_{rss} との関係をシミュレーションによって調べた。

【0135】

図13は、ゲート電極4がオーバーラップ部4aを有していない場合の実施形態のシミュレーションのモデルM3を示す模式図である。図13において、図3の各部に対応する部分には、図3と同じ符号を付して示す。図13において、bは、平面視において、ゲート電極4の電極部81の上面の+Y方向側縁からの、第2ソースフィールドプレート8の+Y方向側縁の突出量を示している。ゲート電極4の電極部81の上面の-Y方向側縁からの、第2ソースフィールドプレート8の-Y方向側縁の突出量は、ゲート電極4の+Y方向側縁からの、第2ソースフィールドプレート8の+Y方向側縁の突出量bと同じである。

40

【0136】

図13に示す突出量bを、 $0\mu\text{m}$ 、 $0.3\mu\text{m}$ 、 $0.6\mu\text{m}$ および $0.9\mu\text{m}$ に設定した場合のそれぞれについて、入力容量 C_{iss} 、出力容量 C_{oss} および帰還容量 C_{rss} を計算した。また、図13のモデルM3から、第2ソースフィールドプレート8を除去

50

した構成を比較例のモデルとして、入力容量 C_{iss} 、出力容量 C_{oss} および帰還容量 C_{rss} をシミュレーションによって計算した。

【0137】

図14は、シミュレーション結果を示す表である。各容量 C_{iss} 、 C_{oss} および C_{rss} は、ドレイン・ソース間電圧 V_{ds} が50Vのときの容量(pF)である。

【0138】

図14から、第2ソースフィールドプレート8を有する実施形態の方が、第2ソースフィールドプレート8を有していない比較例に比べて、帰還容量 C_{rss} が小さくなっていることがわかる。また、第2ソースフィールドプレート8を有している実施形態では、突出量 b が大きいほど、帰還容量 C_{rss} が小さくなっていることがわかる。しかしながら、突出量 b が大きくなるほど、第2ソースフィールドプレート8とソース電極3に接続されるソースビアメタル51(図4参照)との間の距離が短くなる。そこで、第2ソースフィールドプレート8がソースビアメタル51に近づくすぎない範囲で、突出量 b を大きくすることが好ましい。このような観点から、突出量 b は0.4 μm 以上0.8 μm 以下が好ましく、0.6 μm 程度がより好ましい。

【0139】

次に、ゲート電極4はオーバーラップ部4aを有していない場合において、突出量 b を0.6 μm に設定し、ゲート電極4の上面と第2ソースフィールドプレート8の下面との間隔 d (図13参照)と、入力容量 C_{iss} 、出力容量 C_{oss} および帰還容量 C_{rss} との関係をシミュレーションによって調べた。シミュレーションモデルは、図13と同様である。

【0140】

図15は、シミュレーション結果を示す表である。各容量 C_{iss} 、 C_{oss} および C_{rss} は、ドレイン・ソース間電圧 V_{ds} が50Vのときの容量(pF)である。図15から、ゲート電極4と第2ソースフィールドプレート8との間隔 d が小さいほど、帰還容量 C_{rss} が小さくなっていることがわかる。しかしながら、間隔 d が小さくなるほど、入力容量 C_{iss} が大きくなる。そこで、入力容量 C_{iss} が大きくなりすぎない範囲で、間隔 d を小さくすることが好ましい。このような観点から、間隔 d は0.15 μm 以上0.25 μm 未満が好ましく、0.2 μm 程度がより好ましい。

【0141】

前述の実施形態では、電極メタル構造におけるゲート電極4の電極部81と配線メタル構造におけるドレイン配線10とが直交して配置される半導体装置1において、ゲート電極4の電極部81とドレイン配線10との間に、ソース電極3に電氣的に接続された第2ソースフィールドプレート(導電膜)8が配置されている。これにより、ゲート電極4の電極部81とドレイン配線10との間の静電容量(第2のゲート・ドレイン間容量 C_{GD2})が低減されるから、半導体装置1の帰還容量 C_{rss} を低減することができる。これにより、半導体装置1のスイッチング特性を向上させることができる。

【0142】

また、前述の実施形態では、電極メタル構造におけるソース電極3、ゲート電極4の電極部81およびドレイン電極5と、配線メタル構造におけるソース配線9、ドレイン配線10およびゲート配線11とが直交して配置されているので、ソース配線9およびドレイン配線10の幅が、ソース電極3とドレイン電極5との間隔によって制限されない。オン抵抗の小さいHEMTを実現するためには、ソース電極3とドレイン電極5との間隔を短くする必要があるが、この場合でも、ソース配線9およびドレイン配線10の幅を十分な大きさに設定しやすい。また、前述の実施形態では、ソース配線9、ドレイン配線10およびゲート配線11を同じ工程で形成することができるので、これらの配線の製造が簡単となる。

【0143】

電極メタル構造におけるソース電極3、ゲート電極4の電極部81およびドレイン電極5が延びる方向と、配線メタル構造におけるソース配線9、ドレイン配線10およびゲ

10

20

30

40

50

ト配線 11 が延びる方向とを同じ方向にすると、ゲート電極 4 の電極部 81 の表面の全ての位置の真上にドレイン配線 10 が配置されないようにすることが可能となる。そうすると、ゲート電極 4 の電極部 81 とドレイン配線 10 とそれらの間の絶縁膜 34, 35 とによって形成される静電容量（第 2 のゲート・ドレイン間容量 C_{GD2} ）は小さくなる。したがって、そのような構造では、ゲート電極 4 の電極部 81 の上側に、第 2 のゲート・ドレイン間容量 C_{GD2} を低減させるための第 2 ソースフィールドプレート 8 のような導電膜を設ける必要はないかもしれない。しかしながら、電極メタル構造における電極 3, 4, 5 の延びる方向と、配線メタル構造における配線 9, 10, 11 の延びる方向を同じ方向にする場合には、次のような問題が発生するおそれがある。

【0144】

すなわち、例えば、ソース電極上にソース配線を配置し、ドレイン電極上にドレイン配線を配置する場合、これらの配線の幅がソース電極とドレイン電極との間隔によって制限される。特に、オン抵抗の小さい HEMT を実現するためには、ソース電極とドレイン電極との間隔を短くする必要があるため、ソース配線およびドレイン配線の幅を十分にとることができなくなるおそれがある。

【0145】

また、ソース配線とドレイン配線との間の間隔を大きくすることは困難であるため、これらの間にゲート配線を形成することが困難となる。そのため、ソース配線およびドレイン配線と同じ工程によって、ゲート配線を形成することが困難となる。また、平面視において、ソース配線およびドレイン配線が存在しない領域まで、ゲート電極を延長する必要があるため、ゲート抵抗が大きくなるおそれがある。

【0146】

前述の実施形態では、基板 21 の材料例としてシリコンを例示したが、ほかにも、サファイア基板や GaN 基板などの任意の基板材料を適用できる。

【0147】

本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の範囲は添付の請求の範囲によってのみ限定される。

【0148】

この出願は、2018 年 1 月 19 日に日本国特許庁に提出された特願 2018-007397 号に対応しており、その出願の全開示はここに引用により組み込まれるものとする。

【0149】

この明細書からはさらに以下のような特徴が抽出され得る。

【0150】

A1. 半導体積層構造上に配置され、互いに平行にかつ所定の第 1 方向に延びるソース電極、ゲート電極およびドレイン電極を含む電極構造と、電極構造上に配置され、互いに平行にかつ前記第 1 方向に直交する第 2 方向に延びるソース配線、ドレイン配線およびゲート配線を含む配線構造とを有し、前記ソース配線、ドレイン配線およびゲート配線が、それぞれ前記ソース電極、ドレイン電極およびゲート電極に電氣的に接続されている半導体装置であって、前記ゲート電極と前記ドレイン配線との間に配置され、前記ソース電極に電氣的に接続された導電膜を含む、半導体装置。

【0151】

この構成では、ゲート電極とドレイン配線との間の電気力線の少なくとも一部が導電膜によって遮断されるので、ゲート電極とドレイン配線とによって形成される静電容量を低減することができる、これにより、帰還容量を低減させることができるので、スイッチング特性を向上できる。

【0152】

A2. 前記導電膜は、前記ゲート電極の上面に沿って前記第 1 方向に延びている、A1 に記載の半導体装置。

【0153】

10

20

30

40

50

A 3．前記導電膜の幅が前記ゲート電極の上面の幅よりも大きく、平面視において、前記導電膜の各側縁が、前記ゲート電極の上面の対応する側縁よりも外方に突出している、A 2に記載の半導体装置。

【0154】

A 4．前記導電膜の各側縁の前記ゲート電極の上面の対応する側縁からの突出量が、 $0.3\text{ }\mu\text{m}$ 以上 $0.9\text{ }\mu\text{m}$ 以下である、A 3に記載の半導体装置。

【0155】

A 5．前記ゲート電極の上面と前記導電膜の下面との間の距離が、 $0.15\text{ }\mu\text{m}$ 以上 $0.25\text{ }\mu\text{m}$ 以下である、A 4に記載の半導体装置。

【0156】

A 6．前記ソース電極および前記ドレイン電極は、前記ゲート電極を挟むように、前記ゲート電極から離れて配置されている、A 1～A 5のいずれかに記載の半導体装置。

【0157】

A 7．前記半導体積層構造は、前記ソース電極および前記ドレイン電極で前記ゲート電極を挟むことによって構成された素子構造を含むアクティブエリアと、前記アクティブエリア外のノンアクティブエリアとを含み、前記ノンアクティブエリアにおいて、前記ソース配線と前記導電膜とが電氣的に接続されている、A 6に記載の半導体装置。

【0158】

A 8．前記半導体積層構造は、電子走行層と、前記電子走行層上に形成され、電子走行層に達する下側開口部が形成された電子供給層とを含み、前記半導体積層構造上には、前記下側開口部に連通する上側開口部を有する絶縁層が形成されており、前記絶縁層の表面および前記下側開口部および前記上側開口部からなるゲート開口部の底部および側部を覆うように、ゲート絶縁膜が形成されており、前記ゲート電極は、前記ゲート開口部内で前記ゲート絶縁膜上に形成されている、A 6に記載の半導体装置。

【0159】

A 9．前記ゲート電極と前記ドレイン電極との間で前記絶縁層に埋め込まれ、前記ゲート電極から絶縁され、前記ソース電極に電氣的に接続された第2導電膜をさらに含む、A 8に記載の半導体装置。

【0160】

A 10．前記ゲート電極と前記ソース電極との間で前記絶縁層に埋め込まれ、前記ゲート電極および前記ソース電極から絶縁されている第3導電膜をさらに含む、A 9に記載の半導体装置。

【0161】

A 11．前記ゲート絶縁膜と前記ゲート開口部の側部との間に配置された絶縁性のサイドウォールをさらに含む、A 9またはA 10に記載の半導体装置。

【0162】

A 12．前記ゲート電極は、前記ゲート開口部の周縁において、前記ゲート絶縁膜上に形成されたオーバーラップ部を含む、A 8～A 11のいずれかに記載の半導体装置。

【0163】

A 13．電子走行層と前記電子走行層上に形成された電子供給層とを含む半導体積層構造上に、互いに平行にかつ所定の第1方向に延びたソース電極、ドレイン電極およびゲート電極を形成する工程と、前記ソース電極および前記ドレイン電極の上方に配置され、前記ゲート電極を覆う第1絶縁層を形成する工程と、前記第1絶縁層上の前記ゲート電極の上面に対向する位置に、導電膜を形成する工程と、前記第1絶縁層上に、前記導電膜を覆うように、第2絶縁層を形成する工程と、前記ソース電極、前記ドレイン電極および前記ゲート電極を、それぞれ、前記第2絶縁層上に形成されるソース配線、ドレイン配線およびゲート配線に接続するためのソースビアメタル、ドレインビアメタルおよびゲートビアメタルをそれらの間の絶縁層内に形成するとともに、前記導電膜を前記ソース配線に接続するための導電膜ビアメタルを前記第2絶縁層内に形成する工程と、前記第2絶縁層上に、互いに平行にかつ前記第2絶縁層の表面に沿う方向であって前記第1方向と直交する第

10

20

30

40

50

2 方向に延びた前記ソース配線、前記ドレイン配線および前記ゲート配線を形成する工程を含む、半導体装置の製造方法。

【0164】

A14．前記導電膜は、前記ゲート電極の上面に沿って前記第1方向に延びている、A13に記載の半導体装置の製造方法。

【0165】

A15．前記導電膜の幅が前記ゲート電極の上面の幅よりも大きく、前記導電膜の各側縁が、前記ゲート電極の上面の対応する側縁よりも外方に突出している、A14に記載の半導体装置の製造方法。

【符号の説明】

10

【0166】

- 1 半導体装置
- 2 半導体積層構造
- 3 ソース電極
- 4 ゲート電極
- 4 a オーバーラップ部
- 5 ドレイン電極
- 6 第1ソースフィールドプレート
- 7 フローティングプレート
- 8 第2ソースフィールドプレート
- 9 ソース配線
- 10 ドレイン配線
- 11 ゲート配線
- 12 ドレインパッド
- 13 ソースパッド
- 14 ゲートパッド
- 15 基板コンタクト部
- 16 アクティブエリア
- 17 ノンアクティブエリア
- 18 素子分離線
- 20 プレート膜
- 21 基板
- 22 バッファ層
- 23 電子走行層
- 24 電子供給層
- 25 二次元電子ガス
- 29 パッシベーション膜
- 31 第1保護膜
- 32 第2保護膜
- 33 第1層間絶縁膜
- 34 第2層間絶縁膜
- 35 第3層間絶縁膜
- 36 ソースコンタクトホール
- 37 ドレインコンタクトホール
- 38 ゲート開口部
- 38 a 第1開口部
- 38 b 第2開口部
- 39 サイドウォール
- 40 ゲート絶縁膜
- 41 第1ソースビアホール

20

30

40

50

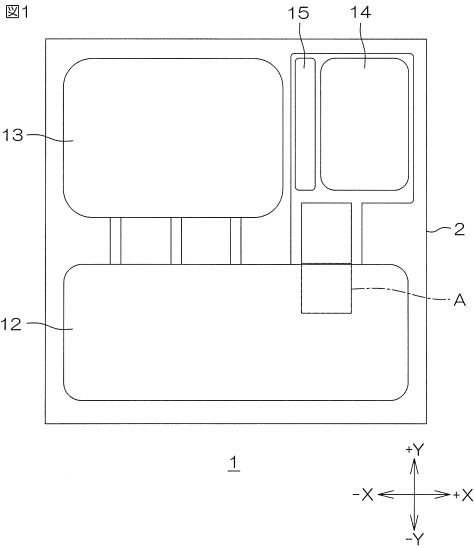
- 4 2 第1ドレインビアホール
- 4 3 第1ゲートビアホール
- 4 4 第1SFP用ビアホール
- 4 5 第2SFP用ビアホール
- 5 1 ソースビアメタル
- 5 2 ドレインビアメタル
- 5 3 ゲートビアメタル
- 5 4 第1SFP用ビアメタル
- 5 5 第2SFP用ビアメタル
- 6 1 第4層間絶縁膜
- 6 2 第2ドレインビアホール
- 6 3 基板コンタクトホール
- 6 4 基板コンタクトメタル
- 6 5 第3保護膜
- 6 6 ドレインパッド開口部
- 6 7 樹脂層
- 7 2 ベース部
- 7 3 電極部 (第1ソースフィールドプレート6)
- 7 4 ベース部
- 7 5 電極部 (フローティングプレート7)
- 7 6 ベース部
- 8 1 電極部 (ゲート電極4)
- 8 2 ベース部
- 9 1 電極部 (第2ソースフィールドプレート8)
- 9 2 ベース部

10

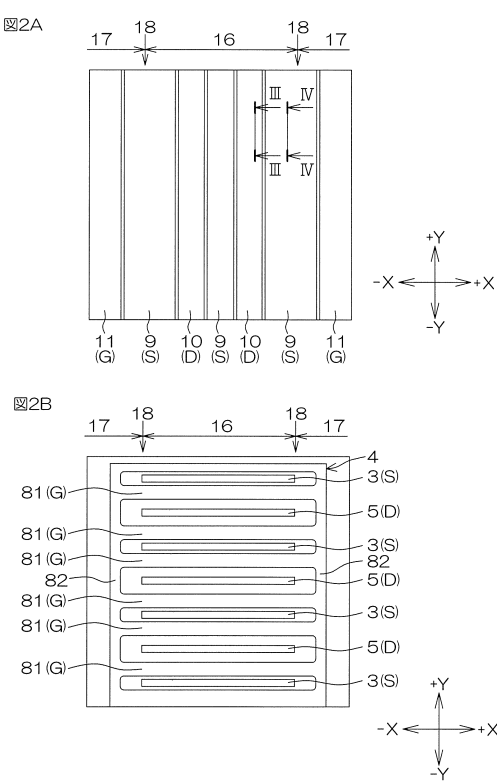
20

【図面】

【図1】



【図2】

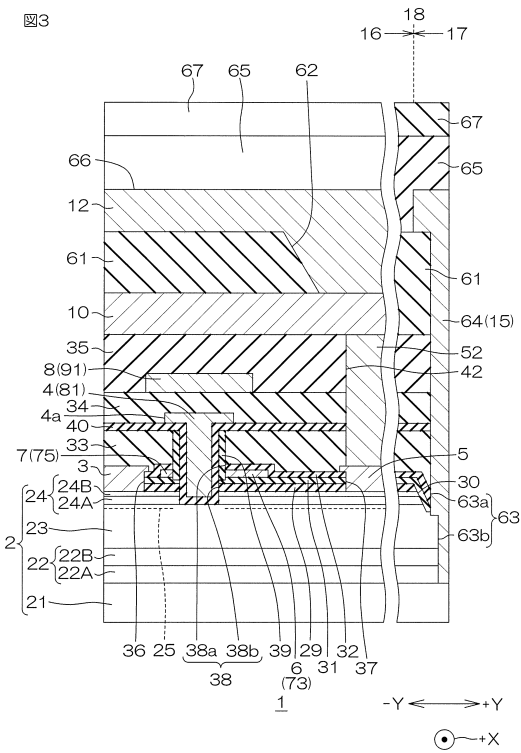


30

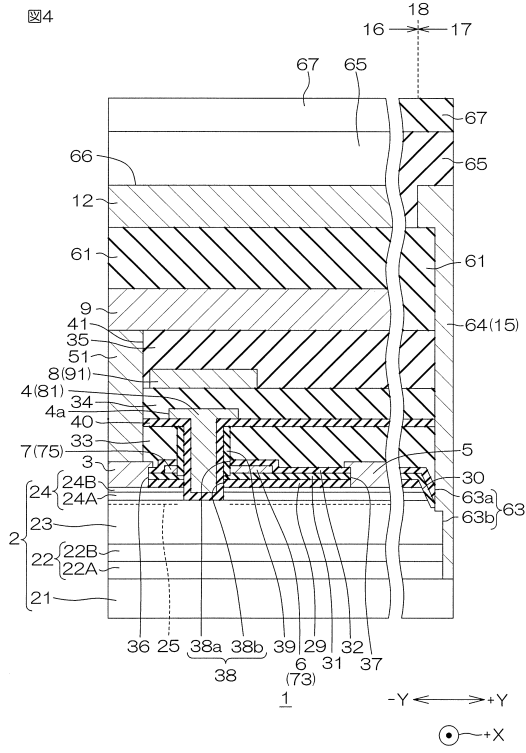
40

50

【図 3】



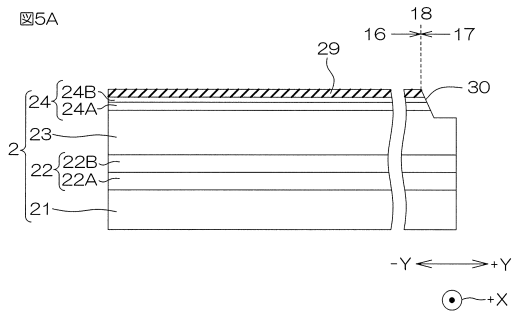
【図 4】



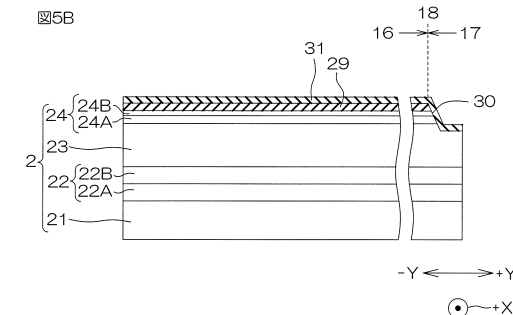
10

20

【図 5 A】



【図 5 B】

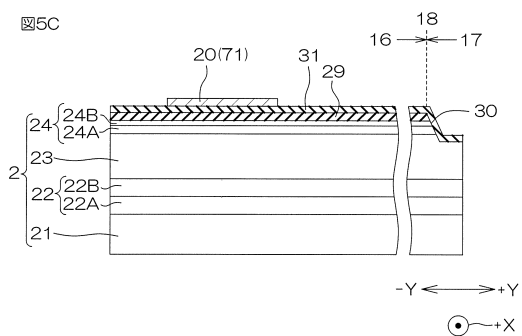


30

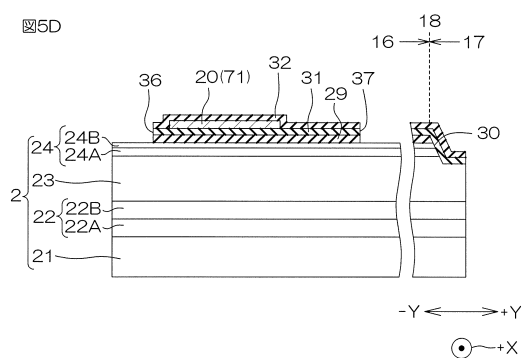
40

50

【図 5 C】

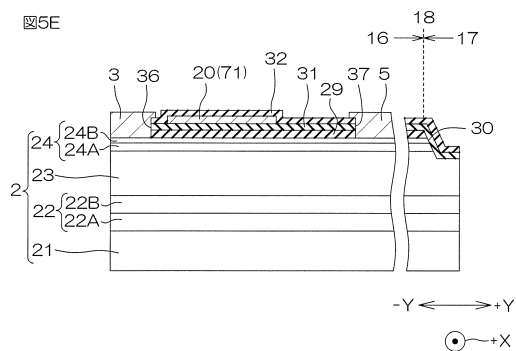


【図 5 D】

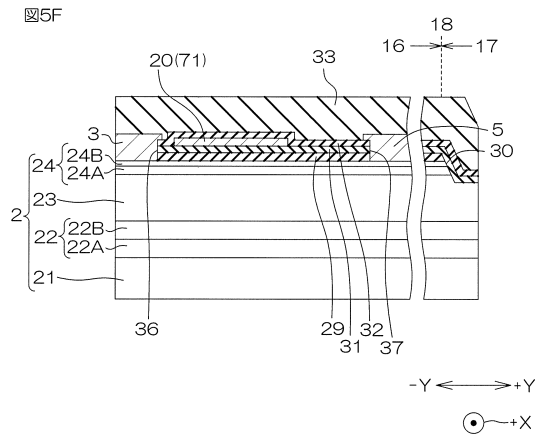


10

【図 5 E】

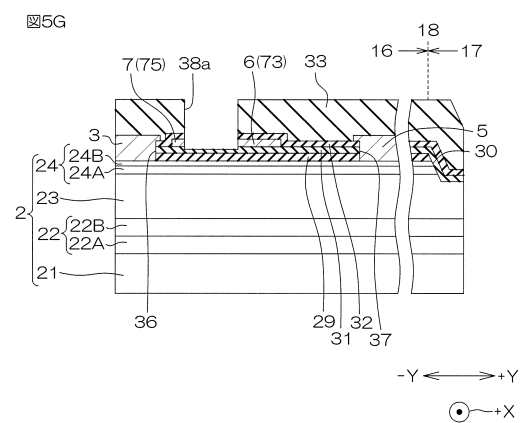


【図 5 F】

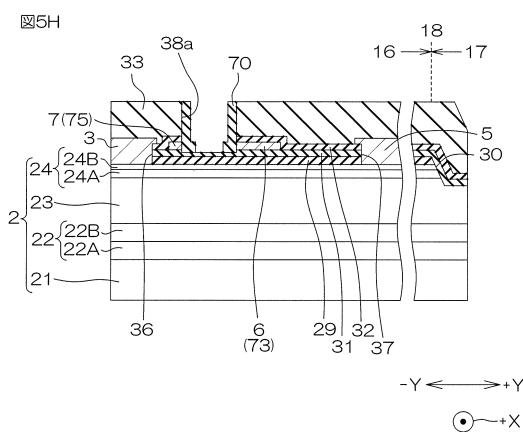


20

【図 5 G】



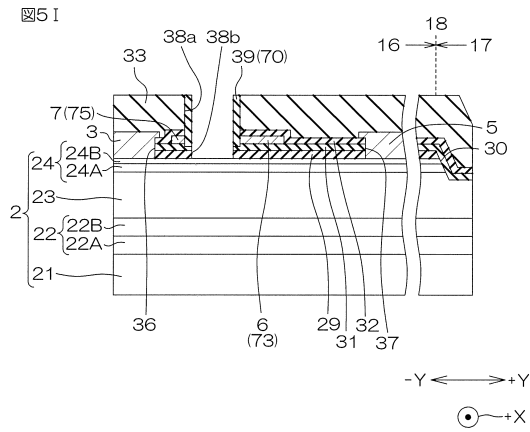
【図 5 H】



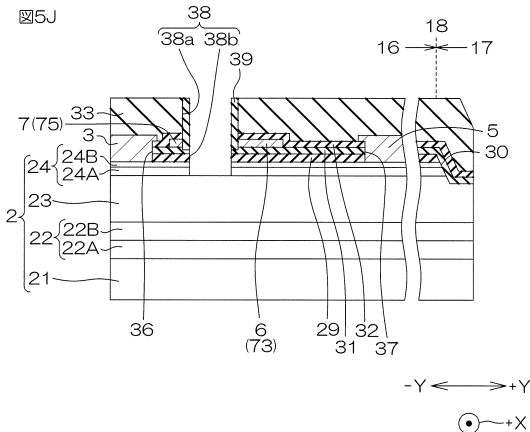
30

40

【図 5 I】

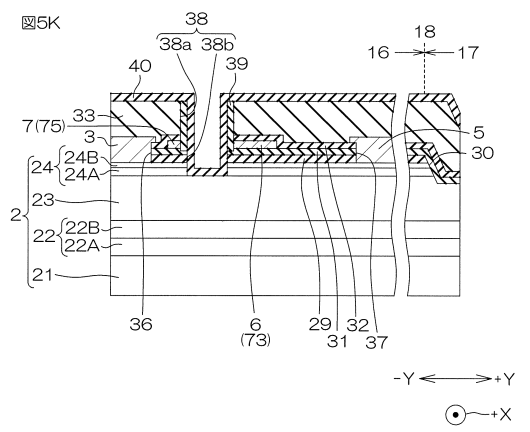


【図 5 J】

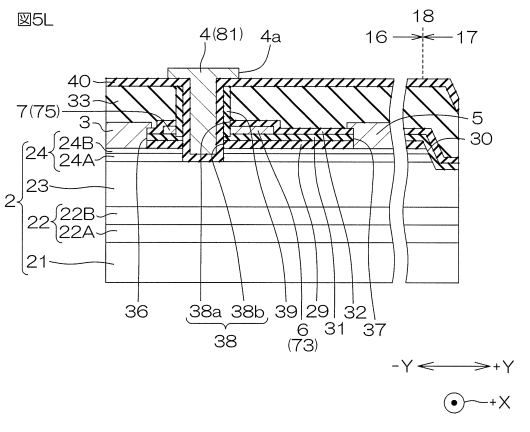


10

【図 5 K】



【図 5 L】



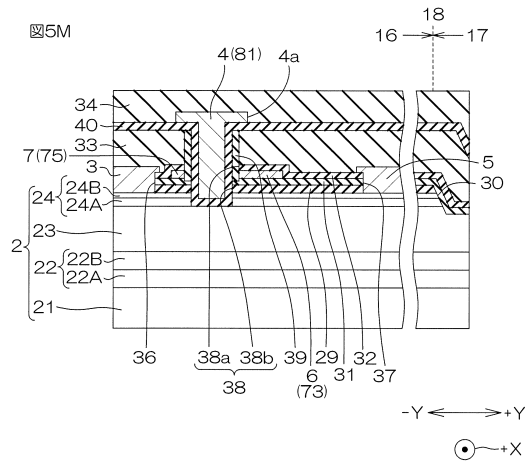
20

30

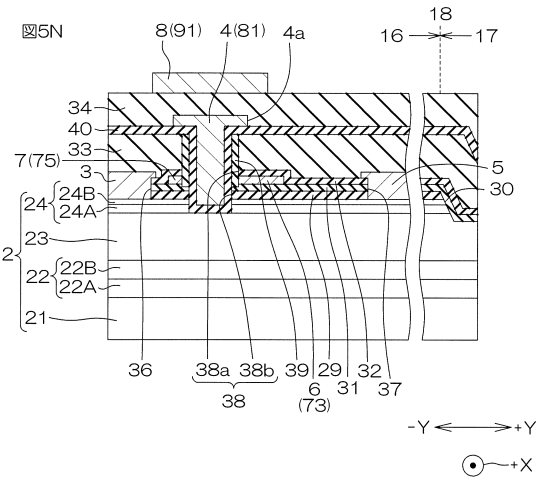
40

50

【図 5 M】

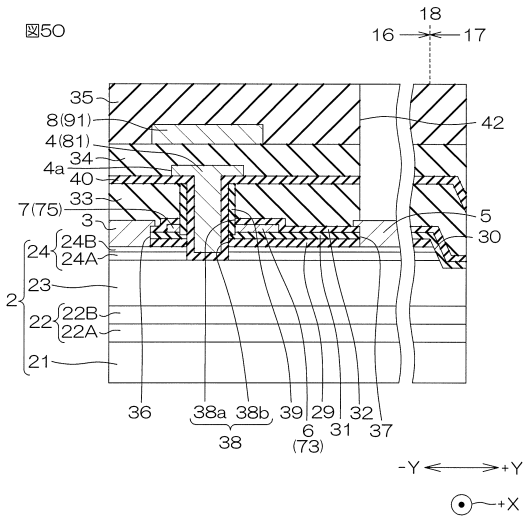


【図 5 N】

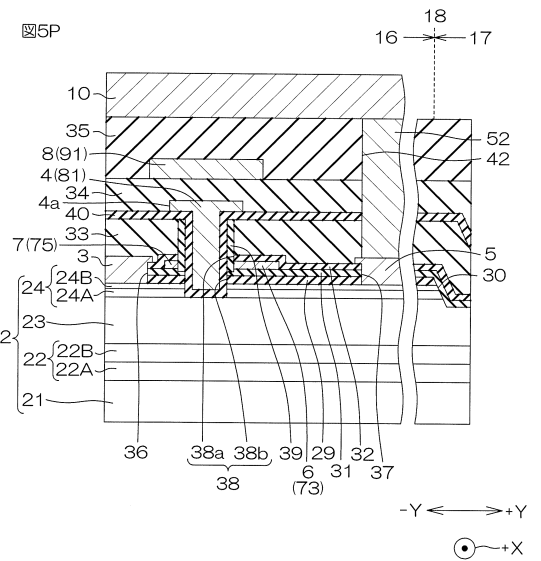


10

【図 5 O】



【図 5 P】



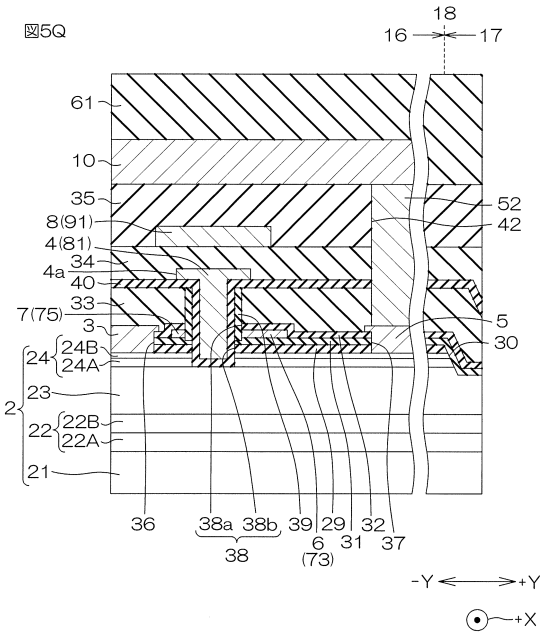
20

30

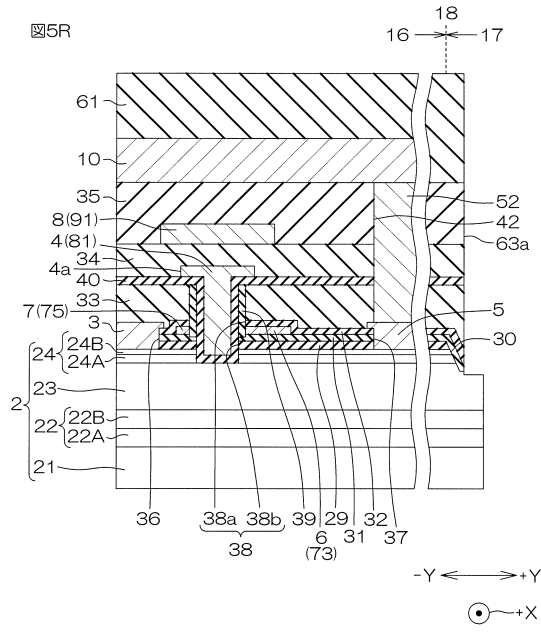
40

50

【図 5 Q】

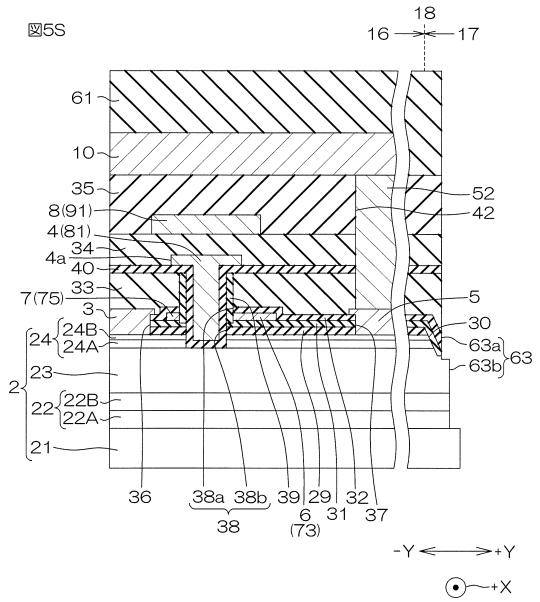


【図 5 R】

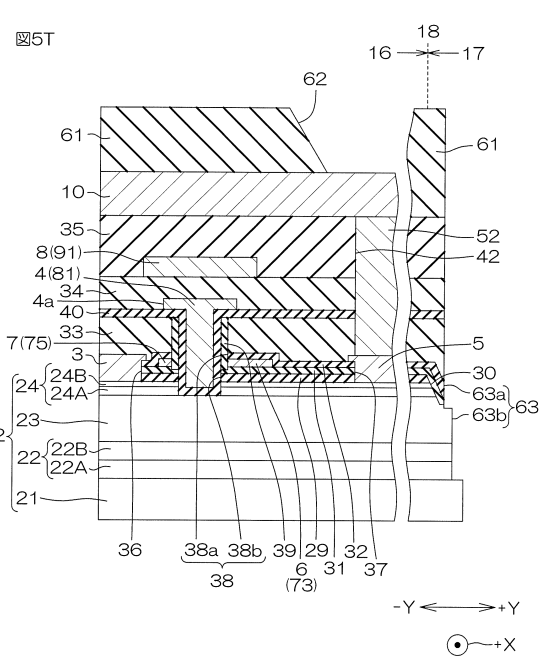


10

【図 5 S】



【図 5 T】



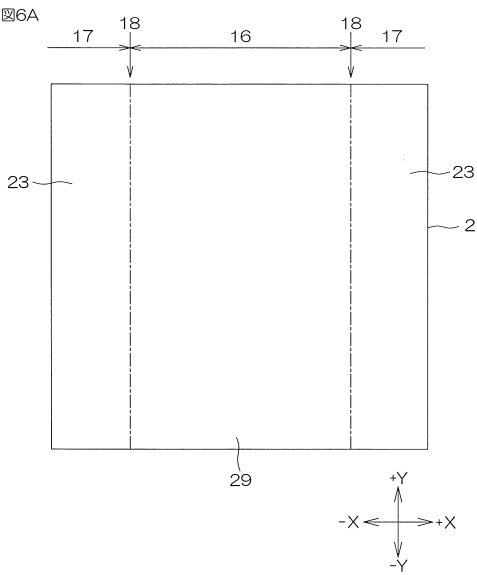
20

30

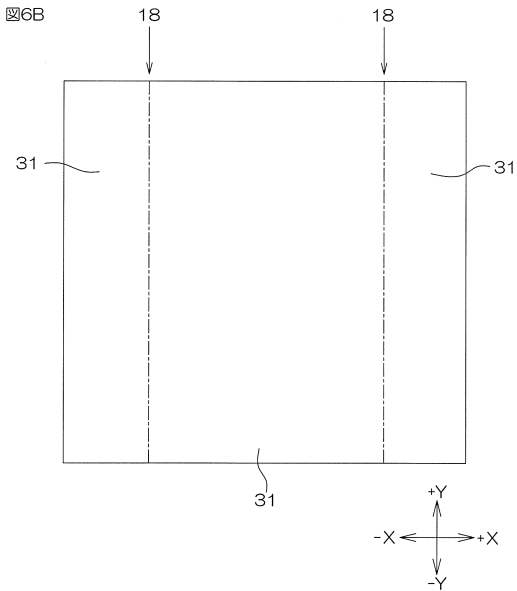
40

50

【図 6 A】



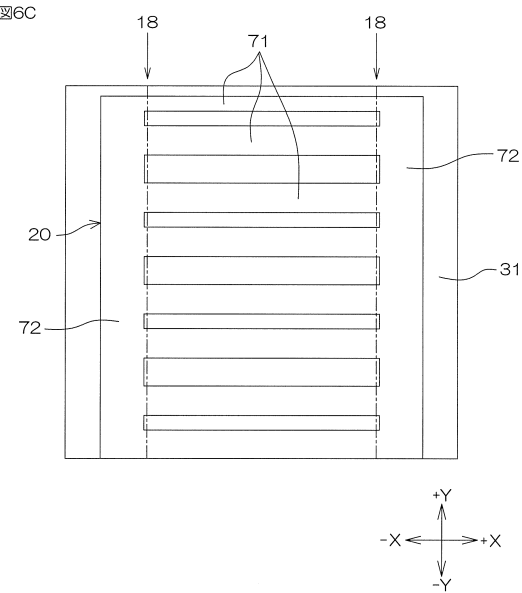
【図 6 B】



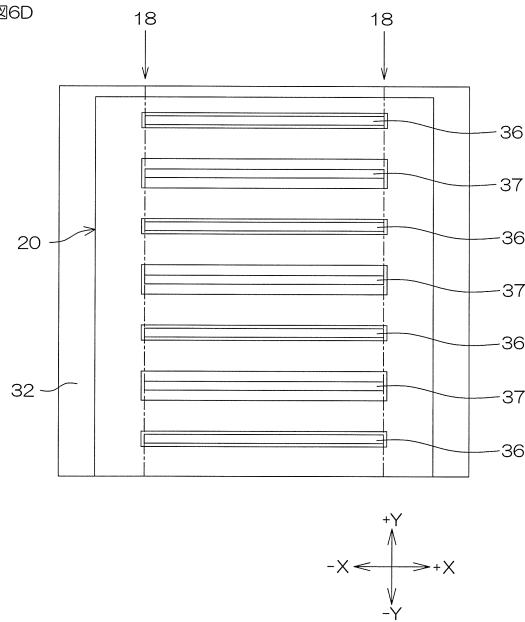
10

20

【図 6 C】



【図 6 D】

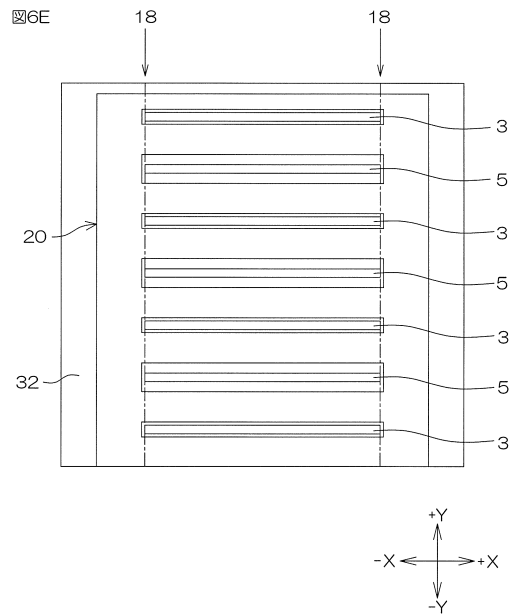


30

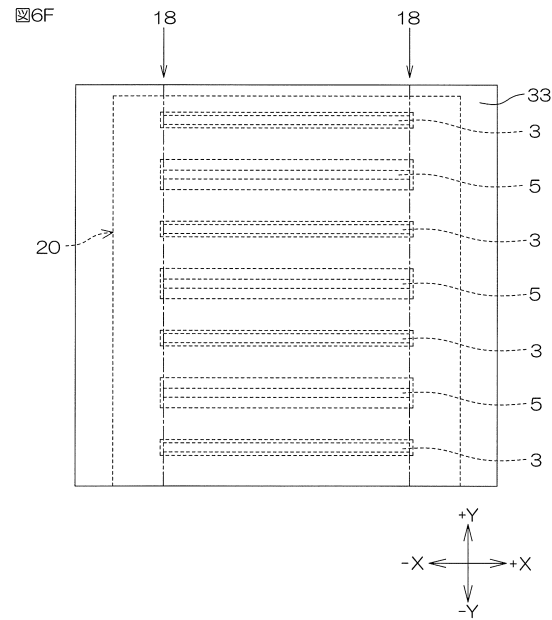
40

50

【図 6 E】



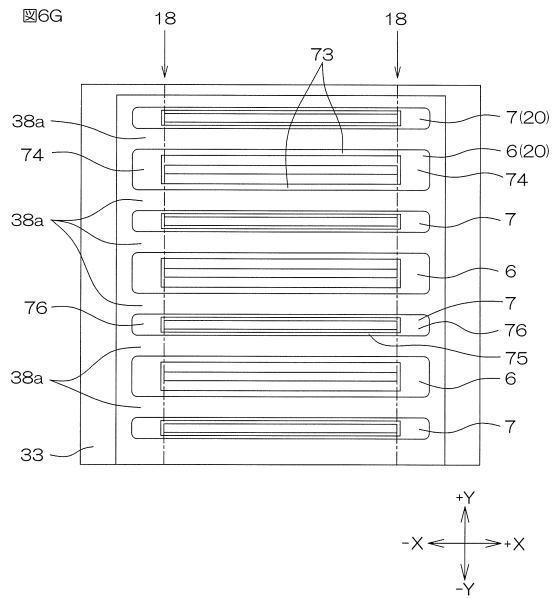
【図 6 F】



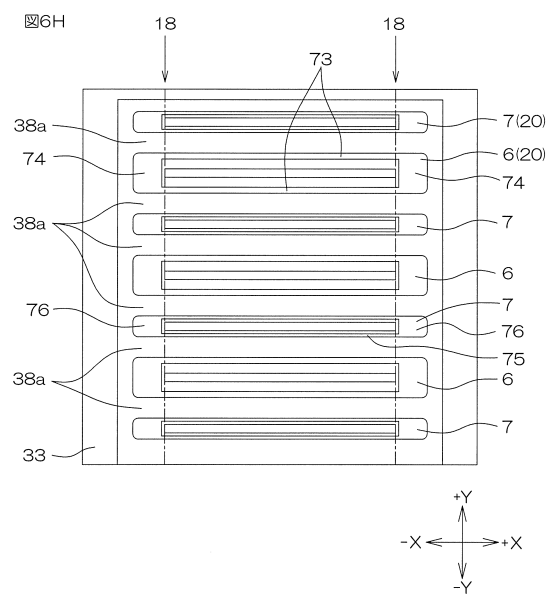
10

20

【図 6 G】



【図 6 H】

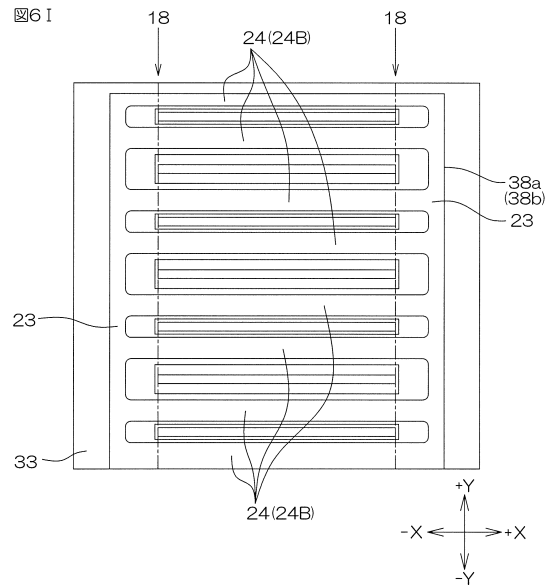


30

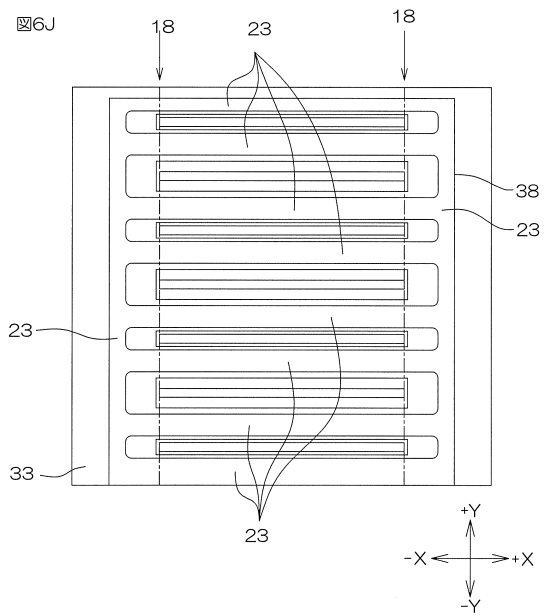
40

50

【図 6 I】

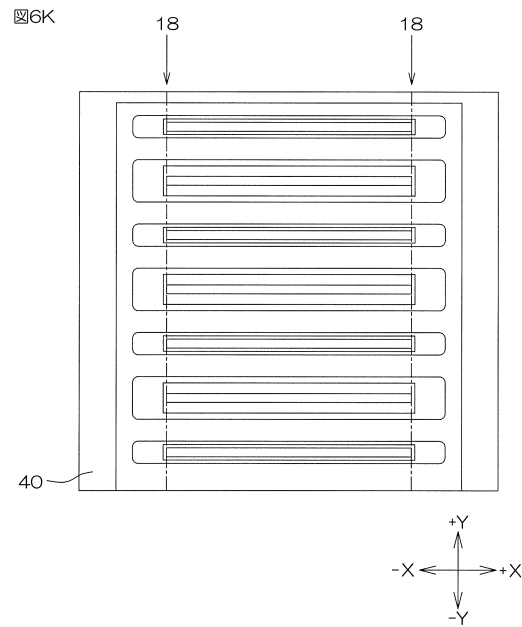


【図 6 J】

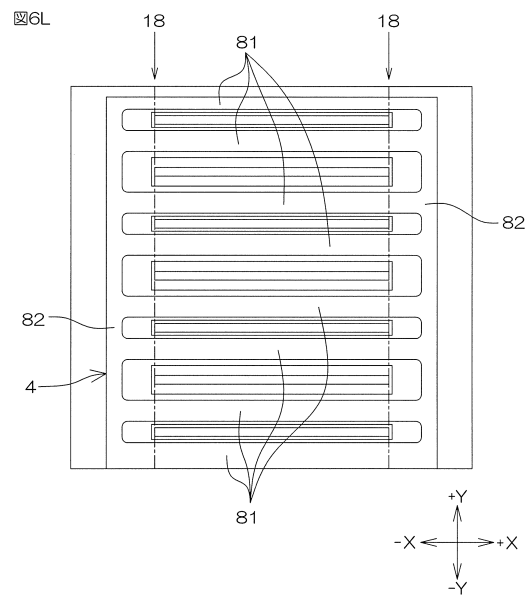


10

【図 6 K】



【図 6 L】



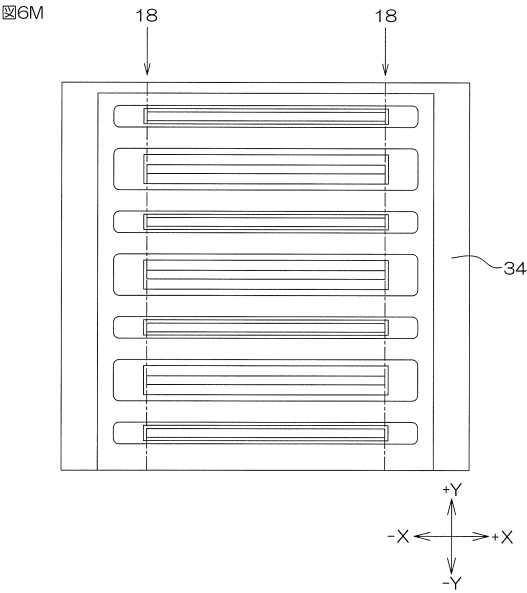
20

30

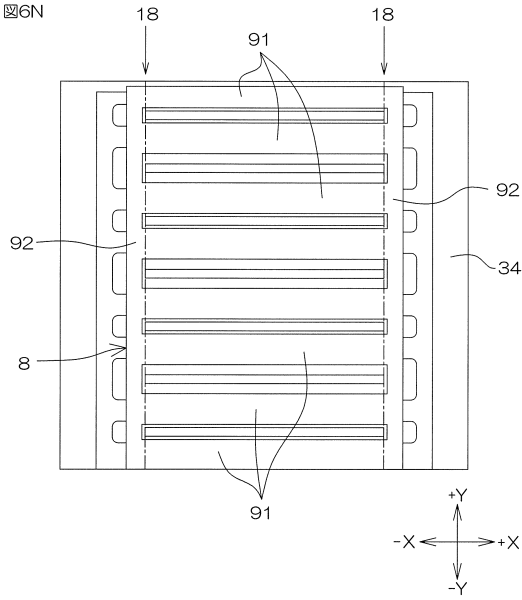
40

50

【図 6 M】

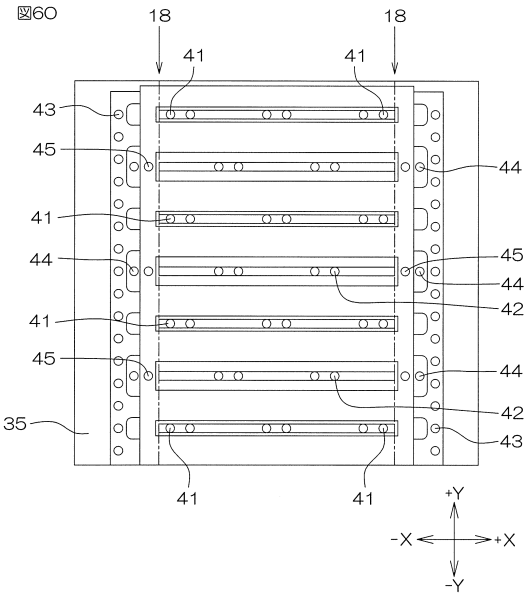


【図 6 N】

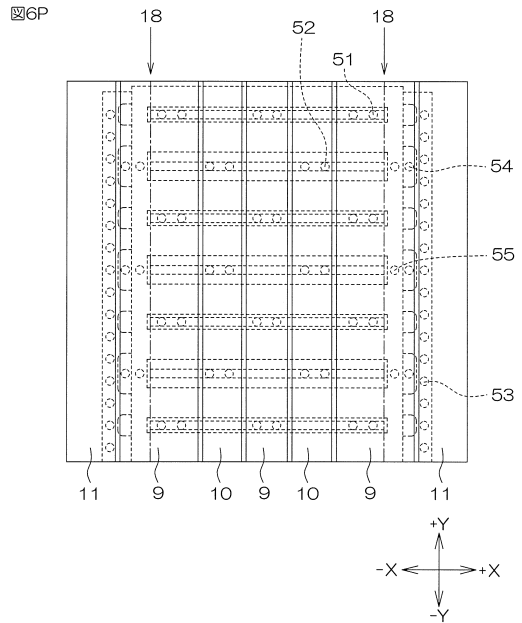


10

【図 6 O】



【図 6 P】



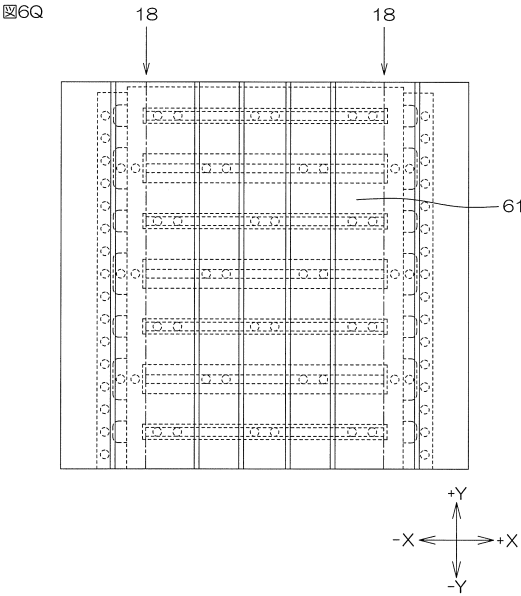
20

30

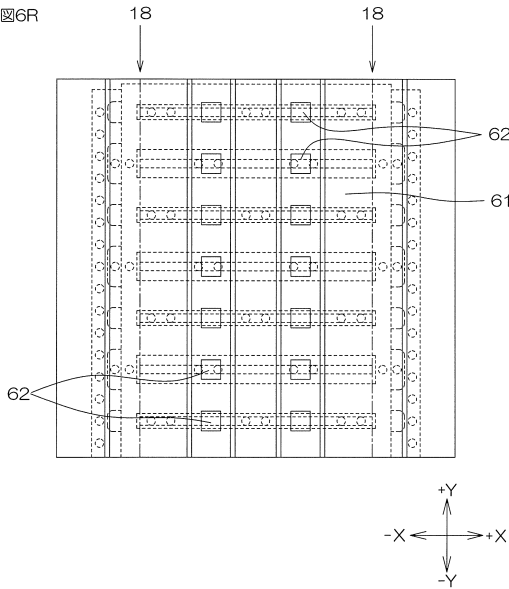
40

50

【図 6 Q】

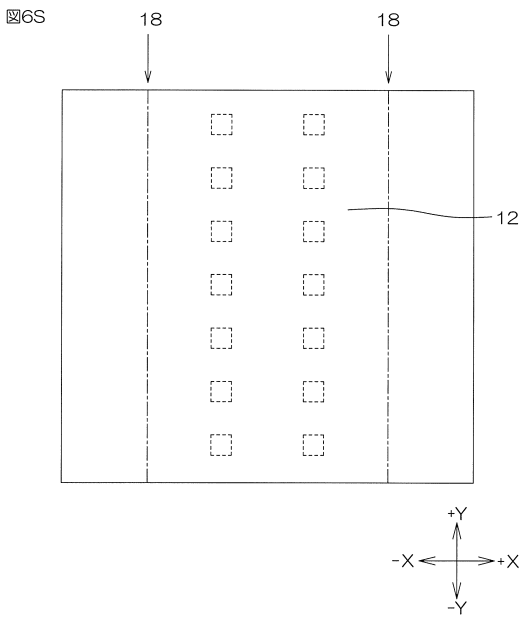


【図 6 R】

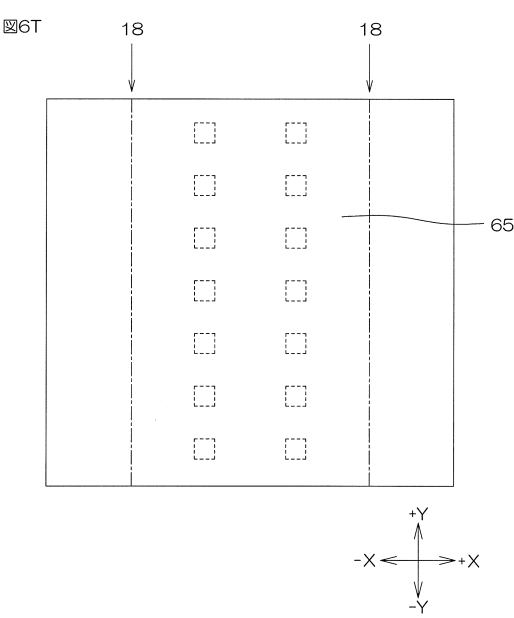


10

【図 6 S】



【図 6 T】



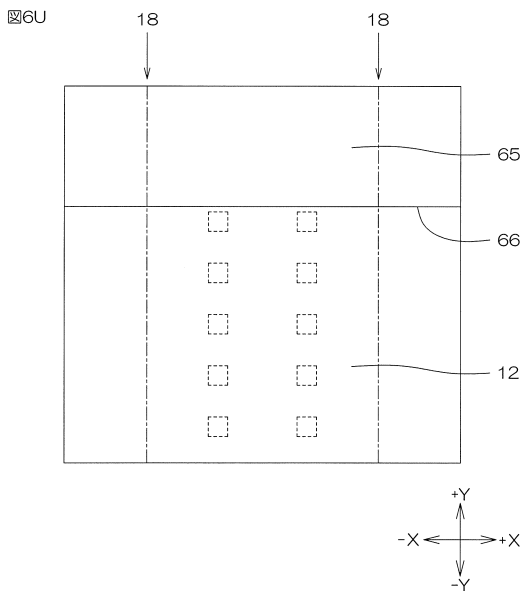
20

30

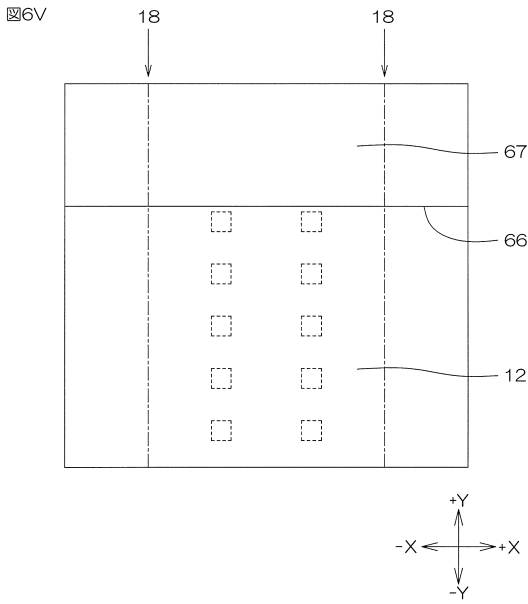
40

50

【図 6 U】

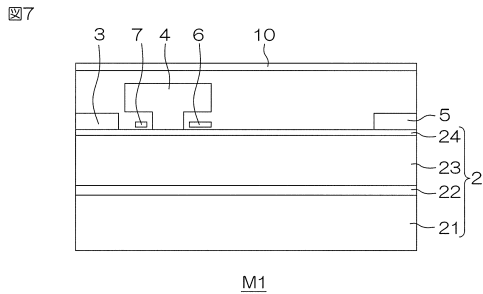


【図 6 V】

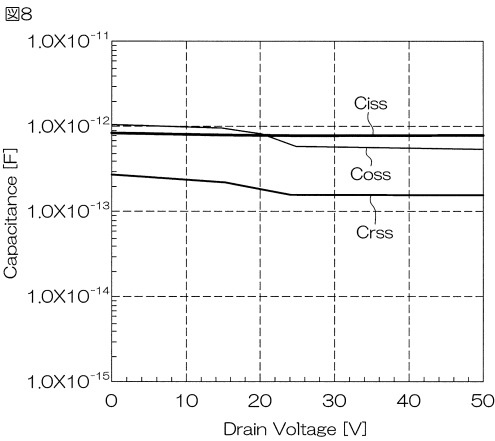


10

【図 7】



【図 8】



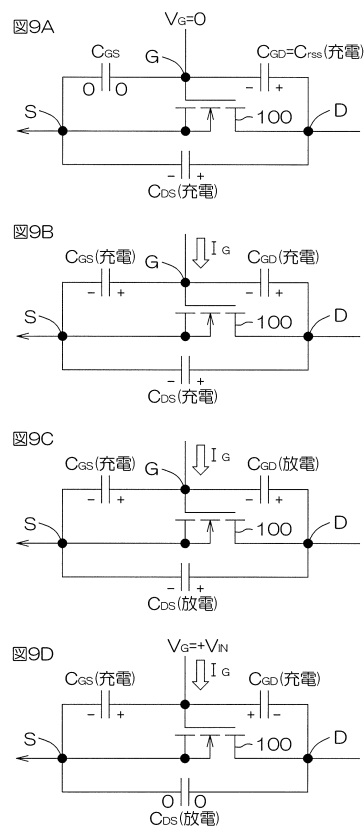
20

30

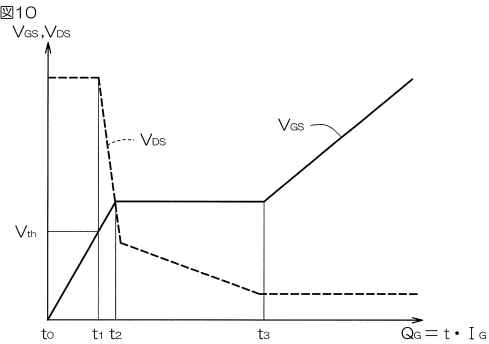
40

50

【図 9】

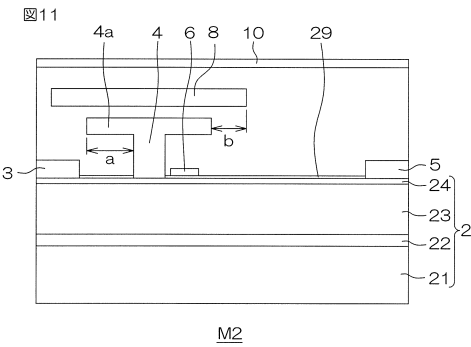


【図 10】



10

【図 11】



【図 12】

図12

a=0.8 μ m

Each capacitance at $V_{ds}=50V$

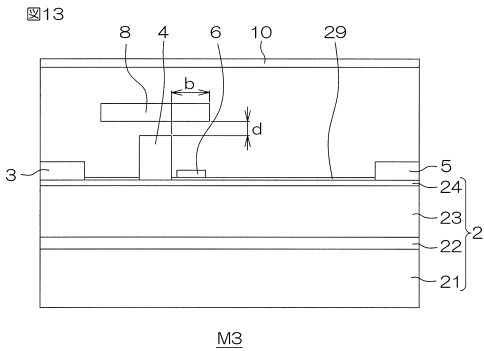
	Ciss(pF)	Coss(pF)	Crss(pF)
比較例 (第2SFPなし)	0.65	0.41	0.13
実施形態 (b=0.6 μ m)	0.97	0.64	0.0055

30

40

50

【図 1 3】



【図 1 4】

図14

Each capacitance at $V_{ds}=50V$

突出量b (μm)	Ciss(pF)	Coss(pF)	Crss(pF)
比較例 (第2SFPなし)	0.48	0.37	0.045
0	0.57	0.40	0.012
0.3	0.58	0.41	0.0046
0.6	0.58	0.43	0.0025
0.9	0.58	0.45	0.0019

10

【図 1 5】

図15

Each capacitance at $V_{ds}=50V$

間隔d (μm)	Ciss(pF)	Coss(pF)	Crss(pF)
0.1	0.70	0.43	0.0022
0.2	0.58	0.43	0.0025
0.4	0.52	0.44	0.0033

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L	29/78 (2006.01)	H 0 1 L	21/90	B
H 0 1 L	21/768 (2006.01)	H 0 1 L	21/88	S
H 0 1 L	23/522 (2006.01)	H 0 1 L	29/44	Y
H 0 1 L	21/3205 (2006.01)	H 0 1 L	29/58	G
H 0 1 L	29/41 (2006.01)			
H 0 1 L	29/423 (2006.01)			
H 0 1 L	29/49 (2006.01)			

(56)参考文献

特開 2 0 1 6 - 1 3 4 5 9 9 (J P , A)
国際公開第 2 0 1 4 / 1 8 8 6 5 1 (W O , A 1)
米国特許出願公開第 2 0 1 0 / 0 2 5 9 3 2 1 (U S , A 1)
特開 2 0 1 3 - 1 3 1 7 5 8 (J P , A)
特開 2 0 1 2 - 1 7 8 5 9 5 (J P , A)
国際公開第 2 0 1 4 / 0 7 3 2 9 5 (W O , A 1)
国際公開第 2 0 1 0 / 0 4 7 0 1 6 (W O , A 1)
特開 2 0 1 0 - 1 1 8 5 5 6 (J P , A)

(58)調査した分野 (Int.Cl., DB名)

H 0 1 L 2 9 / 7 7 8
H 0 1 L 2 9 / 8 1 2
H 0 1 L 2 1 / 3 3 8
H 0 1 L 2 9 / 4 1 7
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 7 6 8
H 0 1 L 2 1 / 3 2 0 5
H 0 1 L 2 9 / 4 1
H 0 1 L 2 9 / 4 2 3