



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

231009

(11) (B1)

(51) Int. Cl.³

G 05 D 23/19

(22) Přihlášeno 16 04 81
(21) (PV 2922-81)

(40) Zveřejněno 30 12 83

(45) Vydáno 15 06 86

(75)

Autor vynálezu

AMEROŽ ZDENĚK ing., ROŽEŇ PAVEL ing., PRAHA

(54) Regulátor chladicích věží

1

Vynález se týká regulátoru chladicích věží, určeného zejména pro řízení teploty výstupního média jednotlivých věží nebo více věží zapojených do společného okruhu.

V současné době se provozují chladicí věže převážně bez regulace, tento provoz je ne hospodárný a v případě potřeby řízení vyžaduje přítomnost obsluhy a proto se zavádějí různé způsoby regulace. Známé způsoby regulace používají škrticí klapky přívodního vzduchu, tento systém vyžaduje maximální výkon pohonné jednotky i při malém zatížení.

Jiné systémy regulace rychlosti pohonné jednotky využívají třípolohový regulátor teploty a mechanický programátor. Nevýhodou těchto zařízení jsou malá energetická účinnost, nároky na údržbu nebo malá variabilita při zvyšování počtu věží.

Regulátor chladicích věží podle vynálezu uvedené nevýhody nemá, neobsahuje žádné pohyblivé části a proto nevyžaduje žádnou údržbu. Určení počtu řízených věží se provádí programováním pevné paměti regulátoru, to zaručuje značnou variabilitu při rozšiřování počtu věží v okruhu, v základním zapojení od jedné do sedmi při třístupňové regulaci. Při rozšíření paměti lze zvyšovat počet věží libovolně.

Regulátor chladicích věží podle vynálezu, obsahuje elektrický teploměr, blok komparátorů, rozhodovací blok, generátor adres, blok paměti, blok výkonových spínačů, blok nulování, blok hodinových pulsů.

Podstata vynálezu pak spočívá v tom, že vstup teploměru je spojen s vnější soustavou, výstup teploměru je připojen na vstup bloku komparátorů, který obsahuje zdroj referenčního napětí, první a druhý výstup bloku komparátorů je připojen na první a druhý vstup rozhodovacího

231009

bloku, třetí a čtvrtý vstup rozhodovacího bloku je připojen na první a druhý výstup zdroje hodinových pulsů, pátý a šestý vstup rozhodovacího bloku je připojen na první a druhý výstup bloku paměti, první a druhý výstup rozhodovacího bloku je připojen na první a druhý vstup generátoru adres, třetí výstup rozhodovacího bloku je připojen na první vstup bloku nulování, třetí vstup generátoru adres je připojen na výstup bloku nulování, čtvrtý vstup generátoru adres je připojen na třetí výstup zdroje hodinových pulsů, první až pátý výstup generátoru adres je připojen na první až pátý vstup bloku paměti, šestý výstup generátoru adres je zapojen na první vstup zdroje hodinových pulsů, třetí až šestý výstup bloku paměti je připojen na první až čtrnáctý vstup bloku výkonových spínačů, druhý výstup bloku nulování je připojen na druhý vstup zdroje hodinových pulsů, druhý vstup bloku nulování je připojen na napájecí napětí, třetí vstup zdroje hodinových pulsů je připojen na vnější zdroj frekvence.

Vynález je blíže objasněn na příkladě provedení podle přiloženého výkresu, blokové schéma regulátoru chladicích věží. Uvedené blokové, ale i principiální schéma je shodné pro všechny způsoby spínání i pro všechny počty připojených věží, liší se pouze počtem spínačů v bloku výkonových spínačů 6 podle počtu věží a způsobem programování paměti v bloku paměti 2.

Na schématu je signál regulované teploty T_n chlazeného média přiveden na vstup 01 teploměru 1, na výstupu 11 se objeví napětí úměrné teplotě T_n . Toto napětí se přivede na vstup 111 bloku komparátorů 2. Blok komparátorů 2 obsahuje zdroj referenčního napětí a obvody pro nastavení horní a dolní meze teploty a komparátory úrovní. Je-li teplota T_n vyšší než nastavená horní mez, objeví se na výstupech 21 a 22 komparátoru 2 log "1".

Je-li teplota T_n nižší než dolní mez, objeví se na obou výstupech 21, 22 komparátoru 2 log "0". Je-li teplota T_n v intervalu vymezeném oběma mezemi, objeví se na výstupu 21 log "0" a na výstupu 22 log "1". Jsou-li oba vstupy 121 a 122 rozhodovacího bloku 3 v log "1", pak se v okamžiku příchodu hodinového pulsu do vstupu 182 objeví na výstupu 31 puls, který zvýší adresu na výstupech 41, 42, 43, 44 generátoru adres 4 o jedna. Pokud je teplota T_n vyšší než horní mez při každém hodinovém pulsu se zvyšuje adresa o jednu až do nejvyšší adresy určené počtem věží a způsobem regulace.

Při dosažení nejvyšší adresy se na výstupu 51 bloku paměti 2 objeví log "0", která na vstupu 151 rozhodovacího bloku 3 zablokuje hodinové pulsy pro zvyšování adres. Poklesne-li teplota T_n pod dolní mez, objeví se na obou vstupech 121 a 122 rozhodovacího bloku 3 log "0" a s příchodem hodinového pulsu do vstupu 182 se na výstupu 32 objeví puls, který sníží adresu generátoru adres 4 o jedna.

Pokud jsou na výstupech 21 a 22 bloku komparátoru 2 log "0" při každém hodinovém pulsu se snižuje adresa až do nejnižší adresy, kdy se na výstupu 52 bloku paměti 2 objeví log "0", která na vstupu 152 rozhodovacího bloku 3 zablokuje hodinové pulsy pro snižování adres. Je-li teplota T_n v intervalu určeném mezemi, pak se na výstupu 33 rozhodovacího bloku 3 objeví log "0", který na vstupu 133 bloku nulování 7 způsobí, že výstup 72 zablokuje na vstupu 172 zdroje hodinových pulsů 8 hodinové pulsy.

Generátor adres 4 na výstupech 41, 42, 43, 44 generuje adresy, které přes vstupy 141, 142, 143, 144 bloku paměti 2 vyvolají na výstupech 51, 52, 501, 502, 503, 504, 505, 506, 507, 508, 509, 510, 511, 512, 513, 514 obsah paměti. V paměti je uložen algoritmus řízení věží. Obsah paměti se objeví na vstupech 1501, 1502, 1503, 1504, 1505, 1506, 1507, 1508, 1509, 1510, 1511, 1512, 1513, 1514 bloku výkonových spínačů 6, který je přímo spojen s regulovanou soustavou. Okamžitý stav paměti udává stupeň regulace. Výstup 45 generátoru adres 4 se používá k posouvání adres při snižování chlazení a způsobuje časové zpoždění, odvozené od signálu na výstupu 84 zdroje hodinových pulsů 8; při spínání druhého regulačního stupně po odpojení třetího regulačního stupně. Signál na výstupu 46 generátoru adres 4 připojený na vstup 146 zdroje hodinových pulsů 8, zabráňuje zablokování hodinových pulsů

před uplynutím časového spoždění. Signál Uc na vstupu 07 bloku nulování 7, způsobuje počáteční nastavení regulátoru po připojení na síť, výstup 71 bloku nulování 7 slouží k nastavení počáteční adresy generátoru adres 4 po připojení na síť. Od signálu f na vstupu 08 zdroje hodinových pulsů 8 je odvozeno časování regulátoru, na výstupu 81 je vzorkovací impuls pro přepis signálů na vstupech 151, 152 rozhodovacího bloku 3.

Zásadní uplatnění regulátoru chladicích věží je v oblasti úspory elektrické energie. Další oblast použití je při regulaci na konstantní teplotu chladicího média.

PŘEDMĚT VYNÁLEZU

Regulátor chladicích věží, zejména pro řízení teploty výstupního média, sestávající z elektrického teploměru, bloku komparátorů, rozhodovacího bloku, generátoru adres, bloku pamětí, bloku výkonových spínačů, bloku nulování, bloku hodinových pulsů, vyznačený tím, že vstup (01) teploměru (1) je spojen s vnější soustavou, výstup (11) teploměru (1) je připojen na vstup (111) bloku komparátoru (2), který obsahuje zdroj referenčního napětí, první a druhý výstup (21 a 22) bloku komparátoru (2) je připojen na první a druhý vstup (121 a 122) rozhodovacího bloku (3), třetí a čtvrtý vstup (181 a 182) rozhodovacího bloku (3) je připojen na první a druhý výstup (81 a 82) zdroje hodinových pulsů (8), pátý a šestý vstup (151 a 152) rozhodovacího bloku (3) je připojen na první a druhý výstup (51 a 52) bloku pamětí (5), první a druhý výstup (31 a 32) rozhodovacího bloku (3) je připojen na první a druhý vstup (131 a 132) generátoru adres (4), třetí výstup (33) rozhodovacího bloku (3) je připojen na první vstup (133) bloku nulování (7), třetí vstup (171) generátoru adres (4) je připojen na výstup (71) bloku nulování (7), čtvrtý vstup (183) generátoru adres (4) je připojen na třetí výstup (83) zdroje hodinových pulsů (8), první až pátý výstup (41, 42, 43, 44, 45) generátoru adres (4) je připojen na první až pátý vstup (141, 142, 143, 144, 145) bloku pamětí (5), šestý výstup (46) generátoru adres (4) je zapojen na první vstup (146) zdroje hodinových pulsů (8), třetí až šestnáctý výstup (501, 502, 503, 504, 505, 506, 507, 508, 509, 510, 511, 512, 513, 514) bloku pamětí (5) je připojen na první až šestnáctý vstup (1501, 1502, 1503, 1504, 1505, 1506, 1507, 1508, 1509, 1510, 1511, 1512, 1513, 1514) bloku výkonových spínačů (6), druhý výstup (72) bloku nulování (7) je připojen na druhý vstup (172) zdroje hodinových pulsů (8), druhý vstup (07) bloku nulování (7) je připojen na napájecí napětí, třetí vstup (08) zdroje hodinových pulsů (8) je připojen na vnější zdroj frekvence.

1 výkres

231009

