



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201436294 A

(43)公開日：中華民國 103 (2014) 年 09 月 16 日

(21)申請案號：103119731

(22)申請日：中華民國 99 (2010) 年 09 月 28 日

(51)Int. Cl. : *H01L33/48 (2010.01)*

H01L33/62 (2010.01)

H01S5/022 (2006.01)

(30)優先權：2009/10/01 美國

12/572,074

(71)申請人：伊克塞利塔斯加拿大股份有限公司 (加拿大) EXCELITAS CANADA INC. (CA)
加拿大

(72)發明人：張現柱 ZHANG, XIANZHU (CA)；巴洛 亞瑟 BARLOW, ARTHUR (GB)；德里
昂 傑瑞 DELEON, JERRY (PH)；史基士 朱爾根 SCHILZ, JUERGEN (DE)

(74)代理人：惲軼群；陳文郎

申請實體審查：有 申請專利範圍項數：12 項 圖式數：10 共 39 頁

(54)名稱

具有成側向形態或頂向形態裝置定向之疊層無引線載架封裝的光電子裝置 (一)

OPTOELECTRONIC DEVICES WITH LAMINATE LEADLESS CARRIER PACKAGING IN SIDE-LOOKER OR TOP-LOOKER DEVICE ORIENTATION

(57)摘要

一疊層無引線載架封裝體包含一光電子晶片，一支撐該晶片的基板，該基板包含複數導電及介電層；一耦接至該光電子晶片及一置於該基板之頂表面上之線接合墊的線接合件；一覆蓋該光電子晶片、該線接合件以及至少該基板頂表面之一部分的包封，其中該囊封係一模塑化合物；以及其中將該封裝體加以安排以安裝為一側向形態。一用以製造疊層無引線載架封裝體的製程，其包含準備一基板；施敷環氧樹脂黏著劑至一晶粒附接墊；安裝一光電子晶片在該晶粒附接墊上；線接合件該光電子晶片；模塑一模塑化合物以形成一覆蓋該光電子晶片、一線接合件以及該基板頂表面的包封；以及切割該基板為個別的封裝體。

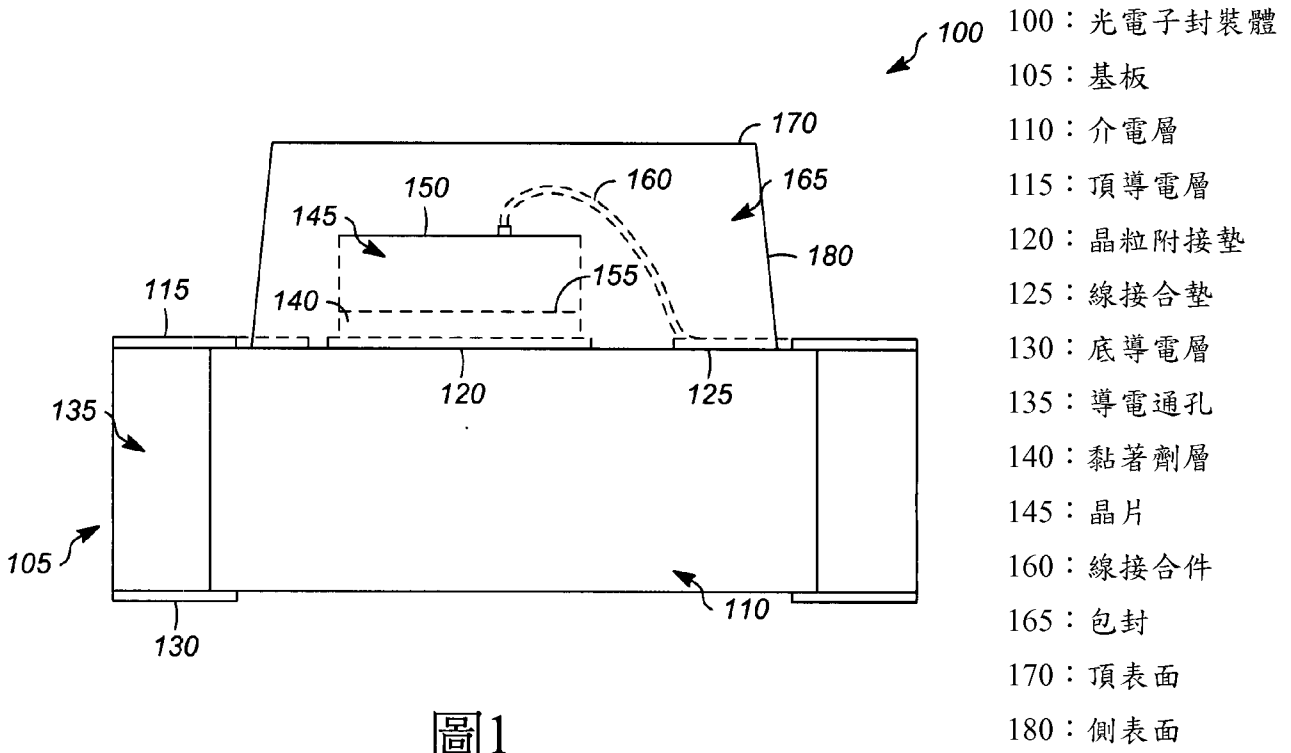


圖1



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201436294 A

(43)公開日：中華民國 103 (2014) 年 09 月 16 日

(21)申請案號：103119731

(22)申請日：中華民國 99 (2010) 年 09 月 28 日

(51)Int. Cl. : *H01L33/48 (2010.01)*

H01L33/62 (2010.01)

H01S5/022 (2006.01)

(30)優先權：2009/10/01 美國

12/572,074

(71)申請人：伊克塞利塔斯加拿大股份有限公司 (加拿大) EXCELITAS CANADA INC. (CA)
加拿大

(72)發明人：張現柱 ZHANG, XIANZHU (CA)；巴洛 亞瑟 BARLOW, ARTHUR (GB)；德里
昂 傑瑞 DELEON, JERRY (PH)；史基士 朱爾根 SCHILZ, JUERGEN (DE)

(74)代理人：惲軼群；陳文郎

申請實體審查：有 申請專利範圍項數：12 項 圖式數：10 共 39 頁

(54)名稱

具有成側向形態或頂向形態裝置定向之疊層無引線載架封裝的光電子裝置 (一)

OPTOELECTRONIC DEVICES WITH LAMINATE LEADLESS CARRIER PACKAGING IN SIDE-LOOKER OR TOP-LOOKER DEVICE ORIENTATION

(57)摘要

一疊層無引線載架封裝體包含一光電子晶片，一支撐該晶片的基板，該基板包含複數導電及介電層；一耦接至該光電子晶片及一置於該基板之頂表面上之線接合墊的線接合件；一覆蓋該光電子晶片、該線接合件以及至少該基板頂表面之一部分的包封，其中該囊封係一模塑化合物；以及其中將該封裝體加以安排以安裝為一側向形態。一用以製造疊層無引線載架封裝體的製程，其包含準備一基板；施敷環氧樹脂黏著劑至一晶粒附接墊；安裝一光電子晶片在該晶粒附接墊上；線接合件該光電子晶片；模塑一模塑化合物以形成一覆蓋該光電子晶片、一線接合件以及該基板頂表面的包封；以及切割該基板為個別的封裝體。

發明摘要

※ 申請案號：103119731 (由99132)8/分割

※ 申請日：99.9.28

※ IPC 分類：H01L 33/48 (2010.01)

H01L 33/62 (2010.01)

H01S 5/022 (2006.01)

【發明名稱】(中文/英文)

具有成側向形態或頂向形態裝置定向之疊層無引線載架封裝的光電子裝置(一) / Optoelectronic Devices with Laminate Leadless Carrier Packaging in Side-Looker or Top-Looker Device Orientation

【中文】

一疊層無引線載架封裝體包含一光電子晶片，一支撐該晶片的基板，該基板包含複數導電及介電層；一耦接至該光電子晶片及一置於該基板之頂表面上之線接合墊的線接合件；一覆蓋該光電子晶片、該線接合件以及至少該基板頂表面之一部分的包封，其中該囊封係一模塑化合物；以及其中將該封裝體加以安排以安裝為一側向形態。一用以製造疊層無引線載架封裝體的製程，其包含準備一基板；施敷環氧樹脂黏著劑至一晶粒附接墊；安裝一光電子晶片在該晶粒附接墊上；線接合件該光電子晶片；模塑一模塑化合物以形成一覆蓋該光電子晶片、一線接合件以及該基板頂表面的包封；以及切割該基板為個別的封裝體。

【英文】

A laminate leadless carrier package comprising an optoelectronic chip, a substrate supporting the chip, the substrate comprising a plurality of conductive and dielectric layers; a wire bond coupled to the optoelectronic chip and a wire bond pad positioned on the top surface of the substrate; an encapsulation covering the optoelectronic chip, the wire bond, and at least a portion of the top surface of the substrate, wherein the encapsulation is a molding compound; and wherein the package is arranged to be mounted as a side-looker. A process for manufacturing laminate leadless carrier packages, comprising preparing a substrate; applying epoxy adhesive to a die attach pad; mounting an optoelectronic chip on the die attach pad; wire-bonding the optoelectronic chip; molding a molding compound to form an encapsulation covering the optoelectronic chip, a wire bond, and the top surface of the substrate; and dicing the substrate into individual packages.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

100…光電子封裝體	135…導電通孔
105…基板	140…黏著劑層
110…介電層	145…晶片
115…頂導電層	160…線接合件
120…晶粒附接墊	165…包封
125…線接合墊	170…頂表面
130…底導電層	180…側表面

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

具有成側向形態或頂向形態裝置定向之疊層無引線載架封裝的光電子裝置(一) / Optoelectronic Devices with Laminate Leadless Carrier Packaging in Side-Looker or Top-Looker Device Orientation

【技術領域】

[0001]本發明大體上係關於光電子封裝體，且更特別關於具有改良特徵的光電子封裝體及一種用以製造該封裝體的製程。

【先前技術】

[0002]光電子裝置係為轉換電氣訊號為光學訊號及反之的電至光換能器或光至電換能器。一些光電子裝置係光發射體，諸如雷射及發光二極體(LED)，而其他裝置係光偵測器或光的感應器。例如，一光二極體係一能夠轉換光為電流或電壓的光偵測器，及一光電晶體係一帶有對光敏感之基極－集極接面的雙極性電晶體。一PIN光二極體係一種帶有一夾在P型及N型接觸區域間寬闊的、幾乎無雜質的光吸收半導體層之光偵測器。突崩光二極體(Avalanche Photodiode, APD)係一種當施加一高逆偏壓時會出現一內部電流增益之光偵測器；該內部電流增益係由於碰撞電離效應或突崩效應而出現。在所謂蓋革(Geiger)或光倍增器模式中運作的APD，通常稱為SiPM，也落在此一類別。對於PIN及APD的典型應用為遠距光纖電信及雷射測距儀，即，

使用一雷射光束以決定至一反射性物體之距離的裝置。

[0003]半導體光電子裝置的整合及封裝與其在積體電路(IC)及微機電系統中(MEM)的對應者共有許多共同的挑戰，諸如電氣、熱以及應力問題。光電子裝置也具有一些獨特特性且因此面臨一些獨特的挑戰。

[0004]關於整合及設計特性，多數光電子裝置具有一大的作用區域，帶有高達幾公分的形貌尺度，並且其功能層深度可能與晶片或晶圓一樣厚：厚至幾百微米。在多數例子中，裝置前側及背側皆有接點。就PIN及APD裝置而言，供應電壓可高至幾百伏特。一般而言，光電子裝置可能需要光學耦合及/或遮阻能力，諸如抗反射塗佈及過濾。此外，光電子裝置的整合及封裝通常需要精確的機械性尺度與對準、一在所關注波長下係為透明的光學塗佈或包封、適合之光學元件(例如透鏡)以及包封材料上之一表面完工處理。

[0005]光電子裝置的整合及封裝的挑戰包括低產量組裝線、小晶圓尺寸、以及整合異質半導體至一單一裝置上的需要。用於光電子裝置的組裝線在相對低的產量上運作；例如，每年一萬件就可被視為量產。一般而言，生產訂單可自幾件裝置至幾千件裝置之間變化。用於光電子裝置的晶圓尺寸與IC相比是小的。例如，用於光電子裝置的晶圓加工線以2至6吋晶圓運作，其與在IC產業中使用的6至12吋晶圓相比是小的。另一項挑戰是要將異質半導體，諸如IV族(矽)半導體及III-V族半導體，整合為一單一裝置。

[0006]在半導體產業中，相較於IC，光電子裝置被視為特製品。然而，光電子裝置亦面對來自商業與軍事市場區段兩者的成本削減壓力。

[0007]在本發明中，揭露了光電子裝置的改良特徵。此外，揭露了矩陣組裝技術以符合對於低成本、高產量、微型化、以及可與表面安裝技術(SMT)相容之光電子產品的市場要求。

【發明內容】

[0008]根據本發明的一第一面向，係提供一種疊層無引線載架封裝體，其包含一光電子晶片、一支撐該光電子晶片的基板，該基板包含疊層在一起的複數導電及介電層；一置於該基板頂表面上的線接合墊；一耦接至該光電子晶片及該線接合墊的線接合件；一覆蓋該光電子晶片、該線接合件以及該基板頂表面之至少一部分的包封，其中該包封係一模塑化合物；以及其中該疊層無引線載架封裝體係安裝為一側向形態。在另一個實例中，疊層無引線載架封裝體可安裝為一頂向形態或一側向形態。在一些實例中，光電子晶片係藉由不帶有一引線框的基板所支撐。

[0009]複數導電及介電層可包括一底導電層、一頂導電層、以及一介於頂與底導電層之間的介電層。封裝體可更包含複數導電通孔，提供頂導電層及底導電層之間的電性連接。該頂導電層可包括一晶粒附接墊，並且光電子晶片可被黏合至該晶粒附接墊。線接合墊可為頂導電層的一部份。頂導電層可包括二用以將頂導電層焊接至印刷電路板

上之安裝墊的槽狀通孔。

[0010] 在一些實例中，模塑化合物具有低離子含量。在一些實例中，模塑化合物具有高抗濕性。在一些實例中，模塑化合物係光學性透明。在一些實例中，模塑化合物過濾特定波長的光線。

[0011] 在一些實例中，包封提供對線接合件沒有施加高應力的保護。該包封可覆蓋基板的整個頂表面。在一些實例中，該包封的頂表面被模塑為一「光學平坦」表面。在一些實施例中，該包封的頂表面被模塑為一透鏡。該透鏡可係一圓柱形透鏡、球面透鏡、非球面透鏡、圓頂形透鏡、超環面透鏡或任何其他光學元件。當安裝為一側向形態時，該包封可更包含用以穩定光電子封裝體的一基腳。

[0012] 光電子晶片可為一雷射、發光二極體(LED)、光二極體、光電晶體、PIN光二極體、突崩光二極體(APD)、矽光倍增器(SiPM)或任何光學偵測器晶片。基板可選自以薄膜陶瓷基板、厚膜陶瓷基板以及任何適當材料之印刷電路板所組成的群組。

[0013] 根據一本發明的第二面向，係提供一種用以製造複數疊層無引線載架封裝體的方法，包含製備一基板，其中製備基板包含將一頂導電層、一底導電層、以及一介於頂與底導電層之間的介電層疊層在一起，且其中該頂導電層包含一晶粒附接墊、一線焊墊以及二槽狀通孔；將環氧樹脂黏著劑施敷至晶粒附接墊；將一光電子晶片安裝在該晶粒附接墊上；使用一線接合件來線接合該光電子晶片與

該線接合墊；以一模塑化合物模塑以形成一覆蓋該光電子晶片、該線焊以及該基板頂表面之至少一部份的包封及/或光學元件；以及切割該基板為個別的疊層無引線載架封裝體。

[0014]製備基板可更包含製備複數導電通孔，提供頂導電層及底導電層之間的電性連結。製備基板更包含提供在頂導電層上的複數槽狀通孔，用以將該頂導電層焊接至一印刷電路板上的安裝墊。

[0015]在一些實例中，以模塑化合物模塑對線接合件不會施加高應力。以模塑化合物模塑可更包含將包封之頂表面模塑為一平坦表面。以模塑化合物模塑可更包含模塑該包封之頂表面為一透鏡。該透鏡可選自以圓柱形透鏡、球面透鏡、超環面透鏡、非球面透鏡以及圓頂形透鏡所組成的群組。

【圖式簡單說明】

[0016]本申請案能藉由參考以下與隨附圖式有關聯的說明而最佳地理解，其中類似部件可藉由類似數字所標指。

[0017]圖1繪示一本發明例示光電子封裝體100的一截面圖。

[0018]圖2繪示安裝為一側向形態210或一頂向形態220之在一印刷電路板上的一例示光電子封裝體。

[0019]圖3A~3C分別繪示本發明另一例示光電子封裝體的頂視圖、截面圖以及外觀圖。圖3D繪示可與圖3A~3C中所示光電子封裝體一同使用的例示安裝墊。

[0020]圖4A~4D分別繪示本發明另一例示光電子封裝體的頂視圖、截面圖以及外觀圖。該封裝體可被安裝為如圖4E中所示的一側向形態。

[0021]圖5A~5D繪示一例示光電子封裝體的不同視圖，該封裝體帶有一模塑為圓頂形透鏡的包封頂表面。該封裝體可安裝為如圖5E中所示的一側向形態。

[0022]圖6A~6E繪示另一例示光電子封裝體的不同視圖，該封裝體帶有一基底及一模塑為圓柱形透鏡的包封頂表面。

[0023]圖7A繪示帶有一模塑為超環面透鏡之包封的一例示光電子封裝體。圖7B繪示如圖7A中所示之例示光電子封裝體的底視圖。

[0024]圖8A及8B繪示一例示光電子封裝體805，其中一晶片840由一基板830所支撐，且其中該晶片840的作用區域845係面向該基板830。

[0025]圖9繪示用於製造本發明中所述光電子封裝體的一例示矩陣組裝方法900。

[0026]圖10A~10F繪示在例示矩陣組裝方法900之不同階段期間的基板之一部分，且圖10G繪示一個別的光電子封裝體，該封裝體係例示矩陣組裝方法900之產品。

【實施方式】

[0027]以下說明係呈現來使熟習此藝者能製造並利用本發明，並且係於特殊應用例及其需求的脈絡下提供。實施例的各種修改對於熟習此藝者而言將是輕易明顯的，並

且本文所定義的廣義原理可適用至其他實施例及應用而沒有偏離本發明的精神與範圍。此外，在以下說明之中，許多細節係為了解釋上之目的而被提出。

[0028]然而，熟習此藝者將瞭解到，本發明可在沒有使用這些特定細節下實施。在其他例子中，為了不使本發明說明與不必要細節相混淆，熟知的結構及裝置係顯示於塊狀圖解形式顯示。因此，本發明係非意欲受限於所示實施例，但係意欲授予與本文所揭露之原理及特徵一致的最廣範圍。

[0029]當本發明係就特定實例及繪示圖式加以說明時，熟習此藝者將認知到，本發明係不受限於所述實例或圖式。熟習此藝者將認知到，各種實施例的操作，在適當時，可使用硬體、軟體、韌體、或其組合加以執行。

[0030]圖1繪示本發明一例示光電子封裝體100的一截面圖。該光電子封裝體100包含一基板105、一晶片145、以及一包封165。

[0031]晶片145可為任何光電子裝置，包括雷射、LED、光二極體、光電晶體、PIN、APD、SiPM、以及類似者。例如，晶片145可為一任何適當材料所形成的APD晶片，諸如IV族(矽)半導體及III-V族半導體。該APD晶片可具有任何結構，諸如一磊晶晶圓(EPI)或一達穿型(reach-through)結構。

[0032]光電子封裝體100可為一疊層無引線載架(LLC)。一無引線載架使用與一印刷電路板接觸的平坦金屬

墊。沒有自該封裝體延伸的針腳並且其該封裝體可直接安裝在印刷電路板上。一疊層晶片載架包含疊層在一起之多數層的導電及介電層。在一實例中，該疊層無引線載架包括一頂導電層及一底導電層，而有一介電層介於兩者之間，如以下更加詳細之說明。取決於設計的複雜度，該封裝體可具有許多不同的傳導及/或介電層。

[0033]光電子封裝體100包括一用於支撐晶片145的基板105。該基板105可為，但不限於，任何薄膜陶瓷基板、厚膜陶瓷基板及不同種類之印刷電路板(PCB)。在一較佳實施例中，該光電子封裝體100不包括任何引線框。該基板105可包括一介電層110、分別被設置在該介電層110上方及下方的一頂導電層115與一底導電層130，以及提供該頂導電層115與底導電層130間之電性連接的複數導電通孔135。該等導電通孔135可被利用在頂向或側向形態裝置定向(以下會更加詳細地描敘該兩種定向)。該頂導電層115包括一用以附接晶片145到該基板105上的晶粒附接墊120。特別是，一黏著劑層140可用以附接晶片145到基板105上方之晶粒附接墊120上。該頂導電層115亦包括一用以附接一線接合件160的線接合墊125，該線接合件160提供該晶片145及該頂導電層115之間的一電性連接。每一導電通孔135可為一不同溝槽形狀的小開口，諸如一小圓開口。

[0034]設置包封165以包封晶片145、線接合件160以及基板105或是部分的基板105。在一例示性實施例中，該包封165被用以包封一APD晶片。由於APD晶片通常於高電壓

下操作，該包封165可為一具有低離子含量及高抗濕性的模塑化合物。在一些例示性實施例中，該包封165可為一對晶片145及線接合件160提供保護而不對線接合件160施加高應力的模塑化合物。在一些例示性實施例中，該模塑化合物可為光學性透明—它不過濾或減弱特定波長之光線。舉例來說，APTEK 6100-1 A/B可被用作為模塑化合物。APTEK 6100-1 A/B係一在光電子封裝體中被設計來用於LED晶片之包封的兩種成分、未填充的、如水清澈的、硬式系統。它提供環境性保護，且當鑄造時，可作為裝置的透鏡部份，展現出優越的清澈性及透光性。在另一實例中，該模塑化合物可具有可減弱、遮阻或過濾某些波長內之光線的材料。舉例來說，APTEK 6103-A/B可用作為模塑化合物。APTEK 6103-A/B係一在光電子封裝體中被設計來用於紅外線(IR)LED晶片之包封的兩種成分、未填充的、深紅色的、硬式系統。它提供環境性保護，且當鑄造時，可作為裝置的透鏡部份，設計為對IR光透明而同時遮阻掉可見光。

[0035]圖1顯示包封165僅覆蓋基板105之頂表面的一部分，但當最終應用需要時，該包封165可覆蓋基板105之整個頂表面。該包封165之側表面180可為垂直、傾斜或在該包封之不同區段中以不同角度傾斜。該包封165之頂表面170(光學介面)可被模塑為一平坦表面或一圓柱形、球面、非球面、圓頂形、超環面或類似者。

[0036]如圖2所示，光電子封裝體100可在一印刷電路板上安裝為一側向形態210或一頂向形態220。一般而言，可

基於在光電子晶片之作用區域上打照或發射的光線相對於該印刷電路板表面方向來選擇定向。舉例來說，假如打在光二極體作用區域的光線或自LED作用區域發射的光線係垂直於該印刷電路板，則可能使用一頂向形態組態。在此一組態中，光電子晶片的作用區域係平行於該印刷電路板。反之，假如光線係平行於該印刷電路板，則可能使用一側向形態組態。在此一組態中，光電子晶片的作用區域係垂直於該印刷電路板。

[0037]圖3A~3C分別繪示本發明另一例示光電子封裝體的頂視圖、剖面圖以及透視圖。該等圖式中的尺度為公厘。然而，應瞭解到的是，在該等圖式上所提供之尺度係藉由實例之方式提供，並且熟習此藝者可想到其他修改而沒有偏離本發明的範圍及精神。如圖3B所示，基板310可為一陶瓷材料或一印刷電路板。在圖3B中顯示一包封324的一側表面320為在該包封324之不同區段中以不同角度傾斜。一光電子晶片322係藉由一黏著劑層321附接至該基板310。一線接合件323係耦接至該光電子晶片322及一位於該基板之頂表面的線接合墊(圖式未顯示)。如上所述，一無引線載架使用與一印刷電路板形成接觸之平坦金屬墊。圖3D繪示可與圖3A~3C所示之光電子封裝體一起使用的例示安裝墊。

[0038]圖4A~4D繪示本發明一例示光電子封裝體的不同視圖。該封裝體可被安裝成如圖4E所示的一側向形態。該等圖式中的尺度為公厘。然而，應瞭解到的是，在該等

圖式上所提供之尺度係藉由實例之方式提供，並且熟習此藝者可想到其他修改而沒有偏離本發明的範圍及精神。部件420係一頂導電層的一部分並且部件420之一部分可形成一線接合墊。部件420將電能自一線接合件440傳導至印刷電路板(PCB)上之焊料。假如該光電子裝置係安裝成一側向形態，槽狀通孔430及435可被焊接以與印刷電路板上的安裝墊形成電性接觸。圖4C描繪該例示光電子封裝體的底視圖。細條410，以0.05公厘的一繪示尺度顯示，係一位於底側之包覆金屬化層且可自一導電金屬層作成。

[0039]圖5A~5D繪示一帶有一圓頂形透鏡之例示光電子封裝體的不同視圖。如圖5B及5E所示，包封的頂表面510(光學介面)可被模塑成一圓頂形透鏡。該封裝體可被安裝成如圖5E所示的一側向形態。圖6A~6E繪示本發明另一例示光電子封裝體的不同視圖。如圖6B所示，一光電子晶片係顯示於630。槽狀通孔620及625可被焊接以與印刷電路板上的安裝墊形成電性接觸。如圖6D所示，包封的頂表面640(光學介面)可被模塑成一圓柱形透鏡。該包封可包括一基腳610，用以穩定一印刷電路板上呈一側向形態組態的光電子封裝體。該基腳可利用模塑化合物作成。

[0040]圖7A繪示一帶有一模塑為一超環面透鏡之包封的例示光電子封裝體。一超環面透鏡在不同方向具有不同半徑。例如，如圖7A所示，與對應於該超環面透鏡之側表面者相比較，該超環面透鏡的頂表面具有一不同的曲率半徑。在此一實例中，該超環面透鏡具有一半桶狀。然而，

應瞭解到的是，該超環面透鏡可具有不同形狀及不同半徑組合。於圖7A所示的超環面透鏡係一說明性實例，並且熟習此藝者可想到其他修改而沒有偏離本發明的範圍及精神。

[0041]圖7B繪示在圖7A中所示例示光電子封裝體的底視圖。複數焊接墊720、730及740可被放置於底導電層750上。在一實例中，該等焊接墊可為金墊；在另一實例中，該焊接墊可用其他金屬作成。假如該光電子封裝體係安裝為一頂向形態，該等焊接墊可被焊接以與一印刷電路板上的安裝墊形成電性接觸。在該頂向形態組態中，電流可自頂導電層行進通過導電通孔至該等焊接墊，然後到該印刷電路板上。

[0042]應瞭解到的是，在一些實例中，多於一個光電子晶片、線接合件或晶粒接合墊者可被放置在一單一光電子封裝體中。在一些實例中，覆蓋光電子晶片、線接合件以及基板之部分頂表面的包封可被模塑成不同形狀。例如，一包封可被模塑為一圓頂形透鏡，而另一包封可被模塑為一超環面透鏡。

[0043]在一些例示實施例中，光電子封裝體可包括一嵌合在包封內的光學濾波器。在一實例中，一光學濾波器可被置於一光電子晶片之作用區域前方。該光學濾波器可藉由一層模塑材料而與該作用區域加以分隔，並且藉由模塑材料進一步封入以形成一包封。

[0044]光學濾波器可由玻璃、塑膠或其他材料製成。在

一實例中，光學濾波器可具有一平面薄片的形狀。該薄片的厚度可自0.5公厘至1公厘。在另一實例中，該光學濾波器可為一任何形狀之透鏡。在一實例中，該光學濾波器可為透明的。在另一實例中，該光學濾波器可為有色的。在一實例中，該光學濾波器可為光學上透明的一它不會過濾或減弱特定波長的光線。在另一實例中，該光學濾波器可減弱、遮阻或過濾在某些波長內的光線。

[0045]圖8A及8B繪示一例示光電子封裝體805，其中一晶片840藉由一基板830加以支撐，並且其中該晶片840的作用區域845係面向該基板830。圖8A繪示該例示光電子封裝體805可在一印刷電路板810上安裝成一側向形態。圖8B繪示該例示光電子封裝體805沿著圖8A中之軸520的一截面圖。

[0046]光電子封裝體805包含一基板830、一晶片840以及一包封870。以上針對其他例示性光電子封裝體所說明的許多特徵亦可包括在光電子封裝體805中。舉例來說，晶片840可為任何光電子裝置；該光電子封裝體805可為一疊層無引線載架(LLC)；該包封870可為一模塑化合物；一頂導電層880可包括二用以將該頂導電層880焊接至在該印刷電路板810上之安裝墊的槽狀通孔885及886，等等。

[0047]要注意晶片840帶有作用區域845的該側，相對於該晶面840之背側846，係附接至基板830。該晶片840可使用DA環氧樹脂利用前接點附接至該基板830。該晶片840可利用通孔以提供前接點，使得不需要任何線接合件。該基

板830具有一孔洞850以容許光線到達或來自該晶片840的作用區域845。該孔洞850可具有一圓柱形形狀或任何其他形狀。舉例來說，該孔洞850可具有一直徑為0.3至0.5公厘的圓柱形形狀。該孔洞850可被一材料填充或者其可留空。在一實例中，該孔洞850可被一包封材料填充，其中該包封材料可為一透明環氧樹脂。在一實例中，一光學濾波器860可被置於覆蓋孔洞850之該基板830上。該光學濾波器860可具有任何形狀、尺寸、顏色或如以上描述的特質。該晶片840可被一包封870所覆蓋。該包封870可為一模塑材料且其可為黑色、白色或透明。

[0048]圖9顯示一種用以製造本發明所述光電子封裝體之例示矩陣組裝方法900。如先前所述，將該矩陣組裝方法加以設計以符合對於低成本、高產量、微型化以及可與SMT相容之產品的市場需求。在步驟910，基板係藉由習知方法所準備。該基板可為，但不受限為，一薄膜陶瓷基板、一厚膜陶瓷基板、以及任何種類之印刷電路板。在步驟920，施用晶粒附接環氧樹脂。該環氧樹脂黏著劑可以分配、衝壓或印刷法加以施用。在步驟930，手動或者使用半自動或自動晶粒附接機將諸如LED、雷射、APD、SiPM、PIN、光電晶體、光二極體以及類似者的晶片安裝於該基板上。在步驟940，手動或者使用半自動或自動晶粒附接機將線接合件附加至該基板。取決於應用，該線接合件可使用不同的材料，諸如氧化鋁或金；不同的尺寸，諸如直徑0.7密爾及1密爾；或不同的組態，諸如球型-楔型及楔型-楔型。在步

驟950，透過模塑將模塑化合物附加至該基板作為一包封。為一液體之該模塑化合物可被灌注然後固化。固化溫度及時間取決於模塑材料，且通常可自材料資料單所取得資訊。在步驟960，該基板被切割為個別的光電子封裝體。該切割可由一鋸刀或雷射光束完成。

[0049]圖10A~10F繪示在上述例示矩陣組裝方法900之不同階段期間的一片基板，並且圖10G繪示一得自例示矩陣組裝方法的個別光電子封裝體。圖10A繪示製備後的一片基板。圖10B繪示施用晶粒附接環氧樹脂之後的組裝物。圖10C繪示將諸如LED、雷射、APD、SiPM、PIN、光電晶體、光二極體以及類似者之晶片安裝於該基板上之後的組裝物。圖10D繪示線接合件附加至該基板之後的組裝物。圖10E繪示模塑化合物附加至該基板作為一包封之後的組裝物。圖10F繪示將該基板切割為個別的光電子封裝體之後的組裝物。組裝物為超過一種材料的整合；它可為一封裝體或一封裝體陣列。

[0050]應瞭解到的是，方法900之前可執行任何數量的方法作為組裝方法的一部份。舉例來說，在一前行方法中，基板可被加工而有凹洞及/或凸出以供晶片座落。再者，在方法900之後可執行任何數量的方法以作為組裝方法的一部份。舉例來說，在一後續方法中，所切割的元件可以矩陣形式或個別地被測試。

[0051]雖然已就一些實施例討論了本發明，本發明並非意圖受限於本文所述的特定形式。反之，本發明的範圍僅

受請求項所限制。另外，雖然一特徵似乎是就特定實施例來討論，但一熟習此藝者會認知到，所述實施例的各種特徵可根據本發明加以組合。

[0052]再者，雖然是個別列舉，但是複數的構件、元件或方法步驟可藉由，例如，一單一單位或處理器而予以實施。另外，雖然個別特徵可涵括在不同的申請專利範圍中，這些個別特徵也許可有利地加以組合，並且涵括在不同的申請專利範圍中不意味特徵之組合不是可行及/或有利的。並且，在一類別的申請專利範圍中，一特徵的涵括不意味著對此類別的限制，而是該特徵若合適時可同樣地可適用於其他的申請專利範圍類別。

【符號說明】

100、805…光電子封裝體	170、510、640…頂表面
105、310、830…基板	180、320…側表面
110…介電層	210…側向形態
115、880…頂導電層	220…頂向形態
120…晶粒附接墊	322、630…光電子晶片
125…線接合墊	410…細條
130、750…底導電層	420…部件
135…導電通孔	430、435、620、625、885、886…
140、321…黏著劑層	溝狀通孔
145、840…晶片	520…軸
160、323、440…線接合件	610…基腳
165、324、870…包封	720、730、740…焊接墊

810...印刷電路板

845...作用區域

846...背側

850...孔洞

860...光學濾波器

900...方法

910~960...步驟

申請專利範圍

1. 一種用以製造複數疊層無引線載架封裝體的方法，其包含：

製備一基板，其中製備基板包含將一頂導電層、一底導電層以及一介於該頂導電層與該底導電層間的介電層疊層在一起，且其中該頂導電層包含一晶粒附接墊、一線接合墊以及二槽狀通孔；

將環氧樹脂黏著劑施敷至該晶粒附接墊；

將一光電子晶片安裝在該晶粒附接墊上；

使用一線接合件將該光電子晶片與該線接合墊線接合；

以一模塑化合物模塑以形成覆蓋該光電子晶片、該線接合件以及該基板之頂表面之至少一部份的一包封；以及

切割該基板為個別的疊層無引線載架封裝體。

2. 如請求項1之方法，其中製備基板更包含製備複數導電通孔，其等提供該頂導電層及該底導電層之間的電氣連結。
3. 如請求項1之方法，其中製備基板更包含在該頂導電層上提供複數槽狀通孔，用以將該頂導電層焊接至一印刷電路板上的安裝墊。
4. 如請求項1之方法，其中以模塑化合物模塑不會施加高應力至該線接合件。

5. 如請求項1之方法，其中以模塑化合物模塑更包含模塑該包封之頂表面為一平坦表面。
6. 如請求項1之方法，其中以模塑化合物模塑更包含模塑該包封之頂表面為一透鏡。
7. 如請求項6之方法，其中該透鏡係選自以一圓柱形透鏡、一球面透鏡、一超環面透鏡、一非球面透鏡以及一圓頂形透鏡所組成的群組。
8. 如請求項1之方法，其中以模塑化合物模塑更包含當安裝為一側向形態時，模塑用以穩定該光電子封裝體的一基腳。
9. 如請求項1之方法，更包含定置一光學濾波器於該光電子晶片之作用區域上方，且其中以模塑化合物模塑以形成一包封更包含覆蓋該光學濾波器。
10. 一種疊層無引線載架封裝體，其包含：
 - 一光電子晶片；
 - 一支撐該光電子晶片的基板，該基板包含疊層在一起的複數導電層及介電層，其中該光電子晶片的作用區域係面向該基板的一底表面，且其中該基板包含一孔洞以允許光線到達且來自該光電子晶片的該作用區域；
 - 一覆蓋該光電子晶片及該基板之底表面之至少一部分的包封，其中該包封係一模塑化合物；及
 - 其中該疊層無引線載架封裝體配置為將以一側向形態組態安裝在一印刷電路板上，其中該光電子晶片的該作用區域係垂直於該印刷電路板。

11. 如請求項10之疊層無引線載架封裝體，其中該孔洞係以一包封材料所填充。
12. 如請求項10之疊層無引線載架封裝體，更包含一覆蓋該孔洞及該基板之一頂表面之一部分的光學濾波器。

圖式

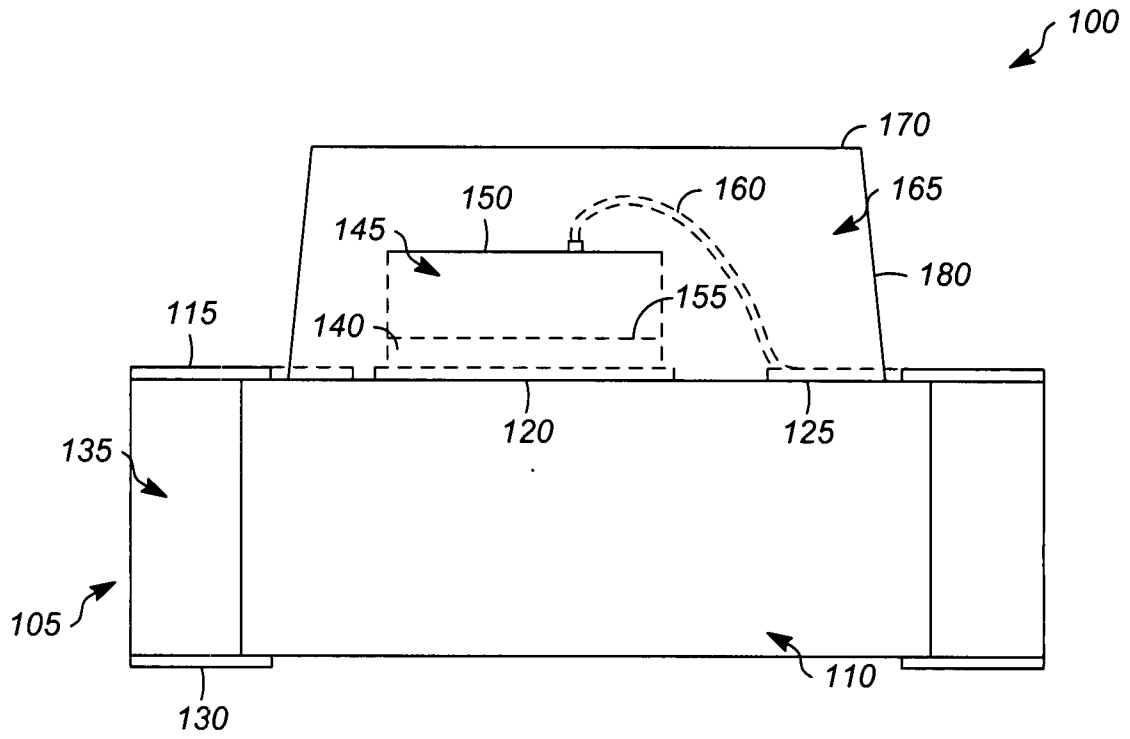


圖1

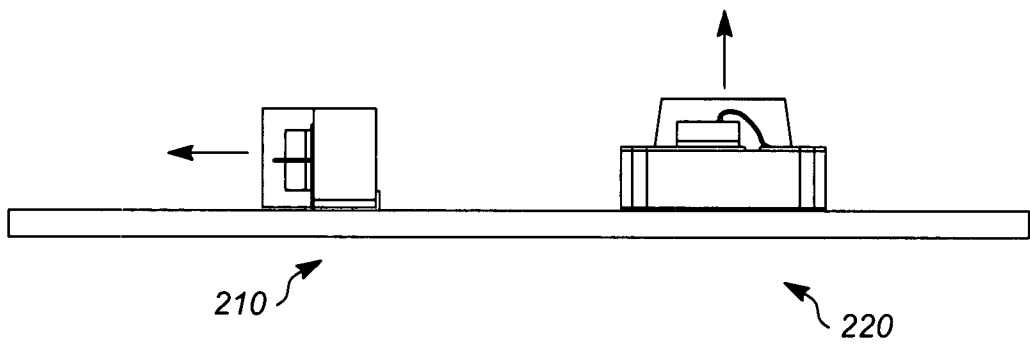


圖2

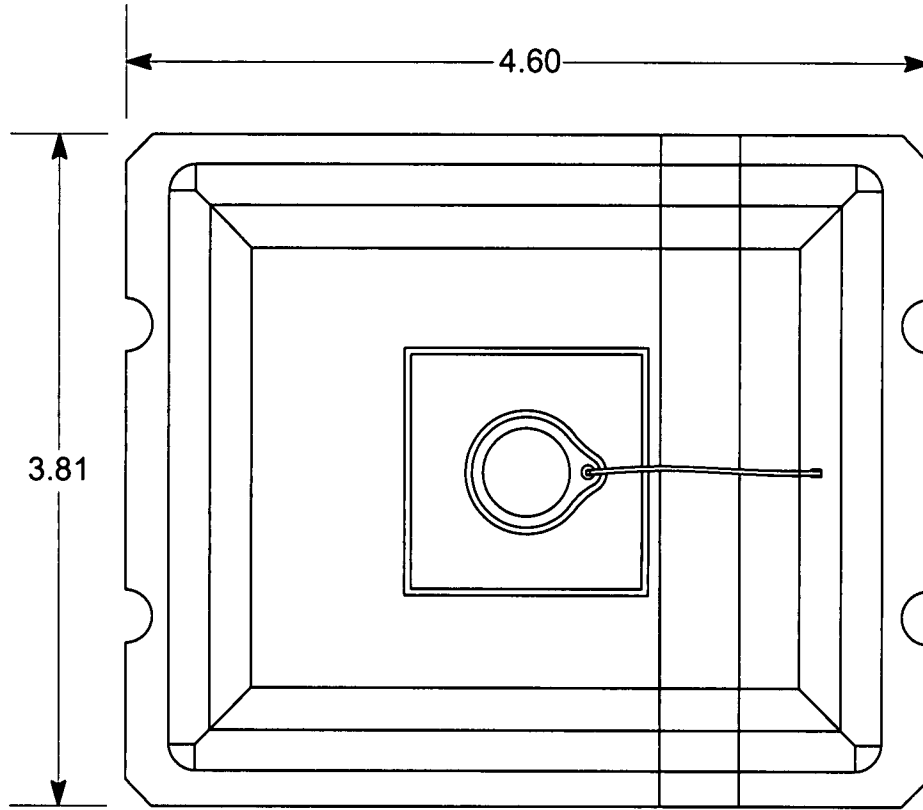


圖3A

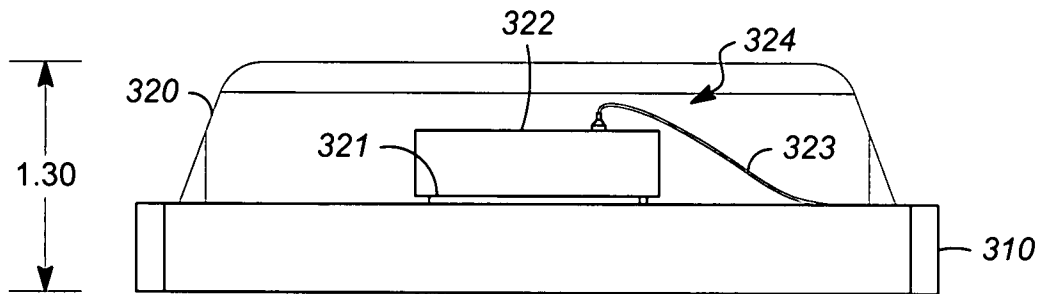


圖3B

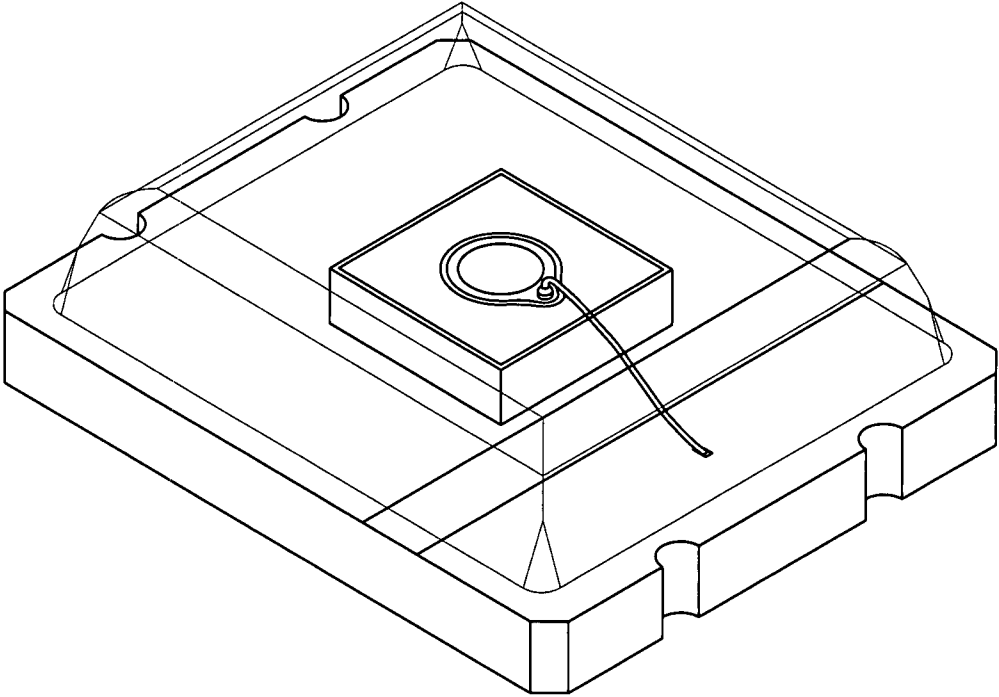


圖3C

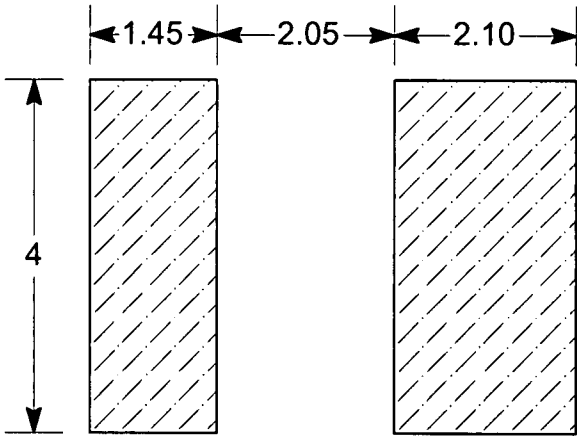


圖3D

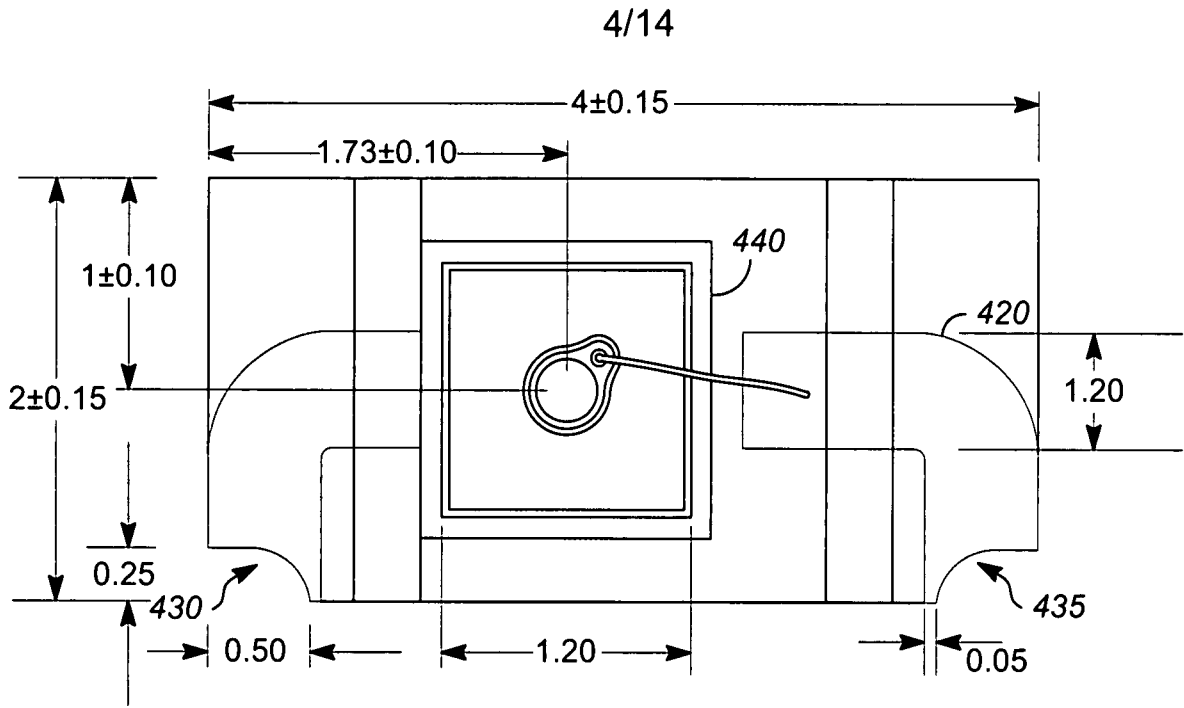


圖4A

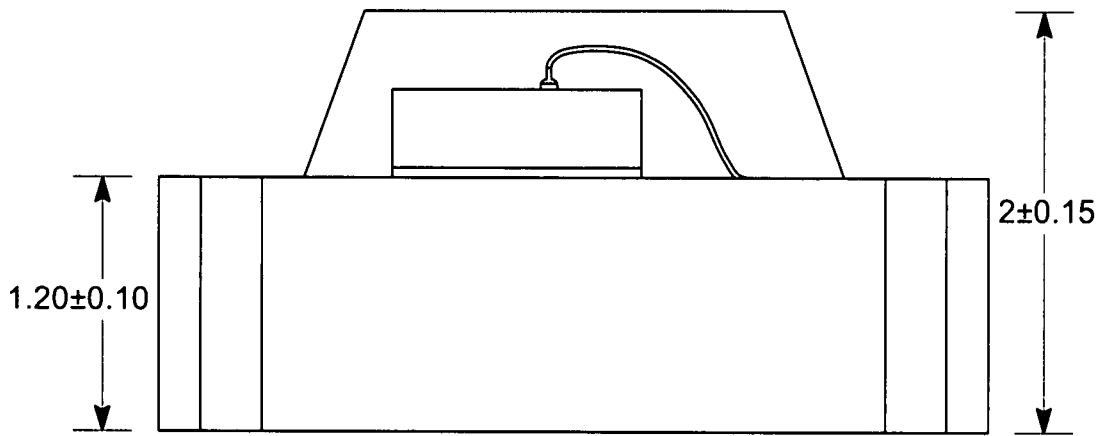


圖4B

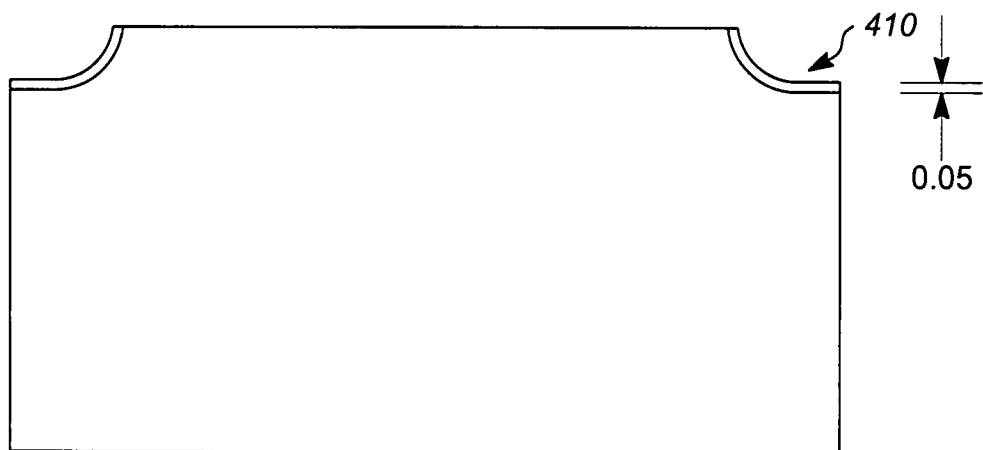


圖4C

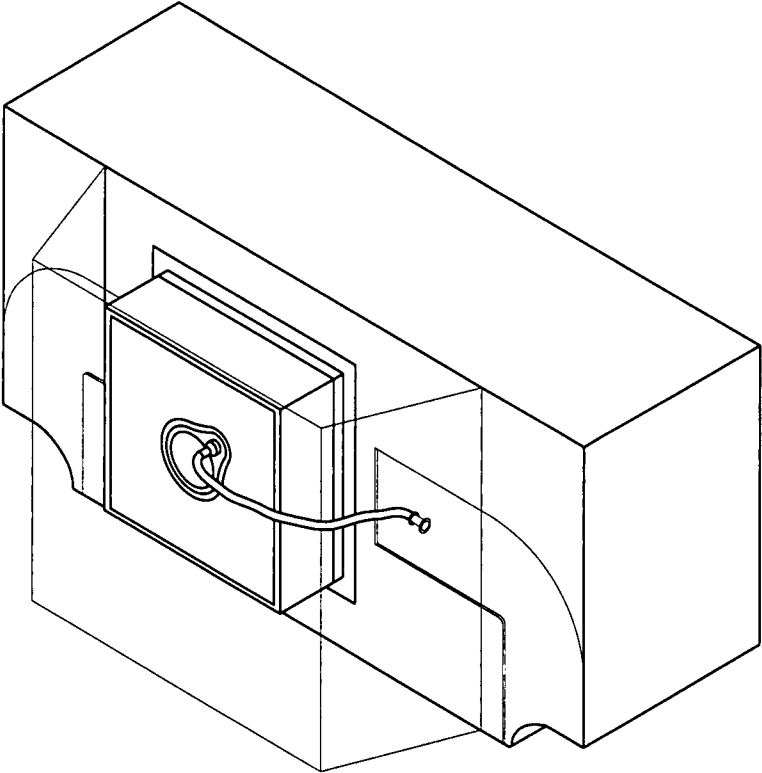


圖4D

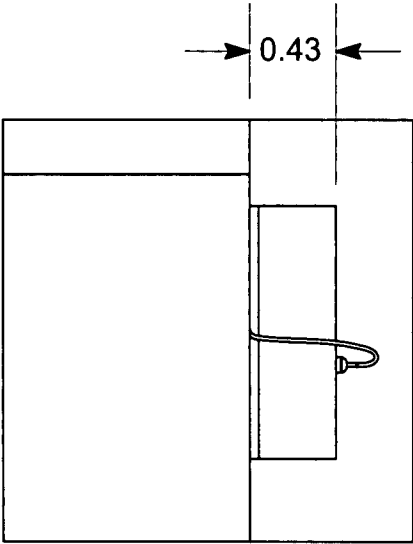


圖4E

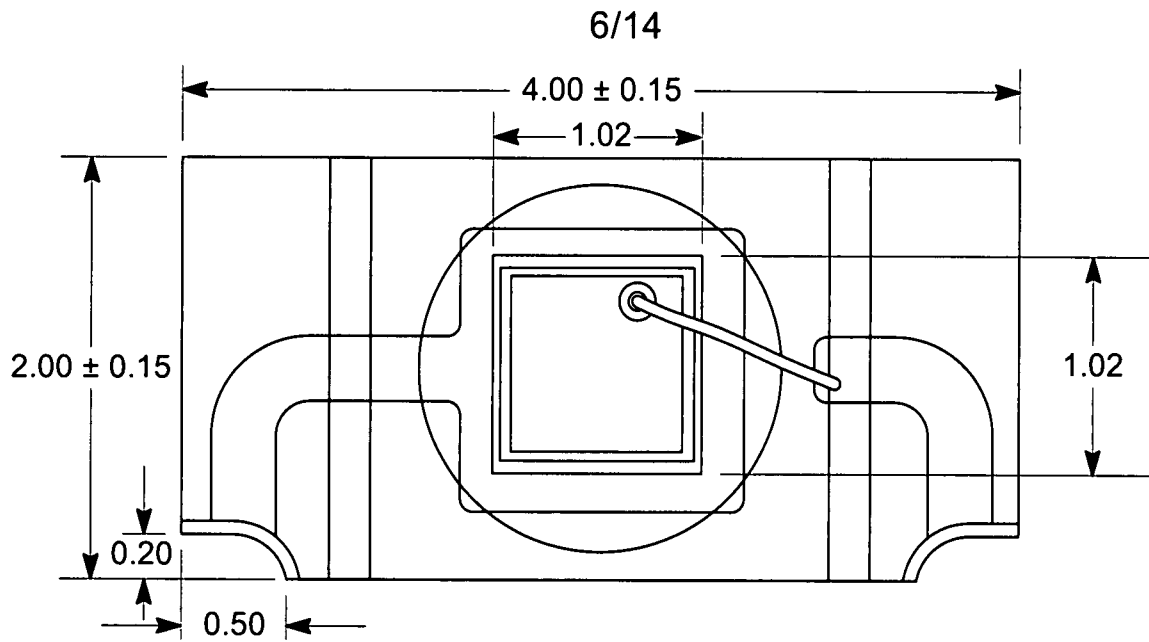


圖5A

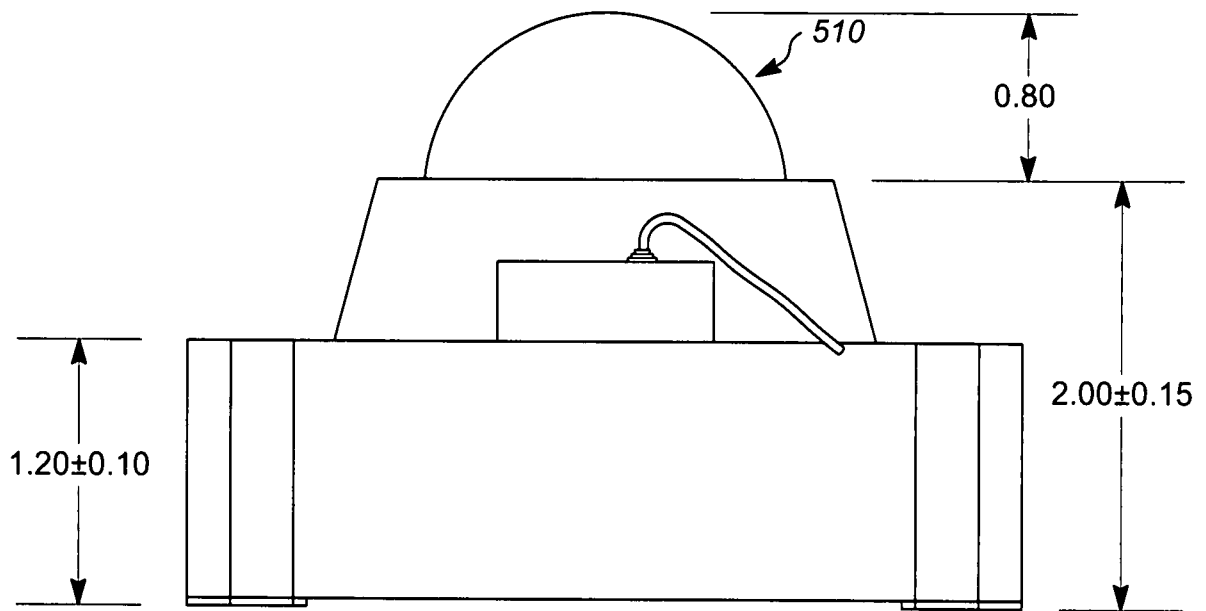


圖5B

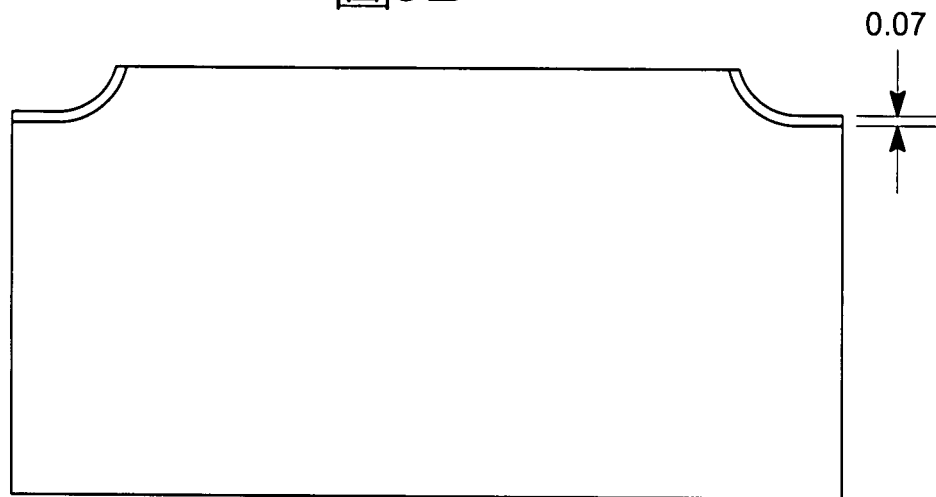


圖5C

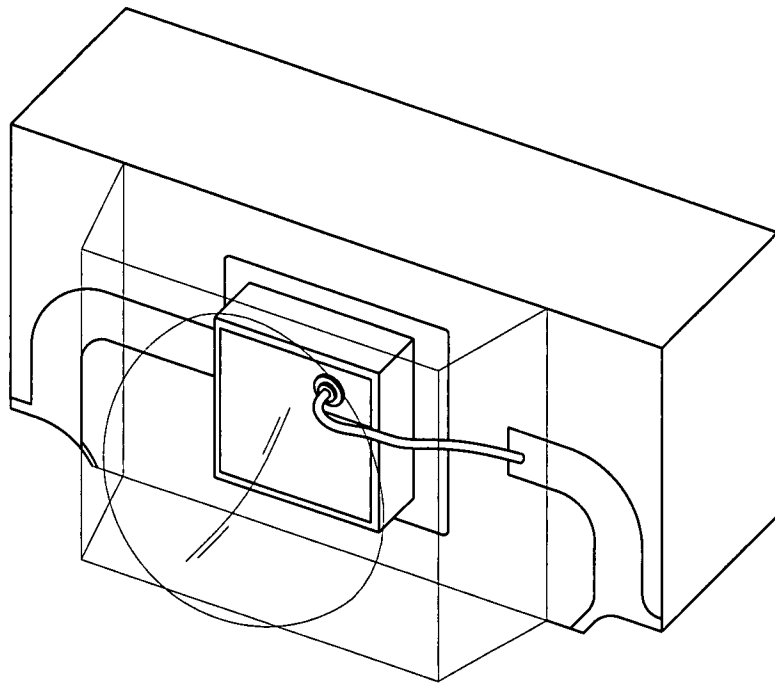


圖5D

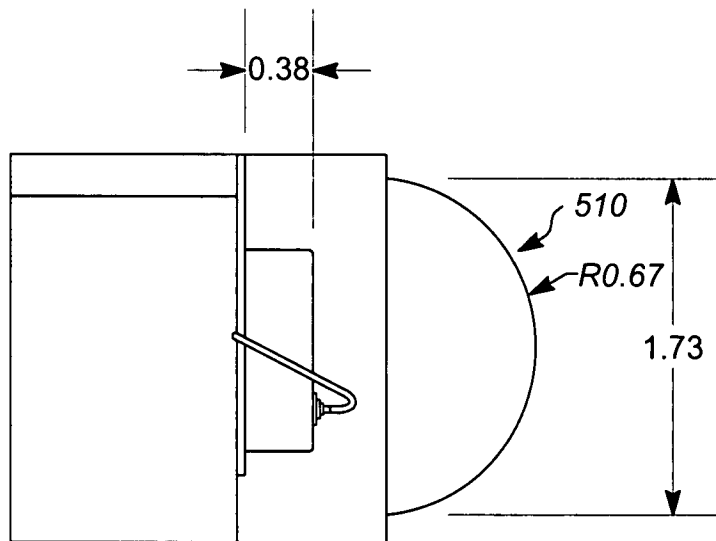


圖5E

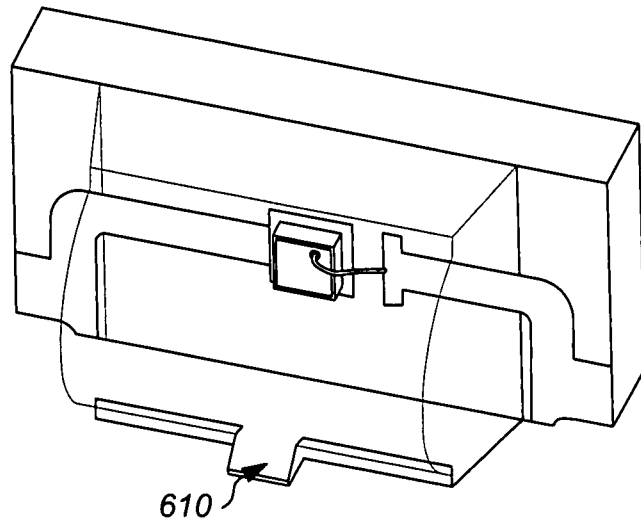


圖6A

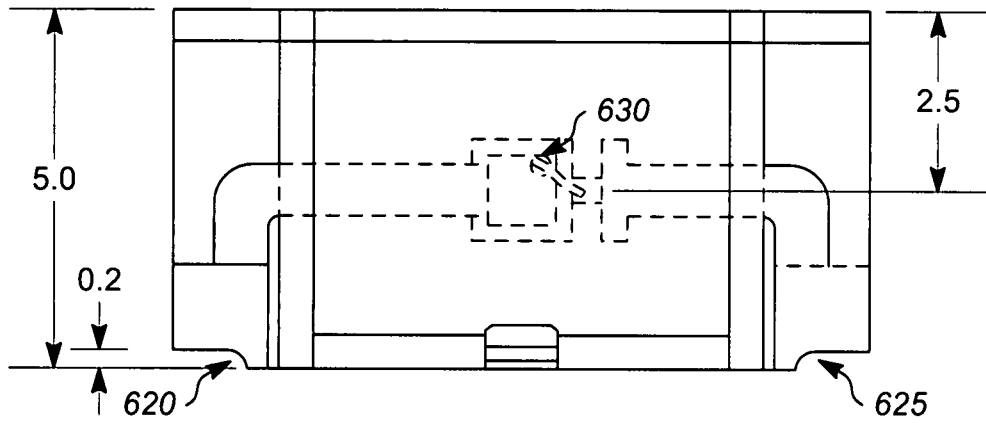


圖6B

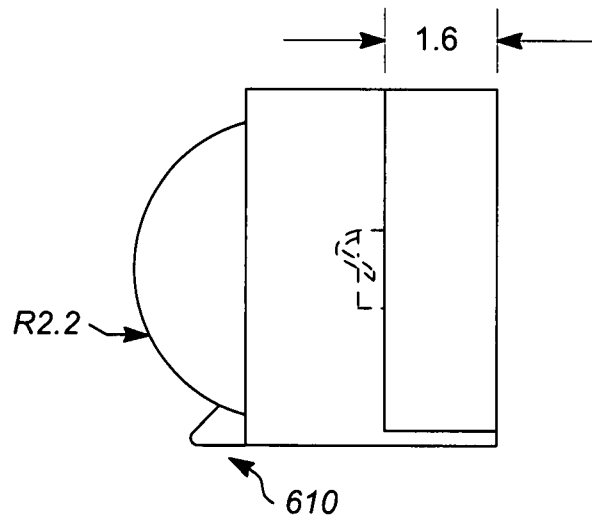


圖6C

9/14

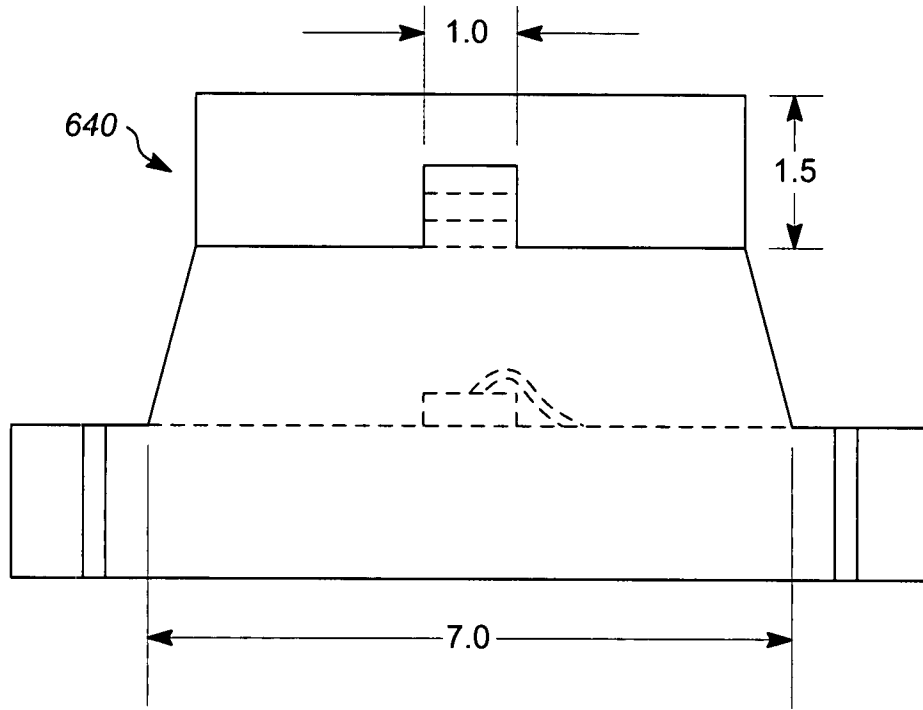


圖6D

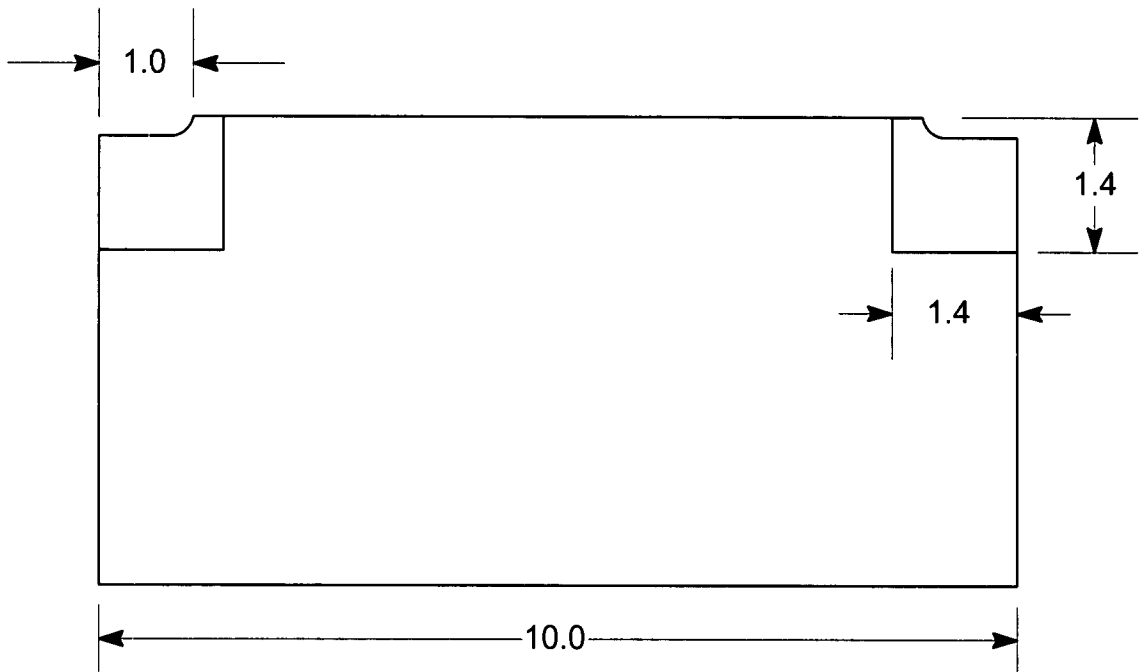


圖6E

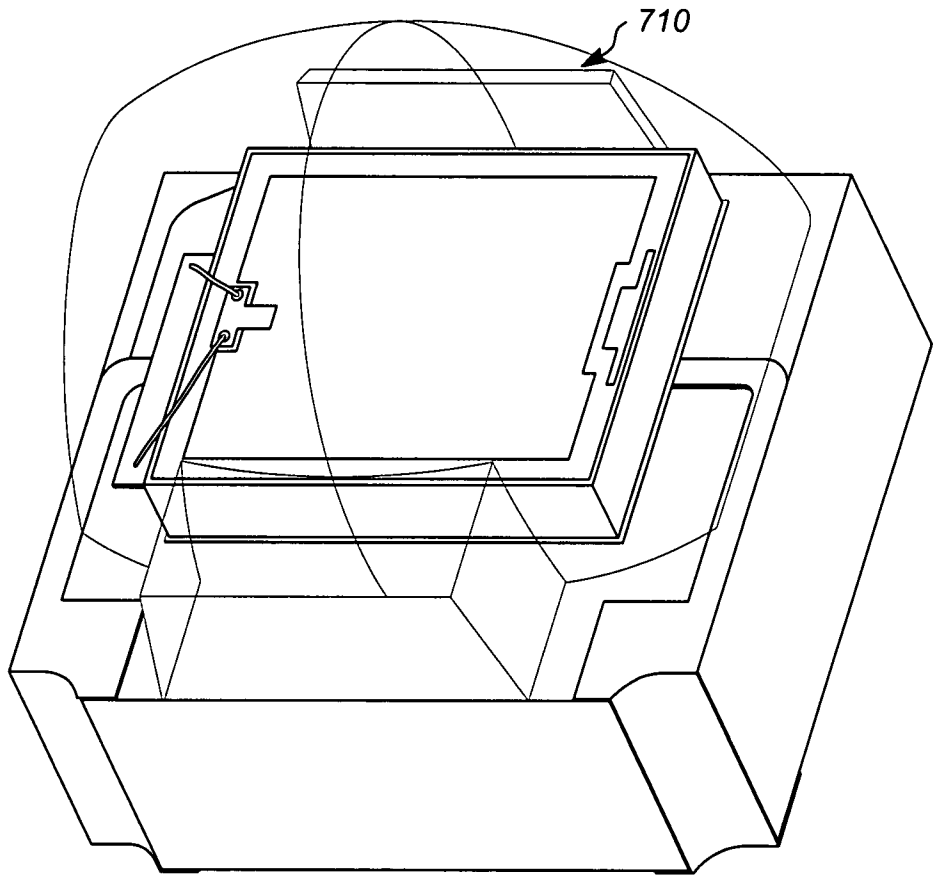


圖7A

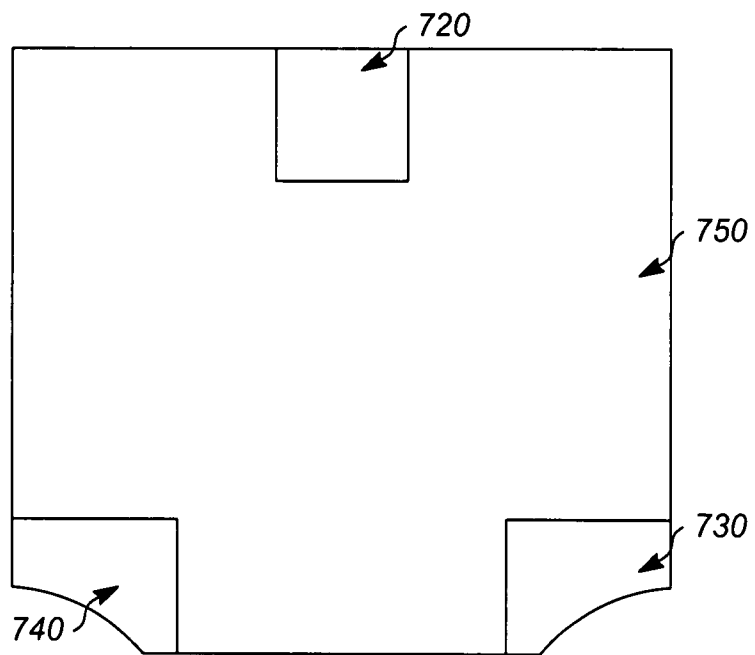


圖7B

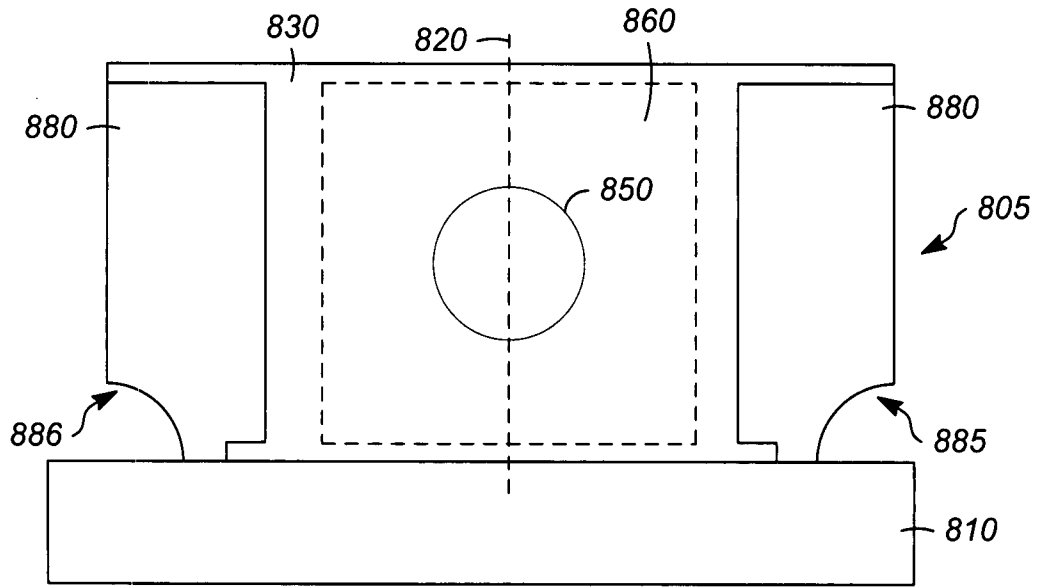


圖8A

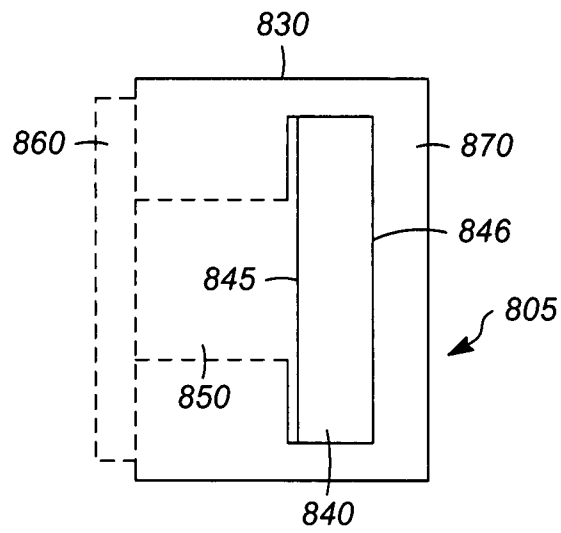


圖8B

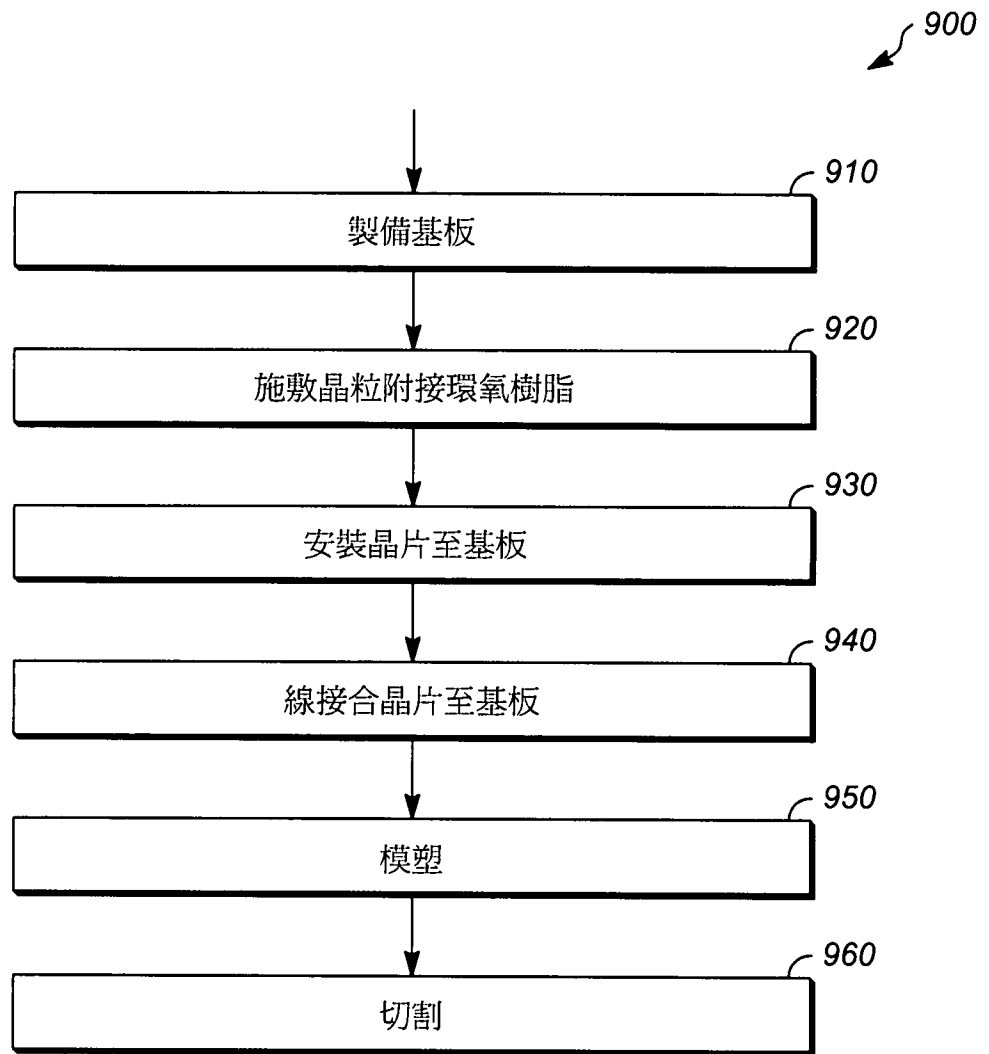


圖9

13/14

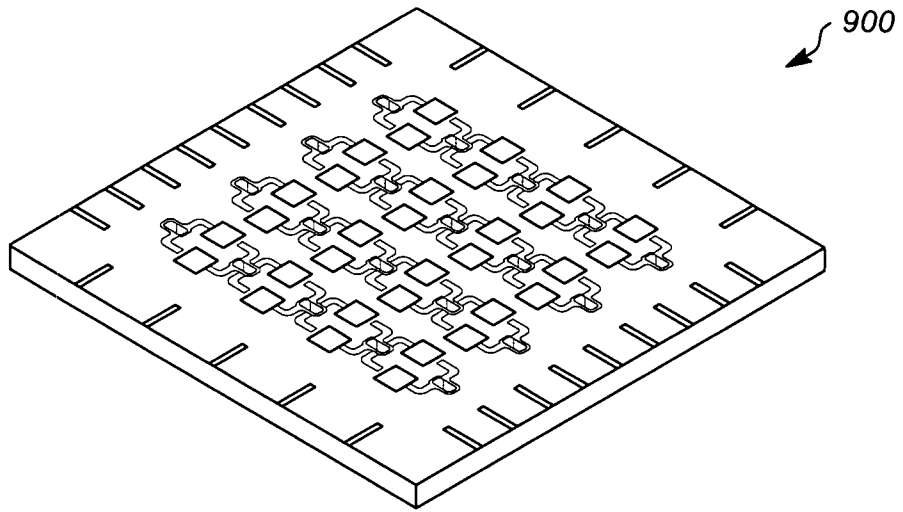


圖10A

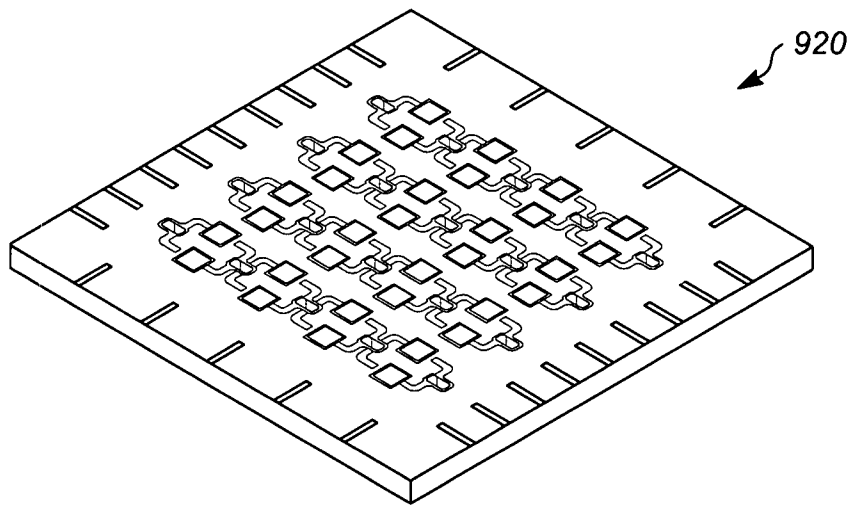


圖10B

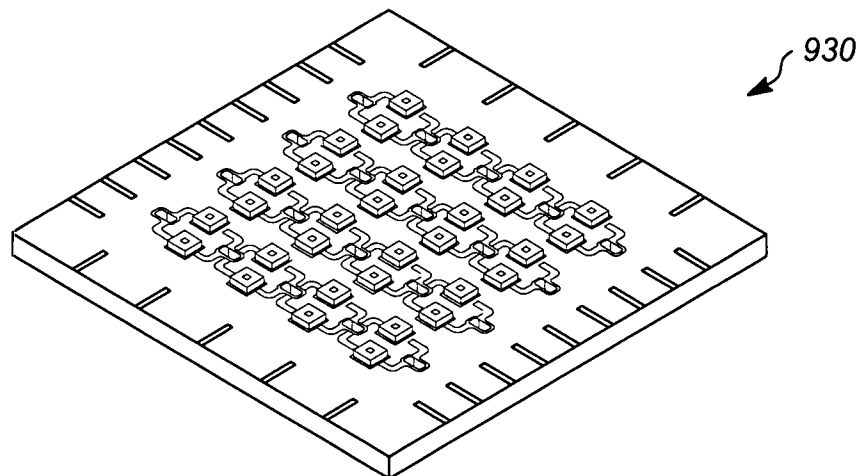


圖10C

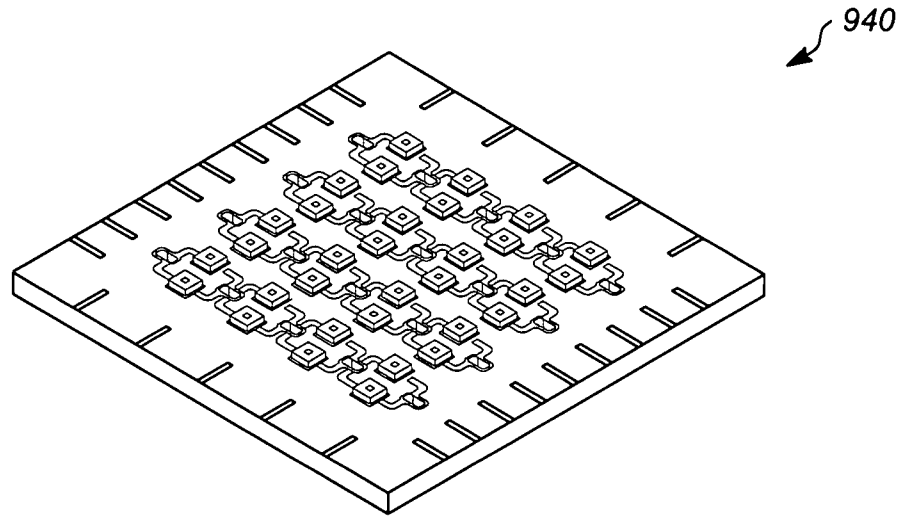


圖 10D

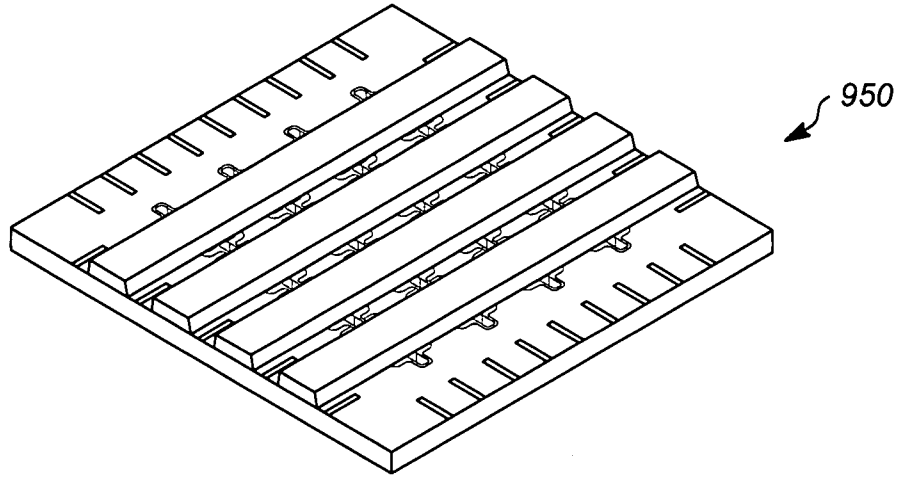


圖 10E

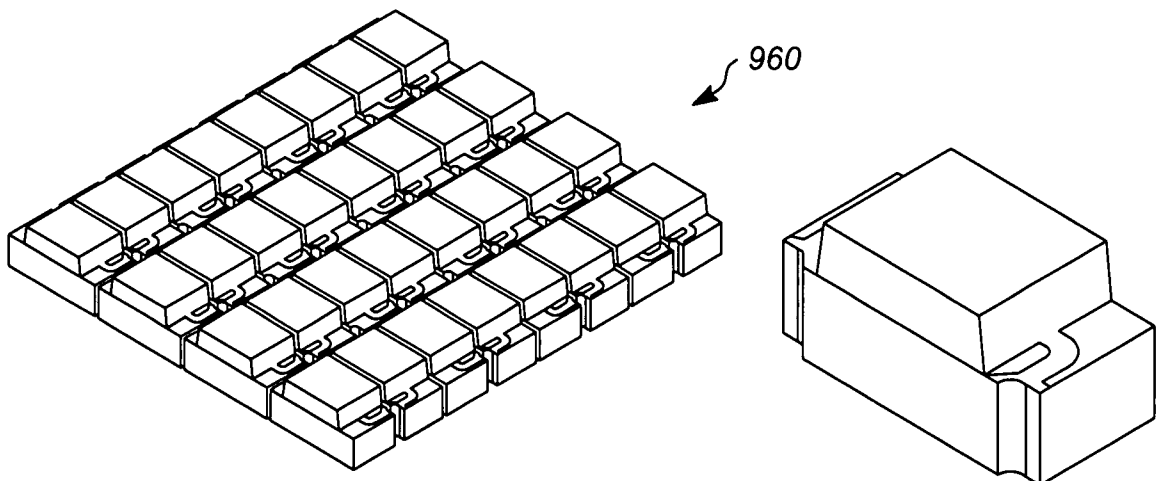


圖 10F

圖 10G