

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7623948号
(P7623948)

(45)発行日 令和7年1月29日(2025.1.29)

(24)登録日 令和7年1月21日(2025.1.21)

(51)国際特許分類		F I	
H 0 1 M	10/48 (2006.01)	H 0 1 M	10/48 P
G 0 1 R	31/3842(2019.01)	G 0 1 R	31/3842
H 0 2 J	7/00 (2006.01)	H 0 2 J	7/00 M
H 0 2 J	7/35 (2006.01)	H 0 2 J	7/35 A
H 1 0 D	30/67 (2025.01)	H 0 1 L	29/78 6 1 8 B
請求項の数 8 (全75頁) 最終頁に続く			
(21)出願番号	特願2021-553171(P2021-553171)	(73)特許権者	000153878
(86)(22)出願日	令和2年10月19日(2020.10.19)		株式会社半導体エネルギー研究所
(86)国際出願番号	PCT/IB2020/059795		神奈川県厚木市長谷 3 9 8 番地
(87)国際公開番号	WO2021/084368	(72)発明者	片桐 治樹
(87)国際公開日	令和3年5月6日(2021.5.6)		神奈川県厚木市長谷 3 9 8 番地 株式会
審査請求日	令和5年10月12日(2023.10.12)		社半導体エネルギー研究所内
(31)優先権主張番号	特願2019-200251(P2019-200251)	(72)発明者	向尾 恭一
(32)優先日	令和1年11月1日(2019.11.1)		神奈川県厚木市長谷 3 9 8 番地 株式会
(33)優先権主張国・地域又は機関	日本国(JP)		社半導体エネルギー研究所内
		(72)発明者	遠藤 元博
			神奈川県厚木市長谷 3 9 8 番地 株式会
			社半導体エネルギー研究所内
		審査官	佐藤 匡
		最終頁に続く	

(54)【発明の名称】 蓄電装置

(57)【特許請求の範囲】

【請求項 1】

電池と、制御回路と、変換回路と、処理回路と、を有し、

前記変換回路は、第 1 端子に入力された第 1 信号にもとづく第 1 電圧または第 2 端子に入力された第 2 信号にもとづく第 2 電圧のいずれかを選択して変換し、前記電池に与える機能を有し、

前記第 1 電圧は交流電圧であり、

前記第 2 電圧は直流電圧であり、

前記制御回路は、チャネル形成領域に酸化物半導体を有する第 1 トランジスタを有し、

前記制御回路は、前記電池の電圧のデータを測定する機能と、前記電池の電圧のデータを保持する機能と、を有し、

前記処理回路は、チャネル形成領域に酸化物半導体を有する第 2 トランジスタを有し、

前記処理回路は、前記第 1 電圧にもとづく第 1 電流と、前記第 2 電圧にもとづく第 2 電流と、を監視および記憶する機能を有し、

前記第 1 端子への前記第 1 信号の入力および前記第 2 端子への前記第 2 信号の入力がない期間において、前記処理回路は待機状態となる機能を有する蓄電装置。

【請求項 2】

請求項 1 において、

前記制御回路は、プロセッサコアを有し、

前記プロセッサコアは、前記第 1 トランジスタのゲートに信号を与える機能を有し、

前記プロセッサコアは、前記電圧のデータを保持する期間において電源が遮断される蓄電装置。

【請求項 3】

請求項 1 または請求項 2 において、

前記変換回路は、電圧の大きさおよび周波数の一以上を変換する機能を有する蓄電装置。

【請求項 4】

請求項 3 において、前記第 2 電圧は、太陽電池により生成される電圧である蓄電装置。

【請求項 5】

電池と、制御回路と、変換回路と、処理回路と、を有し、

前記変換回路は、第 1 端子に入力された第 1 信号にもとづく第 1 電圧または第 2 端子に入力された第 2 信号にもとづく第 2 電圧のいずれかを選択して変換し、前記電池に与える機能を有し、

前記第 1 電圧は交流電圧であり、

前記第 2 電圧は直流電圧であり、

前記制御回路は、第 1 サンプルホールド回路と、第 2 サンプルホールド回路と、を有し、

前記第 1 サンプルホールド回路は、前記電池の電圧のデータを測定し、保持する機能を有し、

前記第 2 サンプルホールド回路は、前記電池の電流のデータを電圧に変換して測定し、保持する機能を有し、

前記第 1 サンプルホールド回路は、チャンネル形成領域に酸化物半導体を有する第 1 トランジスタを有し、

前記第 2 サンプルホールド回路は、チャンネル形成領域に酸化物半導体を有する第 2 トランジスタを有し、

前記第 1 サンプルホールド回路は、前記第 1 トランジスタがオン状態において前記電池の電圧のデータを測定する機能と、前記第 1 トランジスタがオフ状態において前記電池の前記電圧のデータを保持する機能と、を有し、

前記第 2 サンプルホールド回路は、前記第 2 トランジスタがオン状態において前記電池の電流のデータを測定する機能と、前記第 2 トランジスタがオフ状態において前記電池の前記電流のデータを保持する機能と、を有し、

前記処理回路は、チャンネル形成領域に酸化物半導体を有する第 3 トランジスタを有し、

前記処理回路は、前記第 1 電圧にもとづく第 1 電流と、前記第 2 電圧にもとづく第 2 電流と、を監視および記憶する機能を有し、

前記第 1 端子への前記第 1 信号の入力および前記第 2 端子への前記第 2 信号の入力が無い期間において、前記処理回路は待機状態となる機能を有する蓄電装置。

【請求項 6】

請求項 5 において、

前記第 1 サンプルホールド回路に保持される前記電池の電圧のデータと、

前記第 2 サンプルホールド回路に保持される前記電池の電流のデータと、を用いて前記電池の残量を演算する機能を有する蓄電装置。

【請求項 7】

請求項 5 または 6 において、

前記変換回路は電圧の大きさおよび周波数の一以上を変換する機能を有する蓄電装置。

【請求項 8】

請求項 7 において、前記第 2 電圧は、太陽電池により生成される電圧である蓄電装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、蓄電装置に関する。または本発明の一態様は蓄電装置が有する半導体装置に関する。

【0002】

10

20

30

40

50

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

【0003】

なお、本明細書等において蓄電装置は例えば、電池を有する。また、本明細書等において蓄電装置は例えば、蓄電を行うデバイスを有する。また、本明細書等において半導体装置とは、半導体特性を利用することで機能しうるもの全般を指す。よって、トランジスタやダイオードなどの半導体素子や、半導体素子を含む回路は半導体装置である。また、表示装置、発光装置、照明装置、電気光学装置、通信装置および電子機器などは、半導体素子や半導体回路を含む場合がある。よって、表示装置、発光装置、照明装置、電気光学装置、撮像装置、通信装置および電子機器なども、半導体装置と呼ばれる場合がある。

10

【背景技術】

【0004】

昨今、様々な電子機器の普及により、電力の消費は増大する傾向にある。特許文献1には、無停電電源装置に関して、電池の持続時間を予測し、システムを安全に停止させるための制御方式が述べられている。

【0005】

酸化物半導体では、単結晶でも非晶質でもない、CAAC(c-axis aligned crystalline)構造およびnc(nanocrystalline)構造が見出されている（非特許文献1および非特許文献2参照）。

20

【0006】

非特許文献1および非特許文献2では、CAAC構造を有する酸化物半導体を用いてトランジスタを作製する技術が開示されている。

【0007】

また、半導体装置の消費電力削減の技術として、例えば、パワーゲーティング(PG: Power Gating)、クロックゲーティング(CG: Clock Gating)、ボルテージスケールリング等が知られている。例えば、特許文献2には、DVFS(Dynamic Voltage and Frequency Scaling)手法とPG手法のうち電力削減に有利となる手法を実施することが記載されている。

30

【先行技術文献】

【特許文献】

【0008】

【文献】特開平9-44274号公報

【文献】国際公開第2009/078081号

【非特許文献】

【0009】

【文献】S. Yamazaki et al., "SID Symposium Digest of Technical Papers", 2012, volume 43, issue 1, p. 183 - 186

40

【文献】S. Yamazaki et al., "Japanese Journal of Applied Physics", 2014, volume 53, Number 4S, p. 04ED18-1 - 04ED18-10

【発明の概要】

【発明が解決しようとする課題】

【0010】

本発明の一態様は、新規な半導体装置、または新規な半導体装置の動作方法を提供することを課題の一つとする。または、本発明の一態様は、蓄電装置の消費電力を低減することを課題の一つとする。または、本発明の一態様は、安全性の高い蓄電装置を提供することを課題の一つとする。または、本発明の一態様は、半導体装置により監視される電池の安

50

全性を高めることを課題の一とする。または、本発明の一態様は、消費電力を削減すること、例えば休止状態の電力を削減することを課題の一つとする。または、本発明の一態様は、休止状態から通常状態へ復帰する処理に要する時間を短縮すること、あるいは、それに要するエネルギーを削減することを課題の一つとする。

【0011】

なお、複数の課題の記載は、互いの課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全て解決する必要はない。また、列記した以外の課題が、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、これらの課題も、本発明の一態様の課題となり得る。

【課題を解決するための手段】

10

【0012】

本発明の一態様は、電池と、制御回路と、変換回路と、を有し、変換回路は、電圧を電池に与える機能を有し、制御回路は、電池の電圧のデータを測定する機能と、電池の電圧のデータを保持する機能と、を有する蓄電装置である。または、本発明の一態様は、電池と、制御回路と、変換回路と、を有し、変換回路は、第1電圧または第2電圧のいずれかを選択して変換し、電池に与える機能を有し、第1電圧は交流電圧であり、第2電圧は直流電圧であり、制御回路は、チャネル形成領域に酸化物半導体を有するトランジスタを有し、制御回路は、電池の電圧のデータを測定する機能と、電池の電圧のデータを保持する機能と、を有する蓄電装置である。

【0013】

20

また、上記構成において、前記制御回路は、チャネル形成領域に酸化物半導体を有するトランジスタを有し、制御回路は、プロセッサコアを有し、プロセッサコアは、トランジスタのゲートに信号を与える機能を有し、プロセッサコアは、第1電圧のデータを保持する期間において電源が遮断されることが好ましい。

【0014】

また、上記構成において、変換回路は、電圧の大きさおよび周波数の一以上を変換する機能を有することが好ましい。

【0015】

また、上記構成において、第2電圧は、太陽電池により生成される電圧であることが好ましい。

30

【0016】

または本発明の一態様は、電池と、制御回路と、変換回路と、を有し、変換回路は、第1電圧または第2電圧のいずれかを選択して変換し、電池に与える機能を有し、第1電圧は交流電圧であり、第2電圧は直流電圧であり、制御回路は、第1サンプルホールド回路と、第2サンプルホールド回路と、を有し、第1サンプルホールド回路は、電池の電圧のデータを測定し、保持する機能を有し、第2サンプルホールド回路は、電池の電流のデータを電圧に変換して測定し、保持する機能を有し、第1サンプルホールド回路は、第1トランジスタを有し、第2サンプルホールド回路は、第2トランジスタを有し、第1サンプルホールド回路は、第1トランジスタがオン状態において電池の電圧のデータを測定する機能と、第1トランジスタがオフ状態において電池の電圧のデータを保持する機能と、を有し、第2サンプルホールド回路は、第2トランジスタがオン状態において電池の電流のデータを測定する機能と、第2トランジスタがオフ状態において電池の電流のデータを保持する機能と、を有する蓄電装置である。

40

【0017】

また、上記構成において、第1トランジスタおよび第2トランジスタはそれぞれ、チャネル形成領域に酸化物半導体を有することが好ましい。

【0018】

また、上記構成において、第1サンプルホールド回路に保持される電池の電圧のデータと、第2サンプルホールド回路に保持される電池の電流のデータと、を用いて電池の残量を演算する機能を有することが好ましい。

50

【 0 0 1 9 】

また、上記構成において、変換回路は電圧の大きさおよび周波数の一以上を変換する機能を有することが好ましい。

【 0 0 2 0 】

また、上記構成において、第 2 電圧は、太陽電池により生成される電圧であることが好ましい。

【 0 0 2 1 】

または本発明の一態様は、電池と、制御回路と、変換回路と、を有し、制御回路は、プロセッサコアを含む処理装置と、第 1 サンプルホールド回路と、第 2 サンプルホールド回路と、を有し、第 1 サンプルホールド回路は、第 1 トランジスタを有し、第 2 サンプルホールド回路は、第 2 トランジスタを有し、処理装置は、第 1 トランジスタのゲートおよび第 2 トランジスタのゲートに電氣的に接続され、処理装置から第 1 トランジスタのゲートおよび第 2 トランジスタのゲートに信号を与え、第 1 トランジスタおよび第 2 トランジスタをオン状態とし、変換回路から電池に電圧を与え、第 1 トランジスタのソースおよびドレインの一方に電池の電圧のデータを与え、第 2 トランジスタのソースおよびドレインの一方に電池の電流のデータを電圧に変換して与え、処理装置から第 1 トランジスタのゲートおよび第 2 トランジスタのゲートに信号を与え、第 1 トランジスタおよび第 2 トランジスタをオフ状態とする蓄電装置の動作方法である。

10

【 0 0 2 2 】

また、上記構成において、第 2 の処理装置を有し、電池の電圧のデータおよび電池の電流のデータを電圧に変換したデータをアナログ値からデジタル値に変換して第 2 の処理装置に与え、プロセッサコアへの電源供給を遮断し、第 2 の処理装置が電池の残量を演算することが好ましい。

20

【 0 0 2 3 】

また、上記構成において、変換回路は第 1 電圧および第 2 電圧の大きさおよび周波数の一以上を変換する機能を有し、第 1 電圧は交流電圧であり、第 2 電圧は直流電圧であり、変換回路は第 1 電圧と第 2 電圧のいずれかを選択して変換して電池に与えることが好ましい。

【 0 0 2 4 】

また、上記構成において、第 2 電圧は、太陽電池により生成される電圧であることが好ましい。

30

【発明の効果】

【 0 0 2 5 】

本発明の一態様により、新規な半導体装置、または新規な半導体装置の動作方法を提供することができる。また、本発明の一態様により、蓄電装置の消費電力を低減することができる。また、本発明の一態様により、安全性の高い蓄電装置を提供することができる。また、本発明の一態様により、半導体装置により監視される電池の安全性を高めることができる。また、本発明の一態様により、消費電力を削減すること、例えば休止状態の電力を削減することができる。また、本発明の一態様により、休止状態から通常状態へ復帰する処理に要する時間を短縮すること、あるいは、それに要するエネルギーを削減することができる。

40

【 0 0 2 6 】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。また、本発明の一形態は、必ずしも、例示した効果の全てを有する必要はない。また、本発明の一形態について、上記以外の課題、効果、および新規な特徴については、本明細書の記載および図面から自ずと明らかになるものである。

【図面の簡単な説明】

【 0 0 2 7 】

図 1 は蓄電装置の一例を説明するブロック図である。

図 2 は蓄電装置の構成の一部を説明する回路図である。

50

図 3 は制御回路の一例を説明する回路図である。

図 4 A および図 4 B は、二次電池の例を説明する図である。

図 5 A および図 5 B は、蓄電装置の例を説明する図である。

図 6 A および図 6 B は、二次電池の例を説明する図である。

図 7 A および図 7 B は、半導体装置の構成例を示すブロック図である。

図 8 A 乃至図 8 D は、半導体装置の電源管理の動作例を示すタイミングチャートである。

図 9 は、半導体装置の構成例を示すフローチャートである。

図 10 A、図 10 B は、半導体装置の構成例を示すブロック図である。

図 11 は、プロセッサコアの構成例を示すブロック図である。

図 12 は、記憶回路の構成例を示す回路図である。

図 13 は、記憶回路の動作例を説明するタイミングチャートである。

図 14 は、キャッシュのメモリセルの構成例を示す回路図である。

図 15 は、メモリセルの動作例を説明するタイミングチャートである。

図 16 A は、N O S R A M の構成例を示す機能ブロック図である。図 16 B は、メモリセルの構成例を示す回路図である。

図 17 A は、メモリセルアレイの構成例を示す回路図である。図 17 B、図 17 C は、メモリセルの構成例を示す回路図である。

図 18 A は、D O S R A M のメモリセルの構成例を示す回路図である。図 18 B は、D O S R A M の積層構造例を示す図である。

図 19 は、半導体装置の構成例を示す図である。

図 20 は、半導体装置の構成例を示す図である。

図 21 A 乃至図 21 C は、トランジスタの構成例を示す図である。

図 22 A 乃至図 22 C は、トランジスタの構成例を示す図である。

図 23 A 乃至図 23 C は、トランジスタの構成例を示す図である。

図 24 A は I G Z O の結晶構造の分類を説明する図である。図 24 B は C A A C - I G Z O 膜の X R D スペクトルを説明する図である。図 24 C は C A A C - I G Z O 膜の極微電子線回折パターンを説明する図である。

図 25 は、無停電電源装置の一例を説明する図である。

図 26 は、電子機器の一例を説明する図である。

図 27 A、図 27 B および図 27 C は、車両の一例を説明する図である。

図 28 A は、車両の一例を説明する図である。図 28 B は、蓄電装置の一例を説明する図である。

10

20

30

【発明を実施するための形態】

【0028】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その説明の繰り返しは省略する。

40

【0029】

また、図面等において示す各構成の、位置、大きさ、範囲などは、発明の理解を容易とするため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。例えば、実際の製造工程において、エッチングなどの処理によりレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするために図に反映しないことがある。

【0030】

また、上面図（「平面図」ともいう）や斜視図などにおいて、図面をわかりやすくするために、一部の構成要素の記載を省略する場合がある。

【0031】

50

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0032】

また、本明細書等において、電気回路における「端子」とは、電流の入力または出力、電圧の入力または出力、もしくは、信号の受信または送信が行なわれる部位を言う。よって、配線または電極の一部が端子として機能する場合がある。

【0033】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が直上または直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

【0034】

また、ソースおよびドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合など、動作条件などによって互いに入れ替わるため、いずれがソースまたはドレインであるかを限定することが困難である。このため、本明細書においては、ソースおよびドレインの用語は、入れ替えて用いることができるものとする。

【0035】

また、本明細書等において、「電氣的に接続」には、直接接続している場合と、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。よって、「電氣的に接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在しているだけの場合もある。

【0036】

また、本明細書などにおいて、「平行」とは、例えば、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」および「直交」とは、例えば、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

【0037】

なお、本明細書などにおいて、計数値および計量値に関して「同一」、「同じ」、「等しい」または「均一」などと言う場合は、明示されている場合を除き、プラスマイナス20%の誤差を含むものとする。

【0038】

また、電圧は、ある電位と、基準の電位（例えば接地電位またはソース電位）との電位差のことを示す場合が多い。よって、電圧と電位は互いに言い換えることが可能な場合が多い。本明細書などでは、特段の明示が無いかぎり、電圧と電位を言い換えることができるものとする。

【0039】

なお、「半導体」と表記した場合でも、例えば、導電性が十分低い場合は「絶縁体」としての特性を有する。よって、「半導体」を「絶縁体」に置き換えて用いることも可能である。この場合、「半導体」と「絶縁体」の境界は曖昧であり、両者の厳密な区別は難しい。したがって、本明細書に記載の「半導体」と「絶縁体」は、互いに読み換えることができる場合がある。

【0040】

また、「半導体」と表記した場合でも、例えば、導電性が十分高い場合は「導電体」としての特性を有する。よって、「半導体」を「導電体」に置き換えて用いることも可能である。この場合、「半導体」と「導電体」の境界は曖昧であり、両者の厳密な区別は難し

10

20

30

40

50

い。したがって、本明細書に記載の「半導体」と「導電体」は、互いに読み換えることができる場合がある。

【 0 0 4 1 】

なお、本明細書等における「第 1」、「第 2」等の序数詞は、構成要素の混同を避けるために付すものであり、工程順または積層順など、なんらかの順番や順位を示すものではない。また、本明細書等において序数詞が付されていない用語であっても、構成要素の混同を避けるため、特許請求の範囲において序数詞が付される場合がある。また、本明細書等において序数詞が付されている用語であっても、特許請求の範囲において異なる序数詞が付される場合がある。また、本明細書等において序数詞が付されている用語であっても、特許請求の範囲などにおいて序数詞を省略する場合がある。

10

【 0 0 4 2 】

なお、本明細書等において、トランジスタの「オン状態」とは、トランジスタのソースとドレインが電氣的に短絡しているとみなせる状態（「導通状態」ともいう。）をいう。また、トランジスタの「オフ状態」とは、トランジスタのソースとドレインが電氣的に遮断しているとみなせる状態（「非導通状態」ともいう。）をいう。

【 0 0 4 3 】

また、本明細書等において、「オン電流」とは、トランジスタがオン状態の時にソースとドレイン間に流れる電流をいう場合がある。また、「オフ電流」とは、トランジスタがオフ状態である時にソースとドレイン間に流れる電流をいう場合がある。

【 0 0 4 4 】

20

また、本明細書等において、高電源電位 VDD （以下、単に「 VDD 」、「 H 電位」、または「 H 」ともいう）とは、低電源電位 VSS （以下、単に「 VSS 」、「 L 電位」、または「 L 」ともいう）よりも高い電位の電源電位を示す。また、 VSS とは、 VDD よりも低い電位の電源電位を示す。また、接地電位（以下、単に「 GND 」、または「 GND 電位」ともいう）を VDD または VSS として用いることもできる。例えば VDD が接地電位の場合には、 VSS は接地電位より低い電位であり、 VSS が接地電位の場合には、 VDD は接地電位より高い電位である。

【 0 0 4 5 】

また、本明細書等において、ゲートとは、ゲート電極およびゲート配線の一部または全部のことをいう。ゲート配線とは、少なくとも一つのトランジスタのゲート電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

30

【 0 0 4 6 】

また、本明細書等において、ソースとは、ソース領域、ソース電極、およびソース配線の一部または全部のことをいう。ソース領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ソース電極とは、ソース領域に接続される部分の導電層のことをいう。ソース配線とは、少なくとも一つのトランジスタのソース電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

【 0 0 4 7 】

また、本明細書等において、ドレインとは、ドレイン領域、ドレイン電極、及びドレイン配線の一部または全部のことをいう。ドレイン領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ドレイン電極とは、ドレイン領域に接続される部分の導電層のことをいう。ドレイン配線とは、少なくとも一つのトランジスタのドレイン電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

40

【 0 0 4 8 】

また、図面などにおいて、配線および電極などの電位をわかりやすくするため、配線および電極などに隣接して H 電位を示す “ H ”、または L 電位を示す “ L ” を付記する場合がある。また、電位変化が生じた配線および電極などには、“ H ”または“ L ”を囲み文字で付記する場合がある。また、トランジスタがオフ状態である場合、当該トランジスタに重ねて “ $\times$ ” 記号を付記する場合がある。

【 0 0 4 9 】

50

なお端子は、複数の端子の集合体を指す場合がある。複数の端子の集合体が有するそれぞれの端子には例えば独立した信号が与えられ、それぞれの端子に一以上の配線が電氣的に接続される。

【0050】

トランジスタは、ゲート、ソース、およびドレインと呼ばれる3つの端子（ノード）を有する。ゲートは、トランジスタの導通状態を制御する制御端子として機能する端子である。ソースまたはドレインとして機能する一対の入出力端子（ノード）は、トランジスタの型及び各端子（ノード）に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。一般的に、n型トランジスタでは、低い電位が与えられるノードがソースと呼ばれ、高い電位が与えられるノードがドレインと呼ばれる。逆に、p型トランジスタでは、低い電位が与えられるノードがドレインと呼ばれ、高い電位が与えられるノードがソースと呼ばれる。本明細書では、ゲート以外の2つの端子（ノード）を第1端子（ノード）、第2端子（ノード）と呼ぶ場合がある。

10

【0051】

本明細書では、回路構成やその動作の理解を容易にするため、トランジスタの2つの入出力端子（ノード）の一方をソースに、他方をドレインに限定して説明する場合がある。もちろん、駆動方法によっては、トランジスタの3つの端子に印加される電位の大小関係が変化し、ソースとドレインが入れ替わる場合がある。したがって、本発明の一態様において、トランジスタのソースとドレインの区別は、明細書および図面での記載に限定されるものではない。

20

【0052】

本明細書等において、能動素子（例えば、トランジスタ、ダイオードなど）、受動素子（例えば、容量素子、抵抗素子など）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくても、発明の一態様が明確であると言える。そして、接続先が特定されている態様が、本明細書等に記載されている場合、接続先が特定されていない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先が複数のケース考えられる場合には、その端子の接続先を特定の箇所に限定する必要はない。したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

30

【0053】

本明細書等において、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能が特定できれば、発明の態様が明確であると言える。そして、機能が特定された発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくても接続先を特定すれば、発明の一態様が開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定することで、発明の一態様が開示されているものであり、発明の一態様を構成することが可能である。

40

【0054】

（実施の形態1）

本実施の形態では、本発明の一態様の蓄電装置について説明する。

【0055】

図1は本発明の一態様の蓄電装置を示す。

【0056】

図1に示す蓄電装置100は、半導体装置101、組電池120および温度センサTS1を有する。組電池120は一、または複数の電池セルを有する。

【0057】

50

半導体装置 101 は、処理装置 51、変換回路 52、回路 53、制御回路 55、リレー回路 RL1、リレー回路 RL2、インバータ回路 IV1、電流計 CR1、端子 PS1、端子 SC1 および端子 OU2 を有する。

【0058】

端子 PS1 および端子 SC1 にはそれぞれ電圧、電流等の信号が与えられる。一例として端子 PS1 には交流信号が、端子 SC1 には直流信号が、それぞれ与えられる。

【0059】

端子 PS1 に与えられる交流信号は例えば、商用の交流電源である。

【0060】

端子 SC1 に与えられる直流信号は例えば、太陽電池からの直流電源である。

10

【0061】

変換回路 52 は変換回路 AD1、保護回路 PR1、制御回路 PR2、制御回路 SW1 および端子 OU1 を有する。

【0062】

端子 PS1 からの信号は、変換回路 AD1 および保護回路 PR1 を介して制御回路 SW1 に与えられる。端子 SC1 からの信号は制御回路 PR2 を介して制御回路 SW1 に与えられる。制御回路 SW1 は保護回路 PR1 からの信号と、制御回路 PR2 からの信号のいずれかを選択し、端子 OU1 に出力する機能を有する。あるいは制御回路 SW1 は2つの信号を混合して出力してもよい。端子 OU1 から出力された信号は組電池 120 に与えられる。端子 OU1 から出力される信号を用いて組電池 120 を充電することができる。

20

【0063】

変換回路 AD1 は交流信号を直流信号に変換する機能を有する。

【0064】

保護回路 PR1 は、変換回路 AD1 と制御回路 SW1 の間を流れる電流（以下、電流 $i(1)$ と表す）を制御する機能を有する。また保護回路 PR1 は端子 PS1 から変換回路 AD1 を介して制御回路 SW1 に与えられる電圧を制御する機能を有してもよい。

【0065】

また保護回路 PR1 は制御回路 SW1 から変換回路 AD1 への逆流電流を抑制する機能を有する。例えば保護回路 PR1 において制御回路 SW1 と変換回路 AD1 の間にダイオードを設け、制御回路 SW1 から変換回路 AD1 への逆流電流を抑制する。

30

【0066】

制御回路 PR2 は、端子 SC1 と制御回路 SW1 の間を流れる電流（以下、電流 $i(2)$ と表す）を制御する機能を有する。また制御回路 PR2 は、端子 SC1 から制御回路 SW1 に与えられる電圧を制御する機能を有してもよい。また制御回路 PR2 は、制御回路 SW1 から端子 SC1 への逆流電流を抑制する機能を有する。例えば制御回路 PR2 において制御回路 SW1 と端子 SC1 の間にダイオードを設け、制御回路 SW1 から端子 SC1 への逆流電流を抑制する。

【0067】

保護回路 PR1 および制御回路 PR2 には、処理装置 20b が電氣的に接続される。処理装置 20b は例えば、電流 $i(1)$ および電流 $i(2)$ を監視および記憶する機能を有する。また処理装置 20b は電流 $i(1)$ を制御するための信号を保護回路 PR1 に、電流 $i(2)$ を制御するための信号を制御回路 PR2 に、それぞれ与えてもよい。

40

【0068】

また、保護回路 PR1 がダイオードを有する場合には、処理装置 20b は、温度 $T(1)$ を測定する機能を有することが好ましい。温度 $T(1)$ は、ダイオードの温度、あるいはダイオードが配置される領域の周辺の温度である。処理装置 20b は温度 $T(1)$ に基づき判断を行い、判断結果に基づき、電流 $i(1)$ を制御し、温度 $T(1)$ を所定の温度以下に管理する機能を有することが好ましい。温度 $T(1)$ を所定の温度以下に管理することにより、ダイオードの破壊および劣化を抑制することができる。

【0069】

50

処理装置 20b は、端子 PS1 および端子 SC1 への信号の入力がない期間においては、待機状態とすることができる。処理装置 20b は、チャネルが形成される半導体層に金属酸化物の一種である酸化物半導体 (Oxide Semiconductor: OS) を含むトランジスタ (「OSTランジスタ」または「OS-FET」ともいう。) を有する。処理装置 20b は、OSTランジスタを有する構成とすることにより、待機時の消費電力が極めて低い特徴を有する。処理装置 20b として後述する処理装置 20 または処理装置 21 の構成を用いることができる。処理装置 20b が待機状態の際、処理装置 20b が有する回路ブロック、例えばプロセッサコア等を休止状態に移行し、消費電力を低減することができる。

【0070】

10

制御回路 55 は、組電池 120 および温度センサ TS1 と電氣的に接続される。

【0071】

電流計 CR1 は、組電池 120 へ与えられる充電電流 (以下、電流 $i(3)$) および組電池 120 からリレー回路 RL1、インバータ回路 IV1 およびリレー回路 RL2 を介して端子 OU2 に与えられる電流 (以下、電流 $i(4)$) を測定する機能を有する。電流計 CR1 により測定されるデータは処理装置 51 に与えられる。また、電流計 CR1 により測定されるデータは制御回路 55 に与えられてもよい。

【0072】

リレー回路 RL1 は、処理装置 51 から所望の信号が与えられたら、組電池 120 からの信号をインバータ回路 IV1 に与える機能を有する。またリレー回路 RL2 は、処理装置 51 から所望の信号が与えられたら、インバータ回路 IV1 からの信号を端子 OU2 に与える機能を有する。インバータ回路 IV1 は、組電池 120 から与えられる直流信号を交流信号に変換する機能を有する。

20

【0073】

図 2 には、制御回路 55、組電池 120、電流計 CR1 および温度センサ TS1 の電氣的な接続の一例を示す。組電池 120 は端子 VC1 および端子 VSSS を有する。

【0074】

温度センサ TS1 は、センサ素子を有し、該センサ素子は温度を測定する機能を有する。該センサ素子は組電池 120 の近傍に配置される。温度センサ TS1 はセンサ素子により測定される温度データを、制御回路 55 に与える機能を有する。

30

【0075】

制御回路 55 は処理装置 20a を有する。

【0076】

電流計 CR1 は組電池 120 の端子 VC1 に電氣的に接続される。または、電流計 CR1 は組電池 120 の端子 VSSS 側に接続してもよい。

【0077】

図 2 には、直列に m 個の電池セル 121 が接続された組電池 122 (k) ($k = 1$ 以上 n 以下の整数) が、並列に n 個接続される例を示す。組電池 122 (k) は端子 VC1 と端子 VSSS の間に配置される。組電池 122 (k) において、第 1 の電池セルから第 m の電池セルまで順番に直列に接続される。

40

【0078】

端子 VC1 は電池セル 121 の正極とスイッチ SE7 (k) を介して電氣的に接続される機能を有し、電池セル 121 の正極と端子 VC1 との間の電氣的接続はスイッチ SW7 (k) の開閉により制御される。スイッチ SW7 (k) の開閉は、制御回路 55、より具体的には例えば制御回路 55 が有する処理装置 20a により制御される。

【0079】

端子 VSSS には組電池 122 (k) の第 m の電池セルの負極が電氣的に接続される。

【0080】

制御回路 55 は組電池 120 の両端の電圧を測定する機能を有する。

【0081】

50

また、制御回路 55 は、組電池 120 が有する各々の電池セル 121 の両端の電圧（正極 - 負極間の電圧）を測定する機能を有することが好ましい。制御回路 55 は測定される該電圧を用いて組電池 120 への充電条件を決定することができる。制御回路 55 は例えば、決定された充電条件に基づき、スイッチ SW7 (k) の開閉により組電池 122 (k) への充電を制御する。

【0082】

制御回路 55 における充電条件の決定に際し、組電池 120 の両端の電圧や組電池 120 が有する各々の電池セル 121 の両端の電圧等に加えて、温度センサ TS1 から与えられる温度データを用いて組電池 120 の充電条件を制御してもよい。

【0083】

また、制御回路 55 により測定される組電池 120 の両端の電圧、および組電池 120 が有する各々の電池セル 121 の両端の電圧、温度センサ TS1 において測定される温度データ、等を処理装置 51 に与え、処理装置 51 において組電池 120 への充電条件を決定してもよい。

【0084】

また、組電池 120 の電圧、組電池 120 が有する各々の電池セル 121 の両端の電圧、等の電圧の値に加えて、組電池 120 の残量の計測を行うことが好ましい。組電池 120 の残量の計測については後述する。

【0085】

処理装置 51 は、組電池 120 の充電条件を制御する機能を有する。

【0086】

処理装置 51 には、電流計 CR1 により測定される電流、インバータ回路 IV1 とリレー回路 RL2 の間の電流、端子 PS1 と変換回路 AD1 の間の電流、および端子 SC1 と制御回路 PR2 の間の電流が与えられることが好ましい。

【0087】

処理装置 51 は、保護回路 PR1、制御回路 PR2、制御回路 SW1 等に信号を与えて制御することにより、電流 i (3) や組電池 120 に与えられる電圧等の信号を制御する機能を有する。

【0088】

処理装置 51 から処理装置 20b へ信号を与え、処理装置 20b から保護回路 PR1 に信号を与えることにより保護回路 PR1 を制御してもよい。保護回路 PR1 において記憶される電流等のデータは処理装置 51 に与えられることが好ましい。該データは例えば、処理装置 51 において、組電池 120 の充電条件の判断、および充電条件の制御に用いることができる。

【0089】

また、処理装置 51 はリレー回路 RL1、インバータ回路 IV1 およびリレー回路 RL2 に信号を与え、電流 i (4) や端子 OU2 に与えられる電圧等を制御する機能を有する。

【0090】

処理装置 20b により測定されるデータ、例えば電流 i (1)、電流 i (2) および温度 T (1) 等のデータを、処理装置 51 に与えてもよい。また処理装置 51 は、測定された温度 T (1) に基づく判断結果を処理装置 20b に与えることができる。

【0091】

処理装置 51 は例えば、後述するメモリ ME1、メモリ ME2 等に格納される電圧値や電流値にデータと、組電池 120 に関する電圧および電流とを比較し、判定を行う。例えば、組電池 120 に関する電圧が所定の値を超える場合には過充電と判定する。また例えば組電池 120 に関する電圧が所定の値より低くなる場合には過放電と判定する。また例えば組電池 120 に関する電流が所定の値を超える場合には過充電と判定する。処理装置 51 は判定結果に基づき、充電条件を制御、あるいは充電を停止、あるいは放電条件を制御、あるいは放電を停止することにより、組電池 120 の保護を行う機能を有する。

【0092】

10

20

30

40

50

処理装置 5 1 に、組電池 1 2 0 からの電力、あるいは変換回路 5 2 の端子 O U 1 からの電力を供給することができる。処理装置 5 1 は供給される電力を他の回路、例えば変換回路 5 2、回路 5 3、制御回路 5 5、リレー回路 R L 1、インバータ回路 I V 1、リレー回路 R L 2 等に分配することができる。

【 0 0 9 3 】

蓄電装置 1 0 0 は電流 $i(3)$ と、電流 $i(4)$ とを用いて組電池 1 2 0 の残量を計測する機能を有する。また残量の計測に際に組電池 1 2 0 の電圧を合わせて測定することにより、計測の精度を高めることができる。組電池 1 2 0 の残量の計測においては、電流および電圧を用いて組電池 1 2 0 に与えられる電荷量、および組電池 1 2 0 から放出される電荷量を演算する。

10

【 0 0 9 4 】

組電池 1 2 0 の容量の変化は、組電池 1 2 0 の充電電流あるいは放電電流と、電流が流れる時間と、を用い、充電あるいは放電により消費した電荷量を算出することにより、求めることができる。しかしながら、計測の繰り返しに伴い、誤差が蓄積される場合がある。

【 0 0 9 5 】

組電池 1 2 0 の電圧と、容量との関係をあらかじめ評価し、後述するメモリ M E 1、メモリ M E 2 等に格納しておくことにより、組電池 1 2 0 の電圧を用いて、組電池 1 2 0 の残量を求めることができる。但し、組電池 1 2 0 の容量 - 電圧曲線において電圧の変化が小さい領域では、計測の誤差が生じてしまう場合がある。

【 0 0 9 6 】

電流による電荷量の算出と、電圧による容量の算出を併用して組電池 1 2 0 の残量を求めることにより、残量の計測の精度を高めることができる。例えば、容量 - 電圧曲線において、電圧の変化が大きい領域では、電圧を用いて残量の計測を行い、変化が小さい領域では電流値および電流が流れる時間とを用いて残量を計測すればよい。

20

【 0 0 9 7 】

蓄電装置 1 0 0 において、組電池 1 2 0 の残量の計測のための演算は処理装置 5 1 において行うことができる。例えば処理装置 5 1 は、電流計 C R 1 により測定される電流 $i(3)$ および電流 $i(4)$ と、制御回路 5 5 により測定される電圧値と、を用いて、組電池 1 2 0 の残量の計測のための演算を行うことができる。

【 0 0 9 8 】

あるいは、制御回路 5 5 に O S トランジスタを用いたサンプルホールド回路を設けることにより、残量の計測の精度を向上させることができる。

30

【 0 0 9 9 】

図 3 に示す制御回路 5 5 は、処理装置 2 0 a、サンプルホールド回路 S H 1、サンプルホールド回路 S H 2 およびアナログデジタル変換回路 A D 2 を有する。

【 0 1 0 0 】

サンプルホールド回路 S H 1 は増幅回路 1 2 1 a、トランジスタ 1 2 2 a および容量素子 1 2 3 a を有する。サンプルホールド回路 S H 1 には電圧 V_c が与えられる。電圧 V_c は例えば、組電池 1 2 0 の電圧である。あるいは電圧 V_c は例えば、組電池 1 2 0 が有する各電池セル 1 2 1 の電圧である。電圧 V_c がサンプルホールド回路 S H 1 の増幅回路 1 2 1 a に与えられる。増幅回路 1 2 1 a は、サンプルホールド回路 S H 1 に入力される電圧 V_c 等のアナログデータを増幅して出力する機能を有する。なお、増幅回路 1 2 1 a はトランジスタ 1 2 2 a のゲート側に設ける構成としてもよい。

40

【 0 1 0 1 】

トランジスタ 1 2 2 a として O S トランジスタを用いることが好ましい。O S トランジスタはオフ電流が極めて低く、容量素子 1 2 3 a は、トランジスタ 1 2 2 a をオフにすることで、電圧 V_c に応じた電荷を保持する機能を有する。

【 0 1 0 2 】

サンプルホールド回路 S H 2 は抵抗素子 1 2 6、増幅回路 1 2 1 b、トランジスタ 1 2 2 b および容量素子 1 2 3 b を有する。サンプルホールド回路 S H 2 には電流 $i(3)$ また

50

は電流 $i(4)$ が与えられる。電流 $i(3)$ または電流 $i(4)$ は抵抗素子 126 を流れる。抵抗素子 126 の両端の電圧がサンプルホールド回路 SH2 の増幅回路 121b に与えられる。増幅回路 121b は、抵抗素子 126 の両端の電圧の差分を増幅して出力する機能を有する。

【0103】

トランジスタ 122b として OS トランジスタを用いることが好ましい。OS トランジスタはオフ電流が極めて低く、容量素子 123b は、トランジスタ 122b をオフにすることで、抵抗素子 126 の両端の電圧の差分に応じた電荷を保持する機能を有する。

【0104】

サンプルホールド回路 SH1 とサンプルホールド回路 SH2 において保持された値はそれぞれ、アナログデジタル変換回路 AD2 により変換された後、処理装置 51 に与えられる。あるいは制御回路 55 にメモリを設け、保持されたそれぞれの値は該メモリに格納されてもよい。

10

【0105】

トランジスタ 122a およびトランジスタ 122b のオンとオフのタイミングはそれぞれのトランジスタのゲートに電氣的に接続される端子に与えられる電位により制御される。それぞれのトランジスタのゲートへ、処理装置 20a から信号が与えられる。トランジスタ 122a とトランジスタ 122b のオンとオフの時刻を同期させることにより、概略同時刻の組電池 120 に関する電圧と電流の値を取得することができる。

【0106】

組電池 120 のインピーダンス特性により、組電池 120 を流れる電流の大きさに依存してその電圧は変化する。よって、組電池 120 の電圧を用いてその残量を求める場合には、組電池 120 を流れる電流の大きさを合わせて計測し、インピーダンスによる電圧変化の影響を補正することが好ましい。電圧と電流を概略同時刻において取得することにより、インピーダンスによる電圧変化の影響をより正確に、補正し、残量の計算精度を向上させることができる。

20

【0107】

残量の算出のための電圧および電流の測定は、常時行う必要はなく、ある間隔ごとに行えばよい。また、電圧または電流の変化率が高い場合には間隔を狭く、変化率が低い場合は間隔を広くすればよい。

30

【0108】

制御回路 55 において、電圧、電流および温度の測定を行わない期間は例えば、制御回路 55 が有する処理装置 20a を待機状態とすることができ、消費電力を低減することができる。

【0109】

組電池 120 の残量の算出のためのデータを直接、処理装置 51 に与えて演算を行うよりも、組電池 120 の残量の算出のためのデータを制御回路 55 において測定し、保持することにより、処理装置 51 のタスクを少なくすることができる。また制御回路 55 はデータを保持することができるため、データの送信を所望のタイミングで行うことができる。よって、処理装置 51 における演算を効率よく行うことができる。

40

【0110】

図 1 に示す蓄電装置 100 は回路 53 を有する。回路 53 は回路 WR1、メモリ ME1、メモリ ME2 および表示装置 DP1 を有する。

【0111】

回路 WR1 は無線通信のための回路群を有し、例えば、変調回路、復調回路、整流回路、アンテナ等を有する。蓄電装置 100 は無線通信によりデータの授受を行うことができる。

【0112】

メモリ ME1 およびメモリ ME2 はデータ格納のためのメモリである。メモリ ME1 として例えば、DRAM (ダイナミックランダムアクセスメモリ)、SRAM (スタティックランダムアクセスメモリ) 等の揮発性メモリを用いることができる。あるいはメモリ ME

50

１として後述するＤＯＳＲＡＭ、ＮＯＳＲＡＭ等を用いることができる。メモリＭＥ１には例えば処理装置５１の演算に用いるデータが格納される。メモリＭＥ２として例えば、フラッシュメモリ等の不揮発性メモリを用いることができる。あるいはメモリＭＥ２として後述するＤＯＳＲＡＭ、ＮＯＳＲＡＭ等を用いることができる。メモリＭＥ２には例えば、組電池１２０の残量を求める際に用いる電圧－容量特性のデータ、組電池１２０の電圧、電流の上限、下限等のデータ、組電池１２０の使用履歴の記録として、時系列の電圧、電流のデータ等が格納される。メモリＭＥ２に格納されるデータを演算に用いる場合は例えば、該データをメモリＭＥ１に読み出した後、演算を行う。

【０１１３】

また、メモリＭＥ１およびメモリＭＥ２には無線通信により回路ＷＲ１が受信したデータが格納されてもよい。

10

【０１１４】

メモリＭＥ１およびメモリＭＥ２には例えば、蓄電装置１００の充電条件の判断に用いるデータが格納される。これらのデータは、無線通信により受信されるデータに随時、書き換えることができる。

【０１１５】

表示装置ＤＰ１は表示部と、駆動回路と、を有する。表示部には例えば、組電池１２０の残量や、蓄電装置１００のステータス（充電中、放電中、待機中、充電モード、等）を表示することができる。ステータスとして充電時においては、端子ＰＳ１および端子ＳＣ１のいずれから充電されているのか、あるいは両方から充電されているのか、が示されることが好ましい。

20

【０１１６】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【０１１７】

（実施の形態２）

本実施の形態では、本発明の一態様の蓄電装置が有する電池セルの一例を示す。

【０１１８】

電池セルとして例えば、二次電池を用いることが好ましい。二次電池として例えば、リチウムイオン電池等の電気化学反応を用いる二次電池、電気二重層キャパシタ、レドックスキャパシタ等の電気化学キャパシタ、空気電池、燃料電池等が挙げられる。

30

【０１１９】

[正極活物質]

二次電池の正極材料として例えば、元素Ａ、元素Ｘ、及び酸素を有する材料を用いることができる。元素Ａは第１族の元素および第２族の元素から選ばれる一以上であることが好ましい。第１族の元素として例えば、リチウム、ナトリウム、カリウム等のアルカリ金属を用いることができる。また、第２族の元素として例えば、カルシウム、ベリリウム、マグネシウム等を用いることができる。元素Ｘとして例えば金属元素、シリコン及びリンから選ばれる一以上を用いることができる。また、元素Ｘはコバルト、ニッケル、マンガン、鉄、及びバナジウムから選ばれる一以上であることが好ましい。

【０１２０】

正極活物質として例えば、オリビン型の結晶構造、層状岩塩型の結晶構造、又はスピネル型の結晶構造を有するリチウム含有複合酸化物等が挙げられる。

40

【０１２１】

オリビン型構造のリチウム含有複合酸化物としては、例えば、一般式 $LiMPO_4$ （ M は、 $Fe(II)$ 、 $Mn(II)$ 、 $Co(II)$ 、 $Ni(II)$ の一以上）で表される複合酸化物が挙げられる。一般式 $LiMPO_4$ の代表例としては、 $LiFePO_4$ 、 $LiNiPO_4$ 、 $LiCoPO_4$ 、 $LiMnPO_4$ 、 $LiFe_aNi_bPO_4$ 、 $LiFe_aCo_bPO_4$ 、 $LiFe_aMn_bPO_4$ 、 $LiNi_aCo_bPO_4$ 、 $LiNi_aMn_bPO_4$ （ $a + b$ は１以下、 $0 < a < 1$ 、 $0 < b < 1$ ）、 $LiFe_cNi_dCo_ePO_4$ 、 $LiFe_cNi_dMn_ePO_4$ 、 $LiNi_cCo_dMn_ePO_4$ （ $c + d + e$ は１以下、 $0 < c < 1$ 、 0

50

$d < 1$ 、 $0 < e < 1$)、 $\text{LiFe}_f\text{Ni}_g\text{Co}_h\text{Mn}_i\text{PO}_4$ ($f + g + h + i$ は 1 以下、 $0 < f < 1$ 、 $0 < g < 1$ 、 $0 < h < 1$ 、 $0 < i < 1$) 等が挙げられる。

【0122】

層状岩塩型の結晶構造を有するリチウム含有複合酸化物としては、例えば、コバルト酸リチウム (LiCoO_2)、 LiNiO_2 、 LiMnO_2 、 Li_2MnO_3 、 $\text{LiNi}_{0.8}\text{Co}_{0.2}\text{O}_2$ 等の NiCo 系 (一般式は、 $\text{LiNi}_x\text{Co}_{1-x}\text{O}_2$ ($0 < x < 1$))、 $\text{LiNi}_{0.5}\text{Mn}_{0.5}\text{O}_2$ 等の NiMn 系 (一般式は、 $\text{LiNi}_x\text{Mn}_{1-x}\text{O}_2$ ($0 < x < 1$))、 $\text{LiNi}_{1/3}\text{Mn}_{1/3}\text{Co}_{1/3}\text{O}_2$ 等の NiMnCo 系 (NMC ともいう。一般式は、 $\text{LiNi}_x\text{Mn}_y\text{Co}_{1-x-y}\text{O}_2$ ($x > 0$ 、 $y > 0$ 、 $x + y < 1$)) が挙げられる。さらに、 $\text{Li}(\text{Ni}_{0.8}\text{Co}_{0.15}\text{Al}_{0.05})\text{O}_2$ 、 $\text{Li}_2\text{MnO}_3 - \text{LiMO}_2$ ($\text{M} = \text{Co}$ 、 Ni 、 Mn) 等も挙げられる。

10

【0123】

スピネル型の結晶構造を有するリチウム含有複合酸化物としては、例えば、 LiMn_2O_4 、 $\text{Li}_{1+x}\text{Mn}_{2-x}\text{O}_4$ 、 $\text{LiMn}_{2-x}\text{Al}_x\text{O}_4$ 、 $\text{LiMn}_{1.5}\text{Ni}_{0.5}\text{O}_4$ 等が挙げられる。

【0124】

[電解液]

電解液は、溶媒と電解質を有する。電解液の溶媒としては、非プロトン性有機溶媒が好ましく、例えば、エチレンカーボネート (EC)、プロピレンカーボネート (PC)、ブチレンカーボネート、クロロエチレンカーボネート、ビニレンカーボネート、 γ -ブチロラクトン、 γ -バレロラクトン、ジメチルカーボネート (DMC)、ジエチルカーボネート (DEC)、エチルメチルカーボネート (EMC)、ギ酸メチル、酢酸メチル、酢酸エチル、プロピオン酸メチル、プロピオン酸エチル、プロピオン酸プロピル、酪酸メチル、1,3-ジオキサン、1,4-ジオキサン、ジメトキシエタン (DME)、ジメチルスルホキシド、ジエチルエーテル、メチルジグリム、アセトニトリル、ベンゾニトリル、テトラヒドロフラン、スルホラン、スルトン等の 1 種、又はこれらのうちの 2 種以上を任意の組み合わせおよび比率で用いることができる。

20

【0125】

また、電解液の溶媒として、難燃性および難揮発性であるイオン液体 (常温熔融塩) を一つ又は複数用いることで、二次電池の内部短絡や、過充電等によって内部温度が上昇しても、二次電池の破裂や発火などを防ぐことができる。イオン液体は、カチオンとアニオンからなり、有機カチオンとアニオンとを含む。電解液に用いる有機カチオンとして、四級アンモニウムカチオン、三級スルホニウムカチオン、および四級ホスホニウムカチオン等の脂肪族オニウムカチオンや、イミダゾリウムカチオンおよびピリジニウムカチオン等の芳香族カチオンが挙げられる。また、電解液に用いるアニオンとして、1 価のアミド系アニオン、1 価のメチド系アニオン、フルオロスルホン酸アニオン、パーフルオロアルキルスルホン酸アニオン、テトラフルオロボレートアニオン、パーフルオロアルキルボレートアニオン、ヘキサフルオロホスフェートアニオン、またはパーフルオロアルキルホスフェートアニオン等が挙げられる。

30

【0126】

また、上記の溶媒に溶解させる電解質としては例えば元素 A を有する塩を用いることができる。

40

【0127】

また、ポリマーを電解液で膨潤させたポリマーゲル電解質を用いてもよい。ポリマーゲル電解質を用いることで、漏液性等に対する安全性が高まる。また、二次電池の薄型化および軽量化が可能である。

【0128】

また、電解液の代わりに、硫化物系や酸化物系等の無機物材料を有する固体電解質や、PEO (ポリエチレンオキシド) 系等の高分子材料を有する固体電解質を用いることができる。固体電解質を用いる場合には、セパレータやスペーサの設置が不要となる。また、

50

電池全体を固体化できるため、漏液のおそれがなくなり安全性が飛躍的に向上する。

【0129】

硫化物系固体電解質の一例として、チオシリコン系 ($\text{Li}_{10}\text{GeP}_2\text{S}_{12}$ 、 $\text{Li}_{3.25}\text{Ge}_{0.25}\text{P}_{0.75}\text{S}_4$ 等)、硫化物ガラス ($70\text{Li}_2\text{S} \cdot 30\text{P}_2\text{S}_5$ 、 $30\text{Li}_2\text{S} \cdot 26\text{B}_2\text{S}_3 \cdot 44\text{LiI}$ 、 $63\text{Li}_2\text{S} \cdot 38\text{SiS}_2 \cdot 1\text{Li}_3\text{PO}_4$ 、 $57\text{Li}_2\text{S} \cdot 38\text{SiS}_2 \cdot 5\text{Li}_4\text{SiO}_4$ 、 $50\text{Li}_2\text{S} \cdot 50\text{GeS}_2$ 等)、硫化物結晶化ガラス ($\text{Li}_7\text{P}_3\text{S}_{11}$ 、 $\text{Li}_{3.25}\text{P}_{0.95}\text{S}_4$ 等) が挙げられる。酸化物系固体電解質の一例として、ペロブスカイト型結晶構造を有する材料 ($\text{La}_{2/3-x}\text{Li}_3\text{TiO}_3$ 等)、NASICON型結晶構造を有する材料 ($\text{Li}_{1-x}\text{Al}_x\text{Ti}_{2-x}(\text{PO}_4)_3$ 等)、ガーネット型結晶構造を有する材料 ($\text{Li}_7\text{La}_3\text{Zr}_2\text{O}_{12}$ 等)、LISICON型結晶構造を有する材料 ($\text{Li}_{14}\text{ZnGe}_4\text{O}_{16}$ 等)、LLZO ($\text{Li}_7\text{La}_3\text{Zr}_2\text{O}_{12}$)、酸化物ガラス ($\text{Li}_3\text{PO}_4 - \text{Li}_4\text{SiO}_4$ 、 $50\text{Li}_4\text{SiO}_4 \cdot 50\text{Li}_3\text{BO}_3$ 等)、酸化物結晶化ガラス ($\text{Li}_{1.07}\text{Al}_{0.69}\text{Ti}_{1.46}(\text{PO}_4)_3$ 、 $\text{Li}_{1.5}\text{Al}_{0.5}\text{Ge}_{1.5}(\text{PO}_4)_3$ 等) が挙げられる。ハロゲン化物系固体電解質の一例として、 LiAlCl_4 、 Li_3InBr_6 、 LiF 、 LiCl 、 LiBr 、 LiI 等が挙げられる。また、NASICON型結晶構造を有する $\text{Li}_{1+x}\text{Al}_x\text{Ti}_{2-x}(\text{PO}_4)_3$ ($0 < x < 1$) (以下、LATP) は、アルミニウムとチタンという、本発明の一態様の二次電池に用いる正極活物質が有してもよい元素を含むため、サイクル特性の向上について相乗効果が期待でき好ましい。また、工程の削減による生産性の向上も期待できる。なお本明細書等において、NASICON型結晶構造とは、 $\text{M}_2(\text{XO}_4)_3$ (M: 遷移金属、X: S、P、As、Mo、W等) で表される化合物であり、 MO_6 八面体と XO_4 四面体が頂点を共有して3次元的に配列した構造を有するものをいう。

【0130】

[セパレータ]

また二次電池は、セパレータを有することが好ましい。セパレータとしては、例えば、紙、不織布、ガラス繊維、セラミックス、或いはナイロン(ポリアミド)、ビニロン(ポリビニルアルコール系繊維)、ポリエステル、アクリル、ポリオレフィン、ポリウレタンを用いた合成繊維等で形成されたものを用いることができる。

【0131】

[負極活物質]

正極活物質として元素A、元素X及び酸素を有する材料を用いる場合には、二次電池の負極活物質として、元素Aのイオンの挿入脱離により充放電反応を行うことが可能な材料、および元素Aとの合金化・脱合金化反応により充放電反応を行うことが可能な材料、等を用いることができる。

【0132】

負極活物質として、黒鉛、易黒鉛化性炭素(ソフトカーボン)、難黒鉛化性炭素(ハードカーボン)、カーボンナノチューブ、グラフェン、カーボンブラック等の炭素系材料を用いることができる。

【0133】

負極活物質として例えば、Al、Si、Ge、Sn、Pb、Sb、Bi、Ag、Zn、Cd、In、Ga等のうち少なくとも一つを含む材料が挙げられる。このような元素は炭素に対して容量が大きく、特にシリコンは理論容量が 4200mAh/g と飛躍的に高い。このため、負極活物質にシリコンを用いることが好ましい。このような元素を用いた合金系材料としては、例えば、 Mg_2Si 、 Mg_2Ge 、 Mg_2Sn 、 SnS_2 、 V_2Sn_3 、 FeSn_2 、 CoSn_2 、 Ni_3Sn_2 、 Cu_6Sn_5 、 Ag_3Sn 、 Ag_3Sb 、 Ni_2MnSb 、 CeSb_3 、 LaSn_3 、 $\text{La}_3\text{Co}_2\text{Sn}_7$ 、 CoSb_3 、 InSb 、 SbSn 等の合金系材料を用いることができる。

【0134】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0135】

10

20

30

40

50

(実施の形態3)

本実施の形態には、本発明の一態様の蓄電装置、および蓄電装置が有する電池セルおよび組電池の一例を示す。

【0136】

本発明の一態様の電池セルとして角型、円筒型、コイン型、可撓性を有するラミネート型、等の様々な形態の電池セルを用いることができる。

【0137】

[円筒型二次電池]

以下に、本発明の一態様の電池セルとして円筒型の二次電池を用いる例について、図4Aを参照して説明する。円筒型の二次電池400は、図4Aに示すように、上面に正極キャップ(電池蓋)401を有し、側面及び底面に電池缶(外装缶)402を有している。これら正極キャップ401と電池缶(外装缶)402とは、ガスケット(絶縁パッキン)410によって絶縁されている。

10

【0138】

図4Bは、円筒型の二次電池の断面を模式的に示した図である。図4Bに示す円筒型の二次電池は、上面に正極キャップ(電池蓋)601を有し、側面および底面に電池缶(外装缶)602を有している。これら正極キャップと電池缶(外装缶)602とは、ガスケット(絶縁パッキン)610によって絶縁されている。

【0139】

中空円柱状の電池缶602の内側には、帯状の正極604と負極606とがセパレータ605を間に挟んで捲回された電池素子が設けられている。正極604は例えば、集電体の両面、あるいは一方の面に、正極活物質を有する層(以降、正極活物質層と呼ぶ)が形成される。負極606は例えば、集電体の両面、あるいは一方の面に、負極活物質を有する層(以降、負極活物質層と呼ぶ)が形成される。

20

【0140】

活物質層は活物質に加えて、導電体を有することが好ましい。導電体として、シート状の化合物、繊維状の化合物、等を用いてもよい。シート状の化合物および繊維状の化合物は例えば、三次元の導電パスを形成することができる。シート状の化合物は、複数の活物質に接するように配置されることにより、複数の活物質にわたって導電性を付与することができる。またシート状の化合物は、活物質の表面を包み込むように配置されることにより、活物質と面接触を可能とし、活物質層の導電性を高めることができる。複数の繊維状の化合物が例えば活物質層の厚さ方向に互いに接触して導電パスを形成することができる。よって、活物質層の導電性を高めることができる。シート状の導電体として例えば、グラフェンを用いることができる。グラフェンが丸まってカーボンナノファイバーのようになっていてもよい。また、導電体は凝集体を形成してもよい。導電体が凝集体を形成することにより、活物質層の導電性が高まる場合がある。

30

【0141】

導電体としてシート状の炭素含有化合物または繊維状の炭素含有化合物を用いることにより、活物質層の導電性を高めることができ、急速充電、急速放電、等に適する二次電池を提供することができる。

40

【0142】

図示しないが、電池素子はセンターピンを中心に捲回されている。電池缶602は、一端が閉じられ、他端が開いている。電池缶602には、電解液に対して耐腐食性のあるニッケル、アルミニウム、チタン等の金属、又はこれらの合金やこれらと他の金属との合金(例えば、ステンレス鋼等)を用いることができる。また、電解液による腐食を防ぐため、ニッケルやアルミニウム等を電池缶602に被覆することが好ましい。電池缶602の内側において、正極、負極およびセパレータが捲回された電池素子は、対向する一對の絶縁板608、609により挟まれている。また、電池素子が設けられた電池缶602の内部は、非水電解液(図示せず)が注入されている。

【0143】

50

円筒型の蓄電池に用いる正極および負極は捲回するため、集電体の両面に活物質を形成する構造を有することが好ましい。正極 604 には正極端子（正極集電リード）603 が接続され、負極 606 には負極端子（負極集電リード）607 が接続される。正極端子 603 および負極端子 607 は、ともにアルミニウムなどの金属材料を用いることができる。正極端子 603 は安全弁機構 613 に、負極端子 607 は電池缶 602 の底にそれぞれ抵抗溶接される。安全弁機構 613 は、PTC 素子（Positive Temperature Coefficient）611 を介して正極キャップ 601 と電氣的に接続されている。安全弁機構 613 は電池の内圧の上昇が所定の閾値を超えた場合に、正極キャップ 601 と正極 604 との電氣的な接続を切断するものである。また、PTC 素子 611 は温度が上昇した場合に抵抗が増大する熱感抵抗素子であり、抵抗の増大により電流量を制限して異常発熱を防止するものである。PTC 素子には、チタン酸バリウム（BaTiO₃）系半導体セラミックス等を用いることができる。

10

【0144】

図 5 A は蓄電装置 415 の一例を示す。蓄電装置 415 は組電池 408 と、温度センサ 427 と、半導体装置 420 と、を有する。

【0145】

組電池 408 には、先の実施の形態に示した組電池 120 の記述を適用することができる。温度センサ 427 には、先の実施の形態に示した温度センサ TS1 の記述を適用することができる。半導体装置 420 には、先の実施の形態に示した半導体装置 101 の記述を適用することができる。

20

【0146】

組電池 408 は複数の二次電池 400 を有する。それぞれの二次電池の正極は、絶縁体 425 で分離された導電体 424 に接触し、電氣的に接続されている。導電体 424 は配線 423 を介して、半導体装置 420 に電氣的に接続されている。また、それぞれの二次電池の負極は、配線 426 を介して半導体装置 420 に電氣的に接続されている。

【0147】

図 5 B は、蓄電装置 415 の一例を示す。蓄電装置 415 は組電池 408 と、温度センサ 427 と、半導体装置 420 と、を有する。

【0148】

組電池 408 には、先の実施の形態に示した組電池 120 の記述を適用することができる。温度センサ 427 には、先の実施の形態に示した温度センサ TS1 の記述を適用することができる。半導体装置 420 には、先の実施の形態に示した半導体装置 101 の記述を適用することができる。

30

【0149】

組電池 408 は複数の二次電池 400 を有し、複数の二次電池 400 は、導電板 413 及び導電板 414 の間に挟まれている。複数の二次電池 400 は、配線 416 により導電板 413 及び導電板 414 と電氣的に接続される。複数の二次電池 400 は、並列接続されていてもよいし、直列接続されていてもよいし、並列に接続された後、並列に接続された二次電池同士がさらに直列に接続されていてもよい。複数の二次電池 400 を有する蓄電装置 415 を構成することで、大きな電力を取り出すことができる。

40

【0150】

複数の二次電池 400 が、並列に接続された後さらに直列に接続されてもよい。

【0151】

複数の二次電池 400 の間に温度制御装置を有していてもよい。二次電池 400 が過熱されたときは、温度制御装置により冷却し、二次電池 400 が冷えすぎているときは温度制御装置により加熱することができる。そのため蓄電装置 415 の性能が外気温に影響されにくくなる。

【0152】

また、図 5 B において、蓄電装置 415 は半導体装置 420 に配線 421 及び配線 422 を介して電氣的に接続されている。配線 421 は導電板 413 を介して複数の二次電池 4

50

00の正極に、配線422は導電板414を介して複数の二次電池400の負極に、それぞれ電氣的に接続される。

【0153】

[角型二次電池]

図6を用いて、本発明の一態様の蓄電装置が有する電池セルに適用可能な二次電池の一例を示す。

【0154】

図6Aに示す捲回体950は、負極931と、正極932と、セパレータ933と、を有する。捲回体950は、セパレータ933を挟んで負極931と、正極932が重なり合っ

10

て積層され、該積層シートを捲回させた捲回体である。なお、負極931と、正極932と、セパレータ933と、の積層を、さらに複数重ねてもよい。負極931、正極932およびセパレータ933からなる積層の積層数は、必要な容量と素子体積に応じて適宜設計すればよい。端子951および端子952は正極リード電極および負極リード電極である。

【0155】

図6Bに示すように、筐体930として角柱型のケースを用いることができる。筐体930の内部は電解液に含浸される。図6Bでは便宜のため、筐体930を分離して図示しているが、実際は、捲回体950が筐体930に覆われ、端子951及び端子952が筐体930の外に延在している。筐体930としては、金属材料(例えばアルミニウムなど)又は樹脂材料を用いることができる。

20

【0156】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0157】

(実施の形態4)

本実施の形態では、本発明の一態様に用いることができる処理装置等の一例を示す。

【0158】

<処理装置の構成例1>

以下に、パワーゲーティングが可能な処理装置、およびその電源管理機構等について説明する。

【0159】

30

図7を参照して、半導体装置、およびその電源管理を説明する。図7Aに示す半導体装置は、電源回路10、および処理装置(PU: Processing Unit)20を有する。PU20は命令を実行する機能を有する回路である。PU20は、1つのチップに集積された複数の機能回路を有する。PU20は、プロセッサコア30、電源管理装置(PMU)60、クロック制御回路65、パワースイッチ(PSW)70、並びに、端子80乃至端子83を有する。図7Aには、電源回路10が、PU20と異なるチップに設けられている例を示している。端子80は、電源回路10から電源電位MVDDが入力される端子である。端子81は、外部から基準クロック信号CLKMが入力される端子である。端子82は、外部から信号INTが入力される端子である。信号INTは割り込み処理を要求する割り込み信号である。信号INTは、PU20およびPMU60に入力される。端子83は、PMU60で生成された制御信号が出力される端子であり、電源回路10と電氣的に接続されている。

40

【0160】

本発明の一態様の半導体装置において、処理装置が演算回路等で扱えるビット数は例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

【0161】

<プロセッサコア30、記憶回路31>

プロセッサコア30は、命令を処理することができる機能を有する回路であり、演算処理回路と呼ぶことが可能である。記憶回路31、および複数の組み合わせ回路32等を有しており、これらにより、各種の機能回路が構成されている。例えば、記憶回路31は、

50

レジスタに含まれる。

【0162】

図7Bに示すように、記憶回路31は、回路MemC1および回路BKC1を有する。回路MemC1は、プロセッサコア30が生成したデータを保持する機能を有し、例えば、フリップフロップ回路(FF)、ラッチ回路等で構成することができる。回路BKC1は、回路MemC1のバックアップ回路として機能することができ、電源が遮断されていても、またはクロック信号が遮断されていても長期間データを保持することが可能な回路である。このような記憶回路31を有することで、プロセッサコア30のパワーゲーティングを行うことが可能となる。電源を遮断する前に、記憶回路31において、回路MemC1のデータを回路BKC1に退避しておくことで、電源遮断時のプロセッサコア30の状態を保持することができるからである。電源供給が再開されると、回路BKC1で保持されているデータが回路MemC1に書き込まれるので、プロセッサコア30を電源遮断時の状態に復帰することができる。よって、電源供給の再開後、PU20は直ちに通常処理動作を行うことができる。

10

【0163】

回路BKC1は、1のトランジスタ(MW1)および1の容量素子(CB1)を有する保持回路を少なくとも有する。図7Bに示す保持回路は、標準的なDRAM(ダイナミックランダムアクセスメモリ)の1T1C(1トランジスタ1容量素子)型メモリセルと同様な回路構成を有しており、書き込み、読み出し動作も同様に行うことができる。トランジスタMW1の導通状態を制御することで、容量素子CB1の充電、放電が制御される。トランジスタMW1をオフ状態とすることで、ノードFN1は電氣的に浮遊状態となる。トランジスタMW1のオフ状態におけるドレイン電流(オフ電流)を極めて小さくすることで、ノードFN1の電位の変動を抑えることができるため、回路BKC1のデータ保持時間を長くすることができる。回路BKC1のデータ保持時間は、トランジスタMW1のリーク電流や、容量素子CB1の静電容量等で決まる。トランジスタMW1をオフ電流が極めて小さなトランジスタとすることで、PU20が稼働している期間は、回路BKC1をリフレッシュする必要がない。よって、回路BKC1を不揮発性記憶回路として用いることが可能となる。

20

【0164】

トランジスタMW1としてOSTランジスタを用いることが好ましい。酸化物半導体はバンドギャップが2eV以上であるため、オフ電流が著しく少ない。OSTランジスタでは、ソースドレイン間電圧が10Vの状態、チャンネル幅1μmあたりの規格化されたオフ電流を 10×10^{-21} A(10zeptoA)以下とすることが可能である。トランジスタMW1をOSTランジスタとすることで、PU20が動作している期間は、回路BKC1は実質的に不揮発性記憶回路として機能させることができる。実施の形態2でOSTランジスタについて説明する。

30

【0165】

チャンネルが形成される半導体層に用いる酸化物半導体膜は単層の酸化物半導体膜で形成してもよいし、積層の酸化物半導体膜で形成してもよい。チャンネルが形成される半導体層を構成する酸化物半導体は、少なくともIn、Ga、SnおよびZnのうちの1種以上の元素を含有する酸化物であることが好ましい。このような酸化物としては、In-Sn-Ga-Zn酸化物や、In-Ga-Zn酸化物、In-Sn-Zn酸化物、In-Al-Zn酸化物、Sn-Ga-Zn酸化物、Al-Ga-Zn酸化物、Sn-Al-Zn酸化物、In-Zn酸化物、Sn-Zn酸化物、Al-Zn酸化物、Zn-Mg酸化物、Sn-Mg酸化物、In-Mg酸化物や、In-Ga酸化物、In酸化物、Sn酸化物、Zn酸化物等を用いることができる。

40

【0166】

回路BKC1は、電圧によってデータの書き込みを行うため、電流により書き込みを行うMRAM(磁気抵抗RAM)よりも書き込み電力を抑えることができる。また、ノードFN1の負荷容量でデータを保持しているため、フラッシュメモリのようなデータの書き

50

換え回数の制限がない。

【 0 1 6 7 】

回路 B K C 1 において、データの書き込みに要するエネルギーは、容量素子 C B 1 への電荷の充放電に伴うエネルギーに相当する。一方、M R A M などの 2 端子の記憶素子を用いた記憶回路では、データの書き込みに要するエネルギーは、当該記憶素子に電流が流れる際に消費されるエネルギーに相当する。M R A M ではデータの書き込み期間中に電流が流れ続けるため、データの書き込みに要するエネルギーが高くなる。このような M R A M と比較して、回路 B K C 1 は、データの書き込みで消費されるエネルギーを小さくすることができる。したがって、バックアップ回路を M R A M で構成した記憶回路と比較して、記憶回路 3 1 は、消費されるエネルギーを低減できるボルテージスケーリングおよびパワーゲーティングを行うことが可能な機会が多くなるため、P U 2 0 の消費電力を低減することができる。

10

【 0 1 6 8 】

< 電源管理 >

P M U 6 0 は、パワーゲーティング動作、クロックゲーティング動作、およびボルテージスケーリング動作等を制御する機能を有する。より具体的には、P M U 6 0 は、電源回路 1 0 を制御することができる機能、記憶回路 3 1 を制御することができる機能、クロック制御回路 6 5 を制御することができる機能、および P S W 7 0 を制御することができる機能を有する。そのため、P M U 6 0 は、これら回路（電源回路 1 0、記憶回路 3 1、クロック制御回路 6 5、P S W 7 0）を制御する制御信号を生成する機能を有する。P M U 6 0 は回路 6 1 を有する。回路 6 1 は、時間を計測することができる機能を有する。P M U 6 0 は、回路 6 1 で得られる時間に関するデータをもとに、電源管理を行うことができる機能を有する。

20

【 0 1 6 9 】

P S W 7 0 は、P M U 6 0 の制御信号に従い、P U 2 0 への電源電位 M V D D の供給を制御することができる機能を有する。ここでは、P S W 7 0 を介して P U 2 0 に供給される電源電位を電源電位 V D D と呼ぶこととする。プロセッサコア 3 0 は複数の電源ドメインを有していてもよい。この場合、P S W 7 0 により、複数の電源ドメインへの電源供給を独立に制御できるようにすればよい。また、プロセッサコア 3 0 は、パワーゲーティングを行う必要のない電源ドメインを有していてもよい。この場合、この電源ドメインに P S W 7 0 を介さずに電源電位を供給してもよい。

30

【 0 1 7 0 】

クロック制御回路 6 5 は、基準クロック信号 C L K M が入力され、ゲーテッドクロック信号を生成し、出力する機能を有する。クロック制御回路 6 5 は、P M U 6 0 の制御信号に従い、プロセッサコア 3 0 へのクロック信号を遮断することができる機能を有している。電源回路 1 0 は、P M U 6 0 の制御信号に従い、電源電位 V D D の電位の大きさを変更できる機能を有する。

【 0 1 7 1 】

プロセッサコア 3 0 から P M U 6 0 に出力される信号 S L P は、プロセッサコア 3 0 を休止状態に移行するトリガとなる信号である。P M U 6 0 は、信号 S L P が入力されると、休止状態に移行するための制御信号を生成し、制御対象の機能回路に出力する。電源回路 1 0 は、P M U 6 0 の制御信号に基づいて、電源電位 M V D D を通常動作時よりも低くする。休止状態が一定時間経過すると、P M U 6 0 は、P S W 7 0 を制御して、プロセッサコア 3 0 への電源供給を遮断する。プロセッサコア 3 0 が通常状態から休止状態に移行すると、P M U 6 0 は、プロセッサコア 3 0 の電源電位 V D D を下げるボルテージスケーリング動作を行う。休止状態の期間が設定された時間を超えると、プロセッサコア 3 0 の消費電力をさらに低減するため、プロセッサコア 3 0 への電源電位 V D D の供給を停止するパワーゲーティング動作を行う。以下、図 8、図 9 を参照して、図 7 に示す半導体装置の電源管理について説明する。

40

【 0 1 7 2 】

50

図 8 は、電源線 3 5 の電位の変化を模式的に表している。電源線 3 5 は、P S W 7 0 を介して電源電位 V D D が供給される配線である。図の横軸は通常状態から休止状態になった経過時間 (t i m e) であり、t 0、t 1 等は時間を表している。図 8 A は、休止状態でパワーゲーティングのみを実行した例であり、図 8 B は、休止状態でボルテージスケーリングのみを実行した例である。図 8 C、図 8 D は、ボルテージスケーリングとパワーゲーティングとを実行する例である。通常状態では、電源回路 1 0 から供給される電源電位 M V D D の大きさは V H 1 であるとする。

【 0 1 7 3 】

また、以下では、P U 2 0 の電源モードを、電源オンモード、電源オフモード、低電源モードの 3 つのモードに区別する。電源 (p o w e r o n) オンモードとは、通常処理が可能で電源電位 V D D を P U 2 0 に供給するモードである。電源オフ (p o w e r o f f) モードとは、P S W 7 0 により電源電位 V D D の供給を停止するモードである。低電源 (l o w p o w e r) モードは、電源オンモードよりも低い電源電位 V D D を供給するモードである。

【 0 1 7 4 】

図 8 A の例を説明する。時間 t 0 で、プロセッサコア 3 0 において休止状態に移行する処理が開始される。例えば、記憶回路 3 1 のバックアップが行われる。P M U 6 0 は P S W 7 0 を制御し、時間 t 1 でプロセッサコア 3 0 への電源供給を遮断する。電源線 3 5 は自然放電して、その電位は 0 V まで低下する。これにより、休止状態でのプロセッサコア 3 0 のリーク電流を大幅に低下させることができるので、休止状態での消費電力 (以下、待機電力と呼ぶ場合がある。) を削減することができる。外部からの割り込み要求等により通常状態に復帰する場合は、P M U 6 0 は P S W 7 0 を制御し、V D D の供給を再開させる。ここでは、時間 t 4 で、V D D の供給が再開されている。電源線 3 5 の電位は上昇し、時間 t 6 で V H 1 になる。

【 0 1 7 5 】

図 8 B の例の場合は、ボルテージスケーリングを行うため、時間 t 1 で、P M U 6 0 が電源回路 1 0 を制御し、電源電位 M V D D の電位を V H 2 に低下している。電源線 3 5 の電位はやがて V H 2 になる。時間 t 4 で、電源電位 M V D D が V H 2 から V H 1 に戻ると、電源線 3 5 の電位は上昇し、時間 t 5 で V H 1 になる。

【 0 1 7 6 】

図 8 A の例の場合、休止状態から通常状態に復帰するのにかかる時間 (オーバーヘッド時間) は、電源線 3 5 の電位が 0 V から V H 1 に上昇するのにかかる時間であり、また、復帰に要するエネルギーオーバーヘッドは、電源線 3 5 の負荷容量を 0 V から V H 1 に充電するのに必要なエネルギーである。電源オフモードの期間 (t 1 - t 4) が十分に長ければ、P U 2 0 の待機電力の削減には、パワーゲーティングが有効である。他方、期間 (t 1 - t 4) が短いと、電源が遮断されることで削減できる電力よりも、通常状態に復帰するのに要する電力の方が大きくなり、パワーゲーティングの効果を得ることができない。

【 0 1 7 7 】

図 8 B に示すボルテージスケーリングの例では、休止状態では電源線 3 5 の電位は V H 2 であるため、図 8 A のパワーゲーティングの例よりも待機電力の削減量は少ない。他方、図 8 B の例では、電源線 3 5 の電位の変動が小さいため、図 8 A の例よりも通常状態に復帰するのにかかる時間は短く、かつ復帰に要するエネルギーが少ない。そこで、図 7 に示す半導体装置では、P U 2 0 の待機電力の削減をより効率よく行うため、パワーゲーティングとボルテージスケーリングとを組み合わせた電源管理を可能とする。図 8 C、および図 8 D に電源管理の例を示す。

【 0 1 7 8 】

図 8 C に示すように、まず、休止状態ではボルテージスケーリング動作が行われ、電源オンモードから低電源モードに移行する。図 8 B と同様に、時間 t 1 で、P M U 6 0 が電源回路 1 0 を制御し、電源電位 M V D D の電位を V H 2 に低下するため、電源線 3 5 の電位はやがて V H 2 になる。低電源モードに移行してから一定期間 (t 1 - t 3) 経過後、

10

20

30

40

50

P M U 6 0 は P S W 7 0 を制御し、電源オフモードとする。期間 (t 3 - t 4) は、P U 2 0 に V H 2 を供給しているよりも、通常状態に復帰するのに消費される電力を含んでもパワーゲーティングによって P U 2 0 の電源を遮断した方が電力を削減することが可能な期間である。

【 0 1 7 9 】

例えば、電位 V H 2 は、記憶回路 3 1 の回路 M e m C 1 でデータを保持することができる大きさの電源電位であり、電位 V H 3 は、回路 M e m C 1 のデータが失われてしまう電位であるとする。図 7 A の P U 2 0 では、回路 B K C 1 は、電源の供給が停止されている期間でもデータを保持することが可能な回路である。期間 (t 0 - t 1) で、記憶回路 3 1 のデータを回路 B K C 1 に退避しておくことで、低電源モードにおいて、回路 M e m C 1 のデータが失われてしまう電位 V H 3 まで V D D を低下させることが可能である。これにより、P U 2 0 の待機電力をさらに削減することができる。

10

【 0 1 8 0 】

P M U 6 0 は、割り込み要求等に基づいて、P U 2 0 を通常状態に復帰することができる機能を有する。P M U 6 0 は、電源回路 1 0 を制御し M V D D の大きさを V H 1 に昇圧し、また、P S W 7 0 を制御し P U 2 0 の V D D の供給を再開する。時間 t 4 以降は電源オンモードである。時間 t 6 で電源線 3 5 の電位が安定することで、時間 t 6 以降に、P U 2 0 は通常動作が可能となる。

【 0 1 8 1 】

図 8 D には、時間 t 3 よりも前に通常動作に復帰させる割り込み要求がある例を示す。時間 t 2 以降は、電源オンモードである。時間 t 2 で、P M U 6 0 は、電源回路 1 0 を制御し M V D D の大きさを電源オンモードの電位 V H 1 に変更する。時間 t 3 で、電源線 3 5 の電位は V H 1 まで上昇する。

20

【 0 1 8 2 】

図 8 C および図 8 D に示すように、休止状態において、電源線 3 5 の電位を V H 1 に戻すのに要する時間は、電源オフモードから電源オンモードに復帰させる方が、低電源モードから電源オンモードに復帰させるより長い。そのため、P M U 6 0 は、電源モードに応じて、プロセッサコア 3 0 を休止状態から通常状態に復帰させる動作のタイミングを調節できる機能を有している。これにより、プロセッサコア 3 0 を最短時間で休止状態から通常状態に復帰させることが可能になる。

30

【 0 1 8 3 】

また、休止状態において、低電源モードから電源オフモードへの移行は、P M U 6 0 に設けられている回路 6 1 で時間を計測することで可能となる。P M U 6 0 は、P U 2 0 から信号 S L P が入力されると、回路 6 1 で時間の計測を開始する。低電源モードにしてから所定の時間が経過すると、P M U 6 0 は、電源オフモードに移行する。P M U 6 0 の制御信号により P S W 7 0 はオフとなり、V D D の供給を遮断する。このように、回路 6 1 の計測データに基づく割り込み要求により、低電源モードから電源オフモードへ移行することが可能である。以下、図 9 を参照して、P M U 6 0 の電源管理動作例を説明する。

【 0 1 8 4 】

P U 2 0 が通常動作を行っている。電源モードは電源オンモードであり、また、P M U 6 0 はアイドル状態 (ステップ S 1 0) である。P M U 6 0 は信号 S L P が入力されるまでアイドル状態であり、信号 S L P の入力をトリガに退避シークエンスを実行する (ステップ S 1 1) 。図 9 の退避シークエンスの例では、まず、P M U 6 0 は、クロック制御回路 6 5 に制御信号を出力し、クロック信号の出力を停止させる (ステップ S 1 2) 。次に、データの退避を行わせるための制御信号を記憶回路 3 1 に出力する (ステップ S 1 3) 。記憶回路 3 1 では、P M U 6 0 の制御信号に従い、回路 M e m C 1 で保持しているデータを回路 B K C 1 に退避する。最後に、P M U 6 0 は、電源回路 1 0 を制御し、M V D D を低下させる。これらの動作により、電源モードは低電源モードに移行する (ステップ S 1 4) 。信号 S L P が入力されると、P M U 6 0 は内蔵している回路 6 1 を制御し、低電源モードの時間 T a を計測する (ステップ S 1 5) 。回路 6 1 を動作させるタイミングは

40

50

、退避シーケンスを実行している間であれば任意であり、例えば、信号 S L P が入力された時、クロック制御回路 6 5 に制御信号を出力する時、データ退避を開始する時、データ退避を終了した時、電源回路 1 0 に制御信号を出力する時などが挙げられる。

【 0 1 8 5 】

退避シーケンスの実行後、P M U 6 0 はアイドル状態となり（ステップ S 1 6 ）、信号 I N T の入力の監視、クロック制御回路 6 5 の測定時間 T a を監視する。信号 I N T が入力されると復帰シーケンスに移行する（ステップ S 1 7 ）。時間 T a が設定した時間 T v s を超えているか否を判定している（ステップ S 1 8 ）。P M U 6 0 は、時間 T a が時間 T v s を超えていると、電源モードを電源オフモードに移行させる制御を行い（ステップ S 1 9 ）、超えていなければアイドル状態が維持される（ステップ S 1 6 ）。時間 T v s は、低電源モードであるよりも電源オフモードにした方が、プロセッサコア 3 0 の待機電力を削減できるような時間にすればよい。

10

【 0 1 8 6 】

ステップ S 1 9 では、P M U 6 0 は P S W 7 0 にプロセッサコア 3 0 への電源供給を遮断させる制御信号を出力する。電源オフモードにした後は、再び P M U 6 0 は、アイドル状態となり（ステップ S 2 0 ）、信号 I N T の入力を監視する（ステップ S 2 1 ）。信号 I N T が入力されると、P M U 6 0 は復帰シーケンスを実行する。

【 0 1 8 7 】

復帰シーケンスでは、まず、P M U 6 0 は電源オフモードから電源オンモードに移行させる（ステップ S 2 2 ）。P M U 6 0 は電源回路 1 0 を制御し、通常動作の電源電位を出力させる。かつ、P M U 6 0 は P S W 7 0 を制御し、プロセッサコア 3 0 への V D D の供給を再開させる。次に、記憶回路 3 1 に制御信号を出力し、記憶回路 3 1 のデータを復帰させる（ステップ S 2 3 ）。記憶回路 3 1 は、P M U 6 0 の制御信号に従い、回路 B K C 1 で保持されているデータを回路 M e m C 1 に書き戻す。P M U 6 0 は、クロック信号を出力させる制御信号をクロック制御回路 6 5 に出力する（ステップ S 2 4 ）。クロック制御回路 6 5 は P M U 6 0 の制御信号に従い、クロック信号の出力を再開する。

20

【 0 1 8 8 】

ステップ S 1 7 の判定処理から復帰シーケンスを実行する場合は、低電源モードから電源オンモードに復帰することとなり、ステップ S 2 1 の判定処理から復帰シーケンスを実行する場合よりも、電源線 3 5 の電位を速く安定させることができる。そのため、P M U 6 0 では、ステップ S 1 7 から復帰シーケンスに移行する場合は、ステップ S 2 1 から復帰シーケンスに移行する場合よりも、ステップ S 2 3 を実行するタイミングを早くしている。これにより、プロセッサコア 3 0 を休止状態から通常状態へ復帰させる時間を短くすることができる。

30

【 0 1 8 9 】

以上述べたように、図 7 に示す半導体装置の電源管理では、P U 2 0 が休止状態になると、まず、ボルテージスケールリング動作により、プロセッサコア 3 0 へ供給する電源電位を低くすることでリーク電流を削減しつつ、休止状態から通常状態へ復帰する処理の時間およびエネルギーのオーバーヘッドを抑えている。休止状態が一定期間続くと、パワーゲーティング動作を行い、プロセッサコア 3 0 のリーク電流を可能な限り抑えるようにしている。これにより、P U 2 0 の処理能力を低下させずに、P U 2 0 の休止状態での消費電力を削減することが可能になる。

40

【 0 1 9 0 】

< < 処理装置の構成例 2 > >

図 1 0 A に、図 7 A の処理装置の変形例を示す。図 1 0 A に示す処理装置（P U ）2 1 は、P U 2 0 にキャッシュ 4 0、およびパワースイッチ（P S W ）7 1 を追加したものである。キャッシュ 4 0 は、P U 2 0 と同様にパワーゲーティングおよびボルテージスケールリングが可能とされており、P U 2 1 の電源モードと連動してキャッシュ 4 0 の電源モードも変化する。P S W 7 1 は、キャッシュ 4 0 への電源電位 M V D D の供給を制御する回路であり、P M U 6 0 により制御される。ここでは、P S W 7 1 を介してキャッシュ 4 0

50

に入力される電源電位をVDD__MEMとしている。キャッシュ40には、プロセッサコア30と同様にPMU60からの制御信号、およびクロック制御回路65からゲーテッドクロック信号が入力される。

【0191】

<キャッシュ40>

キャッシュ40は、使用頻度の高いデータを一時的に記憶しておく機能を有する記憶装置である。キャッシュ40は、メモリアレイ41、周辺回路42、および制御回路43を有する。メモリアレイ41は、複数のメモリセル45を有する。制御回路43は、プロセッサコア30の要求に従って、キャッシュ40の動作を制御する。例えば、メモリアレイ41の書き込み動作、読み出し動作を制御する。周辺回路42は、制御回路43からの制御信号に従い、メモリアレイ41を駆動する信号を生成する機能を有する。メモリアレイ41は、データを保持するメモリセル45を有する。

10

【0192】

図10Bに示すように、メモリセル45は、回路MemC2および回路BKC2を有する。回路MemC2は、通常動作においてアクセス対象となるメモリセルである。例えば、SRAM(スタティックランダムアクセスメモリ)のメモリセルを適用すればよい。回路BKC2は、回路MemC2のバックアップ回路として機能することができ、電源が遮断されていても、またはクロック信号が遮断されていても長期間データを保持することが可能な回路である。このようなメモリセル45を設けることで、キャッシュ40のパワーゲーティングを行うことが可能となる。電源を遮断する前に、メモリセル45において、回路MemC2のデータをBKC2に退避する。電源供給を再開した後、回路BKC2で保持されているデータを回路MemC2に書き戻すことで、PU21を電源遮断前の状態に高速に復帰させることが可能である。

20

【0193】

メモリセル45の回路BKC2も図7Bの回路BKC1と同様に、1のトランジスタ(MW2)および1の容量素子(CB2)を有する保持回路を少なくとも有する。つまり、回路BKC2も標準的なDRAMの1T1C型メモリセルと同様な構成の保持回路を有する。トランジスタMW2はオフ電流が極めて低いものである。トランジスタMW2には、トランジスタMW1と同様に、OSTランジスタを適用すればよい。このような構成により、回路BKC2も、電氣的に浮遊状態であるノードFN2の電位の変動を抑えることができるため、回路BKC2は長期間データを保持することが可能である。回路BKC2のデータ保持時間は、トランジスタMW2のリーク電流や、容量素子CB2の静電容量等で決まる。トランジスタMW2をオフ電流が極めて小さなトランジスタとすることで、回路BKC2を、リフレッシュ動作が不要な不揮発性記憶回路として用いることが可能となる。

30

【0194】

図10Aに示すPU21においても、PU20と同様に、PMU60が電源管理を行う。(図9参照)。図9に示すステップS13では、記憶回路31およびキャッシュ40のデータの退避動作が行われる。ステップS19では、PSW70およびPSW71を制御し、プロセッサコア30およびキャッシュ40への電源供給を停止する。ステップS22では、PSW70およびPSW71を制御し、プロセッサコア30およびキャッシュ40への電源供給を再開する。ステップS23では、記憶回路31およびキャッシュ40のデータの復帰動作が行われる。

40

【0195】

そのため、図10に示す半導体装置も、図7に示す半導体装置と同様に、ボルテージスケーリングとパワーゲーティングとを組み合わせた電源管理が行われることで、PU21の処理能力を低下させずに、PU21の休止状態での電力を削減することが可能である。

【0196】

<<プロセッサコアの構成例>>

図11にプロセッサコアの構成例を示す。図11に示すプロセッサコア130は、制御装置131、プログラムカウンタ132、パイプラインレジスタ133、パイプラインレ

50

レジスタ 134、レジスタファイル 135、算術論理演算装置 (ALU) 136、およびデータバス 137 を有する。プロセッサコア 130 と PMU やキャッシュ等の周辺回路とのデータのやり取りは、データバス 137 を介して行われる。

【0197】

制御装置 131 は、プログラムカウンタ 132、パイプラインレジスタ 133、パイプラインレジスタ 134、レジスタファイル 135、ALU 136、データバス 137 の動作を統括的に制御することで、入力されたアプリケーションなどのプログラムに含まれる命令をデコードし、実行する機能を有する。ALU 136 は、四則演算、論理演算などの各種演算処理を行う機能を有する。プログラムカウンタ 132 は、次に実行する命令のアドレスを記憶する機能を有するレジスタである。

10

【0198】

パイプラインレジスタ 133 は、命令データを一時的に記憶する機能を有するレジスタである。レジスタファイル 135 は、汎用レジスタを含む複数のレジスタを有しており、メインメモリから読み出されたデータ、または ALU 136 の演算処理の結果得られたデータ、などを記憶することができる。パイプラインレジスタ 134 は、ALU 136 の演算処理に利用するデータ、または ALU 136 の演算処理により得られたデータなどを一時的に記憶する機能を有するレジスタである。

【0199】

図 7B の記憶回路 31 は、プロセッサコア 130 に含まれているレジスタに用いられている。

20

【0200】

< 記憶回路の構成例 >

図 7B に示す記憶回路 31 のより具体的な構成例を説明する。図 12 は、記憶回路の構成の一例を示す回路図である。図 12 に示す記憶回路 200 はフリップフロップ回路として機能する。

【0201】

回路 MemC1 に標準的なフリップフロップ回路 (FF) を適用することが可能であり、例えば、マスタスレーブ型の FF を適用することができる。そのような構成例を図 12 に示す。FF 110 は、トランسمッションゲート (TG1、TG2、TG3、TG4、TG5)、インバータ回路 (INV1、INV2)、および NAND 回路 (NAND1、NAND2) を有する。信号 RESET および信号 OSR は、PMU 60 から出力される制御信号である。TG5 には、信号 OSR とその反転信号が入力される。TG1 - TG4 は、クロック信号 CLK とその反転信号が入力される。TG1 と INV1 の代わりに 1 つのクロックドインバータ回路を設けてもよい。TG2 と NAND2 との代わりに、1 つのクロックド NAND 回路を設けてもよい。TG3 と INV3 との代わりに、クロックドインバータ回路を設けてもよい。TG5 は、NAND1 の出力ノードとノード NR1 との間の導通状態を制御するスイッチとして機能する。ノード NB1 は、回路 BKC10 の入力ノードと電氣的に接続され、ノード NR1 は回路 BKC10 の出力ノードと電氣的に接続されている。

30

【0202】

図 12 に示す回路 BKC10 は、FF 110 のバックアップ回路として機能する。回路 BKC10 は、回路 RTC10、および回路 PCC10 を有する。回路 BKC10 に入力される信号 (OSG、OSC、OSR) は、PMU 60 から出力される制御信号である。電源電位 VSS は、低電源電位であり、例えば接地電位 (GND) や 0V とすればよい。FF 110 にも、BKC1 と同様に電源電位 VSS、電源電位 VDD が入力されている。記憶回路 200 において、VDD の供給は PMU 60 により管理されている。

40

【0203】

回路 RTC10 は、トランジスタ MW1、トランジスタ MA1、およびトランジスタ MR1、ノード FN1、ノード NK1 を有する。回路 RTC10 はデータを保持する機能を有し、ここでは、3T 型のゲインセル構造の記憶回路で構成している。トランジスタ MW

50

1は書き込みトランジスタであり、OSトランジスタである。トランジスタMR1は読み出しトランジスタであり、トランジスタMA1は、増幅トランジスタでありかつ読み出しトランジスタである。ノードFN1でデータが保持される。ノードNK1はデータの入力ノードである。ノードNR1は、回路RTC10のデータの出力ノードである。

【0204】

図12には、回路BKC10が、退避動作でFF110のスレーブ側ラッチ回路のデータを読み出し、かつ、復帰動作で保持しているデータをマスタ側のラッチ回路に書き戻す構成例を示す。退避するデータはマスタ側のラッチ回路のデータでもよい。また、スレーブ側のラッチ回路にデータを復帰してもよい。この場合、スレーブ側のラッチ回路にTG5を設ければよい。

10

【0205】

また、回路RTC10のトランジスタMR1およびトランジスタMA1は、n型でもp型でもよく、トランジスタMR1およびトランジスタMA1の導電型によって、信号OSRの電位および、トランジスタMA1に供給する電源電位のレベルを変更すればよい。また、FF110の論理回路を適宜設定すればよい。例えば、トランジスタMR1およびトランジスタMA1がp型トランジスタである場合は、マスタ側ラッチ回路で、NAND1とINV3とを入れ替え、スレーブ側ラッチ回路でINV2とNAND2とを入れ替えればよい。また、トランジスタMA1にVSSに変えてVDDを入力するようにすればよい。

【0206】

回路BKC10は、電圧によってデータの書き込みを行うため、電流により書き込みを行うMRAMよりも書き込み電力を抑えることができる。また、ノードFN1の負荷容量でデータを保持しているため、フラッシュメモリのようなデータの書き換え回数の制限がない。

20

【0207】

回路RTC10において、データの書き込みに要するエネルギーは、容量素子CB1への電荷の充放電に伴うエネルギーに相当する。一方、MRAMなどの2端子の記憶素子を用いた記憶回路では、データの書き込みに要するエネルギーは、当該記憶素子に電流が流れる際に消費されるエネルギーに相当する。よって、データの書き込み期間中に電流が流れ続けるMRAMなどを用いた場合に比べて、回路BKC10は、データの退避により消費されるエネルギーを小さくすることができる。そのため、バックアップ回路に回路BKC10を設けることで、MRAMを設ける場合と比較して、BET(損益分岐点到達時間, Break Even Time)を短くすることができる。その結果、消費されるエネルギーを低減できるパワーゲーティングを行う機会が増加し、半導体装置の消費電力を低減することができる。

30

【0208】

回路PCC10は、トランジスタMC1およびトランジスタMC2を有する。回路PCC10は、ノードFN1をプリチャージする機能を有する。回路PCC10は、設けなくてもよい。後述するように、回路PCC10を設けることで、回路BKC10のデータ退避時間を短くすることができる。

【0209】

<記憶回路の動作例>

40

図13は、記憶回路200の動作の一例を示すタイミングチャートであり、制御信号(信号SLP、信号RESET、クロック信号CLK、信号OSG、信号OSR)の波形、並びに、電源電位VDD、ノードFN1およびノードNR1の電位の変化を示す。

【0210】

[通常動作]

「通常動作(Normal operation)」の期間について説明する。記憶回路200には、電源電位VDD、およびクロック信号CLKが供給されている。FF110が順序回路として機能している。信号RESETは高レベルが維持されるため、NAND1およびNAND2はインバータ回路として機能する。回路BKC1では、トランジスタ

50

タMC1がオフ状態であり、トランジスタMC2およびトランジスタMW1がオン状態であるため、ノードFN1の電位は高レベルにプリチャージされている。

【0211】

[データ退避]

次に、「バックアップ(Backup)」の期間について説明する。まず、クロック信号CLKが停止される。これにより、ノードNB1のデータの書き換えが停止される。図13の例では、ノードNB1の電位レベルは、ノードNR1の電位が高レベル("1")であれば、低レベル("0")であり、低レベル("0")であれば高レベル("1")である。信号OSCが高レベルの期間に、ノードNB1のデータがノードFN1に退避される。具体的には、トランジスタMC1およびトランジスタMW1がオン状態であるため、ノードFN1とノードNB1が電氣的に接続されている。信号OSGを低レベルにして、トランジスタMW1がオフ状態にすることで、ノードFN1が電氣的に浮遊状態となり、回路BKC10はデータの保持状態となる。ノードFN1の電位は、ノードNR1が低レベル("0")であれば高レベルであり、高レベル("1")であれば低レベルである。

【0212】

信号OSGを低レベルにすることでデータの退避が終了するので、信号OSGを低レベルにした後、直ちに、PU20のボルテージスケリング動作を行うことができる。また、トランジスタMC2により、通常動作時にノードFN1を高レベルにプリチャージしているので、ノードFN1を高レベルにするデータ退避動作では、ノードFN1の電荷の移動が伴わない。このため、回路BKC10は、短時間で退避動作を完了させることができる。

【0213】

データ退避動作では、クロック信号CLKが非アクティブであればよく、図13の例では、クロック信号CLKの電位を低レベルとしているが、高レベルとしてもよい。

【0214】

[ボルテージスケリング、低電源モード]

次に、「低電源(Low power)」の期間について説明する。信号OSCの立下りに連動して、PMU60は、ボルテージスケリング動作を行う。これにより記憶回路200は低電源モードに移行する。

【0215】

[パワーゲーティング、電源オフモード]

次に、「電源オフ(Power off)」の期間について説明する。低電源モードに移行してから一定期間経過したら、PMU60は、パワーゲーティング動作を行い、記憶回路200を電源オフモードにする。

【0216】

[電源オンモード]

次に、「電源オン(Power on)」の期間について説明する。割り込み要求に従い、PMU60は、記憶回路200を電源オンモードに復帰する。図13の例では、VDDを供給する電源線の電位が安定すると、クロック信号CLKは高レベルになるようにしている。なお、図13において、バックアップ、低電源、電源オフ、および電源オンの4つの期間を合わせて「スリープ(Sleep)」の期間と表す。

【0217】

[データ復帰]

信号OSRが高レベルの期間にデータ復帰動作が行われる。信号RESETを高レベルとすることで、ノードNR1の電位は高レベル("1")にプリチャージされる。信号OSRを高レベルとすることで、TG5がハイインピーダンス状態となり、かつトランジスタMR1が導通状態となる。トランジスタMA1の導通状態はノードFN1の電位で決まる。ノードFN1が高レベルであれば、トランジスタMA1が導通状態であるため、ノードNR1の電位は低下し、低レベル("0")となる。ノードFN1が低レベルであれば、ノードNR1の電位は高レベルが維持される。つまり、休止状態に移行する前の状態に、F

10

20

30

40

50

F 1 1 0 の状態が復帰される。

【 0 2 1 8 】

以上述べたように、信号 R E S E T、および信号 O S R の立ち上がりにより、ノード N R 1 に高レベルのデータの書き戻し (R e s t o r e) ができる。そのため、記憶回路 2 0 0 は、復帰動作期間を短くすることができる。

【 0 2 1 9 】

図 1 3 では、電源オフモードから電源オンモードに復帰している例を示している。低電源モードから電源オンモードに復帰する場合は、V D D を供給する電源線の電位が安定するまでの期間 T_{on} が短くなる。この場合は、電源オフモードから復帰する場合よりも信号 O S R の立ち上がりを早くするとよい。

10

【 0 2 2 0 】

[通常動作]

次に、「通常動作 (N o r m a l o p e r a t i o n) 」の期間について説明する。クロック信号 C L K の供給を再開することで、通常動作が可能な状態に復帰する。信号 O S G を高レベルにすることで、ノード F N 1 は、回路 P C C 1 0 によりプリチャージされ、高レベルとなる。

【 0 2 2 1 】

< < キャッシュ > >

以下に、キャッシュ 4 0 を S R A M で構成する例を説明する。

【 0 2 2 2 】

20

< メモリセルの構成例 >

図 1 4 にキャッシュのメモリセルの構成の一例を示す。図 1 4 に示すメモリセル 2 2 0 は、回路 S M C 2 0 および回路 B K C 2 0 を有する。回路 S M C 2 0 は、標準的な S R A M のメモリセルと同様な回路構成とすればよい。図 1 4 に示す回路 S M C 2 0 は、インバータ回路 I N V 1 1、インバータ回路 I N V 1 2、トランジスタ M 1 1、およびトランジスタ M 1 2 を有する。

【 0 2 2 3 】

回路 B K C 2 0 は、回路 S M C 2 0 のバックアップ回路として機能する。回路 B K C 2 0 は、トランジスタ M W 1 1、トランジスタ M W 1 2、容量素子 C B 1 1、容量素子 C B 1 2 を有する。トランジスタ M W 1 1、M W 1 2 は O S トランジスタである。回路 S M C 2 0 は 2 つの 1 T 1 C 型の保持回路を有しており、ノード S N 1 とノード S N 2 にそれぞれデータが保持される。トランジスタ M W 1 1 および容量素子 C B 1 1 とでなる保持回路は、ノード N E T 1 のデータをバックアップできる機能を有する。トランジスタ M W 1 2 および容量素子 C B 1 2 とでなる保持回路は、ノード N E T 2 のデータをバックアップできる機能を有する。

30

【 0 2 2 4 】

メモリセル 2 2 0 は電源電位 V D D M C、V S S が供給されている。メモリセル 2 2 0 は、配線 (W L、B L、B L B、B R L) と電気的に接続されている。配線 W L には、信号 S L C が入力される。データ書き込み時には、配線 B L、配線 B L B には、データ信号 D、データ信号 D B が入力される。データの読み出しは、配線 B L と配線 B L B の電位を検出することで行われる。配線 B R L には信号 O S S が入力される。信号 O S S は P M U 6 0 から入力される信号である。

40

【 0 2 2 5 】

< メモリセルの動作例 >

メモリセル 2 2 0 の動作の一例を説明する。図 1 5 は、メモリセル 2 2 0 のタイミングチャートの一例である。

【 0 2 2 6 】

[通常動作]

回路 S M C 2 0 にアクセス要求が行われ、データの書き込み読み出しが行われる。回路 B K C 2 0 では、信号 O S S は低レベルであるため、ノード S N 1 およびノード S N 2 が

50

電氣的に浮遊状態となっており、データ保持状態である。図 15 の例では、ノード S N 1 の電位は低レベル (" 0 ") であり、他方のノードであるノード S N 2 の電位は、高レベル (" 1 ") である。

【 0 2 2 7 】

[データ退避]

信号 O S S が高レベルにすることで、トランジスタ M W 1 1、M W 1 2 が導通状態となり、ノード S N 1、S N 2 は、それぞれ、ノード N E T 1、N E T 2 と同じ電位レベルとなる。図 15 の例では、ノード S N 1、S N 2 の電位は、それぞれ、高レベル、低レベルとなる。信号 O S S が低レベルとなり、回路 B K C 2 0 がデータ保持状態となり、データ退避動作が終了する。

10

【 0 2 2 8 】

[ボルテージスケーリング、低電源モード]

信号 O S S の立下りに連動して、P M U 6 0 は、ボルテージスケーリング動作を行う。これによりキャッシュ 4 0 は低電源モードに移行する。

【 0 2 2 9 】

[パワーゲーティング、電源オフモード]

低電源モードに移行してから一定期間経過したら、P M U 6 0 は、パワーゲーティング動作を行い、キャッシュ 4 0 を電源オフモードにする。

【 0 2 3 0 】

[データ復帰、電源オンモード]

20

割り込み要求に従い、P M U 6 0 はキャッシュ 4 0 を通常状態に復帰させる。信号 O S S を高レベルにして、回路 B K C 2 0 で保持されているデータを、回路 S M C 2 0 に書き戻す。信号 O S S が高レベルである期間中に、P M U 6 0 は、ボルテージスケーリング動作およびパワーゲーティング動作を行い、記憶回路 2 0 0 を電源オンモードに復帰する。図 13 の例では、V D D を供給する電源線の電位が安定すると、クロック信号 C L K は高レベルになるようにしている。V D D M C を供給する電源線の電位が安定したら、信号 O S S を低レベルに戻し、データ復帰動作を終了させる。ノード S N 1、S N 2 の状態は、休止状態になる直前の状態に復帰している。

【 0 2 3 1 】

[通常動作]

30

V D D M C の供給が再開されることで、回路 S M C 2 0 は通常動作が可能な通常モードに復帰する。

【 0 2 3 2 】

以上述べたように、O S トランジスタを用いることで、電源が遮断されていても長期間データを保持することが可能なバックアップ回路を構成することができる。このバックアップ回路を備えることで、プロセッサコアおよびキャッシュのパワーゲーティングが可能となる。また、休止状態において、ボルテージスケーリングとパワーゲーティングを組み合わせた電源管理を行うことで、休止状態から通常状態へ復帰する処理に要するエネルギーおよび時間のオーバーヘッドを削減することができる。よって、処理装置の処理能力を低下させずに、電力の削減を効率よく行うことが可能となる。

40

【 0 2 3 3 】

< メモリの一例 >

以下に、本発明の一態様の O S トランジスタを用いたメモリについて説明する。

【 0 2 3 4 】

本発明の一態様が有する蓄電装置は、メモリを有することが好ましい。メモリとして、O S トランジスタを用いたメモリ装置を適用することができる。例えば、以下に説明する N O S R A M (登録商標)、D O S R A M (登録商標) 等を適用することができる。

【 0 2 3 5 】

N O S R A M とは、メモリセルの書き込みトランジスタが O S トランジスタで構成されているゲインセル型 D R A M のことである。N O S R A M は N o n v o l a t i l e O

50

xide Semiconductor RAMの略称である。以下にNOSRAMの構成例を示す。

【0236】

図16AはNOSRAMの構成例を示すブロック図である。NOSRAM240には、パワードメイン242、243、パワースイッチ245乃至247が設けられている。パワードメイン242には、メモリセルアレイ250が設けられ、パワードメイン243にはNOSRAM240の周辺回路が設けられている。周辺回路は、制御回路251、行回路252、列回路253を有する。

【0237】

外部からNOSRAM240に電圧VDDD、電圧VSSS、電圧VDHW、電圧VDHR、電圧VBG2、クロック信号GCLK2、アドレス信号、信号CE、信号WE、信号PSE5が入力される。信号CE、信号WEはチップイネーブル信号、書き込みイネーブル信号である。信号PSE5は、パワースイッチ245乃至247のオンオフを制御する。パワースイッチ245乃至247は、パワードメイン243への電圧VDDD、電圧VDHW、電圧VDHRの入力をそれぞれ制御する。

10

【0238】

なお、NOSRAM240に入力される電圧、信号等は、NOSRAM240の回路構成、動作方法に応じて適宜取捨される。例えば、NOSRAM240にパワーゲーティングされないパワードメインを設け、信号PSE5を生成するパワーゲーティング制御回路を設けてもよい。

20

【0239】

メモリセルアレイ250は、メモリセル11、書き込みワード線WWL、読み出しワード線RWL、書き込みビット線WBL、読出しビット線RBL、ソース線SLを有する。

【0240】

図16Bに示すように、メモリセル11は2T1C(2トランジスタ1容量)型のゲインセルであり、ノードSN1、トランジスタM1、M2、容量素子C1を有する。トランジスタM1は書き込みトランジスタであり、バックゲートを有するOSTランジスタである。トランジスタM1のバックゲートは、電圧VBG2を供給する配線BGL2に電氣的に接続されている。トランジスタM2は読出しトランジスタであり、pチャネル型Siトランジスタである。容量素子C1はノードSN1の電圧を保持する保持容量である。

30

【0241】

電圧VDDD、VSSSはデータ“1”、“0”を表す電圧である。なお、書き込みワード線WWL、読み出しワード線RWLの高レベル電圧はそれぞれ、電圧VDHW、電圧VHDRである。

【0242】

図17Aにメモリセルアレイ250の構成例を示す。図17に示すメモリセルアレイ250では、隣接する2行で1本のソース線が供給されている。

【0243】

メモリセル11は原理的に書き換え回数に制限はなく、データの書き換えを低エネルギーで行え、データの保持に電力を消費しない。トランジスタM1が極小オフ電流のOSTランジスタであるため、メモリセル11は長時間データを保持することが可能である。よって、NOSRAM240でキャッシュを構成することで、不揮発性の低消費電力なキャッシュとすることができる。

40

【0244】

メモリセル11の回路構成は、図16Bの回路構成に限定されない。例えば、読出しトランジスタM2を、バックゲートを有するOSTランジスタ、またはnチャネル型Siトランジスタでもよい。或いは、メモリセル11は3T型ゲインセルでもよい。例えば、図17B、図17Cに3T型ゲインセルの例を示す。図17Bに示すメモリセル15は、トランジスタM3乃至M5、容量素子C3、ノードSN3を有する。トランジスタM3乃至M5は、書き込みトランジスタ、読出しトランジスタ、選択トランジスタである。トランジ

50

スタM3はバックゲートを有するOストランジスタであり、トランジスタM4、M5はpチャネル型Siトランジスタである。トランジスタM4、M5を、nチャネル型Siトランジスタまたはバックゲートを有するOストランジスタで構成してもよい。図17Cに示すメモリセル16では、3個のトランジスタはバックゲートを有するOストランジスタで構成されている。

【0245】

ノードSN3は保持ノードである。容量素子C3はノードSN3の電圧を保持するための保持容量である。容量素子C3を意図的に設けず、トランジスタM4のゲート容量などで保持容量を構成してもよい。配線PDLには固定電圧(例えば、VDD)が入力される。配線PDLはソース線SLに代わる配線であり、例えば、電圧VDDが入力される。

10

【0246】

制御回路251は、NOSRAM240の動作全般を制御する機能を有する。例えば、制御回路251は、信号CE、WEを論理演算して、外部からのアクセスが書き込みアクセスであるか読み出しアクセスであるかを判断する。

【0247】

行回路252は、アドレス信号が指定する選択された行の書込みワード線WWL、読出しワード線を選択する機能をもつ。列回路253は、アドレス信号が指定する列の書込みビット線にデータを書き込む機能、および当該列の書込みビット線WBLからデータを読み出す機能をもつ。

【0248】

20

DOSRAMとは、1T1C型のメモリセルを有するRAMのことであり、Dynamic Oxide Semiconductor RAMの略称である。以下、図19を参照して、DOSRAMについて説明する。

【0249】

図18Aに示すように、DOSRAM351のメモリセル16は、ビット線BL1(またはBLB1)、ワード線WL1、配線BGL6、配線PLに電氣的に接続される。ビット線BLB1は、反転ビット線である。例えば、配線BGL6、配線PLには、電圧VBG6、電圧VSSSがそれぞれ入力される。メモリセル16は、トランジスタM6および容量素子C6を有する。トランジスタM6はバックゲートを有するOストランジスタである。

30

【0250】

容量素子C6の充放電によってデータを書き換えるため、DOSRAM351には原理的には書き換え回数に制約はなく、かつ、低エネルギーで、データの書き込みおよび読み出しが可能である。また、メモリセル16の回路構成が単純であるため、大容量化が容易である。メモリセル16の書込みトランジスタがOストランジスタであるので、DOSRAM351の保持時間はDRAMに比べて非常に長い。したがってリフレッシュの頻度を低減できる、あるいは、リフレッシュ動作を不要にすることができるため、リフレッシュ動作に要する電力を削減できる。

【0251】

図18Bに示すように、DOSRAM351において、メモリセルアレイ361は、周辺回路365上に積層することができる。これは、メモリセル16のトランジスタM6がOストランジスタであるからである。

40

【0252】

メモリセルアレイ361には、複数のメモリセル16が行列状に配置され、メモリセル16の配列に応じて、ビット線BL1、BLB1、ワード線WL1、配線BGL6、PLが設けられている。周辺回路365には、制御回路、行回路、列回路が設けられる。行回路は、アクセス対象のワード線WL1の選択等を行う。列回路は、BL1とBLB1とでなるビット線対に対して、データの書き込みおよび読出し等を行う。

【0253】

周辺回路365をパワーゲーティングするために、パワースイッチ371、パワースイ

50

ッチ 373 が設けられている。パワースイッチ 371、パワースイッチ 373 は、周辺回路 365 への電圧 VDD、電圧 VDH6 の入力をそれぞれ制御する。なお、電圧 VDH6 はワード線 WL1 の高レベル電圧である。パワースイッチ 371、パワースイッチ 373 のオンオフは、信号 PSE6 で制御される。

【0254】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0255】

(実施の形態 5)

本実施の形態では、本発明の一態様の半導体装置の構成の一例を示す。

【0256】

半導体装置の断面構造の一部を図 19 に示す。図 19 に示す半導体装置は、トランジスタ 550 と、トランジスタ 500 と、容量 600 と、を有している。図 21A はトランジスタ 500 のチャネル長方向の断面図であり、図 21B はトランジスタ 500 のチャネル幅方向の断面図であり、図 21C はトランジスタ 550 のチャネル幅方向の断面図である。

【0257】

トランジスタ 500 は、OS トランジスタである。トランジスタ 500 は、オフ電流が極めて少ない。よって、トランジスタ 500 を介して記憶ノードに書き込んだデータ電圧あるいは電荷を長期間保持することが可能である。つまり、記憶ノードのリフレッシュ動作頻度を低減、あるいは、リフレッシュ動作を必要としないため、半導体装置の消費電力を低減することができる。

【0258】

図 19 では、トランジスタ 500 はトランジスタ 550 の上方に設けられ、容量 600 はトランジスタ 550、およびトランジスタ 500 の上方に設けられている。

【0259】

トランジスタ 550 は、基板 311 上に設けられ、導電体 316、絶縁体 315、基板 311 の一部からなる半導体領域 313、ソース領域またはドレイン領域として機能する低抵抗領域 314a、および低抵抗領域 314b を有する。

【0260】

図 21C に示すように、トランジスタ 550 は、半導体領域 313 の上面およびチャネル幅方向の側面が絶縁体 315 を介して導電体 316 に覆われている。このように、トランジスタ 550 を Fin 型とすることにより、実効上のチャネル幅が増大することによりトランジスタ 550 のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ 550 のオフ特性を向上させることができる。

【0261】

なお、トランジスタ 550 は、p チャネル型のトランジスタ、あるいは n チャネル型のトランジスタのいずれでもよい。

【0262】

半導体領域 313 のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域 314a、および低抵抗領域 314b などにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge (ゲルマニウム)、SiGe (シリコンゲルマニウム)、GaAs (ガリウムヒ素)、GaAlAs (ガリウムアルミニウムヒ素)などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。または GaAs と GaAlAs 等を用いることで、トランジスタ 550 を HEMT としてもよい。

【0263】

低抵抗領域 314a、および低抵抗領域 314b は、半導体領域 313 に適用される半導体材料に加え、ヒ素、リンなどの n 型の導電性を付与する元素、またはホウ素などの p 型の導電性を付与する元素を含む。

10

20

30

40

50

【0264】

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

【0265】

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

10

【0266】

トランジスタ550は、SOI(Silicon on Insulator)基板などを用いて形成してもよい。

【0267】

また、SOI基板としては、鏡面研磨ウエハに酸素イオンを注入した後、高温加熱することにより、表面から一定の深さに酸化層を形成させるとともに、表面層に生じた欠陥を消滅させて形成されたSIMOX(Separation by Implanted Oxygen)基板や、水素イオン注入により形成された微小ボイドの熱処理による成長を利用して半導体基板を劈開するスマートカット法、ELTRAN法(登録商標:Epitaxial Layer Transfer)などを用いて形成されたSOI基板を用いてもよい。単結晶基板を用いて形成されたトランジスタは、チャンネル形成領域に単結晶半導体を有する。

20

【0268】

なお、図19に示すトランジスタ550は一例であり、その構成に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。例えば、半導体装置をOSTランジスタのみの単極性回路(nチャンネル型トランジスタのみ、などと同極性のトランジスタを意味する)とする場合、図20に示すように、トランジスタ550の構成を、トランジスタ500と同様の構成にすればよい。なお、トランジスタ500の詳細については後述する。

【0269】

トランジスタ550を覆って、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。

30

【0270】

絶縁体320、絶縁体322、絶縁体324、および絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

【0271】

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

40

【0272】

絶縁体322は、その下方に設けられるトランジスタ550などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨(CMP)法等を用いた平坦化処理により平坦化されていてもよい。

【0273】

また、絶縁体324には、基板311、またはトランジスタ550などから、トランジスタ500が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を

50

用いることが好ましい。

【0274】

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ550との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【0275】

水素の脱離量は、例えば、昇温脱離ガス分析法(TDS)などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50 から500 の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

10

【0276】

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

20

【0277】

また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には容量600、またはトランジスタ500と接続する導電体328、および導電体330等が埋め込まれている。なお、導電体328、および導電体330は、プラグまたは配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構成をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

【0278】

各プラグ、および配線(導電体328、導電体330等)の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

30

【0279】

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図19では、絶縁体350、絶縁体352、および絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、および絶縁体354には、導電体356が形成されている。導電体356は、トランジスタ550と接続するプラグ、または配線としての機能を有する。なお導電体356は、導電体328、および導電体330と同様の材料を用いて設けることができる。

40

【0280】

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ550とトランジスタ500とは、バリア層により分離することができ、トランジスタ550からトランジスタ500への水素の拡散を抑制することができる。

【0281】

50

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ５５０からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体３５０と接する構成であることが好ましい。

【０２８２】

絶縁体３５４、および導電体３５６上に、配線層を設けてもよい。例えば、図１９では、絶縁体３６０、絶縁体３６２、および絶縁体３６４が順に積層して設けられている。また、絶縁体３６０、絶縁体３６２、および絶縁体３６４には、導電体３６６が形成されている。導電体３６６は、プラグまたは配線としての機能を有する。なお導電体３６６は、導電体３２８、および導電体３３０と同様の材料を用いて設けることができる。

10

【０２８３】

なお、例えば、絶縁体３６０は、絶縁体３２４と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体３６６は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体３６０が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ５５０とトランジスタ５００とは、バリア層により分離することができ、トランジスタ５５０からトランジスタ５００への水素の拡散を抑制することができる。

【０２８４】

絶縁体３６４、および導電体３６６上に、配線層を設けてもよい。例えば、図１９では、絶縁体３７０、絶縁体３７２、および絶縁体３７４が順に積層して設けられている。また、絶縁体３７０、絶縁体３７２、および絶縁体３７４には、導電体３７６が形成されている。導電体３７６は、プラグまたは配線としての機能を有する。なお導電体３７６は、導電体３２８、および導電体３３０と同様の材料を用いて設けることができる。

20

【０２８５】

なお、例えば、絶縁体３７０は、絶縁体３２４と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体３７６は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体３７０が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ５５０とトランジスタ５００とは、バリア層により分離することができ、トランジスタ５５０からトランジスタ５００への水素の拡散を抑制することができる。

30

【０２８６】

絶縁体３７４、および導電体３７６上に、配線層を設けてもよい。例えば、図１９では、絶縁体３８０、絶縁体３８２、および絶縁体３８４が順に積層して設けられている。また、絶縁体３８０、絶縁体３８２、および絶縁体３８４には、導電体３８６が形成されている。導電体３８６は、プラグまたは配線としての機能を有する。なお導電体３８６は、導電体３２８、および導電体３３０と同様の材料を用いて設けることができる。

【０２８７】

なお、例えば、絶縁体３８０は、絶縁体３２４と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体３８６は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体３８０が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ５５０とトランジスタ５００とは、バリア層により分離することができ、トランジスタ５５０からトランジスタ５００への水素の拡散を抑制することができる。

40

【０２８８】

上記において、導電体３５６を含む配線層、導電体３６６を含む配線層、導電体３７６を含む配線層、および導電体３８６を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体３５６を含む配線層と同様の配線層を３層以下にしてもよいし、導電体３５６を含む配線層と同様の配線層を５層以上にしてもよい。

50

【 0 2 8 9 】

絶縁体 3 8 4 上には絶縁体 5 1 0、絶縁体 5 1 2、絶縁体 5 1 4、および絶縁体 5 1 6 が、順に積層して設けられている。絶縁体 5 1 0、絶縁体 5 1 2、絶縁体 5 1 4、および絶縁体 5 1 6 のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

【 0 2 9 0 】

例えば、絶縁体 5 1 0、および絶縁体 5 1 4 には、例えば、基板 3 1 1、またはトランジスタ 5 5 0 を設ける領域などから、トランジスタ 5 0 0 を設ける領域に、水素や不純物に対するバリア性を有する膜を用いることが好ましい。したがって、絶縁体 3 2 4 と同様の材料を用いることができる。

10

【 0 2 9 1 】

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 5 0 0 等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 5 0 0 と、トランジスタ 5 5 0 との間に、水素の拡散を抑制する膜を用いることが好ましい。

【 0 2 9 2 】

また、水素に対するバリア性を有する膜として、例えば、絶縁体 5 1 0、および絶縁体 5 1 4 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

20

【 0 2 9 3 】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ 5 0 0 への混入を防止することができる。また、トランジスタ 5 0 0 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 5 0 0 に対する保護膜として用いることに適している。

【 0 2 9 4 】

また、例えば、絶縁体 5 1 2、および絶縁体 5 1 6 には、絶縁体 3 2 0 と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 5 1 2、および絶縁体 5 1 6 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

30

【 0 2 9 5 】

また、絶縁体 5 1 0、絶縁体 5 1 2、絶縁体 5 1 4、および絶縁体 5 1 6 には、導電体 5 1 8、およびトランジスタ 5 0 0 を構成する導電体（例えば、導電体 5 0 3）等が埋め込まれている。なお、導電体 5 1 8 は、容量 6 0 0、またはトランジスタ 5 5 0 と接続するプラグ、または配線としての機能を有する。導電体 5 1 8 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

【 0 2 9 6 】

特に、絶縁体 5 1 0、および絶縁体 5 1 4 と接する領域の導電体 5 1 8 は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ 5 5 0 とトランジスタ 5 0 0 とは、酸素、水素、および水に対するバリア性を有する層で、分離することができ、トランジスタ 5 5 0 からトランジスタ 5 0 0 への水素の拡散を抑制することができる。

40

【 0 2 9 7 】

絶縁体 5 1 6 の上方には、トランジスタ 5 0 0 が設けられている。

【 0 2 9 8 】

図 2 1 A および図 2 1 B に示すように、トランジスタ 5 0 0 は、絶縁体 5 1 4 および絶縁体 5 1 6 に埋め込まれるように配置された導電体 5 0 3 と、絶縁体 5 1 6 および導電体 5 0 3 の上に配置された絶縁体 5 2 0 と、絶縁体 5 2 0 の上に配置された絶縁体 5 2 2 と

50

、絶縁体 5 2 2 の上に配置された絶縁体 5 2 4 と、絶縁体 5 2 4 の上に配置された酸化物 5 3 0 a と、酸化物 5 3 0 a の上に配置された酸化物 5 3 0 b と、酸化物 5 3 0 b 上に互いに離れて配置された導電体 5 4 2 a および導電体 5 4 2 b と、導電体 5 4 2 a および導電体 5 4 2 b 上に配置され、導電体 5 4 2 a と導電体 5 4 2 b の間に重畳して開口が形成された絶縁体 5 8 0 と、開口の底面および側面に配置された絶縁体 5 4 5 と、絶縁体 5 4 5 の形成面に配置された導電体 5 6 0 と、を有する。

【 0 2 9 9 】

また、図 2 1 A および図 2 1 B に示すように、酸化物 5 3 0 a、酸化物 5 3 0 b、導電体 5 4 2 a、および導電体 5 4 2 b と、絶縁体 5 8 0 の間に絶縁体 5 4 4 が配置されることが好ましい。また、図 2 1 A および図 2 1 B に示すように、導電体 5 6 0 は、絶縁体 5 4 5 の内側に設けられた導電体 5 6 0 a と、導電体 5 6 0 a の内側に埋め込まれるように設けられた導電体 5 6 0 b と、を有することが好ましい。また、図 2 1 A および図 2 1 B に示すように、絶縁体 5 8 0、導電体 5 6 0、および絶縁体 5 4 5 の上に絶縁体 5 7 4 が配置されることが好ましい。

10

【 0 3 0 0 】

なお、本明細書などにおいて、酸化物 5 3 0 a、および酸化物 5 3 0 b をまとめて酸化物 5 3 0 という場合がある。

【 0 3 0 1 】

なお、トランジスタ 5 0 0 では、チャネルが形成される領域と、その近傍において、酸化物 5 3 0 a、および酸化物 5 3 0 b の 2 層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物 5 3 0 b の単層、または 3 層以上の積層構成を設ける構成にしてもよい。

20

【 0 3 0 2 】

また、トランジスタ 5 0 0 では、導電体 5 6 0 を 2 層の積層構成として示しているが、本発明はこれに限られるものではない。例えば、導電体 5 6 0 が、単層構成であってもよいし、3 層以上の積層構成であってもよい。また、図 1 9、図 2 0、および図 2 1 A に示すトランジスタ 5 0 0 は一例であり、その構成に限定されず、回路構成や駆動方法などに応じて適切なトランジスタを用いればよい。

【 0 3 0 3 】

ここで、導電体 5 6 0 は、トランジスタのゲート電極として機能し、導電体 5 4 2 a および導電体 5 4 2 b は、それぞれソース電極またはドレイン電極として機能する。上記のように、導電体 5 6 0 は、絶縁体 5 8 0 の開口、および導電体 5 4 2 a と導電体 5 4 2 b に挟まれた領域に埋め込まれるように形成される。導電体 5 6 0、導電体 5 4 2 a および導電体 5 4 2 b の配置は、絶縁体 5 8 0 の開口に対して、自己整合的に選択される。つまり、トランジスタ 5 0 0 において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体 5 6 0 を位置合わせのマージンを設けることなく形成することができるので、トランジスタ 5 0 0 の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

30

【 0 3 0 4 】

さらに、導電体 5 6 0 が、導電体 5 4 2 a と導電体 5 4 2 b の間の領域に自己整合的に形成されるので、導電体 5 6 0 は、導電体 5 4 2 a または導電体 5 4 2 b と重畳する領域を有さない。これにより、導電体 5 6 0 と導電体 5 4 2 a および導電体 5 4 2 b との間に形成される寄生容量を低減することができる。よって、トランジスタ 5 0 0 のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

40

【 0 3 0 5 】

導電体 5 6 0 は、第 1 ゲート（トップゲートともいう）電極として機能する場合がある。また、導電体 5 0 3 は、第 2 ゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、導電体 5 0 3 に印加する電位を、導電体 5 6 0 に印加する電位と、連動させず、独立して変化させることで、トランジスタ 5 0 0 のしきい値電圧を制御することができる。特に、導電体 5 0 3 に負の電位を印加することにより、トランジスタ 5 0 0

50

のしきい値電圧をより大きくし、オフ電流を低減することが可能となる。したがって、導電体 503 に負の電位を印加したほうが、印加しない場合よりも、導電体 560 に印加する電位が 0 V のときのドレイン電流を小さくすることができる。

【0306】

導電体 503 は、酸化物 530、および導電体 560 と、重なるように配置する。これにより、導電体 560、および導電体 503 に電位を印加した場合、導電体 560 から生じる電界と、導電体 503 から生じる電界と、がつながり、酸化物 530 に形成されるチャネル形成領域を覆うことができる。

【0307】

本明細書等において、一对のゲート電極（第 1 のゲート電極、および第 2 のゲート電極）の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構成を、*surrounded channel* (*S-channel*) 構成とよぶ。また、本明細書等で開示する *S-channel* 構成は、*Fin* 型構成およびプレーナ型構成とは異なる。*S-channel* 構成を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

【0308】

また、導電体 503 は、導電体 518 と同様の構成であり、絶縁体 514 および絶縁体 516 の開口の内壁に接して導電体 503a が形成され、さらに内側に導電体 503b が形成されている。なお、トランジスタ 500 では、導電体 503a および導電体 503b を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 503 は、単層、または 3 層以上の積層構成として設ける構成にしてもよい。

【0309】

ここで、導電体 503a は、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一または、すべての拡散を抑制する機能とする。

【0310】

例えば、導電体 503a が酸素の拡散を抑制する機能を持つことにより、導電体 503b が酸化して導電率が低下することを抑制することができる。

【0311】

また、導電体 503 が配線の機能を兼ねる場合、導電体 503b は、タングステン、銅、またはアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。なお、本実施の形態では導電体 503 を導電体 503a と導電体 503b の積層で図示したが、導電体 503 は単層構成であってもよい。

【0312】

絶縁体 520、絶縁体 522、および絶縁体 524 は、第 2 のゲート絶縁膜としての機能を有する。

【0313】

ここで、酸化物 530 と接する絶縁体 524 は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。当該酸素は、加熱により膜中から放出されやすい。本明細書などでは、加熱により放出される酸素を「過剰酸素」と呼ぶ場合がある。つまり、絶縁体 524 には、過剰酸素を含む領域（「過剰酸素領域」ともいう。）が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物 530 に接して設けることにより、酸化物 530 中の酸素欠損（*Vo: oxygen vacancy* ともいう）を低減し、トランジスタ 500 の信頼性を向上させることができる。なお、酸化物 530 中の酸素欠損に水素が入った場合、当該欠陥（以下、*VOH* と呼ぶ場合がある。）はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。

10

20

30

40

50

従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。また、酸化物半導体中の水素は、熱、電界などのストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。本発明の一態様においては、酸化物 530 中の V_OH をできる限り低減し、高純度真性または実質的に高純度真性にすることが好ましい。このように、 V_OH が十分低減された酸化物半導体を得るには、酸化物半導体中の水分、水素などの不純物を除去すること（「脱水」または「脱水素化处理」ともいう。）と、酸化物半導体に酸素を供給して酸素欠損を補填すること（「加酸素化处理」ともいう。）が重要である。 V_OH などの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

10

【0314】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記 TDS 分析時における膜の表面温度としては 100 以上 700 以下、または 100 以上 400 以下の範囲が好ましい。

【0315】

20

また、上記過剰酸素領域を有する絶縁体と、酸化物 530 と、を接して加熱処理、マイクロ波処理、または RF 処理のいずれか一または複数の処理を行っても良い。当該処理を行うことで、酸化物 530 中の水、または水素を除去することができる。例えば、酸化物 530 において、 V_OH の結合が切断される反応が起きる、別言すると「 $V_OH \rightarrow V_O + H$ 」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合して H_2O として、酸化物 530、または酸化物 530 近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体 542 にゲッタリングされる場合がある。

【0316】

また、上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、または、基板側に RF を印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側に RF を印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物 530、または酸化物 530 近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を 133 Pa 以上、好ましくは 200 Pa 以上、さらに好ましくは 400 Pa 以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比 ($O_2 / (O_2 + Ar)$) が 50 % 以下、好ましくは 10 % 以上 30 % 以下で行うとよい。

30

【0317】

また、トランジスタ 500 の作製工程中において、酸化物 530 の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、100 以上 450 以下、より好ましくは 350 以上 400 以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 10 ppm 以上、1 % 以上、もしくは 10 % 以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物 530 に酸素を供給して、酸素欠損 (V_O) の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うために、酸化性ガスを 10 ppm 以上、1 % 以上、または 10 % 以上含む雰囲気で行ってもよい。または、酸化性ガスを 10 ppm 以上、1 % 以上、または 10 % 以上含む雰囲気で行った後に、連続して窒素ガスもしくは不活性ガスの雰囲気で行った後、加熱処理を行ってもよい。

40

【0318】

50

なお、酸化物 5 3 0 に加酸素化処理を行うことで、酸化物 5 3 0 中の酸素欠損を、供給された酸素により修復させる、別言すると「 $V_o + O \rightarrow null$ 」という反応を促進させることができる。さらに、酸化物 5 3 0 中に残存した水素に供給された酸素が反応することで、当該水素を H_2O として除去する（脱水化する）ことができる。これにより、酸化物 5 3 0 中に残存していた水素が酸素欠損に再結合して V_OH が形成されるのを抑制することができる。

【0319】

また、絶縁体 5 2 4 が、過剰酸素領域を有する場合、絶縁体 5 2 2 は、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

10

【0320】

絶縁体 5 2 2 が、酸素や不純物の拡散を抑制する機能を有することで、酸化物 5 3 0 が有する酸素は、絶縁体 5 2 0 側へ拡散することがなく、好ましい。また、導電体 5 0 3 が、絶縁体 5 2 4 や、酸化物 5 3 0 が有する酸素と反応することを抑制することができる。

【0321】

絶縁体 5 2 2 は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ $SrTiO_3$ ）、または（ Ba, Sr ） TiO_3 （BST）などのいわゆる *high-k* 材料を含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体に *high-k* 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

20

【0322】

特に、不純物、および酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウム、ハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体 5 2 2 を形成した場合、絶縁体 5 2 2 は、酸化物 5 3 0 からの酸素の放出や、トランジスタ 5 0 0 の周辺部から酸化物 5 3 0 への水素等の不純物の混入を抑制する層として機能する。

30

【0323】

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

【0324】

また、絶縁体 5 2 0 は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、好適である。また、*high-k* 材料の絶縁体を酸化シリコン、または酸化窒化シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構成の絶縁体 5 2 0 を得ることができる。

40

【0325】

なお、図 2 1 A および図 2 1 B のトランジスタ 5 0 0 では、3 層の積層構成からなる第 2 のゲート絶縁膜として、絶縁体 5 2 0、絶縁体 5 2 2、および絶縁体 5 2 4 が図示されているが、第 2 のゲート絶縁膜は、単層、2 層、または 4 層以上の積層構成を有していてもよい。その場合、同じ材料からなる積層構成に限定されず、異なる材料からなる積層構成でもよい。

【0326】

トランジスタ 5 0 0 は、チャネル形成領域を含む酸化物 5 3 0 に、酸化物半導体として

50

機能する金属酸化物を用いる。例えば、酸化物 530 として、In - M - Zn 酸化物（元素 M は、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。

【0327】

酸化物半導体として機能する金属酸化物の形成は、スパッタリング法で行なってもよいし、ALD (Atomic Layer Deposition) 法で行なってもよい。なお、酸化物半導体として機能する金属酸化物については、他の実施の形態で詳細に説明する。

10

【0328】

また、酸化物 530 においてチャネル形成領域として機能する金属酸化物は、バンドギャップが 2 eV 以上、好ましくは 2.5 eV 以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

【0329】

酸化物 530 は、酸化物 530 b 下に酸化物 530 a を有することで、酸化物 530 a よりも下方に形成された構成物から、酸化物 530 b への不純物の拡散を抑制することができる。

【0330】

20

なお、酸化物 530 は、各金属原子の原子数比が異なる複数の酸化物層の積層構成を有することが好ましい。具体的には、酸化物 530 a に用いる金属酸化物において、構成元素中の元素 M の原子数比が、酸化物 530 b に用いる金属酸化物における、構成元素中の元素 M の原子数比より、大きいことが好ましい。また、酸化物 530 a に用いる金属酸化物において、In に対する元素 M の原子数比が、酸化物 530 b に用いる金属酸化物における、In に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 530 b に用いる金属酸化物において、元素 M に対する In の原子数比が、酸化物 530 a に用いる金属酸化物における、元素 M に対する In の原子数比より大きいことが好ましい。

【0331】

また、酸化物 530 a の伝導帯下端のエネルギーが、酸化物 530 b の伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物 530 a 電子親和力が、酸化物 530 b の電子親和力より小さいことが好ましい。

30

【0332】

ここで、酸化物 530 a および酸化物 530 b の接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物 530 a および酸化物 530 b の接合部における伝導帯下端のエネルギー準位は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物 530 a と酸化物 530 b との界面において形成される混合層の欠陥準位密度を低くするとよい。

【0333】

具体的には、酸化物 530 a と酸化物 530 b が、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物 530 b が In - Ga - Zn 酸化物の場合、酸化物 530 a として、In - Ga - Zn 酸化物、Ga - Zn 酸化物、酸化ガリウムなどを用いるとよい。

40

【0334】

このとき、キャリアの主たる経路は酸化物 530 b となる。酸化物 530 a を上述の構成とすることで、酸化物 530 a と酸化物 530 b との界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 500 は高いオン電流を得られる。

【0335】

酸化物 530 b 上には、ソース電極、およびドレイン電極として機能する導電体 542

50

a、および導電体 5 4 2 b が設けられる。導電体 5 4 2 a、および導電体 5 4 2 b としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ペリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。更に、窒化タンタルなどの金属窒化物膜は、水素または酸素に対するバリア性があるため好ましい。

【0336】

また、図 2 1 A では、導電体 5 4 2 a、および導電体 5 4 2 b を単層構成として示したが、2 層以上の積層構成としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構成、銅 - マグネシウム - アルミニウム合金膜上に銅膜を積層する二層構成、チタン膜上に銅膜を積層する二層構成、タングステン膜上に銅膜を積層する二層構成としてもよい。

【0337】

また、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構成、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構成等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

【0338】

また、図 2 1 A に示すように、酸化物 5 3 0 の、導電体 5 4 2 a (導電体 5 4 2 b) との界面とその近傍には、低抵抗領域として、領域 5 4 3 a、および領域 5 4 3 b が形成される場合がある。このとき、領域 5 4 3 a はソース領域またはドレイン領域の一方として機能し、領域 5 4 3 b はソース領域またはドレイン領域の他方として機能する。また、領域 5 4 3 a と領域 5 4 3 b に挟まれる領域にチャネル形成領域が形成される。

【0339】

酸化物 5 3 0 と接するように上記導電体 5 4 2 a (導電体 5 4 2 b) を設けることで、領域 5 4 3 a (領域 5 4 3 b) の酸素濃度が低減する場合がある。また、領域 5 4 3 a (領域 5 4 3 b) に導電体 5 4 2 a (導電体 5 4 2 b) に含まれる金属と、酸化物 5 3 0 の成分とを含む金属化合物層が形成される場合がある。このような場合、領域 5 4 3 a (領域 5 4 3 b) のキャリア密度が増加し、領域 5 4 3 a (領域 5 4 3 b) は、低抵抗領域となる。

【0340】

絶縁体 5 4 4 は、導電体 5 4 2 a、および導電体 5 4 2 b を覆うように設けられ、導電体 5 4 2 a、および導電体 5 4 2 b の酸化を抑制する。このとき、絶縁体 5 4 4 は、酸化物 5 3 0 の側面を覆い、絶縁体 5 2 4 と接するように設けられてもよい。

【0341】

絶縁体 5 4 4 として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタンまたは、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。また、絶縁体 5 4 4 として、窒化酸化シリコンまたは窒化シリコンな

10

20

30

40

50

ども用いることができる。

【0342】

特に、絶縁体544として、アルミニウム、またはハフニウム的一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム、およびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいいため好ましい。なお、導電体542a、および導電体542bが耐酸化性を有する材料、または、酸素を吸収しても著しく導電性が低下しない場合、絶縁体544は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

10

【0343】

絶縁体544を有することで、絶縁体580に含まれる水、および水素などの不純物が絶縁体545を介して、酸化物530bに拡散することを抑制することができる。また、絶縁体580が有する過剰酸素により、導電体560が酸化するのを抑制することができる。

【0344】

絶縁体545は、第1のゲート絶縁膜として機能する。絶縁体545は、上述した絶縁体524と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

【0345】

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

20

【0346】

過剰酸素を含む絶縁体を絶縁体545として設けることにより、絶縁体545から、酸化物530bのチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体524と同様に、絶縁体545中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体545の膜厚は、1nm以上20nm以下とするのが好ましい。

【0347】

また、絶縁体545が有する過剰酸素を、効率的に酸化物530へ供給するために、絶縁体545と導電体560との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体545から導電体560への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体545から導電体560への過剰酸素の拡散が抑制される。つまり、酸化物530へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体560の酸化を抑制することができる。当該金属酸化物としては、絶縁体544に用いることができる材料を用いればよい。

30

【0348】

なお、絶縁体545は、第2のゲート絶縁膜と同様に、積層構成としてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合があるため、ゲート絶縁膜として機能する絶縁体を、high-k材料と、熱的に安定している材料との積層構成とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構成とすることができる。

40

【0349】

第1のゲート電極として機能する導電体560は、図21Aおよび図21Bでは2層構成として示しているが、単層構成でもよいし、3層以上の積層構成であってもよい。

【0350】

導電体560aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 など）、銅原子などの不純物の拡散を抑制する機能を有する導電

50

性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体 560a が酸素の拡散を抑制する機能を持つことにより、絶縁体 545 に含まれる酸素により、導電体 560b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。また、導電体 560a として、酸化物 530 に適用できる酸化物半導体を用いることができる。その場合、導電体 560b をスパッタリング法で成膜することで、導電体 560a の電気抵抗値を低下させて導電体にすることができる。これを OC (Oxide Conductor) 電極と呼ぶことができる。

10

【0351】

また、導電体 560b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 560b は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体 560b は積層構成としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層構成としてもよい。

【0352】

絶縁体 580 は、絶縁体 544 を介して、導電体 542a、および導電体 542b 上に設けられる。絶縁体 580 は、過剰酸素領域を有することが好ましい。例えば、絶縁体 580 として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。特に、酸化シリコン、および酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

20

【0353】

絶縁体 580 は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体 580 を設けることで、絶縁体 580 中の酸素を酸化物 530 へと効率良く供給することができる。なお、絶縁体 580 中の水または水素などの不純物濃度が低減されていることが好ましい。

30

【0354】

絶縁体 580 の開口は、導電体 542a と導電体 542b の間の領域に重畳して形成される。これにより、導電体 560 は、絶縁体 580 の開口、および導電体 542a と導電体 542b に挟まれた領域に、埋め込まれるように形成される。

【0355】

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体 560 の導電性が下がらないようにする必要がある。そのために導電体 560 の膜厚を大きくすると、導電体 560 はアスペクト比が高い形状となりうる。本実施の形態では、導電体 560 を絶縁体 580 の開口に埋め込むように設けるため、導電体 560 をアスペクト比の高い形状にしても、工程中に導電体 560 を倒壊させることなく、形成することができる。

40

【0356】

絶縁体 574 は、絶縁体 580 の上面、導電体 560 の上面、および絶縁体 545 の上面に接して設けられることが好ましい。絶縁体 574 をスパッタリング法で成膜することで、絶縁体 545、および絶縁体 580 へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物 530 中に酸素を供給することができる。

【0357】

例えば、絶縁体 574 として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、またはマグ

50

ネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

【0358】

特に、酸化アルミニウムはバリア性が高く、0.5 nm以上3.0 nm以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

【0359】

また、絶縁体574の上に、層間膜として機能する絶縁体581を設けることが好ましい。絶縁体581は、絶縁体524などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。

10

【0360】

また、絶縁体581、絶縁体574、絶縁体580、および絶縁体544に形成された開口に、導電体540a、および導電体540bを配置する。導電体540aおよび導電体540bは、導電体560を挟んで対向して設ける。導電体540aおよび導電体540bは、後述する導電体546、および導電体548と同様の構成である。

【0361】

絶縁体581上には、絶縁体582が設けられている。絶縁体582は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体582には、絶縁体514と同様の材料を用いることができる。例えば、絶縁体582には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

20

【0362】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

【0363】

また、絶縁体582上には、絶縁体586が設けられている。絶縁体586は、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体586として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

30

【0364】

また、絶縁体520、絶縁体522、絶縁体524、絶縁体544、絶縁体580、絶縁体574、絶縁体581、絶縁体582、および絶縁体586には、導電体546、および導電体548等が埋め込まれている。

【0365】

導電体546、および導電体548は、容量600、トランジスタ500、またはトランジスタ550と接続するプラグ、または配線としての機能を有する。導電体546、および導電体548は、導電体328、および導電体330と同様の材料を用いて設けることができる。

40

【0366】

また、トランジスタ500の形成後、トランジスタ500を囲むように開口を形成し、当該開口を覆うように、水素、または水に対するバリア性が高い絶縁体を形成してもよい。上述のバリア性の高い絶縁体でトランジスタ500を包み込むことで、外部から水分、および水素が侵入するのを防止することができる。または、複数のトランジスタ500をまとめて、水素、または水に対するバリア性が高い絶縁体で包み込んでもよい。なお、トランジスタ500を囲むように開口を形成する場合、例えば、絶縁体522または絶縁体514に達する開口を形成し、絶縁体522または絶縁体514に接するように上述のバ

50

リア性の高い絶縁体を形成すると、トランジスタ 5 0 0 の作製工程の一部を兼ねられるため、好適である。なお、水素、または水に対するバリア性が高い絶縁体としては、例えば、絶縁体 5 2 2 または絶縁体 5 1 4 と同様の材料を用いればよい。

【 0 3 6 7 】

続いて、トランジスタ 5 0 0 の上方には、容量 6 0 0 が設けられている。容量 6 0 0 は、導電体 6 1 0 と、導電体 6 2 0 と、絶縁体 6 3 0 とを有する。

【 0 3 6 8 】

また、導電体 5 4 6、および導電体 5 4 8 上に、導電体 6 1 2 を設けてもよい。導電体 6 1 2 は、トランジスタ 5 0 0 と接続するプラグ、または配線としての機能を有する。導電体 6 1 0 は、容量 6 0 0 の電極としての機能を有する。なお、導電体 6 1 2、および導電体 6 1 0 は、同時に形成することができる。

10

【 0 3 6 9 】

導電体 6 1 2、および導電体 6 1 0 には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。または、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

20

【 0 3 7 0 】

本実施の形態では、導電体 6 1 2、および導電体 6 1 0 を単層構成で示したが、当該構成に限定されず、2 層以上の積層構成でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

【 0 3 7 1 】

絶縁体 6 3 0 を介して、導電体 6 1 0 と重畳するように、導電体 6 2 0 を設ける。なお、導電体 6 2 0 は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構成と同時に形成する場合は、低抵抗金属材料である Cu（銅）や Al（アルミニウム）等を用いればよい。

30

【 0 3 7 2 】

導電体 6 2 0、および絶縁体 6 3 0 上には、絶縁体 6 4 0 が設けられている。絶縁体 6 4 0 は、絶縁体 3 2 0 と同様の材料を用いて設けることができる。また、絶縁体 6 4 0 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

【 0 3 7 3 】

本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。

【 0 3 7 4 】

本発明の一態様の半導体装置に用いることができる基板としては、ガラス基板、石英基板、サファイア基板、セラミック基板、金属基板（例えば、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板など）、半導体基板（例えば、単結晶半導体基板、多結晶半導体基板、または化合物半導体基板など）SOI（SOI: Silicon on Insulator）基板、などを用いることができる。また、本実施の形態の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノシリケートガラス、またはアルミノホウケイ酸ガラス、またはソーダライムガラスなどがある。他にも、結晶化ガラスなどを用いることができる。

40

【 0 3 7 5 】

50

または、基板として、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、または基材フィルムなどを用いることができる。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）、ポリテトラフルオロエチレン（PTFE）に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、またはポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド樹脂、エポキシ樹脂、無機蒸着フィルム、または紙類などがある。特に、半導体基板、単結晶基板、またはSOI基板などを用いてトランジスタを製造することによって、特性、サイズ、または形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、または回路の高集積化を図ることができる。

10

【0376】

また、基板として、可撓性基板を用い、可撓性基板上に直接、トランジスタ、抵抗、および/または容量などを形成してもよい。または、基板と、トランジスタ、抵抗、および/または容量などの間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板より分離し、他の基板に転載するために用いることができる。その際、トランジスタ、抵抗、および/または容量などは耐熱性の劣る基板や可撓性の基板にも転載できる。なお、上述の剥離層には、例えば、タンゲステン膜と酸化シリコン膜との無機膜の積層構成の構成や、基板上にポリイミド等の有機樹脂膜が形成された構成、水素を含むシリコン膜等を用いることができる。

20

【0377】

つまり、ある基板上に半導体装置を形成し、その後、別の基板に半導体装置を転置してもよい。半導体装置が転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、またはゴム基板などがある。これらの基板を用いることにより、可撓性を有する半導体装置の製造、壊れにくい半導体装置の製造、耐熱性の付与、軽量化、または薄型化を図ることができる。

30

【0378】

可撓性を有する基板上に半導体装置を設けることで、重量の増加を抑え、且つ破損しにくい半導体装置を提供することができる。

【0379】

<トランジスタの変形例1>

図22A、図22B、および図22Cに示すトランジスタ500Aは、図21A、図21Bに示す構成のトランジスタ500の変形例である。図22Aはトランジスタ500Aの上面図であり、図22Bはトランジスタ500Aのチャンネル長方向の断面図であり、図22Cはトランジスタ500Aのチャンネル幅方向の断面図である。なお、図22Aの上面図では、図の明瞭化のために一部の要素の記載を省略している。図22A、図22B、および図22Cに示す構成は、トランジスタ550等、本発明の一態様の半導体装置が有する他のトランジスタにも適用することができる。

40

【0380】

図22A、図22B、および図22Cに示す構成のトランジスタ500Aは、絶縁体552、絶縁体513および絶縁体404を有する点が、図21A、図21Bに示す構成のトランジスタ500と異なる。また、導電体540aの側面に接して絶縁体552が設けられ、導電体540bの側面に接して絶縁体552が設けられる点が、図21A、図21Bに示す構成のトランジスタ500と異なる。さらに、絶縁体520を有さない点が、図21A、図21Bに示す構成のトランジスタ500と異なる。

50

【0381】

図22A、図22B、および図22Cに示す構成のトランジスタ500Aは、絶縁体512上に絶縁体513が設けられる。また、絶縁体574上、および絶縁体513上に絶縁体404が設けられる。

【0382】

図22A、図22B、および図22Cに示す構成のトランジスタ500Aでは、絶縁体514、絶縁体516、絶縁体522、絶縁体524、絶縁体544、絶縁体580、および絶縁体574がパターンニングされており、絶縁体404がこれらを覆う構成になっている。つまり、絶縁体404は、絶縁体574の上面、絶縁体574の側面、絶縁体580の側面、絶縁体544の側面、絶縁体524の側面、絶縁体522の側面、絶縁体516の側面、絶縁体514の側面、絶縁体513の上面とそれぞれ接する。これにより、酸化物530等は、絶縁体404と絶縁体513によって外部から隔離される。

10

【0383】

絶縁体513および絶縁体404は、水素（例えば、水素原子、水素分子などの少なくとも一）または水分子の拡散を抑制する機能が高いことが好ましい。例えば、絶縁体513および絶縁体404として、水素バリア性が高い材料である、窒化シリコンまたは窒化酸化シリコンを用いることが好ましい。これにより、酸化物530に水素等が拡散することを抑制することができるので、トランジスタ500Aの特性低下を抑制できる。よって、本発明の一態様の半導体装置の信頼性を高めることができる。

【0384】

絶縁体552は、絶縁体581、絶縁体404、絶縁体574、絶縁体580、および絶縁体544に接して設けられる。絶縁体552は、水素または水分子の拡散を抑制する機能を有することが好ましい。たとえば、絶縁体552として、水素バリア性が高い材料である、窒化シリコン、酸化アルミニウム、または窒化酸化シリコン等の絶縁体を用いることが好ましい。特に、窒化シリコンは水素バリア性が高い材料であるので、絶縁体552として用いると好適である。絶縁体552として水素バリア性が高い材料を用いることにより、水または水素等の不純物が、絶縁体580等から導電体540aおよび導電体540bを通じて酸化物530に拡散することを抑制することができる。また、絶縁体580に含まれる酸素が導電体540aおよび導電体540bに吸収されることを抑制することができる。以上により、本発明の一態様の半導体装置の信頼性を高めることができる。

20

30

【0385】

<トランジスタの変形例2>

図23A、図23Bおよび図23Cを用いて、トランジスタ500Bの構成例を説明する。図23Aはトランジスタ500Bの上面図である。図23Bは、図23Aに一点鎖線で示すL1-L2部位の断面図である。図23Cは、図23Aに一点鎖線で示すW1-W2部位の断面図である。なお、図23Aの上面図では、図の明瞭化のために一部の要素の記載を省略している。

【0386】

トランジスタ500Bはトランジスタ500の変形例であり、トランジスタ500に置き換え可能なトランジスタである。よって、説明の繰り返しを防ぐため、主にトランジスタ500Bのトランジスタ500と異なる点について説明する。

40

【0387】

第1のゲート電極として機能する導電体560は、導電体560a、および導電体560a上の導電体560bを有する。導電体560aは、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

【0388】

導電体560aが酸素の拡散を抑制する機能を持つことにより、導電体560bの材料選択性を向上することができる。つまり、導電体560aを有することで、導電体560

50

bの酸化が抑制され、導電率が低下することを防止することができる。

【0389】

また、導電体560の上面および側面と絶縁体545の側面を覆うように、絶縁体544を設けることが好ましい。なお、絶縁体544は、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

【0390】

絶縁体544を設けることで、導電体560の酸化を抑制することができる。また、絶縁体544を有することで、絶縁体580が有する水、および水素などの不純物がトランジスタ500Bへ拡散することを抑制することができる。

【0391】

トランジスタ500Bは、導電体542aの一部と導電体542bの一部に導電体560が重なるため、トランジスタ500よりも寄生容量が大きくなりやすい。よって、トランジスタ500に比べて動作周波数が低くなる傾向がある。しかしながら、絶縁体580などに開口を設けて導電体560や絶縁体545などを埋めこむ工程が不要であるため、トランジスタ500と比較して生産性が高い。

【0392】

本実施の形態に示す構成、構造、方法などは、他の実施の形態および実施例などに示す構成、構造、方法などと適宜組み合わせる用いることができる。

【0393】

(実施の形態6)

本実施の形態では、金属酸化物の一種である酸化物半導体について説明する。

【0394】

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、スズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

【0395】

<結晶構造の分類>

まず、酸化物半導体における、結晶構造の分類について、図24Aを用いて説明を行う。図24Aは、酸化物半導体、代表的にはIGZO(Inと、Gaと、Znと、を含む金属酸化物)の結晶構造の分類を説明する図である。

【0396】

図24Aに示すように、酸化物半導体は、大きく分けて「Amorphous(無定形)」と、「Crystalline(結晶性)」と、「Crystal(結晶)」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC(c-axis-aligned crystalline)、nc(nanocrystalline)、及びCAC(cloud-aligned composite)が含まれる。なお、「Crystalline」の分類には、single crystal、poly crystal、及びcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、及びpoly crystalが含まれる。

【0397】

なお、図24Aに示す太枠内の構造は、「Amorphous(無定形)」と、「Cr

10

20

30

40

50

ystal (結晶)」との間の中間状態であり、新しい境界領域 (New crystalline phase) に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous (無定形)」や、「Crystal (結晶)」とは全く異なる構造と言い換えることができる。

【0398】

なお、膜または基板の結晶構造は、X線回折 (XRD: X-Ray Diffraction) スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD (Grazing-Incidence XRD) 測定で得られるXRDスペクトルを図24Bに示す。なお、GIXD法は、薄膜法またはSeemann-Bohlin法ともいう。以降、図24Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図24Bに示すCAAC-IGZO膜の組成は、In:Ga:Zn=4:2:3 [原子数比] 近傍である。また、図24Bに示すCAAC-IGZO膜の厚さは、500nmである。

10

【0399】

図24Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta = 31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図24Bに示すように、 $2\theta = 31^\circ$ 近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

【0400】

また、膜または基板の結晶構造は、極微電子線回折法 (NBED: Nano Beam Electron Diffraction) によって観察される回折パターン (極微電子線回折パターンともいう。) にて評価することができる。CAAC-IGZO膜の回折パターンを、図24Cに示す。図24Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図24Cに示すCAAC-IGZO膜の組成は、In:Ga:Zn=4:2:3 [原子数比] 近傍である。また、極微電子線回折法では、プローブ径を1nmとして電子線回折が行われる。

20

【0401】

図24Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

【0402】

30

<<酸化物半導体の構造>>

なお、酸化物半導体は、結晶構造に着目した場合、図24Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor)、非晶質酸化物半導体、などが含まれる。

【0403】

ここで、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

40

【0404】

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇

50

所を指す。つまり、C A A C - O S は、c 軸配向し、a - b 面方向には明らかな配向をしていない酸化物半導体である。

【 0 4 0 5 】

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶（最大径が10 nm未満である結晶）で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10 nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十 nm 程度となる場合がある。

【 0 4 0 6 】

また、I n - M - Z n 酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタンなどから選ばれた一種、または複数種）において、C A A C - O S は、インジウム（I n）、及び酸素を有する層（以下、I n 層）と、元素M、亜鉛（Z n）、及び酸素を有する層（以下、（M, Z n）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、（M, Z n）層にはインジウムが含まれる場合がある。また、I n 層には元素Mが含まれる場合がある。なお、I n 層にはZ nが含まれる場合もある。当該層状構造は、例えば、高分解能T E M像において、格子像として観察される。

10

【 0 4 0 7 】

C A A C - O S 膜に対し、例えば、X R D 装置を用いて構造解析を行うと、 $\theta / 2 \theta$ スキャンを用いたO u t - o f - p l a n e X R D 測定では、c 軸配向を示すピークが $2 \theta = 31^\circ$ またはその近傍に検出される。なお、c 軸配向を示すピークの位置（ 2θ の値）は、C A A C - O S を構成する金属元素の種類、組成などにより変動する場合がある。

20

【 0 4 0 8 】

また、例えば、C A A C - O S 膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点对称の位置に観測される。

【 0 4 0 9 】

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、C A A C - O S において、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、C A A C - O S が、a - b 面方向において酸素原子の配列が稠密でないことや、金属原子が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

30

【 0 4 1 0 】

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（p o l y c r y s t a l）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないC A A C - O S は、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、C A A C - O S を構成するには、Z n を有する構成が好ましい。例えば、I n - Z n 酸化物、及びI n - G a - Z n 酸化物は、I n 酸化物よりも結晶粒界の発生を抑制できるため好適である。

40

【 0 4 1 1 】

C A A C - O S は、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、C A A C - O S は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、C A A C - O S は不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、C A A C - O S を有する酸化物半導体は、物理的性質が安定する。そのため、C A A C - O S を有する酸化物半導体は熱に強く、信頼性が高い。また、C A A

50

C - O S は、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、O S トランジスタに C A A C - O S を用いると、製造工程の自由度を広げることが可能となる。

【 0 4 1 2 】

[n c - O S]

n c - O S は、微小な領域（例えば、1 n m 以上 1 0 n m 以下の領域、特に 1 n m 以上 3 n m 以下の領域）において原子配列に周期性を有する。別言すると、n c - O S は、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1 n m 以上 1 0 n m 以下、特に 1 n m 以上 3 n m 以下であることから、当該微小な結晶をナノ結晶ともいう。また、n c - O S は、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、n c - O S は、分析方法によっては、a - l i k e O S や非晶質酸化物半導体と区別が付かない場合がある。例えば、n c - O S 膜に対し、X R D 装置を用いて構造解析を行うと、 $\theta / 2 \theta$ スキャンを用いた O u t - o f - p l a n e X R D 測定では、結晶性を示すピークが検出されない。また、n c - O S 膜に対し、ナノ結晶よりも大きいプローブ径（例えば 5 0 n m 以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、n c - O S 膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径（例えば 1 n m 以上 3 0 n m 以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

10

20

【 0 4 1 3 】

[a - l i k e O S]

a - l i k e O S は、n c - O S と非晶質酸化物半導体との間の構造を有する酸化物半導体である。a - l i k e O S は、鬆又は低密度領域を有する。即ち、a - l i k e O S は、n c - O S 及び C A A C - O S と比べて、結晶性が低い。また、a - l i k e O S は、n c - O S 及び C A A C - O S と比べて、膜中の水素濃度が高い。

【 0 4 1 4 】

< < 酸化物半導体の構成 > >

次に、上述の C A C - O S の詳細について、説明を行う。なお、C A C - O S は材料構成に関する。

30

【 0 4 1 5 】

[C A C - O S]

C A C - O S とは、例えば、金属酸化物を構成する元素が、0 . 5 n m 以上 1 0 n m 以下、好ましくは、1 n m 以上 3 n m 以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、0 . 5 n m 以上 1 0 n m 以下、好ましくは、1 n m 以上 3 n m 以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

【 0 4 1 6 】

さらに、C A C - O S とは、第 1 の領域と、第 2 の領域と、に材料が分離することでモザイク状となり、当該第 1 の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、C A C - O S は、当該第 1 の領域と、当該第 2 の領域とが、混合している構成を有する複合金属酸化物である。

40

【 0 4 1 7 】

ここで、I n - G a - Z n 酸化物における C A C - O S を構成する金属元素に対する I n 、G a 、および Z n の原子数比のそれぞれを、[I n] 、[G a] 、および [Z n] と表記する。例えば、I n - G a - Z n 酸化物における C A C - O S において、第 1 の領域は、[I n] が、C A C - O S 膜の組成における [I n] よりも大きい領域である。また、第 2 の領域は、[G a] が、C A C - O S 膜の組成における [G a] よりも大きい領域である。または、例えば、第 1 の領域は、[I n] が、第 2 の領域における [I n] よりも大きく、且つ、[G a] が、第 2 の領域における [G a] よりも小さい領域である。ま

50

た、第2の領域は、[Ga]が、第1の領域における[Ga]よりも大きく、且つ、[In]が、第1の領域における[In]よりも小さい領域である。

【0418】

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第1の領域を、Inを主成分とする領域と言い換えることができる。また、上記第2の領域を、Gaを主成分とする領域と言い換えることができる。

【0419】

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

10

【0420】

例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法(EDX: Energy Dispersive X-ray spectroscopy)を用いて取得したEDXマッピングにより、Inを主成分とする領域(第1の領域)と、Gaを主成分とする領域(第2の領域)とが、偏在し、混合している構造を有することが確認できる。

【0421】

CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能(On/Offさせる機能)をCAC-OSに付与することができる。つまり、CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流(I_{on})、高い電界効果移動度(μ)、および良好なスイッチング動作を実現することができる。

20

【0422】

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC-OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

【0423】

30

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

【0424】

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

【0425】

トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

40

【0426】

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

【0427】

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が

50

長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

【0428】

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0429】

<不純物>

10

ここで、酸化物半導体中における各不純物の影響について説明する。

【0430】

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度(二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)により得られる濃度)を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0431】

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

20

【0432】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

30

【0433】

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

40

【0434】

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0435】

本実施の形態に示す構成、構造、方法などは、他の実施の形態および実施例などに示す構成、構造、方法などと適宜組み合わせ用いることができる。

50

【 0 4 3 6 】

(実施の形態 7)

本実施の形態では、無停電電源装置の一例を示す。図 2 5 に示す無停電電源装置 8 7 0 0 は、内部に半導体装置 8 7 0 6 と、組電池 8 7 0 7 と、温度センサ 8 7 1 0 と、表示装置 8 7 0 2 と、を有する。温度センサ 8 7 1 0 は組電池 8 7 0 7 の近傍、あるいは接して設けられることが好ましい。また温度センサ 8 7 1 0 は複数のセンサ素子を有してもよい。半導体装置 8 7 0 6 として先の実施の形態で示した蓄電装置が有する半導体装置 1 0 1 を用いることができる。組電池 8 7 0 7 として先の実施の形態で示した蓄電装置が有する組電池 1 2 0 を用いることができる。表示装置 8 7 0 2 として先の実施の形態で示した蓄電装置が有する表示装置 D P 1 を用いることができる。温度センサ 8 7 1 0 として先の実施の形態で示した蓄電装置が有する温度センサ T S 1 を用いることができる。

10

【 0 4 3 7 】

無停電電源装置 8 7 0 0 の電源コード 8 7 0 1 は、系統電源 8 7 0 3 と電氣的に接続する。系統電源 8 7 0 3 には例えば商用電源からの電力が与えられる。また、無停電電源装置 8 7 0 0 の電源コード 8 7 0 8 は、電源 8 7 0 9 と電氣的に接続する。電源 8 7 0 9 には例えば太陽電池からの電力が与えられる。太陽電池は例えば、家屋の屋根等の屋外に設置される。無停電電源装置 8 7 0 0 は、精密機器 8 7 0 4 と電氣的に接続する。精密機器 8 7 0 4 は、例えば、停電させたくないサーバー機器などを指している。無停電電源装置 8 7 0 0 が有する組電池 8 7 0 7 は、複数の二次電池を直列または並列に接続し、所望の電圧（例えば 8 0 V 以上、1 0 0 V または 2 0 0 V など）としている。

20

【 0 4 3 8 】

本発明の一態様の蓄電装置を無停電電源装置に適用することにより、組電池の残量の計測を高めることができ、無停電電源装置の持続時間を長くすることができる。また、無停電電源装置の信頼性を高めることができる。また、無停電電源装置の寿命を長くすることができる。また、無停電電源装置が有する半導体装置の消費電力を低くすることができるため、無停電電源装置の持続時間を長くすることができる。また、半導体装置 8 7 0 6 は組電池の過充電、過放電、過電流などの現象を検出し、充電の制御を行うため、安全性の高い無停電電源装置を提供することができる。

【 0 4 3 9 】

無停電電源装置 8 7 0 0 は例えば、住宅の床下に設置することができる。このような場合には、表示装置 8 7 0 2 のみを床の上、例えば部屋の壁面に設置すればよい。無停電電源装置 8 7 0 0 は安全性が高いため、床下に設置するのに適している。

30

【 0 4 4 0 】

本発明の一態様の無停電電源装置は、図 2 6 に示す様々な機器へ電源を供給することができる。

【 0 4 4 1 】

図 2 6 に例示する据え付け型の照明装置 8 1 0 0 は、筐体 8 1 0 1 および光源 8 1 0 2 を有する。照明装置 8 1 0 0 は、商用電源から電力の供給を停止した場合には、無停電電源装置に蓄積された電力を用いることができる。あるいは、少量電源からの電力の供給と併用して、無停電電源装置を補助電源として用いてもよい。

40

【 0 4 4 2 】

また、光源 8 1 0 2 には、電力を利用して人工的に光を得る人工光源を用いることができる。具体的には、白熱電球、蛍光灯などの放電ランプ、LED や有機 EL 素子などの発光素子が、上記人工光源の一例として挙げられる。

【 0 4 4 3 】

図 2 6 に例示するエアコンディショナーは、室内機 8 2 0 0 および室外機 8 2 0 4 を有する。室内機 8 2 0 0 は、筐体 8 2 0 1 および送風口 8 2 0 2 を有する。エアコンディショナーは、商用電源から電力の供給を停止した場合には、無停電電源装置に蓄積された電力を用いることができる。あるいは、少量電源からの電力の供給と併用して、無停電電源装置を補助電源として用いてもよい。

50

【 0 4 4 4 】

図 2 6 に例示する電気冷凍冷蔵庫 8 3 0 0 は、筐体 8 3 0 1、冷蔵室用扉 8 3 0 2 および冷凍室用扉 8 3 0 3 を有する。電気冷凍冷蔵庫 8 3 0 0 は、商用電源から電力の供給を停止した場合には、無停電電源装置に蓄積された電力を用いることができる。あるいは、少量電源からの電力の供給と併用して、無停電電源装置を補助電源として用いてもよい。

【 0 4 4 5 】

また、電子機器が使用されない時間帯、特に、商用電源の供給元が供給可能な総電力量のうち、実際に使用される電力量の割合（電力使用率と呼ぶ）が低い時間帯において、無停電電源装置に電力を蓄えておくことで、上記時間帯以外において電力使用率が高まるのを抑えることができる。例えば、電気冷凍冷蔵庫 8 3 0 0 の場合、気温が低く、冷蔵室用扉 8 3 0 2、冷凍室用扉 8 3 0 3 の開閉が行われない夜間において、無停電電源に電力を蓄える。そして、気温が高くなり、冷蔵室用扉 8 3 0 2、冷凍室用扉 8 3 0 3 の開閉が行われる昼間において、無停電電源を補助電源として用いることで、昼間の電力使用率を低く抑えることができる。

10

【 0 4 4 6 】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【 0 4 4 7 】

（実施の形態 8）

本実施の形態では、車両に本発明の一態様の蓄電装置が搭載される例を示す。車両として例えば自動車、二輪車、自転車、等が挙げられる。

20

【 0 4 4 8 】

本発明の一態様の蓄電装置は、寿命が長く信頼性に優れる。また本発明の一態様の蓄電装置を用いることにより、電子機器、車両等の安全性を高めることができる。

【 0 4 4 9 】

以下には、本発明の一態様の蓄電装置を、車両に搭載する例について説明する。

【 0 4 5 0 】

蓄電装置を車両に搭載すると、ハイブリッド車（H E V）、電気自動車（E V）、又はプラグインハイブリッド車（P H E V）等の次世代クリーンエネルギー自動車を実現できる。

【 0 4 5 1 】

図 2 7 A、図 2 7 B、図 2 7 C において、本発明の一態様である蓄電装置を用いた車両を例示する。図 2 7 A に示す自動車 8 4 0 0 は、走行のための動力源として電気モーターを用いる電気自動車である。または、走行のための動力源として電気モーターとエンジンを適宜選択して用いることが可能なハイブリッド自動車である。本発明の一態様を用いることで、航続距離の長い車両を実現することができる。自動車 8 4 0 0 は蓄電装置を有する。蓄電装置は電気モーター 8 4 0 6 を駆動するだけでなく、ヘッドライト 8 4 0 1 やルームライト（図示せず）などの発光装置に電力を供給することができる。

30

【 0 4 5 2 】

また、蓄電装置は、自動車 8 4 0 0 が有するスピードメーター、タコメーターなどの表示装置に電力を供給することができる。また、蓄電装置は、自動車 8 4 0 0 が有するナビゲーションシステムなどに電力を供給することができる。

40

【 0 4 5 3 】

図 2 7 B に示す自動車 8 5 0 0 は、自動車 8 5 0 0 が有する蓄電装置 8 0 2 4 にプラグイン方式や非接触給電方式等により外部の充電設備から電力供給を受けて、充電することができる。図 2 7 B に、地上設置型の充電装置 8 0 2 1 から自動車 8 5 0 0 に搭載された蓄電装置 8 0 2 4 に、ケーブル 8 0 2 2 を介して充電を行っている状態を示す。充電に際しては、充電方法やコネクタの規格等は C H A d e M O（登録商標）やコンボ等の所定の方式で適宜行えばよい。充電装置 8 0 2 1 は、商用施設に設けられた充電ステーションでもよく、また家庭の電源であってもよい。例えば、プラグイン技術によって、外部からの電力供給により自動車 8 5 0 0 に搭載された蓄電装置 8 0 2 4 を充電することができる。充電は、A C D C コンバータ等の変換装置を介して、交流電力を直流電力に変換して行う

50

ことができる。

【 0 4 5 4 】

また、図示しないが、受電装置を車両に搭載し、地上の送電装置から電力を非接触で供給して充電することもできる。この非接触給電方式の場合には、道路や外壁に送電装置を組み込むことで、停車中に限らず走行中に充電を行うこともできる。また、この非接触給電の方式を利用して、車両どうしで電力の送受信を行ってもよい。さらに、車両の外装部に太陽電池を設け、停車時や走行時に蓄電装置の充電を行ってもよい。このような非接触での電力の供給には、電磁誘導方式や磁界共鳴方式を用いることができる。

【 0 4 5 5 】

また、図 2 7 C は、本発明の一態様の蓄電装置を用いた二輪車の一例である。図 2 7 C に示すスクータ 8 6 0 0 は、蓄電装置 8 6 0 2、サイドミラー 8 6 0 1、方向指示燈 8 6 0 3 を備える。蓄電装置 8 6 0 2 は、方向指示燈 8 6 0 3 に電気を供給することができる。

10

【 0 4 5 6 】

また、図 2 7 C に示すスクータ 8 6 0 0 は、座席下収納 8 6 0 4 に、蓄電装置 8 6 0 2 を収納することができる。蓄電装置 8 6 0 2 は、座席下収納 8 6 0 4 が小型であっても、座席下収納 8 6 0 4 に収納することができる。

【 0 4 5 7 】

また、図 2 8 A は、本発明の一態様の蓄電装置を用いた電動自転車の一例である。図 2 8 A に示す電動自転車 8 9 0 0 に、本発明の一態様の蓄電装置を適用することができる。

【 0 4 5 8 】

20

電動自転車 8 9 0 0 は、蓄電装置 8 9 0 2 を備える。蓄電装置 8 9 0 2 は、運転者をアシストするモーターに電気を供給することができる。また、蓄電装置 8 9 0 2 は、持ち運びができ、図 2 8 B に自転車から取り外した状態を示している。また、蓄電装置 8 9 0 2 は、本発明の一態様の蓄電装置が有する組電池 8 9 0 1 が複数内蔵されており、そのバッテリー残量などを表示部 8 9 0 3 で表示できるようにしている。また蓄電装置 8 9 0 2 は、本発明の一態様の半導体装置 8 9 0 4 を有する。半導体装置 8 9 0 4 は、組電池 8 9 0 1 の正極及び負極と電気的に接続されている。半導体装置 8 9 0 4 として、先の実施の形態に示す半導体装置 1 0 1 を用いることができる。

【 0 4 5 9 】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

30

【 0 4 6 0 】

(本明細書等の記載に関する付記)

以上の実施の形態、及び実施の形態における各構成の説明について、以下に付記する。

【 0 4 6 1 】

各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

【 0 4 6 2 】

なお、ある一つの実施の形態の中で述べる内容(一部の内容でもよい)は、その実施の形態で述べる別の内容(一部の内容でもよい)、及び/又は、一つ若しくは複数の別の実施の形態で述べる内容(一部の内容でもよい)に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

40

【 0 4 6 3 】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【 0 4 6 4 】

なお、ある一つの実施の形態において述べる図(一部でもよい)は、その図の別の部分、その実施の形態において述べる別の図(一部でもよい)、及び/又は、一つ若しくは複数の別の実施の形態において述べる図(一部でもよい)に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

50

【 0 4 6 5 】

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合や、複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

【 0 4 6 6 】

また、図面において、大きさ、層の厚さ、又は領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

10

【 0 4 6 7 】

本明細書等において、トランジスタの接続関係を説明する際、「ソース又はドレインの一方」（又は第 1 電極、又は第 1 端子）、ソースとドレインとの他方を「ソース又はドレインの他方」（又は第 2 電極、又は第 2 端子）という表記を用いる。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

【 0 4 6 8 】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

20

【 0 4 6 9 】

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電圧とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも 0 V を意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

30

【 0 4 7 0 】

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【 0 4 7 1 】

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

【 0 4 7 2 】

本明細書等において、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとの間の距離をいう。

40

【 0 4 7 3 】

本明細書等において、チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

【 0 4 7 4 】

本明細書等において、A と B とが接続されている、とは、A と B とが直接接続されている

50

ものの他、電氣的に接続されているものを含むものとする。ここで、AとBとが電氣的に接続されているとは、AとBとの間で、何らかの電氣的作用を有する対象物が存在するとき、AとBとの電氣信号の授受を可能とするものをいう。

【符号の説明】

【0475】

A D 1 : 変換回路、A D 2 : アナログデジタル変換回路、B G L 2 : 配線、B G L 6 : 配線、B K C 1 : 回路、B K C 2 : 回路、B K C 1 0 : 回路、B K C 2 0 : 回路、C 1 : 容量素子、C 3 : 容量素子、C 6 : 容量素子、C B 1 : 容量素子、C B 2 : 容量素子、C B 1 1 : 容量素子、C B 1 2 : 容量素子、C R 1 : 電流計、D P 1 : 表示装置、F N 1 : ノード、F N 2 : ノード、G C L K 2 : クロック信号、I N V 1 1 : インバータ回路、I N V 1 2 : インバータ回路、I V 1 : インバータ回路、M 1 : トランジスタ、M 2 : トランジスタ、M 3 : トランジスタ、M 4 : トランジスタ、M 5 : トランジスタ、M 6 : トランジスタ、M 1 1 : トランジスタ、M 1 2 : トランジスタ、M A 1 : トランジスタ、M C 1 : トランジスタ、M C 2 : トランジスタ、M E 1 : メモリ、M E 2 : メモリ、M e m C 1 : 回路、M e m C 2 : 回路、M R 1 : トランジスタ、M W 1 : トランジスタ、M W 2 : トランジスタ、M W 1 1 : トランジスタ、M W 1 2 : トランジスタ、N B 1 : ノード、N E T 1 : ノード、N E T 2 : ノード、N K 1 : ノード、N R 1 : ノード、O U 1 : 端子、O U 2 : 端子、P C C 1 0 : 回路、P R 1 : 保護回路、P R 2 : 制御回路、P S 1 : 端子、P S E 5 : 信号、P S E 6 : 信号、R L 1 : リレー回路、R L 2 : リレー回路、R T C 1 0 : 回路、S 1 : 端子、S C 1 : 端子、S E 7 : スイッチ、S H 1 : サンプルホールド回路、S H 2 : サンプルホールド回路、S M C 2 0 : 回路、S N 1 : ノード、S N 2 : ノード、S N 3 : ノード、S W 1 : 制御回路、S W 7 : スイッチ、T S 1 : 温度センサ、V C 1 : 端子、V H 1 : 電位、V H 2 : 電位、V H 3 : 電位、W R 1 : 回路、1 0 : 電源回路、1 1 : メモリセル、1 2 : M W、1 5 : メモリセル、1 6 : メモリセル、2 0 : 処理装置、2 0 a : 処理装置、2 0 b : 処理装置、2 1 : 処理装置、3 0 : プロセッサコア、3 1 : 記憶回路、3 2 : 回路、3 5 : 電源線、4 0 : キャッシュ、4 1 : メモリアレイ、4 2 : 周辺回路、4 3 : 制御回路、4 5 : メモリセル、5 1 : 処理装置、5 2 : 変換回路、5 3 : 回路、5 5 : 制御回路、6 0 : P M U、6 1 : 回路、6 5 : クロック制御回路、7 0 : P S W、7 1 : P S W、8 0 : 端子、8 1 : 端子、8 2 : 端子、8 3 : 端子、1 0 0 : 蓄電装置、1 0 1 : 半導体装置、1 1 0 : F F、1 2 0 : 組電池、1 2 1 : 電池セル、1 2 1 a : 増幅回路、1 2 1 b : 増幅回路、1 2 2 : 組電池、1 2 2 a : トランジスタ、1 2 2 b : トランジスタ、1 2 3 a : 容量素子、1 2 3 b : 容量素子、1 2 6 : 抵抗素子、1 3 0 : プロセッサコア、1 3 1 : 制御装置、1 3 2 : プログラムカウンタ、1 3 3 : パイプラインレジスタ、1 3 4 : パイプラインレジスタ、1 3 5 : レジスタファイル、1 3 6 : A L U、1 3 7 : データバス、2 0 0 : 記憶回路、2 0 2 : キャッシュメモリ装置、2 0 3 : キャッシュメモリ装置、2 2 0 : メモリセル、2 4 0 : N O S R A M、2 4 2 : パワードメイン、2 4 3 : パワードメイン、2 4 5 : パワースイッチ、2 4 7 : パワースイッチ、2 5 0 : メモリセルアレイ、2 5 1 : 制御回路、2 5 2 : 行回路、2 5 3 : 列回路、3 1 1 : 基板、3 1 3 : 半導体領域、3 1 4 a : 低抵抗領域、3 1 4 b : 低抵抗領域、3 1 5 : 絶縁体、3 1 6 : 導電体、3 2 0 : 絶縁体、3 2 2 : 絶縁体、3 2 4 : 絶縁体、3 2 6 : 絶縁体、3 2 8 : 導電体、3 3 0 : 導電体、3 5 0 : 絶縁体、3 5 1 : D O S R A M、3 5 2 : 絶縁体、3 5 4 : 絶縁体、3 5 6 : 導電体、3 6 0 : 絶縁体、3 6 1 : メモリセルアレイ、3 6 2 : 絶縁体、3 6 4 : 絶縁体、3 6 5 : 周辺回路、3 6 6 : 導電体、3 7 0 : 絶縁体、3 7 1 : パワースイッチ、3 7 2 : 絶縁体、3 7 3 : パワースイッチ、3 7 4 : 絶縁体、3 7 6 : 導電体、3 8 0 : 絶縁体、3 8 2 : 絶縁体、3 8 4 : 絶縁体、3 8 6 : 導電体、4 0 0 : 二次電池、4 0 1 : 正極キャップ、4 0 2 : 電池缶、4 0 4 : 絶縁体、4 0 8 : 組電池、4 1 3 : 導電板、4 1 4 : 導電板、4 1 5 : 蓄電装置、4 1 6 : 配線、4 2 0 : 半導体装置、4 2 1 : 配線、4 2 2 : 配線、4 2 3 : 配線、4 2 4 : 導電体、4 2 5 : 絶縁体、4 2 6 : 配線、4 2 7 : 温度センサ、5 0 0 : トランジスタ、5 0 0 A : トランジスタ、5 0 0 B : トランジスタ、5 0 3 : 導電体、5 0 3 a : 導

10

20

30

40

50

電体、503b：導電体、510：絶縁体、512：絶縁体、513：絶縁体、514：絶縁体、516：絶縁体、518：導電体、520：絶縁体、522：絶縁体、524：絶縁体、530：酸化物、530a：酸化物、530b：酸化物、540a：導電体、540b：導電体、542：導電体、542a：導電体、542b：導電体、543a：領域、543b：領域、544：絶縁体、545：絶縁体、546：導電体、548：導電体、550：トランジスタ、552：絶縁体、560：導電体、560a：導電体、560b：導電体、574：絶縁体、580：絶縁体、581：絶縁体、582：絶縁体、586：絶縁体、600：容量、601：正極キャップ、602：電池缶、603：正極端子、604：正極、605：セパレータ、606：負極、607：負極端子、608：絶縁板、609：絶縁板、610：導電体、611：PTC素子、612：導電体、613：安全弁機構、620：導電体、630：絶縁体、640：絶縁体、930：筐体、931：負極、932：正極、933：セパレータ、950：捲回体、951：端子、952：端子、8021：充電装置、8022：ケーブル、8024：蓄電装置、8100：照明装置、8101：筐体、8102：光源、8200：室内機、8201：筐体、8202：送风口、8204：室外機、8300：電気冷凍冷蔵庫、8301：筐体、8302：冷蔵室用扉、8303：冷凍室用扉、8400：自動車、8401：ヘッドライト、8406：電気モーター、8500：自動車、8600：スクーター、8601：サイドミラー、8602：蓄電装置、8603：方向指示燈、8604：座席下収納、8700：無停電電源装置、8701：電源コード、8702：表示装置、8703：系統電源、8704：精密機器、8706：半導体装置、8707：組電池、8708：電源コード、8709：電源、8710：温度センサ、8900：電動自転車、8901：組電池、8902：蓄電装置、8903：表示部、8904：半導体装置

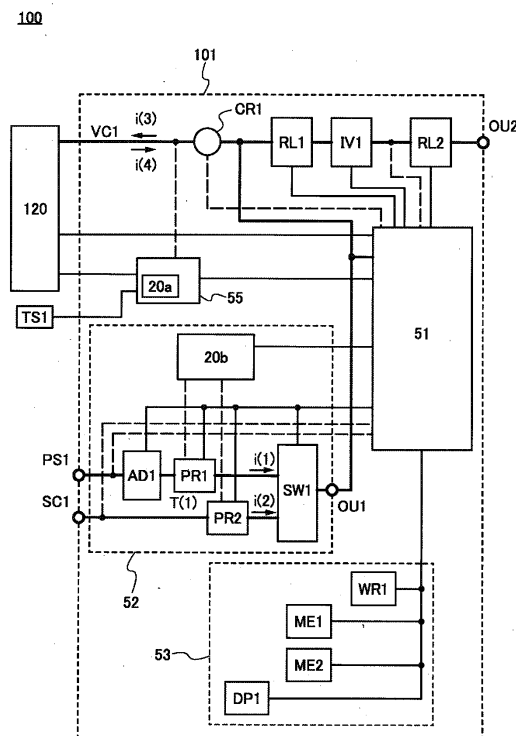
10

20

【図面】

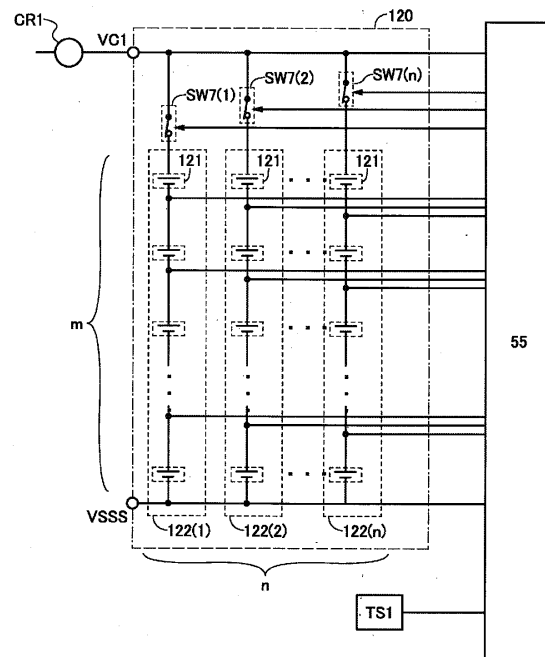
【図1】

図1



【図2】

図2



30

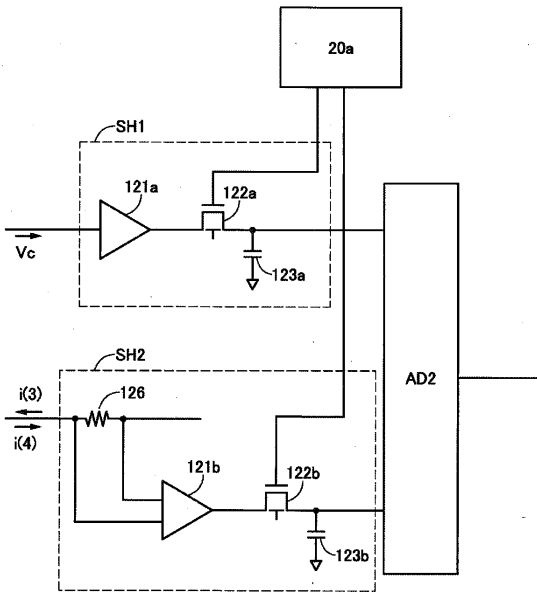
40

50

【図 3】

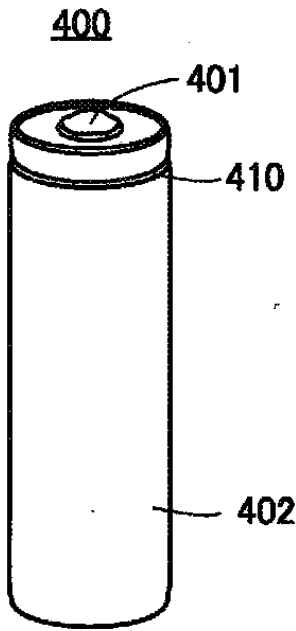
図3

55



【図 4 A】

図4A

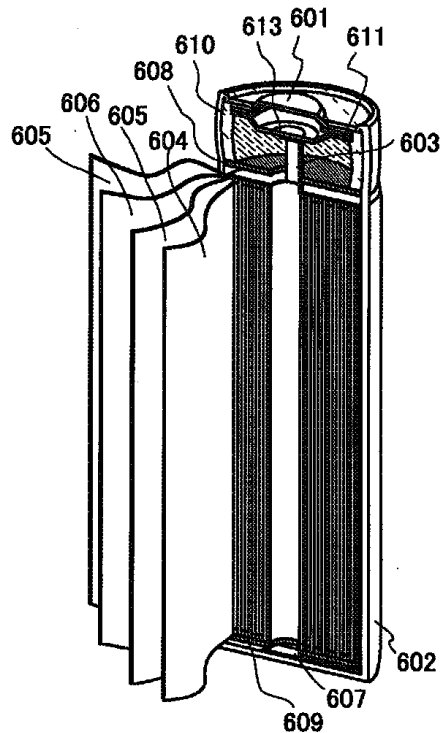


10

20

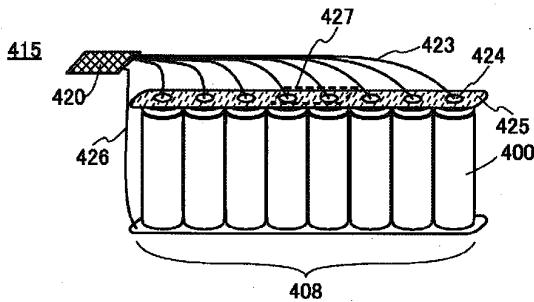
【図 4 B】

図4B



【図 5 A】

図5A



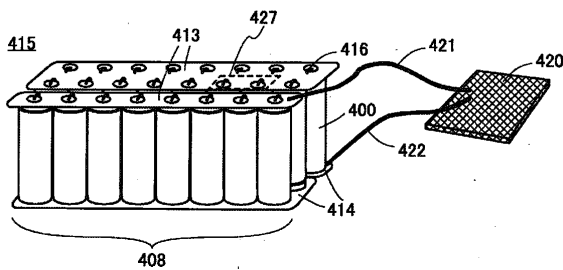
30

40

50

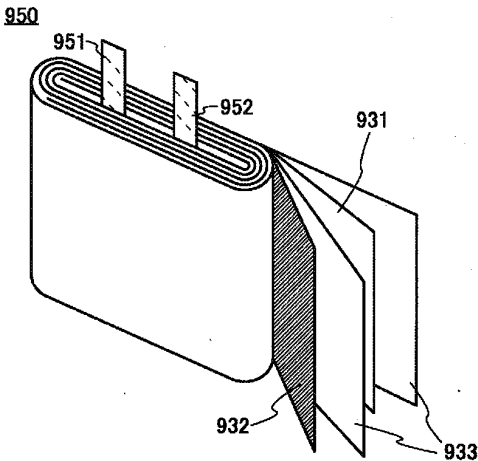
【図 5 B】

図5B



【図 6 A】

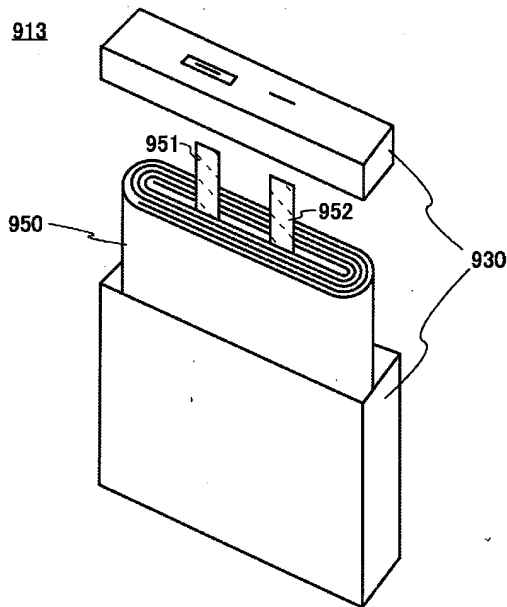
図6A



10

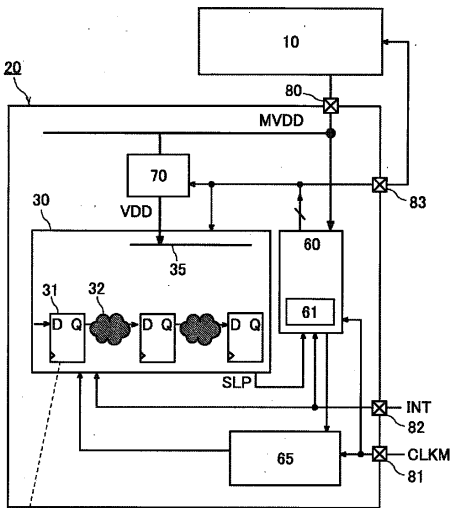
【図 6 B】

図6B



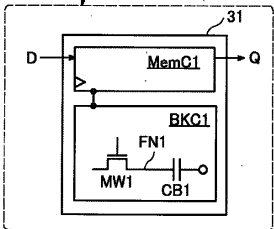
【図 7 A - B】

図7A



20

図7B



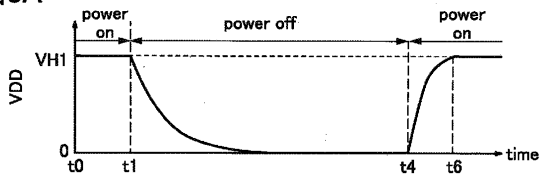
30

40

50

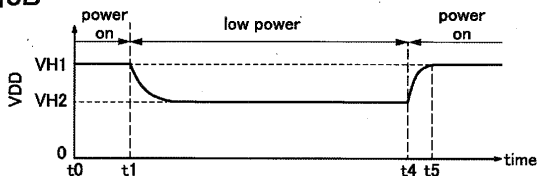
【図 8 A】

図8A



【図 8 B】

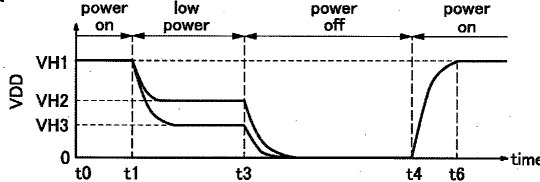
図8B



10

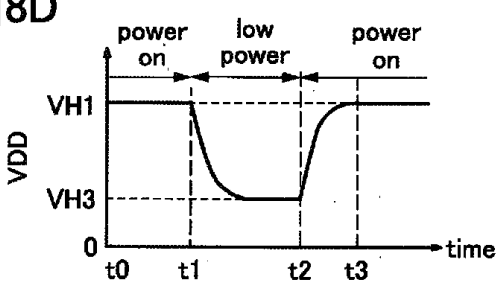
【図 8 C】

図8C



【図 8 D】

図8D



20

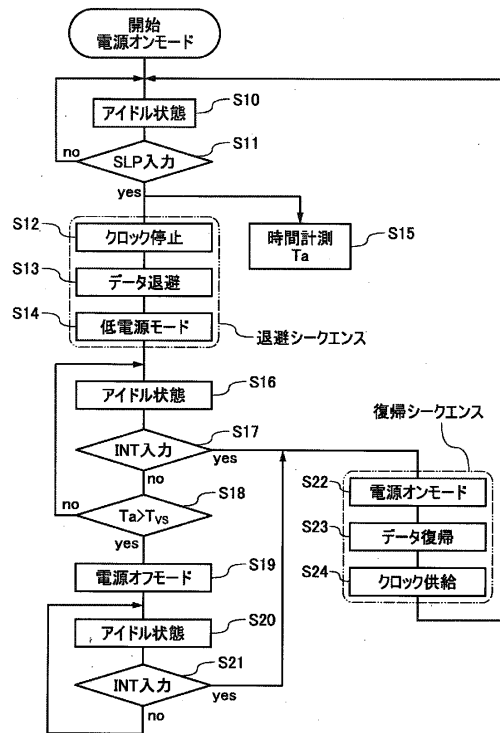
30

40

50

【図 9】

図9



【図 10 A - B】

図10A

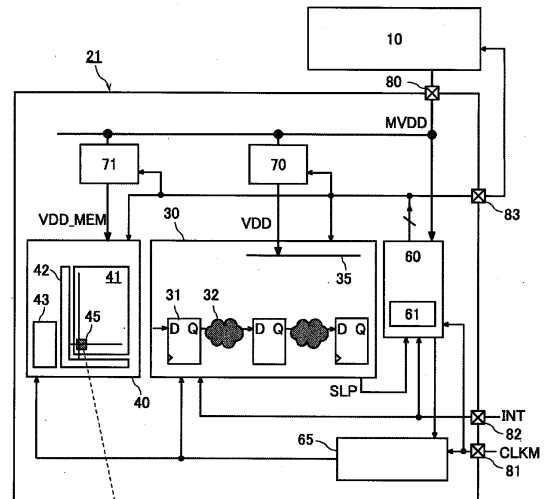
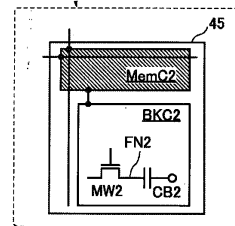
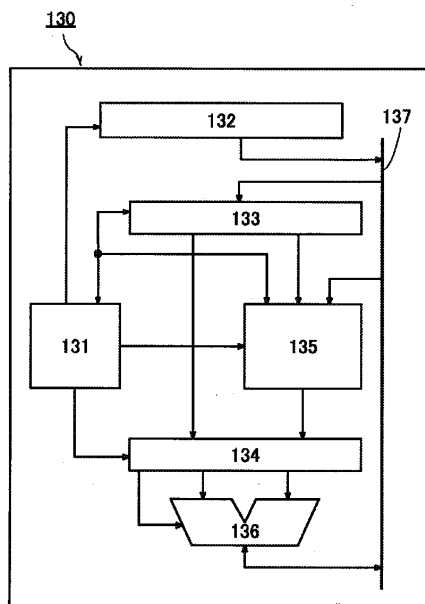


図10B



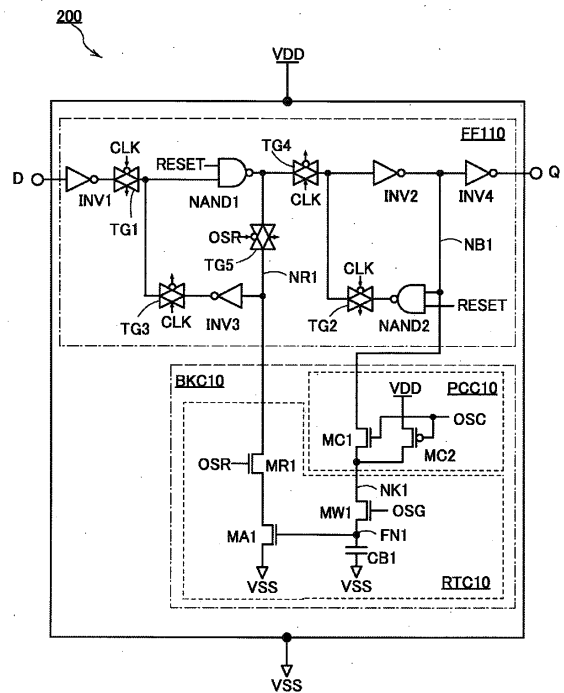
【図 11】

図11



【図 12】

図12



10

20

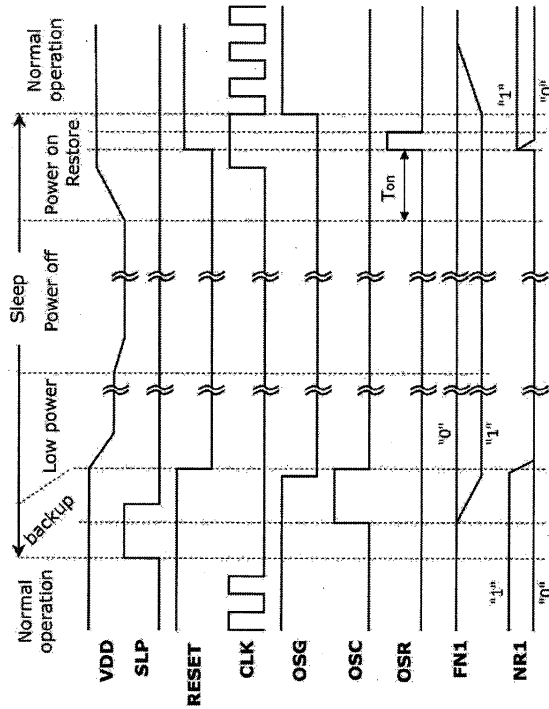
30

40

50

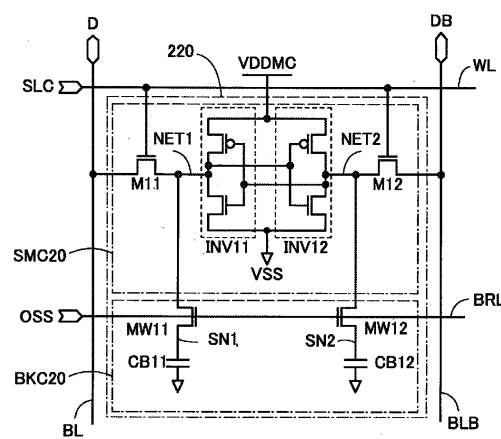
【図 13】

図13



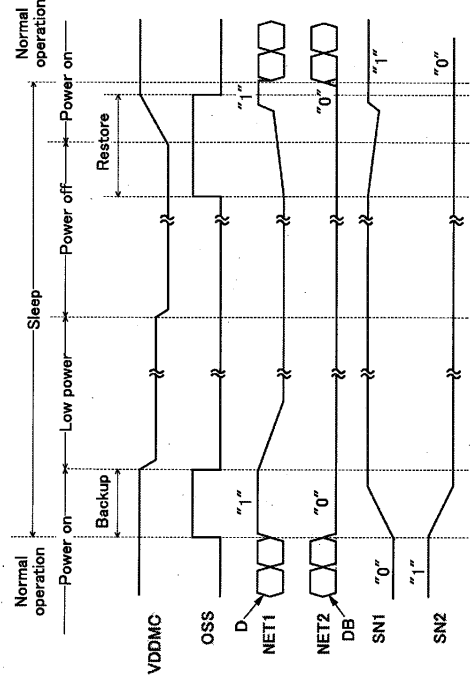
【図 14】

図14



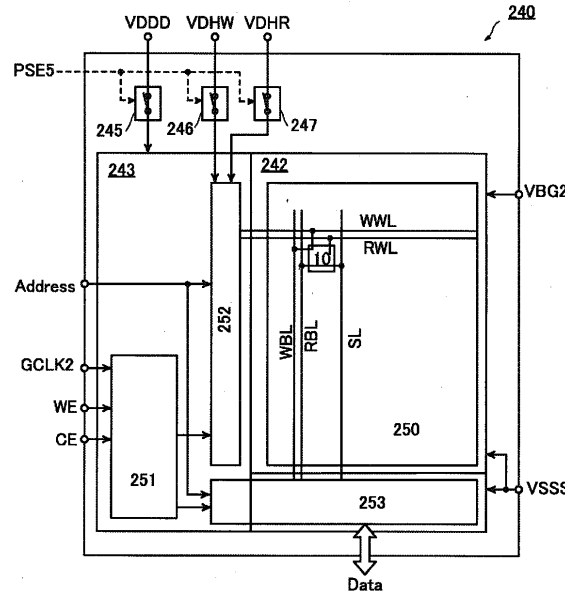
【図 15】

図15



【図 16 A】

図16A



10

20

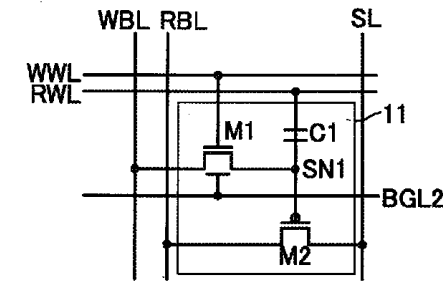
30

40

50

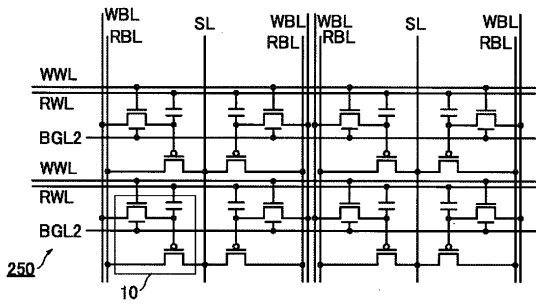
【図16B】

図16B



【図17A】

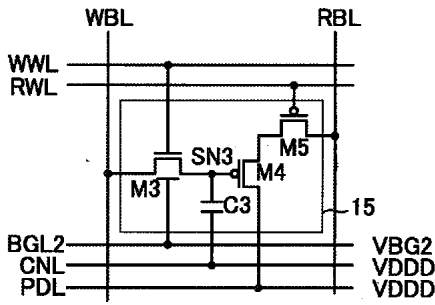
図17A



10

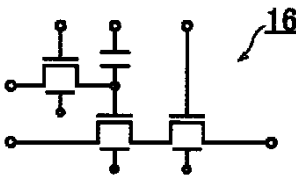
【図17B】

図17B



【図17C】

図17C



20

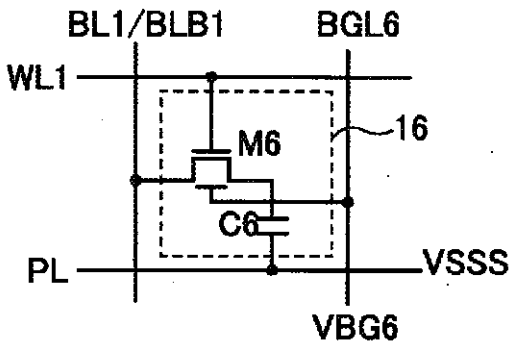
30

40

50

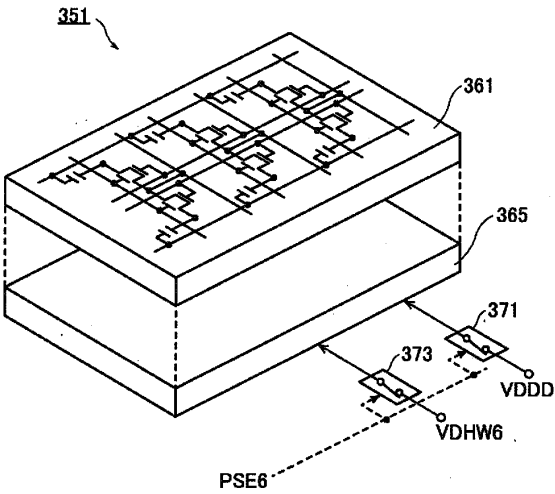
【図18A】

図18A



【図18B】

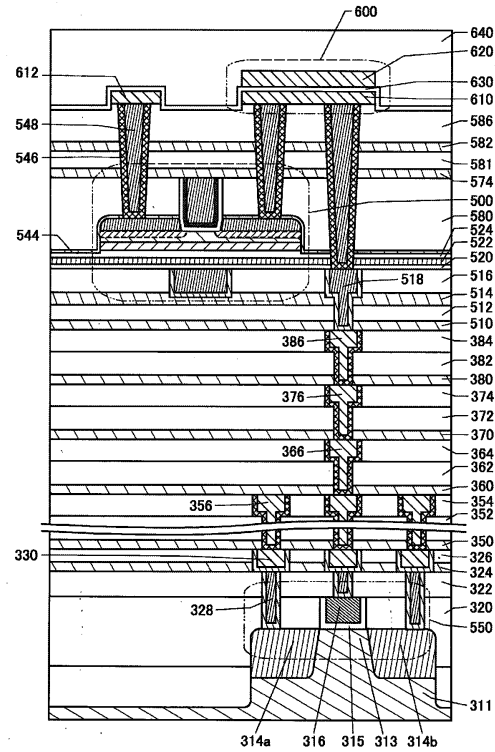
図18B



10

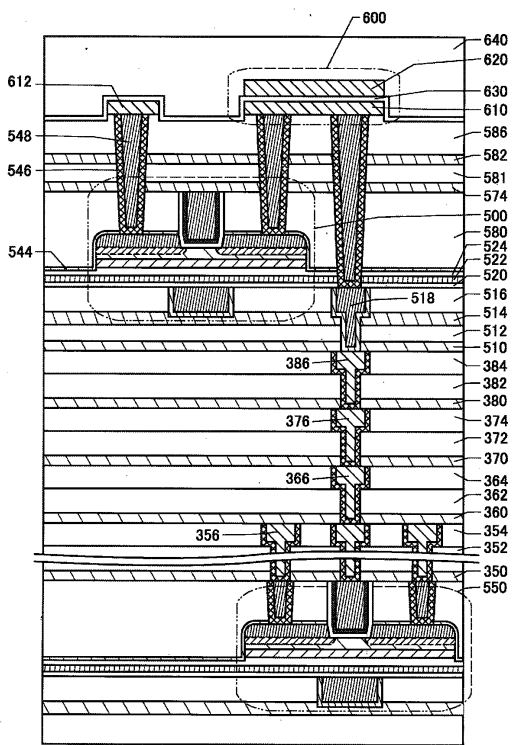
【図19】

図19



【図20】

図20



20

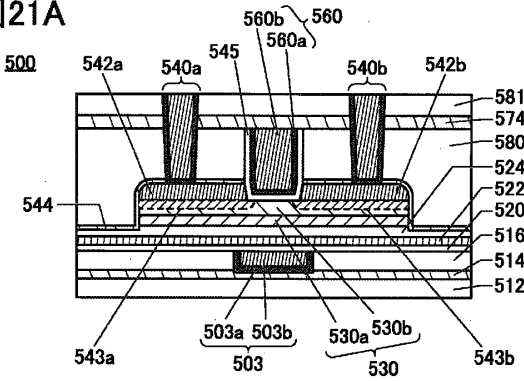
30

40

50

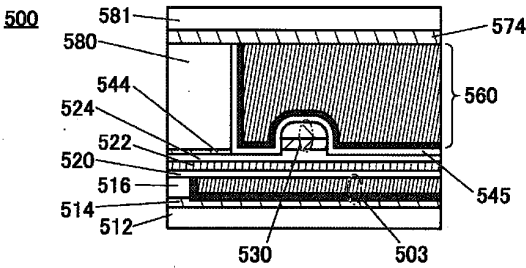
【図 2 1 A】

図21A



【図 2 1 B】

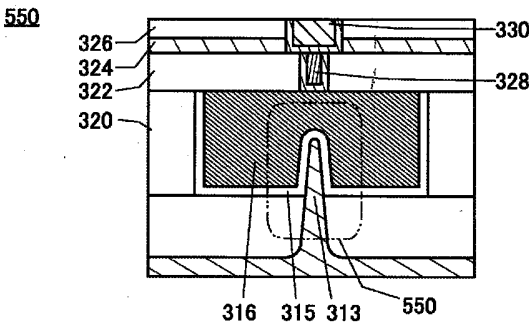
図21B



10

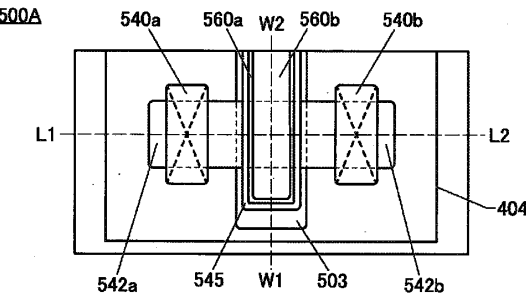
【図 2 1 C】

図21C



【図 2 2 A】

図22A



20

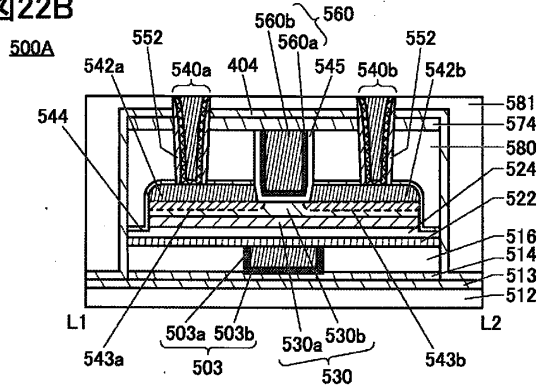
30

40

50

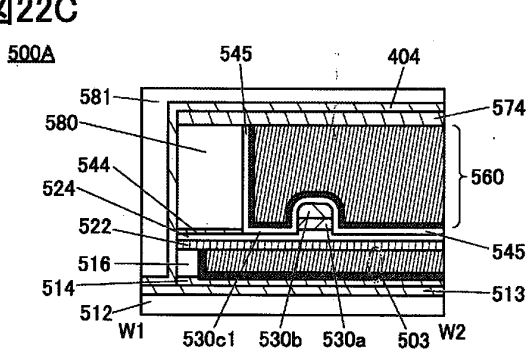
【図 2 2 B】

図22B



【図 2 2 C】

図22C

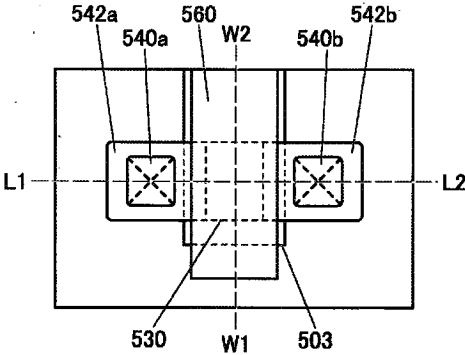


10

【図 2 3 A】

図23A

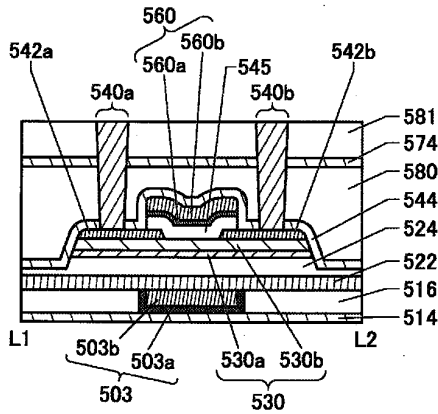
500B



【図 2 3 B】

図23B

500B



20

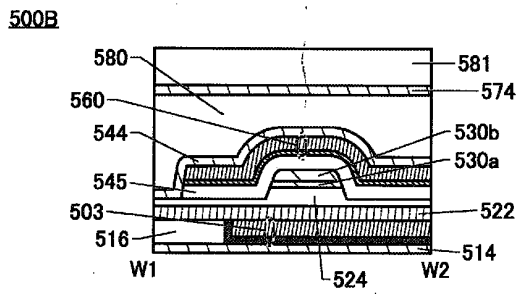
30

40

50

【図 2 3 C】

図23C



【図 2 4 A】

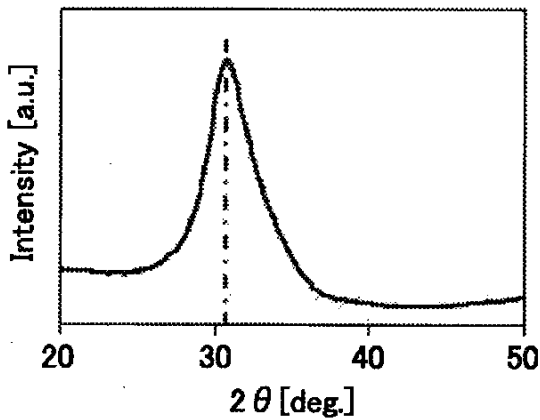
図24A

中間状態 新しい境界領域		
Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
・completely amorphous	・CAAC ・nc ・CAC excluding single crystal and poly crystal	・single crystal ・poly crystal

10

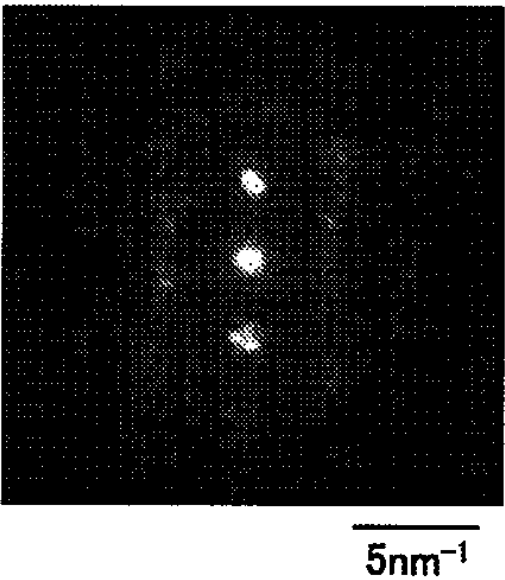
【図 2 4 B】

図24B



【図 2 4 C】

図24C



20

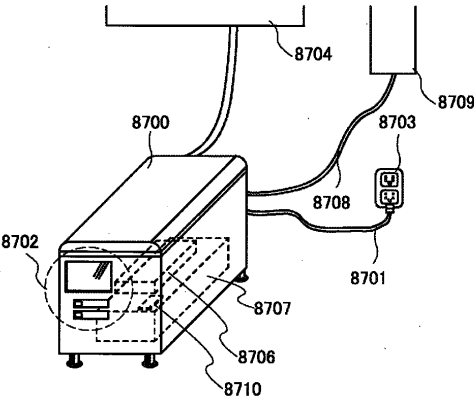
30

40

50

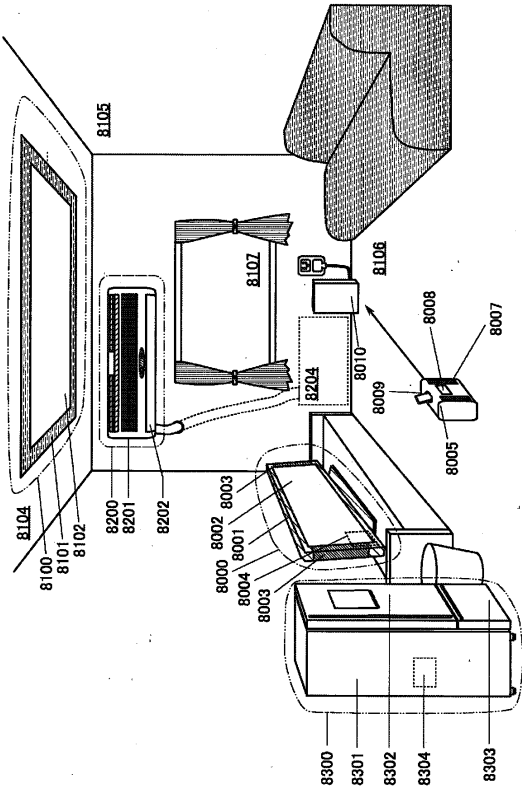
【 図 2 5 】

図25



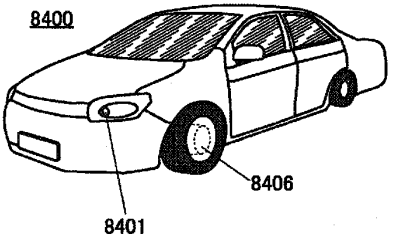
【 図 2 6 】

図26



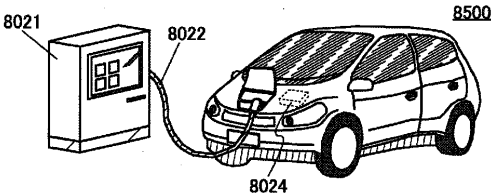
【 図 2 7 A 】

図27A



【 図 2 7 B 】

図27B



10

20

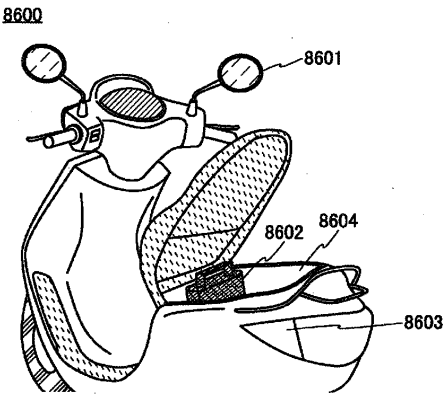
30

40

50

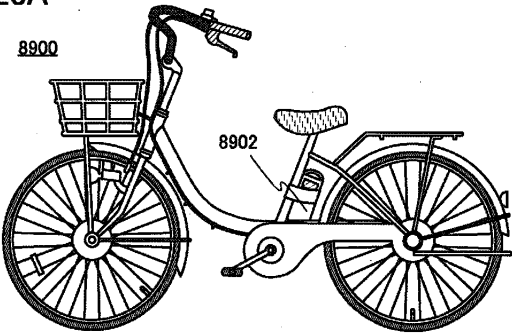
【図 27 C】

図27C



【図 28 A】

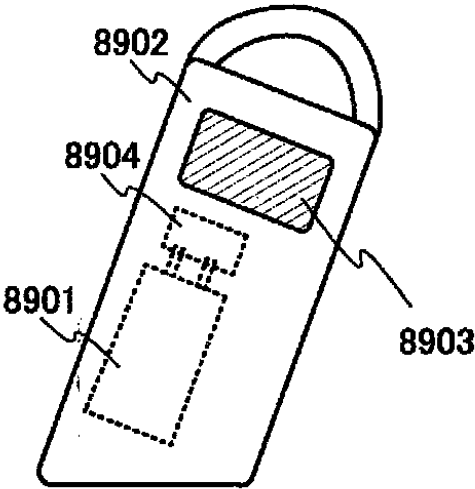
図28A



10

【図 28 B】

図28B



20

30

40

50

フロントページの続き

(51)国際特許分類 F I
H 1 0 D 86/40 (2025.01) H 0 1 L 29/78 6 1 3 Z

(56)参考文献 特開 2 0 1 8 - 1 4 2 5 4 4 (J P , A)
特開 2 0 1 3 - 2 0 1 8 1 6 (J P , A)
特開 2 0 1 6 - 0 4 2 3 5 2 (J P , A)
国際公開第 2 0 1 9 / 0 4 8 9 8 5 (W O , A 1)

(58)調査した分野 (Int.Cl. , D B 名)
H 0 1 M 1 0 / 4 4 , 1 0 / 4 8
G 0 1 R 3 1 / 3 8 4 2
H 0 2 J 7 / 0 0 , 7 / 3 5
H 0 1 L 2 9 / 7 8 6
H 0 1 L 2 1 / 8 2 3 4