



(12) 发明专利

(10) 授权公告号 CN 101884112 B

(45) 授权公告日 2012. 09. 05

(21) 申请号 200880118999. 2

H01L 21/336 (2006. 01)

(22) 申请日 2008. 11. 21

H01L 29/417 (2006. 01)

(30) 优先权数据

H01L 29/423 (2006. 01)

2007-312348 2007. 12. 03 JP

H01L 29/49 (2006. 01)

(85) PCT申请进入国家阶段日

(56) 对比文件

2010. 06. 03

JP 昭 64-84669 A, 1989. 03. 29, 全文.

(86) PCT申请的申请数据

JP 平 3-161938 A, 1991. 07. 11, 全文.

PCT/JP2008/071746 2008. 11. 21

US 2001/0049064 A1, 2001. 12. 06, 全文.

(87) PCT申请的公布数据

CN 1614483 A, 2005. 05. 11, 全文.

W02009/072451 EN 2009. 06. 11

审查员 夏杰

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川

(72) 发明人 宫入秀和 小森茂树 伊佐敏行

小松立

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 秦晨

(51) Int. Cl.

H01L 29/786 (2006. 01)

G09F 9/30 (2006. 01)

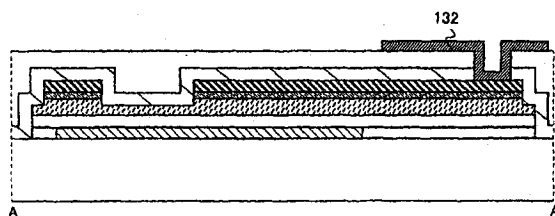
权利要求书 2 页 说明书 19 页 附图 48 页

(54) 发明名称

薄膜晶体管的制造方法和显示器件的制造方法

(57) 摘要

本发明提供了一种使用少量掩模的薄膜晶体管 and 显示器件的制造方法。将第一导电膜、绝缘膜、半导体膜、杂质半导体膜、和第二导电膜堆叠。然后,使用多色调掩模在其上面形成具有凹陷部分的抗蚀剂掩模。执行第一蚀刻以形成薄膜堆叠体,并执行其中对薄膜堆叠体进行侧蚀刻的第二蚀刻以形成栅极电极层。使抗蚀剂凹入,然后形成源极电极、漏极电极等;由此,制造薄膜晶体管。



1. 一种薄膜晶体管的制造方法,包括以下步骤:

形成第一导电膜;

在第一导电膜之上形成绝缘膜;

在绝缘膜之上形成半导体膜;

在绝缘膜之上形成杂质半导体膜;

在杂质半导体膜之上形成第二导电膜;

在第二导电膜之上形成第一抗蚀剂掩模;

使用第一抗蚀剂掩模对绝缘膜、半导体膜、杂质半导体膜、和第二导电膜进行第一蚀刻以至少使第一导电膜的表面暴露;

对第一导电膜的一部分进行第二蚀刻以便以栅极电极层的宽度比绝缘膜的宽度窄的方式形成栅极电极层;

在第二导电膜之上形成第二抗蚀剂掩模;以及

使用第二抗蚀剂掩模对第二导电膜、杂质半导体膜、和半导体膜的一部分进行第三蚀刻以形成源极和漏极电极层、源极和漏极区层、和半导体层。

2. 一种薄膜晶体管的制造方法,包括以下步骤:

形成第一导电膜;

在第一导电膜之上形成绝缘膜;

在绝缘膜之上形成半导体膜;

在绝缘膜之上形成杂质半导体膜;

在杂质半导体膜之上形成第二导电膜;

在第二导电膜之上形成包括凹陷部分的第一抗蚀剂掩模;

使用第一抗蚀剂掩模对绝缘膜、半导体膜、杂质半导体膜、和第二导电膜进行第一蚀刻以至少使第一导电膜的表面暴露;

对第一导电膜的一部分进行第二蚀刻以便以栅极电极层的宽度比绝缘膜的宽度窄的方式形成栅极电极层;

通过使第一抗蚀剂掩模凹入以便使与第一抗蚀剂掩模的凹陷部分重叠的第二导电膜的一部分暴露来形成第二抗蚀剂掩模;以及

使用第二抗蚀剂掩模对第二导电膜、杂质半导体膜、和半导体膜的一部分进行第三蚀刻以形成源极和漏极电极层、源极和漏极区层、和半导体层。

3. 根据权利要求1或2所述的薄膜晶体管的制造方法,其中,在形成第二抗蚀剂掩模之后执行第二蚀刻。

4. 根据权利要求2所述的薄膜晶体管的制造方法,其中,使用多色调掩模来形成第一抗蚀剂掩模。

5. 根据权利要求1或2所述的薄膜晶体管的制造方法,

其中,第一蚀刻是干法蚀刻,以及

其中,第二蚀刻是湿法蚀刻。

6. 根据权利要求1或2所述的薄膜晶体管的制造方法,

其中,在第二蚀刻期间第一导电膜相对于第二导电膜的蚀刻选择性是高的。

7. 根据权利要求1或2所述的薄膜晶体管的制造方法,

其中,通过使用氧等离子体进行灰化来形成由第一抗蚀剂掩模的凹入形成的第二掩模。

8. 一种薄膜晶体管,包括:

绝缘表面上的栅极电极;

栅极电极之上的绝缘膜;

绝缘膜之上的半导体层;

半导体层之上的杂质半导体层;以及

杂质半导体层之上的导电膜,

其中,所述栅极电极比所述绝缘膜的宽度窄使得邻近于所述栅极电极且在所述绝缘膜与所述绝缘表面之间形成腔体。

9. 根据权利要求 8 所述的薄膜晶体管,

其中,所述半导体层具有作为沟道区的第一凹陷部分。

10. 根据权利要求 8 所述的薄膜晶体管,

其中,所述半导体层具有与所述腔体重叠的第二凹陷部分。

薄膜晶体管的制造方法和显示器件的制造方法

技术领域

[0001] 本发明涉及薄膜晶体管和包括该薄膜晶体管的显示器件的制造方法。

背景技术

[0002] 近年来,使用具有几纳米至几百纳米厚度的半导体薄膜在诸如玻璃衬底的具有绝缘表面的衬底上形成的薄膜晶体管已引起注意。薄膜晶体管被广泛地用于诸如 IC(集成电路)的电子器件和电子光学器件。特别地,薄膜晶体管被迫切地开发成以液晶显示器、EL(电致发光)显示器件等为代表的图像显示器件的开关元件。特别是在有源矩阵液晶显示器件中,电压被施加于连接到所选开关元件的像素电极和对应于该像素电极的相对电极,由此光学地调制设置在像素电极与相对电极之间的液晶层。光学调制可能被观察者视为显示图案。这里的有源矩阵液晶显示器件意指采用其中通过使用开关元件驱动布置成矩阵的像素电极在屏幕上形成显示图案的方法的液晶显示器件。

[0003] 有源矩阵液晶显示器件的应用范围正在扩大,且对更大屏幕尺寸、更高清晰度、和更高孔径比的需求日益增加。另外,需要有源矩阵液晶显示器件具有高可靠性且有源矩阵液晶显示器件的生产方法提供高产率并降低生产成本。作为用于提高生产率和降低生产成本的方法,可以给出工艺的简化。

[0004] 在有源矩阵液晶显示器件中,主要使用薄膜晶体管作为开关元件。在制造薄膜晶体管时,减少在光刻中使用的光掩模的数目对于工艺的简化而言是重要的。如果增加一个光掩模,则还需要以下步骤:抗蚀剂涂敷、预烘焙、曝光、显影、后烘焙等,此外还有上述步骤前后的其它步骤,诸如薄膜形成和蚀刻及进一步的抗蚀剂去除、清洁、干燥等。在制造工艺中仅仅由于添加一个光掩模而显著增加了步骤的数目。因此,已经开发了在制造工艺中减少光掩模数目的许多技术。

[0005] 用于减少光掩模数目的许多传统技术使用复杂的技术,诸如背侧曝光、抗蚀剂回流、或弹射法(lift-off method),这要求有特殊的装置。已存在由于此类复杂技术的使用导致的各种问题而使产率降低的问题。此外,除了牺牲薄膜晶体管的电学特性之外,常常没有选择权。

[0006] 作为用于在薄膜晶体管的制造工艺中减少光掩模数目的典型手段,使用多色调掩模(称为半色调掩模或灰色调掩模)的技术众所周知。作为用于通过使用多色调掩模来减少制造步骤数目的技术,公开了例如专利文献 1(日本公开专利申请 No. 2003-179069)。

发明内容

[0007] 本发明的一个目的是在薄膜晶体管的制造方法中在不采用复杂技术的情况下与传统上使用的光掩模数目相比减少在光刻中使用的光掩模的数目。

[0008] 此外,本发明可以特别地应用于在显示器件的像素中使用的薄膜晶体管(也称为像素 TFT)。因此,本发明的另一目的是在制造显示器件时与传统上使用的光掩模数目相比减少在光刻中使用的光掩模的数目。

[0009] 在本发明中,形成第一导电膜和其中在第一导电膜上依次堆叠绝缘膜、半导体膜、杂质半导体膜、和第二导电膜的薄膜堆叠体;执行第一蚀刻以使第一导电膜暴露并形成薄膜堆叠体的图案;以及执行第二蚀刻以形成第一导电膜的图案。这里,在对第一导电膜进行侧蚀刻的条件下执行第二蚀刻。

[0010] 这里,作为第一蚀刻,可以使用干法蚀刻或湿法蚀刻。请注意,当采用干法蚀刻作为第一蚀刻时可以由一个步骤执行第一蚀刻,而当采用湿法蚀刻作为第一蚀刻时可以由多个步骤执行第一蚀刻。此外,作为第二蚀刻,可以使用干法蚀刻或湿法蚀刻。然而,如上所述,需要用第二蚀刻对第一导电膜进行侧蚀刻。因此,优选的是采用湿法蚀刻作为第二蚀刻。

[0011] 这里,由于在对第一导电膜进行侧蚀刻的条件下执行第二蚀刻,所以第一导电膜与具有形成的图案的薄膜堆叠体相比凹入到内侧。因此,第二蚀刻之后的第一导电膜的侧表面与具有形成的图案的薄膜堆叠体的侧表面相比更多地存在于内部。此外,具有形成的图案的第一导电膜的侧表面与具有形成的图案的薄膜堆叠体的侧表面之间的距离几乎是均匀的。

[0012] 请注意,“第一导电膜的图案”意指例如形成栅极电极、栅极布线、电容器电极、和电容器布线的金属布线的顶视图布局。

[0013] 根据本发明的一方面,一种薄膜晶体管的制造方法包括步骤:形成第一导电膜;在第一导电膜之上形成绝缘膜;在绝缘膜之上形成半导体膜;在绝缘膜之上形成杂质半导体膜;在杂质半导体膜之上形成第二导电膜;在第二导电膜之上形成第一抗蚀剂掩模;使用第一抗蚀剂掩模对绝缘膜、半导体膜、杂质半导体膜、和第二导电膜进行第一蚀刻以至少使第一导电膜的表面暴露;对第一导电膜的一部分进行第二蚀刻以便以栅极电极的宽度比绝缘膜的宽度窄的方式形成栅极电极层;在第二导电膜之上形成第二抗蚀剂掩模;以及使用第二抗蚀剂掩模对第二导电膜、杂质半导体膜、和半导体膜的一部分进行第三蚀刻以形成源极和漏极电极层、源极和漏极区层、和半导体层。

[0014] 根据本发明的一方面,一种薄膜晶体管的制造方法包括步骤:形成第一导电膜;在第一导电膜之上形成绝缘膜;在绝缘膜之上形成半导体膜;在绝缘膜之上形成杂质半导体膜;在杂质半导体膜之上形成第二导电膜;在第二导电膜之上形成第一抗蚀剂掩模;使用第一抗蚀剂掩模对绝缘膜、半导体薄膜、杂质半导体膜和第二导电膜进行第一蚀刻以至少使第一导电膜的表面暴露;在第二导电膜之上形成第二抗蚀剂掩模,在形成第二抗蚀剂掩模之后,对第一导电膜的一部分进行第二蚀刻以便以栅极电极的宽度比绝缘膜的宽度窄的方式形成栅极电极层;并使用第二抗蚀剂掩模对第二导电膜、杂质半导体膜、和半导体膜的一部分进行蚀刻以形成源极和漏极电极层、源极和漏极区层、和半导体层。

[0015] 根据本发明的一方面,一种薄膜晶体管的制造方法包括步骤:形成第一导电膜;在第一导电膜之上形成绝缘膜;在绝缘膜之上形成半导体膜;在绝缘膜之上形成杂质半导体膜;在杂质半导体膜之上形成第二倒带那么;在第二导电膜之上形成包括凹陷部分的第一抗蚀剂掩模;使用第一抗蚀剂掩模对绝缘膜、半导体膜、杂质半导体膜、和第二导电膜进行第一蚀刻以至少使第一导电膜的表面暴露;对第一导电膜的一部分进行第二蚀刻以便以栅极电极的宽度比绝缘膜的宽度窄的方式形成栅极电极层;通过使第一抗蚀剂掩模凹入以使与第一抗蚀剂掩模的凹陷部分重叠的第二导电膜的一部分暴露来形成第二抗蚀剂掩模;

以及使用第二抗蚀剂掩模对第二导电膜、杂质半导体膜、和半导体膜的一部分进行第三蚀刻以形成源极和漏极电极层、源极和漏极区层、和半导体层。

[0016] 根据本发明的一方面,一种薄膜晶体管的制造方法包括步骤:形成第一导电膜;在第一导电膜之上形成绝缘膜;在绝缘膜之上形成半导体膜;在绝缘膜之上形成杂质半导体膜;在杂质半导体膜之上形成第二导电膜;在第二导电膜之上形成包括凹陷部分的第一抗蚀剂掩模;使用第一抗蚀剂掩模对绝缘膜、半导体膜、杂质半导体膜、和第二导电膜进行第一蚀刻以至少使第一导电膜的表面暴露;通过使第一抗蚀剂掩模凹入以使与第一抗蚀剂掩模的凹陷部分重叠的第二导电膜的一部分暴露来形成第二抗蚀剂掩模;在形成第二抗蚀剂掩模之后,对第一导电膜的一部分进行第二蚀刻以便以栅极电极的宽度比绝缘膜的宽度窄的方式形成栅极电极层;以及使用第二抗蚀剂掩模对第二导电膜、杂质半导体膜、和半导体膜的一部分进行第三蚀刻以形成源极和漏极电极层、源极和漏极区层、和半导体层。

[0017] 在具有根据本发明的上述结构的制造方法中,在第一抗蚀剂掩模具有凹陷部分的情况下,优选地使用多色调掩模来形成第一抗蚀剂掩模。通过使用多色调掩模,可以用简单的工艺形成具有凹陷部分的抗蚀剂掩模。

[0018] 通过采用具有根据本发明的任何上述结构的薄膜晶体管制造方法,由第一蚀刻形成元素区,并且第二蚀刻可以使栅极电极层的侧表面与元素区的侧表面相比以几乎均匀的距离更多地内部。

[0019] 在根据本发明的使用第一蚀刻和第二蚀刻的任何结构中,优选的是用干法蚀刻来执行第一蚀刻并用湿法蚀刻来执行第二蚀刻。优选地用高精度执行第一蚀刻的处理,并且需要在第二蚀刻的处理中执行侧蚀刻。对于高精度处理,优选的是干法蚀刻。由于在湿法蚀刻中利用化学反应,所以在湿法蚀刻中比在干法蚀刻中更可能发生侧蚀刻。

[0020] 可以通过选择性地像素电极形成为连接到由具有任何上述结构的本发明制造的薄膜晶体管的源极和漏极电极层来制造显示器件。

[0021] 根据本发明的一方面,一种显示器件的制造方法包括步骤:用具有上述结构的任何方法形成薄膜晶体管、形成保护性绝缘膜以覆盖薄膜晶体管、在保护性绝缘膜中形成开口部分以便使源极和漏极电极层的一部分暴露、以及在开口部分和保护性绝缘膜之上选择性地形成像素电极。

[0022] 在具有根据本发明的上述结构的显示器件的制造方法中,优选地通过堆叠用 CVD 法或溅射法形成的绝缘膜和用旋涂法形成的绝缘膜来形成保护性绝缘膜。更优选地,通过堆叠用 CVD 法或溅射法形成的氮化硅膜和用旋涂法形成的有机树脂膜来形成保护性绝缘膜。通过以这种方式形成保护性绝缘膜,可以保护薄膜晶体管不受可能不利地影响薄膜晶体管的电学特性的杂质元素的影响,并且可以改善在其上面形成像素电极的表面的平面性;因此,可以防止产率降低。

[0023] 通过使用具有根据本发明的上述结构的任何制造方法制造的薄膜晶体管包括覆盖栅极电极层的栅极绝缘膜、在栅极绝缘膜之上的半导体层、在半导体层之上的源极区和漏极区、在源极区和漏极区之上的源极电极和漏极电极、和与栅极电极层的侧表面接触的腔体。栅极电极的边缘附近可以通过提供腔体具有较低的介电常数(低 k)。

[0024] 请注意,在本说明书中,“膜”是在未被形成为图案的情况下在整个表面之上形成的膜,并且“层”是已使用抗蚀剂掩模等形成为具有期望形状的图案的层。然而,关于堆叠

的膜的每层,在某些情况下以不加区别的方式使用“膜”和“层”。

[0025] 请注意,在尽可能少地导致非预期蚀刻的条件下执行蚀刻。

[0026] 请注意,在本说明书中,“栅极布线”意指连接到薄膜晶体管的栅极电极的布线。使用栅极电极层形成栅极布线。此外,有时将栅极布线称为扫描线。

[0027] 请注意,在本说明书中,“源极布线”是连接到薄膜晶体管的源极电极和漏极电极的布线。使用源极和漏极电极层形成源极布线。此外,有时将源极布线称为信号线。

[0028] 使用本发明,可以显著地减小用于制造薄膜晶体管的步骤的数目。此外,由于使用本发明制造的薄膜晶体管可以应用于显示器件,所以也可以显著地减少显示器件的制造步骤。更具体而言,使用本发明,可以减少光掩模的数目。还可以使用一个光掩模(多色调掩模)制造薄膜晶体管。因此,可以显著地减少用于制造薄膜晶体管或显示器件的步骤的数目。

[0029] 另外,与目的在于减少光掩模数目的传统技术不同,不需要使用背侧曝光、抗蚀剂回流、弹射法等复杂步骤。因此,可以在不降低薄膜晶体管的产率的情况下显著减少制造步骤的数目。

[0030] 在目的在于减少光掩模数目的传统技术中,常常牺牲薄膜晶体管的电学特性。在本发明中,可以在保持薄膜晶体管的电学特性的同时显著地减少制造薄膜晶体管的步骤的数目。

[0031] 此外,通过本发明的上述效果,可以显著地降低制造成本。

[0032] 由于用本发明的制造方法制造的薄膜晶体管具有与栅极电极层的端部接触的腔体,所以可以使栅极电极与漏极电极之间的漏电流变低。

附图说明

[0033] 在附图中:

[0034] 图 1A 至 1C 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例;

[0035] 图 2A 至 2C 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例;

[0036] 图 3A 至 3C 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例;

[0037] 图 4A 至 4C 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例;

[0038] 图 5A 至 5C 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例;

[0039] 图 6A 至 6C 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例;

[0040] 图 7A 至 7C 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例;

[0041] 图 8A 至 8C 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例;

[0042] 图 9A 至 9C 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例;

[0043] 图 10A 至 10C 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例;

[0044] 图 11A 至 11C 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例;

[0045] 图 12A 至 12C 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例;

[0046] 图 13A 至 13C 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例;

[0047] 图 14A 至 14C 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例;

[0048] 图 15A 至 15C 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例;

[0049] 图 16 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例;

- [0050] 图 17 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例；
- [0051] 图 18 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例；
- [0052] 图 19 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例；
- [0053] 图 20 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例；
- [0054] 图 21 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例；
- [0055] 图 22 示出应用本发明的制造方法的有源矩阵衬底的连接部分；
- [0056] 图 23 示出应用本发明的制造方法的有源矩阵衬底的连接部分；
- [0057] 图 24A 至 24C 示出每个应用本发明的制造方法的有源矩阵衬底的连接部分；
- [0058] 图 25A-1 和 25A-2 及图 25B-1 和 25B-2 的每一个示出用于本发明的制造方法的多色调掩模；
- [0059] 图 26A 至 26C 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例；
- [0060] 图 27A 至 27C 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例；
- [0061] 图 28 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例；
- [0062] 图 29 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例；
- [0063] 图 30 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例；
- [0064] 图 31A 至 31C 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例；
- [0065] 图 32A 至 32C 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例；
- [0066] 图 33A 至 33C 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例；
- [0067] 图 34A 至 34C 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例；
- [0068] 图 35A 至 35C 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例；
- [0069] 图 36 示出根据本发明的薄膜晶体管和显示器件的制造方法的示例；
- [0070] 图 37A 和 37B 是使用根据本发明的显示器件的电子设备的透视图；
- [0071] 图 38 示出使用根据本发明的显示器件的电子设备；
- [0072] 图 39A 至 39C 示出使用根据本发明的显示器件的电子设备；
- [0073] 图 40A 和 40B 是在本发明的实施例 1 中解释的光学缩微照片；
- [0074] 图 41A 至 41C 是在本发明的实施例 1 中解释的 STEM 图像；
- [0075] 图 42 示出本发明的实施例 1 的电流测试；
- [0076] 图 43A 和 43B 示出本发明的实施例 1 的电流测试的结果；以及
- [0077] 图 44A 和 44B 示出本发明的实施例 1 的电流测试的结果。

具体实施方式

[0078] 下面将参照附图来描述本发明的实施例模式和实施例。然而，本发明不限于以下描述。本领域的技术人员很容易理解的是在不脱离本发明的范围和精神的情况下可以以各种方式修改模式和细节。因此，不应将本发明解释为局限于以下给出的实施例模式和实施例的描述。请注意，在下文解释的本发明的结构中的不同附图之间，一般使用相同的附图标记来表示相同的组件。对类似的部分应用相同的阴影图案，并且在某些情况下不用附图标记来特别表示类似的部分。

[0079] （实施例模式 1）

[0080] 在实施例模式 1 中，将参照图 1A 和图 25B-2 来描述薄膜晶体管的制造方法和其中

将薄膜晶体管布置成矩阵的显示器件的制造方法的示例。

[0081] 图 16 至图 20 是根据本实施例模式的薄膜晶体管的顶视图。图 20 是像素电极的形成已完成的情况下的完成图。图 1A 至图 3C 是沿图 16 至图 20 中的线 A-A' 截取的横截面图。图 4A 至图 6C 是沿图 16 至图 20 中的线 B-B' 截取的横截面图。图 7A 至 9C 是沿图 16 至图 20 中的线 C-C' 截取的横截面图。图 10A 至图 12C 是沿图 16 至图 20 中的线 D-D' 截取的横截面图。图 13A 至图 15C 是沿图 16 至图 20 中的线 E-E' 截取的横截面图。

[0082] 首先,在衬底 100 上形成第一导电膜 102、第一绝缘膜 104、半导体膜 106、杂质半导体膜 108、和第二导电膜 110。这些膜每个具有单层或包括多个膜的堆叠层。

[0083] 衬底 100 是绝缘衬底。在将本发明应用于显示器件的情况下,可以使用玻璃衬底或石英衬底作为衬底 100。在本实施例模式中,使用玻璃衬底。

[0084] 第一导电膜 102 由导电材料形成。使用诸如例如钛、钼、铬、钽、钨、铝、铜、钹、铌、或钐的金属材料、或包括这些金属材料中的任何一个作为主要组分的合金材料的导电材料形成第一导电膜 102。请注意,第一导电膜 102 的材料需要是具有能够经受住稍后的步骤(诸如第一绝缘膜 104 的形成)的耐热性且在稍后的步骤(诸如第二导电膜 110 的蚀刻)中不被无意地蚀刻或腐蚀的材料。只有在这些条件下,第一导电膜 102 的材料不限于特定材料。

[0085] 另外,可以通过例如溅射法、CVD 法(包括热 CVD 法、等离子体 CVD 法等)等形成第一导电膜 102。然而,第一导电膜 102 的形成方法不限于特定方法。

[0086] 此外,第一绝缘膜 104 充当栅极绝缘膜。

[0087] 第一绝缘膜 104 由绝缘材料形成。可以使用例如氧化硅膜、氮化硅膜、氧氮化硅(silicon oxynitride)膜、氮氧化硅(silicon nitride oxide)膜等来形成第一绝缘膜 104。请注意,与第一导电膜 102 类似,第一绝缘膜 104 的材料需要是具有耐热性且在稍后的步骤中不被无意地蚀刻或腐蚀的材料。只有在这些条件下,第一绝缘膜 104 的材料不限于特定材料。

[0088] 另外,可以通过例如 CVD 法(包括热 CVD 法、等离子体 CVD 法等)、溅射法等来形成第一绝缘膜 104;然而,第一绝缘膜 104 的形成方法不限于特定方法。

[0089] 半导体膜 106 由半导体材料形成。可以使用例如使用硅烷气体等形成的无定形硅来形成半导体膜 106。请注意,与第一导电膜 102 等类似,半导体薄膜 106 的材料需要是具有耐热性且在稍后的步骤中不被无意地蚀刻或腐蚀的材料。只有在这些条件下,半导体薄膜 106 的材料不限于特定材料。因此,可以使用锗。请注意,半导体膜 106 的结晶度也不受特别限制。

[0090] 另外,可以通过例如 CVD 法(包括热 CVD 法、等离子体 CVD 法等)、溅射法等来形成半导体膜 106。然而,半导体膜 106 的形成方法不限于特定方法。

[0091] 杂质半导体膜 108 是包含赋予一种导电性类型的杂质元素的半导体膜,并且是使用添加了赋予一种导电性类型的杂质元素等的半导体材料气体形成的。例如,杂质半导体膜 108 是包含磷或硼的硅膜,其是使用包含磷化氢(化学式: PH_3) 或乙硼烷(化学式: B_2H_6) 的硅烷气体形成的。请注意,与第一导电膜 102 等类似,杂质半导体膜 108 的材料需要是具有耐热性且在稍后的步骤中不被无意地蚀刻或腐蚀的材料。只有在这些条件下,杂质半导体膜 108 的材料不限于特定材料。请注意,杂质半导体膜 108 的结晶度也不受特别限制。

[0092] 在制造 n 沟道薄膜晶体管的情况下,可以使用磷、砷等作为要添加的赋予一种导电性类型的杂质元素。也就是说,用于形成杂质半导体膜 108 的硅烷气体可以以预定的浓度包含磷化氢、砷化三氢(化学式:AsH₃)等。相反,在制造 p 沟道薄膜晶体管的情况下,可以使用硼等作为用于添加的赋予一种导电性类型的杂质元素。也就是说,用于形成杂质半导体膜 108 的硅烷气体可以以预定的浓度包含乙硼烷等。

[0093] 另外,可以通过例如 CVD 法(包括热 CVD 法、等离子体 CVD 法等)、溅射法等来形成杂质半导体膜 108。然而,杂质半导体膜 108 的形成方法不限于特定方法。

[0094] 第二导电膜 110 由作为导电材料(作为第一导电膜 102 的材料被提及的材料)但不同于用于第一导电膜 102 的材料形成。这里,“不同材料”意指具有不同主要组分材料。具体而言,优选地选择不容易被稍后描述的第二蚀刻所蚀刻的材料。此外,与第一导电膜 102 等类似,第二导电膜 110 的材料需要是具有耐热性且在稍后的步骤中不被无意地蚀刻或腐蚀的材料。因此,只有在这些条件下,第二导电膜 110 的材料不限于特定材料。

[0095] 另外,可以通过例如溅射法、CVD 法(包括热 CVD 法、等离子体 CVD 法等)等形成第二导电膜 110。然而,第二导电膜 110 的形成方法不限于特定方法。

[0096] 接下来,在第二导电膜 110 上形成第一抗蚀剂掩模 112(参见图 1A、图 4A、图 7A、图 10A、和图 13A)。第一抗蚀剂掩模 112 是具有凹陷部分或突出部分的抗蚀剂掩模。换言之,第一抗蚀剂掩模 112 也可以是指包括具有不同厚度的多个区(在这里为两个区)的抗蚀剂掩模。在第一抗蚀剂掩模 112 中,将厚区称为第一抗蚀剂掩模 112 的突出部分并将薄区称为第一抗蚀剂掩模 112 的凹陷部分。

[0097] 在第一抗蚀剂掩模 112 中,在形成了源极和漏极电极层 120 的区域中形成突出部分,并且在不存在源极和漏极电极层 120 的在使半导体层暴露的区域中形成凹陷部分。

[0098] 可以使用公共多色调掩模来形成第一抗蚀剂掩模 112。这里,将参照图 25A-1 至 25B-2 来描述多色调掩模。

[0099] 多色调掩模是能够以多级光强进行曝光的掩模,并且通常,以三级光强执行曝光以提供曝光区、半曝光区、和未曝光区。当使用多色调掩模时,一次曝光和显影工艺允许形成具有多个厚度(通常为两级厚度)的抗蚀剂掩模。因此,通过使用多色调掩模,可以减少光掩模的数目。

[0100] 图 25A-1 和图 25B-1 是典型多色调掩模的横截面图。灰色调掩模 140 在图 25A-1 中示出且半色调掩模 145 在图 25B-1 中示出。

[0101] 图 25A-1 所示的灰色调掩模 140 包括使用阻光膜在具有透过性质的衬底 141 上形成的阻光部分 142 和提供有阻光膜图案的衍射光栅部分 143。

[0102] 用以等于或小于用于曝光的光的分辨率极限的间隔提供狭缝、点、网格等方式在衍射光栅部分 143 处控制透光率。请注意,可以周期性地或非周期性地提供衍射光栅部分 143 处的狭缝、点、或网格。

[0103] 作为具有透光性质的衬底 141,可以使用石英等。可以使用金属膜形成并优选地使用铬、氧化铬等提供用于形成阻光部分 142 和衍射光栅部分 143 的阻光膜。

[0104] 在用光照射灰色调掩模 140 以进行曝光的情况下,如图 25A-2 所示,与阻光部分 142 重叠的区域中的透光率为 0%,且未提供阻光部分 142 和衍射光栅部分 143 两者的区域中的透光率为 100%。此外,衍射光栅部分 143 的透光率基本上在 10%至 70%范围内,其可

以通过衍射光栅的狭缝、点、或网格等的间隔来调整。

[0105] 图 25B-1 所示的半色调掩模 145 包括使用半透光膜在具有透光性质的衬底 146 上形成的半透光部分 147, 和使用阻光膜形成的阻光部分 148。

[0106] 可以使用 MoSiN、MoSi、MoSiO、MoSiON、CrSi 等的膜来形成半透光部分 147。可以以与灰色调掩模的阻光膜类似的方式使用金属膜形成并优选地使用铬、氧化铬等提供阻光部分 148。

[0107] 在用光照射半色调掩模 145 以进行曝光的情况下, 如图 25B-2 所示, 与阻光部分 148 重叠的区域中的透光率是 0%, 并且未提供阻光部分 148 和半透光部分 147 两者的区域中的透光率是 100%。此外, 半透光部分 147 中的透光率基本上在 10% 至 70% 范围内, 其可以通过要形成的材料的种类、厚度等来调整。

[0108] 通过使用多色调淹没的曝光和显影, 可以形成包括具有不同厚度的区域的第一抗蚀剂掩模 112。

[0109] 接下来, 使用第一抗蚀剂掩模 112 来执行第一蚀刻。也就是说, 蚀刻第一绝缘膜 104、半导体膜 106、杂质半导体膜 108、和第二导电膜 110 以形成薄膜堆叠体 114 (参见图 1B、图 4B、图 7B、图 10B、图 13B、和图 16)。这时, 优选地至少使得第一导电膜 102 的表面暴露。在本说明书中, 将此蚀刻步骤称为“第一蚀刻”。作为第一蚀刻, 可以采用干法蚀刻或湿法蚀刻。请注意, 当采用干法蚀刻作为第一蚀刻时可以由一个步骤执行第一蚀刻, 而当采用湿法蚀刻作为第一蚀刻时优选地由多个步骤执行第一蚀刻。这是因为蚀刻速度根据被蚀刻膜的种类而变且难以用一个步骤执行该蚀刻。

[0110] 接下来, 使用第一抗蚀剂掩模 112 来执行第二蚀刻。也就是说, 蚀刻第一导电膜 102 以形成栅极电极层 116 (参见图 1C、图 4C、图 7C、图 10C、图 13C、和图 17)。在本说明书中, 将此蚀刻步骤称为“第二蚀刻”。

[0111] 请注意, 栅极电极层 116 形成栅极布线、电容器布线、和支撑部分。当栅极电极层是指栅极电极层 116A 时, 该栅极电极层形成栅极布线; 当栅极电极层是指栅极电极层 116B 或栅极电极层 116D 时, 该栅极电极层形成支撑部分; 并且当栅极电极层是指栅极电极层 116C 时, 该栅极电极层形成电容器布线。于是, 将这些栅极电极层统称为栅极电极层 116。

[0112] 在由第一导电膜 102 形成的栅极电极层 116 的侧表面被设置为与薄膜堆叠体 114 的侧表面相比更多地内部的蚀刻条件下执行第二蚀刻。换言之, 执行第二蚀刻, 以便栅极电极层 116 的侧表面与薄膜堆叠体 114 的底面接触 (在线 A-A' 中栅极电极层 116 的宽度比薄膜堆叠体 114 的宽度窄)。此外, 在相对于第二导电膜 110 的蚀刻速度低且相对于第一导电膜 102 的蚀刻速度高的条件下执行第二蚀刻。换言之, 在第一导电膜 102 的蚀刻选择性相对于第二导电膜 110 高的条件下执行第二蚀刻。通过在此类条件下执行第二蚀刻, 可以形成栅极电极层 116。

[0113] 请注意, 栅极电极层 116 的侧表面的形状不受特别限制。例如, 该形状可以是锥形形状。根据诸如在第二蚀刻中使用的化学制品等条件来确定栅极电极层 116 的侧表面的形状。

[0114] 这里, 短语“相对于第二导电膜 110 的蚀刻速度低且相对于第一导电膜 102 的蚀刻速度高的条件”或“第一导电膜 102 的蚀刻选择性相对于第二导电膜 110 高的条件”意指满足以下第一要求和第二要求的条件。

[0115] 第一要求是栅极电极层 116 被必要地留在适当位置。必要地提供有栅极电极层 116 的位置是图 17 至图 20 中的虚线指示的区域。也就是说,需要留下栅极电极层 116 以便在第二蚀刻之后形成栅极布线、电容器布线、和支撑部分。为了栅极电极层形成栅极布线和电容器布线,第二蚀刻需要被执行以便不使这些布线断开连接。如图 1A 至 1C 和图 20 所示,栅极电极层 116 的侧表面优选地以距离 d_1 比薄膜堆叠体 114 的侧表面更多地内部,并且可以由专业人员根据布局适当地设置该距离 d_1 。

[0116] 第二要求是由栅极电极层 116 形成的栅极布线或电容器布线的宽度 d_3 及由源极和漏极电极层 120A 形成的源极布线的最小宽度 d_2 具有适当值(参见图 20)。这是因为由于源极和漏极电极层 120A 更多地被第二蚀刻所蚀刻,减小了源极布线的最小宽度 d_2 ;因此,源极布线的电流密度变得过大且电学特性降低。因此,在第一导电膜 102 的蚀刻速度不过高且第二导电膜 110 的蚀刻速度尽可能低的条件下执行第二蚀刻。另外,在稍后描述的第三蚀刻中的第一导电膜 102 的蚀刻速度尽可能低的条件下执行第二蚀刻。

[0117] 难以使得源极布线的最小宽度 d_2 变大。这是因为由于源极布线的最小宽度 d_2 由与源极布线重叠的半导体层的最小宽度 d_4 决定,所以必须增大半导体层的最小宽度 d_4 以便使得源极布线的最小宽度 d_2 更大;因此,变得难以使相互邻近的栅极布线与电容器布线相互绝缘。在本发明中,将半导体层的最小宽度 d_4 设置为小于距离 d_1 的约两倍。换言之,将距离 d_1 设置为大于半导体层的最小宽度 d_4 的约一半。

[0118] 只要存在与源极布线重叠的半导体层的宽度是栅极布线与邻近于栅极布线的电容器布线之间的最小宽度 d_4 的至少一个部分,就是可接受的。优选的是如图 20 所示邻近于栅极布线的区域和邻近于电容器布线的区域中的半导体层的宽度是最小宽度 d_4 。

[0119] 另外,被连接到由源极和漏极电极层形成的像素电极层的部分中的电极的宽度等于源极布线的最小宽度 d_2 。

[0120] 如上所述,可以执行侧蚀刻的条件下的第二蚀刻在本发明中是非常重要的。这是因为通过其中对第一导电膜 102 进行侧蚀刻的第二蚀刻,可以将相互邻近且由栅极电极层 116 形成的栅极布线和电容器布线形成相互绝缘(参见图 17)。

[0121] 这里,“侧蚀刻”意指其中不仅沿着表面的厚度方向(垂直于衬底表面的方向或垂直膜的基膜表面的方向)而且沿着垂直厚度方向的方向(平行于衬底表面的方向或平行于膜的基膜表面的方向)蚀刻膜的蚀刻。经受侧蚀刻的膜的端部可以根据用于蚀刻的蚀刻气体或化学制品相对于膜的蚀刻速度而具有各种形状。在许多情况下,以曲面形成膜的端部。

[0122] 如图 17 所示,由第一蚀刻形成的薄膜堆叠体 114 被设计为在邻近于由栅极电极层 116B 或栅极电极层 116D 形成的支撑部分中薄(参见图 17 中的箭头所指示的部分)。用这种结构,可以通过第二蚀刻使栅极电极层 116A 和栅极电极层 116B 或栅极电极层 116D 断开连接以便相互绝缘。

[0123] 图 17 所示的栅极电极层 116B 和栅极电极层 116D 每个充当支撑薄膜堆叠体 114 的支撑部分。通过支撑部分的存在,可以防止在栅极电极层上形成的诸如栅极绝缘膜的膜的剥落。此外,通过支撑部分的存在,可以防止由第二蚀刻邻近于栅极电极层 116 形成的腔体区域比需要的大。此外,优选的是提供支撑部分,因为可以防止薄膜堆叠体 114 由于其自重而折断或损坏,并因此提高产率。然而,本发明不限于具有支撑部分的模式,且不一定提供支撑部分。没有支撑部分的模式的顶视图的示例(对应于图 20)在图 21 中示出。

[0124] 如上所述,优选地用湿法蚀刻来执行第二蚀刻。

[0125] 在用湿法蚀刻来执行第二蚀刻的情况下,可以沉积铝或钼作为第一导电膜 102,可以沉积钛或钨作为第二导电膜 110,并且可以将包含硝酸、乙酸、和磷酸的化学制品用于蚀刻。或者,可以沉积钼作为第一导电膜 102,可以沉积钛、铝、或钨作为第二导电膜 110,并且可以将包含过氧化氢的化学制品用于蚀刻。

[0126] 在用湿法蚀刻来执行第二蚀刻的情况下,最优选的是形成其中在添加了钽的铝上沉积钼的堆叠膜作为第一导电膜 102,沉积钨作为第二导电膜 110,并将包含 2%的硝酸、10%的乙酸、和 72%的磷酸的化学制品用于蚀刻。通过使用具有此类组成比的化学制品,可以在不蚀刻第二导电膜 110 的情况下蚀刻第一导电膜 102。请注意,为了降低铝的电阻和防止突起的目的,向第一导电膜 102 添加钽。

[0127] 如图 17 所示,栅极电极层 116 具有从上方看的角 (horn) 部分 (例如,角 151)。这是因为由于用于形成栅极电极层 116 的第二蚀刻是几乎各向同性的,所以蚀刻被执行使得栅极电极层 116 的侧表面与薄膜堆叠体 114 的侧表面之间的距离 d_1 是几乎均匀的。

[0128] 接下来,使第一抗蚀剂掩模 112 凹入;因此,使第二导电膜 110 暴露并形成第二抗蚀剂掩模 118。作为用于通过第一抗蚀剂掩模 112 的凹入形成第二抗蚀剂掩模 118 的手段,例如,可以给出使用氧等离子体的灰化。然而,通过第一抗蚀剂掩模 112 的凹入形成抗蚀剂掩模 118 的手段不限于此。请注意本文已描述了在第二蚀刻之后形成第二抗蚀剂掩模 118 的情况;然而,本发明不限于此且可以在形成第二抗蚀剂掩模 118 之后执行第二蚀刻。

[0129] 接下来,使用第二抗蚀剂掩模 118 蚀刻薄膜堆叠体 114 中的第二导电膜 110,以便形成源极和漏极电极层 120 (参见图 2A、图 5A、图 8A、图 11A、图 14A、和图 18)。这里,作为蚀刻条件,选择除第二导电膜 110 之外的膜不被无意地蚀刻或腐蚀或者不容易被无意地蚀刻或腐蚀的条件。特别地,重要的是在栅极电极层 116 不被无意地蚀刻或腐蚀或不容易被无意地蚀刻或腐蚀的条件下执行蚀刻。

[0130] 请注意,源极和漏极电极层 120 形成源极布线、将薄膜晶体管和像素电极相互连接的电极、和充当存储电容器的电容器的一个电极。当源极和漏极电极层是指源极和漏极电极层 120A 或源极和漏极电极层 120C 时,源极和漏极电极层形成形成源极布线的电极层;当源极和漏极电极层是指源极和漏极电极层 120B 时,源极和漏极电极层形成将薄膜晶体管的漏极电极与像素电极相互连接的电极层;并且当源极和漏极电极层是指源极和漏极电极层 120D 时,源极和漏极电极层形成一个形成具有电容器布线的电容器的电极层。于是,将这些源极和漏极电极层统称为源极和漏极电极层 120。

[0131] 请注意,为了蚀刻薄膜堆叠体 114 中的第二导电膜 110,可以执行湿法蚀刻或干法蚀刻。

[0132] 然后,蚀刻薄膜堆叠体 114 中的杂质半导体膜 108 和半导体膜 106 的上部 (背沟道部分) 以形成源极和漏极区 122 (参见图 2B、图 5B、图 8B、图 11B、图 14B、和图 19)。这里,作为蚀刻条件,选择除杂质半导体膜 108 和半导体膜 106 之外的膜不被无意地蚀刻或腐蚀或者不容易被无意地蚀刻或腐蚀的条件。特别地,重要的是在栅极电极层 116 不被无意地蚀刻或腐蚀或不容易被无意地蚀刻或腐蚀的条件下执行蚀刻。

[0133] 请注意,可以通过干法蚀刻或湿法蚀刻来执行薄膜堆叠体 114 中的杂质半导体膜 108 和半导体膜 106 的上部 (背沟道部分) 的蚀刻。

[0134] 然后,去除第二抗蚀剂掩模 118(参见图 2C、图 5C、图 8C、图 11C、和图 14C);由此,完成薄膜晶体管(参见图 2C)。如上所述,可以使用一个光掩模(多色调掩模)来制造薄膜晶体管。

[0135] 在本说明书中,将参照图 2A 和 2B 描述的步骤统称为“第三蚀刻”。可以在如上所述的各个分开的步骤中执行第三蚀刻,或者可以在单个步骤中执行。

[0136] 形成第二绝缘膜以覆盖以上述方式形成的薄膜晶体管。虽然第二绝缘膜可以只由第一保护膜 126 形成,但第二绝缘膜在这里是由第一保护膜 126 和第二保护膜 128 形成的(参见图 3A、图 6A、图 9A、图 12A、和图 15A)。可以以与第一绝缘膜 104 类似的方式形成第一保护膜 126。

[0137] 通过用以使第二保护膜 128 的表面变得几乎为平面的方法来形成第二保护膜 128。这是因为当第二保护膜 128 的表面几乎为平面时,可以防止在第二保护膜 128 上形成的像素电极层 132 断开连接等。因此,短语“几乎为平面”意指可以实现上述目的的程度的平面度,且不意味着要求高平面性。

[0138] 可以例如使用感光性聚酰亚胺、丙烯、环氧树脂等通过旋涂法等形成第二保护膜 128。请注意,本发明不限于这些材料和形成方法。

[0139] 接下来,在第二绝缘膜中形成第一开口部分 130 和第二开口部分 131(参见图 3B、图 6B、图 9B、图 12B、和图 15B)。第一开口部分 130 和第二开口部分 131 被形成至少到达源极和漏极电极层的表面。第一开口部分 130 和第二开口部分 131 的形成方法不限于特定方法且可以由专业人员依照第一开口部分 130 的直径等适当地确定。例如,可以使用光刻法通过干法蚀刻来形成第一开口部分 130 和第二开口部分 131。

[0140] 请注意,在用光刻法形成开口部分的情况下,使用一个光掩模。

[0141] 接下来,在第二绝缘膜上形成像素电极层 132(参见图 3C、图 6C、图 9C、图 12C、图 15C、和图 20)。像素电极层 132 被形成通过开口部分连接到源极和漏极电极层 120。具体而言,像素电极层 132 被形成通过第一开口部分 130 连接到源极和漏极电极层 120B 并通过第二开口部分 131 连接到源极和漏极电极层 120D。像素电极层 132 优选地由具有透光性质的导电材料形成。在这里,作为具有透光性质的导电材料,可以给出氧化铟锡(在下文中称为 ITO)、包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锌、添加了氧化硅的氧化铟锡等。可以通过溅射法、CVD 法等来形成具有透光性质的导电材料膜;然而,本发明不限于特定方法。另外,像素电极层 132 可以具有单个层或包括多个膜的堆叠层。

[0142] 在本实施例模式中,只有像素电极层 132 使用具有透光性质的导电材料来形成;然而,本发明不限于此。作为第一导电膜 102 和第二导电膜 110 的材料,还可以使用具有透光性质的导电材料。

[0143] 请注意,在用光刻法形成像素电极层 132 的情况下,使用一个光掩模。

[0144] 以上述方式,完成根据本发明的有源矩阵衬底的制造(所谓的阵列工艺)。如在本实施例模式中所述,可以以利用侧蚀刻来形成栅极电极层并且还使用多色调掩模来形成源极和漏极电极层的方式使用一个光掩模来制造薄膜晶体管。

[0145] 使用本发明的制造方法制造的薄膜晶体管具有的结构包括栅极电极层上的栅极绝缘膜、栅极绝缘膜上的半导体层、半导体层上的源极区和漏极区、源极区和漏极区上的源

极电极和漏极电极、以及邻近于栅极电极层的侧表面的腔体（参见图 3C）。通过邻近于栅极电极层的侧表面形成的腔体，可以制造在栅极电极层的端部除具有低漏电流的薄膜晶体管。

[0146] 在这里，将参照图 22、图 23、和图 24A 至 24C 来描述在上述步骤中制造的有源矩阵衬底的端子连接部分。

[0147] 图 22 是顶视图且图 23 和图 24A 至 24C 是以上述步骤制造的有源矩阵衬底的栅极布线侧的端子连接部分和源极布线侧的端子连接部分的横截面图。

[0148] 图 22 是栅极布线侧的端子连接部分和源极布线侧的端子连接部分中的从像素部分伸出的栅极布线和源极布线的顶视图。

[0149] 图 23 是沿图 22 中的线 X-X' 截取的横截面图。也就是说，图 23 是栅极布线侧的端子连接部分的横截面图。在图 23 中，只有栅极电极层 116 被暴露。端子部分被连接到其中栅极电极层 116 被暴露的区域。

[0150] 图 24A 至图 24C 是沿着图 22 中的线 Y-Y' 截取的横截面图。也就是说，图 24A 至 24C 是源极布线侧的端子连接部分的横截面图。在沿图 24A 至 24C 所述的线 Y-Y' 的横截面中，栅极电极层 116 及源极和漏极电极层 120 通过像素电极层 132 相互连接。图 24A 至 24C 示出栅极电极层 116 与源极和漏极电极层 120 之间的各种连接模式。除图 24A 至 24C 所示那些之外的这些模式中的任何一个可以用于根据本发明的显示器件中的端子连接部分。通过其中源极和漏极电极层 120 被连接到栅极电极层 116 的结构，可以使端子连接部分的高度几乎均匀。

[0151] 请注意，开口部分的数目不限于图 24A 至 24C 所示的那些。可以为一个端子不仅提供一个开口部分，而且提供多个开口部分。在为一个端子提供多个开口部分的情况下，即使当由于用于形成开口部分的蚀刻不足而使任何开口部分未有利地形成的情况下，也可以在其它开口部分处实现电连接。此外，即使没有任何问题的情况下形成所有开口部分的情况下，也可以使接触面积变大且可以减小接触电阻，这是优选的。

[0152] 在图 24A 中，以通过蚀刻等去除第一保护膜 126 和第二保护膜 128 的端部以使栅极电极层 116 及源极和漏极电极层 120 暴露并在暴露区域上形成像素电极层 132 的方式实现电连接。图 22 所示的顶视图对应于图 24A 的顶视图。

[0153] 请注意，可以在形成第一开口部分 130 和第二开口部分 131 的同时执行其中使栅极电极层 116 及源极和漏极电极层 120 暴露的区域的形成。

[0154] 在图 24B 中，以在第一保护膜 126 和第二保护膜 128 中提供第三开口部分 160A、通过蚀刻等去除第一保护膜 126 和第二保护膜 128 的端部以使栅极电极层 116 及源极和漏极电极层 120 暴露并在暴露区域上形成像素电极层 132 的方式来实现电连接。

[0155] 请注意，可以在形成第一开口部分 130 和第二开口部分 131 的同时执行第三开口部分 160A 的形成和其中使栅极电极层 116 暴露的区域的形成。

[0156] 在图 24C 中，以在第一保护膜 126 和第二保护膜 128 中提供第三开口部分 160B 和第四开口部分 161 以使栅极电极层 116 及源极和漏极电极层 120 暴露并在暴露区域上形成像素电极层 132 的方式来实现电连接。在这里，与图 24A 和 24B 类似，通过蚀刻等来去除第一保护膜 126 和第二保护膜 128 的端部，并使用此被蚀刻区域作为端子连接部分。

[0157] 请注意，可以在形成第一开口部分 130 和第二开口部分 131 的同时执行开口部分

160B 和第四开口部分 161 的形成及其中使栅极电极层 116 暴露的区域的形成。

[0158] 接下来,将描述将有源矩阵衬底用于在上述步骤中制造的显示器件的液晶显示器件制造方法。也就是说,将描述单元 (cell) 制程和模块制程。请注意,在本实施例模式中的显示器件的制造方法中,单元制程和模块制程不受特别限制。

[0159] 在单元制程中,将在上述步骤中制造的有源矩阵衬底和与该有源矩阵衬底相对的衬底 (在下文中称为相对衬底) 相互附着并注入液晶。首先,下面将简要地描述相对衬底的制造方法。请注意,即使未提及,在相对衬底上形成的膜也可以具有单个层或堆叠层。

[0160] 首先,在衬底上形成阻光层;在阻光层上形成红色、绿色、和蓝色中的任何一种的滤色器层;在滤色器上选择性地形成像素电极层;然后,在像素电极层上形成肋 (rib)。

[0161] 作为阻光层,具有阻光性质的材料膜被选择性地形成。作为具有阻光性质的材料,例如,可以使用包含黑色树脂 (炭黑) 的有机树脂。或者,可以使用包括包含铬作为其主要组分的材料膜的堆叠膜。包含铬作为其主要组分的材料膜意指包含铬、氧化铬、或氮化铬的膜。用于阻光层的材料不受特别限制,只要其具有阻光性质即可。为了选择性地形成具有阻光性质的材料膜,采用光刻法等。

[0162] 可以使用有机树脂膜来选择性地形成滤色器层,在用来自背光的白光照射时,该有机树脂膜仅发出具有红色、绿色、和蓝色中的任何一种的光。可以通过颜色材料的选择性形成来选择性地形成滤色器。滤色器的布置可以是条纹布置、三角形 (delta) 布置、或方块形布置。

[0163] 可以以类似于包括在有源矩阵衬底中的像素电极层 132 的方式形成像素电极层。请注意,由于不需要选择性形成,所以像素电极层可以在整个表面上形成。

[0164] 在像素电极上形成的肋是出于加宽视角的目的而形成的有图案的有机树脂膜。请注意,如果不是特别有必要,则不需要形成肋。

[0165] 作为相对衬底的制造方法,存在其它各种模式。例如,在形成滤色器层之后和形成像素电极层之前,可以形成外涂层 (overcoat layer)。通过形成外涂层,可以改善在其上面形成像素电极的表面的平面性,从而提高产率。另外,可以防止包括在滤色器层中的那部分材料进入液晶材料。对于外涂层,可以使用包含丙烯酸树脂或环氧树脂作为基础的热固型材料。

[0166] 此外,在形成肋之前或之后,可以形成柱状隔离物 (筒形隔离物) 作为隔离物。柱状隔离物意指在相对衬底上以恒定间隔形成以便保持有源矩阵衬底与相对衬底之间的间隙恒定的结构体。在使用珠状隔离物 (球形隔离物) 的情况下,不需要形成柱状隔离物。

[0167] 接下来,在有源矩阵衬底和相对衬底上形成定向膜。例如以将聚酰亚胺树脂等溶于有机溶剂中;通过涂布法、旋涂法等来涂敷此溶液;然后干燥并烘焙溶液的方式来执行定向膜的形成。形成的定向膜的厚度通常近似等于或大于约 50nm 且等于或小于约 100nm。在定向膜上执行摩擦处理以使液晶分子以某一预倾角度定向。例如通过用诸如丝绒的粗布摩擦定向膜来执行摩擦处理。

[0168] 然后,用密封剂将有源矩阵衬底与相对衬底附着在一起。在未在相对衬底上提供柱状隔离物的情况下,可以在期望区域中分散珠状隔离物且可以执行附着。

[0169] 接下来,在被相互附着的有源矩阵衬底与相对衬底之间的空间中注入液晶材料。在注入液晶材料之后,用紫外线固化树脂等密封用于注入的进口。或者,在滴落液晶材料之

后,可以将有源矩阵衬底与相对衬底相互附着。

[0170] 接下来,将偏振片附着于通过有源矩阵衬底与相对衬底的附着形成的液晶单元的两表面。然后,完成单元制程。

[0171] 接下来,作为模块制程,将柔性印刷电路(FPC)连接到端子部分的输入端子(在图24A至24C中,栅极电极层116的暴露区域)。FPC具有由导电膜在聚酰亚胺等的有机树脂膜上形成的布线,且通过各向异性导电膏(在下文中称为ACP)连接到输入端子。ACP包括充当粘合剂的膏和镀金等的颗粒以具有导电表面,所述颗粒具有几十微米至几百微米的直径。当混合在膏中的颗粒与输入端子上的导电层和连接到在FPC中形成的布线的端子上的导电层接触时,实现其之间的电连接。或者,在连接FPC之后,可以将偏振片附着于有源矩阵衬底和相对衬底。以上述方式,可以制造用于显示器件的液晶面板。

[0172] 如上所述,可以使用三个光掩模制造包括用于显示器件的像素晶体管的有源矩阵衬底。

[0173] 因此,可以显著减少用于制造薄膜晶体管和显示器件的步骤的数目。具体而言,如上所述,可以使用一个光掩模(多色调掩模)来制造薄膜晶体管。此外,可以使用三个光掩模来制造包括像素晶体管的有源矩阵衬底。以这种方式,由于减少了要使用的光掩模的数目,所以可以显著减少用于制造薄膜晶体管和显示器件的步骤的数目。

[0174] 另外,可以在不使用背侧曝光、抗蚀剂回流、弹射法等复杂步骤的情况下显著地减少用于制造薄膜晶体管的步骤的数目。因此,可以在没有复杂步骤的情况下显著地减少用于制造显示器件的步骤的数目。

[0175] 此外,可以在保持薄膜晶体管的电学特性的同时显著地减少制造薄膜晶体管的步骤的数目。

[0176] 此外,通过本发明的上述效果,可以显著地降低制造成本。

[0177] (实施例模式2)

[0178] 在实施例模式2中,将描述不同于实施例模式1的那些方法的薄膜晶体管的制造方法和显示器件的制造方法。具体而言,将参照图26A、26B、和26C、图27A、27B、和27C、图28、图29、和图30来描述不使用多色调掩模的制造类似于实施例模式1的薄膜晶体管的方法。

[0179] 图26A、26B、和26C对应于实施例模式1的1A、1C、和图2A。图27A、27B、和27C对应于实施例模式1的图10A、图10C、和图11A。图28、图29、和图30对应于实施例模式1的图16、图17、和图18。沿图28、图29、和图30所示的线A-A'截取的横截面图对应于图26A、26B、和26C,且沿图28、图29、和图30所示的线D-D'截取的横截面图对应于图27A、27B、和27C。

[0180] 首先,类似于实施例模式1,在衬底100上形成第一导电膜102、第一绝缘膜104、半导体膜106、杂质半导体膜108、和第二导电膜110。其材料及其形成方法类似于实施例模式1中的那些。

[0181] 然后,在第二导电膜110上形成第一抗蚀剂掩模170(参见图26A和图27A)。第一抗蚀剂掩模170不同于实施例模式1的第一抗蚀剂掩模112且在提供凹陷部分的情况下被形成具有几乎均匀的厚度。也就是说,可以在没有多色调掩模的情况下形成第一抗蚀剂掩模170。

[0182] 接下来,使用第一抗蚀剂掩模 170 来执行第一蚀刻。也就是说,蚀刻第一导电膜 102、第一绝缘膜 104、半导体膜 106、杂质半导体膜 108、和第二导电膜 110 以便在第一导电膜 102 上形成薄膜堆叠体 114(参见图 28)。

[0183] 然后,以类似于实施例模式 1 的方式执行第二蚀刻;因此,形成栅极电极层 116(参见图 26B、图 27B、和图 29)。

[0184] 在这里,第二蚀刻的条件类似于实施例模式 1 的那些。

[0185] 接下来,在薄膜堆叠体 114 上形成第二抗蚀剂掩模 171,并使用第二抗蚀剂掩模 171 来形成源极和漏极电极层 120。蚀刻条件等类似于实施例模式 1 的那些。此后的步骤类似于实施例模式 1 的那些。

[0186] 如上文在本实施例模式中所述,可以在没有多色调掩模的情况下制造薄膜晶体管。请注意,与实施例模式 1 相比,要使用的掩模的数目增加一个。

[0187] 请注意,根据本实施例模式的薄膜晶体管和显示器件的制造方法处上述要点之外类似于实施例模式 1 的方法。因此,自然可以获得类似于实施例模式 1 的薄膜晶体管和显示器件的制造方法的效果,但所使用的掩模的数目增加一个。换言之,根据本实施例模式,可以使用两个光掩模来制造薄膜晶体管。另外,可以使用四个光掩模来制造包括像素晶体管的有源矩阵衬底。以这种方式,由于减少了要使用的光掩模的数目,所以可以显著减少用于制造薄膜晶体管和显示器件的步骤的数目。此外,可以在高产率和低成本的情况下制造薄膜晶体管和显示器件。

[0188] 请注意,使用本实施例模式的制造方法制造的薄膜晶体管具有的结构包括栅极电极层上的栅极绝缘膜、栅极绝缘膜上的半导体层、半导体层上的源极区和漏极区、源极区和漏极区上的源极电极和漏极电极、以及邻近于栅极电极层的侧表面的腔体。通过邻近于栅极电极层的侧表面形成的腔体,可以制造在栅极电极层的端部具有低漏电流的薄膜晶体管。

[0189] (实施例模式 3)

[0190] 在实施例模式 3 中,将描述不同于实施例模式 1 和 2 的那些方法的薄膜晶体管的制造方法和显示器件的制造方法。具体而言,将参照图 31A 至 31C、图 32A 至 32C、图 33A 至 33C、图 34A 至 34C、图 35A 至 35C、和图 36 来描述其中用在实施例模式 1 和 2 中描述的第一蚀刻来蚀刻第一导电膜 102 的模式。

[0191] 图 31A 至 31C 对应于实施例模式 1 的图 1A 至 1C。图 32A 至 32C 对应于实施例模式 1 的图 4A 至 4C。图 33A 至 33C 对应于实施例模式 1 的图 7A 至 7C。图 34A 至 34C 对应于实施例模式 1 的图 10A 至 10C。图 35A 至 35C 对应于实施例模式 1 的图 13A 至 13C。图 36 对应于实施例模式 1 的图 16。

[0192] 首先,类似于实施例模式 1,在衬底 100 上形成第一导电膜 102、第一绝缘膜 104、半导体膜 106、杂质半导体膜 108、和第二导电膜 110。其材料及其形成方法类似于实施例模式 1 的那些。

[0193] 然后,在第二导电膜 110 上形成第一抗蚀剂掩模 112(参见图 31A、图 32A、图 33A、图 34A、和图 35A)。第一抗蚀剂掩模 112 的特征类似于实施例模式 1 的那些。

[0194] 接下来,使用第一抗蚀剂掩模 112 来执行第一蚀刻。也就是说,蚀刻第一导电膜 102、第一绝缘膜 104、半导体膜 106、杂质半导体膜 108、和第二导电膜 110 以形成薄膜堆叠

体 114 和蚀刻的第一导电膜 115 (参见图 31B、图 32B、图 33B、图 34B、图 35B、和图 36)。

[0195] 如上所述,本实施例模式与实施例模式 1 的不同之处在于用第一蚀刻来处理第一导电膜 102 以便形成蚀刻的第一导电膜 115。

[0196] 接下来,通过第二蚀刻,将蚀刻的第一导电膜 115 处理成栅极电极层 116 (参见图 31C、图 32C、图 33C、图 34C、和图 35C)。)

[0197] 在这里,除以下要点之外,第二蚀刻的条件等类似于实施例模式 1 的第二蚀刻的那些。

[0198] 在实施例模式 1 中,需要仅用第二蚀刻来完全去除第一导电膜 102 的应去除的区域。请注意,第一导电膜 102 的应去除的区域意指除形成有栅极电极层 116 的区域之外的区域。

[0199] 在这里,薄膜堆叠体 114 的侧表面与栅极电极层 116 的侧表面之间的距离 d_1 取决于第一导电膜 102 的厚度。第二蚀刻是其中执行侧蚀刻的蚀刻且是几乎各向同性的蚀刻 (所谓的化学蚀刻)。因此,在使距离 d_1 小于第一导电膜 102 的厚度的情况下,难以用实施例模式 1 所述的方法完全去除第一导电膜 102 的应去除的区域。

[0200] 如上所述,通过用第一蚀刻去除第一导电膜 102 来形成蚀刻的第一导电膜 115 并用第二蚀刻来形成栅极电极层 116,由此可以使距离 d_1 小于第二导电膜 102 的厚度。也就是说,可以独立于第一导电膜 102 的厚度来控制距离 d_1 ,从而增加布局设计的自由度。

[0201] 请注意,第二蚀刻之后的步骤类似于实施例模式 1 的那些。也就是说,通过将实施例模式 1 所述的方法与本实施例模式所述的方法组合,可以以利用侧蚀刻形成栅极电极层并且还通过使用多色调掩模形成源极和漏极电极层的方式使用一个光掩模来制造薄膜晶体管。

[0202] 如在本实施例模式中所述,用第一蚀刻来处理第一导电膜 102,由此可以独立于第一导电膜 102 的厚度来设计薄膜堆叠体 114 的侧表面与栅极电极层 116 的侧表面之间的距离 d_1 ,由此增加布局设计的自由度。

[0203] 请注意,根据本实施例模式的薄膜晶体管和显示器件的制造方法处上述要点之外类似于实施例模式 1 的方法。因此,自然可以获得类似于实施例模式 1 的薄膜晶体管和显示器件的制造方法的效果。

[0204] 可以与实施例模式 2 相结合地实现本实施例模式。

[0205] (实施例模式 4)

[0206] 在实施例模式 4 中,将参照图 37A 和 37B、图 38、和图 39A 至 39C 来描述其中并入了用实施例模式 1 至 3 描述的任何方法制造的显示器面板或显示器件作为显示部分的电子设备。作为此类电子设备,例如,可以给出诸如视频照相机或数字照相机的照相机;头戴式显示器(护目镜式显示器);汽车导航系统;投影仪;汽车用立体声收音机;个人计算机;以及便携式信息终端(诸如移动计算机、移动电话、和电子书阅读器)。电子设备的示例在图 37A 和 37B 中示出。

[0207] 图 37A 示出电视设备。可以通过将使用本发明制造的显示器面板并入外壳中来完成图 37A 所示的电视设备。使用由实施例模式 1 至 3 所述的任何制造方法制造的显示器面板来形成主屏幕 223,并提供扬声器部分 229、操作开关等作为其辅助设备。

[0208] 如图 37A 所示,用实施例模式 1 至 3 所述的任何制造方法制造的显示器面板 222

被并入外壳 221 中,并且可以由接收机 225 来接收一般 TV 广播。当电视设备经由调制解调器 224 通过有线或无线连接而连接到通信网络时,可以执行单向(从发送机到接收机)或双向(在发送机与接收机之间或在接收机之间)信息通信。可以使用并入外壳中的开关或由单独提供的遥控设备 226 来操作电视设备。可以为遥控设备 226 提供显示输出信息的显示部分 227。

[0209] 此外,除主屏幕 223 之外,该电视设备可以包括使用第二显示器面板形成的用于显示频道、音量等的副屏幕 228。

[0210] 图 38 是电视设备的主结构的方框图。在显示区中形成像素部分 251。可以用 COG 法在显示器面板上安装信号线驱动电路 252 和扫描线驱动电路 253。

[0211] 作为其它外部电路的结构,在视频信号的输入侧提供将调谐器 254 接收到的信号之中的视频信号放大的视频信号放大器电路 255、将从视频信号放大器电路 255 输出的信号转换成对应于红色、绿色、和蓝色的各颜色的色度信号的视频信号处理电路 256、用于将视频信号转换成满足驱动 IC 等的输入规格的信号的控制电路 257 等。控制电路 257 将信号输出到扫描线侧和信号线侧中的每一个。在数字驱动的情况下,可以在信号线侧提供信号分割电路 258 且可以将输入数字信号划分成 m (m 是整数) 块 (piece) 并进行供应。

[0212] 在调谐器 254 接收到的信号之中,音频信号被发送到音频信号放大器电路 259,且其输出通过音频信号处理电路 260 被供应给扬声器 263。控制电路 261 从输入部分 262 接收关于接收站(接收频率)和音量的信息并将信号发送到调谐器 254 和音频信号处理电路 260。

[0213] 当然,本发明不限于电视设备且还可以应用于大型显示介质,诸如火车站、机场等处的信息显示板、或街道上的广告显示板、以及个人计算机的监视器。通过使用本发明,可以改善这些显示介质的生产率。

[0214] 当将用实施例模式 1 至 3 描述的显示器件的任何制造方法制造的显示器面板或显示器件应用于主屏幕 223 和副屏幕 228 时,可以提高电视设备的生产率。

[0215] 图 37B 所示的移动计算机包括主体 231、显示部分 232 等。当将用实施例模式 1 至 3 描述的显示器件的任何制造方法制造的显示器面板或显示器件应用于显示部分 232 时,可以提高计算机的生产率。

[0216] 图 39A 至 39C 示出应用本发明的移动电话的示例。图 39A 是前视图,图 39B 是后视图,且图 39C 是两个外壳滑动时的展开视图。移动电话 200 包括两个外壳 201 和 202。移动电话 200 是所谓的智能电话,其兼备移动电话和便携式信息终端的功能,并结合了计算机,并且除语音呼叫之外还能处理多种数据处理。

[0217] 移动电话 200 包括外壳 201 和外壳 202。外壳 201 包括显示部分 203、扬声器 204、麦克风 205、操作键 206、定位设备 207、前照相机透镜 208、用于外部连接端子的插口 209、耳机端子 210 等,而外壳 202 包括键盘 211、外部存储器插槽 212、后照相机 213、灯 214 等。另外,在外壳 201 中并入了天线。

[0218] 除上述结构之外,可以在移动电话 200 中并入无线 IC 芯片、小型存储设备等。

[0219] 相互重叠(图 39A 所示)的外壳 201 和 202 滑动且可以如图 39C 所示地展开。可以将用实施例模式 1 至 3 描述的显示器件的任何制造方法制造的显示器面板或显示器件并入显示部分 203 中。由于显示部分 203 和前照相机透镜 208 被设置于同一平面中,可以使

用移动电话 200 作为视频电话。可以通过使用显示部分 203 作为取景器用后照相机 213 和灯 214 来拍摄静止图像和运动图像。

[0220] 通过使用扬声器 204 和麦克风 205, 可以使用移动电话 200 作为音频记录设备(录音机)或音频再现设备。通过使用操作键 206, 可以进行呼入和呼出的操作、用于电子邮件等的简单信息输入、在显示部分上显示的屏幕的滚动、用于选择要显示在显示部分上的信息的光标运动等。

[0221] 如果需要处理此类信息, 诸如创建文档并使用移动电话 200 作为便携式信息终端的情况, 使用键盘 211 是方便的。相互重叠(图 39A)的外壳 201 和 202 滑动且可以如图 39C 所示地展开。在使用移动电话 200 作为便携式信息终端的情况下, 可以执行用键盘 211 和定位设备 207 进行的顺畅的操作。可以将用于外部连接端子的插口 209 用于诸如 AC 适配器或 USB 电缆的各种电缆, 由此可以对移动电话 200 充电或执行与个人计算机等的通信。此外, 通过将记录介质插入外部存储器插槽 212 中, 移动电话 200 可以进行存储和移动大容量的数据。

[0222] 在外壳 202 的后表面中(图 39B), 提供了后照相机 213 和灯 214, 并且可以通过使用显示部分 203 作为取景器来拍摄静止图像和运动图像。

[0223] 此外, 除上述功能和结构之外, 移动电话 200 可以具有红外通信功能、USB 端口、接收一个片断电视广播的功能、非接触式 IC 芯片、耳机插孔等。

[0224] 由于可以用实施例模式 1 至 3 所述的薄膜晶体管和显示器件的任何制造方法来制造本实施例模式所述的各种电子设备, 所以可以通过使用本发明来提高这些电子设备的生产率。

[0225] 因此, 通过使用本发明, 可以显著地降低这些电子设备的制造成本。

[0226] [实施例 1]

[0227] 在实施例 1 中, 使用在实施例模式 1 中描述的第二蚀刻来形成栅极电极, 并观察此图案。下面将描述观察结果。

[0228] 首先, 使用在玻璃衬底上使用具有 150nm 的厚度的钼形成第一导电膜 102, 使用具有 300nm 的厚度的氮化硅来形成第一绝缘膜 104, 使用具有 150nm 的厚度的无定形硅来形成半导体膜 106, 使用具有 50nm 的厚度的包含磷的无定形硅来形成杂质半导体膜 108, 并使用具有 300nm 的厚度的钨来形成第二导电膜 110。

[0229] 然后, 在第二导电膜 110 上形成抗蚀剂掩模, 并执行第一蚀刻。用三阶段的干法蚀刻来执行第一蚀刻。首先, 在 100mT 的压力和 500W 的 RF 功率下以 Cl_2 气体、 CF_4 气体、和 O_2 气体分别在 40sccm、40sccm、和 20sccm 的混合气体中的流速执行蚀刻 260 秒。然后, 在 100mT 的压力和 500W 的 RF 功率下仅以 100sccm 的 Cl_2 气体的流速执行蚀刻 240 秒。最后, 在 100mT 的压力和 1000W 的 RF 功率下仅以 100sccm 的 CHF_3 气体的流速执行蚀刻 400 秒、然后是 200 秒、以及再 400 秒。

[0230] 接下来, 对已经受第一蚀刻的样本执行第二蚀刻。用湿法蚀刻来执行第二蚀刻。在湿法蚀刻中, 使用包含硝酸、乙酸、和磷酸的 40℃ 下的化学溶液, 并将样本浸入该化学溶液中 240 秒或 300 秒。请注意, 包含硝酸、乙酸、和磷酸的化学溶液是包含约 70% 的磷酸、约 10% 的硝酸、约 20% 的乙酸、和水的混合物。

[0231] 用光学显微镜观察以上述方式制造的样本。那时的观察结果在图 40A 和 40B 中示

出。请注意,图 40A 是经受第二蚀刻 240 秒的样本的光学显微照片且图 40B 是经受第二蚀刻 300 秒的样本的光学显微照片。在这里,从背(衬底)侧执行用光学显微镜的观察。在图 40A 和 40B 中的每一个中,栅极电极的图案的侧表面与元素区的侧表面相比以几乎均匀的距离更多地内部,这是有利的形状。

[0232] 用聚焦离子束(FIB)装置来处理以上述方式制造的样本的栅极电极层的端部,并用扫描透射电子显微镜(STEM)来观察已处理样本。图 41A 示出执行第二蚀刻前的样本,其是用光学显微镜在比图 40A 和 40B 的放大倍率高的放大倍率下观察的。图 41B 是沿图 41A 的线 X-X' 截取的第二蚀刻之后的 STEM 图像。图 41C 是被图 41B 中的虚线环绕的部分的放大图。在图 41C 中,在腔体上方和下方观察黑色物质。这是通过用 FIB 装置进行处理产生的物质。如图 41A 至 41C 所示,通过使用本发明,可以在栅极电极层的端部处提供腔体。

[0233] 接下来,执行电流测试以检查在这些样本中相邻的栅极布线是否相互绝缘。用于电流测试的样本的顶视图在图 42 中示出。请注意,虽然在电流测试中使用 L_1 至 L_8 、 R_1 至 R_8 、X、和 Y,但为简单起见,在图 42 中使用 L_1 、 L_2 、 R_1 、 R_2 、X、和 Y。在图 42 中,在粗线所示的部分中形成源极和漏极电极层(蚀刻的第二导电膜),并在具有阴影线的部分中形成栅极电极层(蚀刻的第一导电膜)。另外, L_1 、 L_2 、 R_1 、和 R_2 是栅极电极层,且 X 和 Y 是源极和漏极电极层。

[0234] 图 43A 示出在 R_1 与 L_1 之间施加电压时测量的电流值。最大电流约为 1.0×10^{-10} (A),其显示 R_1 与 L_1 相互绝缘。也就是说,相邻的两个栅极布线未被相互电连接且通过第二蚀刻完全相互脱离连接。

[0235] 图 43B 示出在 X 与 L_1 之间施加电压时测量的电流值。最大电流约为 1.0×10^{-10} (A),其显示 X 和 L_1 相互绝缘。也就是说,栅极布线和源极布线未被相互电连接。

[0236] 图 44A 示出在 L_1 与 L_2 之间施加电压时测量的电流值。最小电流约为 1.0×10^{-5} (A),其显示在 L_1 与 L_2 之间保持电连接。也就是说,一个栅极布线未通过第二蚀刻断开连接。

[0237] 图 44B 示出在 X 与 Y 之间施加电压时测量的电流值。最小电流约为 1.0×10^{-4} (A),其显示在 X 与 Y 之间保持电连接。也就是说,源极布线未被断开连接。

[0238] 如本实施例中所述,可以实现根据本发明的制造方法。

[0239] 本申请是基于 2007 年 12 月 3 日向日本专利局提交的日本专利申请序号 2007-312348,其全部内容通过引用并入本文中。

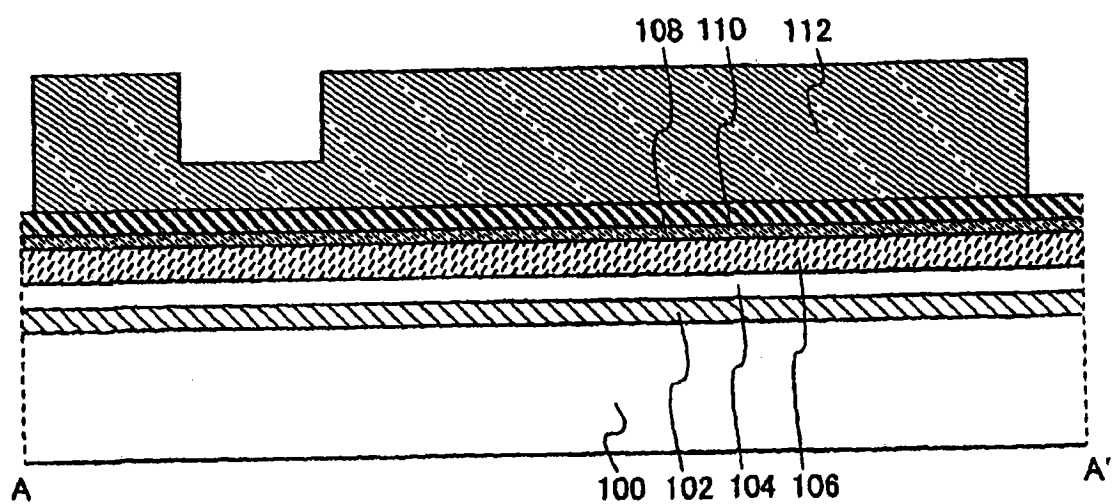


图 1A

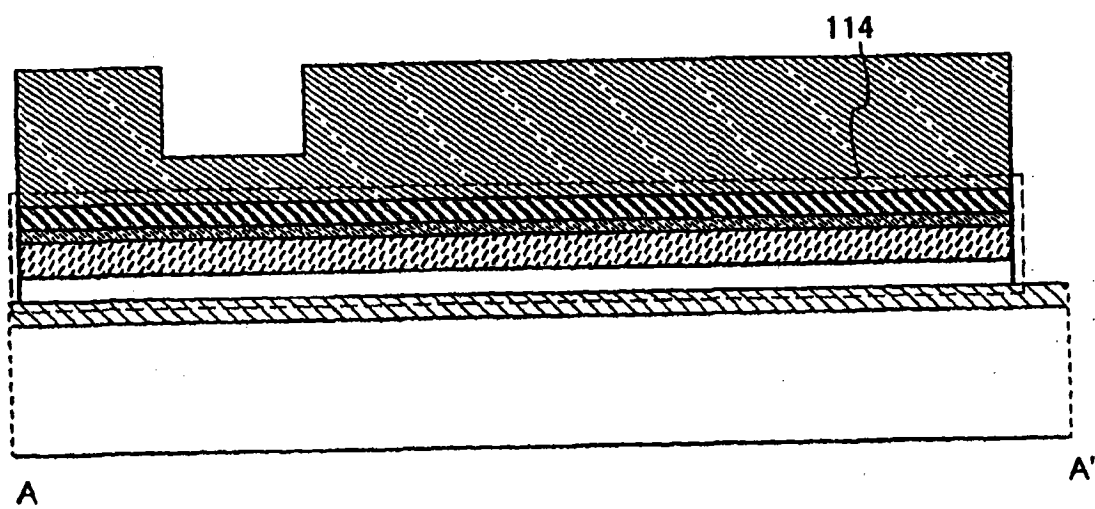


图 1B

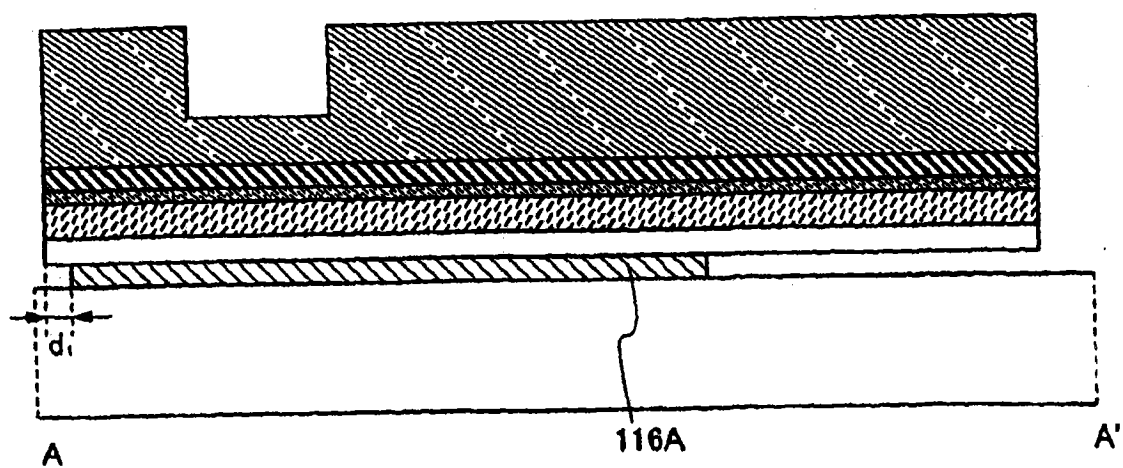


图 1C

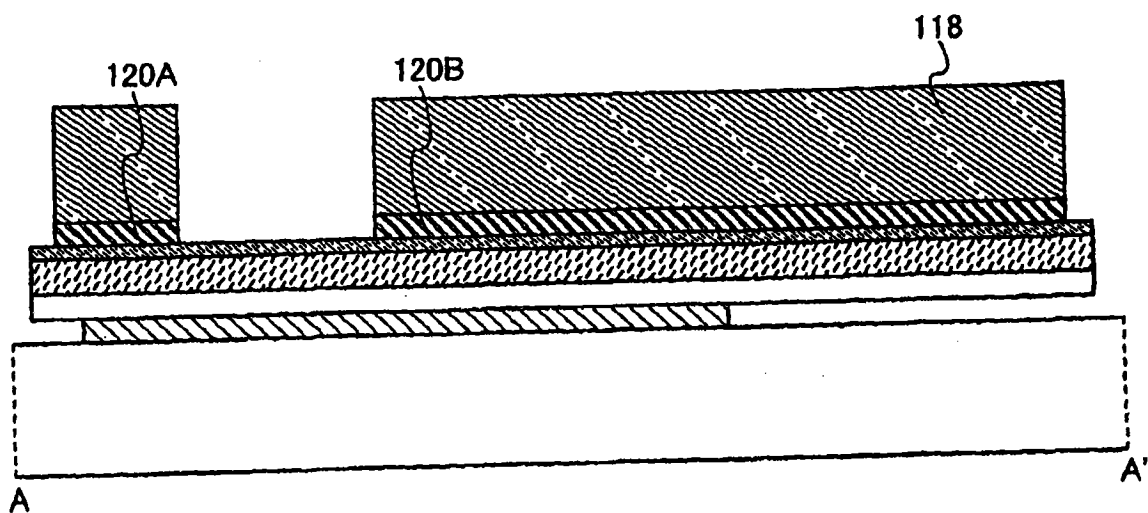


图 2A

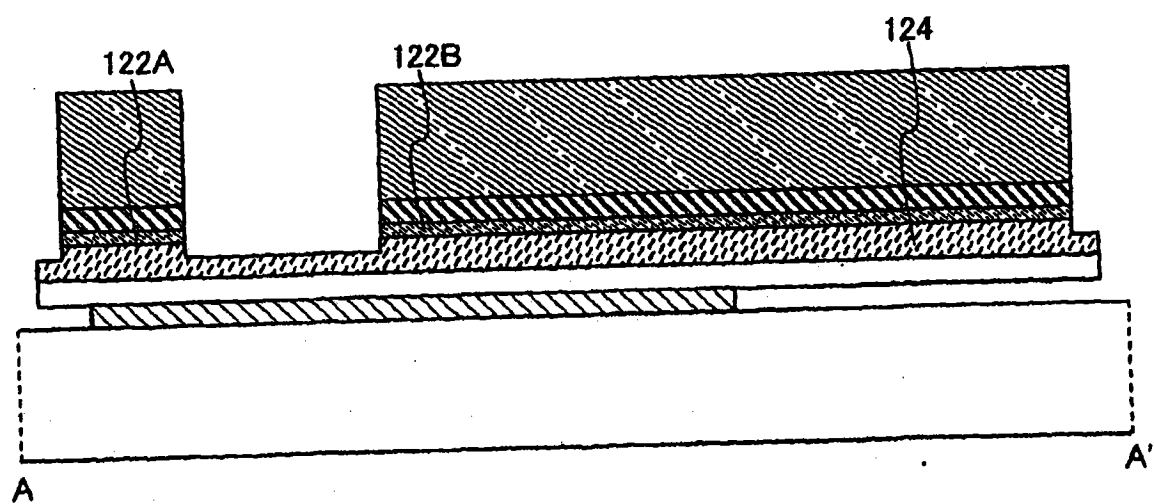


图 2B

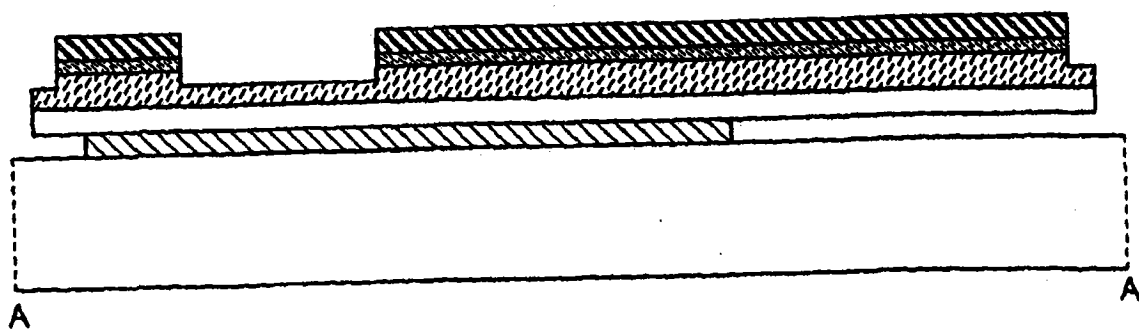


图 2C

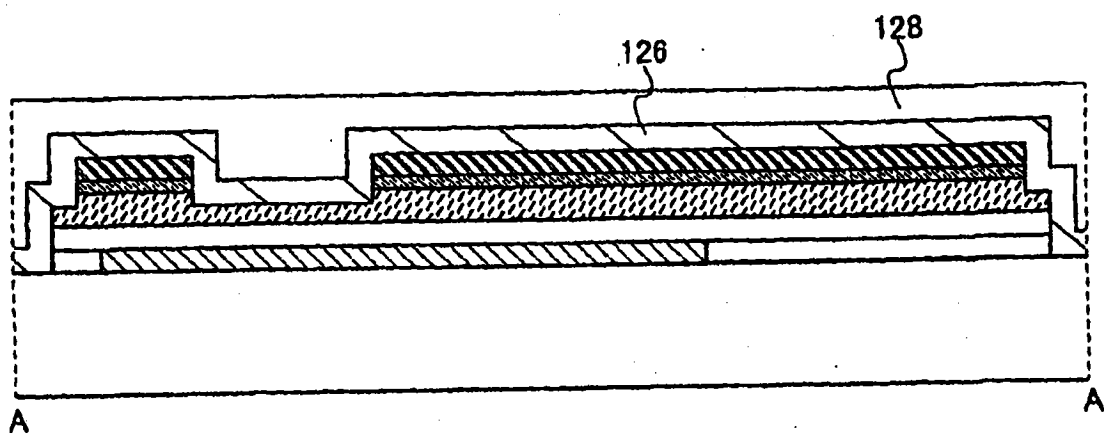


图 3A

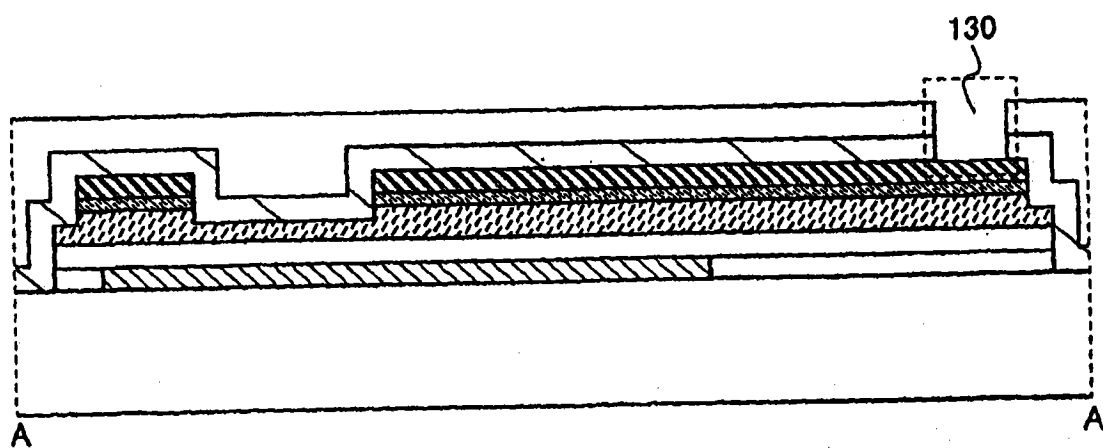


图 3B

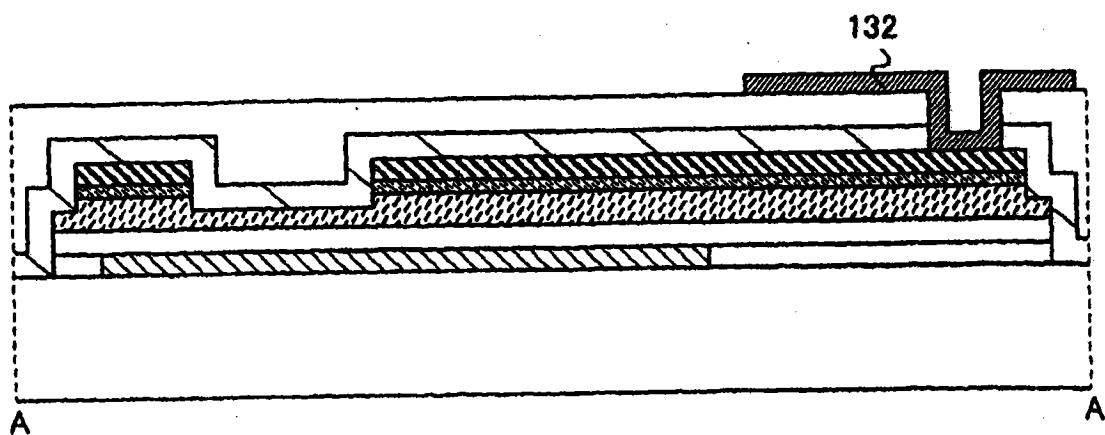


图 3C

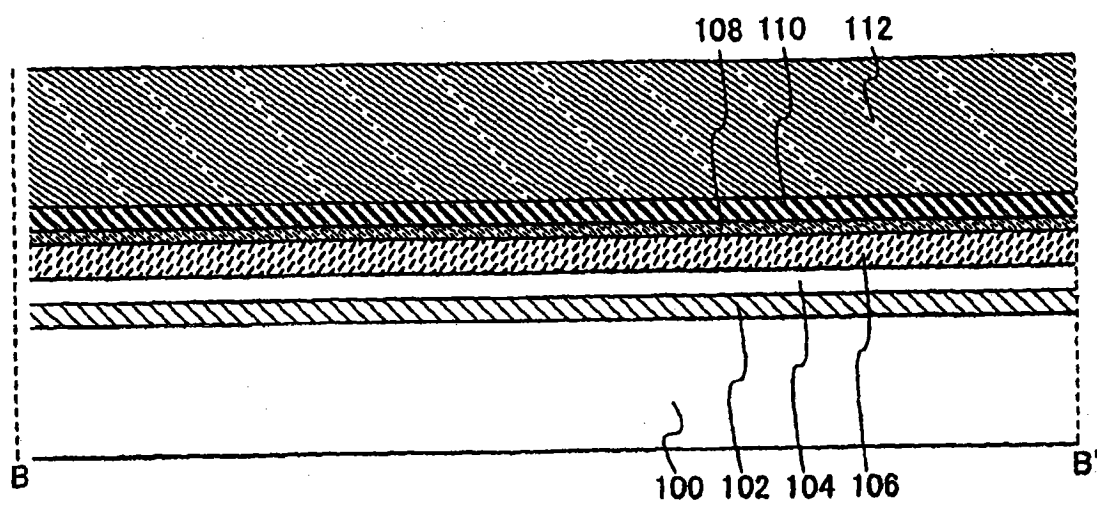


图 4A

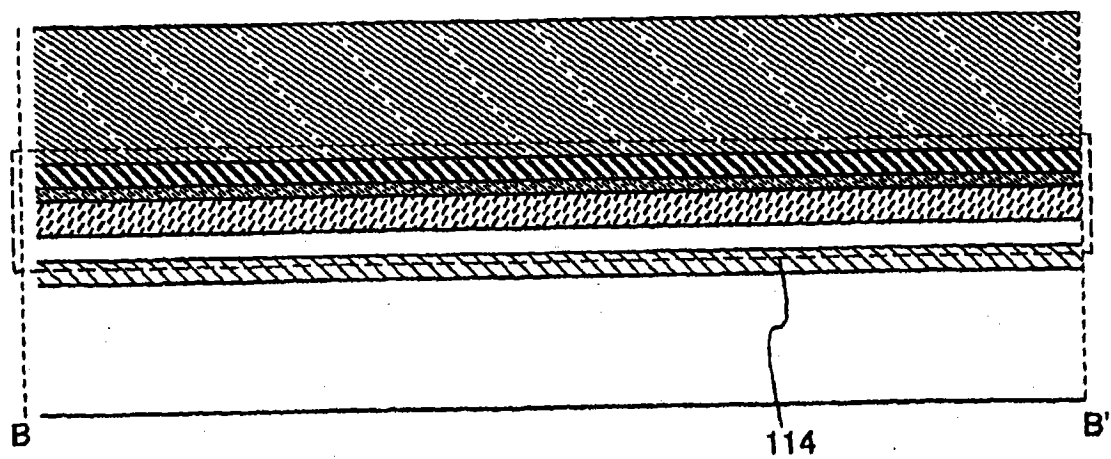


图 4B

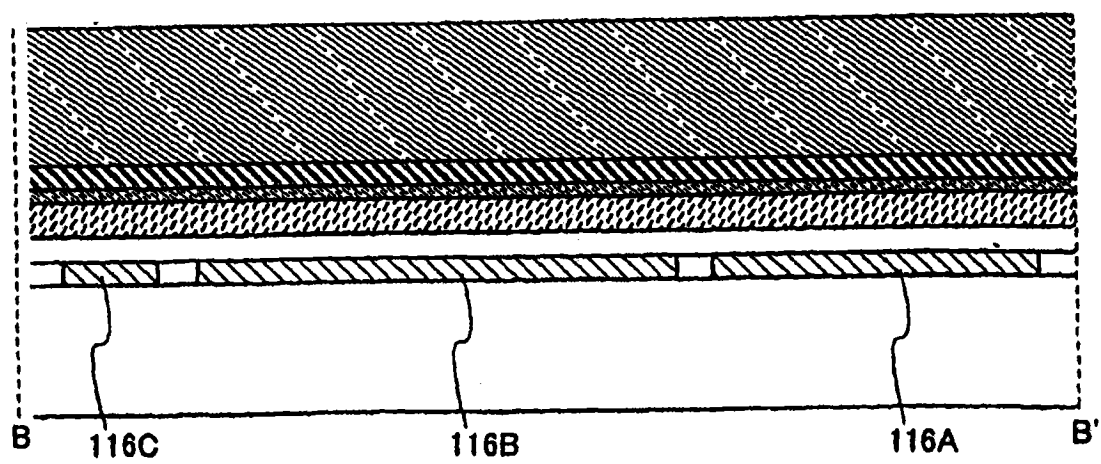


图 4C

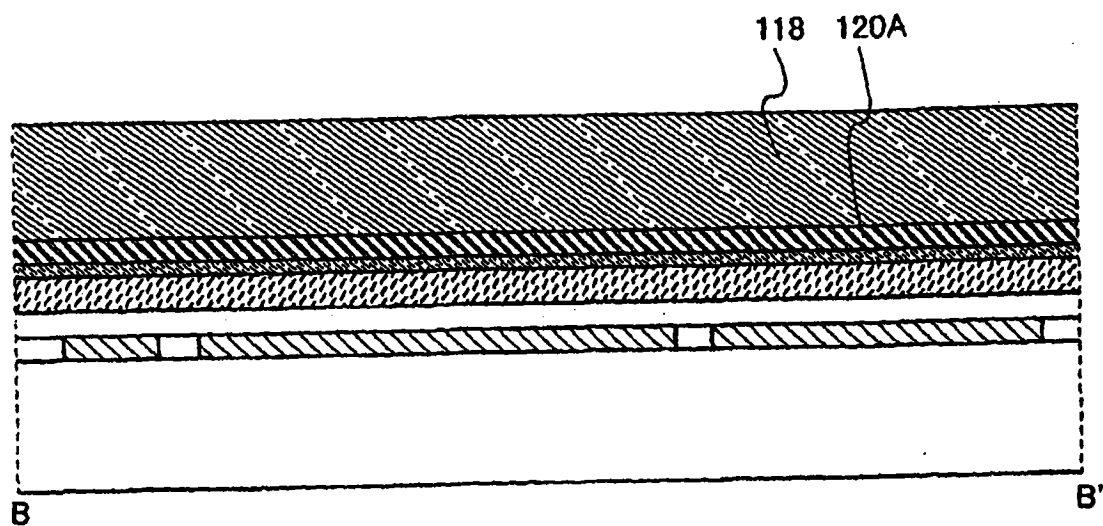


图 5A

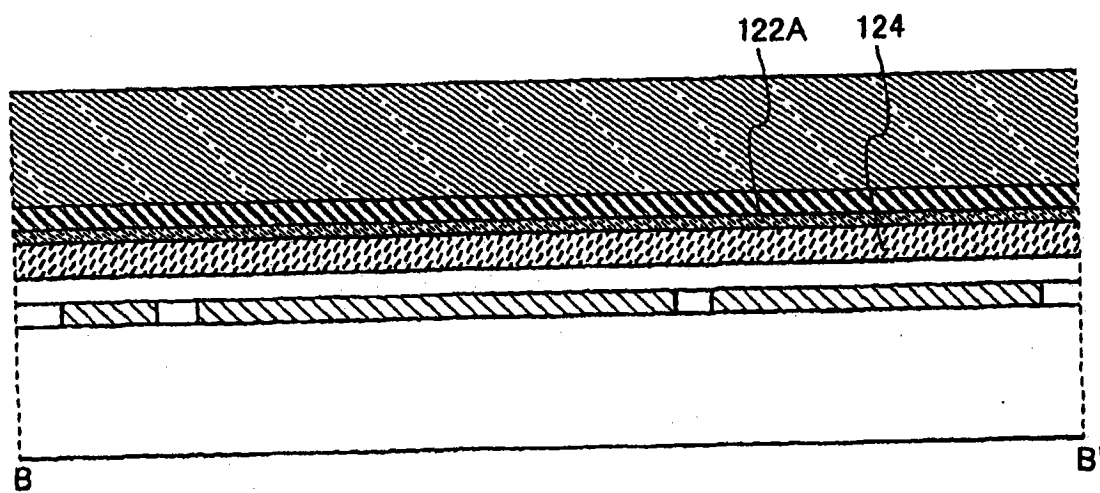


图 5B

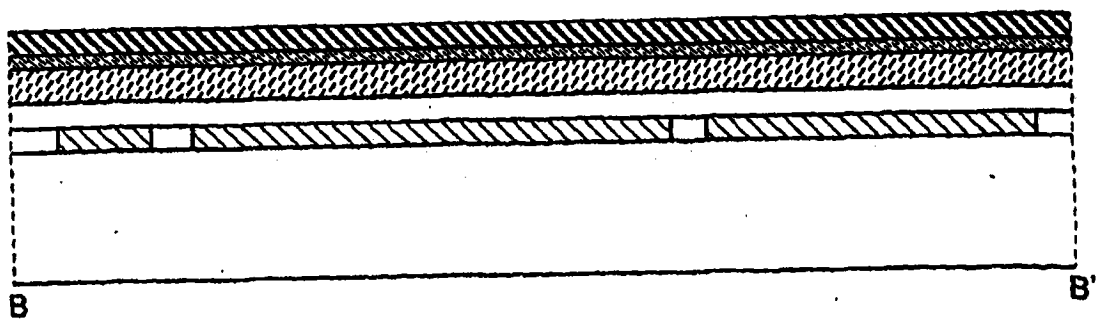


图 5C

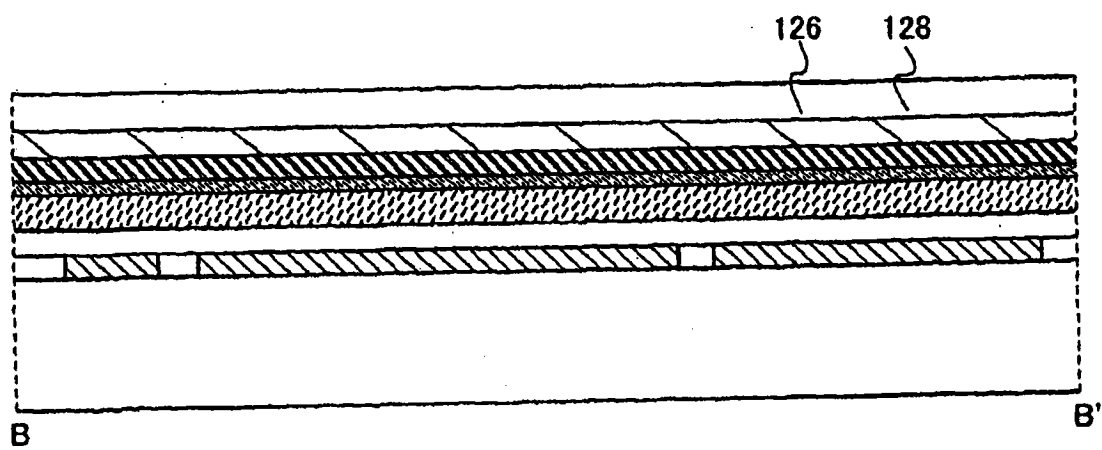


图 6A

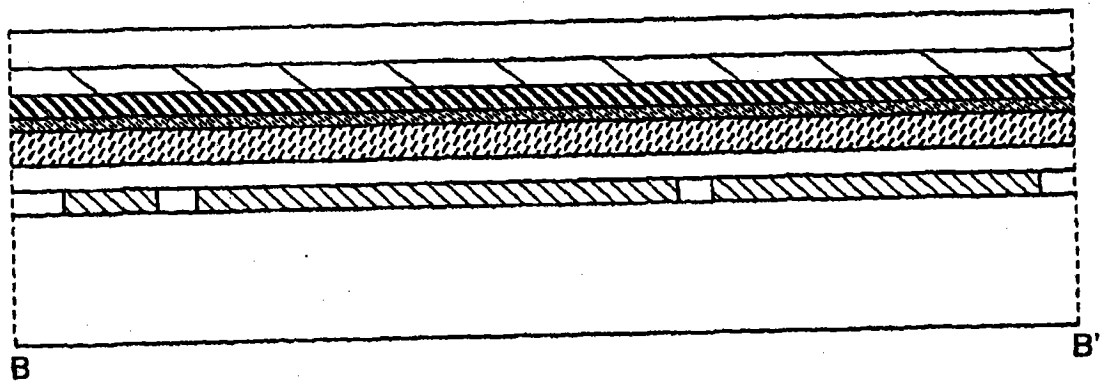


图 6B

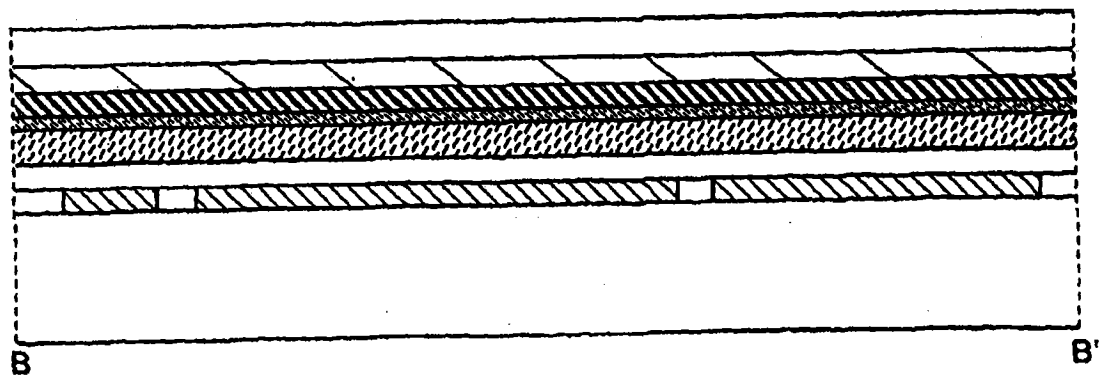


图 6C

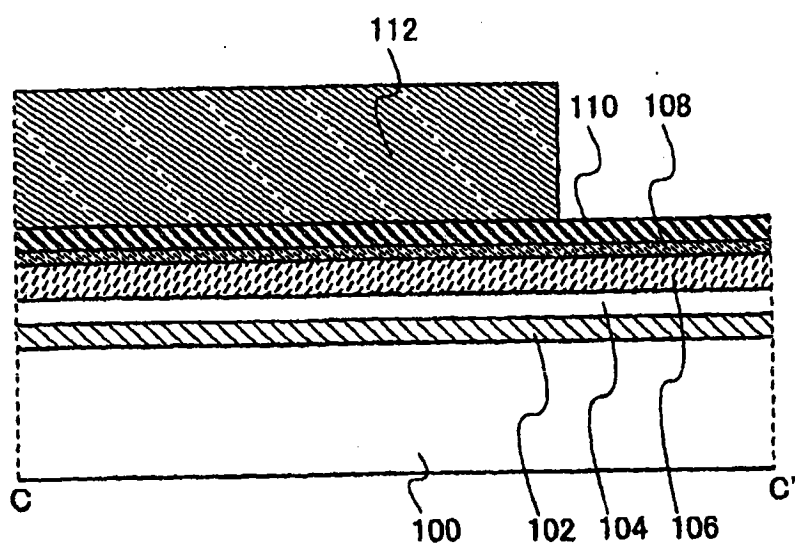


图 7A

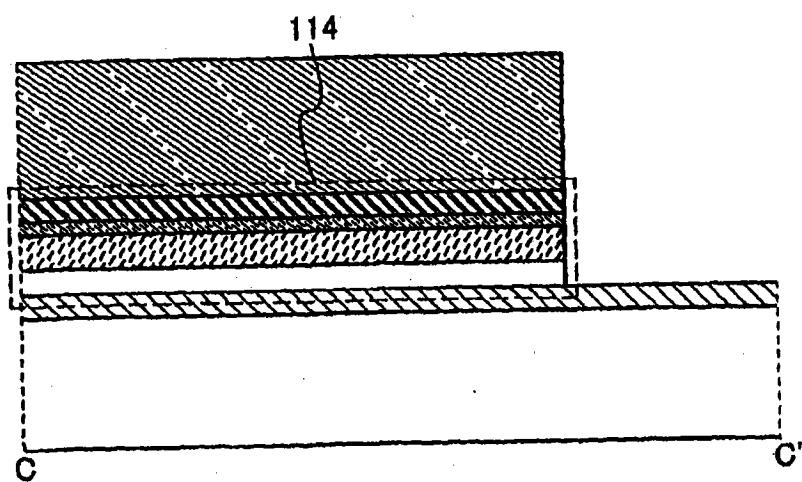


图 7B

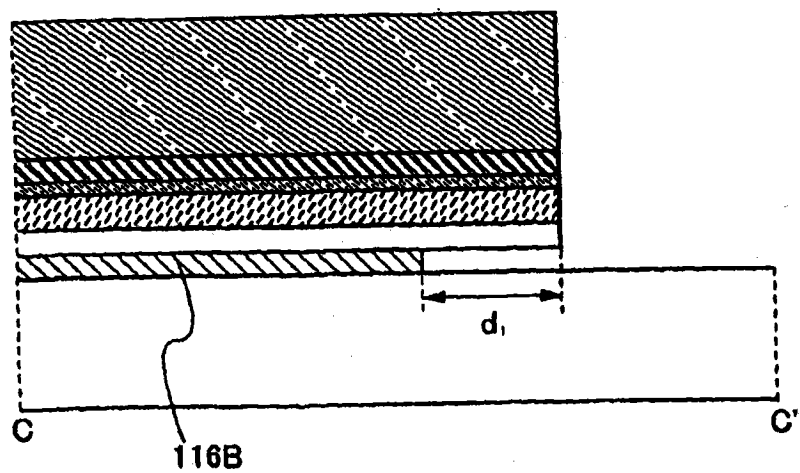


图 7C

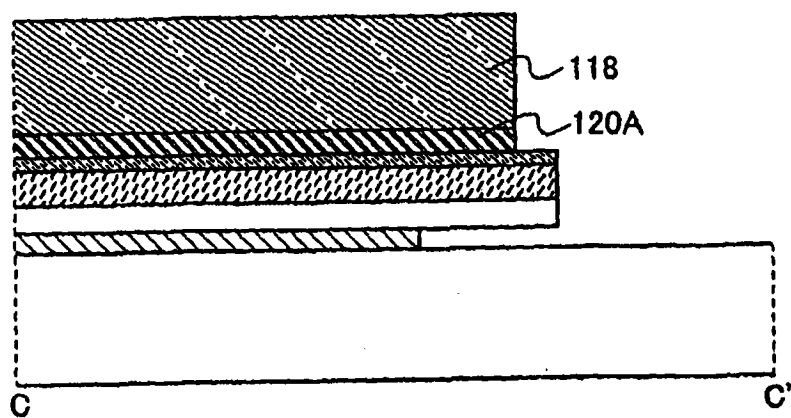


图 8A

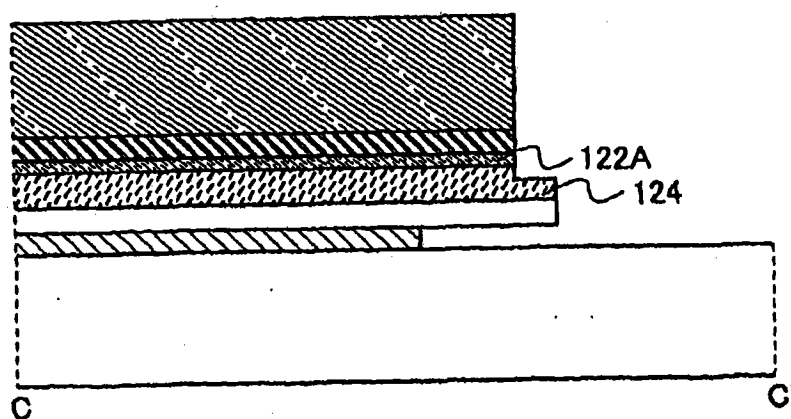


图 8B

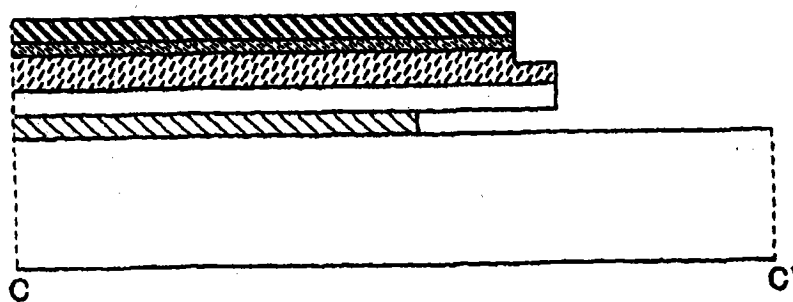


图 8C

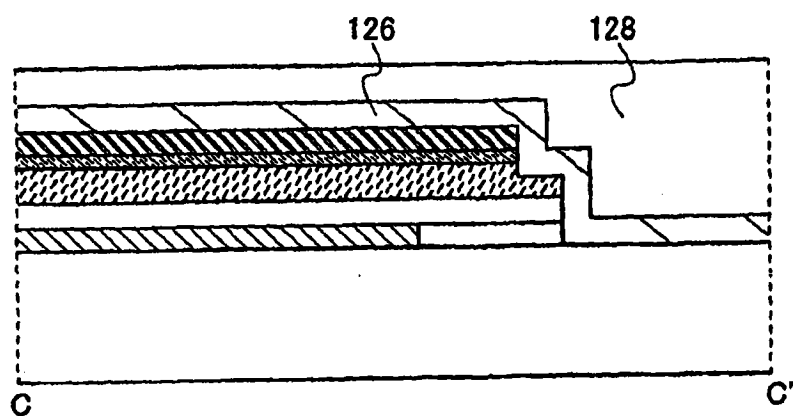


图 9A

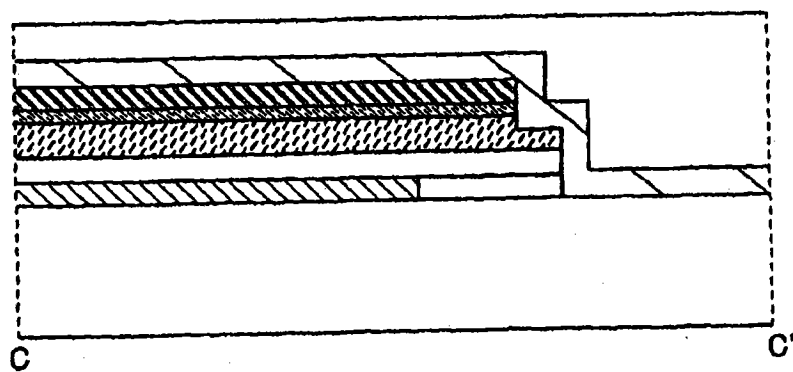


图 9B

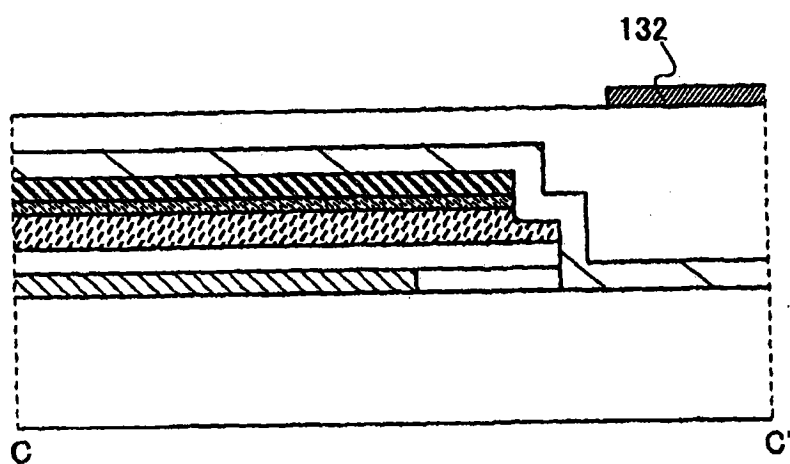


图 9C

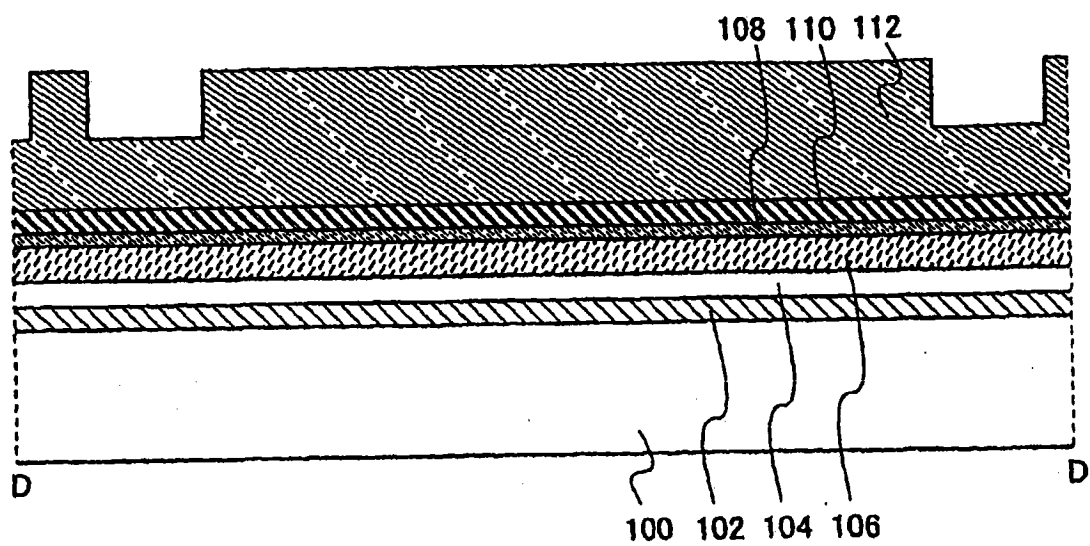


图 10A

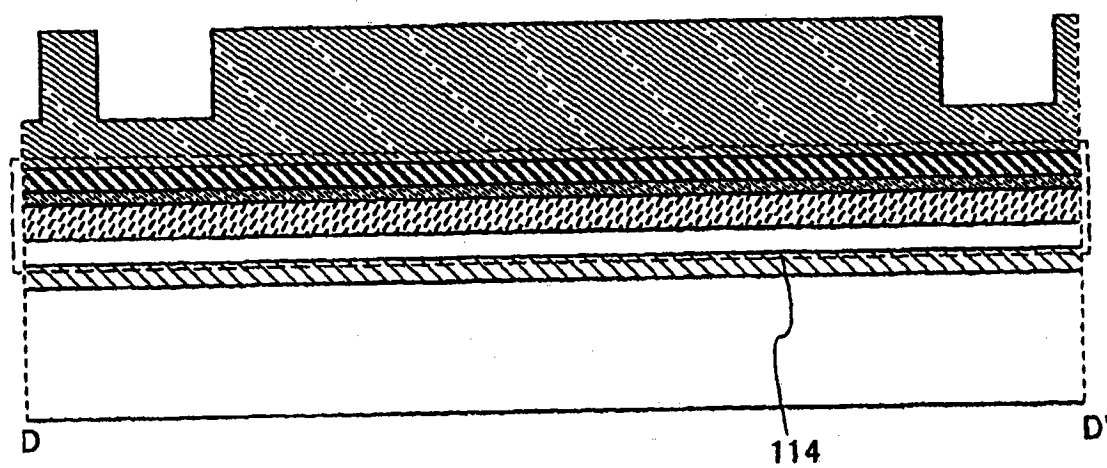


图 10B

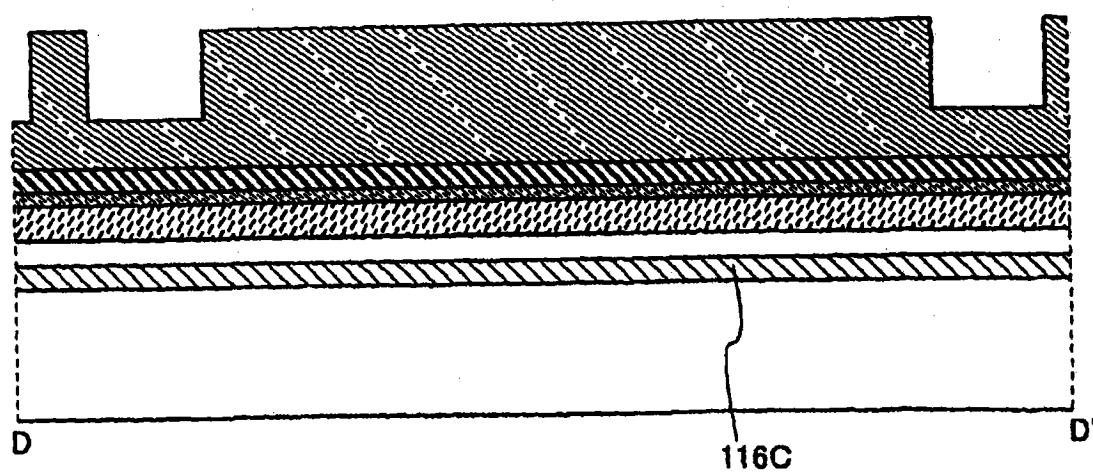


图 10C

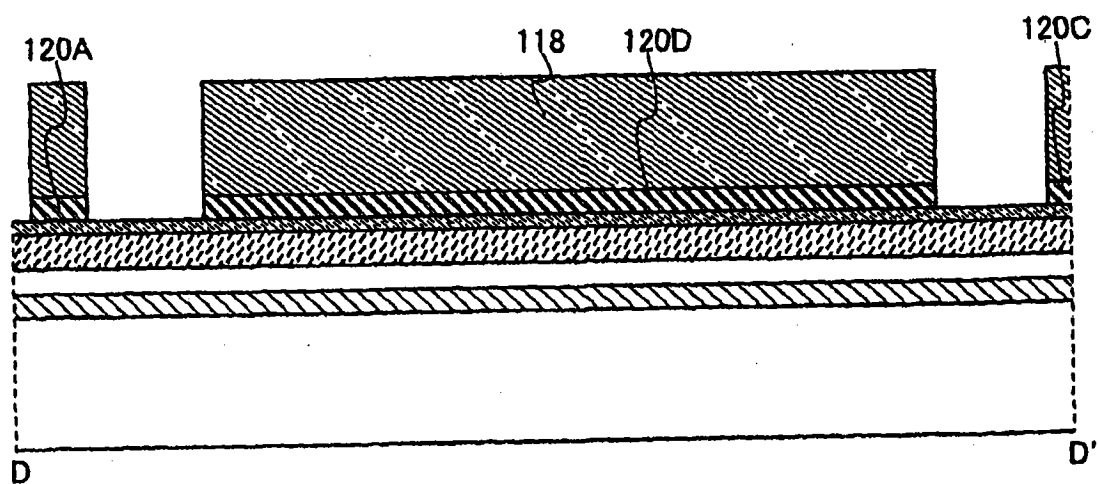


图 11A

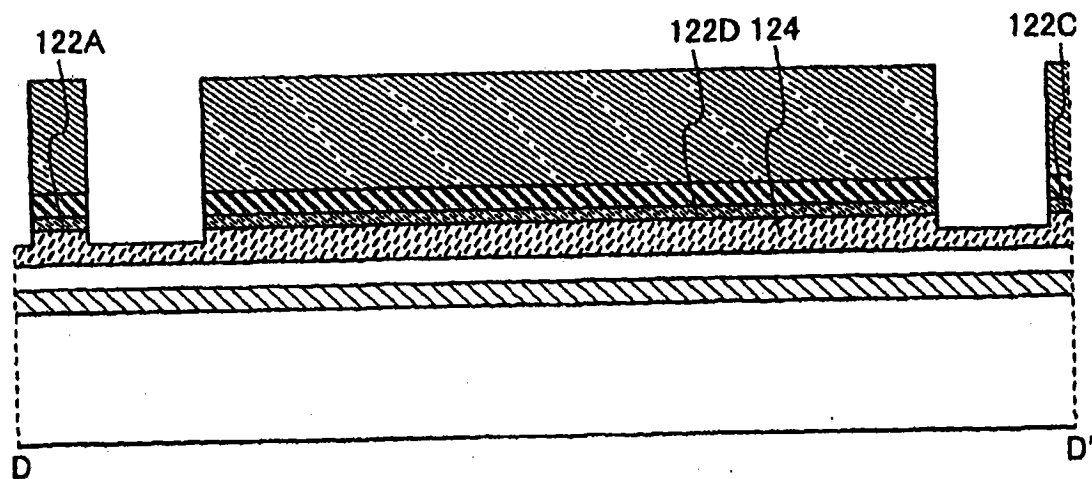


图 11B

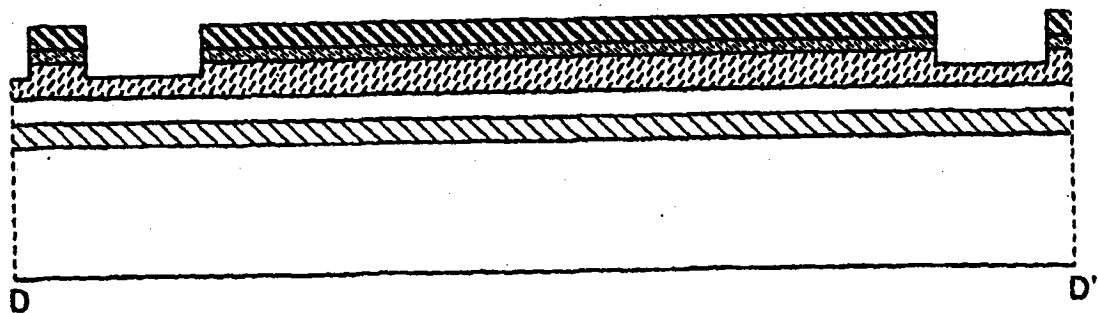


图 11C

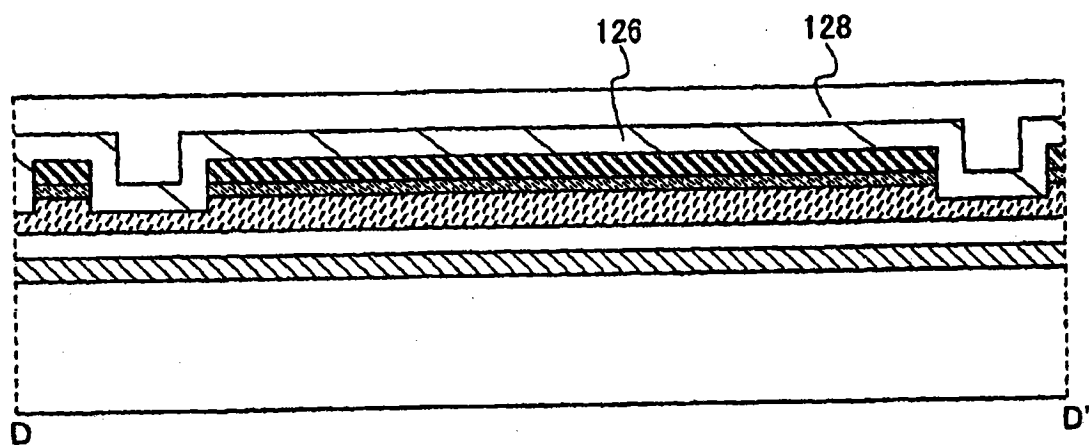


图 12A

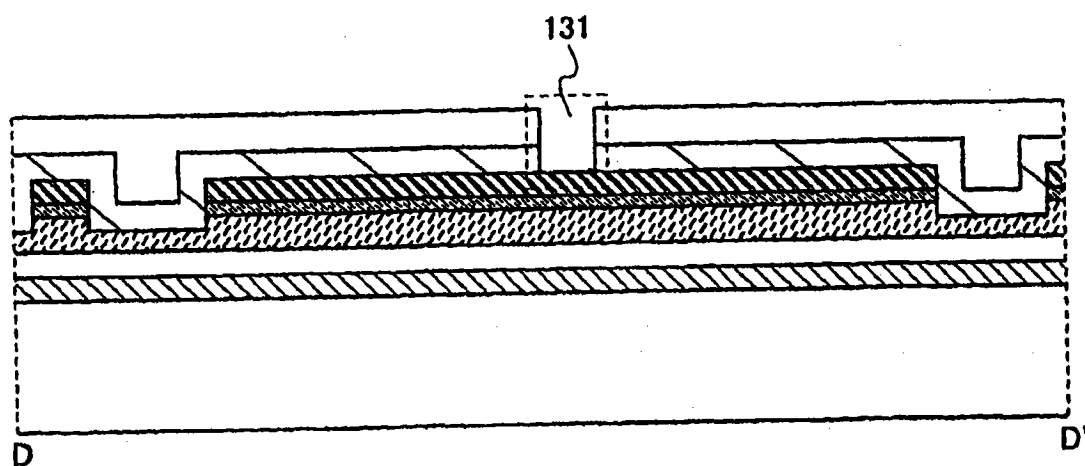


图 12B

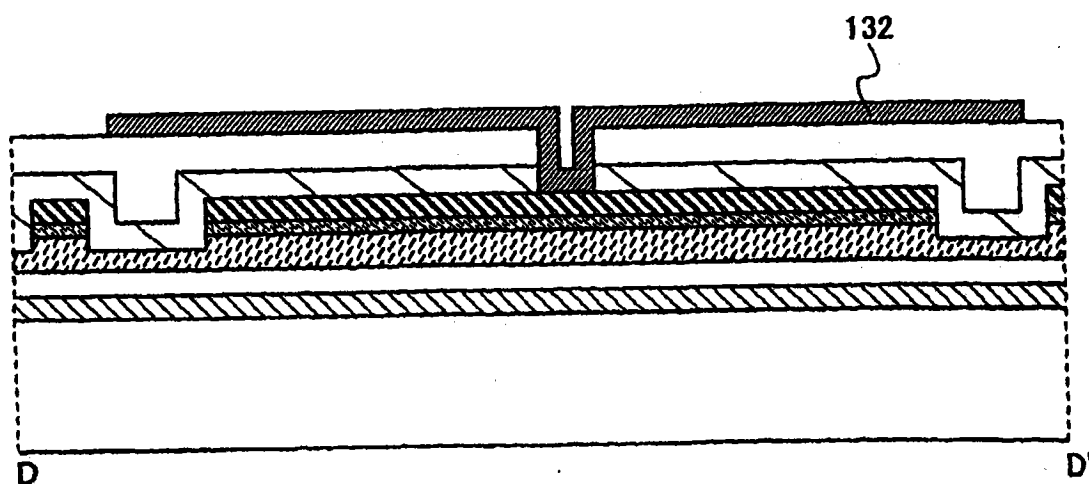


图 12C

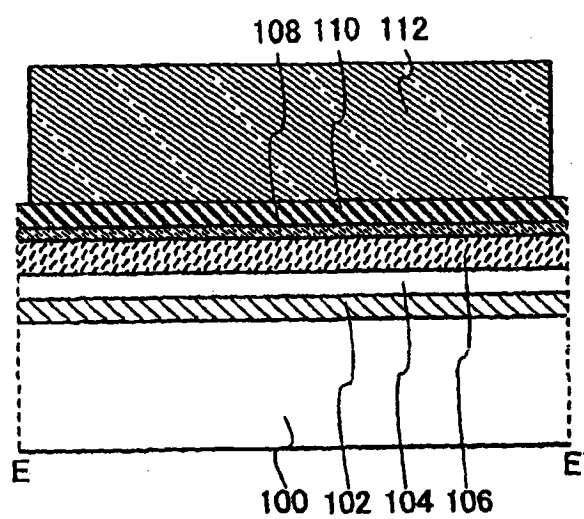


图 13A

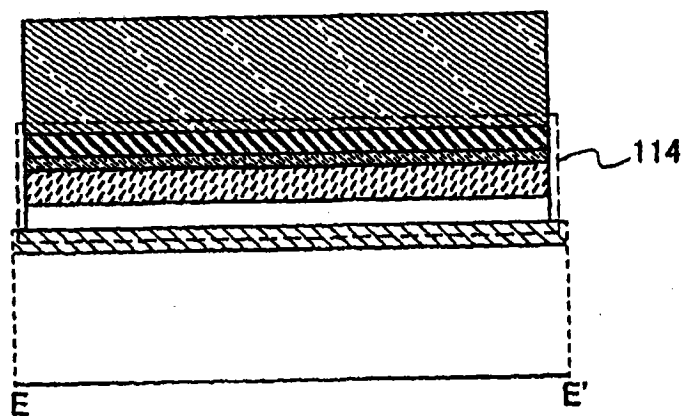


图 13B

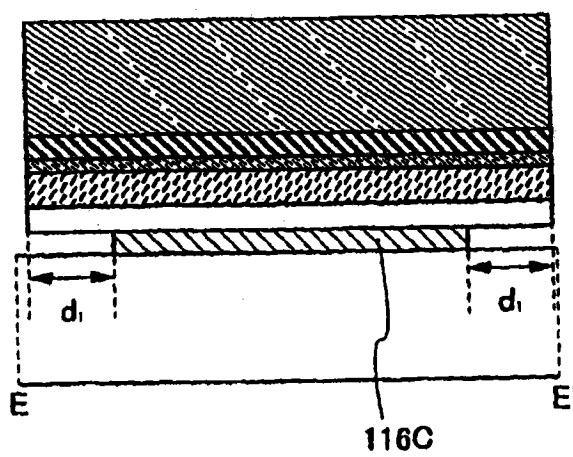


图 13C

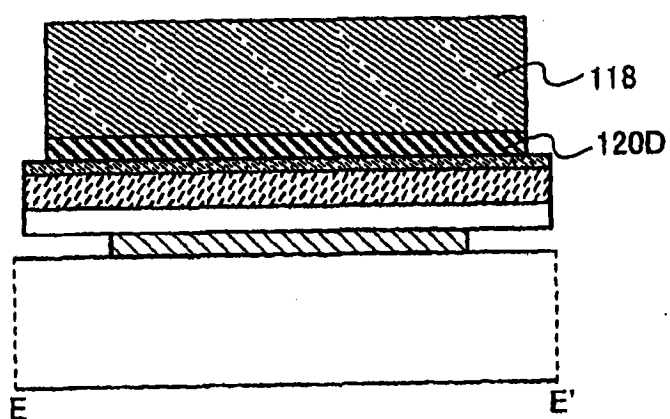


图 14A

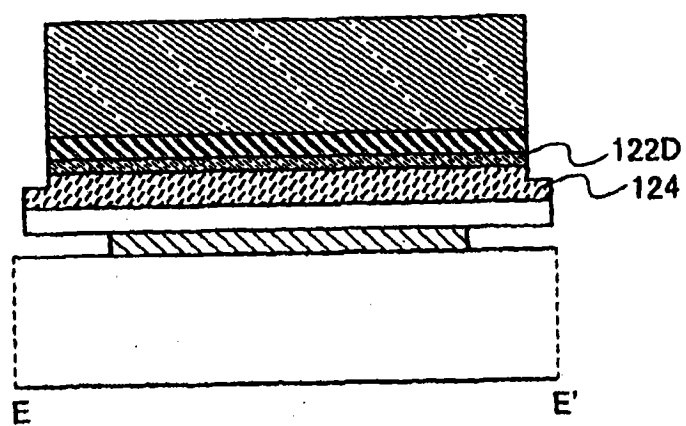


图 14B

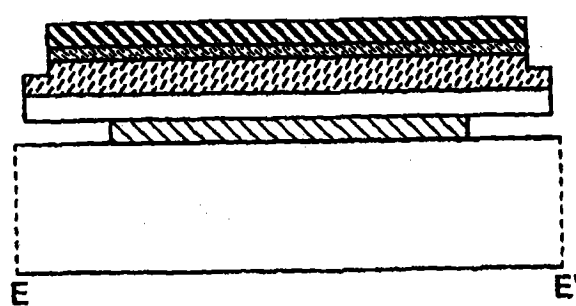


图 14C

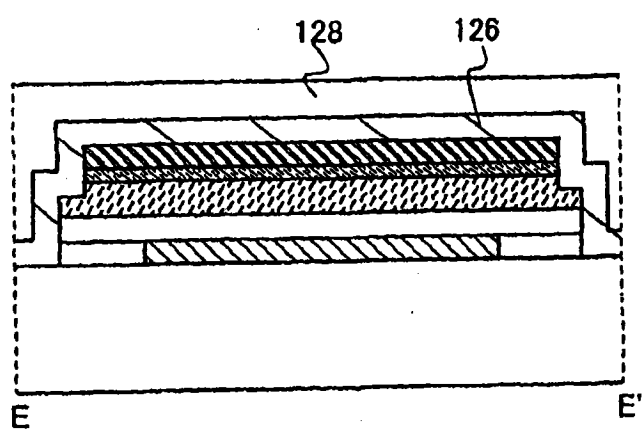


图 15A

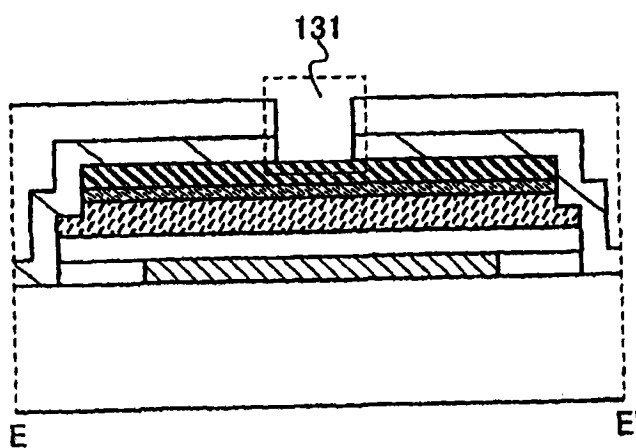


图 15B

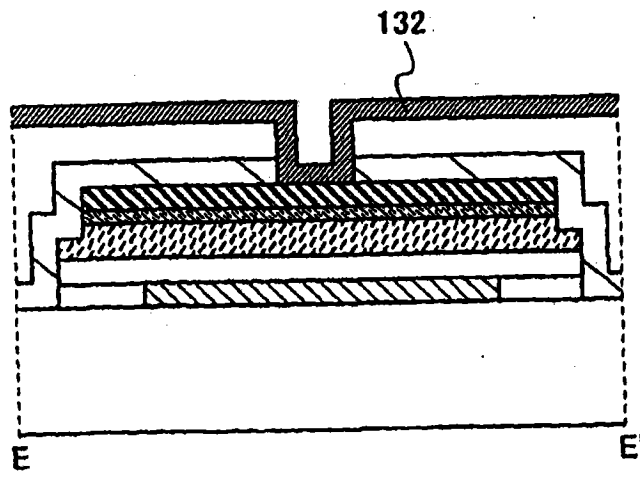


图 15C

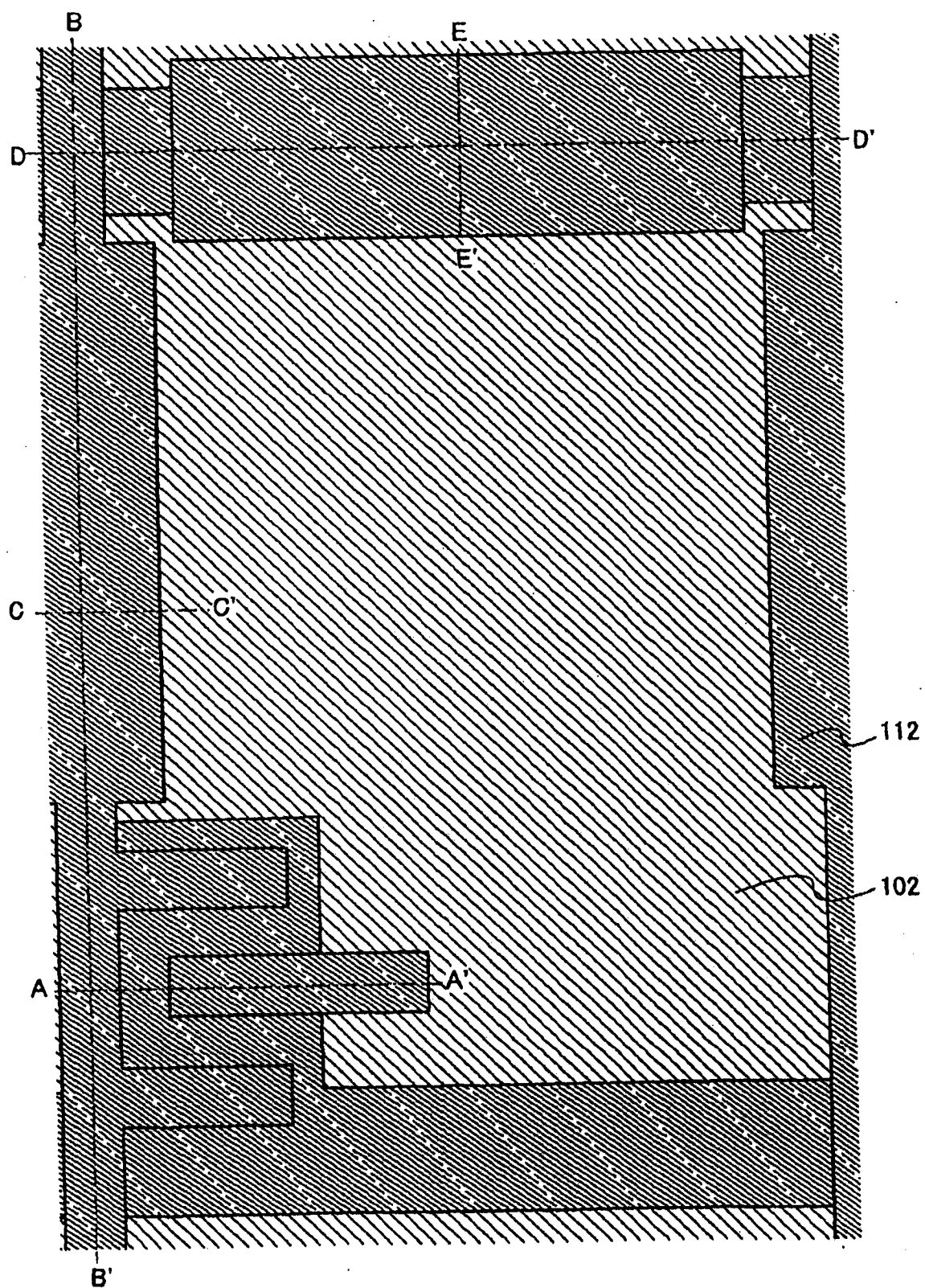


图 16

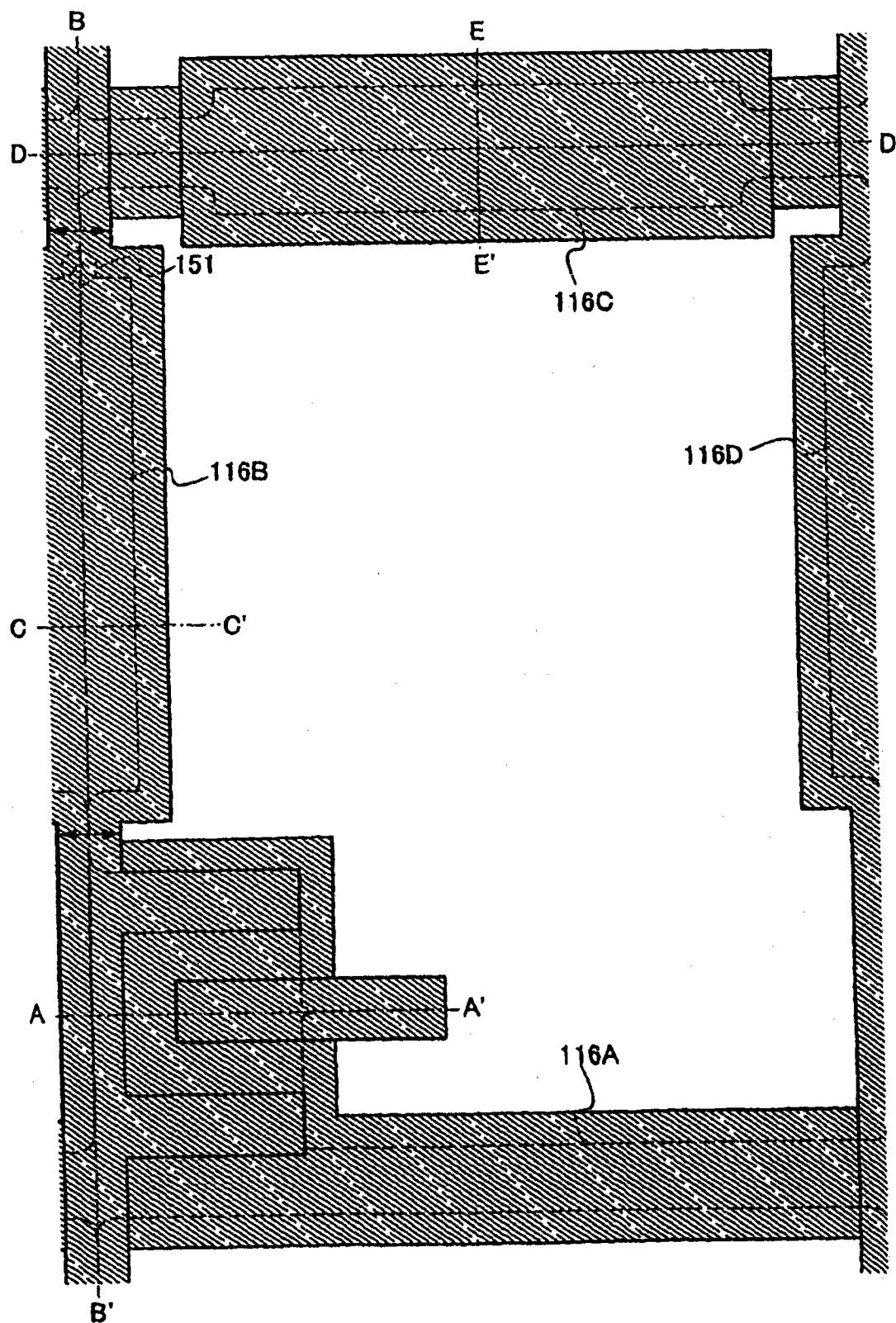


图 17

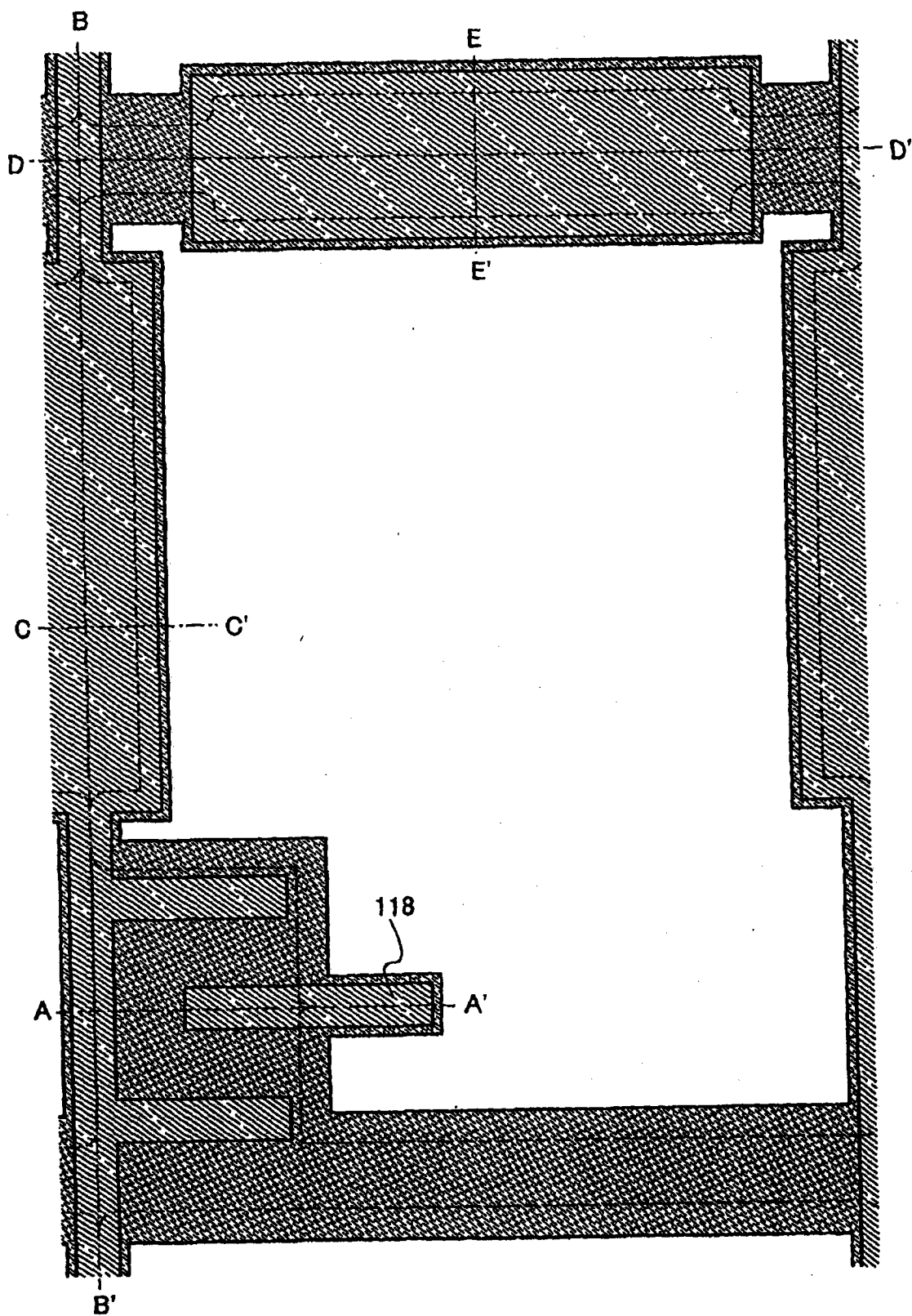


图 18

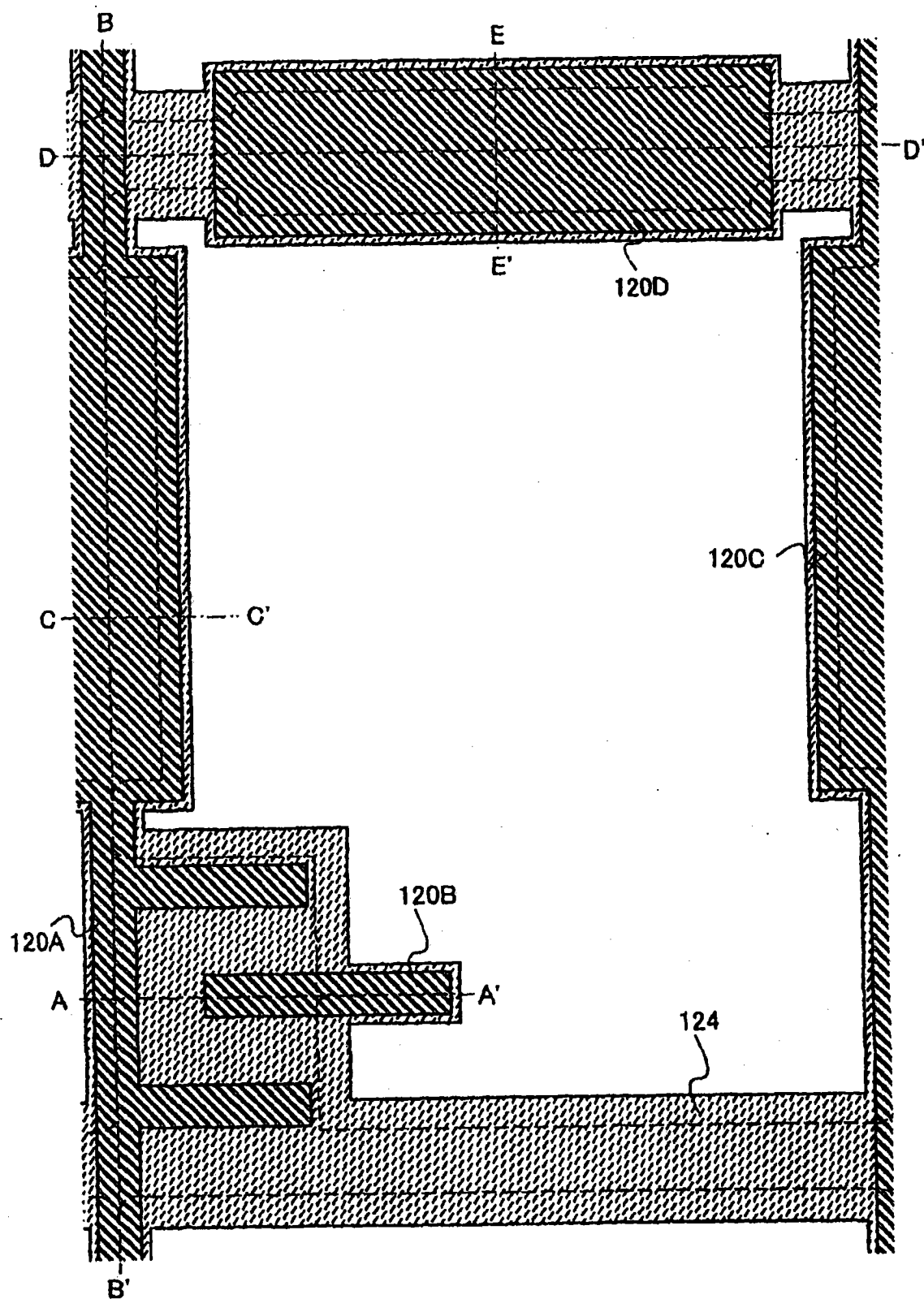


图 19

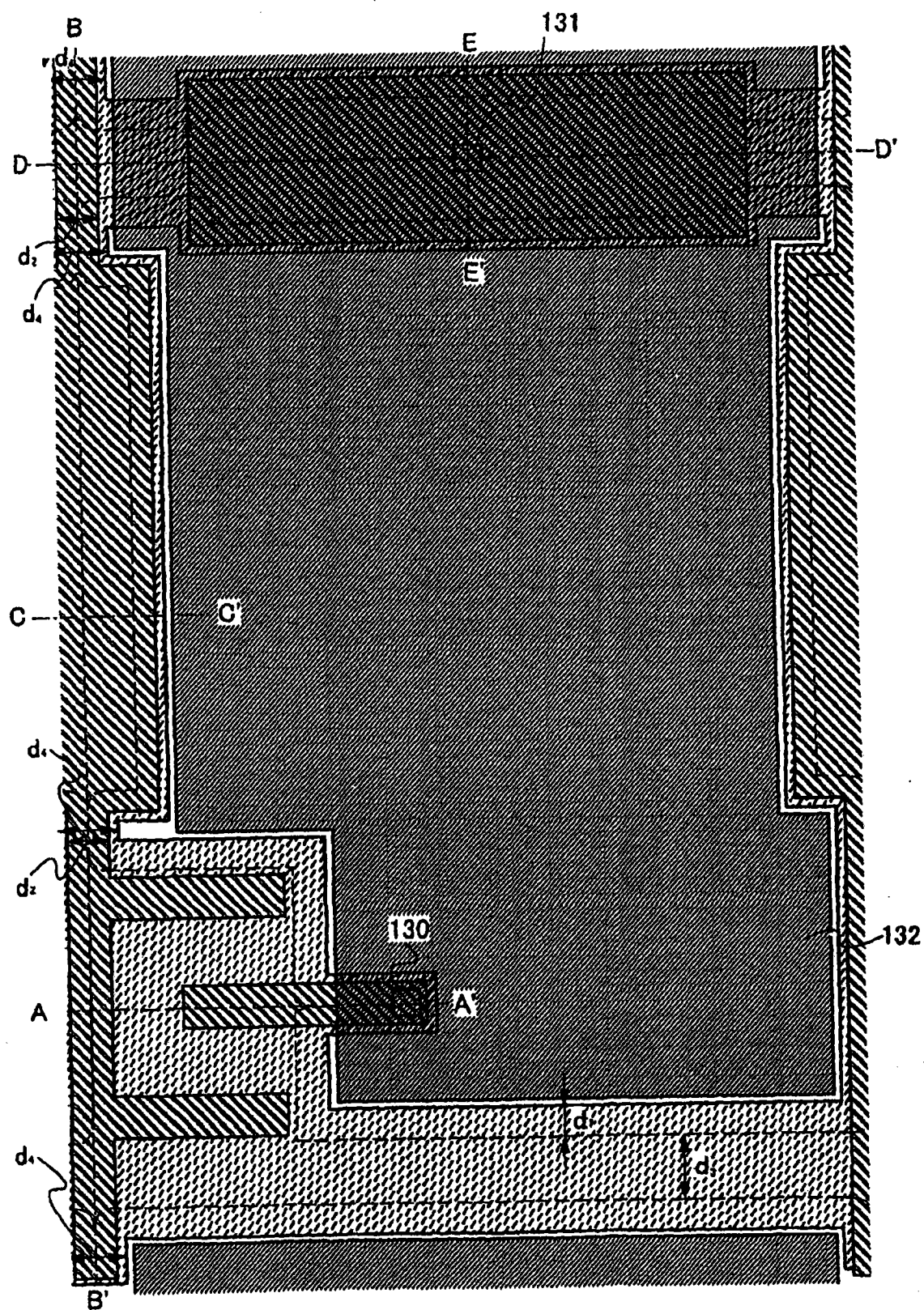


图 20

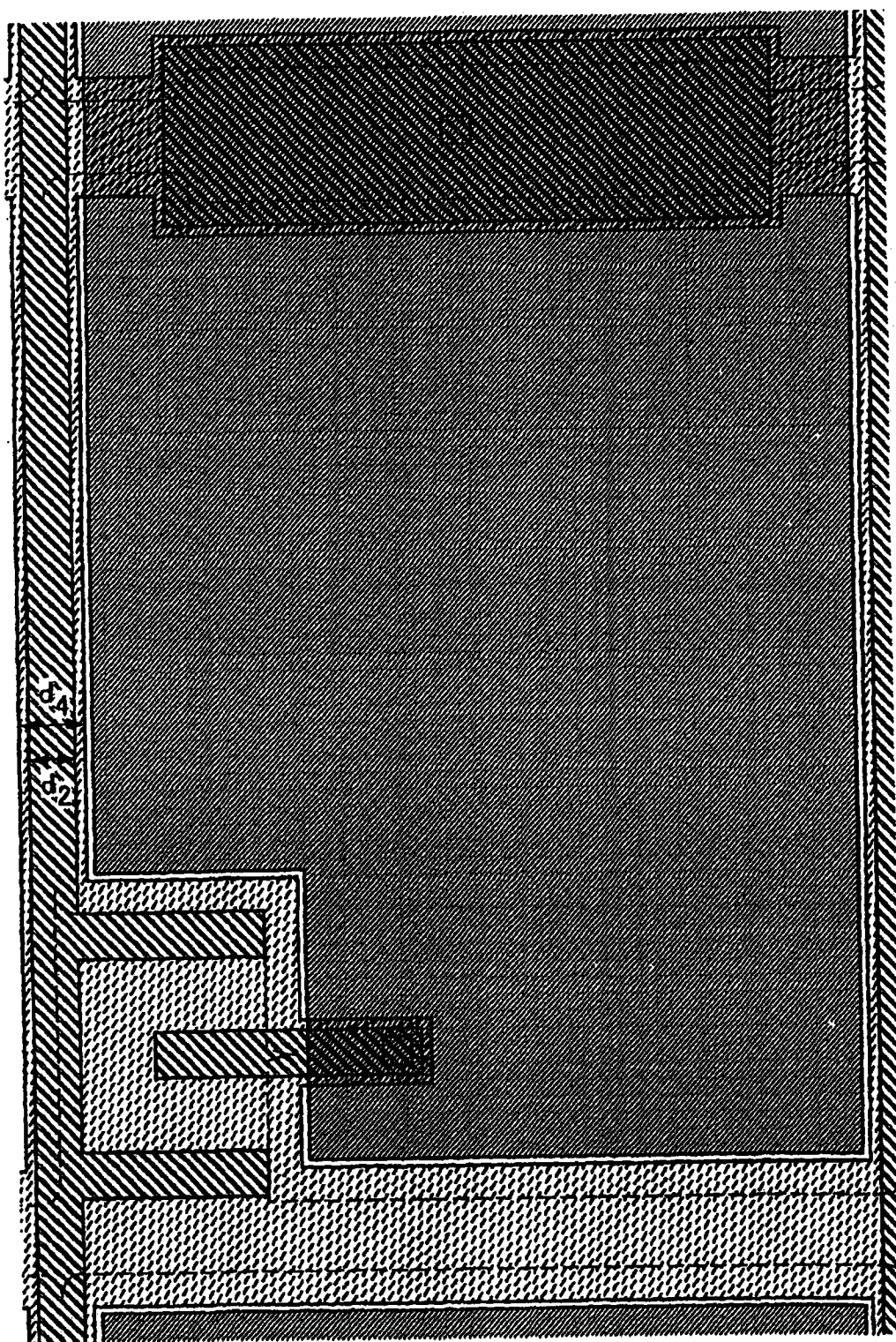


图 21

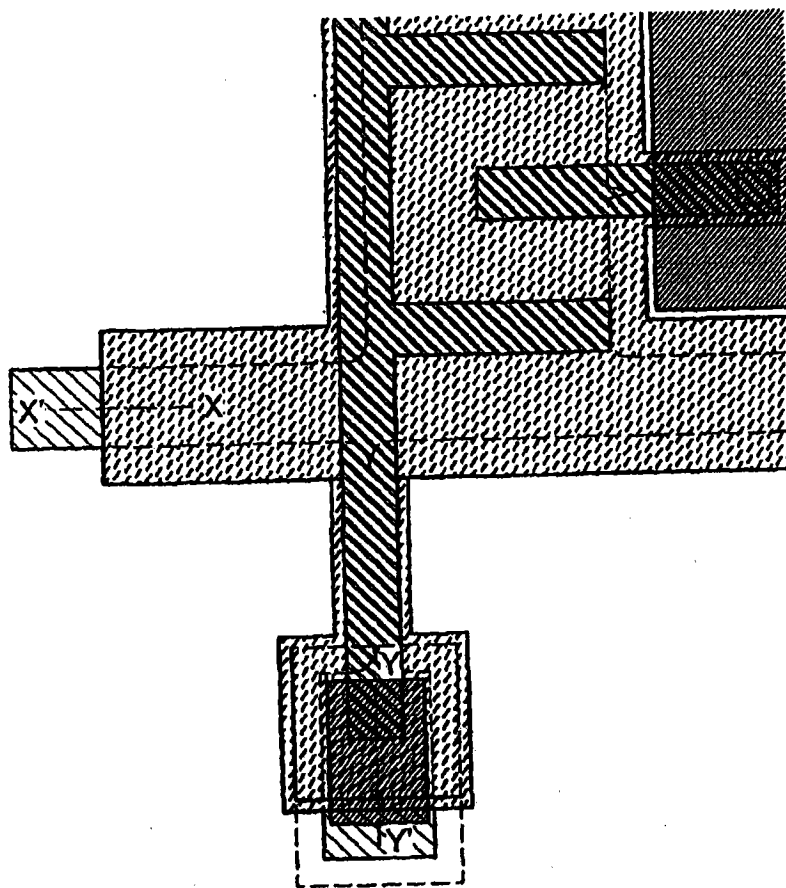


图 22

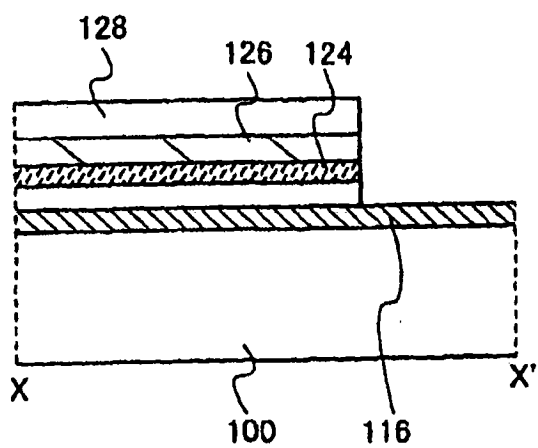


图 23

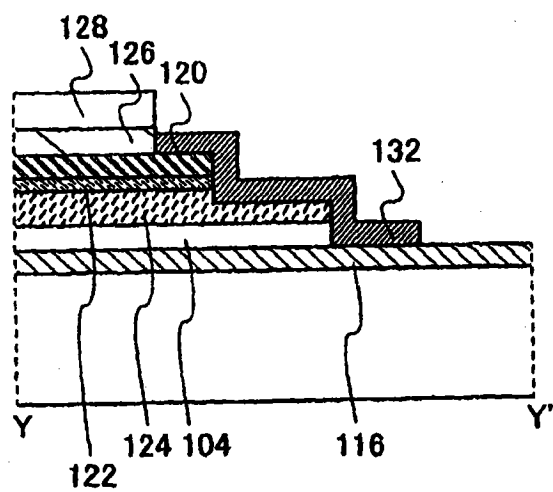


图 24A

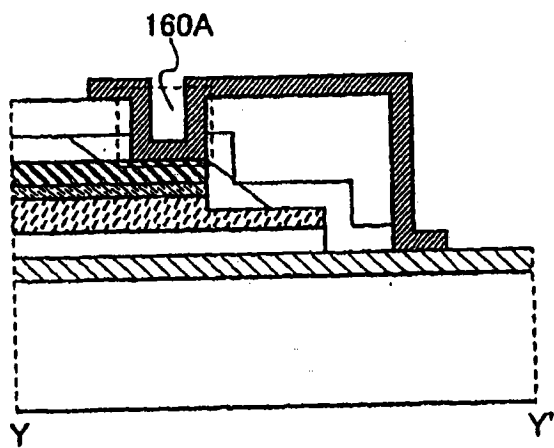


图 24B

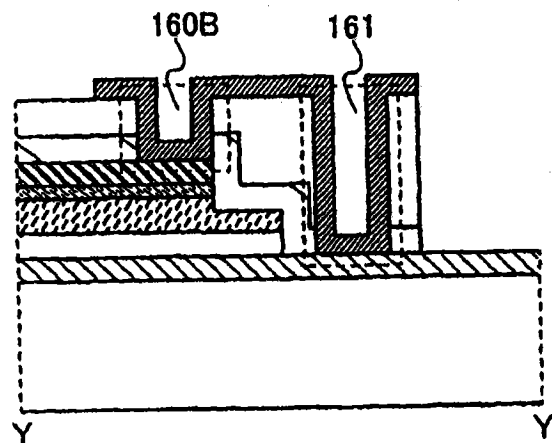


图 24C

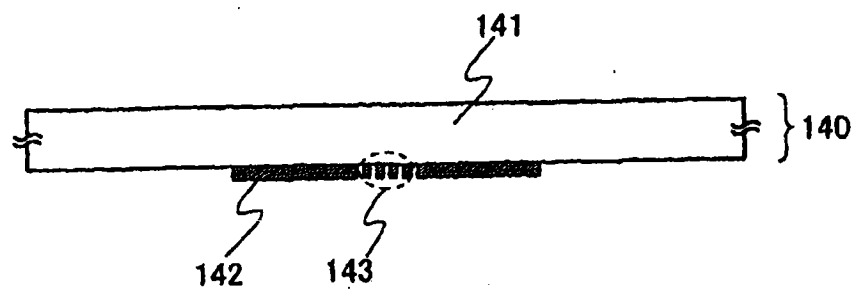


图 25A-1

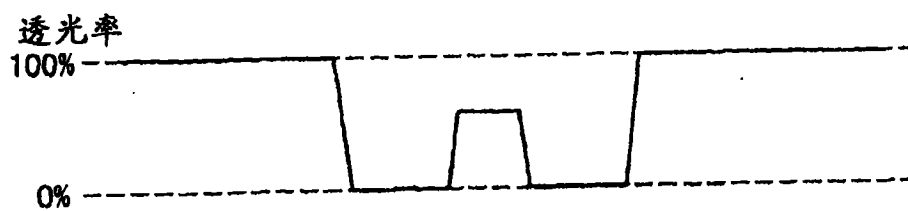


图 25A-2

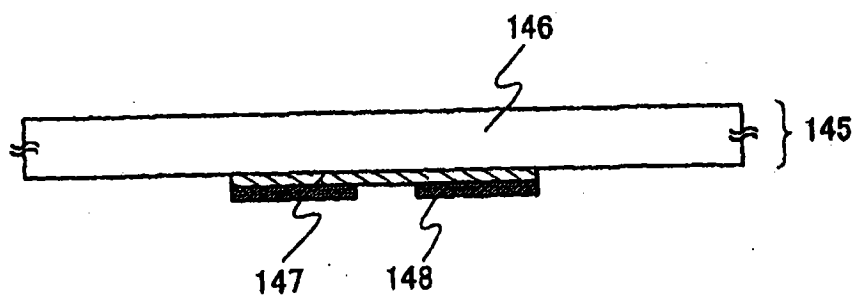


图 25B-1

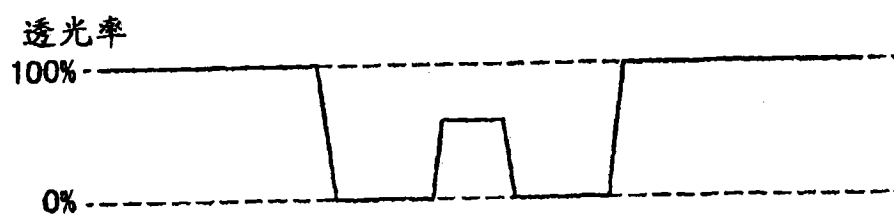


图 25B-2

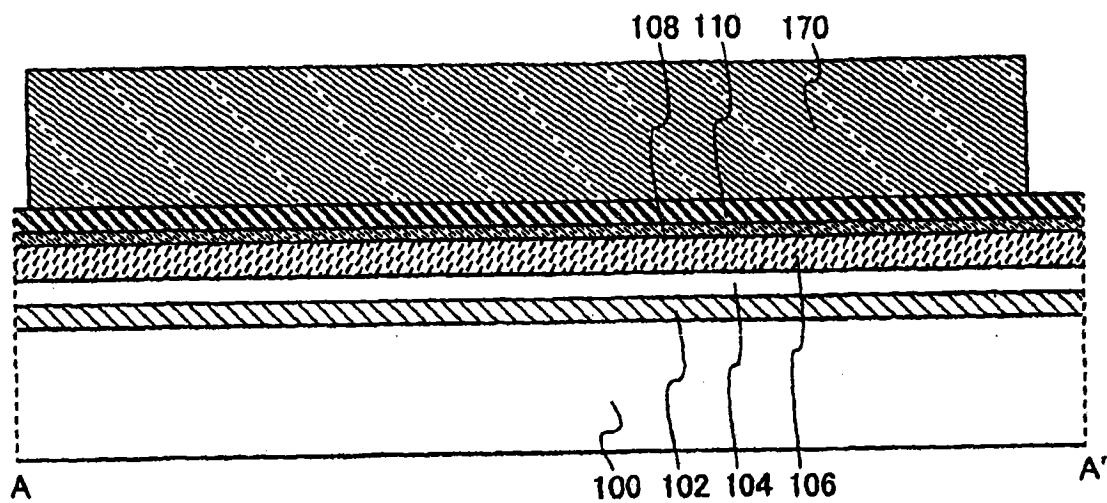


图 26A

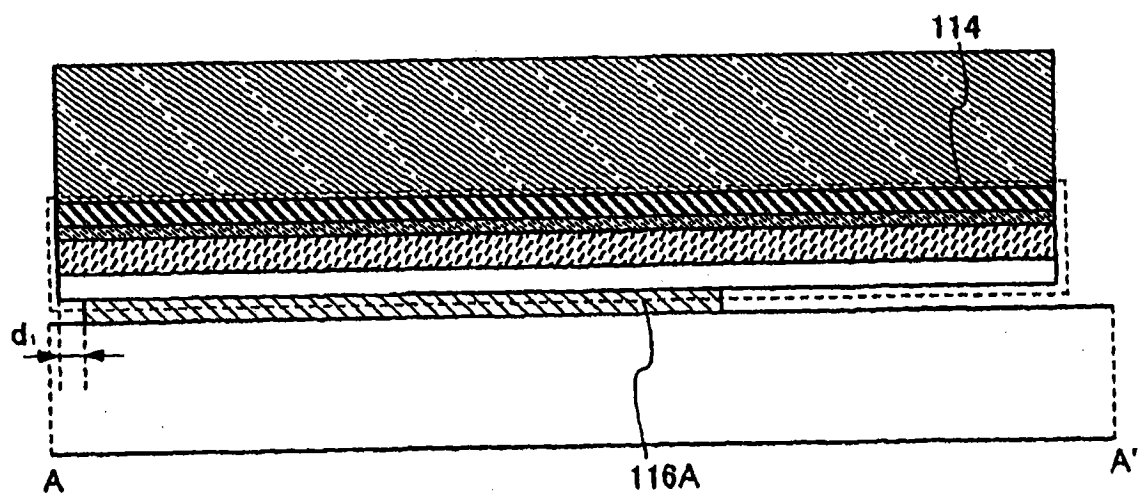


图 26B

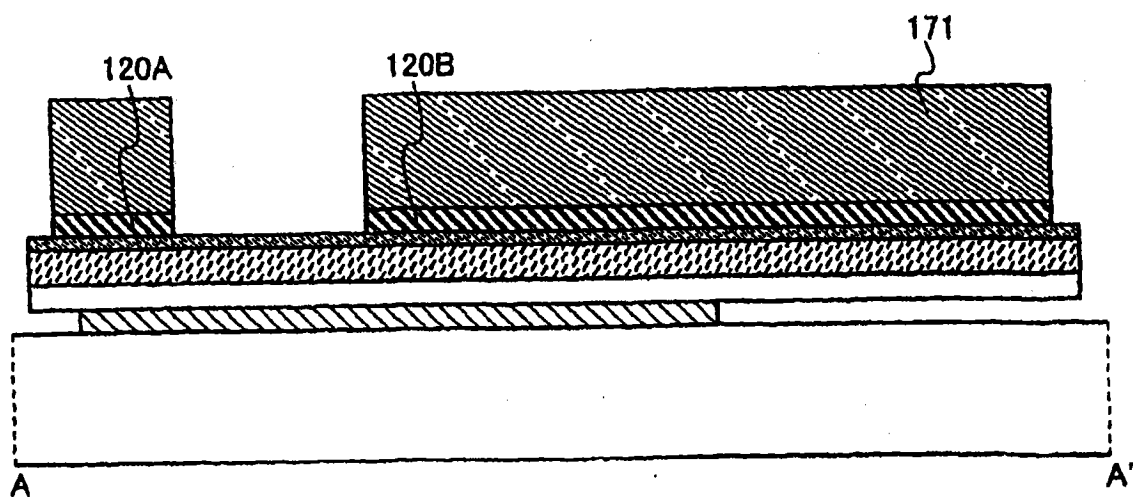


图 26C

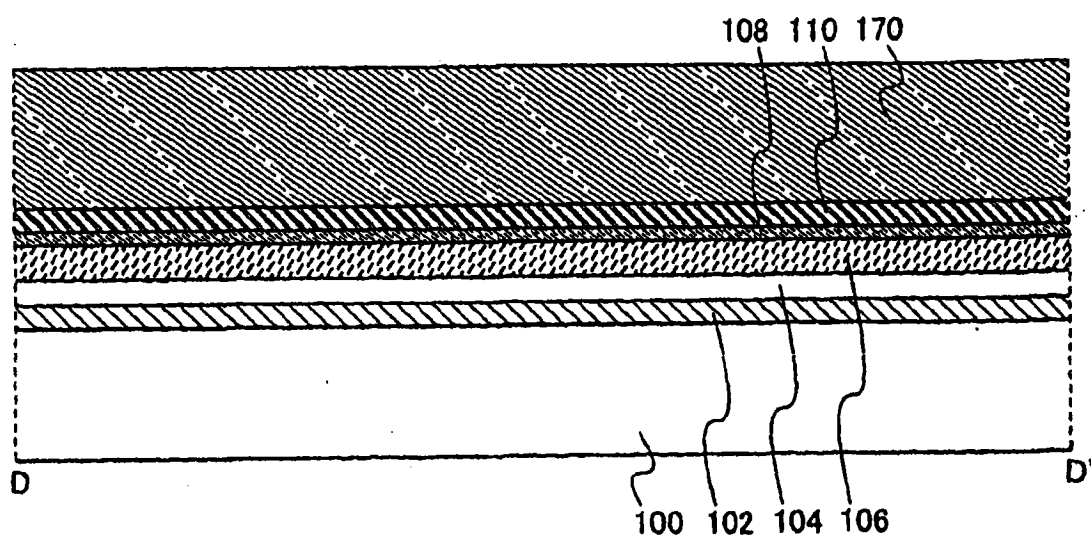


图 27A

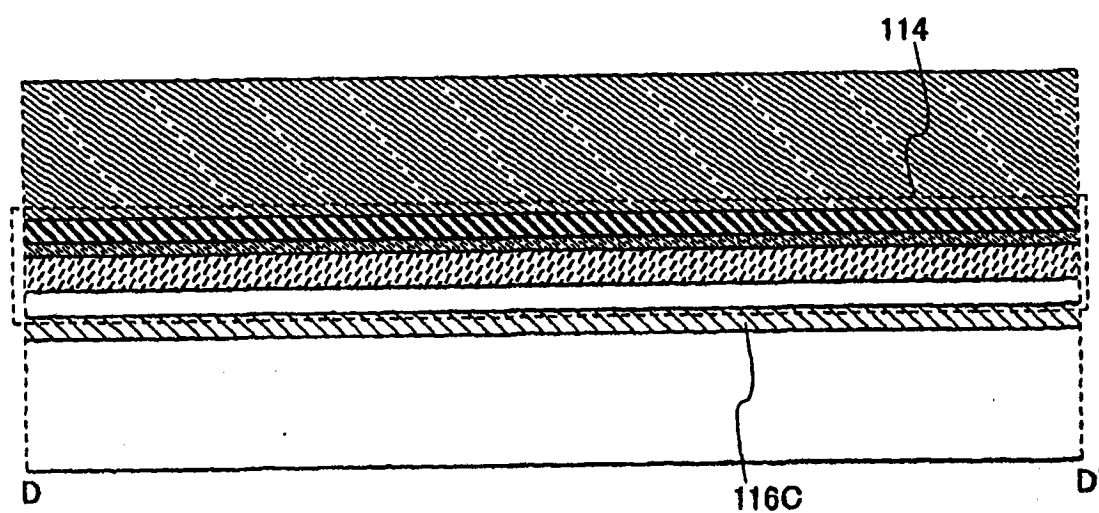


图 27B

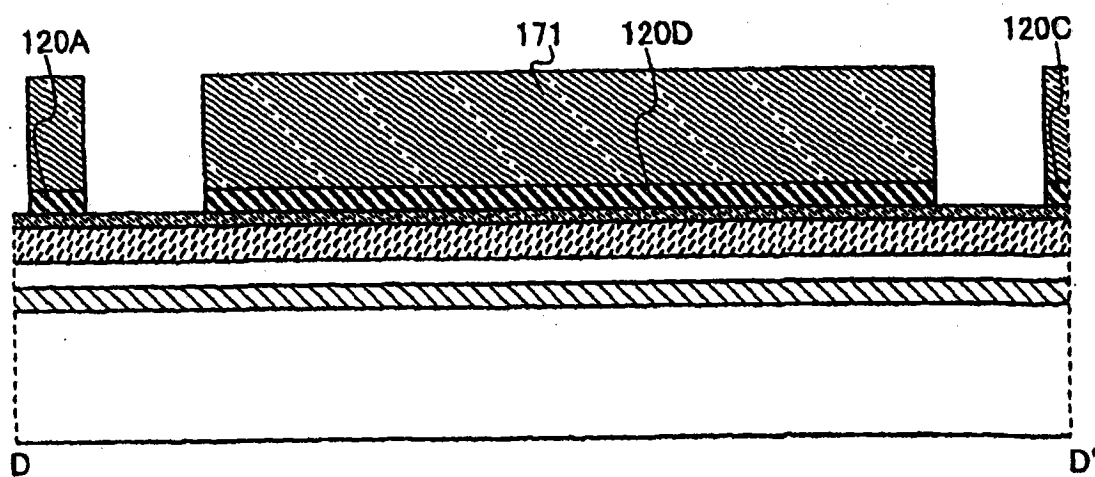


图 27C

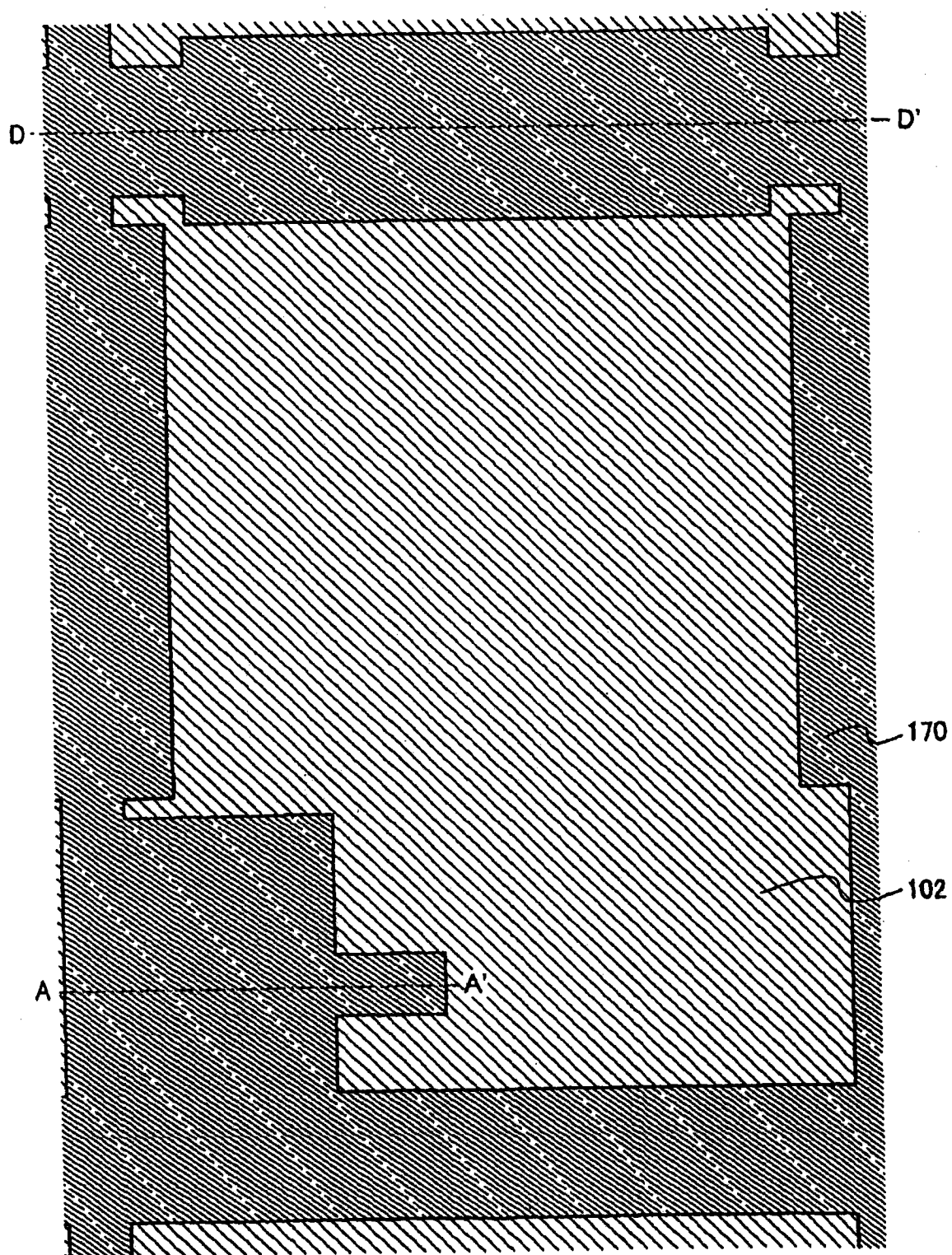


图 28

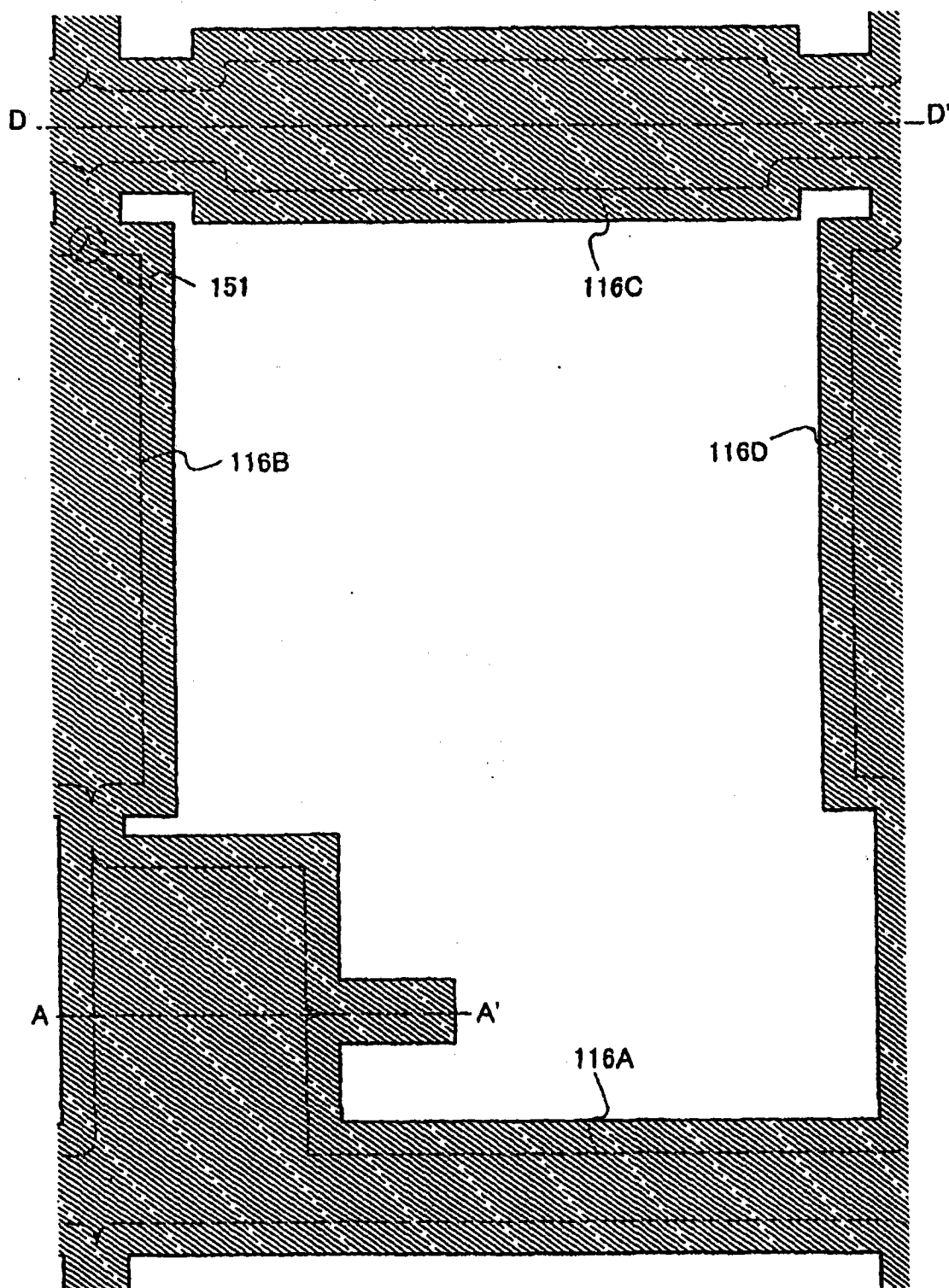


图 29

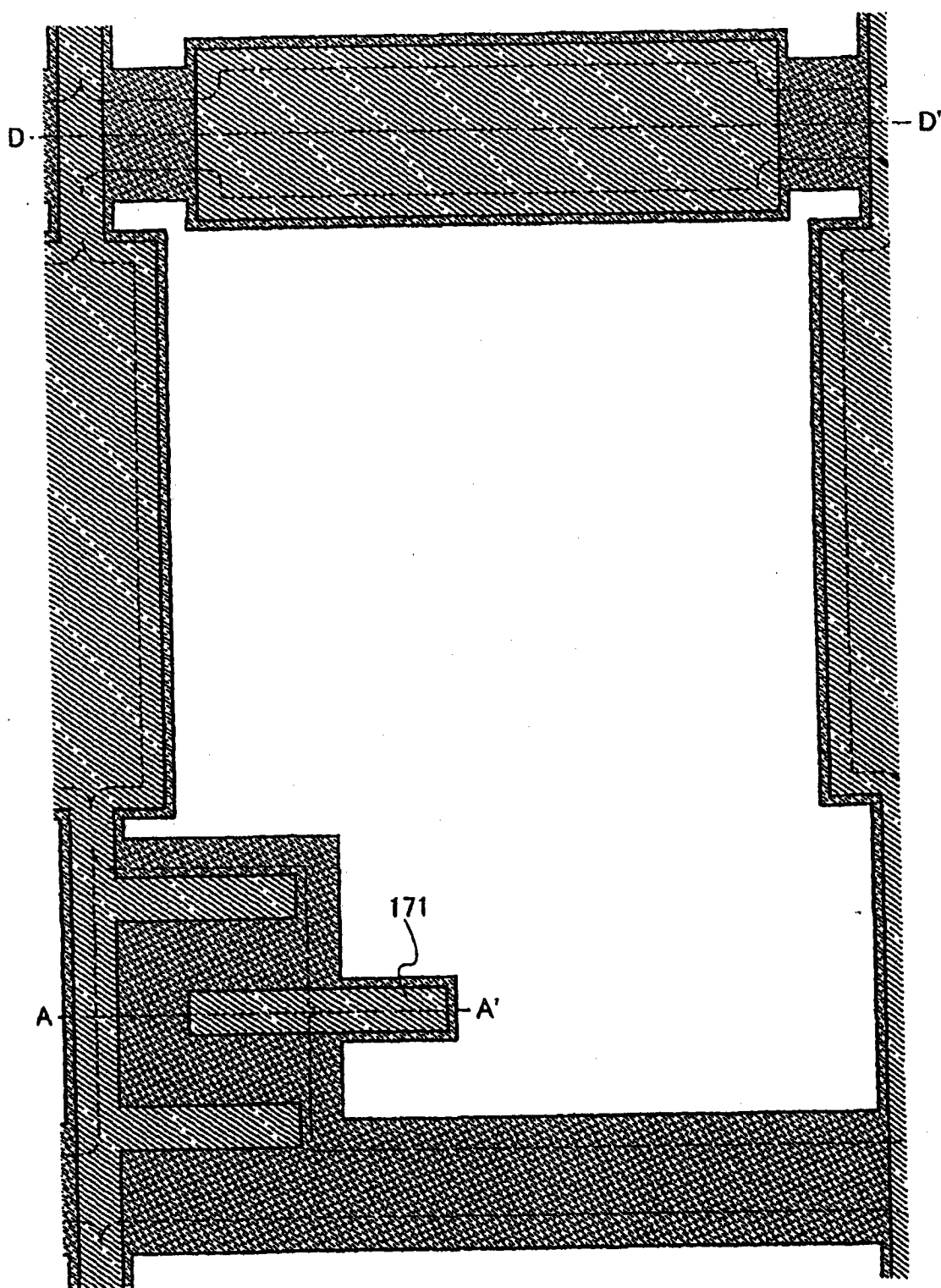


图 30

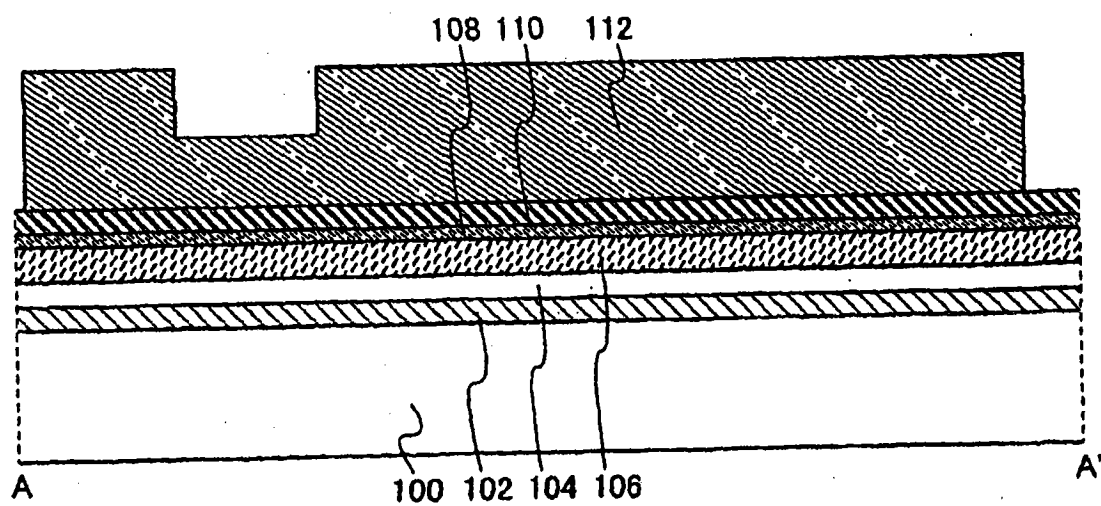


图 31A

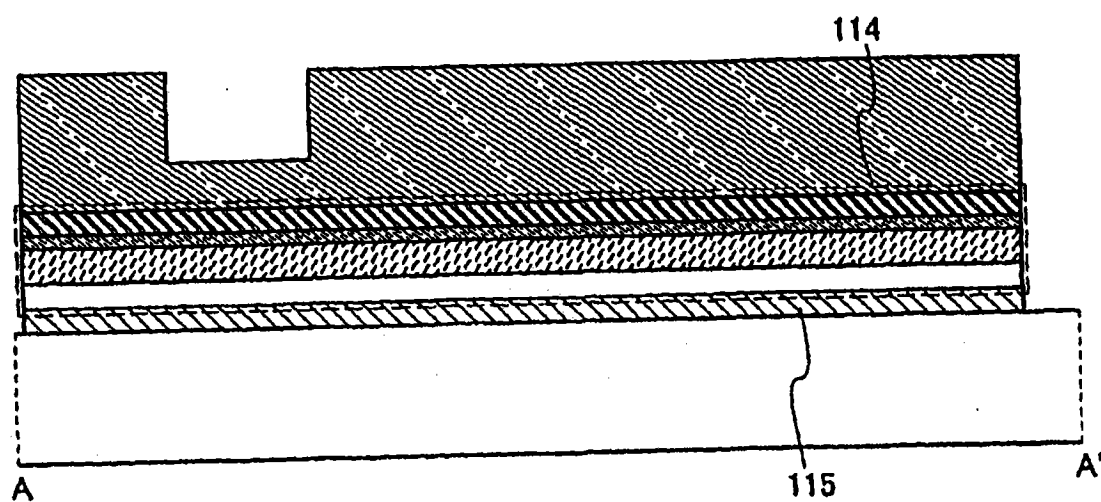


图 31B

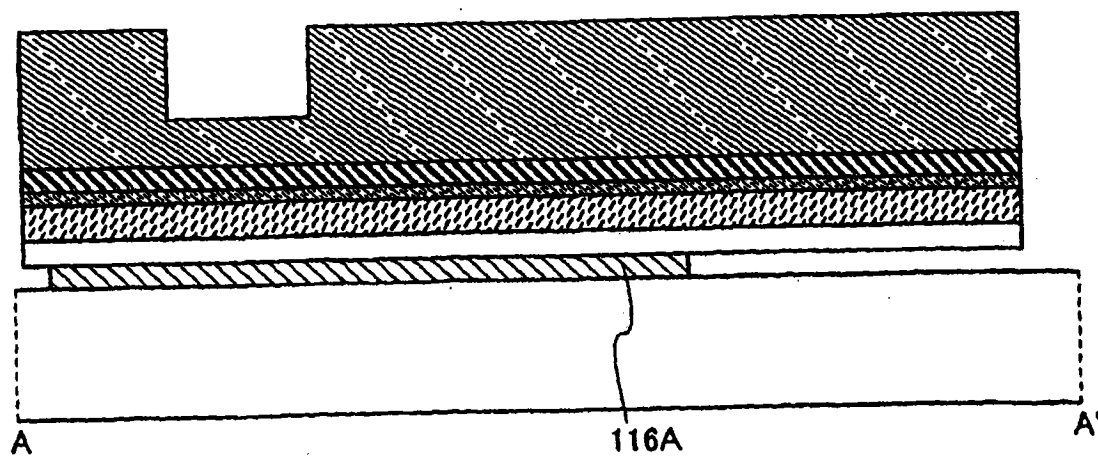


图 31C

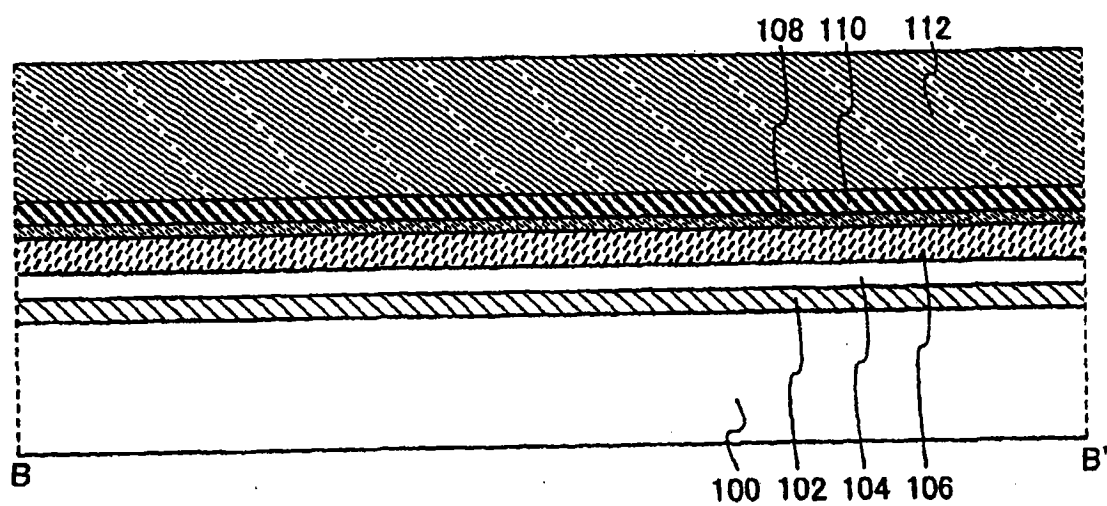


图 32A

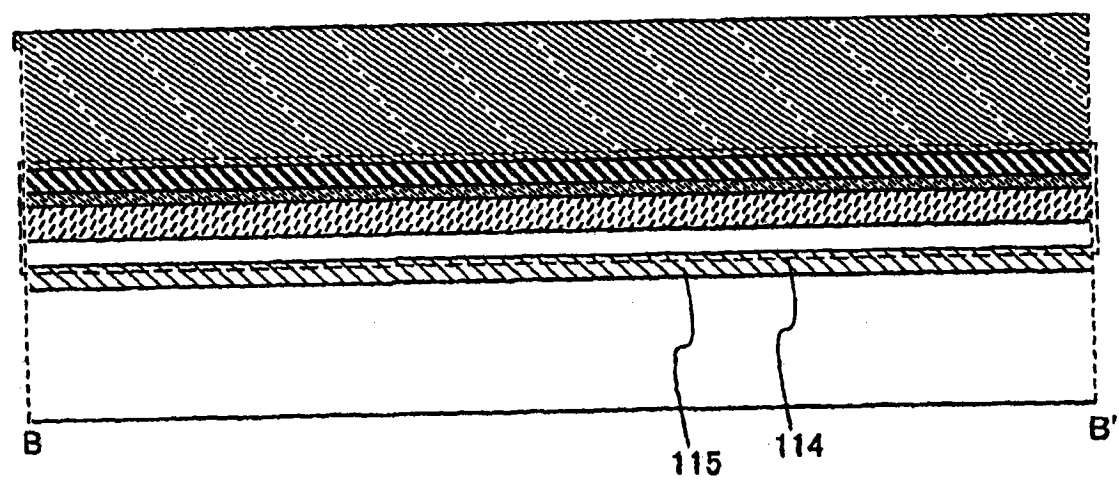


图 32B

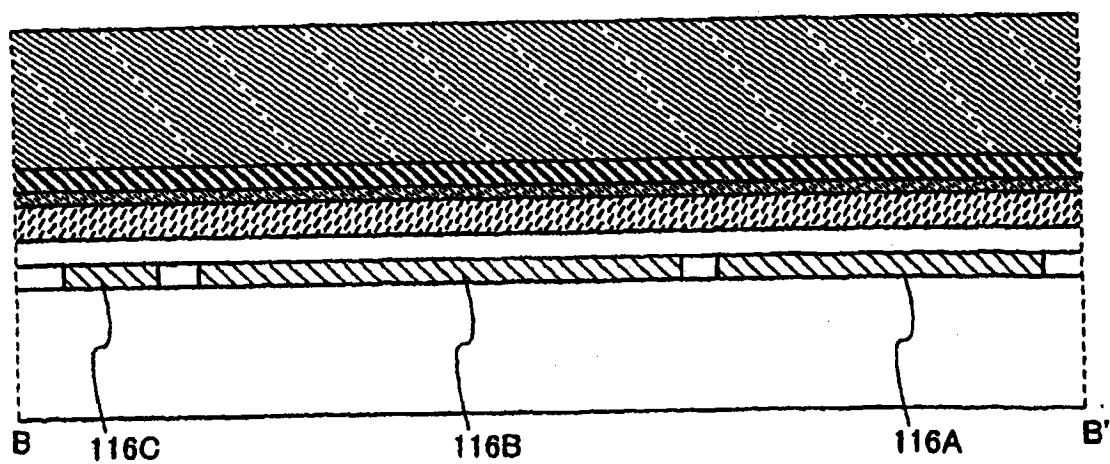


图 32C

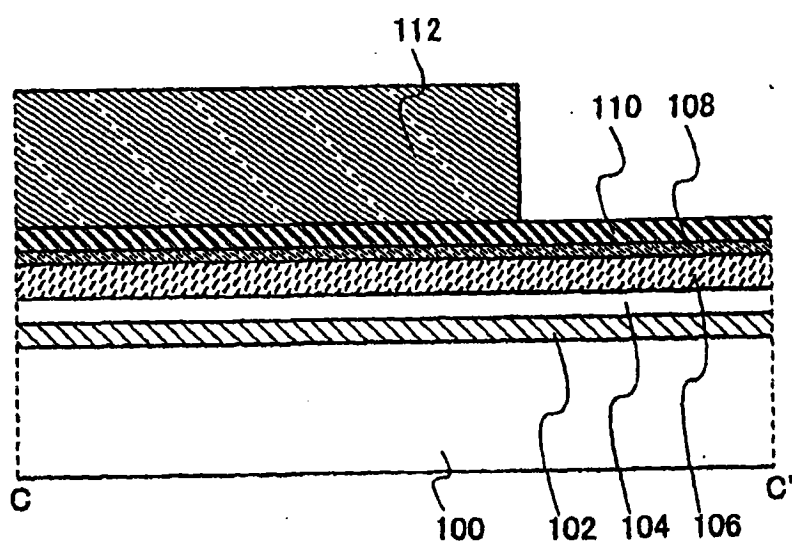


图 33A

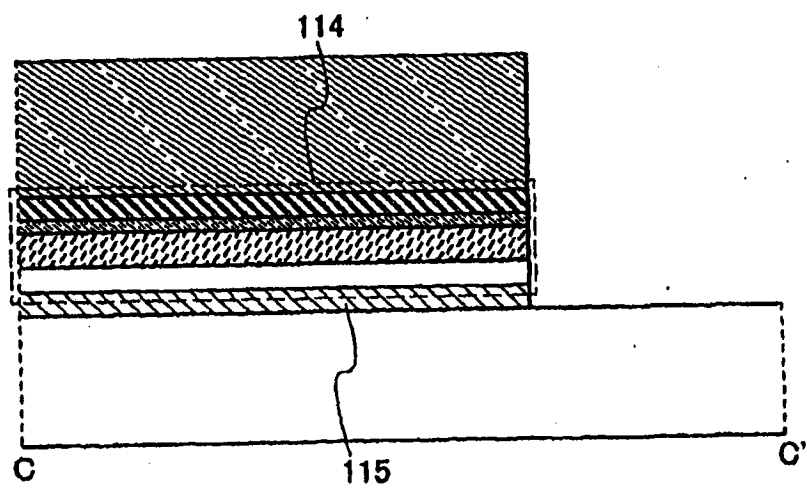


图 33B

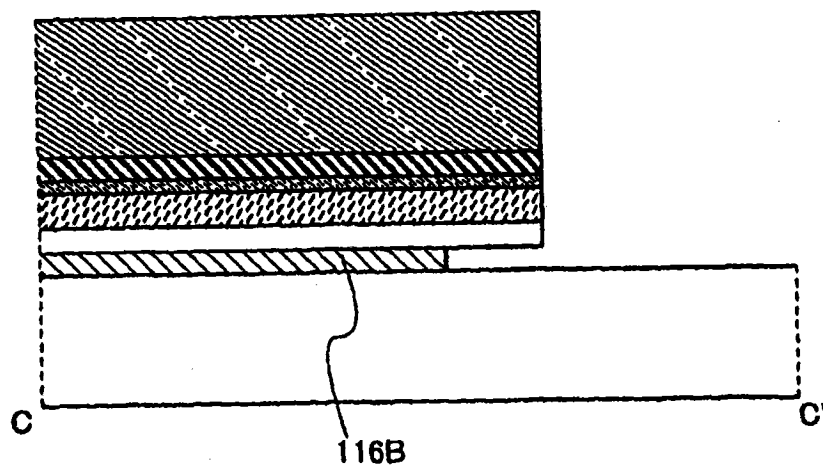


图 33C

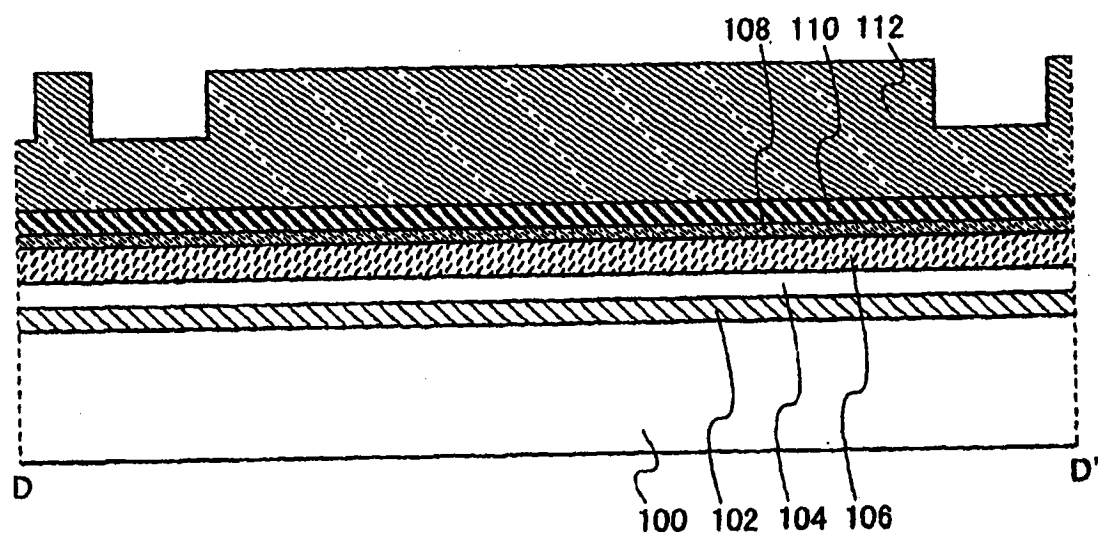


图 34A

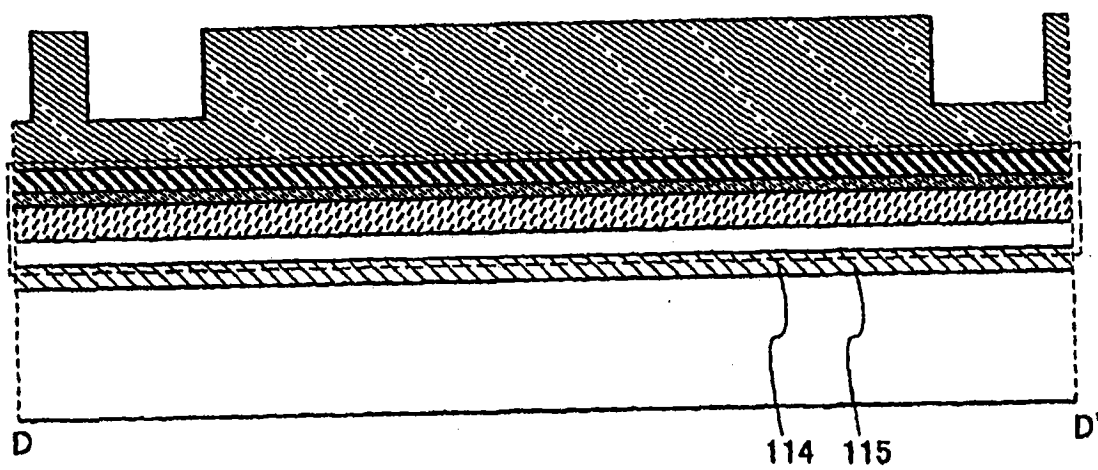


图 34B

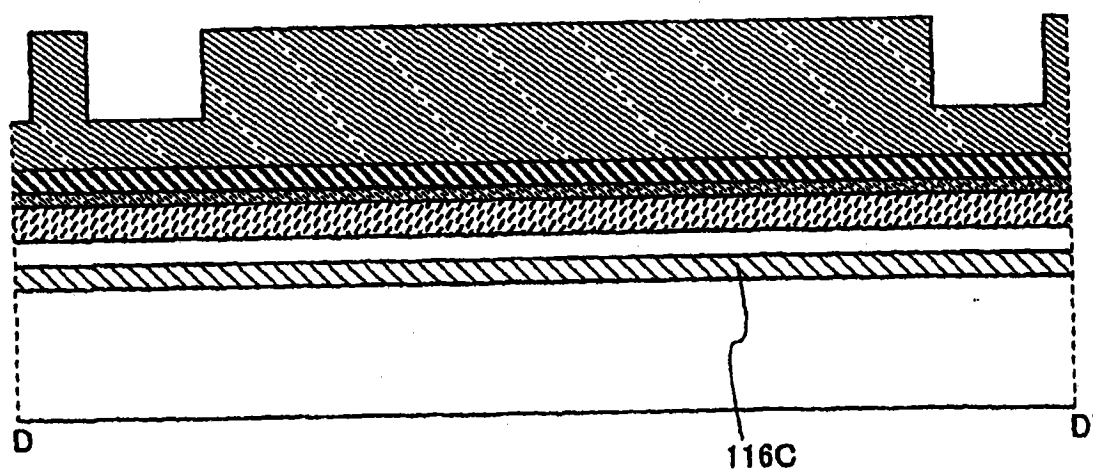


图 34C

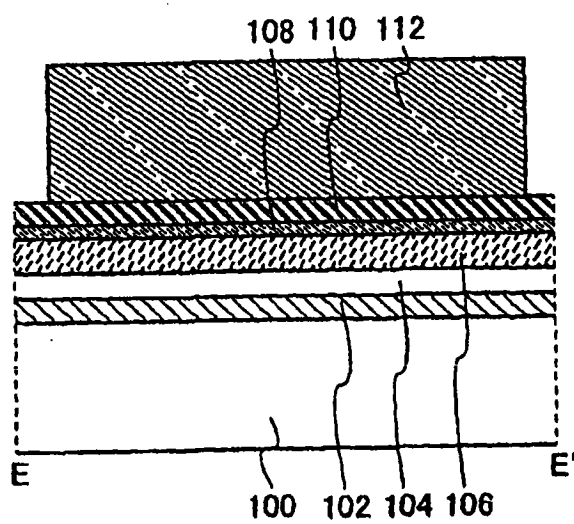


图 35A

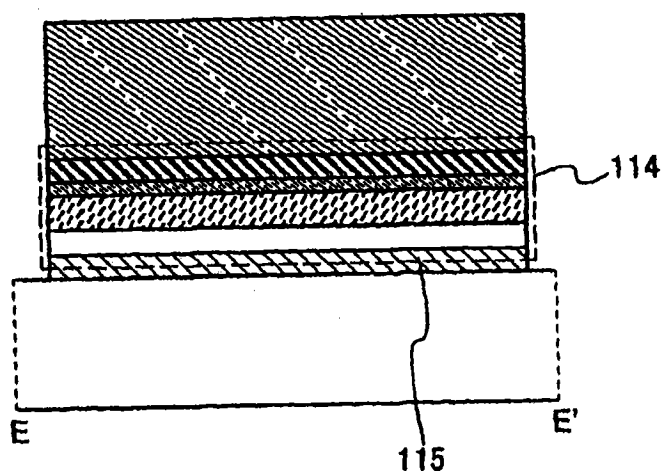


图 35B

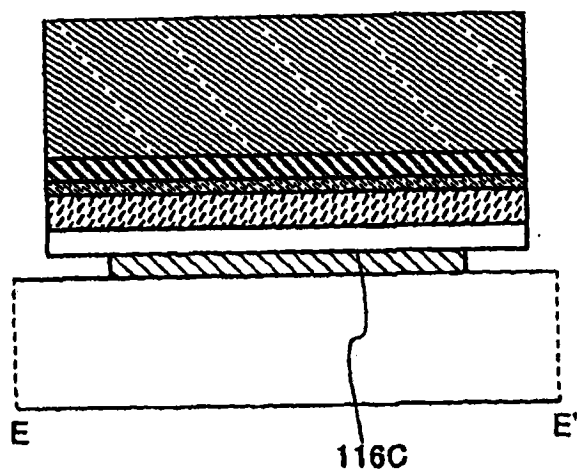


图 35C

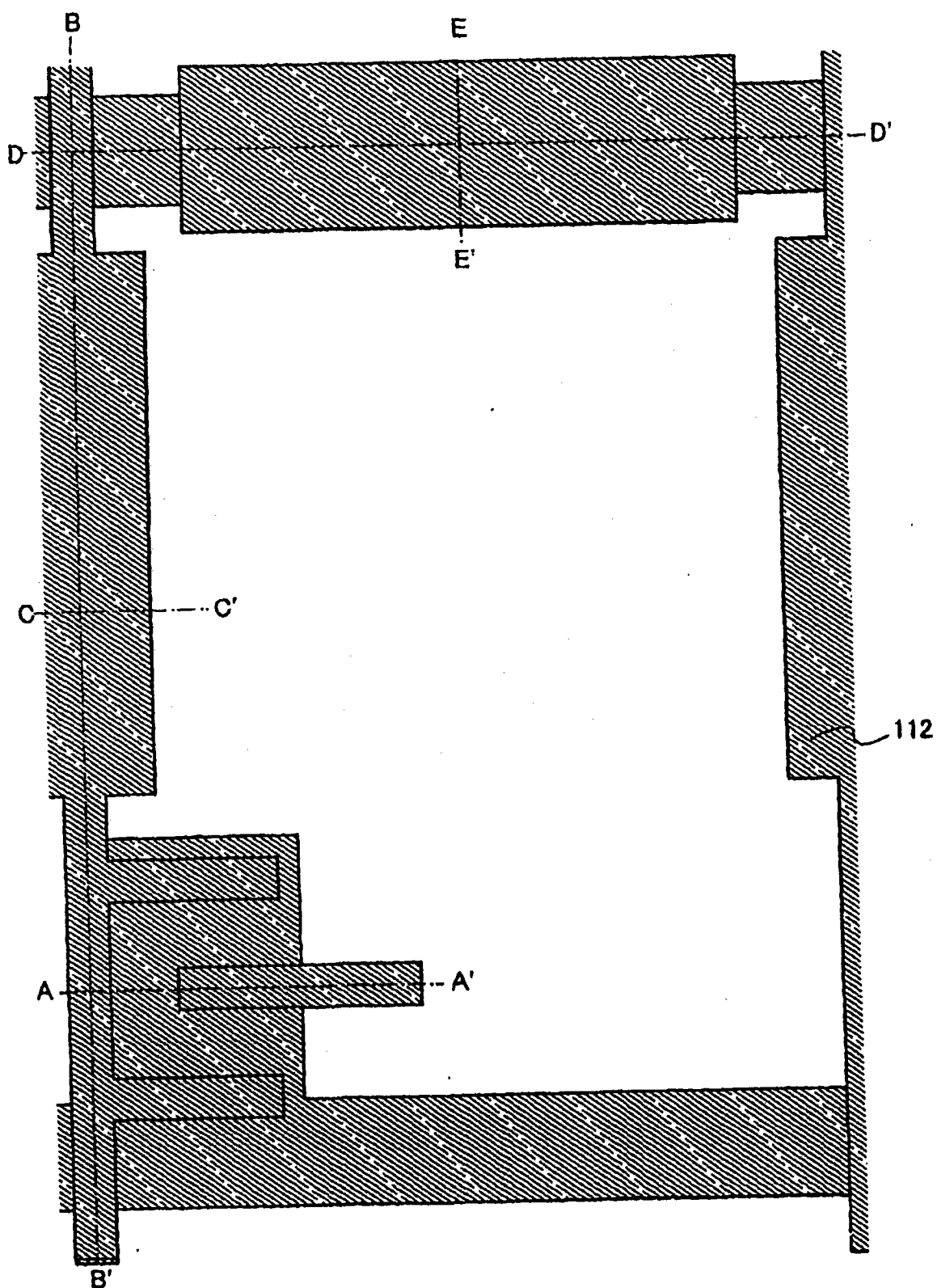


图 36

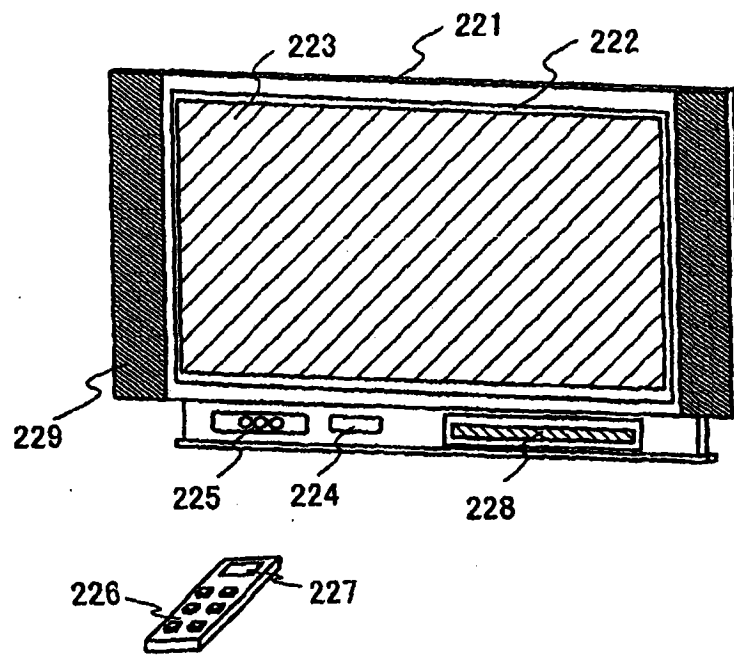


图 37A

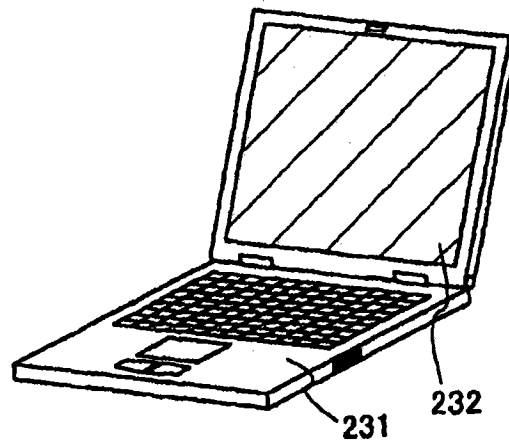


图 37B

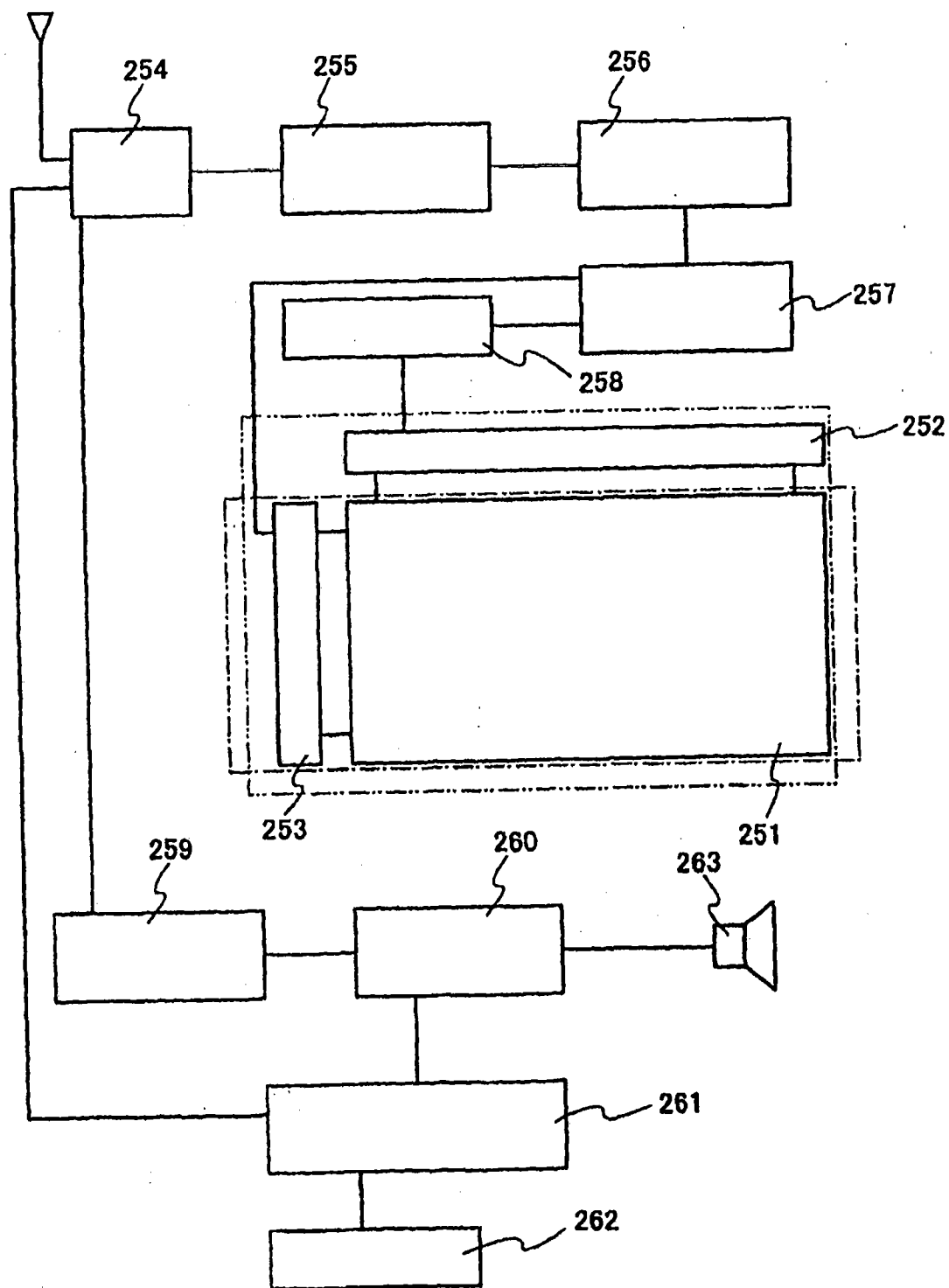


图 38

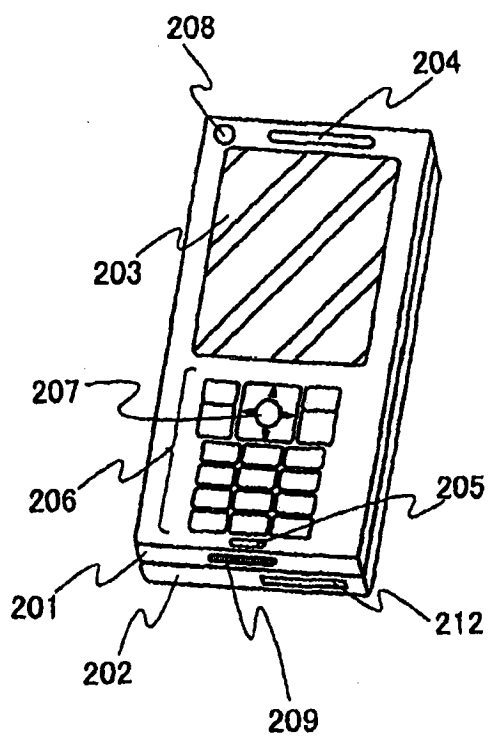


图 39A

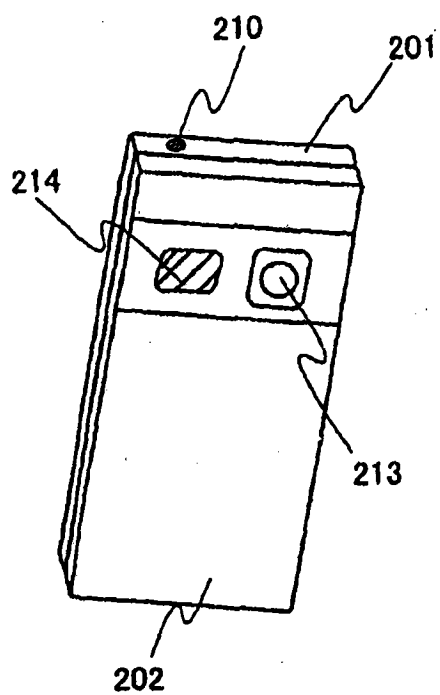


图 39B

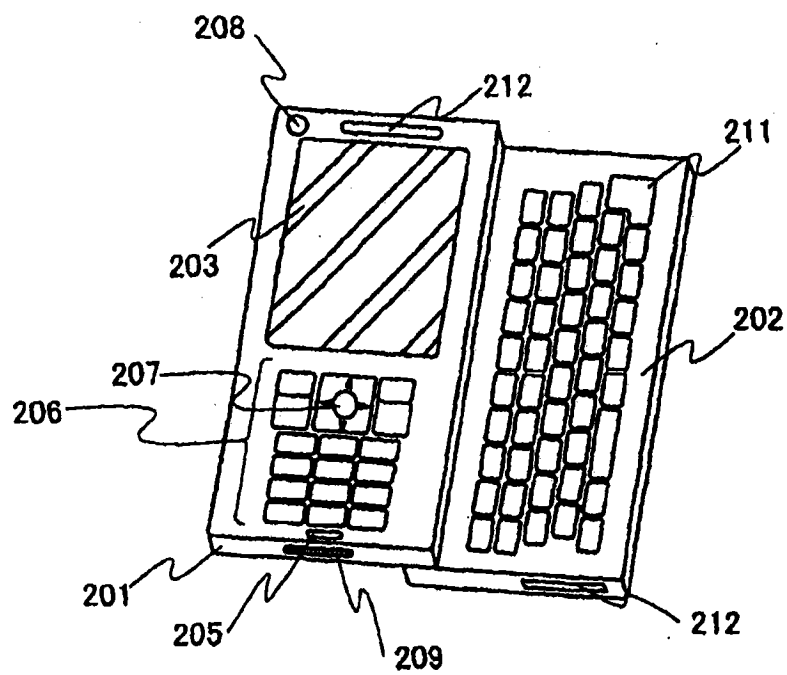


图 39C

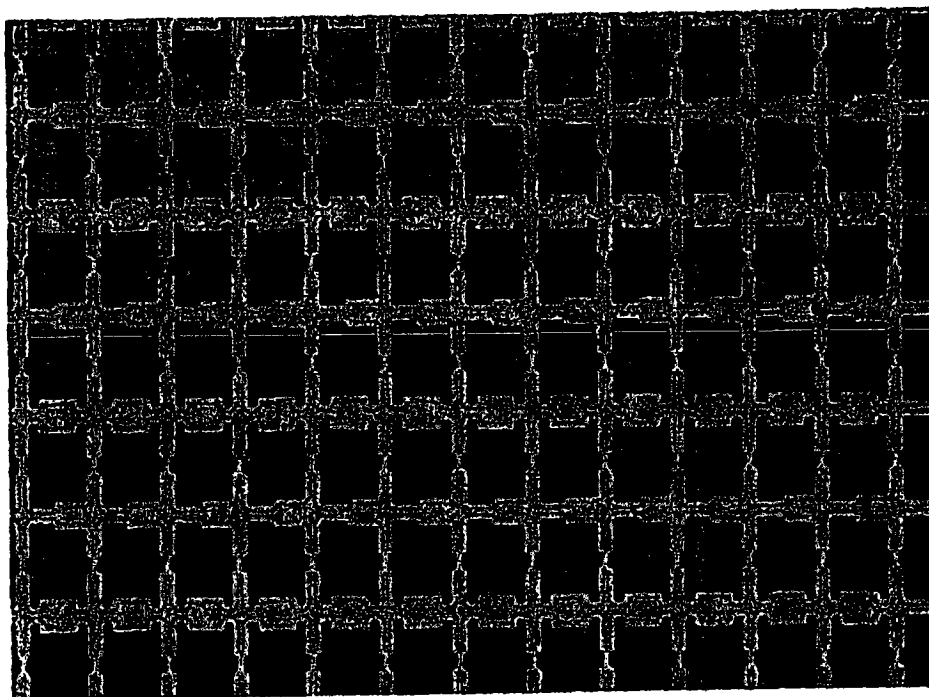


图 40A

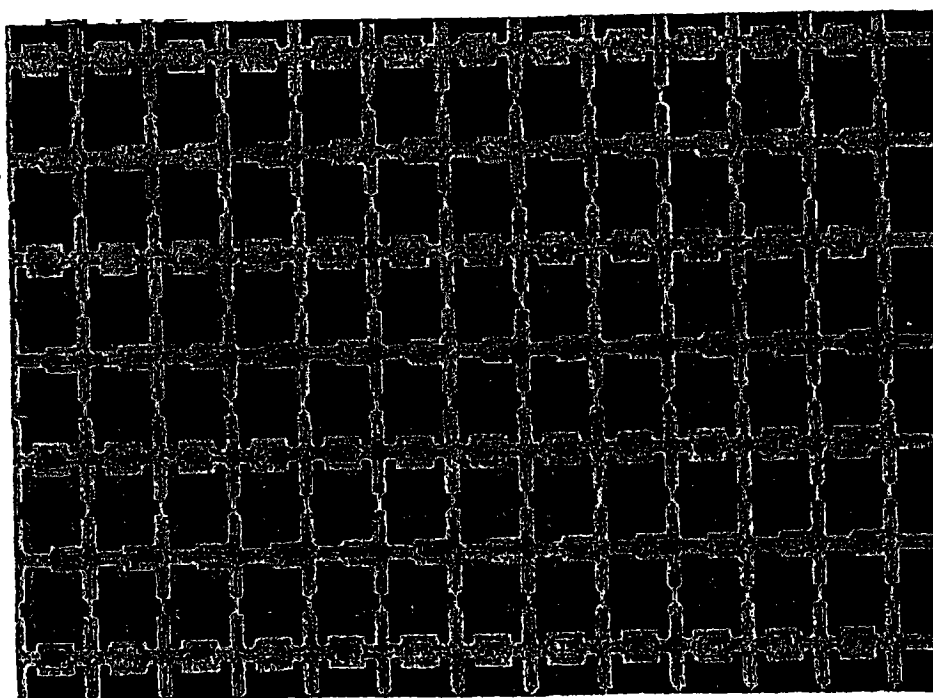


图 40B

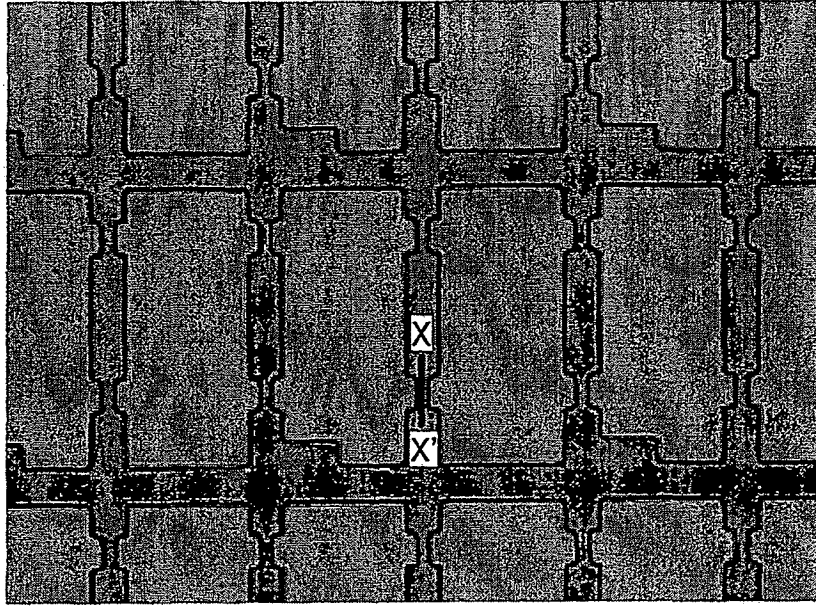


图 41A

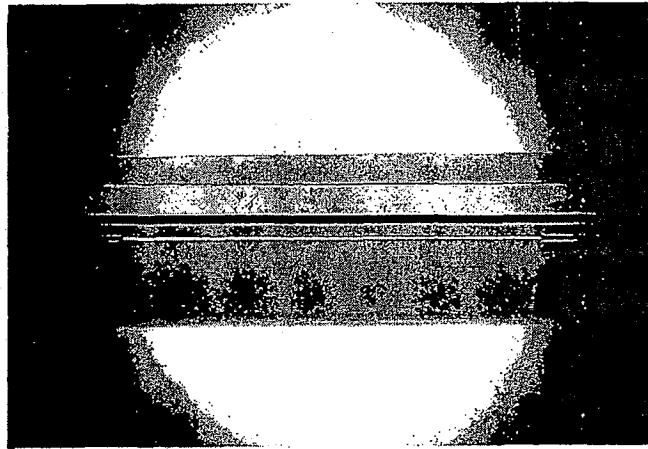


图 41B

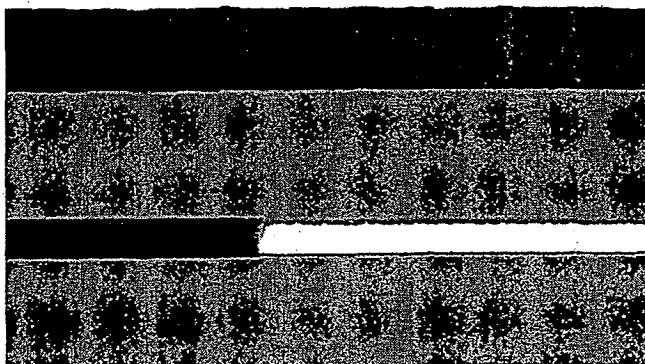


图 41C

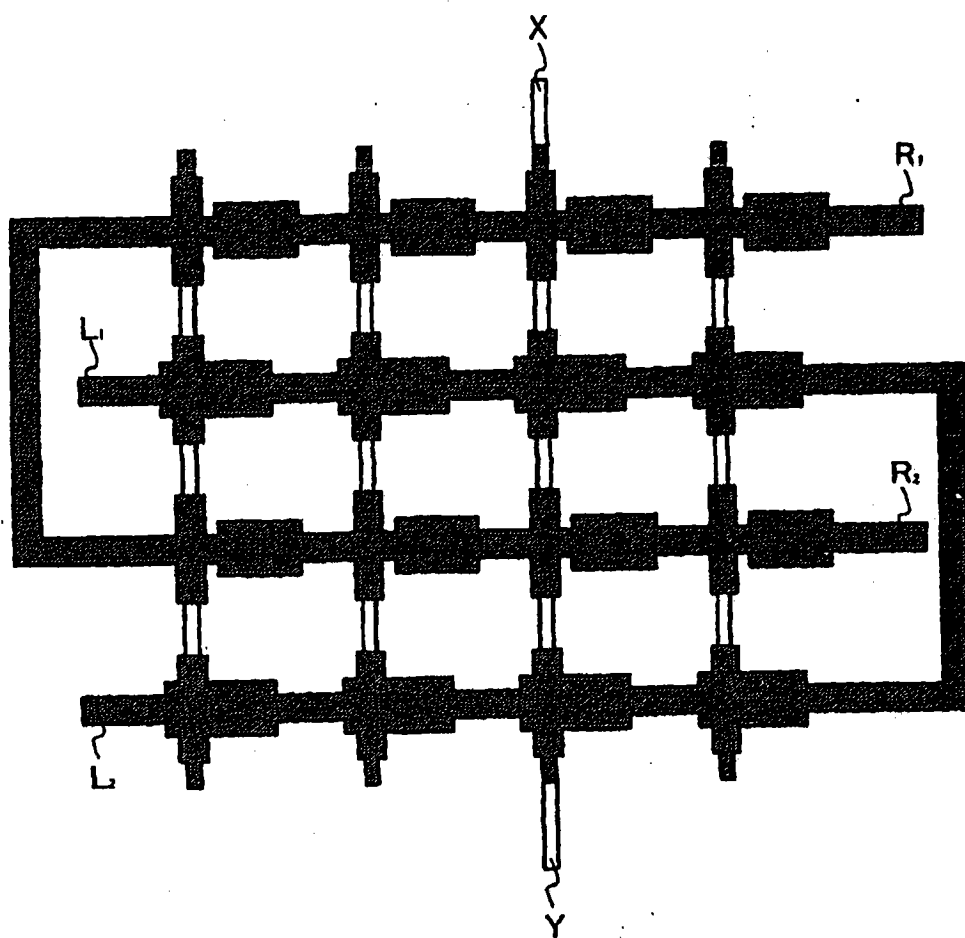


图 42

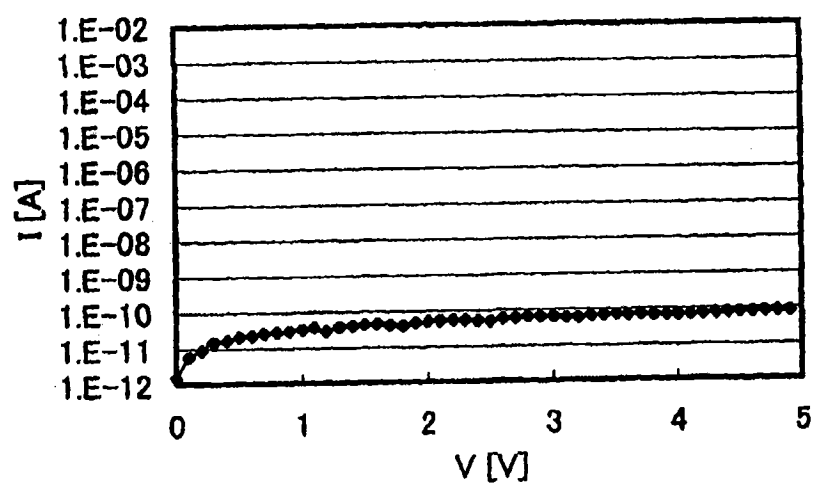


图 43A

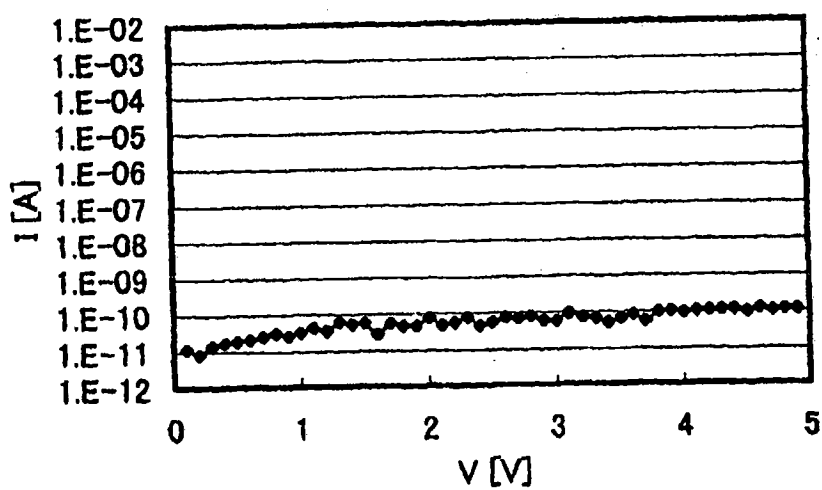


图 43B

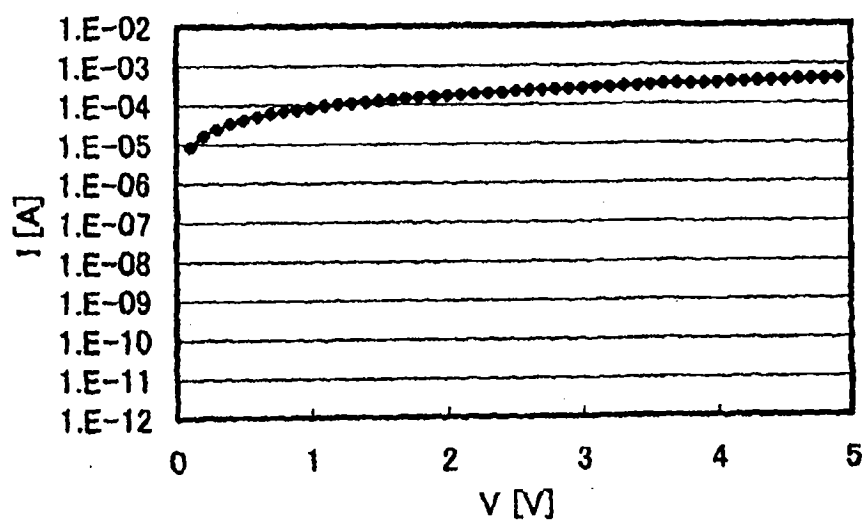


图 44A

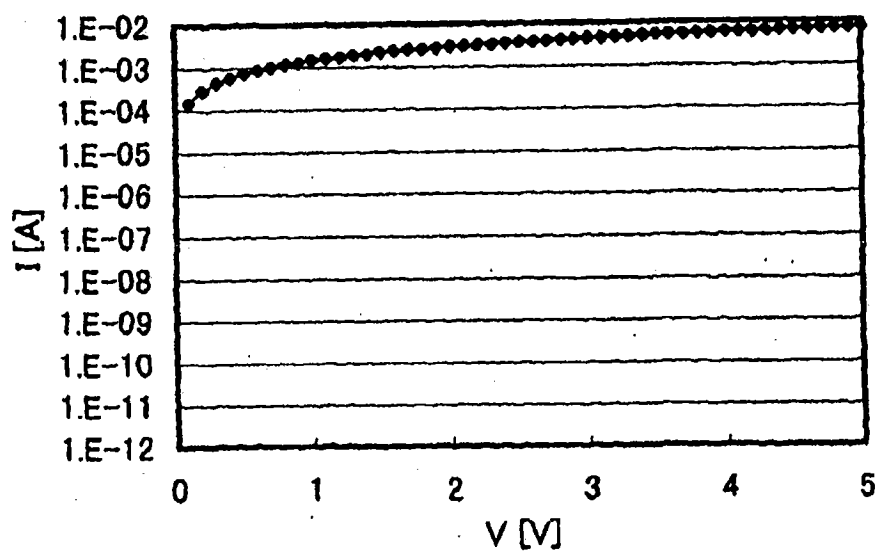


图 44B