

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4503677号
(P4503677)

(45) 発行日 平成22年7月14日(2010.7.14)

(24) 登録日 平成22年4月30日(2010.4.30)

(51) Int.Cl.

H01L 25/065 (2006.01)
H01L 25/07 (2006.01)
H01L 25/18 (2006.01)

F 1

H01L 25/08

Z

請求項の数 13 (全 36 頁)

(21) 出願番号 特願2008-509150 (P2008-509150)
 (86) (22) 出願日 平成18年4月27日 (2006.4.27)
 (65) 公表番号 特表2008-539599 (P2008-539599A)
 (43) 公表日 平成20年11月13日 (2008.11.13)
 (86) 國際出願番号 PCT/US2006/016143
 (87) 國際公開番号 WO2006/118982
 (87) 國際公開日 平成18年11月9日 (2006.11.9)
 審査請求日 平成21年4月22日 (2009.4.22)
 (31) 優先権主張番号 60/594,711
 (32) 優先日 平成17年4月29日 (2005.4.29)
 (33) 優先権主張国 米国(US)
 (31) 優先権主張番号 60/692,842
 (32) 優先日 平成17年6月20日 (2005.6.20)
 (33) 優先権主張国 米国(US)

(73) 特許権者 506164899
 スタッツ・チップパック・リミテッド
 S T A T S C H I P P A C L T D.
 シンガポール、768442 シンガポー
 ル、イーション・ストリート、23、5
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100083703
 弁理士 仲村 義平
 (74) 代理人 100096781
 弁理士 堀井 豊
 (74) 代理人 100098316
 弁理士 野田 久登

最終頁に続く

(54) 【発明の名称】上側および下側の基板表面を露出させた半導体パッケージ

(57) 【特許請求の範囲】

【請求項 1】

半導体パッケージアセンブリであって、第1のパッケージ基板のダイ取付側の上に実装され、第1のパッケージ基板のダイ取付側に電気的に接続された少なくとも1つのダイを備え、前記半導体パッケージアセンブリはさらに、前記ダイの上に実装された第2の基板を備え、ダイ取付側に対向する第1のパッケージ基板の側は基板のランド側であり、前記第2の基板は、前記第1のパッケージ基板のダイ取付側に面している第1の側と、前記第1のパッケージ基板のダイ取付側から離れる方に向いている、ランド側である第2の側とを有し、その結果、基板のランド側は互いに離れる方に向いており、前記第1のパッケージ基板および前記第2の基板の間のz相互接続は、前記第1のパッケージ基板の前記ランド側の縁のエリアにおけるワイヤボンド箇所と、前記第2の基板の前記第1の側の縁のエリアにおける、周辺に位置するワイヤボンド箇所との間であって、かつ前記第1のパッケージ基板および前記第2の基板を接続するワイヤボンドによるものであり、前記第2の基板の前記第2の側の少なくとも一部および前記第1のパッケージ基板の前記ランド側の少なくとも一部の両方が露出するように前記第1のパッケージ基板および前記第2の基板はアセンブリ封止部により封止され、

前記ダイは、ワイヤボンドによって前記第1のパッケージ基板と電気的に接続される、半導体パッケージアセンブリ。

【請求項 2】

前記第2の基板は前記第1のパッケージ基板よりも大きい、請求項1に記載の半導体パ

ッケージアセンブリ。

【請求項 3】

前記アセンブリ封止部は、前記第1のパッケージ基板と前記第2の基板との間のスペースを保つためのスペーサが接触していない前記第2の基板の第1の側のエリアを覆い、z相互接続ワイヤボンドおよびワイヤループ、前記第1のパッケージ基板の端縁、ならびに前記第1のパッケージ基板のランド側の縁のエリアを密閉し、その結果、前記第2の基板のランド側および前記縁のエリアの内側に位置する第1のパッケージ基板のランド側のエリアの両方を露出したままにし、

前記スペーサは前記第2の基板の前記第1の側と前記ダイの上面との間または前記第2の基板の前記第1の側と前記第1のパッケージ基板の前記ダイ取付側との間に配置されている、請求項2に記載の半導体パッケージアセンブリ。

10

【請求項 4】

前記第1のパッケージ基板は前記第2の基板よりも大きい、請求項1に記載の半導体パッケージアセンブリ。

【請求項 5】

前記アセンブリ封止部は、前記スペーサが接触していない前記第2の基板の第1の側のエリアを覆い、前記z相互接続ワイヤボンドおよびワイヤループ、前記第2の基板の端縁、ならびに前記第2の基板のランド側の縁のエリアを密閉し、その結果、前記第1のパッケージ基板のランド側および前記縁のエリアの内側に位置する前記第2の基板のランド側のエリアの両方を露出したままにする、請求項3に記載の半導体パッケージアセンブリ。

20

【請求項 6】

前記第2の基板はスペーサによって前記ダイの上に支持され、前記スペーサはワイヤループの高さを収容するために前記第2の基板の前記第1の側と前記ダイの上部との間に十分な空間を与える、請求項1に記載の半導体パッケージアセンブリ。

【請求項 7】

前記第2の基板はスペーサによって前記第1のパッケージ基板の上に支持され、ワイヤループの高さを収容するために前記第2の基板の前記第1の側と前記ダイの上部との間に十分な空間を与える、請求項1に記載の半導体パッケージアセンブリ。

【請求項 8】

前記第2の基板は、前記ダイの上に実装されたスペーサによって前記ダイの上に支持される、請求項1に記載の半導体パッケージアセンブリ。

30

【請求項 9】

前記第2の基板は、前記第1のパッケージ基板の上に実装されたスペーサによって前記ダイの上に支持される、請求項1に記載の半導体パッケージアセンブリ。

【請求項 10】

前記ダイおよび前記第1のパッケージ基板は、前記第1のパッケージ基板との前記ダイの電気的な相互接続部とともに、パッケージサブアセンブリを構成する、請求項1に記載の半導体パッケージアセンブリ。

【請求項 11】

前記第1のパッケージ基板および前記第2の基板のいずれかはボールグリッドアレイ基板であり、下にある回路との前記第1のパッケージ基板の第2のレベルの相互接続は、前記第1のパッケージ基板のランド側の露出した部分における相互接続によってなされる、請求項10に記載の半導体パッケージアセンブリ。

40

【請求項 12】

前記第1のパッケージ基板および前記第2の基板のいずれかはボールグリッドアレイ基板であり、下にある回路との前記第2の基板の第2のレベルの相互接続は、前記第2の基板の露出したランド側における相互接続によってなされる、請求項10に記載の半導体パッケージアセンブリ。

【請求項 13】

前記第1のパッケージ基板は前記第2の基板よりも大きく、下にある回路との前記第1

50

のパッケージ基板の第2のレベルの相互接続は、第1のパッケージ基板のランド側におけるはんだボール相互接続によってなされる、請求項10に記載の半導体パッケージアセンブリ。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願との相互参照

この出願は、「積層半導体パッケージシステム (Stacked semiconductor package system)」と題される、2005年4月29日に出願された米国仮出願番号第60/594,711号の優先権を主張し、この出願はまた、2005年6月20日に出願された米国仮出願番号第60/692,842号および2006年3月31日に出願された米国出願番号第11/394,635号の優先権を主張し、これらは両方とも「第2の基板を含み、上側および下側の基板表面を露出させた半導体パッケージ (Semiconductor package including second substrate and having exposed substrate surfaces on upper and lower sides)」と題され、これらは両方ともスタッツ・チップパック・リミテッド (STATS ChipPAC Ltd.) に譲渡された。

【0002】

この出願は、「上側および下側の基板表面を露出させた半導体積層パッケージアセンブリ (Semiconductor stacked package assembly having exposed substrate surfaces on upper and lower sides)」と題される、マルコス・カルネゾス (Marcos Karnezos) らによる米国出願番号第11/395,529号に関連し、「チップスケールパッケージおよび第2の基板を含み、上側および下側の基板表面を露出させた半導体アセンブリ (Semiconductor assembly including chip scale package and second substrate and having exposed substrate surfaces on upper and lower sides)」と題される、マルコス・カルネゾスらによる米国出願番号第11/397,027号に関連し、これらは両方とも2006年3月31日に出願され、これらは両方ともスタッツ・チップパック・リミテッドに譲渡された。

【0003】

背景

この発明は半導体のパッケージングに関する。

【背景技術】

【0004】

携帯電話、モバイルコンピューティングなどの携帯用電子製品およびさまざまなコンシューマ製品には、最低コストで、設置面積が限られかつ厚さおよび重量が最小の状態で、より高い半導体の機能性および性能が必要である。このため、業界は、個々の半導体チップ上の集積化を増大させることを余儀なくされ、「z軸」上での集積化、すなわち積層パッケージアセンブリ（積層マルチパッケージモジュール）を形成するためにチップを積層することによってまたはダイパッケージを積層することによって集積化を実現することを余儀なくされてきた。

【0005】

積層パッケージアセンブリは、設置面積および厚さが最小であるアセンブリにおいて高い機能集積度を与える必要があるアプリケーションで利用される。特に電気通信装置がたとえば画像、オーディオもしくはビデオの取込および表示または実行の機能を含む場合には、セルラー電話などの携帯用電気通信装置はこのようなアプリケーションの一例である。

【0006】

望ましくは一体化され得る機能の例は、デジタル信号 (D S P)、A S I C、グラフィックス (G P U) を含むさまざまなプロセス、フラッシュ (N A N D)、フラッシュ (N O R)、S R A M、D R A M、M R A Mを含むさまざまなメモリ、メモリを有する光センサを含む画像およびビデオの取込、プロセッサおよびメモリを有するマイクロ・エレクト

10

20

30

40

50

口・メカニカルシステム (micro-electro-mechanical system) (MEMS) のための装置を含む。

【0007】

積層パッケージアセンブリにおけるパッケージ間の z 相互接続は、製造可能性、設計の柔軟性およびコストの観点から極めて重要な技術である。積層パッケージアセンブリは、ワイヤボンドまたははんだボールまたはフリップチップ相互接続を使用して z 方向にチップおよびパッケージを積層しつつ電気的に相互接続することによって、チップおよびパッケージを一体化する。

【0008】

積層パッケージは多くの利点をもたらし得る。特に、各々のダイまたは 2 つ以上のダイは、ワイヤボンディングまたはフリップチップなどの、チップタイプおよび構成に最も効率的な第 1 のレベルの相互接続技術を使用して、積層状態のそれぞれのパッケージの中にパッケージングされることができ、性能を最大化しつつコストを最小限に抑える。

10

【0009】

パッケージを積層する前に、構成要素が満足のいく性能を示さない限り不合格にできるように、積層された構成要素（ダイまたはパッケージ）を電気的に検査できることが望ましい。これによって、最終的な積層パッケージアセンブリの歩留りを最大化できる。この利点を実際に実現するために、パッケージは、確立した検査インフラストラクチャを使用して検査可能であるように構成されなければならない。概して、パッケージングされたダイを検査することができる個々のダイを検査することよりも好ましい。なぜなら、個々のダイを検査することによってダイ上の相互接続パッドに損傷が与えられる可能性があるためである。

20

【0010】

（特に、たとえば、製品がセルラー電話などの携帯用通信装置である場合に）製品の製造業者はしばしば、アセンブリが收まらなければならない空間の寸法を決定する。すなわち、製造業者は、指定された機能性を有するアセンブリの総設置面積（長さおよび幅）ならびに厚さが特定の仕様の範囲内であることを要求することになる。このような制約を提示されると、設計者は、厚さおよび設置面積の制約の範囲内で機能性の要求を満たすパッケージならびに積層設計およびプロセスを、コストの制約の範囲内で選択できなければならない。

30

【0011】

したがって、機能の設計者に設計の柔軟性を与えるマルチパッケージ積層構造および積層プロセスを選択することが望ましい。特に、たとえば、さまざまな利用可能な仕入先のいずれかからパッケージまたはチップを選択し、構成要素のコストを最小限に抑えるために、アセンブリ内でチップまたはパッケージのタイプに変更を加え、変更したアセンブリを再び適したものにする必要性を回避するために、および表面実装組立てフロアでの最終製品段階でアセンブリ積層プロセスを完成させ、実際の製品化までの時間が最短の状態で、市場が要求する製品の構成を可能にするために、設計者は構造またはプロセスを再設計する必要なく柔軟性を持つべきである。

【0012】

40

急速に変化する市場の需要に対処することは課題を提示し得る。たとえば、セルラー電話などのコンシューマ機器を設計する一般的な期間は典型的には、マーケットシフトの期間よりも長い。特定の機能性（たとえばセルラー電話におけるウェブ閲覧の機能性）がコンシューマ機器において望ましいという認識が業界で進展する場合があり、設計者はその機能性をアセンブリに組込むことができる。次いで、短期間の内に、市場における需要が、認識していたものとは異なることが明らかになる場合があり、その機能性を取り外すかまたはその機能性をオプションとして市場で発表することが望ましい場合がある。したがって、「その場で (on the fly)」装置を構成できる、すなわちアセンブリ全体を再設計する必要なく装置の中で機能性を追加できるまたは取り外せることができる望ましい。

【0013】

50

携帯通信装置（たとえばセルラー電話）およびコンピュータなどの製品を組立てるために業界で利用される表面実装アセンブリ方法を使用して、アセンブリにおける他のパッケージの上にたとえばメモリ（フラッシュ、SRAM、DRAM）などの既製のパッケージングされたチップを積層できることも望ましい。特に、ある製品用のメモリのタイプは、機能性が異なるごとに異なっている可能性がある。たとえば、画像取込の機能性がセルラー電話において望まれる場合には、高速メモリ（DRAM）が必要であろう。

【0014】

積層パッケージアセンブリで利用されるパッケージおよび製造プロセスは、選択された構造のための選択されたプロセスを使用して、パッケージの物理的な積層およびパッケージ間の電気的な相互接続部の形成の両方を可能にするように構成されなければならない。

10

【0015】

積層マルチパッケージアセンブリは概して、2つのカテゴリ、つまり、いわゆる「パッケージ・オン・パッケージ（Package-on-Package）」（POP）アセンブリおよびいわゆる「パッケージ・イン・パッケージ（Package-in-Package）」（PIP）アセンブリに分類される。

【0016】

2層POPマルチパッケージモジュールの例は、たとえば2003年10月8日に出願された同時係属中の米国出願番号第10/681,572号に示される。一例では、（「底部」パッケージと称される）第1のパッケージは標準的なBGAと類似しており、標準的なBGAは、BGA基板のダイ取付側（「上」側）に付着され、BGA基板のダイ取付側と電気的に接続されたダイを有し、かつ、ダイおよび電気的な接続部を覆うが基板のダイ取付側の縁のエリアを露出したままにするモールドキャップを与えるようにキャビティがモールドされている。ダイ取付側に対向する底部パッケージ基板の側（「ランド」側と称されることができる「下」側）は、たとえばマザーボードなどの下にある回路とのモジュールの第2のレベルの相互接続のためのはんだボールを備える。（「上部」パッケージと称される）第2のパッケージが底部パッケージ上に積層され、第2のパッケージも、上部パッケージのランド側に設けられたはんだボールが、底部パッケージのダイ取付側の露出した縁のエリアにおける相互接続箇所の上に載るように上部パッケージ基板の周辺に配置されることを除いて、標準的なBGAと類似している。周辺に配置されたボールは、底部パッケージにおける周辺に位置する相互接続箇所と接触し、次いでその上にリフローされると、底部BGAのモールドキャップと干渉することなくz相互接続をもたらす。上部パッケージダイおよび電気的な接続部も封止される。

20

【0017】

POPモジュールで利用されるz相互接続部のタイプは、上部および底部パッケージ基板がz相互接続ボール用のマッチングパッドとともに設計されることを必要とする。パッケージのうちの1つが、異なるパッドの構成（異なる大きさまたは異なる設計）を基板が有するパッケージと交換される場合、他のパッケージの基板はそれにしたがって再構成されなければならない。これはマルチパッケージモジュールの製造コストを増大させることに繋がる。POP構成では、上部パッケージと底部パッケージとの間の距離は少なくとも底部パッケージの封止高さと同じぐらい大きくなければならず、ダイの数に応じて、およびダイと基板との電気的な接続がフリップチップによるものであるかまたはワイヤボンドによるものであるかに応じて、0.25mm以上であってもよく、典型的には0.5mmから1.5mmの範囲にある。たとえば、底部パッケージにおける单一のワイヤボンドダイでは、300μmのモールドキャップは典型的には75μmの厚さのダイを収容できる。z相互接続はんだボールの直径はしたがって、リフローされたときに、上部パッケージ基板のランド側と底部パッケージモールドキャップの上面との間で接触することなく底部BGAのボンディングパッドと十分に接触するのに十分に大きくなければならない。すなわち、はんだボールの直径は、リフロー中のはんだボールの崩壊およびボールと基板とが同一平面上にないことが可能であるような量だけ封止高さよりも大きくなければならない。崩壊したボールの高さと底部モールドキャップの高さとの間の典型的な設計差（さらな

30

40

50

る間隙)は約 $25\mu m$ である。たとえば、厚さが約 $300\mu m$ のモールドキャップでは、 $300\mu m$ よりも大きなz相互接続はんだボールを利用しなければならない。ボールの直径が大きくなることは、ボールのピッチが大きくなることを決定づける(たとえば、典型的には $300\mu m$ のボールでは約 $.65mm$ のピッチ)。それはひいては、底部パッケージ基板の周辺の利用可能な空間に収められることができるボールの数を制限する。さらに、はんだボールの周辺の構成によって、底部BGAは標準的なBGAのモールドキャップよりも大幅に大きくならざるを得ない。そして、はんだボールの周辺の構成によって、パッケージ全体の大きさが大きくなる(ボールの列の数およびボールピッチに応じて大きさが大きくなる)。標準的なBGAでは、本体の大きさはモールドキャップよりも約 $2~3mm$ も大きい可能性がある。さらに、PoP構成における上部パッケージは、たとえはるかに少ない相互接続部を有する小さなチップを含んでいるとしても、底部パッケージに匹敵する大きさにされなければならない。ボールの取付(たとえば追加のボールの列)用により大きなエリアを与えるためにパッケージの設置面積を増大させることは、特定の適用例では大きさの限界を超える可能性があり、いずれにしてもより長いワイヤボンドの全長およびより大きな基板面積を必然的に伴い、これらは両方ともこれらの構成要素のコストを増大させる。パッケージ間の相互接続部の数が増大することによって、基板の電気的な接続部内でのルーティングを容易にするために上部パッケージ基板が少なくとも2つ(および多くの場合3つ以上)の金属層を有することが必要になる可能性がある。いくつかの適用例では、底部パッケージに2つのダイを積層させることがPoP構成において実用的でない場合がある。なぜなら、これによって、底部モールドキャップがさらに厚くなるためであり、上述の問題を悪化させるためである。

【0018】

上部および底部パッケージ基板の上向きに向いた側の間にワイヤボンドによるz相互接続部を有する2層PiPモジュールの例は、たとえば2003年8月2日に出願された同時係属中の米国出願番号第10/632,549号および2003年10月8日に出願された米国出願番号第10/681,572号に開示される。PiP構成では、上部パッケージは、底部パッケージと同一の方向に向けられる(すなわち、両方のパッケージ基板のダイ取付側が同一の方向に向いている)場合もあれば、上部パッケージが底部パッケージに対して反転される(すなわち、それぞれのパッケージ基板のダイ取付側が互いに向き合っている)場合もある。第2のレベルの相互接続はんだボールは、たとえばマザーボードなどの下にある回路とモジュールを接続するために底部パッケージ基板のランド側に設けられる。上部パッケージが反転される構成では、z相互接続ワイヤボンドは、上部基板のランド側におけるワイヤボンド箇所を、底部パッケージ基板のダイ取付側の、周辺に配置されたワイヤボンド箇所と接続する。上部および底部パッケージが同一の方向に向けられる場合には、z相互接続ワイヤボンドは、上部基板のダイ取付側における周辺に配置されたワイヤボンド箇所を、底部パッケージ基板のダイ取付側における周辺に配置されたワイヤボンド箇所と接続する。両方の構成において、ワイヤボンドプロセスに対処するために、上部パッケージは底部パッケージよりも小さくなければならない(z相互接続部を有する各々の縁で少なくとも $0.5mm$ だけ狭いおよび/または短い)。

【発明の開示】

【発明が解決しようとする課題】

【0019】

PoPモジュールまたはPiPモジュールは、オーバーモールディングによって完成して、上部パッケージおよびパッケージ間のワイヤボンド相互接続部を完全に覆う。一旦モジュールがオーバーモールドされると、さらなる集積化を行なうことはできない。すなわち、設計者は製品組立てレベルにおいて(すなわち、表面実装組立てフロアにおいて)アセンブリを再構成する柔軟性を持たず、当初の機器の製造業者はコストを低減するためにさまざまな供給業者からのさまざまなパッケージを組合せることはできない。

【課題を解決するための手段】

【0020】

概要

この発明は、第1のパッケージ基板のダイ取付側の上に実装され、第1のパッケージ基板のダイ取付側に電気的に接続された少なくとも1つのダイを有し、かつ、ダイの上に実装された第2の基板を有する半導体パッケージに向けられる。ダイ取付側に対向する第1のパッケージ基板の側は、基板の「ランド」側と称されることができる。第2の基板は、第1のパッケージ基板のダイ取付側に面している第1の側と、第1のパッケージ基板のダイ取付側から離れる方に向いている、(第2の基板の「ランド」側と称されることができる)第2の側とを有する。したがって、基板の「ランド」側は互いに離れる方に向いている。第1のパッケージ基板および第2の基板のz相互接続は、第1のパッケージ基板および第2の基板を接続するワイヤボンドによるものである。

10

【0021】

概してこの発明に従うと、第2の基板の第2の側の少なくとも一部および第1のパッケージ基板のランド側の少なくとも一部の両方が露出するように第1のパッケージ基板および第2の基板はアセンブリ封止部により封止され、その結果、第2のレベルの相互接続および追加の構成要素との相互接続がなされ得る。

【0022】

いくつかの実施例では、ダイはワイヤボンドによって第1のパッケージ基板と電気的に接続され、これらの実施例では、第2の基板はスペーサによってダイの上に支持され、スペーサはワイヤループの高さを収容するために第2の基板の第1の側とダイの上部との間に十分な空間を与える。第2の基板は、ダイの上に実装された(たとえば「ダミー(dummy)」ダイなどの)スペーサによって支持される場合もあれば、第2の基板は第1のパッケージ基板の上に実装されたスペーサ(たとえばエポキシドットまたはピア)によって支持される場合もある。

20

【0023】

第1のパッケージ基板と第2の基板との間のz相互接続は、第1のパッケージ基板のランド側の縁のエリアにおけるワイヤボンド箇所と、第2の基板の第1の側の縁のエリアにおける、周辺に位置するワイヤボンド箇所との間のワイヤボンドによる。

【0024】

この発明の1つの一般的な局面に従うと、第2の基板は、ワイヤボンドの全長を収容するために第1のパッケージ基板よりも大きい(すなわち、幅が広いもしくは長い、または幅が広くかつ長い)。アセンブリ封止部は、スペーサが接触していない第2の基板の第1の側のいかなるエリアも覆い、z相互接続ワイヤボンドおよびワイヤループ、第1のパッケージ基板の端縁、ならびに第1のパッケージ基板のランド側の縁のエリアを密閉する。したがって、第2の基板のランド側および縁のエリアの内側に位置する第1のパッケージ基板のランド側のエリアは両方、露出したままである。

30

【0025】

この発明の別の一般的な局面に従うと、第1のパッケージ基板は、ワイヤボンドの全長を収容するために第2の基板よりも大きい(すなわち、幅が広いもしくは長い、または幅が広くかつ長い)。この局面に従うアセンブリでは、アセンブリ封止部は、スペーサが接触していない第2の基板の第1の側のいかなるエリアも覆い、z相互接続ワイヤボンドおよびワイヤループ、第2の基板の端縁、ならびに第2の基板のランド側の縁のエリアを密閉する。したがって、第1のパッケージ基板のランド側および縁のエリアの内側に位置する第2の基板のランド側のエリアは両方、露出したままである。

40

【0026】

この発明の一局面に従うと、ダイおよび第1のパッケージ基板は、第1のパッケージ基板とのダイの電気的な相互接続部とともに、パッケージサブアセンブリを構成する。いくつかの実施例では、第1のパッケージ基板はボールグリッドアレイ基板を含み、マザーボードなどの下にある回路とのパッケージの第2のレベルの相互接続は、第1のパッケージ基板のランド側の露出した部分または第2の基板の露出したランド側におけるはんだボール相互接続(または他の第2のレベルの相互接続)によってなされるか、または、第1の

50

パッケージ基板が第2の基板よりも大きい場合には、マザーボードなどの下にある回路とのパッケージの第2のレベルの相互接続は、第1のパッケージ基板のランド側におけるはんだボール相互接続によってなされる。

【0027】

いくつかの実施例では、パッケージサブアセンブリは、第1のパッケージ基板の上に付着され、第1のパッケージ基板と電気的に相互接続されたダイを含む。いくつかの実施例では、パッケージにおけるダイはワイヤボンディングによって第1のパッケージ基板と相互接続され、またはパッケージにおけるダイはフリップチップ相互接続によって第1のパッケージ基板と相互接続される。

【0028】

好ましい実施例では、パッケージのパッケージサブアセンブリ側は第2のレベルの相互接続側である。すなわち、(たとえばマザーボードなどの)下にある回路とのパッケージの第2のレベルの相互接続は、第1のパッケージ基板のランド側の露出したエリア上のランドにおけるはんだボール(または電気的な接続の他の手段)による。したがって、第2の基板の露出したランド側は、アセンブリの上に積層され得る追加の構成要素と相互接続するのに利用可能である。さらなる局面では、次いで、この発明は、パッケージの一方の側において露出した第2の基板と、アセンブリの対向する側において露出した第1のパッケージ基板の一部との両方を有し、かつ、第1のパッケージ基板の露出した部分に形成された第2のレベルの相互接続部と、露出した第2のパッケージ基板における1つ以上の追加の構成要素との相互接続部とを含む半導体パッケージを特徴としている。いくつかの実施例では、追加の構成要素は、積層ダイボールグリッドアレイ(ball grid array)(BGA)であり得るBGAパッケージ、または積層ダイLGAであり得る追加のLGA、または積層ダイ・クアッド・フラット・パッケージ(stacked die quad flat package)(SD QFP)であり得るクアッド・フラット・パッケージ(QFP)、または積層ダイ・クアッド・フラット・パッケージ(SD QFN)であり得るクアッド・フラット・ノンリード(quad flat nonlead) (QFN)パッケージまたはリードフレームチップスケールパッケージ(lead frame chip scale package)(LFCSP)、またはオーバーモールドされ得るワイヤボンドダイ(もしくはワイヤボンドダイの層)、またはフリップチップダイ、または光センサパッケージ、またはマイクロ・エレクトロ・メカニカルセンサ(micro-electro-mechanical sensor)(MEMS)パッケージのうち1つ以上を含み、追加の構成要素は1つ以上の受動素子をさらに含んでいてもよい。いくつかの実施例では、ヒートスペッダが第2の基板の露出したランド側の上に実装される。

【0029】

この発明の別の局面に従うと、半導体アセンブリを作るための方法は、好ましくはボールグリッドアレイ(BGA)またはランドグリッドアレイ(land grid array)(LGA)基板のストリップのようなボールグリッドアレイまたはランドグリッドアレイ基板を設けるステップと、BGAまたはLGA基板の上にダイおよび相互接続部を実装して、パッケージサブアセンブリを形成するステップと、たとえばダイの上に実装されかつ表面上に接着剤を備えるスペーサのようなもしくは第1のパッケージ基板の上に実装される接着性スペーサのようなスペーサまたはスペーサアセンブリをパッケージサブアセンブリの上に実装するステップと、スペーサ上の接着剤の上または接着性スペーサの上に第2の基板を実装するステップと、接着剤または接着性スペーサを硬化させるステップと、プラズマ洗浄を行なうステップと、ワイヤボンディングを行なって、第2の基板の第1の側と第1のパッケージ基板のランド側との間にz相互接続部を形成するステップと、プラズマ洗浄を行なうステップと、モールディング操作を行なって、基板の第1の側、z相互接続ワイヤボンドおよびワイヤループ、第1のパッケージ基板の端縁、ならびに第1のパッケージ基板のランド側の縁のエリアを密閉し、第2の基板の第2の(「ランド」)側および縁のエリア内に位置する第1のパッケージ基板のランド側のエリアを露出したままにするステップと、第2のレベルの相互接続はんだボールを第1のパッケージ基板の露出したエリア上の箇所に取付けるステップと、(第2の基板がストリップまたはアレイ状に設けられた場

10

20

30

40

50

合には)鋸で切り分けて、パッケージを完成させるステップとを含む。

【0030】

いくつかの実施例では、上記方法はさらに、第2の基板の露出したランド側において、追加の構成要素を付着させ、追加の構成要素を電気的に接続するステップを含む。追加の構成要素は、積層パッケージアセンブリを製造する際にさらなるステップとしてアセンブリの上に実装される可能性もあれば、追加の構成要素は最終的な製品組立フロアにおいてアセンブリの上に実装される可能性もある。

【0031】

この発明に従うパッケージでは、第2の基板は、z相互接続のために第1の側において露出したワイヤボンド箇所ならびにパッケージの検査のためにおよび/または追加の構成要素の相互接続のためにランド側において露出した箇所を有する限り、さまざまな基板のうちいずれも含み得る。追加の構成要素を有するモジュールまたはアセンブリはさまざまなLGAパッケージのうちいずれも含み得る。このアセンブリはワイヤボンドパッケージおよび/またはフリップチップパッケージを含み得る。このアセンブリはアセンブリの中またはアセンブリ上の1つ以上のヒートスプレッダによって可能になる熱強化特徴を含み得る。このアセンブリは、積層したまたは並んだ2つ以上のダイをパッケージの中に有する1つ以上のBGAおよび/またはLGAを含み得る。このアセンブリは1つ以上のパッケージのための電磁シールドを含み得る。このアセンブリは、z相互接続パッドが第1のパッケージ基板および第2の基板の周辺エリア上でボンディングに利用可能であるという条件で、任意の基板、すなわち積層板基板または積上げ基板または可撓性基板またはセラミック基板を含み得る。

【0032】

この発明は、優れた製造可能性、高い設計の柔軟性および低コストをもたらして、プロファイルが低くかつ設置面積が小さな積層パッケージモジュールを生み出す。

【0033】

パッケージおよびモジュールまたはアセンブリ、ならびにダイおよび基板およびダイ積層プロセスおよび相互接続プロセスは業界内で標準的なものであり、最低コストおよび最大幅の可用性の選択をもたらす。これは、積層されるべき構成要素の選択、したがってアセンブリに一体化できる機能の種類に大幅な柔軟性をもたらす。

【0034】

典型的な単一のワイヤボンドダイサブアセンブリの厚さは、(接着剤を含む)ダイの上のスペーサと合わせて、約0.8mmである。この発明の構造に従ってパッケージサブアセンブリの上に第2の基板を積層することによって、追加の構成要素(パッケージまたはダイまたは受動素子)を積層するための、広範囲にわたって有用なプラットフォームが設けられる。この発明に従うアセンブリの設置面積は、層の最大チップサイズに応じて決定されることができる。ワイヤボンドz相互接続は概して、基板の金属端縁が短絡することなくワイヤを収容するために、パッケージサブアセンブリ基板が第2の基板よりも約0.5mmから1.0mmだけ小さいことが必要である。選択されたパッケージサブアセンブリが上部基板よりも大幅に小さい場合には、ワイヤボンディングは少なくとも8mm以上までの大きさの違いに対処できる。したがって、所与の選択されたパッケージサブアセンブリでは、これによって、設置面積が第1のパッケージよりも大幅に大きい上部基板を選択することができる。これは、アセンブリの上に積層されるべき追加の構成要素を選択するための大幅な柔軟性を設計者に与える。

【0035】

この発明に従うパッケージおよびモジュールまたはアセンブリは、コンピュータ、電気通信機器ならびに民生用および産業用電子装置を構築するために使用されることがある。

【発明を実施するための最良の形態】

【0036】

詳細な説明

10

20

30

40

50

ここで、この発明の代替的な実施例を示す図面を参照することによってさらに詳細にこの発明について記載する。この発明の特徴ならびに他の特徴および構造との関係を示す図面は概略的なものであり、一定の比例に応じているわけではない。説明の明確さを向上させるために、この発明の実施例を示す図面では、他の図に示されている要素に対応する要素はすべてが特に名称を変更されるわけではないが、すべての図面においてすべて容易に識別可能である。

【0037】

本明細書におけるいくつかの箇所では、「水平な (horizontal)」、「垂直な (vertical)」、「上に (on)」、「真上に (over)」、「下に (under)」、「上方に (above)」、「下方に (below)」、「最上部 (top)」、「底部 (bottom)」、「上部 (upper)」、「下部 (lower)」などの相対的な向きの用語は、図面に示す特徴の相対的な向きを基準にして使用されることができる。理解されるように、この発明に従うさまざまなアセンブリは、使用時にまたは加工中にいずれの向きに保持されてもよい。10

【0038】

上記または下記において本明細書で参照されるすべての特許および特許出願は、引用によって援用される。

【0039】

ここで図1を参照して、半導体パッケージアセンブリの実施例を概略的な断面図で概して1で示し、この半導体パッケージアセンブリは、第1の（図1では「底部」）パッケージサブアセンブリと、第1のパッケージサブアセンブリの上に積層した第2の（図1では「上部」）基板とを含み、パッケージおよび第2の基板はこの発明の局面に従ってワイヤボンディングによって相互接続される。図1に示す実施例では、底部パッケージサブアセンブリ100は、少なくとも1つの金属層を有する第1の（底部）パッケージ基板112の上に取付けられたダイ114を含む。たとえば2～6つの金属層を有する積層板、または4～8つの金属層を有する積上げ基板、または1～2つの金属層を有する可撓性のポリイミドテープ、またはセラミック多層基板を含むさまざま基板タイプのいずれが使用されてもよい。図1に一例として示す第1のパッケージ基板112は2つの金属層121、123を有し、各々は適切な回路を設けるためにパターニングされ、ビア122を介して接続される。ダイは、従来から、図1に113で示す、典型的にはダイ取付エポキシと称される接着剤を使用して基板の表面に取付けられ、図1における構成では、ダイが上に取付けられる基板の側（「ダイ取付」側）は「上」側と称されることができ、その側の金属層は「上部」金属層と称されることができるが、ダイ取付側は使用時に任意の特定の向きを有する必要はない。2030

【0040】

図1の底部パッケージサブアセンブリでは、ダイは基板の上部金属層上のワイヤボンド箇所の上にワイヤボンドされて、電気的な接続部を確立する。

【0041】

たとえばマザーボード（図には図示せず）の下にある回路にアセンブリを第2のレベルで相互接続するために、ボンディングパッド119が基板112の下部金属層123上に設けられる。はんだマスク115、127が金属層121、123の上にパターニングされて、電気的に接続するためのボンディング箇所における下にある金属、たとえばワイヤボンド116およびはんだボール318をボンディングするためのワイヤボンド箇所ならびにボンディングパッドを露出させる。40

【0042】

依然として図1を参照して、第1の側および第2の側を有する第2の（「上部」）基板10は、基板誘電体12と少なくとも1つの金属層とを含む。さまざまな基板タイプのいずれが使用されてもよい。図1に一例として示す基板10は2つの金属層21、23を有し、各々は適切な回路を設けるためにパターニングされ、ビア22を介して接続される。第1のパッケージサブアセンブリに面している第2の基板の側は第1の側と称され、対向する側 - 第2の側または「ランド側」 - は第1のパッケージサブアセンブリから離れる方50

に向いている。

【0043】

図1の実施例における第2の基板10では、はんだマスク15、27が金属層21、23の上にパターニングされて、電気的に接続するためのポンディング箇所における下にある金属、たとえばワイヤボンド118をポンディングするためのワイヤボンド箇所を露出させる。

【0044】

図1の例における第2の基板は、第1のパッケージ基板のダイ側に実装されたドットまたはピア13によって支持されている。支持体13はたとえば充填エポキシバンプであってもよく、充填エポキシバンプは、ダイ114の表面129の上にワイヤボンド116のループの高さを収容するのに十分に大きな距離をおいて第2の基板をパッケージダイの上に保持するのに十分な高さを第1のパッケージ基板の上有する。
10

【0045】

第2の(「上部」)基板10および第1の(「底部」)パッケージサブアセンブリ10のz相互接続は、上部基板の下向きに向いている金属層(金属層21)上のトレースを、底部パッケージ基板の下部金属層123上のトレースと接続するワイヤボンド118を介してなされる。一端において、各ワイヤボンド118は、上部基板12の金属層21上のパッドの下向きに向いている面に電気的に接続され、他端において、各ワイヤボンドは、底部パッケージ基板112の下部金属層123上のパッドの下面に接続される。ワイヤボンドは、たとえば引用によって本明細書に援用される米国特許第5,226,582号に記載されるものなどの、当該技術分野において周知の任意のワイヤボンディング技術によって形成されることができる。基板とパッケージとのz相互接続ワイヤボンドは、上部基板の下部金属層上のパッドの表面上にビードまたはバンプを形成し、次いで底部基板の下部金属層上のパッドの方にワイヤを延伸し、底部基板の下部金属層上のパッドの上にワイヤを溶融することによって作られたものとして図1に一例として示す。理解されるように、ワイヤボンドは逆方向に、すなわち、底部基板の下部金属層上のパッドの下面にビードまたはバンプを形成し、次いで上部基板の金属層上のパッドの方にワイヤを延伸し、上部基板の金属層上のパッドの上にワイヤを溶融することによって、作られることができる。理解されるように、基板とパッケージとのz相互接続のためのワイヤボンディング戦略の選択は、積層基板の縁および積層基板上のポンディング面の幾何学的配置に従って決定されることになる。さらに、理解されるように、従来のワイヤボンディング機器では、ワイヤボンドキャピラリは上向きに向いたボンドパッドの上に下向きに突き当たり、したがって、少なくともワイヤボンディング手順に関してはこの発明に従うとアセンブリを反転させることになる。
20
30

【0046】

上で指摘したように、図1と同様の実施例では、上部基板は、上部基板が上に実装される第1のパッケージサブアセンブリの設置面積よりも大きく、ワイヤボンド118のためにボンドパッドが露出するエリアを上部基板の第1の側の周辺に残す。上部基板はパンチまたは鋸で切り分けられる。

【0047】

底部パッケージ基板のダイ取付側の上部金属層におけるボンドパッドはワイヤボンドによってダイに接続され、上部金属層は、基板のダイ取付側へのピアを介して底部パッケージ基板のランド側における下部金属層に接続され、底部パッケージ基板のランド側における下部金属層はパターニングされて、z相互接続ワイヤ118と接続するため、周辺に配置されたボンドパッドを設ける。
40

【0048】

この発明に従う構造によって、モジュールまたはアセンブリに組立てる前にパッケージを予備検査することが可能であり、組立に先立って不適合なパッケージを不合格にすることが可能であり、それによって最終的なモジュール検査の歩留まりを確実に高くする。

【0049】

50

図1の実施例では、それぞれの基板上のz相互接続パッドは、基板の縁の近くの金属層上に配置される。z相互接続パッドの位置および順序は概して、パッケージを積層するときに上部パッケージ基板上のz相互接続パッドが底部パッケージ上の対応するz相互接続パッドのほぼ上に横たわるように配置される。好都合なことに、上部基板10の基板設置面積は底部パッケージ100の基板設置面積よりも大きく、基板の金属層の端縁が電気的に短絡することなくワイヤボンドのための間隙が可能になる。

【0050】

積層した第1のパッケージおよび第2の基板を接続するz相互接続ワイヤボンドが一旦形成されると、アセンブリ封止部107が形成されて、z相互接続ワイヤボンドを密閉および保護し、完成したアセンブリに機械的な整合性を与える。アセンブリ封止部107は、支持体が接触していない第2の基板の下向きに向いている第1の側のエリアを覆い、z相互接続ワイヤボンドおよびワイヤループ、ならびに底部パッケージの垂直壁および端縁を密閉し、ワイヤループおよびワイヤボンドが接続されるワイヤボンドパッドを含む底部パッケージ基板のランド側の縁のエリアを覆う。これによって、第2のレベルの相互接続のために、底部パッケージ基板のランド側のエリアが露出したままになる。別の言い方をすれば、第1のパッケージ側のアセンブリ封止部にキャビティが形成され、第2のパッケージ基板のランド側の内側エリアを露出した（封止されない）ままにする。図3を参照して、はんだボール318が基板の下部金属層上のボンディングパッド119の上にリフローされて、たとえばコンピュータなどの最終製品のマザーボード（図には図示せず）の下にある回路への相互接続をもたらす。以下にさらに詳細に記載するように、追加のパッケージまたはダイを第2のパッケージ基板のランド側の上に実装でき、第2のパッケージ基板のランド側と電気的に接続させることができる。
10

【0051】

図1および図3に一例として示すように、パッケージは鋸で切り分けられてもよく、代替的には、モジュールは鋸で切り分けられるのではなく個々にモールドされてもよい。

【0052】

理解され得るように、第1のパッケージサブアセンブリは、第1のパッケージ基板へのダイのワイヤボンディング相互接続部ではなくフリップチップ相互接続部を有していてもよい。いくつかの実施例では、第2の基板用の支持体は、第1のパッケージサブアセンブリダイの上に実装されたスペーサであり得る。
30

【0053】

第1のパッケージは積層ダイパッケージであってもよい。図2は、図2の例では底部パッケージサブアセンブリが、2つのワイヤボンドされたダイを有する積層ダイをパッケージ基板の上に実装させ、パッケージ基板と電気的に相互接続されること以外は、概して図1と同様の半導体パッケージアセンブリ2を一例として示す。ここで図2を参照して、パッケージサブアセンブリ120では、第1のダイ114は接着剤を使用して基板112の（図では上向きに向いている）ダイ取付側に取付けられ、第2のダイ144は接着剤を使用して第1のダイ114の（上向きに向いている）ダイ取付側に取付けられる。第1のダイ114および第2のダイ144は、ワイヤボンド116、146によって、上部金属層121におけるボンド箇所にそれぞれに電気的に接続される。
40

【0054】

図2の例では、第2の基板10は図1の第2の基板10と実質的に同一である。パッケージアセンブリ2では、（たとえば「ダミー」ダイまたはシリコンもしくはガラスチップであり得る）スペーサ14が接着剤213を使用して最も上の積層ダイ144の上に実装され、第2の基板10はスペーサ14の表面の接着剤215を使用してスペーサ14の上に付着される。したがって、第2の基板の下向きに向いている面19は接着剤215の上に載っており、スペーサ14の厚さならびに接着剤213および215の厚さは、ワイヤボンド146のループの高さを収容するのに十分に大きいものであるように選択される。

【0055】

他のスペーサまたはスペーサ構造物がこの発明に従って利用されてもよい。たとえば、

10

20

30

40

50

スペーサ 14 は、ダイ 144 の上向きに向いている面 229 と基板 10 の下向きに向いている面 19 との間に所望の分離をもたらすのに十分な直径を有するポリマー球で充填された硬化可能な接着剤からなる接着性スペーサであってもよい。

【 0056 】

他の実施例では、第 2 のダイの設置面積が、ワイヤボンドと干渉することなく第 1 のダイの上に第 2 のダイを積層できないようなものである場合（たとえば第 2 のダイが第 1 のダイと同一の大きさであるか、または第 1 のダイよりも大きい場合）には、スペーサを第 1 のダイの上に実装でき、第 2 のダイをスペーサの上に実装できる。

【 0057 】

第 1 のパッケージサブアセンブリにおける第 1 のダイは、第 1 のパッケージ基板へのダイのワイヤボンディング相互接続部ではなくフリップチップ相互接続部を有していてもよく、第 2 のダイは、概して上述したように、第 1 の（フリップチップ）ダイの（上向きに向いている）裏面の上に実装されることができ、第 1 のパッケージ基板の上部金属層におけるボンドパッドにワイヤボンドされることができる。

【 0058 】

z 相互接続ワイヤボンド 218 は、概して図 1 で *z* 相互接続ワイヤボンド 118 について記載したように形成される。積層した第 1 のパッケージおよび第 2 の基板を接続する *z* 相互接続ワイヤボンドが一旦形成されると、アセンブリ封止部 207 が形成されて、*z* 相互接続ワイヤボンドを密閉および保護し、完成したアセンブリに機械的な整合性を与える。アセンブリ封止部 207 は、第 2 の基板の下向きに向いている第 1 の側の縁のエリアを覆い、*z* 相互接続ワイヤボンドおよびワイヤループ、ならびに底部パッケージの垂直壁および端縁を密閉し、ワイヤループおよびワイヤボンドが接続されるワイヤボンドパッドを含む底部パッケージ基板のランド側の縁のエリアを覆う。これによって、第 2 のレベルの相互接続のために、底部パッケージ基板のランド側のエリアが露出したままになる。図 3 に一例として示すように、はんだボール 318 が、露出した下部パッケージ基板の下部金属層上のボンディングパッド 119 の上にリフローされて、たとえばコンピュータなどの最終製品のマザーボード（図には図示せず）の下にある回路への相互接続をもたらす。

【 0059 】

代替的な実施例では、第 2 の基板の露出した側は第 2 のレベルの相互接続をもたらす。一例として、図 4 に示す実施例は、パッケージアセンブリをマザーボードなどの下にある回路に接続するために、第 2 のレベルの相互接続はんだボール 418 を金属層 23 上のパッド 419 の上に実装させる。このような実施例では、第 1 のパッケージ基板の露出した部分は、パッケージ、ダイまたは受動素子などの追加の構成要素の積層に利用可能である。しかしながら、第 1 のパッケージ基板の露出した部分は第 2 のパッケージ基板よりもエリアが限られており、第 1 のパッケージ側に作れることができる相互接続部の数を制限する。さらに、第 1 のパッケージ基板のランド側の縁のエリアを覆うアセンブリモールディング 207 の一部は、ワイヤボンド 218 のループの高さ（および許容差）を収容するのに十分に厚くなければならない。典型的には、ワイヤループにおけるモールディングの厚さは約 50 μm から約 200 μm の範囲にある。ワイヤループの端部が第 1 のパッケージのランド側のパッドの上にステッチングされるように逆方向のワイヤボンディングが利用される場合には、ワイヤループの高さは実際にはわずか約 35 μm であってもよく、したがって、このような実施例ではわずか約 100 μm という縁のエリアの上のモールディングの厚さを達成できる。順方向のワイヤボンディングが利用される場合には、より大きなモールドの高さが必要になる。なぜなら、厚さが約 1 ミルのワイヤを形成する、現在利用可能なワイヤボンディング技術を使用するボール（またはバンプ）上のワイヤループの高さは、通常約 100 μm 以上であるためである。

【 0060 】

これは事実上、第 1 のパッケージ基板の露出した領域の周りの低い壁を引上げ、これは第 1 のパッケージ基板のランド側の上に積層され得る素子の寸法および構成を制限する可能性がある。第 2 のレベルの相互接続が第 1 のパッケージ基板のランド側の露出した領域

10

20

30

40

50

でなされる、たとえば図3に示す実施例によって、たとえば図7Bおよび図8Bに示すようにアセンブリの上にはるかに大きな追加の構成要素を積層することが可能になる。

【0061】

図5Aおよび図5Bは、図2において112で示した好適な第1のパッケージ基板のランド側およびダイ取付側をそれぞれに示す平面図の概略図である。図5Aを参照して、ランド側の表面の大半ははんだマスクによって覆われており、はんだマスクは、金属層上の箇所がはんだマスクの開口によって露呈している場合を除いて、下にあるパターニングされた金属層を覆い隠している。はんだマスクの開口によって、基板表面の中央領域に配列されたボールパッド（たとえば53）および基板の端縁52の近くの縁のエリアに配置されたボンドフィンガ（たとえば56）を含む、基板のランド側のパターニングされた金属層における箇所が露呈する。はんだマスクが覆い隠しているのは、ボールパッド53およびボンドフィンガ56をさまざまに接続するならびに／またはボールパッド53をビア（たとえば522）と接続する金属層におけるトレース（たとえば523）であり、ビアは、基板のランド側のパターニングされた金属層におけるトレースを、基板のダイ取付側のパターニングされた金属層におけるトレースと電気的に接続する。

【0062】

上述のように、アセンブリ封止部は、ボンドパッド56と、パッド56に形成されたワイヤループとを覆う。封止部は、基板のランド側において、図5Aに破線58によって示す縁のエリアに限定され、そのため、縁の封止部が境界となる第1のパッケージ基板のランド側の領域、すなわち破線58の範囲内の第1のパッケージ基板のランド側の領域は、アセンブリモールディングの形成後、露出したままにされる。したがって、ボールパッド53は、（たとえば図4に示すように）追加の素子の取付に利用可能であり、または（たとえば図3に示すように）下にある回路へのアセンブリのzレベルの相互接続に利用可能である。ボールパッド53はさらに、組立に先立ってパッケージを検査するため、または所望であれば、第2のレベルの相互接続はんだボールの実装に先立ってパッケージアセンブリを検査するための検査プローブ箇所として利用可能である。封止された縁のエリアの幅（図5AではMW）は、ボンドフィンガの長さ、ボンドフィンガへのトレースの長さおよび鋸の通り道の幅の合計によって決定される。さらに、（図5Aの破線58における）縁の内縁における基板表面上に何らかのモールド鋳ばりが現れる場合がある。基板がストリップまたはアレイ状の基板として設けられる場合、第1のパッケージを鋸で切り分ける間に端縁におけるいくらかの基板材料が失われて鋸の幅になる。典型的には、ボンドフィンガの長さは約250μmであり、フィンガトレースの長さは約50μmであり、モールド樹脂の流出のためのゆとりは約500μmであり得る。鋸は典型的には約50μmを費やす。

【0063】

実際問題として、ボールパッド53の数および配置はボールの公称直径に依存する。なぜなら、ボールは崩壊したときに互いに接触してはならず、またはともに接近しすぎてはならないためである。さらに、実際問題として、ボールパッド53の大きさおよび近さは、トレースおよび特にはんだマスクの開口を製造する際の解像度の限界によって制限される。典型的な例では、ボールパッドは、直径が約280μmの概して円形であり、中心から中心までの距離が約500μmで正方形または長方形のアレイ状に配置される。（隣接するはんだマスクの開口の最も近い端縁間の距離は典型的には、中心から中心までの距離の約0.20倍以上である。）

ダイが取付けられた状態の第1のパッケージ基板のダイ取付側を図5Bに示す。第1のダイ114は、基板のダイ取付側の上に、活性側を上に向けて付着される。この例では、ダイは正方形を規定する4つの端縁を有する。ワイヤボンドパッド51は、ダイの4つの端縁の近くに列をなして配置される。基板のランド側と同様に、ダイ取付側の表面の大半は、特にボンドフィンガ（たとえば54）の列（この例では、ダイの各端縁に沿った1列）を含む、金属層上の箇所がはんだマスクの開口によって露呈している場合を除いて、はんだマスクによって覆われている。ワイヤ116は、ダイパッド51をボンドフィンガ5

10

20

30

40

50

4と接続する。はんだマスクが覆い隠しているのは、ボンドフィンガ54をビア（たとえば522）に接続する金属層におけるトレース（たとえば521）であり、ビアは、基板のダイ取付側のパターニングされた金属層におけるトレースを、ランド側のパターニングされた金属層におけるトレースと電気的に接続する。したがって、第1のパッケージダイは、ワイヤを介して第1のパッケージ基板のダイ取付側の金属層におけるトレースに接続され、ビアを介してランド側の金属層におけるz相互接続ワイヤボンドフィンガに接続される。z相互接続ワイヤは、第1のパッケージ基板のランド側のボンドフィンガを第2のパッケージ基板のダイ取付側のボンドフィンガに接続する。第2のダイ144の設置面積は破線544によって図5Bに示されている。スペーサ14の設置面積は図5Bに破線514によって示されている。代替的には、第2のダイの上に実装されたスペーサ14ではなく第1の基板上のスペーサ13が利用される場合、その位置はたとえば破線513によって一例として示されている。第2のダイおよびワイヤボンド146ならびにスペーサ14、または代替的にスペーサ13は、簡略化するために図5Bからは省略されている。

【0064】

図6Aおよび図6Bは、図1において10で示した好適な第2の基板の第2の側および第1の側をそれぞれに示す平面図の概略図である。図6Aを参照して、ランド側の表面の大半ははんだマスクによって覆われてあり、はんだマスクは、金属層上の箇所がはんだマスクの開口によって露呈している場合を除いて、下にあるパターニングされた金属層を覆い隠している。はんだマスクの開口によって、基板表面の中央領域に配列されたボールパッド（たとえば63）を含む、基板のランド側のパターニングされた金属層における箇所が露呈する。はんだマスクが覆い隠しているのは、ボールパッド63をビア（たとえば622）に接続する金属層におけるトレース（たとえば623）であり、ビアは、基板のランド側のパターニングされた金属層におけるトレースを、基板の第1の側のパターニングされた金属層におけるトレースと電気的に接続する。

【0065】

上述のように、第2の基板のランド側は、アセンブリ封止後、完全に露出したままにされる。したがって、図6Aにおける第2の基板の図は実質的にアセンブリの表面の図である。したがって、ボールパッド63は、（たとえば図4に示すように）下にある回路へのアセンブリの第2のレベルの相互接続に利用可能であり、またはより好ましくは、（たとえば図3に示すように）追加の素子の取付に利用可能である。ボールパッド63はさらに、組立に先立ってパッケージを検査するため、および所望であれば、第2のレベルの相互接続はんだボールの実装に先立ってパッケージアセンブリを検査するための検査プローブ箇所として利用可能である。

【0066】

任意に、および好ましくはいくつかの適用例では、従来の検査ソケットを使用したアセンブリの検査を容易にするために第2の基板のランド側のボール取付パッドが利用されてもよい。このようなアセンブリの検査は、たとえば上部基板として第2の基板を取付けた後ではあるが、アセンブリモールディング全体を形成することに先立って、またはz相互接続ワイヤボンディングに先立って行なわれることができる。この発明の構造物に従って容易になる、製造時のさまざまな段階のうちいずれかでの検査は、仕様を満たさない構成要素をさらに加工する可能性を大幅に低減できる。

【0067】

第2の基板の第1の側を図6Bに示す。第2の基板のランド側と同様に、第1の側の表面の大半は、特に基板の端縁62の近くの縁のエリアに配置されたz相互接続ボンドフィンガ（たとえば66）を含む、金属層上の箇所がはんだマスクの開口によって露呈している場合を除いて、はんだマスクによって覆われている。はんだマスクが覆い隠しているのは、ビア（たとえば622）をz相互接続ボンドフィンガ66に接続する金属層におけるトレース（たとえば621）であり、ビアは、基板の第1の側のパターニングされた金属層におけるトレースを、ランド側のパターニングされた金属層におけるトレースと電気的に接続する。

10

20

30

40

50

【0068】

第2の基板のz相互接続パッド(ボンドフィンガ)66は、第2のパッケージ基板12の第1の側の縁に位置する金属層の領域をパターニングすることによって形成される。縁は第1の基板112の設置面積を超えて延在する。この設置面積は図6Bに破線68によって示されている。この縁の幅は約1mm未満である可能性があり、ワイヤボンディングのための十分な間隙を与えるために、縁の幅は好ましくは約0.2mmを上回っていてもよい。名目上、いくつかの実施例では、縁は約0.5mmである。第2の基板の下向きに向いている第1の側のスペーサ14の設置面積は図6Bに破線614によって示されており、または代替的には、第2の基板の下向きに向いている第1の側のスペーサ13の接触ポイントはたとえば図6Bに破線613によって示されている。

10

【0069】

上述のように、パッケージの相互接続がアセンブリの上に積層した追加の素子に対してなされるか、または下にある基板に対してなされる(第2のレベルの相互接続)場合には、第2の基板の第1の側におけるz相互接続ボンドフィンガは、第1のパッケージ基板の第1の側の金属層におけるトレースによって、ビアを介してトレースおよびランド側の金属層におけるz相互接続ワイヤボンドフィンガに接続される。z相互接続ワイヤは、第2の基板の第1の側のボンドフィンガを第1のパッケージ基板のランド側のボンドフィンガに接続し、パッケージアセンブリの相互接続が下にある基板に対してなされる(第2のレベルの相互接続)か、またはアセンブリの上に積層した追加の素子に対してなされる場合には、パッケージダイは適宜トレース、ワイヤおよびビアを介して第1のパッケージ基板のランド側のパッドに相互接続される。このように、第1のパッケージサブアセンブリにおけるダイは、完成したアセンブリの上部および底部における第1のパッケージ基板ならびに第2の基板のランド側の露出したパッドに所望のごとく相互接続される。

20

【0070】

図面に示唆されるように、基板間のz相互接続部を収容するために、第2の基板の設置面積は必ず第1のパッケージ基板よりも大きい。示す例では、z相互接続部は、パッケージの4つの端縁のすべてに沿って配置され、したがって、第2のパッケージは第1のパッケージよりも幅が広くかつ長い。理解され得るように、この発明に従ういくつかのアセンブリでは、z相互接続は、4つの端縁すべてよりも少ない数の端縁上の、たとえば1つだけの端縁に沿ったまたは2つの対向する端縁に沿ったボンドフィンガ間でなされてもよい。このような実施例では(第2の基板におけるより大きなダイがより大きな設置面積を必要としない限り)、第2の基板は第1のパッケージよりも一方向にのみ大きい(長いまたは幅が広い)必要がある。

30

【0071】

パッケージはさまざまな機能性のうちいずれを有していてもよい。たとえば、第1のパッケージサブアセンブリはDSP、ASIC、GPUを含む可能性もあれば、第1のパッケージサブアセンブリはフラッシュ、DRAM、SRAMなどのメモリを含む可能性もある。

【0072】

この発明のこの局面に従うフリップチップパッケージサブアセンブリにおけるプロセッサチップは、たとえばASICまたはGPUまたはCPUである可能性があり、しばしばASICであり得る。パッケージサブアセンブリがメモリである場合、パッケージサブアセンブリは積層メモリダイを含み得る。遮蔽された、ダイが下になったフリップチップパッケージサブアセンブリは、携帯通信での適用例と同様に、より高速の適用例、特にRF周波数処理に特に好適であり得る。

40

【0073】

この発明に従うさらに他の構成では、パッケージまたはダイなどの追加の素子は、利用可能な(露出した)基板表面上のパッケージアセンブリに取付けられ、いくつかの実施例では、第2のパッケージ基板の露出したランド側のパッケージアセンブリに取付けられる。すなわち、たとえば図3または図4に示すアセンブリは、さまざまな積層パッケージモ

50

ジユールを構築するためのプラットホームの役割を果たし得る。はんだボールとの相互接続（パッド上のはんだの相互接続）を容易にするために、はんだペースト（図には図示せず）が、第1のパッケージ基板および／または第2の基板の露出した側のポンディングパッドの上に、たとえば焼付によって分配または塗布されてもよい。

【0074】

このような実施例では、たとえば図1または図2に示すアセンブリは、たとえば図7Aから図13に示すように追加の機能性を有する構成要素を上に積層するために有用なプラットホームを与えることができる。第2の基板は、十分に露出しているので、さまざまな構成要素（ダイまたはパッケージ）の構成および大きさのいずれも収容でき、パッケージアセンブリの、構成要素との適合性に必要なのは、露出した第2の基板上のトレースが追加の構成要素を受入れるために好適にルーティングされることだけである。10

【0075】

たとえば、図7Aおよび図7Bに示すように、ボールグリッドアレイ（BGA）パッケージは、図3を参照して上述したように構築されたパッケージアセンブリの上に実装されることができる。図7Aでは、相互接続はんだボール718を有するBGAパッケージ710は第2の基板10のランド側と整列しており、第2の基板10のランド側の上に実装されており、はんだボールが金属層23におけるボールパッドの上にリフローされて、モジュール70を形成する。ここで、BGAの設置面積はパッケージアセンブリの設置面積よりも小さい。図7Bに示すモジュール72では、BGA720の設置面積はパッケージアセンブリの設置面積よりも大きく、ボールアレイはより多くの相互接続はんだボール728を有し、したがって第2のパッケージ基板10上のより多くのボールパッドを占める。また、図7Bの例ではBGAは積層ダイパッケージであるが、図7AではBGAは單一ダイパッケージである。20

【0076】

たとえば、図8Aおよび図8Bに示すように、追加のランドグリッドアレイ（LGA）パッケージは、図3を参照して上述したように構築されたパッケージアセンブリの上に実装されることができる。図8Aでは、ランド相互接続部818を有するLGAパッケージ810は、第2のパッケージ基板10のランド側と整列しており、第2のパッケージ基板10のランド側の上に実装されており、ランド相互接続部が金属層23におけるパッドの上にリフローされて、モジュール80を形成する。ここで、LGAの設置面積はパッケージアセンブリの設置面積よりも小さい。図8Bに示すモジュール82では、LGA820の設置面積はパッケージアセンブリの設置面積よりも大きく、アレイはより多くのランド相互接続部828を有し、したがって第2のパッケージ基板10上のより多くのパッドを占める。また、図8Bの例ではLGAは積層ダイパッケージであるが、図8AではLGAは單一ダイパッケージである。30

【0077】

図7Aおよび図8Aに示すように、より大きな追加のパッケージをパッケージアセンブリの上に実装させた構成は、たとえば、第1のパッケージ10にプロセッサを含んでいてもよく、追加のパッケージ720または820のようなメモリパッケージを含んでいてもよい。アセンブリにおけるパッケージサブアセンブリ120および第2の基板10の設置面積の最小サイズは、主に第1のパッケージにおけるダイの寸法によって決定され、これは概してダイの機能性に関わる。たとえばASICは比較的非常に小さくてもよく、プロセッサが異なれば大きさは大幅に異なる可能性がある。一方、メモリダイは比較的大きくてもよい。たとえばデジタル信号プロセッサ(digital signal processor)（DSP）パッケージの設置面積は典型的には、 $12 \times 12 \text{ mm}$ から $16 \times 16 \text{ mm}$ の範囲にある。一方、たとえばメモリパッケージの設置面積は典型的には、 $8 \times 10 \text{ mm}$ から $18 \times 18 \text{ mm}$ の範囲にある。したがって、図3と同様のアセンブリが第1のパッケージサブアセンブリ10にDSPを含み、アセンブリ3に関して $16 \times 16 \text{ mm}$ の設置面積を確立する場合、製造業者は、顧客の仕様に応じて、より小さなLGAメモリパッケージ（たとえばモジュール80を与える図8Aにおける810）またはより大きなLGAメモリパッケージ（4050

たとえばモジュール 8 2 を与える図 8 B における 8 2 0) のいずれかを選択できる。したがって、図 7 A、図 7 B、図 8 A、図 8 B と同様の実施例では、製造業者は、機能（メモリの容量および速度、メモリタイプ）に応じておよびさまざまな供給業者からのコストに応じて、選択されたメモリ B G A または L G A とプラットホームを組合せることができる。

【 0 0 7 8 】

他の追加の構成要素または素子をパッケージアセンブリの上に実装でき、構成要素から電気的な相互接続部を受入れるために第 2 の基板のランド側が好適にルーティングされることのみが必要である。図 9 は、概して図 3 と同様に構築されたパッケージアセンブリの上に、受動素子 9 6 を伴う積層ダイ・クアッド・フラット・パッケージ 9 0 0 を実装させたモジュール 9 0 を示す。図 1 0 は、概して図 3 と同様に構築された半導体パッケージアセンブリの上に、受動素子 1 0 6 を伴う積層ダイ・クアッド・フラット・ノンリード・リードフレームチップスケールパッケージ 1 0 0 0 を実装させたモジュール 1 0 0 を示す。図 1 1 は、概して図 3 と同様に構築された半導体アセンブリの上に、受動素子 1 1 0 6 を伴うワイヤボンドダイ 1 1 0 0 を実装させたモジュール 1 1 0 を示し、ダイおよびワイヤは、封止樹脂を分配する注入器によって形成されたいわゆる「グロップトップ（glop top）」封止部によって覆われている。図 1 2 は、概して図 3 と同様に構築された半導体パッケージアセンブリの上に、受動素子 1 2 0 6 を伴うフリップチップ実装ダイ 1 2 0 0 を実装させたモジュール 1 2 0 を示し、アンダーフィルがフリップチップ相互接続部を保護する。図 1 3 は、概して図 3 と同様に構築された半導体パッケージアセンブリの上に、受動素子 1 3 0 6 を伴う、画像形成素子であり得る光センサパッケージ 1 3 0 0 を実装させたモジュール 1 3 0 を示し、光は矢印 1 3 2 0 によって示すように透明なカバーまたはレンズを透過して、ワイヤボンドされた光センサダイの活性側に到達する。

【 0 0 7 9 】

図 1 4 は、第 2 のパッケージ基板のランド側の上にヒートスペレッダ 1 4 0 0 を実装させた、概して図 3 に示す半導体パッケージアセンブリを含むアセンブリ 1 4 0 を示す。

【 0 0 8 0 】

たとえば図 2 4 に示す別の局面では、（図 2 4 を図 3 および図 4 と比較して）第 1 のパッケージサブアセンブリ基板（すなわち、密閉されたダイが上に実装されるアセンブリにおける基板）の設置面積は第 2 の基板よりも大きい。

【 0 0 8 1 】

図 2 4 の例では、第 1 のパッケージサブアセンブリ 2 4 2 は、第 1 のパッケージサブアセンブリ基板 2 4 1 の上に実装されたダイ（ダイ 2 4 3 ）および第 1 のパッケージサブアセンブリ基板 2 4 1 の上に積層したダイ（ダイ 2 4 3 、 2 4 3 ）を含む。

【 0 0 8 2 】

図 2 4 の積層パッケージアセンブリでは、（たとえば「ダミー」ダイまたはシリコンもしくはガラスチップであり得る）スペーサが接着剤を使用して最も上の積層ダイ 2 4 3 、 2 4 3 の上に実装され、（「コア」基板と称されることができる）第 2 の基板 2 4 4 がスペーサの表面の接着剤を使用してスペーサの上に付着される。したがって、第 2 の基板の下向きに向いている面はスペーサ上の接着剤の上に載っており、スペーサの厚さおよび接着剤の厚さは、ダイ 2 4 3 、 2 4 3 を第 1 のパッケージアセンブリ基板 2 4 1 と接続するワイヤボンドのループの高さを収容するのに十分に大きなものであるように選択される。

【 0 0 8 3 】

他のスペーサまたはスペーサ構造物が、たとえば図 2 を参照して記載したように、この発明に従って利用されてもよい。たとえば、スペーサは、ダイ 2 4 3 、 2 4 3 の上向きに向いている面と基板 2 4 4 の下向きに向いている面との間に所望の分離をもたらすのに十分な直径を有するポリマー球で充填された硬化可能な接着剤からなる接着性スペーサであってもよい。

【 0 0 8 4 】

10

20

30

40

50

図24の例では、第2の（「上部」）基板および第1の（「底部」）パッケージサブアセンブリのz相互接続は、底部基板の上向きに向いている（ダイ取付側）金属層上のトレースを底部パッケージサブアセンブリ基板の下部（上向きに向いている、ランド側）金属層上のトレースと接続するワイヤボンドを介してなされる。ワイヤボンドは、たとえば米国特許第5,226,582号に記載されるものなどの、当該技術分野において周知の任意のワイヤボンディング技術によって形成されてもよく、米国特許第5,226,582号は引用によって本明細書に援用される。パッケージ間のz相互接続ワイヤボンドは、逆方向のボンディングによって、すなわち、第1のアセンブリ基板のダイ取付側の金属層のパッドの表面上にビードまたはバンプを形成し、次いで第2の基板のランド側の金属層上のパッドの方にワイヤを延伸し、第2の基板のランド側の金属層上のパッドの上にワイヤを溶融することによってなされたものとして図24に一例として示される。理解されるように、ワイヤボンドは順方向になされ得る。理解されるように、パッケージ間のz相互接続のためのワイヤボンディング戦略の選択は、積層基板の縁および積層基板上のボンディング面の幾何学的配置に従って決定されることになる。

【0085】

上で指摘したように、図24と同様の実施例では、第2の（「上部」）基板の設置面積は、第2の基板が上に実装される第1のパッケージサブアセンブリの設置面積よりも小さく、z相互接続ワイヤボンドのためにボンドパッドが露出するエリアを第1の（「底部」）パッケージアセンブリ基板のダイ取付側の周辺に残す。第1のパッケージアセンブリ基板はパンチまたは鋸で切り分けられる。

【0086】

第1のパッケージサブアセンブリ基板のダイ取付側の上部金属層におけるボンドパッドは、ワイヤボンドによって第1のダイ243ならびに第2のダイ243および第3のダイ243に接続され、上部金属層は基板のダイ取付側へのビアを介して第1のパッケージサブアセンブリ基板のランド側における下部金属層に接続され、第2の基板のランド側における金属層はパターニングされて、z相互接続ワイヤと接続するため、周辺に配置されたボンドパッドを設ける。

【0087】

この発明に従う構造によって、モジュールまたはアセンブリに組立てる前にパッケージを予備検査することが可能であり、組立に先立って不適合なパッケージを不合格にすることが可能であり、それによって最終的なモジュール検査の歩留まりを確実に高くする。

【0088】

図24の実施例では、それぞれの基板上のz相互接続パッドは基板の縁の近くの金属層上に配置される。z相互接続パッドの位置および順序は概して、第1のパッケージサブアセンブリの上に基板を積層するときに上部基板上のz相互接続パッドが第1のパッケージサブアセンブリ基板上の対応するz相互接続パッドのほぼ上に横たわるように配置される。好都合なことに、上部基板244の基板設置面積は第1のパッケージサブアセンブリ基板241の基板設置面積よりも小さく、基板の金属層の端縁が電気的に短絡することなくワイヤボンドのための間隙が可能になる。

【0089】

第1のパッケージサブアセンブリの上に積層した第2の基板を接続するz相互接続ワイヤボンドが一旦形成されると、アセンブリ封止部247が形成されて、z相互接続ワイヤボンドを密閉および保護し、完成したアセンブリに機械的な整合性を与える。アセンブリ封止部247は、ダイによって覆われていない第2の基板の上向きに向いているダイ側のエリアを覆い、ダイを第1のパッケージアセンブリ基板と接続するワイヤボンドおよびワイヤループを密閉し、垂直壁と第2の（「上部」）基板の端縁とz相互接続ワイヤループおよびワイヤボンドが接続されるワイヤボンドパッドを含む第2の基板の上向きに向いている側の縁のエリアとを覆う。これによって、積層パッケージアセンブリの上のキャビティに積層されるべき1つ以上の素子と相互接続するために、第2の（「上部」）基板のランド側のエリアが露出したままになる。別の言い方をすれば、アセンブリの第2の基板側

のアセンブリ封止部にキャビティが形成され、第2の基板のランド側の内側エリア249を露出した（封止しない）ままにし、そこでは、以下にさらに詳細に記載するように、パッケージまたはダイなどの追加の素子を第2のパッケージ基板のランド側の上に実装でき、第2のパッケージ基板のランド側と電気的に接続させることができる。

【0090】

はんだボール248が第1のパッケージアセンブリ基板のランド側の金属層上のボンディングパッドの上にリフローされて、たとえばコンピュータなどの最終製品のマザーボード（図には図示せず）の下にある回路への相互接続をもたらす。

【0091】

図に一例として示すように、第1のパッケージサブアセンブリ基板は鋸で切り分けられてもよく、代替的には、モジュールは鋸で切り分けられるのではなく個々にモールドされてもよい。10

【0092】

図25は、図24の積層パッケージアセンブリを利用する積層パッケージモジュールの一例を示し、この積層パッケージモジュールでは、ボールグリッドアレイ（「BGA」）パッケージがはんだボール258によって第2の基板244のランド側の露出したエリア249の上に（概して図7Aを参照して記載したように）実装される。図25の積層パッケージモジュールは、第2の基板244のランド側に接続された受動素子254も含む。

【0093】

たとえば2～6つの金属層を有する積層板、または4～8つの金属層を有する積上げ基板、または1～2つの金属層を有する可撓性のポリイミドテープ、またはセラミック多層基板を含むさまざまな基板タイプのいずれが第1のパッケージアセンブリ基板および第2の基板のために使用されてもよい。図24に一例として示す第1のパッケージアセンブリ基板および第2の基板の各々は2つの金属層を有し、たとえば図1を参照して詳細に記載したように、各々は適切な回路を設けるためにパターニングされ、ビアを介して接続される。20

【0094】

第1のパッケージサブアセンブリにおける第1のダイは、たとえば図26に示すように、フリップチップ相互接続によって第1のアセンブリ基板の上に実装されることができる。図26を参照して、第1のパッケージサブアセンブリ262の基板241は図24と同様に構築される。第1のダイ263は基板241のダイ取付側の上に実装される。ダイ上のパッドに取付けられたはんだボールまたはバンプは、基板のダイ取付側における金属層上のパッドと電気的に接続される。ダイと基板との間のアンダーフィルは、電気的な相互接続部を保護する働きをし、相互接続部に構造的および機械的な整合性および頑強性を与える働きをする。第2のダイ263および第3のダイ263は、接着剤を使用してフリップチップダイ263の裏面の上に裏面を下向きに実装され、ワイヤボンドによって第1のアセンブリ基板241のダイ取付側における金属層上のパッドと電気的に接続される。図24の実施例と同様に、スペーサが接着剤を使用して最も上の積層ダイ263、263の上に実装され、第2の基板244がスペーサの表面の接着剤を使用してスペーサの上に付着される。したがって、第2の基板の下向きに向いている面はスペーサ上の接着剤の上に載っており、スペーサの厚さおよび接着剤の厚さは、ダイ263、263を第1のパッケージアセンブリ基板241と接続するワイヤボンドのループの高さを収容するのに十分に大きいものであるように選択される。3040

【0095】

はんだボール248が第1のパッケージアセンブリ基板のランド側の金属層上のボンディングパッドの上にリフローされて、たとえばコンピュータなどの最終製品のマザーボード（図には図示せず）の下にある回路への相互接続をもたらす。

【0096】

アセンブリ封止部257は、ダイによって覆われていない第2の基板の上向きに向いているダイ側のエリアを覆い、ダイを第1のパッケージアセンブリ基板と接続するワイヤボ50

ンドおよびワイヤループを密閉し、垂直壁と第2の（「上部」）基板の端縁とz相互接続ワイヤループおよびワイヤボンドが接続されるワイヤボンドパッドを含む第2の基板の上向きに向いている側の縁のエリアとを覆う。これによって、積層パッケージアセンブリの上のキャビティに積層されるべき1つ以上の素子と相互接続するために、第2の（「上部」）基板のランド側のエリアが露出したままになる。別の言い方をすれば、アセンブリの第2の基板側のアセンブリ封止部にキャビティが形成され、第2の基板のランド側の内側エリア269を露出した（封止しない）ままにし、そこでは、パッケージまたはダイなどの追加の素子を第2のパッケージ基板のランド側の上に実装でき、第2のパッケージ基板のランド側と電気的に接続させることができる。

【0097】

10

第1のパッケージサブアセンブリは、たとえば図27に示すように、モールドされることができ、第1の（下部）パッケージを構成する。図27を参照して、第1のパッケージサブアセンブリ272の基板241は図24と同様に構築される。ダイ273が基板241のダイ取付側の上に実装される。ダイ273は、第1のアセンブリ基板241のダイ取付側のダイ取付側の金属層におけるパッドの上に裏面を下向きに付着され、第1のアセンブリ基板241のダイ取付側の金属層におけるパッドと電気的に接続される。第1のパッケージモールディングはダイの活性側およびワイヤボンドを密閉し、第2の基板244はモールディングの上向きに向いている面の接着剤を使用してモールディングの上に付着される。したがって、第2の基板の下向きに向いている面は第1のパッケージモールディング上の接着剤の上に載っている。モールディングは、ダイ273を第1のパッケージアセンブリ基板241と接続するワイヤボンドのループの高さを収容するのに十分に厚い。

20

【0098】

はんだボール248が第1のパッケージアセンブリ基板のランド側の金属層上のボンディングパッドの上にリフローされて、たとえばコンピュータなどの最終製品のマザーボード（図には図示せず）の下にある回路への相互接続をもたらす。

【0099】

30

アセンブリ封止部277は、ダイによって覆われていない第2の基板の上向きに向いているダイ側のエリアを覆い、ダイを第1のパッケージアセンブリ基板と接続するワイヤボンドおよびワイヤループを密閉し、垂直壁と第2の（「上部」）基板の端縁とz相互接続ワイヤループおよびワイヤボンドが接続されるワイヤボンドパッドを含む第2の基板の上向きに向いている側の縁のエリアとを覆う。これによって、積層パッケージアセンブリの上のキャビティに積層されるべき1つ以上の素子と相互接続するために、第2の（「上部」）基板のランド側のエリアが露出したままになる。別の言い方をすれば、アセンブリの第2の基板側のアセンブリ封止部にキャビティが形成され、第2の基板のランド側の内側エリア279を露出した（封止しない）ままにし、そこでは、パッケージまたはダイなどの追加の素子を第2のパッケージ基板のランド側の上に実装でき、第2のパッケージ基板のランド側と電気的に接続させることができる。

【0100】

図28は、第1のサブアセンブリがフリップチップパッケージ282を構成するパッケージアセンブリを示す。図28を参照して、第1のパッケージアセンブリ基板241は図24と同様に構築される。ダイ283が基板241のダイ取付側の上に実装される。ダイ上のパッドに取付けられたはんだボールまたはバンプは、基板のダイ取付側における金属層上のパッドと電気的に接続される。ダイと基板との間のアンダーフィルは、電気的な相互接続部を保護する働きをし、相互接続部に構造的および機械的な整合性および頑強性を与える働きをする。この実施例では、追加のダイがフリップチップダイの上に積層されることはない。第2の基板244がダイの裏側面の接着剤を使用してフリップチップダイの上に付着される。したがって、第2の基板の下向きに向いている面はダイ上の接着剤の上に載っている。

40

【0101】

はんだボール248が第1のパッケージアセンブリ基板のランド側の金属層上のボンデ

50

イングパッドの上にリフローされて、たとえばコンピュータなどの最終製品のマザーボード（図には図示せず）の下にある回路への相互接続をもたらす。

【0102】

アセンブリ封止部287は、ダイによって覆われていない第2の基板の上向きに向いているダイ側のエリアを覆い、ダイを第1のパッケージアセンブリ基板と接続するワイヤボンドおよびワイヤループを密閉し、垂直壁と第2の（「上部」）基板の端縁とz相互接続ワイヤループおよびワイヤボンドが接続されるワイヤボンドパッドを含む第2の基板の上向きに向いている側の縁のエリアとを覆う。これによって、積層パッケージアセンブリの上のキャビティに積層されるべき1つ以上の素子と相互接続するために、第2の（「上部」）基板のランド側のエリアが露出したままになる。別の言い方をすれば、アセンブリの第2の基板側のアセンブリ封止部にキャビティが形成され、第2の基板のランド側の内側エリア289を露出した（封止しない）ままにし、そこでは、パッケージまたはダイなどの追加の素子を第2のパッケージ基板のランド側の上に実装でき、第2のパッケージ基板のランド側と電気的に接続させることができる。10

【0103】

図29は、ダイを第1のパッケージサブアセンブリ基板にワイヤボンドさせたBGA（またはLGA）パッケージを第1のサブアセンブリが構成するパッケージアセンブリを示す。図29を参照して、第1のパッケージサブアセンブリ292の基板241は図24と同様に構築される。第1のダイ293が基板241のダイ取付側の上に裏面を下向きに実装され、ワイヤボンドによって基板のダイ取付側における金属層上のパッドと電気的に接続される。第2のダイ293は第1のダイ293の上に裏面を下向きに実装され、ワイヤボンドによって基板のダイ取付側における金属層上のパッドと電気的に接続される。第1のパッケージモールディングはダイの活性側およびワイヤボンドを密閉し、第2の基板244はモールディングの上向きに向いている面の接着剤を使用してモールディングの上に付着される。したがって、第2の基板の下向きに向いている面は第1のパッケージモールディング上の接着剤の上に載っている。モールディングは、ダイ293、293を第1のパッケージアセンブリ基板241と接続するワイヤボンドのループの高さを収容するのに十分に厚い。20

【0104】

はんだボール248が第1のパッケージアセンブリ基板のランド側の金属層上のボンディングパッドの上にリフローされて、たとえばコンピュータなどの最終製品のマザーボード（図には図示せず）の下にある回路への相互接続をもたらす。30

【0105】

アセンブリ封止部297は、ダイによって覆われていない第2の基板の上向きに向いているダイ側のエリアを覆い、ダイを第1のパッケージアセンブリ基板と接続するワイヤボンドおよびワイヤループを密閉し、垂直壁と第2の（「上部」）基板の端縁とz相互接続ワイヤループおよびワイヤボンドが接続されるワイヤボンドパッドを含む第2の基板の上向きに向いている側の縁のエリアとを覆う。これによって、積層パッケージアセンブリの上のキャビティに積層されるべき1つ以上の素子と相互接続するために、第2の（「上部」）基板のランド側のエリアが露出したままになる。別の言い方をすれば、アセンブリの第2の基板側のアセンブリ封止部にキャビティが形成され、第2の基板のランド側の内側エリア299を露出した（封止しない）ままにし、そこでは、パッケージまたはダイなどの追加の素子を第2のパッケージ基板のランド側の上に実装でき、第2のパッケージ基板のランド側と電気的に接続させることができる。40

【0106】

図30は図29に示すパッケージアセンブリに概して類似したパッケージアセンブリを示し、図30では、第1のパッケージダイはワイヤボンドダイではなくフリップチップダイである。図30を参照して、第1のパッケージサブアセンブリ302の基板241は図24と同様に構築される。第1のダイ303が基板241のダイ取付側の上に実装される。ダイ上のパッドに取付けられたはんだボールまたはバンプは、基板のダイ取付側におけ50

る金属層上のパッドと電気的に接続される。ダイと基板との間のアンダーフィルは、電気的な相互接続部を保護する働きをし、相互接続部に構造的および機械的な整合性および頑強性を与える働きをする。この例では、第2のダイ303は第1のダイ303の上に裏面を下向きに実装され、ワイヤボンドによって基板のダイ取付側における金属層上のパッドと電気的に接続される。第1のパッケージモールディングはダイの活性側およびワイヤボンドを密閉し、第2の基板244はモールディングの上向きに向いている面の接着剤を使用してモールディングの上に付着される。したがって、第2の基板の下向きに向いている面は第1のパッケージモールディング上の接着剤の上に載っている。モールディングは、ダイ303を第1のパッケージアセンブリ基板241と接続するワイヤボンドのループの高さを収容するのに十分に厚い。

10

【0107】

はんだボール248が第1のパッケージアセンブリ基板のランド側の金属層上のボンディングパッドの上にリフローされて、たとえばコンピュータなどの最終製品のマザーボード（図には図示せず）の下にある回路への相互接続をもたらす。

【0108】

アセンブリ封止部307は、ダイによって覆われていない第2の基板の上向きに向いているダイ側のエリアを覆い、ダイを第1のパッケージアセンブリ基板と接続するワイヤボンドおよびワイヤループを密閉し、垂直壁と第2の（「上部」）基板の端縁とz相互接続ワイヤループおよびワイヤボンドが接続されるワイヤボンドパッドを含む第2の基板の上向きに向いている側の縁のエリアとを覆う。これによって、積層パッケージアセンブリの上にキャビティに積層されるべき1つ以上の素子と相互接続するために、第2の（「上部」）基板のランド側のエリアが露出したままになる。別の言い方をすれば、アセンブリの第2の基板側のアセンブリ封止部にキャビティが形成され、第2の基板のランド側の内側エリア309を露出した（封止しない）ままにし、そこでは、パッケージまたはダイなどの追加の素子を第2のパッケージ基板のランド側の上に実装でき、第2のパッケージ基板のランド側と電気的に接続させることができる。

20

【0109】

第2の基板の露出したエリアの上のキャビティに1つ以上の追加の素子を積層することによって積層パッケージモジュールを設けるために、図24および図26～図30に一例として示すさまざまなプラットフォームのいずれもがこの発明に従って利用可能である。はんだボールとの相互接続（パッド上のはんだの相互接続）を容易にするために、はんだペースト（図には図示せず）が、第1のパッケージ基板および/または第2の基板の露出した側のボンディングパッドの上に、たとえば焼付によって分配または塗布されてもよい。追加の素子がBGAパッケージを含む例を図25に示す。図8～図14に一例として示すように、図4に従ってアセンブリの上に追加の素子を積層するために、図面に示す態様でアセンブリのいずれかの上に他の追加の素子を積層してもよい。追加の構成要素は、たとえば積層ダイボールグリッドアレイ（BGA）であり得るBGAパッケージ、または積層ダイLGAであり得る追加のLGA、または積層ダイ・クアッド・フラット・パッケージ（SD QFP）であり得るクアッド・フラット・パッケージ（QFP）、または積層ダイ・クアッド・フラット・パッケージ（SD QFN）であり得るクアッド・フラット・ノンリード（QFN）パッケージもしくはリードフレームチップスケールパッケージ（LFCSP）、またはオーバーモールドされ得るワイヤボンドダイ（もしくはワイヤボンドダイの層）、またはフリップチップダイ、または光センサパッケージ、またはマイクロ・エレクトロ・メカニカルセンサ（MEMS）パッケージを含んでいてもよく、追加の構成要素はさらに1つ以上の受動素子を含んでいてもよい。

30

【0110】

これらの実施例における第2の基板（「コア」基板）はインターポーザの役割を果たし、コア基板/インターポーザおよび第1のパッケージ基板はさまざまな実施例において（図面を参照して上述した）積層基板または積上げ基板であってもよく、誘電体層は、ポリマー、テープ、シリコン、セラミックなどを含むさまざまな材料のいずれかから構築され

40

50

得る。または、コア基板／インターポーザはたとえば金属リードフレームであってもよい。受動素子または電気シールドなどの追加の特徴がコア基板／インターポーザの表面上に設けられる場合もあれば、コア基板／インターポーザに埋込まれる場合もある。このような追加の特徴は、さらにまたは代替的に、第1のパッケージ基板の表面上に取付けられてもよい。

【0111】

理解されるように、すべてのさまざまな局面において、この発明は、アセンブリが第1のパッケージサブアセンブリと、第1のパッケージアセンブリの上に積層した第2の基板とを有し、かつ、第1のパッケージ基板と第2の基板との間にワイヤボンディング z 相互接続部を有しており、基板の一方のランド側が露出し、他方の基板のランド側の一部が露出するようにアセンブリが封止されることを特徴としている。10

【0112】

さらに、パッケージアセンブリは、さまざまな追加の構成要素のいずれかと組合せるためのプラットフォームを構成する。したがって、さまざまな構成において、アセンブリの第2のレベルの相互接続は基板の一方のランド側においてなされ、1つ以上の追加の構成要素は他方の基板のランド側の上に積層される。追加の構成要素は、製品組立フロア上で製造業者によって選択されてもよく、既製の構成要素の中から選択されてもよい。

【0113】

この発明の半導体アセンブリは、たとえばコンピュータ、携帯用通信装置、コンシューマ製品などの多様なさまざまな適用例のいずれにも利用可能である。20

【0114】

この発明に従う半導体アセンブリは、コンピュータを構築するために使用可能であり、たとえば電気通信、民生用および産業用電子装置において使用可能である。この発明は、最終的な検査の歩留まりが高い状態で2つ以上の半導体を薄くかつ最小の設置面積のパッケージに組立てることを提供する。個々のパッケージを構築することによって、個々のパッケージをアセンブリに組立てるために検査でき、許容可能な程度に優れたパッケージ構成要素のみが組立の際に確実に利用され、したがって組立の歩留まりを確実に高くする。

【0115】

この発明は、設計、特に選択された機能性を有する構成要素の選択における柔軟性を提供し、標準的なパッケージを使用できるようにし、特注設計の必要性を低減し、コストを低減する。30

【0116】

さまざまなパッケージを作るためのプロセスにおける手順、およびこの発明で使用されるパッケージ基板をルーティングするためのプロセスにおける手順は、業界内で十分に確立されている。

【0117】

組立プロセスは、この発明のさまざまな局面に従う構成について類似している。概して、このプロセスは、好ましくはボールグリッドアレイ（BGA）またはランドグリッドアレイ（LGA）基板のストリップのようなボールグリッドアレイまたはランドグリッドアレイ基板を設けるステップと、BGAまたはLGA基板の上にダイおよび相互接続部を実装して、パッケージサブアセンブリを形成するステップと、たとえばパッケージダイの上に実装されかつ表面上に接着剤を備えるスペーサーのような、もしくは第1のパッケージ基板の上に実装された接着性スペーサーのようなスペーサーまたはスペーサーアセンブリをパッケージサブアセンブリの上に実装するステップと、スペーサー上の接着剤の上または接着性スペーサーの上に第2の基板を実装するステップと、接着剤または接着性スペーサーを硬化させるステップと、プラズマ洗浄を行なうステップと、ワイヤボンディングを行なって、第2の基板の第1の側と第1のパッケージ基板のランド側との間に z 相互接続部を形成するステップと、プラズマ洗浄を行なうステップと、モールディング操作を行なって、基板の第1の側、 z 相互接続ワイヤボンドおよびワイヤループ、第1のパッケージ基板の端縁ならびに第1のパッケージ基板のランド側の縁のエリアを密閉し、第2の基板の第2の（「ラ40

ンド」)側および縁のエリア内に位置する第1のパッケージ基板のランド側のエリアを露出したままにするステップと、第1のパッケージ基板の露出したエリア上の箇所に第2のレベルの相互接続はんだボールを取付けるステップと、(第2の基板がストリップまたはアレイ状に設けられた場合には)鋸で切り分けてパッケージを完成させるステップとを含む。

【0118】

有利に、組立に先立ってパッケージを検査でき、性能または信頼性の要件を満たさないパッケージを廃棄でき、その結果、「優れている」と検査された第1のパッケージが、組立てられたモジュールにおいて使用される。CSPの検査は業界内で十分に確立されており、典型的にははんだボールパッドとの接点にアクセスすることによってなされる。完成したアセンブリは、BGAの検査と同一の態様で検査できる。10

【0119】

図15は、たとえば図3に示す積層パッケージアセンブリを組立てるためのプロセスを示すフロー図であり、図16A～図23Bは、このようなプロセスにおける段階を示す図を、断面図および平面図を対にして示す。ステップ1502では、切り分けられていない基板のストリップを設け、これは図16A、図16Bに示す。ステップ1504では、基板のダイ取付側の上にダイを実装し、これは図17A、図17Bに示す。ステップ1506では、基板のダイ取付側における金属層にダイをワイヤボンドし、これは図18A、図18Bに示し、パッケージサブアセンブリを形成する。ステップ1508では、プラズマ洗浄が行なわれる。ステップ1510では、パッケージサブアセンブリに(図面に示す例では最も上のダイの上に)スペーサを取り付け、これは図19A、図19Bに示し、接着剤をスペーサに塗布する。ステップ1511では、切り分けられた第2の基板を設け、ステップ1512では、スペーサ上の接着剤の上に第2の基板を付着し、これは図20A、図20Bに示す。ステップ1514では、接着剤を硬化させる。ステップ1516では、基板のストリップにおけるスロットを介してワイヤボンド z 相互接続部を形成するステップ1518に備えてプラズマ洗浄操作が行なわれ、これは図21A、図21Bに示す。ステップ1520では、さらなるプラズマ洗浄が行なわってよく、続いてステップ1522において、積層パッケージアセンブリモールディングを形成し、これは図22A、図22Bに示し、その後パッケージを切り分け、これは図23A、図23Bに示す。モールディング装置は、モールディング化合物が z 相互接続ワイヤループを封止できるように、およびモールディング化合物が第1のパッケージ基板のランド側の内側エリアに流入することを防ぐように構成される。ステップ1524では、パッケージのランド側の露出した内側エリアに第2のレベルの相互接続はんだボールを取付け、完成したアセンブリを検査し(*)、鋸での切り分けによってストリップから切り分け、将来の使用に備えてパッケージングする。2030

【0120】

理解されるように、この発明に従うプロセスにおけるさまざまなステップの個々の1つ1つは、本明細書に記載する、直接的な修正を伴う、従来の製造設備の実質的な従来技術を使用して、本明細書に記載する方法に従って実行されることができる。このような従来の技術の変形および従来の製造装置の修正は、必要に応じて、過度の実験を行なうことなく本明細書における説明を使用して達成可能である。40

【0121】

他の実施例は特許請求の範囲内である。

【図面の簡単な説明】

【0122】

【図1】この発明の局面に従う半導体パッケージアセンブリの実施例を通る断面図の概略図である。

【図2】この発明の別の局面に従う半導体パッケージアセンブリの実施例を通る断面図の概略図である。

【図3】この発明の別の局面に従う半導体パッケージの実施例を通る断面図の概略図であ50

る。

【図4】この発明の別の局面に従う半導体パッケージの実施例を通る断面図の概略図である。

【図5A】図3に示すこの発明の実施例で使用するのに好適な構成における、この発明の実施例に従う第1のパッケージ基板のランド側を示す平面図の概略図である。

【図5B】図3に示すこの発明の実施例で使用するのに好適な構成における、この発明の実施例に従う第1のパッケージ基板の、ダイが取付けられたダイ取付側を示す平面図の概略図である。

【図6A】図3に示すこの発明の実施例で使用するのに好適な構成における、この発明の実施例に従う第2の基板のランド側を示す平面図の概略図である。 10

【図6B】図3に示すこの発明の実施例で使用するのに好適な構成における、この発明の実施例に従う第2の基板の第1の側を示す平面図の概略図である。

【図7A】この発明の実施例に従う半導体アセンブリを通る断面図の概略図であり、各々が、アセンブリの上に積層したBGAを含む。

【図7B】この発明の実施例に従う半導体アセンブリを通る断面図の概略図であり、各々が、アセンブリの上に積層したBGAを含む。

【図8A】この発明の実施例に従う半導体アセンブリを通る断面図の概略図であり、各々が、アセンブリの上に積層したLGAを含む。

【図8B】この発明の実施例に従う半導体アセンブリを通る断面図の概略図であり、各々が、アセンブリの上に積層したLGAを含む。 20

【図9】アセンブリの上に積層したSDQFPを含む、この発明の実施例に従う半導体アセンブリを通る断面図の概略図である。

【図10】アセンブリの上に積層したSDQFN/LFCSPを含む、この発明の実施例に従う半導体アセンブリを通る断面図の概略図である。

【図11】アセンブリの上に積層したワイヤボンドダイを含む、この発明の実施例に従う半導体アセンブリを通る断面図の概略図である。

【図12】アセンブリの上に積層したフリップチップダイを含む、この発明の実施例に従う半導体アセンブリを通る断面図の概略図である。

【図13】アセンブリの上に積層した光センサパッケージを含む、この発明の実施例に従う半導体アセンブリを通る断面図の概略図である。 30

【図14】アセンブリの上に積層したヒートスプレッダを含む、この発明の実施例に従う半導体アセンブリを通る断面図の概略図である。

【図15】この発明の実施例に従う半導体アセンブリを作るためのプロセスにおけるステップを示す図である。

【図16A】この発明の実施例に従うパッケージを作るためのプロセスにおける段階を示す図の断面図である。

【図16B】この発明の実施例に従うパッケージを作るためのプロセスにおける段階を示す図の平面図である。

【図17A】この発明の実施例に従うパッケージを作るためのプロセスにおける段階を示す図の断面図である。 40

【図17B】この発明の実施例に従うパッケージを作るためのプロセスにおける段階を示す図の平面図である。

【図18A】この発明の実施例に従うパッケージを作るためのプロセスにおける段階を示す図の断面図である。

【図18B】この発明の実施例に従うパッケージを作るためのプロセスにおける段階を示す図の平面図である。

【図19A】この発明の実施例に従うパッケージを作るためのプロセスにおける段階を示す図の断面図である。

【図19B】この発明の実施例に従うパッケージを作るためのプロセスにおける段階を示す図の平面図である。 50

【図20A】この発明の実施例に従うパッケージを作るためのプロセスにおける段階を示す図の断面図である。

【図20B】この発明の実施例に従うパッケージを作るためのプロセスにおける段階を示す図の平面図である。

【図21A】この発明の実施例に従うパッケージを作るためのプロセスにおける段階を示す図の断面図である。

【図21B】この発明の実施例に従うパッケージを作るためのプロセスにおける段階を示す図の平面図である。

【図22A】この発明の実施例に従うパッケージを作るためのプロセスにおける段階を示す図の断面図である。

10

【図22B】この発明の実施例に従うパッケージを作るためのプロセスにおける段階を示す図の平面図である。

【図23A】この発明の実施例に従うパッケージを作るためのプロセスにおける段階を示す図の断面図である。

【図23B】この発明の実施例に従うパッケージを作るためのプロセスにおける段階を示す図の平面図である。

【図24】この発明の別の局面に従う半導体パッケージアセンブリの実施例を通る断面図の概略図である。

【図25】図24と同様のアセンブリの上に積層したBGAを含む、この発明の実施例に従う半導体パッケージの実施例を通る断面図の概略図である。

20

【図26】この発明の別の実施例に従う半導体パッケージアセンブリを通る断面図の概略図である。

【図27】この発明の別の実施例に従う半導体パッケージアセンブリを通る断面図の概略図である。

【図28】この発明の別の実施例に従う半導体パッケージアセンブリを通る断面図の概略図である。

【図29】この発明の別の実施例に従う半導体パッケージアセンブリを通る断面図の概略図である。

【図30】この発明の別の実施例に従う半導体パッケージアセンブリを通る断面図の概略図である。

30

【 図 1 】

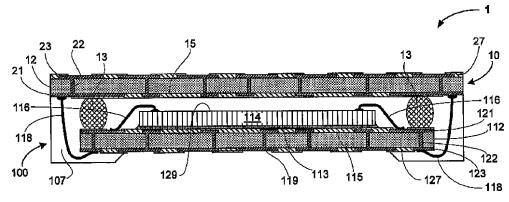


Fig. 1

【図2】

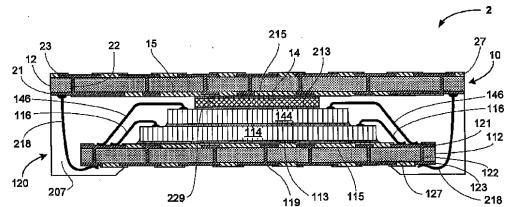


Fig. 2

(3)

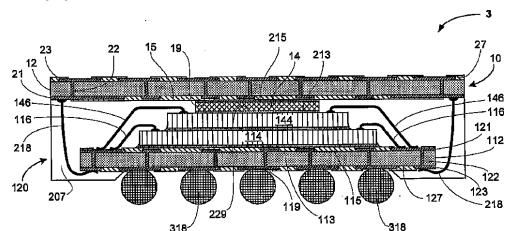


Fig. 3

【図5B】

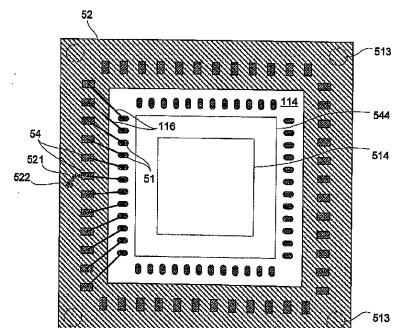


Fig. 5B

【図 6 A】

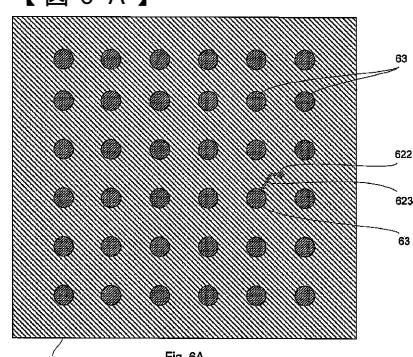


Fig. 6A

【 図 4 】

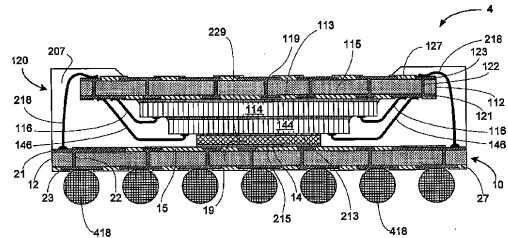


Fig. 4

【図5A】

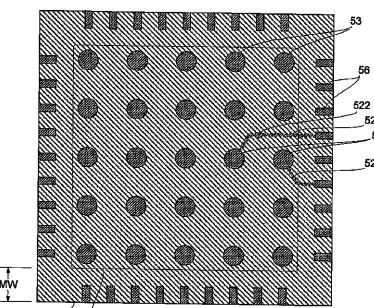


Fig. 5A

【図 6 B】

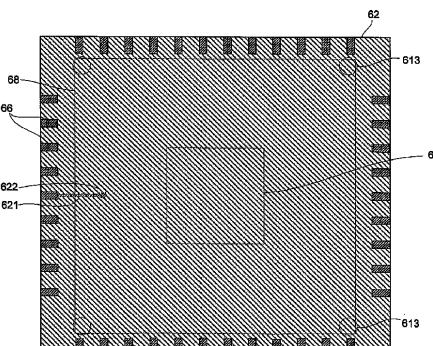


Fig. 6B

【圖 7 A】

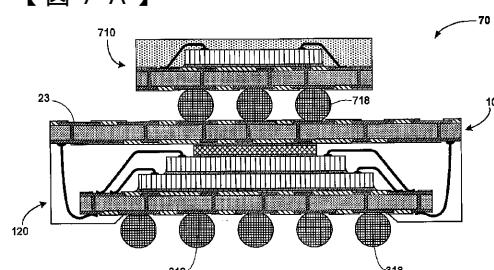


Fig. 7A

【図 7B】

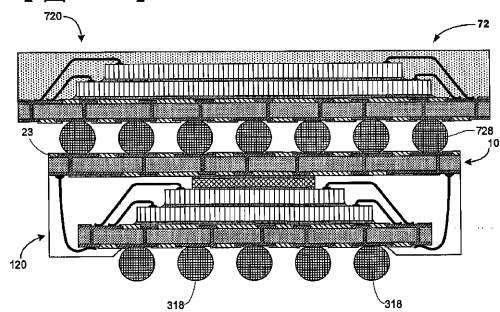


Fig. 7B

【図 8B】

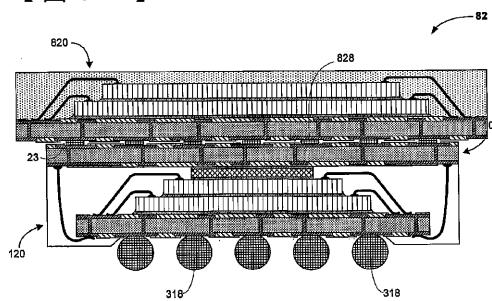


Fig. 8B

【図 8A】

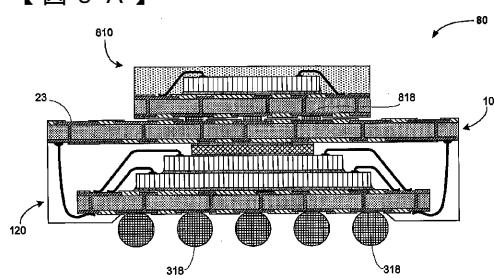


Fig. 8A

【図 9】

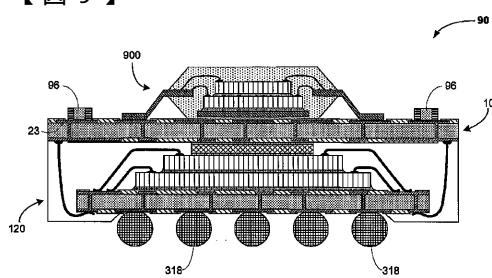


Fig. 9

【図 10】

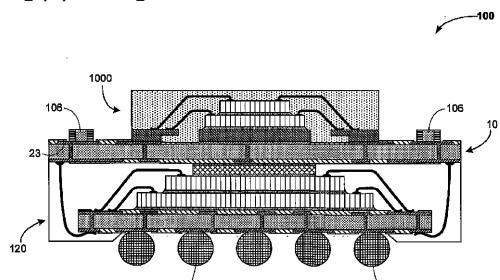


Fig. 10

【図 12】

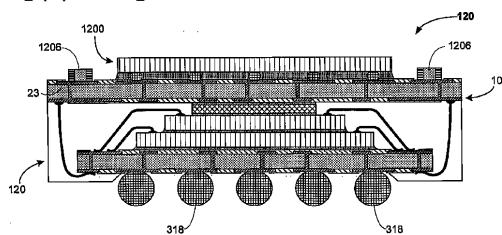


Fig. 12

【図 11】

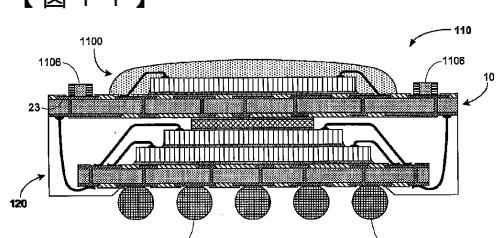


Fig. 11

【図 13】

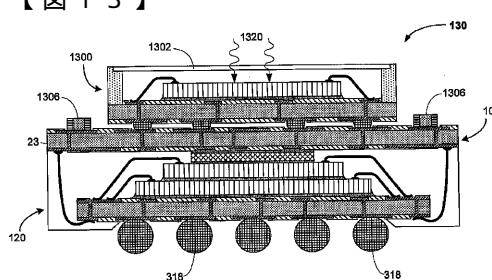


Fig. 13

【図 14】

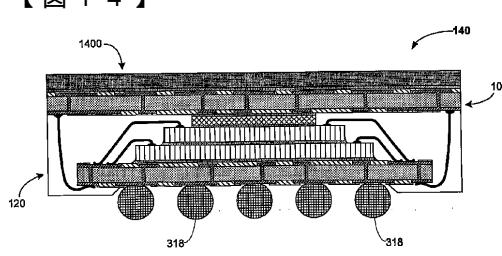


Fig. 14

【図15】

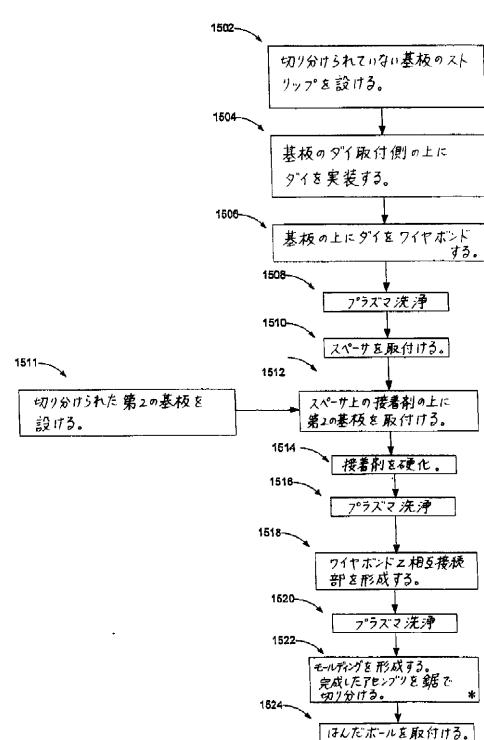


Fig. 15

【 図 2 4 】

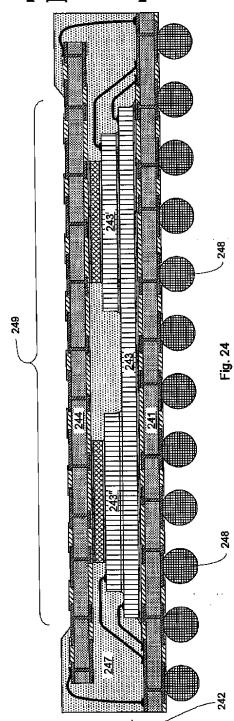


Fig. 24

【図25】

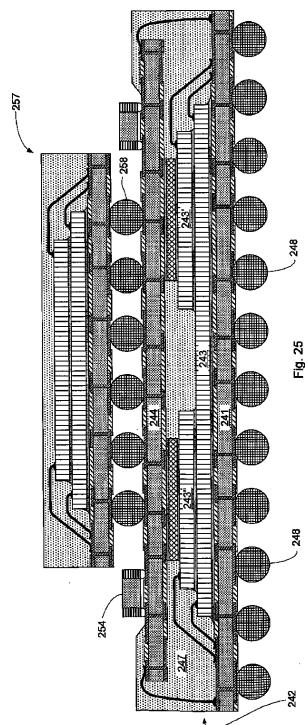


Fig. 25

【 図 2 6 】

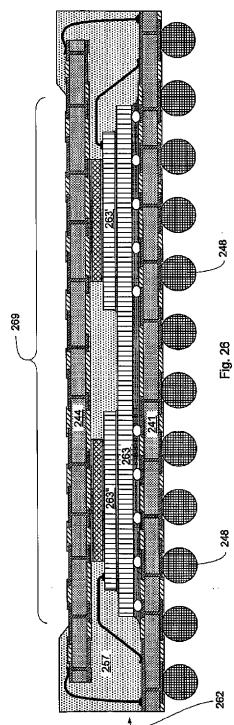
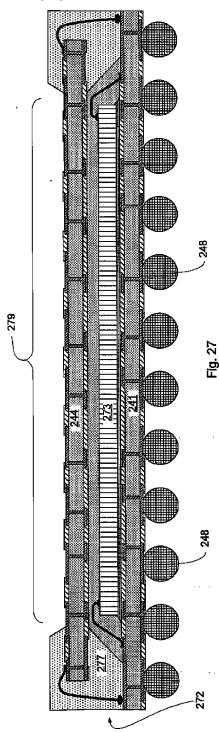
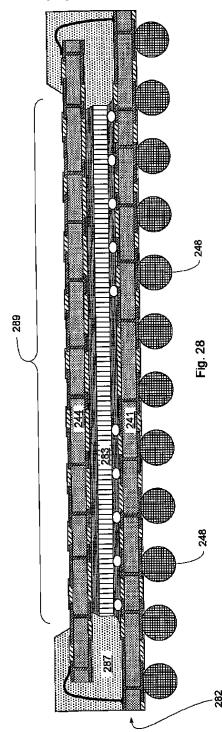


Fig. 26

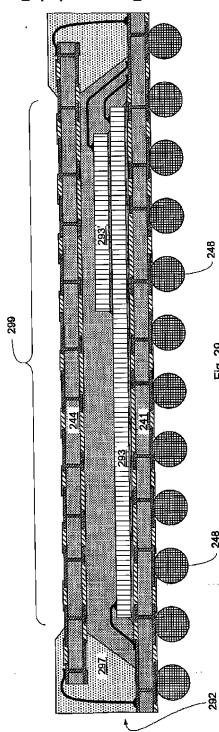
【図27】



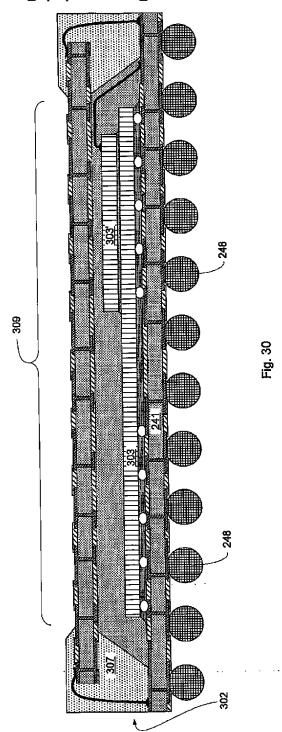
【図28】



【図29】



【図30】



【図 16A】



Fig. 16A

【図 16B】

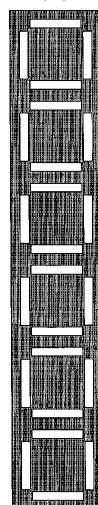


Fig. 16B

【図 17A】



Fig. 17A

【図 17B】

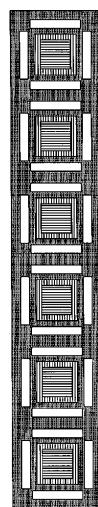


Fig. 17B

【図 18 A】



Fig. 18A

【図 18 B】

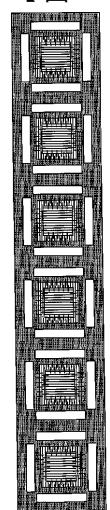


Fig. 18B

【図 19 A】

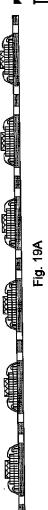


Fig. 19A

【図 19 B】

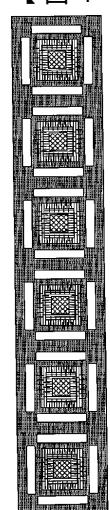


Fig. 19B

【図 20A】



Fig. 20A

【図 20B】



Fig. 20B

【図 21A】



Fig. 21A

【図 21B】



Fig. 21B

【図22A】

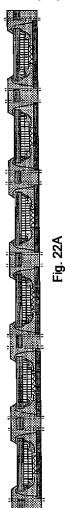


Fig. 22A

【図22B】

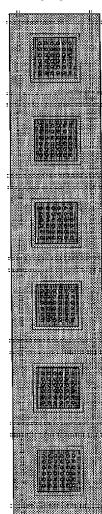


Fig. 22B

【図23A】



Fig. 23A

【図23B】

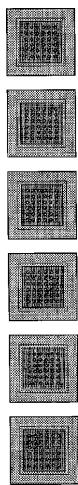


Fig. 23B

フロントページの続き

(31)優先権主張番号 11/394,635
(32)優先日 平成18年3月31日(2006.3.31)
(33)優先権主張国 米国(US)

早期審査対象出願

(74)代理人 100109162
弁理士 酒井 將行
(74)代理人 100111246
弁理士 荒川 伸夫
(72)発明者 カルネゾス , マルコス
アメリカ合衆国、94301 カリフォルニア州、パロ・アルト、リットン・アベニュー、535
(72)発明者 カーソン , フリン
アメリカ合衆国、94061 カリフォルニア州、レッドウッド・シティ、レッドウッド・アベニ
ュ、1280

審査官 石野 忠志

(56)参考文献 特開2003-086733(JP,A)
国際公開第2004/034433(WO,A1)
特開2000-228468(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 25/065
H01L 25/07
H01L 25/18