(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2004 年9 月2 日 (02.09.2004)

PCT

(10) 国際公開番号
WO 2004/075274 A1

(51) 国際特許分類[7]: H01L 21/265, 21/22

(21) 国際出願番号: PCT/JP2004/001473

(22) 国際出願日: 2004 年2 月12 日 (12.02.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2003-041123 2003 年2 月19 日 (19.02.2003) JP

(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真１００６番地 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 佐々木 雄一朗 (SASAKI, Yuichiro).

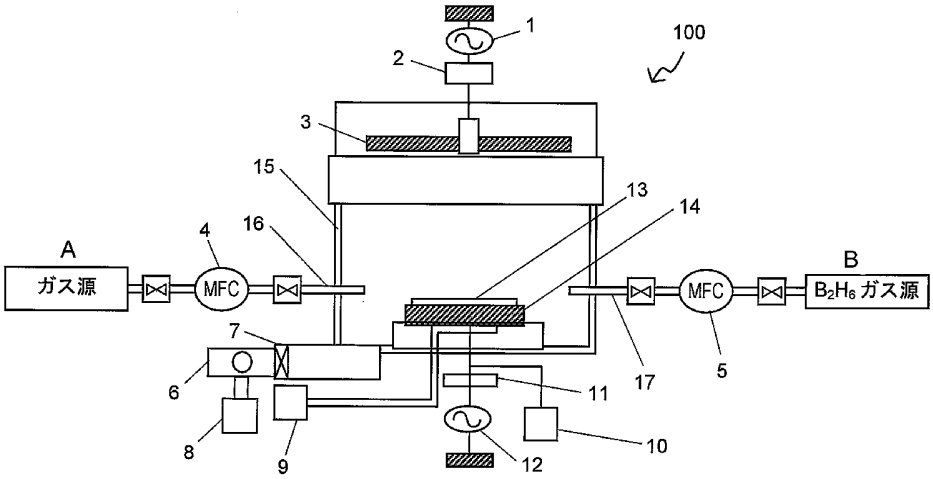
(74) 代理人: 岩橋 文雄， 外(IWAHASHI, Fumio et al.); 〒5718501 大阪府門真市大字門真１００６番地松下電器産業株式会社内 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

[続葉有]

(54) Title: METHOD FOR INTRODUCING IMPURITIES

(54) 発明の名称: 不純物導入方法



A...GAS SOURCE
B...B_2H_6 GAS SOURCE

(57) Abstract: A method for introducing impurities comprising a step for forming an amorphous layer on the surface of a semiconductor substrate, and a step for forming a shallow impurity introduction layer on the semiconductor substrate rendered amorphous characterized in that the step for forming the amorphous layer is a step for irradiating the surface of the semiconductor substrate with plasma, and the step for forming a shallow impurity introduction layer is a step for introducing impurities into the surface rendered amorphous.

(57) 要約: 本発明は、半導体基板の表面にアモルファス層を形成する工程と、アモルファス化された前記半導体基板に浅い不純物導入層を形成する工程を含む不純物導入方法およびそれに用いる装置を提供するものであり、特に、アモルファス層を形成する工程が前記半導体基板の表面にプラズマを

[続葉有]

WO 2004/075274 A1

SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

照射する工程であり、浅い不純物導入層を形成する工程がアモルファス化された前記表面に不純物を導入する工程であることを特徴とする。

明細書

不純物導入方法

技術分野

本発明は、半導体等の製造プロセスにおいて不純物を導入する不純物導入方法に関するものである。

背景技術

固体基体表面もしくは薄膜の表面には、一般的に、固体基体を構成する原子が空気中の酸素と結びついた酸化物の膜や水素で終端された膜が形成されている。その膜は非常に薄く通常は１ｎｍ以下である。従来は酸化物などの膜の上からイオン注入などの手段で不純物を物理的に導入していた。すなわち不純物となるイオンに電界等でエネルギーを与えて、表面に照射することで固体基体内部に不純物を導入していた。

ところで、近年デバイスの微細化に伴って浅い接合を形成する技術が求められている。ここで従来の浅い接合の形成技術としては、低エネルギーイオン注入技術が挙げられる。低エネルギーイオン注入技術は、イオン源からある程度高い電圧でイオンを引き出した後に、後段で減速させる方法であり、ビーム電流値をある程度大きく保ち、且つ、低エネルギーの注入ができる等の工夫がされてきた。このような工夫の結果、数１０ｎｍ程度の浅い不純物層の形成が可能となり、工業的に半導体の製造に適用されている。

さらに浅い接合形成のために、近年注目されている技術としてプラズマドーピング技術が挙げられる。プラズマドーピング技術とは、所望の粒子を含んだプラズマを半導体基板等の被処理体の表面に接触させて、被処理体表面に不純物を導入する技術である。ここで、プラズマはたかだか数１００Ｖの低エネルギーなので浅い不純物層の形成に適しており、１０数ｎｍから数１０ｎｍ程度の浅い接合を形成した実験が報告されている。

更に、現在最も浅いＰ型の接合を達成した実験が「テクニカル　ダイジェスト　オブ　シンポジウム　オン　ブイエルエスアイ　テクノロジ」（Technical Digest of Symposium on VLSI Technology, Honolulu, P. 110 (2000)）に開示されている。これによると接合の深さは７ｎｍであると説明されている。

また、ガスソースを用いた気相ドーピング法が、（１）International Workshop on Junction Technology （IWJT）, p. 19 (2000)、（２）J. Vac. Sci. Technol. A16, P.1, (1998)、（３）シリコンテクノロジーNo. 39 18th June, 2002　等に提案されている。これは常圧水素雰囲気で半導体基板を加熱し、B_2H_6やＰH_3を供給することでＰ型およびＮ型の不純物拡散層を形成することができる方法である。ここで水素キャリアガスはシリコン上の自然酸化膜を除去し、清浄表面を保つことで不純物特にボロンの表面偏析を抑制する効果がある。

またガスを分解するためには、一般に６００℃以上の温度が必要である。例えば「シリコンテクノロジー」（No. 39, 18th June, 2002）には、半導体基板を９００℃に加熱して、１ｐｐｍのB_2H_6ガスを４０秒供給することで高濃度の浅い接合を形成した実験結果が開示されている。これによると、ボロン濃度が１×10^{18} cm^{-3}となる深さを接合深さとして接合深さは上記と同程度の約７ｎｍである。

更に、International Workshop on Junction Technology （IWJT）, p.39-40 (2002)には、気相ドーピング法を室温で実現する技術が開示されている。これらは、表面に酸化物などの膜が付着している固体基体に物質を導入する際に、酸化物などの膜を除去した後に、所望の粒子を付着あるいは導入する方法である。その報告によると不純物導入層の深さは３～４ｎｍである。

以上、説明したように、プラズマドーピングや低エネルギーイオン注入などの方法により、近年では１０数ｎｍから数１０ｎｍ程度の浅い接合を形成した実験が報告されている。現在最も浅いＰ型の接合を達成した実験では７ｎｍ程度の浅い不純物層を形成している。しかし、デバイスのさらなる微細化が進むに従って

より浅い不純物層をより簡単に、かつ低抵抗に形成する方法の提供が求められている。

このような要求に応える技術として、プラズマドーピング技術は小さい加速エネルギーで粒子を半導体基板に導入できるので、イオン注入よりは浅い導入層ができる。しかし、小さいエネルギーとはいえ加速エネルギーを持つため、浅くすることには限界がある。また、プラズマドーピングではラジカルがドーパントとして基板に供給されることが知られている。ラジカルは電荷を持たないのでシース間で加速されて基板に打ち込まれることはないが、活性なので基板表面と反応して基板に導入されると考えられる。ガスソースを用いた気相ドーピング法は、加速エネルギーを持たないドーパントを基板に供給して表面反応によって不純物拡散層を形成する技術である。これらはエネルギーを持ったイオンを基板に照射する方法の限界を超える技術と位置付けられている。

しかしながら、上記のように、ガスソースを用いた気相ドーピングの方法はガスを分解するために、一般に６００℃以上の温度が必要とされていた。このような高温度ではマスク材料としてホトレジストを用いることはできない。そのためＣＶＤ法によりSiO_2などを形成し、パターニングする必要があり、トランジスタ形成プロセスの工程が増加してしまうという課題があった。

さらに、プラズマドーピングや気相ドーピング法などにおけるラジカルやガス分子などの加速エネルギーを持たないドーパント、または非常に加速エネルギーが小さいドーパントを基板に導入する場合には、短時間で高濃度の不純物層を形成することが難しいという課題があった。

また、酸化物などの膜を除去した後に、所望の粒子を付着または導入する方法を採用した気相ドーピング法は、室温で高濃度の不純物層を形成できるが、ドーズ量の制御方法が提案されていないという課題があった。

半導体基板である結晶シリコンをアモルファス化する技術としては、ゲルマニウムやシリコンをイオン注入する方法が従来から知られている。ゲルマニウムやシリコンをシリコン基板にイオン注入して表面をアモルファス化した後に、ボロ

ンなどの不純物をイオン注入し、その後、アニールする工程が広く検討されている。不純物をイオン注入する前にアモルファス化しておく利点として、以下のことが知られている。（1）ボロンなどの小さい不純物がイオン注入時に深くまで導入されにくくなること。（2）アモルファスシリコンは結晶シリコンと比較して光の吸収係数が高いので、アニール時に効率良く不純物を活性化できること。

しかし、イオン注入によるアモルファス化は、浅いアモルファス層を作る効率が不十分であるという課題があった。

発明の開示

本発明の不純物導入方法は、固体基体の表面にアモルファス層を形成する工程と、アモルファス化された前記半導体基板に浅い不純物導入層を形成する工程を含み、アモルファス層を形成する工程が前記半導体基板の表面にプラズマを照射する工程であり、浅い不純物導入層を形成する工程がアモルファス化された前記表面に不純物を導入する工程であることを特徴とする。本発明はまた、不純物を導入後、不純物を電気的に活性化させるためにアニールする工程をさらに含むことを特徴とする。

また、本発明の不純物導入装置は、固体基体表面をアモルファス化する装置と、不純物となる所望の粒子を導入する装置と、導入した不純物を活性化させるアニール装置の装置群を少なくとも有するものである。

図面の簡単な説明

図１は、本発明の一実施例に係る装置の要部断面図である。

図２は、本発明の一実施例における基板の断面 TEM 観察結果を示す図である。

図３は、本発明の一実施例におけるアモルファス層の厚さのプラズマ照射バイアス依存性を示す図である。

図４は、本発明に係る RHEED 観察結果を示す図である。

図５は、比較例に係る RHEED 観察結果を示す図である。

図６は、本発明の一実施例と比較例とについてシート抵抗値を比較した図である。

図７は、本発明の一実施例におけるシート抵抗値のプラズマ照射時間依存性を示す図である。

図８は、本発明の一実施例におけるシート抵抗値のバイアス電圧依存性を示す図である。

図９は、本発明の一実施例におけるシート抵抗値とアモルファス層厚さの関係を示す図である。

発明を実施するための最良の形態

本発明の不純物導入方法は、固体基体表面にプラズマを照射してアモルファス層を形成後に、または固体基体表面にアモルファス層を形成しながら、不純物となる所望の粒子を浸透、付着もしくは導入する(以下、導入と称する)ことを特徴とする。この理由は、アモルファス層を形成することで所望の粒子を、固体基体に導入しやすくなるからである。さらに、固体基体の一つであるシリコン基板に適用する場合、アモルファスシリコンは結晶シリコンと比較して光の吸収係数が高いので、表面にアモルファス層を形成することでアニール時に効率良く不純物を活性化でき、極浅接合 Ultra-Shallow Junction の低抵抗化を実現できるからである。

固体基体表面に極浅のアモルファス層を形成する場合には、プラズマを固体表面に照射する手段を選ぶことが望ましい。その理由は、従来のイオン注入によるアモルファス化に比べて、低エネルギーのプラズマを用いるので、浅いアモルファス層がより効率良く作成できるからである。アモルファス層が有する効果のうち、不純物をガスやラジカルなどの超低エネルギー状態で導入し易いという効果だけを利用したい場合には、アモルファス層の形成を、プラズマを固体表面に照射する手段、固体表面にイオン注入する手段、固体表面にアモルファス層を付け加える手段の群から選ばれる少なくとも一つの手段によって行うことで実現できる。プラズマを固体表面に照射する時間は７０秒未満とすることが良好なスルー

プットを実現するために望ましい。また、イオン注入はＧｅイオンを注入することが電気的特性の向上を期待できるので望ましい。

不純物を導入する方法は、当該アモルファス化した固体基体表面に所望の粒子を含むガス、またはプラズマを接触させて固体基体表面もしくはその近傍に浸透、付着もしくは導入することが望ましい。この理由は、ガス、またはプラズマのように加速エネルギーを持たない、または非常に加速エネルギーが小さい状態の粒子を接触させる方が浅い不純物層を形成できるからである。具体的な状態としては、プラズマ、ラジカル、ガス、超低エネルギーイオンなどが挙げられる。不純物導入方法の具体的名称としては、ガスの状態で導入する場合はガスドーピング、プラズマを固体基体表面に接触させる場合にはプラズマドーピングと呼ばれる。また、アモルファス化をイオン注入で行う場合には、効率良くアニールできることに加えて、不純物を超低エネルギーで導入できることを利用することで新規性が発揮される。具体的には、アモルファス化をイオン注入で行う場合には、不純物の導入はガスを固体基体表面に接触させる方法を用いる。この方法により、非常に浅い不純物導入層を作ることができる。

アモルファス化する固体基体表面の厚さ、アモルファス化の度合いを制御、調整することで、ドーズ量と接合深さを制御、調整して不純物を導入する方法は、シート抵抗値を制御し易く、またデバイス特性も制御し易いため望ましい。アモルファス化する固体基体表面の厚さ、アモルファス化の度合いの制御および調整は、具体的には、固体表面に照射するプラズマに関するバイアス電圧、照射時間、バイアスパワー、イオン種、シース電圧を変えることで行うことができる。

プラズマはアルゴン、ヘリウムなどの希ガス、または水素を含むことが望ましい。その理由は、希ガスは化学的に安定で固体基体表面との化学的反応が起こりにくいので、所望の粒子と固体基体表面との表面吸着を抑制する割合が小さいと考えられる。その結果、アモルファス化による不純物導入に加えて表面吸着による不純物の導入も期待できるからである。またヘリウム、水素は高温での拡散係数が大きくアニール後に表面に残る量が少ないので電気的にほとんど悪影響を及

ぼさないので望ましい。ヘリウムは、化学的に安定であり、高温での拡散係数が大きいという両方の特性を兼ね備えているので特に望ましい。

本発明の不純物導入装置は、固体基体表面をアモルファス化する装置と、所望の粒子を導入する装置と、導入した所望の粒子を活性化させるアニール装置の装置群を少なくとも有するものであり、それにより本発明に係るプロセスを実現できる。

さらに、固体基体表面をアモルファス化する装置と、所望の粒子を導入する装置と、導入した所望の粒子を活性化させるアニール装置の装置群を２つ以上組み合わせた、または一体化した方が、装置を小型化できる、生産性を向上できるなどの理由で望ましい。

さらに、短時間で高濃度の非常に浅い不純物層を形成でき、且つ、ドーズ量の制御が従来よりも容易で、アニール後のシート抵抗を低抵抗化できる不純物層の形成方法を提供できる。

以下、本発明の実施例を、図面を参照しながら説明する。ただし、本発明は以下の実施例に限定されない。

図１は、本発明の一実施例で用いた装置１００を説明する。装置１００は、高周波電源１、マッチングボックス２、コイルおよびアンテナ３、マスフローコントローラ４および５、ターボ分子ポンプ６、コンダクタンスバルブ７、ドライポンプ８、サークレータ９、ＤＣ電源１０、マッチングボックス１１、高周波電源１２および下部電極１４を有する。シリコン基板等の被処理体１３は下部電極上に置かれる。

図１では、シリコン基板１３をプロセスチャンバー１５内に搬送した後、下部電極１４上に設置した。プロセスチャンバー１５には希ガスの導入管１６とジボランガスの導入管１７を別々に接続した。なお、希ガスは、希ガスプラズマを表面に照射することでシリコン基板表面をアモルファス化させるために用いる。ジボランガスは、プラズマ化されてプラズマドーピングするために用いられたり、

ガスのままプロセスチャンバー１５に導入されてガスドーピングに用いられたりする。ガス流量はマスフローコントローラ４，５で別々に制御できる構成である。

以下の実施例では、固体基体自体の表面のアモルファス化を説明する。但し本発明はそれに限定されるわけでなく、固体基体上に形成された薄膜の表面にも適用できる。

（実施例１）

実施例１では、プラズマを照射してアモルファス層を形成する工程について詳しく説明する。

プロセスチャンバー１５内で、被処理体１３としてのシリコン基板にプラズマを照射した。

用いたガスは、アルゴン、ヘリウムまたは９９．９７５％のヘリウムに０．０２５％のジボランを混合したガスである。

最初に、シリコン基板にアルゴンプラズマを照射した。プラズマ照射条件は、プラズマ照射時間５秒から６０秒、バイアス電圧３０Ｖから３１０Ｖで行った。プラズマ照射を止めて、プロセスチャンバー１５内部を最初に真空引きした後、窒素ガスでパージをして基板をプロセスチャンバー１５から取り出した。取り出した基板の断面をＴＥＭ観察した。図２は、バイアス電圧１８０Ｖでプラズマ照射時間５秒間のアルゴンプラズマ照射後の断面ＴＥＭ写真である。シリコン基板２１上に、４．３ｎｍの厚さのアモルファス層２２が形成されていることわかる。

また、ヘリウムプラズマを用いた場合でもアモルファス層の形成を確認できた。なお、ヘリウムプラズマを用いた場合については、実施例２で説明する。

さらに、９９．９７５％のヘリウムガスと０．０２５％のジボランガスとの混合ガスのプラズマを用いて、１００Ｖのバイアス電圧で６０秒間、プラズマ照射を行った。アモルファス層の厚さは、１０ｎｍであった。また、ＳＩＭＳで測定したボロンのドーズ量は$7.3\times10^{14}cm^{-2}$であった。以上説明したように、アモルファス層の形成と不純物の導入とを同時に行うことが出来た。

（実施例２）

実施例２では、アモルファス化のためのプラズマ照射におけるアモルファス層の厚さの制御について説明する。

プロセスチャンバー１５内で、被処理体１３としてのシリコン基板にヘリウムガス濃度が１００％のヘリウムガスのプラズマを照射した。プラズマ照射時間を７秒と３０秒、バイアス電圧を３０Ｖから３１０Ｖの範囲で変化させた条件でそれぞれ行った。プロセスチャンバー１５から取り出した基板のアモルファス層の厚さをエリプソメトリーで測定した。図３は、バイアス電圧とアモルファス層の厚さの関係である。プラズマ照射で、２ｎｍから２２ｎｍの範囲のアモルファス層を３０秒以下の短時間で形成できることが了解できる。また、バイアス電圧を変化させることで、アモルファス層の厚さを制御できた。さらにプラズマを照射する時間を変えることでアモルファス層の厚さを変えることができた。

（実施例３）

実施例３では、本発明の不純物導入方法をガスドーピングに適用した例を示す。ガスドーピングで不純物を導入した場合において、アモルファス層の有無によるシート抵抗値の違いの検討を行った。アモルファス化により不純物が超低エネルギーで導入され易いことと、アニール後に低抵抗化できることを説明する。

プロセスチャンバー１５内で、被処理体１３としてのシリコン基板にアルゴンガスのプラズマを照射した。プラズマ照射は、プラズマ照射時間５秒、バイアス電圧１６０Ｖの条件で行った。プラズマ照射を止めて、プロセスチャンバー１５内部を真空引きした後、B_2H_6ガスを基板表面に７０秒間接触させた。７０秒後にB_2H_6ガスの供給を止めて、真空引きした後、窒素ガスでパージをして基板をプロセスチャンバー１５から取り出した。

取り出した基板を、１１００□、３分間でアニールした後、４探針法を用いてシート抵抗値を測定した。また、プラズマ照射されただけの基板について、RHEEDによる観察と、エリプソメトリーによる膜厚等の測定を行った。ここで、RHEEDとは反射高速電子回折Reflection High-Energy Electron Diffractionの

ことである。

図４にRHEEDによる表面観察の結果を示す。図４が示すように、結晶に特有の輝点が見られず、プラズマ照射することで基板の表面がアモルファス化していることがわかる。また、シート抵抗値は5.1E3 ohm/sqであった。

更に、プラズマ照射時間を５秒から７０秒の範囲で、バイアス電圧を４５Ｖから２１０Ｖの範囲で変えて同様の実験を行った。全ての条件で基板表面がアモルファス化されていた。このとき、シート抵抗値は6.5E2 ohm/sq以上、5.1E3 ohm/sq以下の範囲に分布した。

図６はアモルファス層の有無によるシート抵抗値（Sheet resistance）の違いを示したものである。アモルファス化を行った本実施例のシート抵抗値測定結果を白丸（○）で示す。同時に、アモルファス化を行わなかった比較例１の結果を黒丸（●）で示した。実施例のシート抵抗値は、比較例のシート抵抗値に比べて１桁から２桁小さい値に分布した。アモルファス層を形成したことにより、B_2H_6ガスが加速エネルギーを与えることなしでも基板に導入されやすくなったことおよびアニールに用いた光を効率良く吸収したことにより比較例と比べてシート抵抗値が大きく減少したと考えられる。

（実施例４）

実施例４では、不純物の導入方法をプラズマドーピングで行った場合のアモルファス層の有無によるシート抵抗値の違いの検討を行った。アモルファス化により、アニール後の接合深さが同じであるにもかかわらず、低抵抗化できることを説明する。

シリコン基板表面をアモルファス化するために、プロセスチャンバー１５内で被処理体１３としてのシリコン基板にヘリウムガス濃度が１００％のヘリウムガスのプラズマを照射した。プラズマ照射は、プラズマ照射時間７秒、バイアス電圧１５０Ｖの条件で行った。プラズマ照射を止めて、プロセスチャンバー１５内部を真空引きした。その後、プラズマドーピングのために、ヘリウムガスで５％に希釈したB_2H_6ガスのプラズマをバイアス電圧２００Ｖで７秒間照射した。プ

ラズマ照射を止めて、真空引きした後、窒素ガスでパージをして基板をプロセスチャンバー１５から取り出した。その後、不純物を電気的に活性化するために、昇温速度２００℃／秒、降温速度５０℃／秒、最高到達温度１０００℃のスパイク高速熱アニール（ｓｐｉｋｅ　ＲＴＡ）でアニールした。このように作成した試料のシート抵抗とＳＩＭＳプロファイルを測定した。

この試料のシート抵抗値は６３５ohm/sqであった。ＳＩＭＳプロファイルでボロン濃度が$1\times10^{18}cm^{-3}$となる深さを接合深さとすると、その接合深さは２７．２ｎｍであった。一方、比較例２で詳しく説明するが、アモルファス化をせずに、他の条件は同じにして作成した試料のシート抵抗値は９２３ohm/sqで、接合深さは２８．１ｎｍであった。すなわち、ヘリウムプラズマ照射によるアモルファス化をすることで、ほぼ同じ接合深さでも３０％以上低抵抗化することができた。

（実施例５）

実施例５では、プラズマ照射時間とシート抵抗値との関係を検討した。結果を図７に示す。

プロセスチャンバー１５内で、被処理体１３としてのシリコン基板にアルゴンガスのプラズマを照射した。アルゴンプラズマ照射は、プラズマ照射時間を５秒から７０秒の範囲で変化させた。バイアス電圧は４５Ｖ（×で示す）と１６０Ｖ（■で示す）の２つの条件で行った。プラズマ照射後の処理は何れも同じ条件で行った。すなわち、プラズマ照射を止めて、プロセスチャンバー１５内部を真空引きした後、B_2H_6ガスを基板表面に７０秒間接触させた。７０秒後にB_2H_6ガスの供給を止めて、真空引きした後、窒素ガスでパージをして基板をプロセスチャンバー１５から取り出した。取り出した基板は、１１００□、３分間でアニールされた後、４探針法を用いてシート抵抗値が測定された。

バイアス電圧が４５Ｖと１６０Ｖのどちらの場合も、プラズマ照射時間が長くなるに従ってシート抵抗値は低下した。この結果から、プラズマ照射時間を変えることでシート抵抗値を制御できることがわかる。

また、上記の実験結果は、プラズマ照射時間が長いほど高ドーズであることを示している。プラズマ照射時間が長いほど、シリコン基板表面のアモルファス化の程度が進行し、B_2H_6ガスの基板への導入の量が増加したものと考えられる。

（実施例６）

実施例６では、バイアス電圧とシート抵抗値の関係を検討した。その結果を図８に示す。アルゴンプラズマ照射時間は７０秒とし、その他の条件は何れも同じとして、バイアス電圧を、４５V(サンプル１)、１６０V(サンプル２)、２１０V(サンプル３)と変えてサンプルを作成した。特に明記していない条件は、実施例５と同様である。

図８が示すように、シート抵抗値はバイアス電圧の絶対値が大きくなるに従って低下した。その結果、サンプル２およびサンプル３のシート抵抗値は、**1.0E3 ohm/sq** 以下に低下した。

これにより、バイアス電圧を変えることでシート抵抗値を制御できることがわかる。

また、上記の実験結果はバイアス電圧の絶対値が大きいほど高ドーズであることを示している。バイアス電圧の絶対値が大きいほど、シリコン基板表面のアモルファス化の程度が進行し、B_2H_6ガスの基板への導入の量が増加したものと考えられる。

（実施例７）

実施例７では、アモルファス層の厚さとシート抵抗値の関係を検討した。その結果を図９に示す。横軸のアモルファス層の厚さは、実施例６で作成したサンプル１－３の基板表面に形成されたアモルファス層の厚さをエリプソメトリーで測定した値である。また、アモルファス層の厚さがゼロのデータは、比較例としてシリコン基板を測定した場合の測定結果である。

図９に示すように、アモルファス層の厚さは、サンプル１で約２ｎｍであり、サンプル２および３では約３ｎｍである。また、アモルファス層の厚さが増加するに従って、シート抵抗値は低下していることが分かる。この結果から、シート

抵抗値はアモルファス層の厚さを変えることで制御できることがわかる。また、実施例５および６で説明したアモルファス化の程度は、アモルファス層の厚さとして表現することが出来ることがわかる。

また、上記の実験結果はアモルファス層の厚さが大きいほど高ドーズであることを示している。これは、アモルファス層の厚さが大きいほどB_2H_6ガスの基板への導入の量が増加したことを示している。

（比較例１）

プラズマ照射によるアモルファス化をしていないことを除いて、その他は本発明の実施の形態を示す実施例３、５、６、７と同じ条件で実験を行った。比較例１は、ガスドーピングに関するもので実施例３に対応する。プロセスチャンバー１５にシリコン基板を導入し、プロセスチャンバー１５内を真空引きした後、B_2H_6ガスを基板表面に７０秒間接触させた。

７０秒後にB_2H_6ガスの供給を止めて真空引きした後、窒素パージをして基板をプロセスチャンバー１５から取り出した。取り出した基板は、１１００□、３分間でアニールした後、４探針法でシート抵抗値を測定した。また、Secondary Ion Mass Spectrometry （以下、SIMS）でボロンのドーズ量を測定した。さらに、プロセスチャンバー１５に導入する前のシリコン基板表面をRHEED、エリプソメトリーで観察、測定した。

図５は比較例のシリコン基板のRHEEDによる表面観察結果である。図５に示す写真の上部に揮点が観察されており、結晶であることが確認できた。また、エリプソメトリーによる測定でも表面のアモルファス層は確認できなかった。

また、シート抵抗値は1.7E5 ohm/sqであった。これはアモルファス層を形成した本実施例のシート抵抗値と比較して１桁以上大きい。SIMSの測定結果からボロンのドーズ量は2E12 cm-2であった。不純物がほとんど導入されていないことがわかる。

（比較例２）

プラズマ照射によるアモルファス化をしていないことを除いて、その他は発明の実施例４と同じ条件で実験を行った。つまり、プロセスチャンバー１５内に被処理体１３としてのシリコン基板を搬送した。その後、プラズマドーピングのために、ヘリウムガスで５％に希釈したB_2H_6ガスのプラズマをバイアス電圧２００Ｖで７秒間照射した。プラズマ照射を止めて、真空引きした後、窒素ガスでパージをして基板をプロセスチャンバー１５から取り出した。その後、不純物を電気的に活性化するために、昇温速度２００℃／秒、降温速度５０℃／秒、最高到達温度１０００℃の spike RTA でアニールした。このように作成した試料のシート抵抗とＳＩＭＳプロファイルを測定した。

この試料のシート抵抗は９２３ohm/sq、接合深さは２８．１nm であった。これは、実施例３のアモルファス化した試料と比較して、３０％以上シート抵抗が高い。

実施の形態では、固体基体表面自体のアモルファス化を説明したが、本発明の固体基体表面には、基体自体の表面に加えて基体上に形成された薄膜の表面も含む。従って、固体基体上に形成された薄膜の表面のアモルファス化も本発明に包含される。

このように、本実施例の不純物導入方法は、室温かつ短時間で非常に浅い不純物層を形成でき、半導体、液晶、バイオチップなどの能動素子、及び抵抗、コイル、コンデンサなどの受動素子が容易に製造できる。

産業上の利用可能性

以上のように本発明は、室温において短時間で高濃度の非常に浅い不純物層を形成でき、且つ、ドーズ量の制御が容易でアニール後のシート抵抗を低抵抗化できる不純物層を形成することができる不純物導入方法を提供するものである。

請求の範囲

1．不純物導入方法であって、

固体基体表面にアモルファス層を形成する第１工程と、

アモルファス化された前記固体基体に浅い不純物導入層を形成する第２工程を含み、

前記第１工程が前記固体基体の表面にプラズマを照射する工程であり、

前記第２工程がアモルファス化された前記固体基体の表面に不純物を導入する工程であることを特徴とする。

2．請求項１記載の不純物導入方法であって、前記第２工程が不純物をプラズマドーピングする工程であることを特徴とする。

3．請求項１記載の不純物導入方法であって、前記第２工程が不純物をイオン注入する工程であることを特徴とする。

4．請求項１記載の不純物導入方法であって、前記第２工程が不純物をガスドーピングする工程であることを特徴とする。

5．請求項１記載の不純物導入方法であって、前記第２工程の後にアニール工程を含み、前記アニール工程が前記不純物を活性化させることを特徴とする。

6．請求項１記載の不純物導入方法であって、

前記第１工程が前記第２工程に先立って行われるか、または、前記第２工程と同時に行われることを特徴とする。

７．請求項１記載の不純物導入方法であって、

前記第１工程と前記第２工程を同じプロセスチャンバー内で連続の工程としてin-situで行うことを特徴とする。

８．請求項１記載の不純物導入方法であって、

前記第１工程が、前記固体基体の表面にプラズマを照射する工程または、前記固体基体にアモルファス層を付け加える工程である。

９．請求項８記載の不純物導入方法であって、

前記固体基体がシリコンであり、前記第１工程が、前記固体基体の表面に照射するプラズマに関するバイアス電圧、照射時間、バイアスパワー、イオン種およびシース電圧のうちの少なくとも一の条件を変えることで、前記アモルファス層の厚さ制御する工程であることを特徴とする。

１０．請求項９記載の不純物導入方法であって、前記プラズマ照射時間が５秒以上７０秒未満であることを特徴とする。

１１．請求項８記載の不純物導入方法であって、前記プラズマが希ガス、水素及びハロゲンから選ばれる少なくとも一を含む系のプラズマであることを特徴とする。

１２．請求項１記載の不純物導入方法であって、

前記第１工程が、前記固体基体の表面にイオン注入する工程であり、

前記第２工程が、アモルファス化された前記固体基体の表面に、ガスドーピングを用いて前記不純物を導入する工程であることを特徴とする。

１３．請求項１２記載の不純物導入方法であって、前記イオン注入がＳｉ、Ｇｅから選ばれる少なくとも一のイオンの注入であることを特徴とする。

１４．請求項１記載の不純物導入方法であって、前記第２工程が、前記アモルファス層に前記所望の粒子を含むガス、またはプラズマを接触させる工程であって、前記固体基体の表面に前記粒子が不純物として導入されることを特徴とする。

１５．請求項１記載の不純物導入方法であって、前記第２工程で、所望の粒子が、プラズマ、ラジカル、ガス、イオンの状態で導入されることを特徴とする。

１６．不純物導入方法であって、固体基体の表面にプラズマを５秒以上７０秒未満照射する工程と、所望の粒子を含むガス、プラズマ、ラジカルおよびイオンから選ばれる少なくとも一つを前記固体基体の表面に接触させる不純物導入工程を有することを特徴とする。

１７．請求項１６記載の不純物導入方法であって、前記照射する工程が、前記固体基体の表面に照射するプラズマに関するバイアス電圧、照射時間、バイアスパワー、イオン種およびシース電圧のうちの少なくとも一の条件を変えることで、前記固体基体の表面に導入する不純物量を制御する工程であることを特徴とする。

１８．請求項１６記載の不純物導入方法であって、前記プラズマが希ガス、水素及びハロゲンから選ばれる少なくとも一のガスを含む系のプラズマであることを特徴とする。

１９．請求項１６記載の不純物導入方法であって、前記不純物導入工程の後にアニール工程をさらに有し、前記アニール工程が前記不純物を活性化させることを特徴とする。

２０．不純物導入装置であって、固体基体の表面にアモルファス層を形成する第１装置と、前記固体基体の表面に所望の粒子を導入する第２装置と、導入した前記所望の粒子を活性化させるアニール用の第３装置を有し、前記固体基体の表面へのアモルファス層の形成と、前記アモルファス層への所望の粒子の導入とを、順次または同時に行うことが出来る。

２１．請求項２０記載の不純物導入装置であって、前記第１装置、第２装置および第３装置から選ばれる装置を二以上の装置が組合わされるか、または一体化されることを特徴とする。

FIG. 1

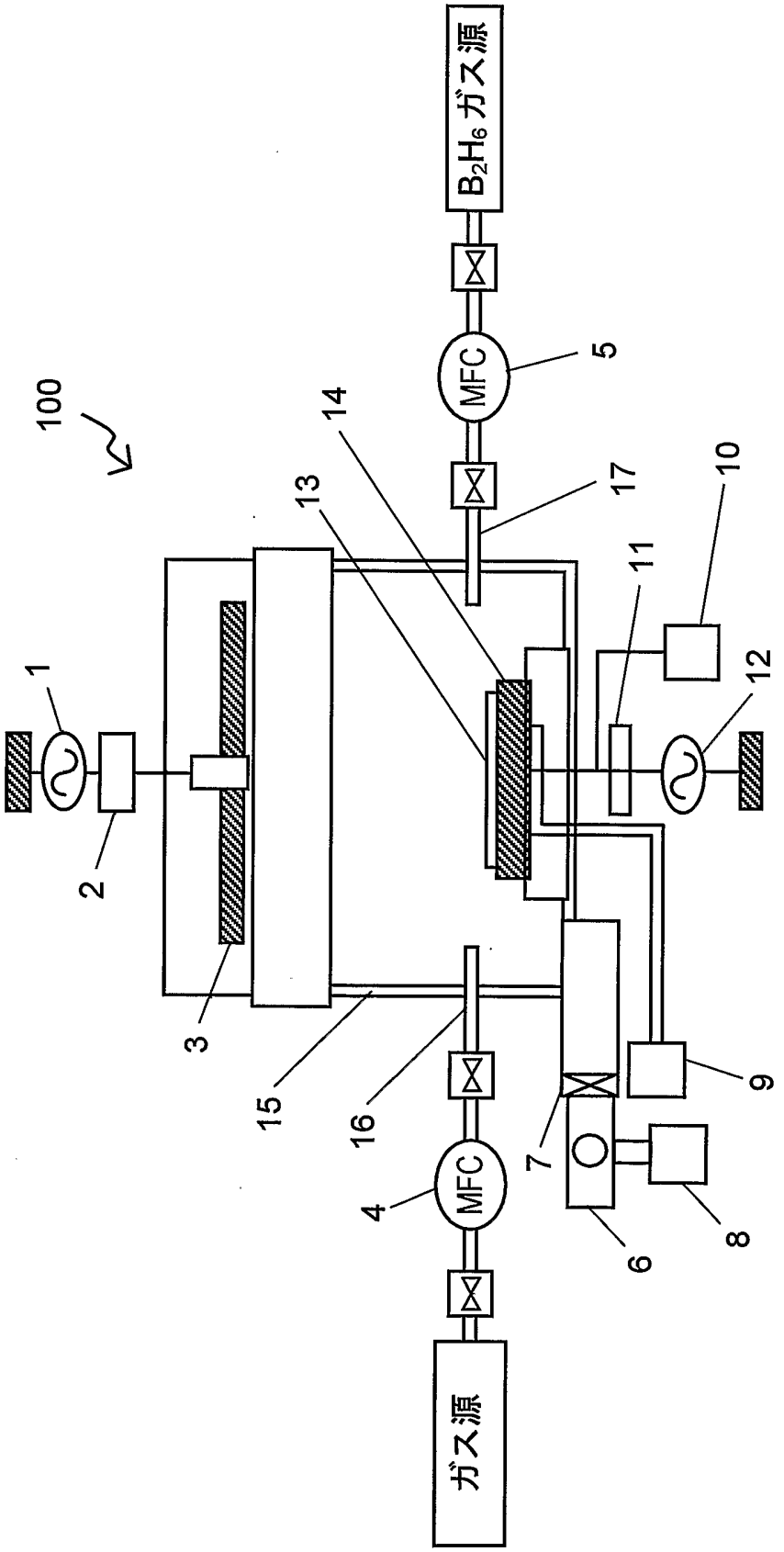


FIG. 2

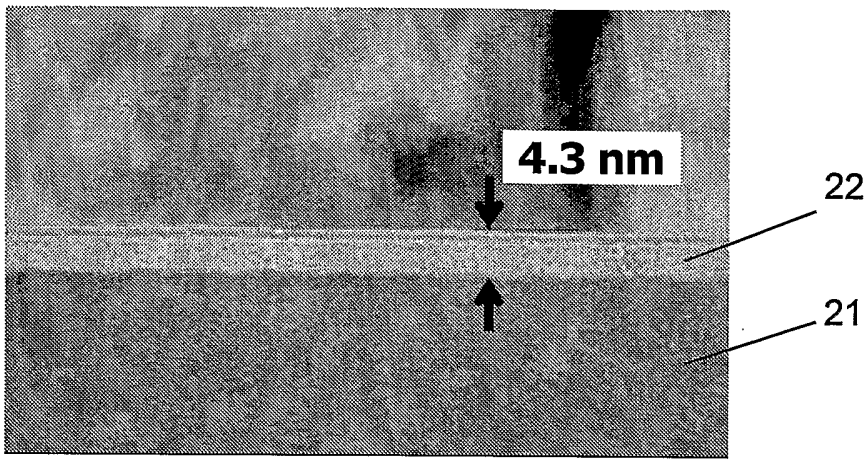

4.3 nm
22
21

FIG. 3

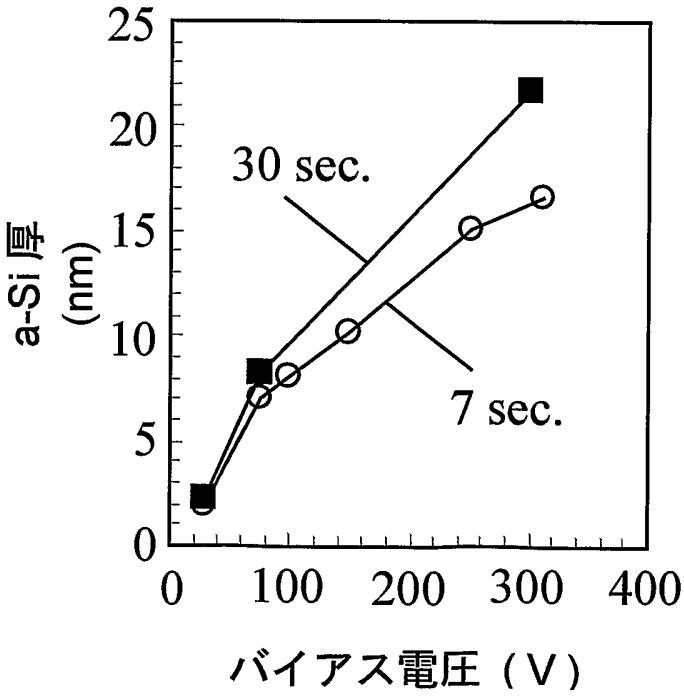

25
20
15
10
5
0
a-Si 厚 (nm)
30 sec.
7 sec.
0
100
200
300
400
バイアス電圧（V）

FIG. 4

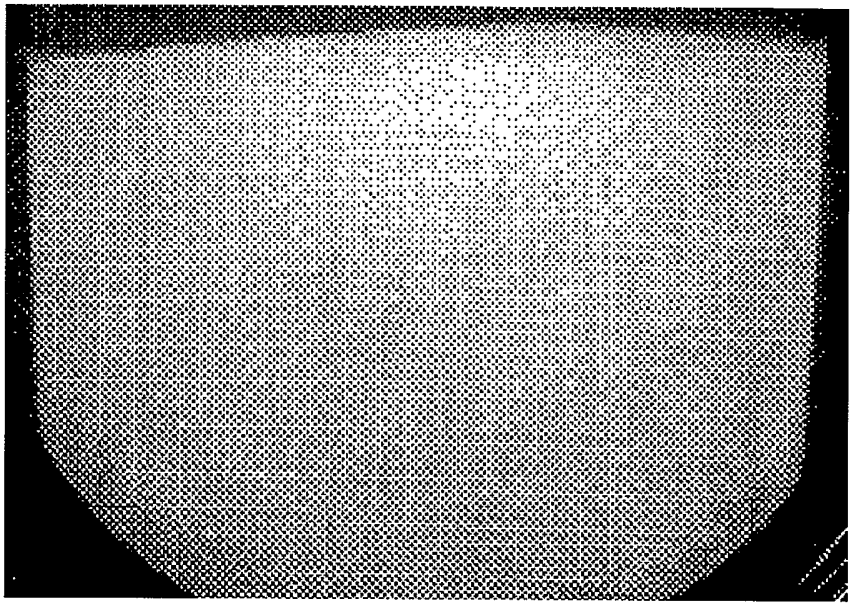


FIG. 5

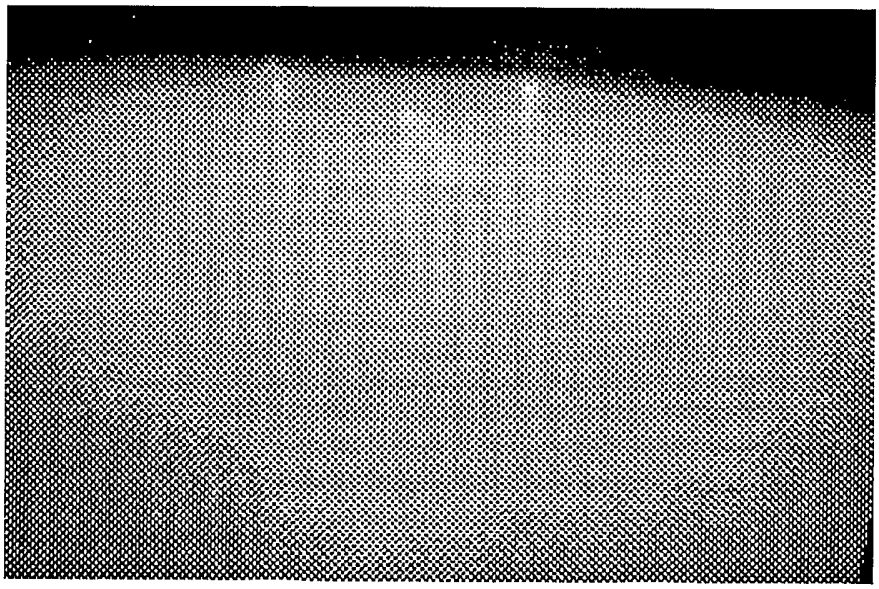


FIG. 6

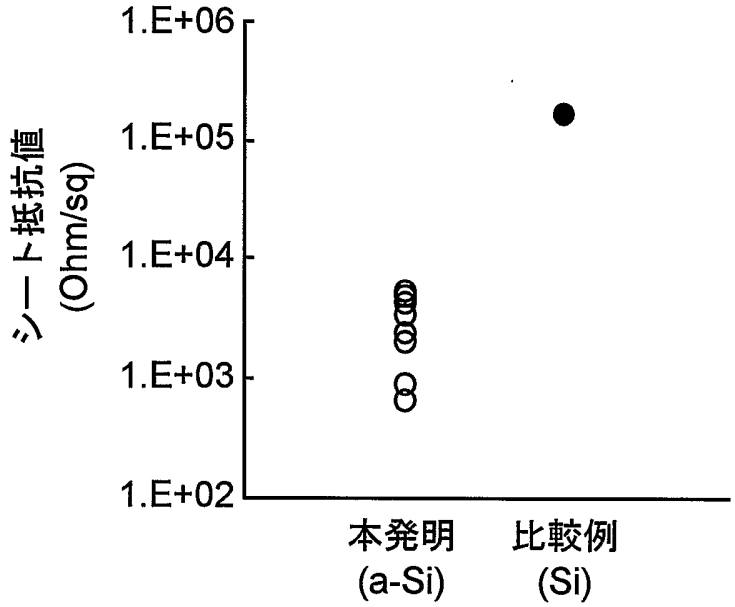

1.E+06
1.E+05
1.E+04
1.E+03
1.E+02
シート抵抗値
(Ohm/sq)
本発明
(a-Si)
比較例
(Si)

FIG. 7

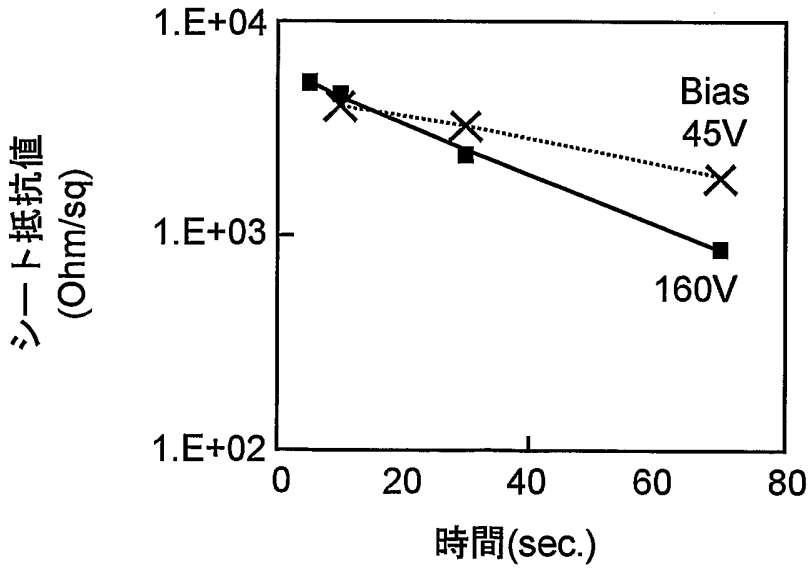

1.E+04
1.E+03
1.E+02
シート抵抗値
(Ohm/sq)
Bias
45V
160V
0
20
40
60
80
時間(sec.)

FIG. 8

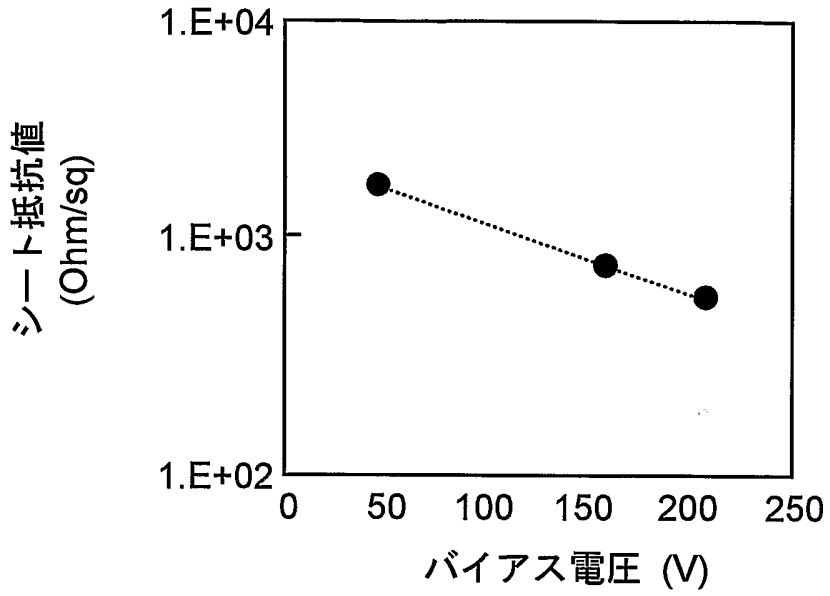
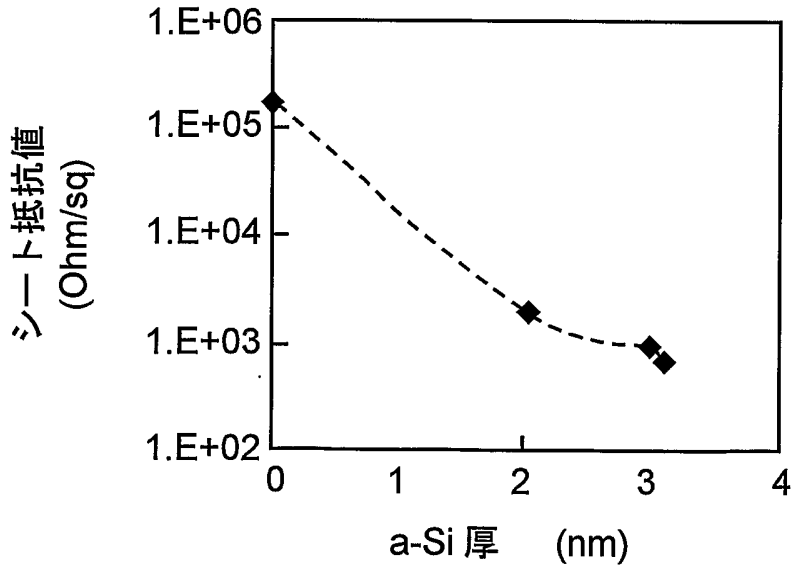

1.E+04
1.E+03
1.E+02
シート抵抗値
(Ohm/sq)
0
50
100
150
200
250
バイアス電圧 (V)

FIG. 9


1.E+06
1.E+05
1.E+04
1.E+03
1.E+02
シート抵抗値
(Ohm/sq)
0
1
2
3
4
a-Si 厚 (nm)

図面の参照符号の一覧表

１　高周波電源
２　マッチングボックス
３　コイルおよびアンテナ
４　マスフローコントローラ
５　マスフローコントローラ
６　ターボ分子ポンプ
７　コンダクタンスバルブ
８　ドライポンプ
９　サークレータ
１０　ＤＣ電源
１１　マッチングボックス
１２　高周波電源
１３　被処理体
１４　下部電極

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/001473

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H01L21/265, 21/22

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H01L21/265, 21/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5561072 A (NEC CORP.), 01 October, 1996 (01.10.96), Full text; Figs. 1 to 5 & JP 7-142421 A Full text; Figs. 1 to 6 & KR 204856 B1	1-21
X	JP 9-199719 A (Toshiba Corp.), 31 July, 1997 (31.07.97), Full text; Figs. 1 to 11 (Family: none)	1-21
X	JP 5-206045 A (Hitachi, Ltd.), 13 August, 1993 (13.08.93), Full text; Figs. 1 to 4 (Family: none)	1-21

[X] Further documents are listed in the continuation of Box C. [ ] See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
26 March, 2004 (26.03.04)	13 April, 2004 (13.04.04)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2004)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/001473

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 58-97863 A (Tokyo Shibaura Electric Co., Ltd.), 10 June, 1983 (10.06.83), Full text; Figs. 1 to 3 (Family: none)	1-21

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００４／００１４７３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Ｉｎｔ．Ｃｌ⁷ Ｈ０１Ｌ２１／２６５，２１／２２

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Ｉｎｔ．Ｃｌ⁷ Ｈ０１Ｌ２１／２６５，２１／２２

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００４年
日本国実用新案登録公報	１９９６－２００４年
日本国登録実用新案公報	１９９４－２００４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｘ	ＵＳ　５５６１０７２　Ａ（ＮＥＣ　ＣＯＲＰＯＲＡＴＩＯＮ）１９９６．１０．０１，全文，第１－５図 ＆　ＪＰ　７－１４２４２１　Ａ，全文，第１－６図 ＆　ＫＲ　２０４８５６　Ｂ１	１-21
Ｘ	ＪＰ　９－１９９７１９　Ａ（株式会社東芝） １９９７．０７．３１，全文，第１－１１図（ファミリーなし）	１-21
Ｘ	ＪＰ　５－２０６０４５　Ａ（株式会社日立製作所） １９９３．０８．１３，全文，第１－４図（ファミリーなし）	１-21

☒ Ｃ欄の続きにも文献が列挙されている。　　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日 ２６．０３．２００４	国際調査報告の発送日 13. 4. 2004
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員） ４Ｌ　９２７７ 宮崎　園子 電話番号　０３－３５８１－１１０１　内線　３４９６

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（２００４年１月）

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｘ	ＪＰ　５８－９７８６３　Ａ（東京芝浦電気株式会社） １９８３．０６．１０，全文，第１－３図（ファミリーなし）	１-21