



(12) 发明专利

(10) 授权公告号 CN 112418414 B

(45) 授权公告日 2024. 10. 22

(21) 申请号 201911132679.9

(22) 申请日 2019.11.19

(65) 同一申请的已公布的文献号

申请公布号 CN 112418414 A

(43) 申请公布日 2021.02.26

(30) 优先权数据

10-2019-0103264 2019.08.22 KR

(73) 专利权人 高丽大学校产学协力团

地址 韩国首尔市城北区安岩路145

(72) 发明人 金相植 赵庚娥 禹率娥 任斗赫

赵鎭先 朴永洙

(74) 专利代理机构 北京同立钧成知识产权代理

有限公司 11205

专利代理师 杨文娟 臧建明

(51) Int.Cl.

G06N 3/063 (2023.01)

(56) 对比文件

CN 108880529 A, 2018.11.23

CN 109478249 A, 2019.03.15

审查员 孙韬敏

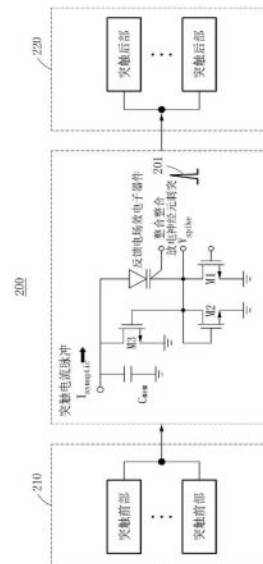
权利要求书2页 说明书12页 附图11页

(54) 发明名称

利用单栅极的反馈电场效电子器件的整合
放电神经元电路

(57) 摘要

本发明涉及为了小面积和低耗能而使用单栅极的反馈电场效电子器件 (FBFET) 的新整合放电神经元电路 (integrate-and-fire (IF) neuron circuit), 在一实施例的神经元电路中, 通过电容器充电从突触输入的电流来生成电势 (potential), 若生成的上述电势大于阈值, 则利用连接于上述电容器的单栅极的反馈电场效电子器件生成与生成的上述电势相对应的刺突电压并输出, 利用连接于上述反馈电场效电子器件的多个晶体管来复位生成的上述刺突电压。



1. 一种神经元电路,其特征在于,
通过电容器充电从突触输入的电流来生成电势,
若生成的上述电势大于阈值,则利用连接于上述电容器的单栅极的反馈电场效电子器件,来生成与所生成的上述电势相对应的刺激电压并输出,
利用连接于上述反馈电场效电子器件的三个晶体管来复位所生成的上述刺激电压,
在上述单栅极的反馈电场效电子器件中,漏极端与上述电容器并联连接,源极端与上述三个晶体管相连接,栅极端与第一字线相连接,
在上述三个晶体管中,
第一晶体管的栅极端与第二字线相连接,漏极端与上述反馈电场效电子器件的源极端串联连接,
第二晶体管的栅极端及漏极端与上述第一晶体管的漏极端和上述反馈电场效电子器件的源极端共同连接,
第三晶体管的漏极端与上述电容器及上述反馈电场效电子器件的漏极端共同连接,上述第三晶体管的栅极端与上述第二晶体管的栅极端及漏极端共同连接。
2. 根据权利要求1所述的神经元电路,其特征在于,通过上述第一晶体管和上述反馈电场效电子器件的分压确定上述刺激电压。
3. 根据权利要求1所述的神经元电路,其特征在于,上述刺激电压的周期根据上述第一字线的电压的变化来变化。
4. 根据权利要求1所述的神经元电路,其特征在于,上述刺激电压的频率根据与输入脉冲的时间幅度有关的变化来变化。
5. 根据权利要求1所述的神经元电路,其特征在于,上述单栅极的反馈电场效电子器件利用通过漏极电压在沟道区域中生成的正反馈环现象来生成与所生成的上述电势相对应的刺激电压。
6. 根据权利要求5所述的神经元电路,其特征在于,在上述单栅极的反馈电场效电子器件中,在沟道区域设置有多个位垒,利用上述多个位垒在施加上述漏极电压之前阻隔电荷载流子的注入。
7. 根据权利要求6所述的神经元电路,其特征在于,在上述单栅极的反馈电场效电子器件中,当上述漏极电压增加至预设的基准电压时,通过上述漏极电压在非栅极沟道区域的价带中引导上述多个位垒的高度变低,在上述多个位垒的高度变低的情况下,向栅极沟道区域的势阱注入空穴。
8. 根据权利要求7所述的神经元电路,其特征在于,在上述单栅极的反馈电场效电子器件中,向上述栅极沟道区域的势阱注入空穴,在上述多个位垒的高度变低的情况下,向本征区域的价带的势阱注入漏极区域的空穴。
9. 根据权利要求8所述的神经元电路,其特征在于,在上述单栅极的反馈电场效电子器件中,随着上述位垒的高度反复变低,产生正反馈环现象,并仅在规定时间内去除上述位垒。
10. 根据权利要求1所述的神经元电路,其特征在于,在上述单栅极的反馈电场效电子器件中,向在上述第二晶体管的栅极端产生的电压引导复位电流,来减少上述刺激电压,使放电电流在上述第三晶体管流动来复位生成的上述刺激电压。

11. 根据权利要求1所述的神经元电路,其特征在于,
利用电阻代替上述第一晶体管,
仅利用向作为上述单栅极的反馈电场效应器件的上述第一字线施加的电源电压,
通过代替上述第一晶体管的电阻和上述反馈电场效应器件的分压确定上述刺突电压。

利用单栅极的反馈电场效电子器件的整合放电神经元电路

技术领域

[0001] 本发明涉及利用单栅极的反馈电场效电子器件 (FBFET) 的整合放电神经元电路, 尤其, 涉及为了小面积和低耗能而使用单栅极的反馈电场效电子器件的新整合放电神经元电路 (integrate-and-fire (IF) neuron circuit)。

背景技术

[0002] 作为利用电子器件及电路模仿人的神经结构的技术, 具有仿神经 (Neuromorphic) 技术。

[0003] 在现有的冯·诺依曼计算机中, 在循序渐进的数学计算中, 表现出快速的动作速度, 但是, 当计算同步性输入和输出时, 在速度及耗电方面表现出了局限性。

[0004] 随着人工神经网络越来越受到关注, 正在加速研发卷积神经网络 (CNN, convolution neural network)、递归神经网络 (RNN, recurrent neural networks) 及脉冲神经网络 (SNN, spiking neural networks) 等的模仿生物神经及大脑行动的电子装置。

[0005] 在各种仿神经技术中, 脉冲神经网络技术模仿大脑神经网络及脑波的作用, 因此, 可体现更加精致的思考能力。

[0006] 为了实现上述脉冲神经网络, 需利用电子器件实现神经元和突触, 尤其, 在全球范围内, 正在进行利用电子器件体现用于负责大脑记忆及学习的突触的研究。

[0007] 突触模仿器件需要双向并行动作、突触可塑性、低功率、高集成化特性。

[0008] 现有的存储器件无法进行双向并行动作, 且难以实现突触可塑性, 因此, 正在进行阻变存储器 (ReRAM, resistive random-access memory)、相变存储器 (PCM, phase change memory)、导电桥存储器 (CBRAM, conductive bridge memory) 等与具有各种材料及结构的存储器件有关的研究。

[0009] 尤其, 由于高速、实时动作及生物充实度, 将脉冲神经网络视作用于复杂的图案识别、分类及功能评价的最强计算工具。

[0010] 与已广泛利用的基于深度神经网络 (DNN, Deep Neural Network) 的技术不同地, 脉冲神经网络为模仿人脑的动作的网络, 通过神经元之间的相互作用调节突触的连接强度, 发送或接收电信号来处理信息。

[0011] 在脉冲神经网络中, 神经元电路通过生成一连串刺突来传递信息, 并对输入信号进行编码来生成刺突。在脉冲神经网络中, 多个神经元电路与微细芯片相连接, 来处理整合并相连接的输入和输出。

[0012] 因此, 为了构成基于硬件的脉冲神经网络, 最重要的考虑事项为设计具有小面积和低耗能的有效神经元电路。

[0013] 但是, 最近, 大部分的研究重点在于用于实现输入脉冲的整合 (integration)、阈值触发及刺突电压的神经元的功能。尤其, 重点在于用于这种神经元功能的基于互补金属氧化物半导体 (CMOS) 的电路设计。并且, 为了实现这种功能而设计的神经元电路需使用耗能高的多个晶体管。

- [0014] 因此,需要研发具有小面积和低耗能的中枢神经元电路。
- [0015] 现有技术文献
- [0016] 专利文献
- [0017] 韩国公开专利第2017-0138047号“神经元模仿器件及电路”
- [0018] 韩国公开专利第2018-0127153号“结合神经元电路和突触器件阵列的神经系统模仿集成电路及其制造方法”
- [0019] 非专利文献
- [0020] M.Vardhana,N.Arunkumar,S.Lasrado,E.Abdulhay,and,G.Ramirez. “Convolutional neural network for bio-medical image segmentation with hardware acceleration.”Cognitive Systems,vol.50,pp.10-14,Aug.2018,doi:10.1016/j.cogsys.2018.03.005.
- [0021] G.Cauwenberghs.“An analogVLSI recurrent neural network learning a continuous-time trajectory.”IEEE Transactions on Neural Networks,vol.7,no.2, pp.346-361,Mar.1996,doi:10.1109/72.485671.

发明内容

- [0022] 本发明的目的在于,提供为了小面积和低耗能而使用单栅极的反馈电场效电子器件的新整合放电神经元电路。
- [0023] 本发明的目的在于,提供仅通过20kHz水平的高点火频率和四个晶体管呈现包括7 μ W的低耗能的优秀特性的神经元电路。
- [0024] 本发明的目的在于,提供用于大规模整合(VLSI,very large scale of integration)的基于硬件的脉冲神经网络的可能性。
- [0025] 根据一实施例,在神经元电路中,通过电容器充电从突触输入的电流来生成电势(potential),若生成的上述电势大于阈值,则利用连接于上述电容器的单栅极的反馈电场效电子器件,来生成与所生成的上述电势相对应的刺激电压并输出,可利用连接于上述反馈电场效电子器件的三个晶体管来复位所生成的上述刺激电压。
- [0026] 根据一实施例,在上述单栅极的反馈电场效电子器件中,漏极端与上述电容器并联连接,源极端与上述三个晶体管相连接,栅极端可与第一字线相连接。
- [0027] 根据一实施例,在上述三个晶体管中,第一晶体管的栅极端与第二字线相连接,漏极端与上述反馈电场效电子器件的源极端串联连接,第二晶体管的栅极端及漏极端与上述第一晶体管的漏极端和上述反馈电场效电子器件的源极端共同连接,第三晶体管的漏极端与上述电容器及上述反馈电场效电子器件的漏极端共同连接,上述第三晶体管的栅极端可与上述第二晶体管的栅极端及漏极端共同连接。
- [0028] 根据一实施例,可通过上述第一晶体管和上述反馈电场效电子器件的分压(voltage division)确定上述刺激电压。
- [0029] 根据一实施例,上述刺激电压的周期可根据上述第一字线的电压的变化而变化。
- [0030] 根据一实施例,上述刺激电压的频率可根据与上述输入脉冲的时间幅度有关的变化而变化。
- [0031] 根据一实施例,上述单栅极的反馈电场效电子器件利用通过漏极电压在沟道区域

中生成的正反馈环现象来生成与所生成的上述电势相对应的刺突电压。

[0032] 根据一实施例,在上述单栅极的反馈电场效电子器件中,在沟道区域设置有多位垒(potential barriers),可利用上述多位垒在施加上述漏极电压之前阻隔电荷载流子的注入。

[0033] 根据一实施例,在上述单栅极的反馈电场效电子器件中,当上述漏极电压增加至预设的基准电压时,通过上述漏极电压在非栅极沟道区域(non-gated channel region)的价带(valence band)中引导上述多位垒的高度变低,在上述多位垒的高度变低的情况下,可向栅极沟道区域的势阱(potential well)注入空穴。

[0034] 根据一实施例,在上述单栅极的反馈电场效电子器件中,向上述栅极沟道区域的势阱注入空穴,在上述多位垒的高度变低的情况下,可向本征区域的价带的势阱注入上述漏极区域的空穴。

[0035] 根据一实施例,在上述单栅极的反馈电场效电子器件中,可随着上述位垒的高度反复变低,产生正反馈环现象,并仅在规定时间内去除上述位垒。

[0036] 根据一实施例,在上述单栅极的反馈电场效电子器件中,向在上述第二晶体管的栅极端产生的电压引导复位电流,来减少上述刺突电压,可使放电电流在上述第三晶体管流动来复位生成的上述刺突电压。

[0037] 根据一实施例,在神经元电路中,通过电容器充电从突触输入的电流来生成电势,若所生成的上述电势大于阈值,则利用连接于上述电容器的单栅极的反馈电场效电子器件,来生成与所生成的上述电势相对应的刺突电压并输出,可利用连接于上述反馈电场效电子器件的三个晶体管来复位所生成的上述刺突电压。

[0038] 根据一实施例,在神经元电路中,利用电阻代替上述第一晶体管,仅利用向作为单栅极的反馈电场效电子器件的第一字线施加的电源电压,可通过代替上述第一晶体管的电阻和上述反馈电场效电子器件的分压确定刺突电压。

[0039] 根据一实施例,可提供为了小面积和低耗能而使用单栅极的反馈电场效电子器件的新整合放电神经元电路。

[0040] 根据一实施例,可提供仅通过20kHz水平的高点火频率和四个晶体管呈现包括7 μ W的低耗能的优秀特性的神经元电路。

[0041] 根据一实施例,可提供用于大规模整合的基于硬件的脉冲神经网络的可能性。

附图说明

[0042] 图1a和图1b为用于说明一实施例的二极管结构体和接入电子器件串联连接来形成反馈电场效电子器件的结构图。

[0043] 图1c为更具体地说明二极管结构体的结构要素的图。

[0044] 图1d为更具体地说明接入电子器件的结构要素的图。

[0045] 图2为示出一实施例的神经元电路的框图。

[0046] 图3a用于说明没有漏极偏压的反馈电场效电子器件的能带图。

[0047] 图3b用于说明根据各种漏极电压的反馈电场效电子器件的能带图。

[0048] 图3c为用于说明 $V_{GS}=270\text{mV}$ 中 I_D-V_D 输出曲线和在根据漏极电压的反馈电场效电子器件的沟道区域中空穴浓度及非栅极沟道区域中的电子浓度的图。

- [0049] 图4a为用于说明具有根据 V_{mem} 的能带图的神经元电路的刺突机制的图。
- [0050] 图4b为利用依赖 V_{mem} 的能带图说明神经元电路的复位动作的图。
- [0051] 图4c为用于说明以电流模式进行工作的神经元电路的实施例的图。
- [0052] 图4d为用于说明模拟一实施例的神经元电路的时序图。
- [0053] 图5a为示出利用 $1.0\mu s$ 的输入脉冲模拟的与其他输入 V_{WL1} 有关的整合放电功能的图。
- [0054] 图5b为用于说明模拟具有各种输入脉冲时间的神经元电路的时序图。
- [0055] 附图标记的说明
- | | |
|-------------------|------------|
| [0056] 110:二极管结构体 | 111:第一源极区域 |
| [0057] 112:本征区域 | 113:栅极区域 |
| [0058] 114:第一漏极区域 | 115:第一栅电极 |
| [0059] 120:接入电子器件 | 121:第二源极区域 |
| [0060] 122:本征区域 | 123:第二漏极区域 |
| [0061] 124:第二栅电极 | |

具体实施方式

[0062] 对在本说明书中揭示的根据本发明概念的实施例特定的结构或功能说明仅用于说明并例示根据本发明概念的实施例,能够以各种方式实施根据本发明概念的实施例,并不局限于在本说明书说明的实施例。

[0063] 可对根据本发明概念的实施例施加各种变更,并可具有各种方式,因此,在附图例示实施例并在本说明书中详细说明。但是,这并不将根据本发明概念的实施例局限于特定揭示方式,包括本发明的思想及技术范围内所包括的所有变更、等同技术方案或代替技术方案。

[0064] 第一或第二等的术语可用于说明各种结构要素,上述结构要素并不局限于上述术语。上述术语仅用于区分一个结构要素和其他结构要素,例如,在不超出根据本发明概念的权利要求范围内,可将第一结构要素命名为第二结构要素,相似地,还可将第二结构要素命名为第一结构要素。

[0065] 当提及一个结构要素与另一结构要素“相连接”或“相联接”时,不仅可以理解为与另一结构要素直接连接或直接联接,还可以理解为两者中间具有其他结构要素。相反,当提及一个结构要素与另一结构要素“直接连接”或“直接联接”时,应当理解为两者中间不存在其他结构要素。用于说明结构要素之间的关系的表达,例如“在~之间”和“在~之间直接”或“与~直接相邻”等也如此。

[0066] 在本发明中所使用的术语仅用于说明特定实施例,并不限定本发明。除非在文脉上明确地表示不同,否则单数的表达包括复数的表达。应当理解,在本说明书中,“包括”或“具有”等术语用于指定说明书中所记载的特征、数字、步骤、动作、结构要素、部件或它们的组合的存在,而并未事先排除一个或一个以上的其他特征或数字、步骤、动作、结构要素、部件或它们的组合的存在或附加可能性。

[0067] 除非另行定义,包括技术术语和科学术语在内的在此使用的所有术语具有本发明所属技术领域的普通技术人员通常所理解的含义相同的含义。应当理解的是,如被通常使

用的词典定义的术语的含义与相关技术的文脉所具有的含义相同,除非在本说明书中明确定义,不应解释为理想或过于形式上的含义。

[0068] 以下,参照附图详细说明实施例。但是,发明要求保护范围并不局限或限定于这种实施例。在各个附图中提出的相同附图标记表示相同部件。

[0069] 图1a和图1b例示一实施例的二极管结构体110与接入电子器件120串联连接来形成反馈电场效电子器件的结构。

[0070] 参照图1a,二极管结构体110的第一漏极区域114与位线BL相连接,参照图1b,接入电子器件120的第二源极区域121与源线SL相连接。并且,二极管结构体110的第一源极区域111可与接入电子器件120的第二漏极区域123相互间串联连接来形成一个器件。

[0071] 例如,二极管结构体还可称为单栅极SiNW反馈电场效电子器件、p-n-i-n晶体管、存储器件、半导体器件或存储器件中的一种。

[0072] 参照图1a,二极管结构体110包括第一源极区域111、本征区域112、栅极区域113以及第一漏极区域114,可在本征区域112形成及配置第一栅电极115。

[0073] 根据一实施例,第一栅电极115包围本征区域112。

[0074] 根据一实施例,第一栅电极115可与第一字线 WL_1 相连接来接收电压。

[0075] 如一例,图1b的接入电子器件120可包括第二源极区域121、本征区域122、第二漏极区域123以及包围本征区域122的第二栅电极124。

[0076] 根据一实施例,二极管结构体110的第一源极区域111可与接入电子器件120的第二漏极区域123相互之间串联连接。

[0077] 并且,第二栅电极124可与第二字线 WL_2 相连接。

[0078] 根据一实施例,二极管结构体110可根据向位线BL、第一字线 WL_1 及第二字线 WL_2 施加的电压大小存储第一逻辑状态的数据或第二逻辑状态的数据中的一种。

[0079] 并且,二极管结构体110输出与存储的数据相对应的电流或不损失且维持存储的数据。

[0080] 例如,第一逻辑状态的数据可表示“1”,第二逻辑状态的数据可表示“0”。另一方面,在如上所述的说明中,说明为第一逻辑状态的数据表示“1”且第二逻辑状态的数据表示“0”,但可根据存储器的设置浮动性变更。

[0081] 另一方面,二极管结构体110作为存储器来存储第一逻辑状态的数据的动作还可称为编程(programming)。

[0082] 并且,二极管结构体110作为存储器来存储第二逻辑状态的数据的动作还可称为清除(erasing)。

[0083] 另一方面,各个区域的长度可以为50nm。二极管结构体110的掺杂浓度可以为源极、漏极及n+掺杂沟道区域的 $1 \times 10^{20} \text{cm}^{-3}$ 。

[0084] 本征区域112以 $2 \times 10^{15} \text{cm}^{-3}$ 的掺杂浓度p型掺杂。接入晶体管可以对源极/漏极及沟道区域分别具有 $1 \times 10^{20} \text{cm}^{-3}$ 及 $1 \times 10^{17} \text{cm}^{-3}$ 的掺杂浓度。

[0085] 第一栅电极115或第二栅电极124中的一个可以为铂栅电极。铂栅电极(一函数=5.65eV)可用于正阈值。

[0086] 另一方面,在漏极及源极可利用铝电极。

[0087] 例如,第一字线 WL_1 和第二字线 WL_2 还可称为控制线。

[0088] 本发明使p-n-i-n晶体管与接入晶体管串联连接来改善开关特性,并可提供低动作电压。

[0089] 并且,本发明使p-n-i-n晶体管与接入晶体管串联连接,来克服现有的金属-氧化物半导体场效应晶体管(MOSFET)所具有的阈值电压以下的局限性,并确保高电流检测幅度。

[0090] 图1c更加具体地说明二极管结构体110的结构要素。

[0091] 参照图1c,二极管结构体110可包括第一源极区域111、第一漏极区域114、配置于第一源极区域111与第一漏极区域114之间的本征区域112以及配置于本征区域112与第一漏极区域114之间的栅极区域113。

[0092] 根据一实施例,在二极管结构体110中,以包围本征区域112的方式配置第一栅电极115。

[0093] 如一例,二极管结构体110可根据向第一漏极区域114施加的漏极电压和通过第一栅电极115及第二栅电极(未图示)施加的栅极电压作为开关或易失性存储器来进行工作。其中,第二栅电极可位于接入电子器件。

[0094] 根据一实施例,二极管结构体110的沟道长度(L_{CH})可以为100nm,沟道直径可以为10nm,栅极氧化物的厚度可以为2nm。

[0095] 根据一实施例,二极管结构体110作为n沟道半导体器件来进行工作,可呈现除滞回特性之外的与金属-氧化物半导体场效应晶体管的n沟道器件相似的特性。

[0096] 根据一实施例,二极管结构体110可垂直或水平形成于基板,基板为单晶硅基板,二极管结构体110为多晶状态或单晶状态的硅。

[0097] 根据另一实施例,二极管结构体110可根据基板的垂直位置以第一导电型或第二导电型掺杂。

[0098] 其中,第一导电型为n型,第二导电型可以为p型。

[0099] 如一例,第一栅电极115可包围本征区域112。

[0100] 如一例,二极管结构体110可表示 $p^+-n^+-i-n^+$ 结构,可包括第一p-n接合、第二p-n接合以及第三p-n接合。

[0101] 其中, p^+ 可表示以高浓度掺杂p型杂质的情况, n^+ 可表示以高浓度掺杂n型杂质的情况。

[0102] 例如,n沟道可表示以二极管结构体110的本征区域112为基准在两侧掺杂n型杂质的情况。

[0103] 另一方面,p沟道可表示以二极管结构体110的本征区域112为基准在两侧掺杂p型杂质的情况。

[0104] 因此,本发明可使p-n-i-n晶体管与接入晶体管串联连接来实现执行高速存储器动作且没有漏电流的增加的反馈电场效电子器件。

[0105] 并且,本发明可使p-n-i-n晶体管与接入晶体管串联连接来改善开关特性并可提供低动作电压。

[0106] 根据一实施例,在二极管结构体110通过第一字线和第二字线接收栅极电压的情况下,可根据位线的电压大小存储数据。

[0107] 即,二极管结构体110通过第一字线和第二字线接收栅极电压,在位线的电压大小

大于基准电压的情况下,可存储第一逻辑状态的数据。

[0108] 另一方面,在位线的电压大小小于基准电压的情况下,二极管结构体110可存储第二逻辑状态的数据。

[0109] 其中,基准电压可以与1.2V的电压相对应。

[0110] 如一例,二极管结构体110不通过第一字线和第二字线接收栅极电压,在位线的电压大小大于基准电压的情况下,可维持事先存储的数据。

[0111] 另一方面,在第一字线的第一栅极电压大于第一阈值电压的情况下,二极管结构体110可将第一栅极电压识别为第一状态。例如,第一阈值电压可与约0.6V的电压相对应。

[0112] 根据一实施例,在第二字线的第二栅极电压大于第二阈值电压的情况下,二极管结构体110可将第二栅极电压识别为第一状态。例如,第二阈值电压可与约1V的电压相对应。

[0113] 例如,第一状态可表示与逻辑电路中的“1”相对应的状态,第二状态可表示与逻辑电路中的“0”相对应的状态。

[0114] 根据一实施例,二极管结构体110仅通过第一字线和第二字线中的第二字线来接收栅极电压,在位线的电压大小大于基准电压的情况下,可通过第二源极区域向源线输出电流。

[0115] 例如,二极管结构体110通过源线输出电流的动作可与引线动作相对应。

[0116] 图1d更加具体地说明接入电子器件120的结构要素。

[0117] 参照图1d,接入电子器件120可包括第二源极区域121、本征区域122以及包围第二漏极区域123及本征区域122的第二栅电极124。例如,接入电子器件120还可称为接入晶体管或n沟道SiNW金属-氧化物半导体场效应晶体管晶体管。

[0118] 根据本发明的一实施例,在接入电子器件120中,向第二源极区域121和第二漏极区域123掺杂n型杂质,向本征区域掺杂p型杂质。

[0119] 如一例,p可表示以低浓度掺杂p型杂质的情况, n^+ 可表示以高浓度掺杂n型杂质的情况。

[0120] 图2为示出一实施例的神经元电路的框图。

[0121] 本发明提供仅使用包括反馈电场效电子器件和金属-氧化物半导体场效应晶体管的四个晶体管执行整合放电(integrate-and-fire)的神经元电路(neuron circuit)。

[0122] 尤其,反馈电场效电子器件的正反馈环在实现整合及放电功能的神经元电路中起到重要作用,一实施例的神经元电路可利用这种反馈电场效电子器件的正反馈环提供输入脉冲的整合(integrate)、刺突(spike)生成及复位动作。

[0123] 图2为示出具有由体现几个突触器件210、220和以硬件为基础的脉冲神经网络的神经元电路构成的基本仿神经块的所提出的整合放电神经元电路。

[0124] 一实施例的神经元电路200包括单栅极的反馈电场效电子器件、三个金属-氧化物半导体场效应晶体管M1、M2、M3以及用于整合动作的电容器 C_{mem} 。

[0125] 突触前部210(pre-synapse)从相连的其他神经元细胞接收突触输出,反映突触的加权值来转换为电流输入。

[0126] 突触电流输入可对神经元电路200的电容器进行充电并生成电势,来被整合。

[0127] 并且,若充电的电势的达到阈值,一实施例的神经元电路200可生成输出刺突201。

- [0128] 如图2所示,神经元电路200的输出刺突可向突触后部220(post-synapse)传递。
- [0129] 之后,参照图4a及图4b更详细地说明神经元电路200的各个器件的动作。
- [0130] 图3a为用于说明没有漏极偏压的反馈电场效电子器件的能带图310。
- [0131] 用于神经元电路的反馈电场效电子器件的动作的基础在于通过漏极电压的沟道区域的正反馈环。
- [0132] 图3a的能带图310示出在栅极与源极之间的电压 V_{GS} 为270mV的条件中且在漏极偏压条件下的反馈电场效电子器件的能带图。
- [0133] 施加的正栅极电压可在更低的漏极电压中加速反馈电场效电子器件的正反馈环。如图3a所示,在施加如上所述的漏极电压之前,反馈电场效电子器件在沟道区域设置二个位垒来阻隔电荷载流子的注入。
- [0134] 当一实施例的神经元电路的漏极电压从0.0V增加至1.5V时,在非栅极沟道区域(non-gated channel)的价带中,位垒的高度变低,可在栅极沟道区域向势阱注入空穴。
- [0135] 漏极电压可在非栅极沟道区域的价带引导位垒的降低。并且,根据位垒的降低,可向本征区域的价带的势阱注入漏极区域的空穴。
- [0136] 最终,在势阱内整合的空穴可在栅极沟道区域的传导带中通过电降低位垒的高度。
- [0137] 通过相同方式,整合的电子可在非栅极沟道区域的传导带降低位垒的高度。
- [0138] 图3b为用于说明根据漏极电压的变化的反馈电场效电子器件的能带图320。
- [0139] 如可在图3b所示的能带图320确认的内容,若势垒的高度反复变低,则产生正反馈环现象,最终,位垒在非常短的时间内消失。
- [0140] 因此,如图3c,漏极电压在 $V_D=1.4V$ 中引导反馈电场效电子器件的正反馈环来使漏极电流急剧增加。
- [0141] 图3c示出栅极与源极之间的电压 V_{GS} 为270mV的状态下,根据 $I_{DS}-V_{DS}$ 输出曲线和漏极电压的反馈电场效电子器件的沟道区域中的空穴浓度。尤其,栅极沟道区域的空穴浓度从 $1 \times 10^{18} \text{cm}^{-3}$ 增加至 $5 \times 10^{19} \text{cm}^{-3}$ 。
- [0142] 图4a为用于说明具有根据 V_{mem} 的能带图的神经元电路410的刺突机制的图。
- [0143] 图4a和图4b示出包括反馈电场效电子器件的各种能带图的神经元电路410的刺突及复位机制。
- [0144] 神经元电路410可向电容器411充电从突触输入的电流来生成电势。并且,若生成的电势大于阈值,则神经元电路410利用与电容器411相连接的单栅极的反馈电场效电子器件412生成与生成的电势相对应的刺突电压并输出。并且,神经元电路410可利用与反馈电场效电子器件相连的多个晶体管413、414、415复位生成的上述刺突电压。
- [0145] 在单栅极的反馈电场效电子器件412中,漏极端与电容器411并联连接,源极端与三个晶体管413、414、415相连接,栅极端与第一字线 WL_1 相连接。
- [0146] 观察多个晶体管413、414、415之间的连接关系,首先,在第一晶体管M1、413中,栅极端与第二字线 WL_2 相连接,漏极端与反馈电场效电子器件412的源极端串联连接。
- [0147] 并且,第二晶体管M2、414的栅极端及漏极端可与第一晶体管M1、413的漏极端和反馈电场效电子器件412的源极端共同连接。
- [0148] 而且,在第三晶体管M3、415中,漏极端与电容器411及反馈电场效电子器件412的

漏极端共同连接,第三晶体管M3、415的栅极端可与第二晶体管M2、414的栅极端及漏极端共同连接。

[0149] 另一方面,可将反馈电场效电子器件412的漏极端的电压定义为 V_{mem} ,漏极端的阈值或 V_{mem} 的阈值为用于刺突及复位动作的电压。

[0150] 第一字线 WL_1 及第二字线 WL_2 的电压可通过输出电压 V_{spike} 的适当阈值及刺突电压确定。

[0151] 这种电压可变更用于触发的如阈值、刺突频率的神经元电路特性。

[0152] 若向第一字线 WL_1 及第二字线 WL_2 施加规定的电压(例, $V_{WL1}=270\text{mV}$, $V_{WL2}=450\text{mV}$),则整合及放电动作通过借助突触电流输入 I_{synaptic} 的 V_{mem} 的增加实现。

[0153] 若向神经元电路410适用当前输入脉冲 I_{synaptic} ,则输入电流的总和可通过在电容器411增加 V_{mem} 电势来整合。

[0154] 因此,如图4a的附图标记416所示,每当输入电流输入脉冲 I_{synaptic} 时, V_{mem} 逐渐增加。

[0155] 当 V_{mem} 大于用于生成正反馈环的阈值时,若产生刺突,则 V_{spike} 突然增加。刺突电压可通过反馈电场效电子器件412和第一晶体管M1、413的分压确定。

[0156] 如一例,神经元电路410利用电阻代替第一晶体管M1、413,仅利用向作为单栅极的反馈电场效电子器件的第一字线 WL_1 施加的电源电压,可通过代替第一晶体管M1、413的电阻和反馈电场效电子器件的分压确定刺突电压。

[0157] 图4b为利用依赖 V_{spike} 的能带图说明神经元电路的复位动作的图。

[0158] 图4b的神经元电路420通过复位动作减少 V_{spike} ,表示再次生成去除正反馈环的反馈电场效电子器件422的位垒。

[0159] 之后,若 V_{spike} 在短时间内增加,则第二晶体管M2、424的栅极电压可引导复位电流 I_{reset} 。并且,可根据引导的复位电流 I_{reset} 减少 V_{spike} 。

[0160] 在刺突及复位功能中,第一晶体管M1、423通过可变电阻进行工作,反馈电场效电子器件422生成 V_{spike} ,第二晶体管M2、424及第三晶体管M3、425分别负责脉冲及 V_{mem} 的复位。

[0161] 脉冲及复位过程中的反馈电场效电子器件422的能带图可在附图标记420中示出。

[0162] 第一字线电压 V_{WL1} 及第二字线电压 V_{WL2} 可通过阈值及 V_{spike} 确定。

[0163] 第一字线电压 V_{WL1} 及第二字线电压 V_{WL2} 的调整可变更与神经元电路420的触发、 V_{spike} 及放电频率有关的阈值。

[0164] 当第一字线电压 V_{WL1} 为270mV且第二字线电压 V_{WL2} 为450mV的情况下,当 I_{synaptic} 向神经元电路流动时,通过 I_{synaptic} 传递的电荷可与 C_{mem} 组合来增加 V_{mem} 。

[0165] 若为了生成正反馈环来使 V_{mem} 达到1.5V的阈值,则突然生成 V_{spike} ,其值可通过反馈电场效电子器件422及第一晶体管M1、423的分压确定。并且,可通过生成正反馈环来使神经元电路产生 V_{spike} 。

[0166] 最终, V_{spike} 的放电可通过快速增加第二晶体管M2、424及第三晶体管M3、425的栅极电压来开放沟道。

[0167] 第二晶体管M2、424的沟道中的 I_{reset} 的流动及第三晶体管M3、425的沟道中的 I_{out} 的流动可分别急剧减少 V_{spike} 及 V_{mem} 。

[0168] 即, V_{spike} 的放电可快速减少 V_{mem} 来使其小于1.5V,从而去除正反馈环。

[0169] 最终,神经元电路420以 V_{mem} 在0.0V中具有初始状态的方式立即复位,通过神经元电路产生的 V_{spike} 向突触后部传输。

[0170] 由此,如能带图426所示,充电的反馈电场效电子器件的 V_{mem} 可与放电一同逐渐变低。

[0171] 在复位动作之后,每当突触输入电流 I_{synaptic} 向神经元电路420流动时产生整合及放电的反复动作。

[0172] 图4c为用于说明以电流模式进行工作的神经元电路的实施例的图。

[0173] 神经元电路430可向电容器431充电从突触输入的电流来生成电势。并且,若生成的电势大于阈值,则神经元电路430利用与电容器431相连接的单栅极的反馈电场效电子器件432生成与生成的电势相对应的刺突电压并输出 I_{reset} 。并且,神经元电路430可利用与反馈电场效电子器件相连接的多个晶体管433、434、435复位生成的刺突电压。

[0174] 单栅极的反馈电场效电子器件432可由如下的结构实现,即,漏极端与电容器431并联连接,源极端与三个晶体管433、434、435相连接。

[0175] 若观察多个晶体管433、434、435之间的连接关系,首先,在第一晶体管M1、433中,栅极端与第二字线 WL_2 相连接,漏极端与反馈电场效电子器件432的源极端串联连接。

[0176] 并且,第二晶体管M2、434的栅极端及漏极端与第一晶体管M1、433的漏极端和反馈电场效电子器件432的源极端共同连接。

[0177] 而且,在第三晶体管M3、435中,漏极端与电容器411及反馈电场效电子器件432的漏极端共同连接,第三晶体管M3、435的栅极端与第二晶体管M2、434的栅极端及漏极端共同连接。

[0178] 图4d为用于说明模拟一实施例的神经元电路的时序图440。

[0179] 为了整合放电动作,神经元电路在反馈电场效电子器件中需要一连串的初始化动作。在神经元电路的初始化动作后,10 μ A的输入电流脉冲 I_{synaptic} 以10 μ s的周期向神经元电路施加1 μ s的时间。每当施加输入脉冲441时 V_{mem} 442增加0.3V。由于五次的输入脉冲441, V_{mem} 442可大于阈值。

[0180] 若大于阈值,则生成0.0V~0.6V的输出刺突脉冲 V_{spike} 。

[0181] 若完成重置,则为了整合放电动作的反复动作, V_{spike} 及 V_{mem} 可返回初始值($V_{\text{spike}} = V_{\text{mem}} = 0.0V$)。之后,反复的突触输入脉冲可再次增加 V_{mem} ,且如图4d,正常产生这种整合及放电动作的循环。

[0182] 最终,本发明一实施例的神经元电路仅使用四个晶体管呈现约20kHz放电频率的整合放电动作。

[0183] 包括使用的晶体管的数量、装置类型、突触输入类型、耗电及放电频率在内的本发明的神经元电路的性能优于现有的神经元电路的性能。

[0184] 在现有的神经元电路中,使用基于电导(Conductance)及Hindmarsh-Rose模型的神经元电路使用较多的晶体管,因此,被误认为以低放电频率消耗最大的功率。并且,在基于互补金属氧化物半导体的神经元电路的情况下,呈现优秀的放电频率地Izhikevich模型需要十四个晶体管和40 μ W的高耗能。此外,现有的神经元电路在所有装置类型中需要二十个以上的晶体管。

[0185] 尤其,在使用单栅极的反馈电场效电子器件的以前的神经元电路的情况下,由于

反馈电场效电子器件的特性,具有好的点火频率,但是需要消耗包括九个晶体管、一个电阻及一个电容器的诸多晶体管。

[0186] 最终,本发明的神经元电路为电路面积小且在耗电和放电频率方面最简单且最有效的电路。

[0187] 尤其,在神经元电路的反馈电场效电子器件的栅电极中,栅极电路的反馈电场效电子器件维持270mV的规定电压,因此,可在栅极沟道区域中被追加的掺杂工序代替。

[0188] 图5a为示出利用1.0 μ s的输入脉冲模拟的与其他输入 V_{WL1} 有关的整合放电功能的图510。

[0189] 本发明的神经元电路不需要用于进行工作的特别的偏压系统。使用单栅极的反馈电场效电子器件的模拟结果示出与双端子型反馈电场效电子器件有关的神经元电路的可能性。

[0190] 为了调查与输入电压和脉冲宽度有关的本发明的神经元电路中的整合放电动作的依赖性,作为第一字线 WL_1 ,模拟260mV及280mV的电压和0.5 μ s和1.5 μ s的输入脉冲宽度。如附图标记510所示,第一字线 WL_1 电压和输入脉冲宽度的变化影响与触发及刺突有关的点火频率及阈值。

[0191] 更具体地,图5a示出模拟各种第一字线 WL_1 电压的时序图。

[0192] 首先,附图标记511示出当第一字线 WL_1 电压为260mV时的 V_{mem} 的变化,附图标记512示出附图标记511的环境中的输出 V_{spike} 。

[0193] 并且,附图标记513示出第一字线 WL_1 电压为280mV时的阈值电压 V_{mem} 的变化,附图标记514示出附图标记513环境中的输出 V_{spike} 。

[0194] 正 V_{WL1} 可通过灶栅极沟道区域降低位垒来在反馈电场效电子器件中引导正反馈环。因此,用于触发和刺突的阈值降低与第一字线 WL_1 电压相同的量,上述第一字线 WL_1 电压和与常规反馈电场效电子器件的特性相对应的量相同。因此,在第一字线电压 V_{WL1} 中,神经元电路超出阈值电压并快速上升来产生刺突及复位。

[0195] 随着第一字线 WL_1 电压从260mV变化为280mV, V_{mem} 的阈值从1.8V减少至1.5V,点火频率从14.7kHz逐渐增加至21.3kHz。第一字线电压 V_{WL1} 控制神经元电路的阈值 V_{mem} 及放电频率。

[0196] 图5b为用于说明模拟具有各种输入脉冲时间的神经元电路的时序图。

[0197] 并且,在图5b中,在输入脉冲的和,输入电流的和整合在电容器来增加阈值电压的电势,因此,在集成动作中占据重要部分。随着输入脉冲宽度从附图标记521的0.5 μ s增加至附图标记523的1.5 μ s,如图5b所示,放电频率从附图标记522的6.3kHz增加至附图标记524的28.5kHz的阈值电压(放电)。

[0198] 最终,若利用本发明,可提供为了小面积和低耗能而使用单栅极的反馈电场效电子器件的信整合放电神经元电路。

[0199] 根据一实施例,可提供仅通过20kHz水平的高点火频率和四个晶体管示出包括7 μ W的低耗能的优秀特性的神经元电路。

[0200] 根据一实施例,可提供用于大规模整合的基于硬件的脉冲神经网络的可能性。

[0201] 在上述内容中说明的装置可由硬件结构要素、软件结构要素和/或硬件结构要素及软件结构要素的组合来实现。例如,如同处理器、控制器、算术逻辑单元(ALU, arithmetic

logic unit)、数字信号处理器(digital signal processor)、微型计算机、现场可编程门阵列(FPGA,field programmable gate array)、可编程逻辑单元(PLU,programmable logic unit)、微型处理器或执行并响应指令(instruction)的任何装置,在实施例中说明的装置及结构要素可利用一个以上的通用计算机或特殊目的计算机实现。处理装置可执行操作系统(OS)及在上述操作系统上执行的一个以上的应用程序。并且,处理装置还可响应软件的执行来访问、储存、操作、处理及生成数据。为了便于理解,以使用一个处理装置的情况进行说明,只要是本技术领域的普通技术人员就可理解,处理装置可包括多个处理要素(processing element)和/或多个类型的处理要素。例如,处理装置可包括多个处理器或一个处理器及一个控制器。并且,还可包括如同并联处理器(parallel processor)的其他处理结构(processing configuration)。

[0202] 软件可包括计算机程序(computer program)、代码(code)、指令(instruction)或它们中的一种以上的组合,能够以按所需方式进行工作的方式构成处理装置或者以独立或结合性(collectively)的方式对处理装置传递指令。为了通过处理装置解释或向处理装置提供指令或数据,软件和/或数据可在任何类型的机械、结构要素(component)、物理装置、虚拟装置(virtual equipment)、计算机存储介质或装置、或者传输的信号波(signal wave)永久或暂时具体化(embodiment)。软件可分散在通过网络联接的计算机系统上来以分散的方法储存或执行。软件及数据可存储于一个以上的计算机可读记录介质。

[0203] 如上所述,通过限定的实施例和附图来对实施例进行了说明,只要是本技术领域的普通技术人员,就可通过上述记载来进行各种修改及变形。例如,所说明的技术以与所说明的方法不同的顺序执行和/或所说明的系统、结构、装置、电路等的结构要素以与所说明的方法不同的形态结合或组合,或者,即使被其他结构要素或等同技术方案代替或取代也可实现适当的结果。

[0204] 因此,其他实例、其他实施例及与发明要求保护范围等同范围内的方案也属于发明要求保护范围。

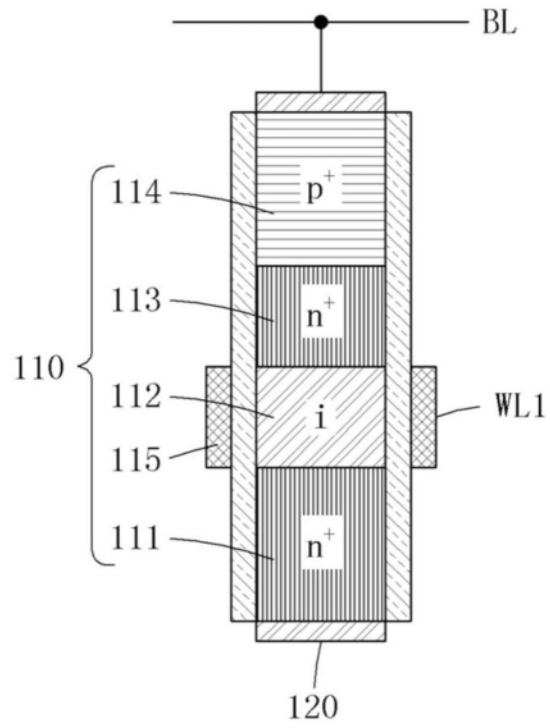


图1a

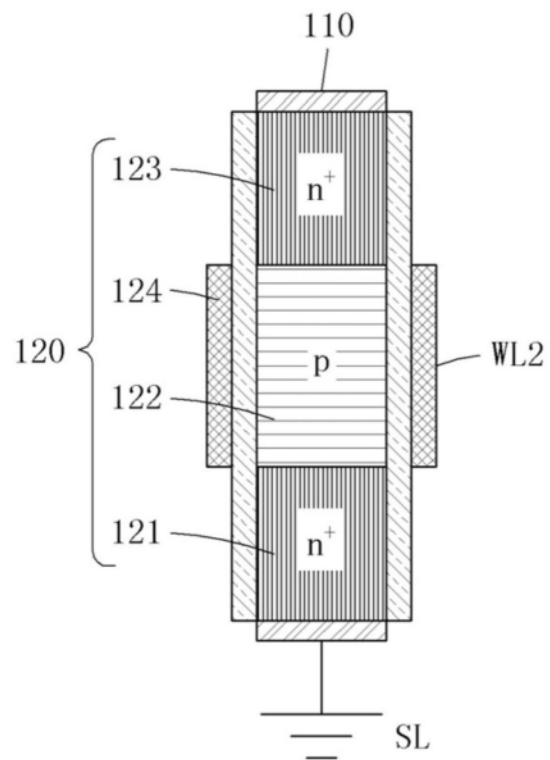


图1b

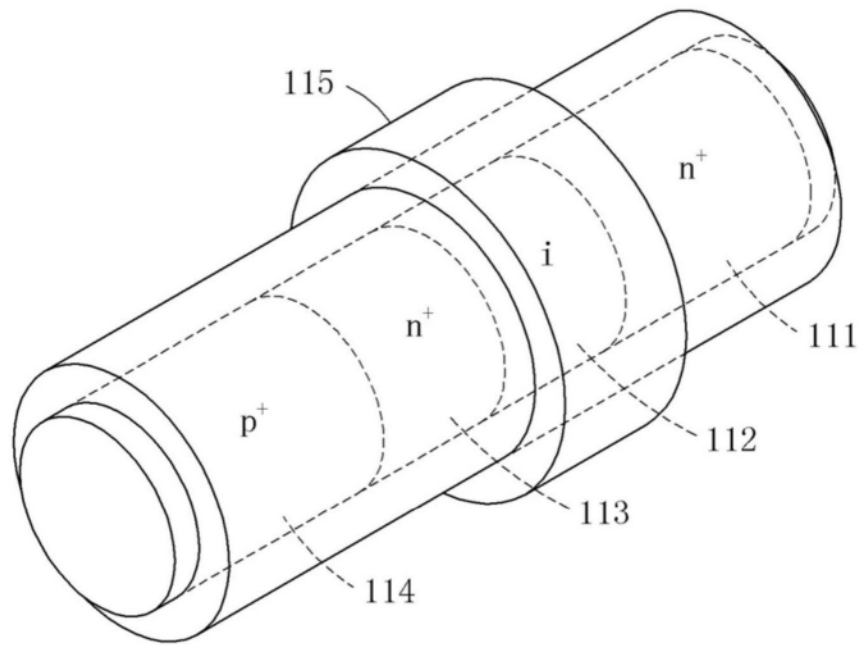


图1c

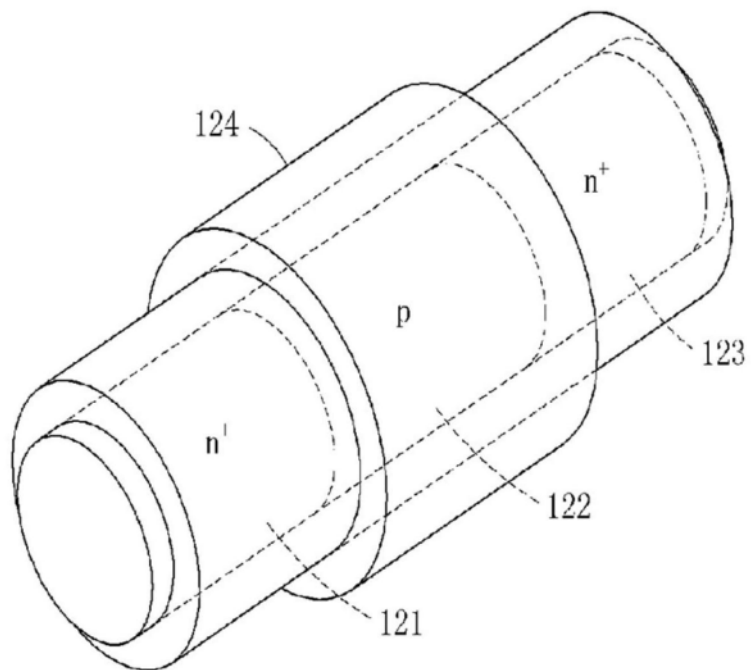


图1d

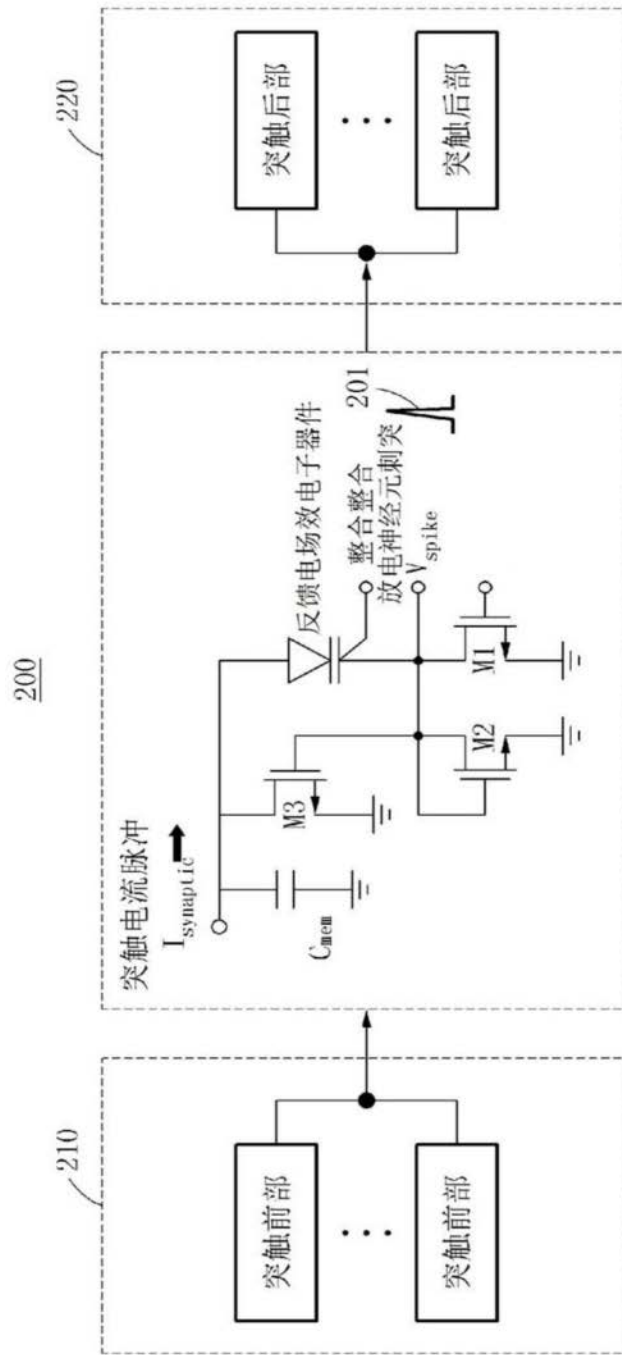


图2

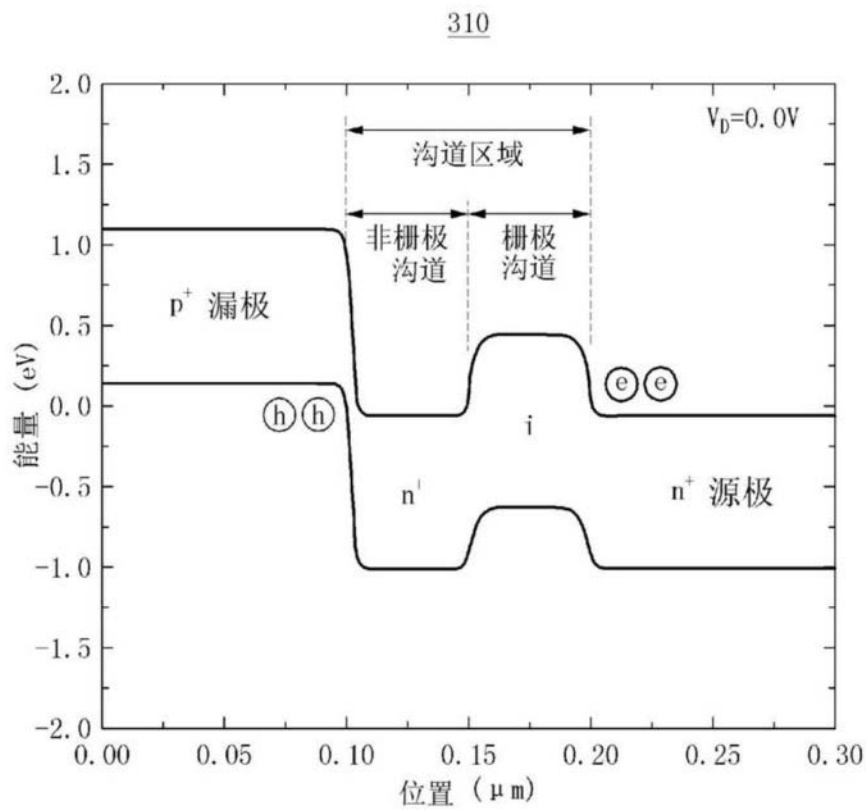


图3a

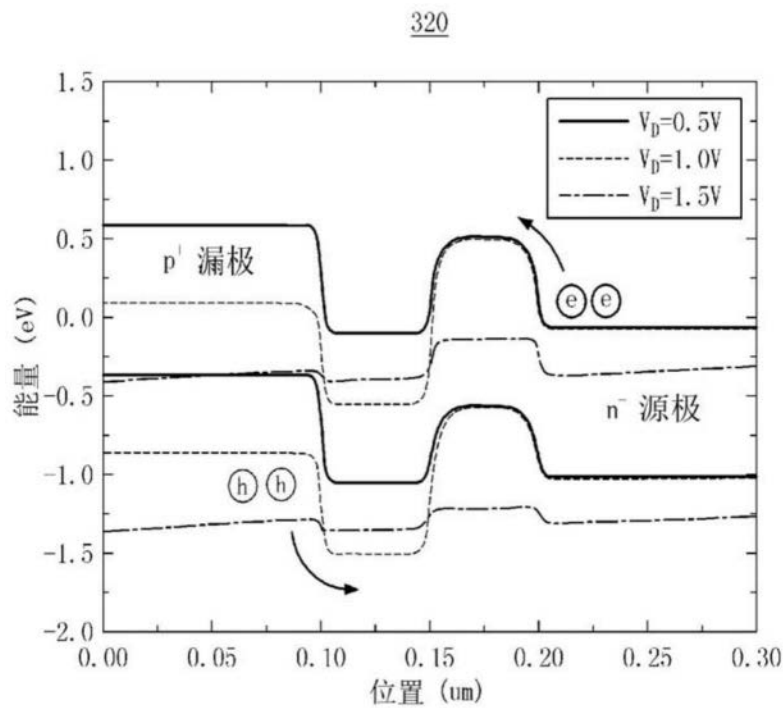


图3b

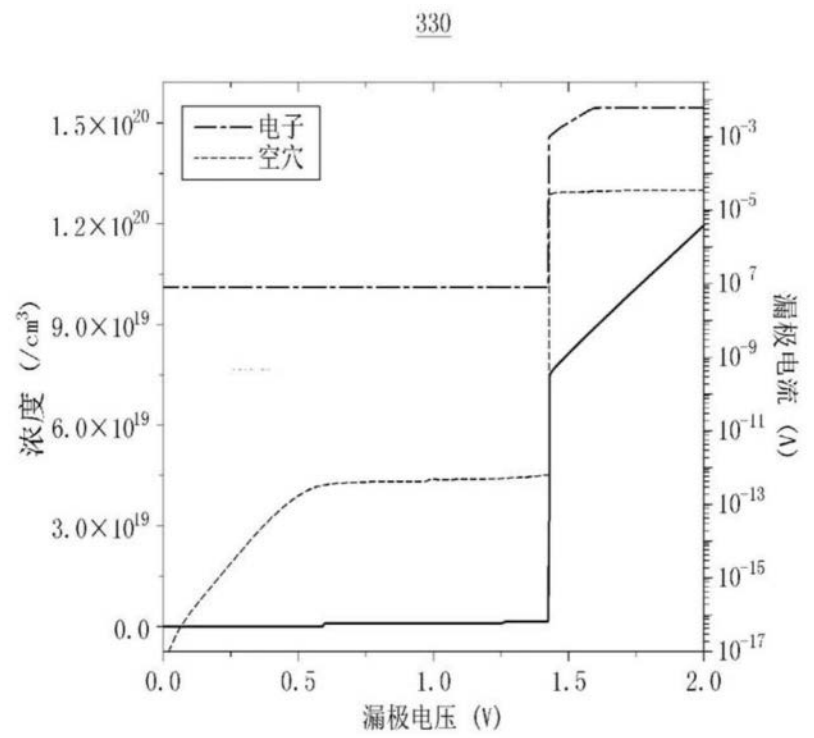


图3c

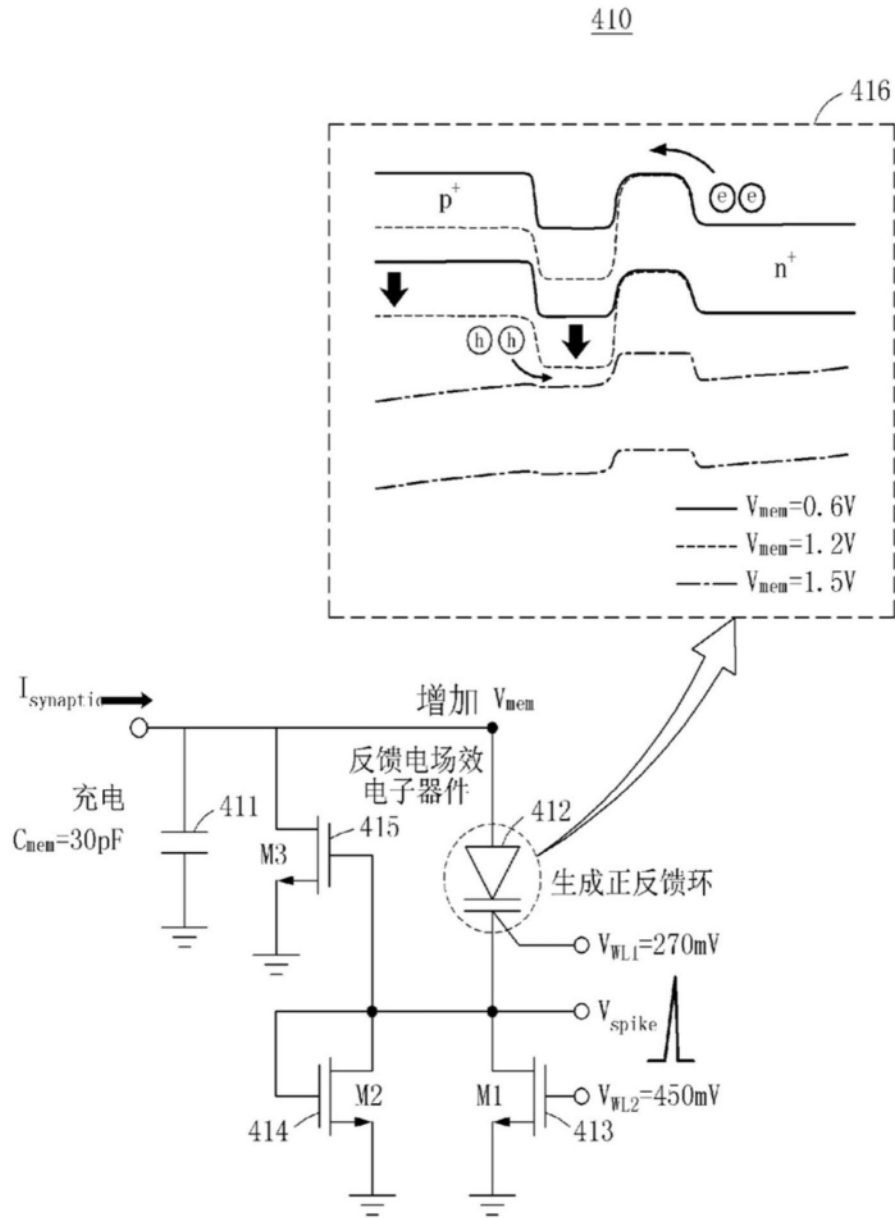


图4a

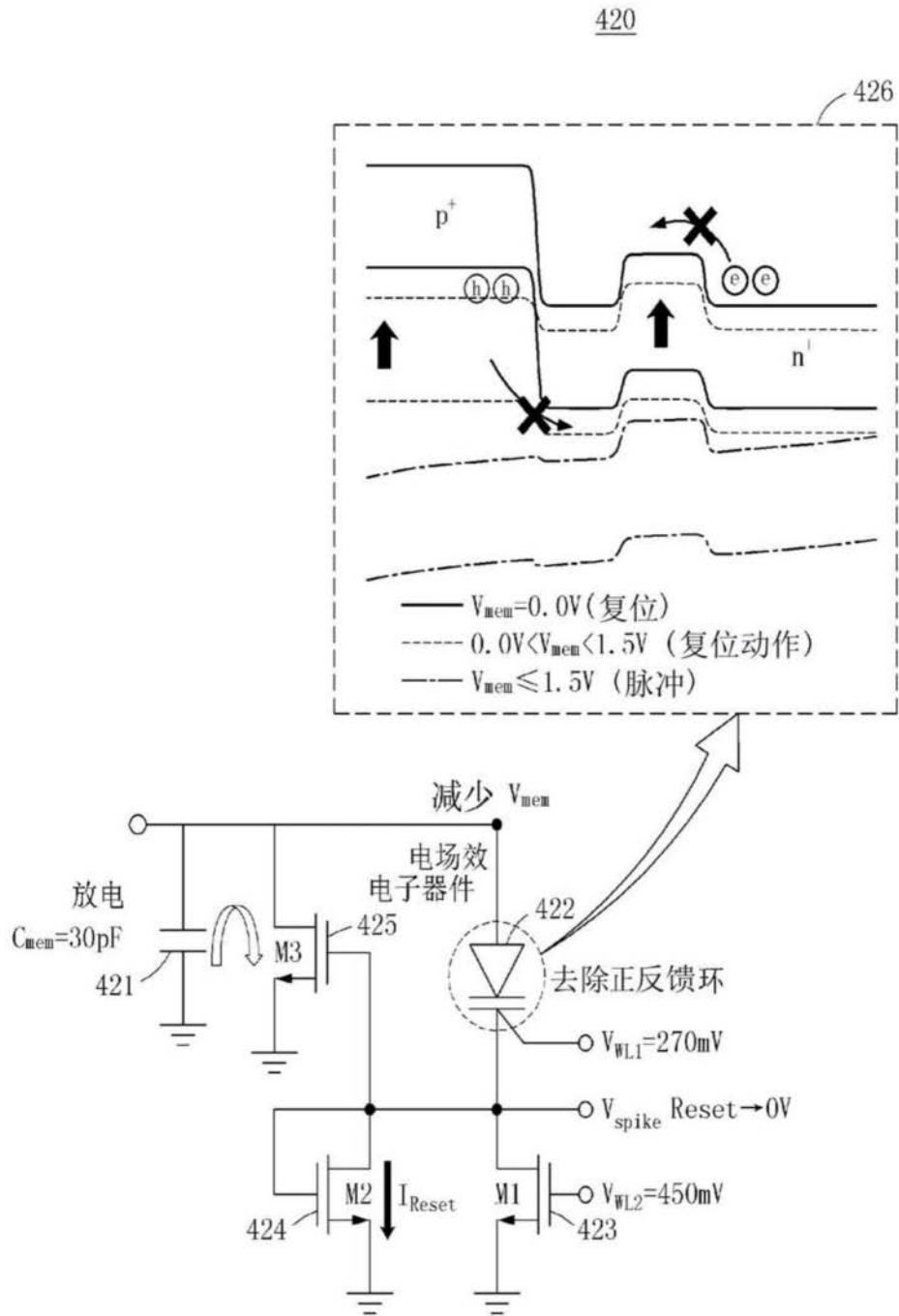


图4b

430

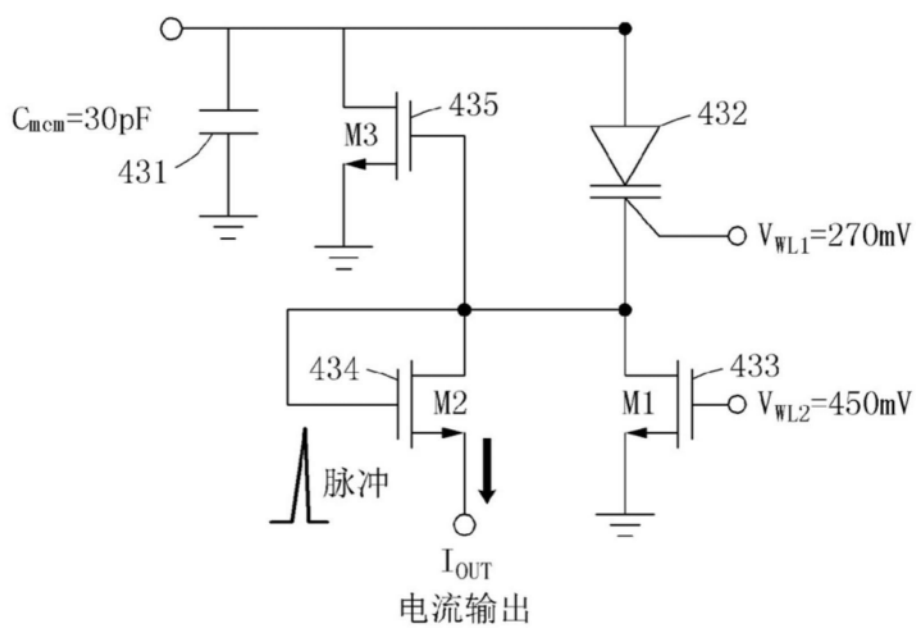


图4c

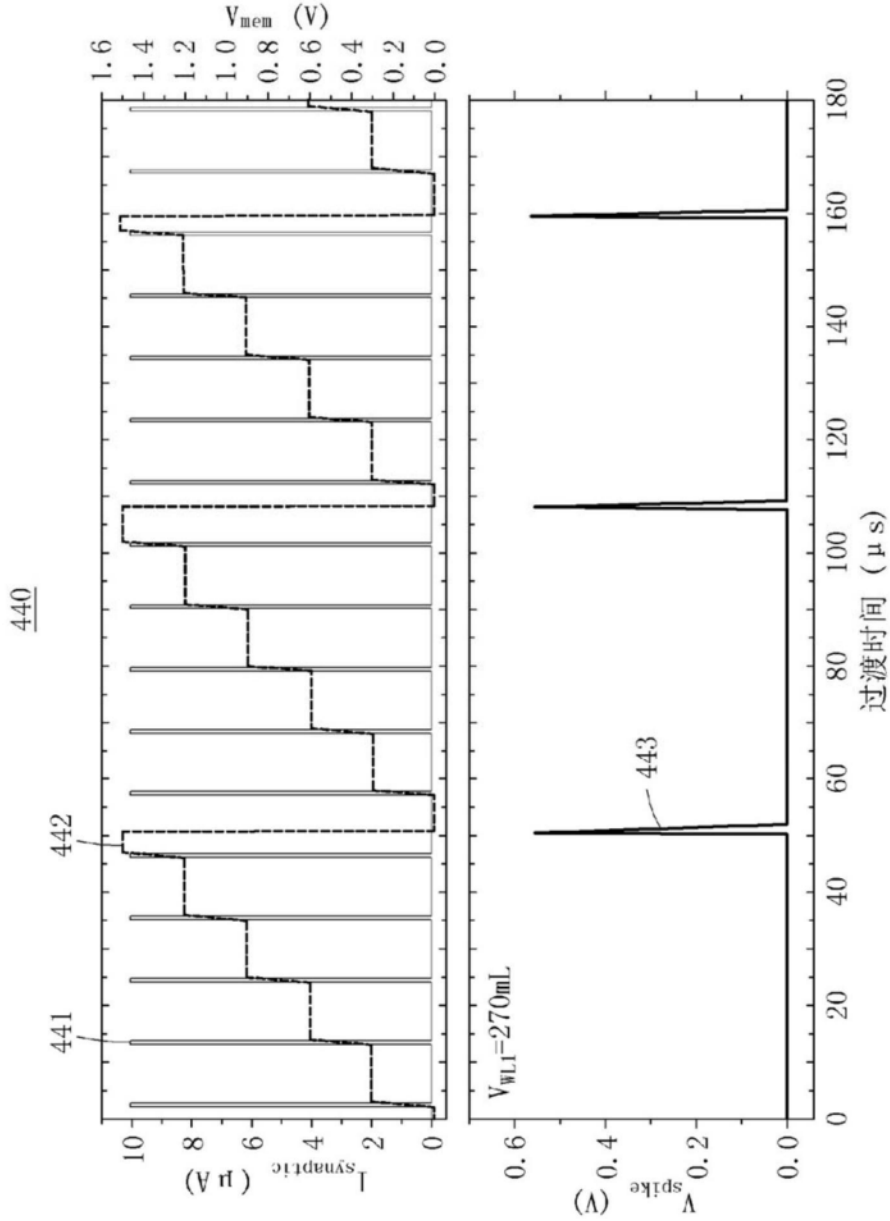


图4d

510

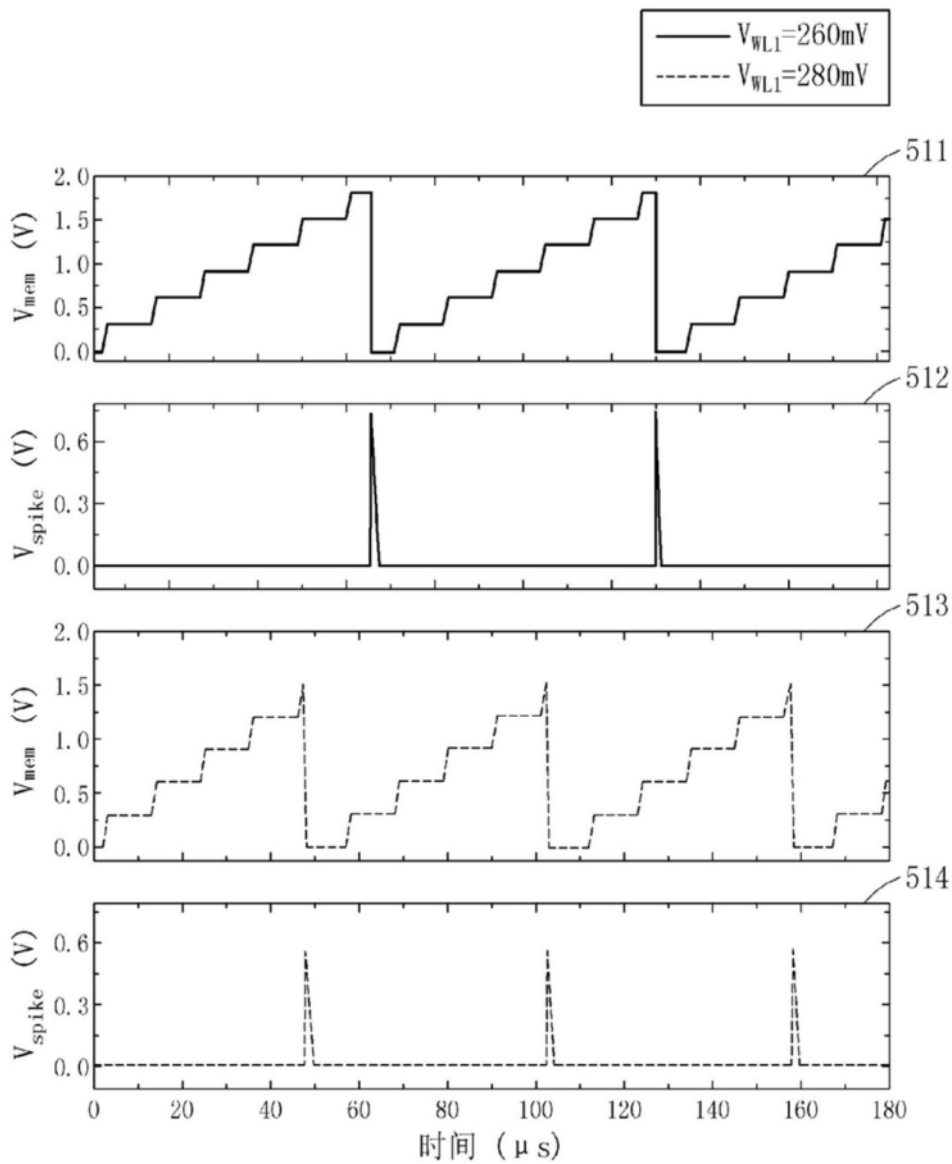


图5a

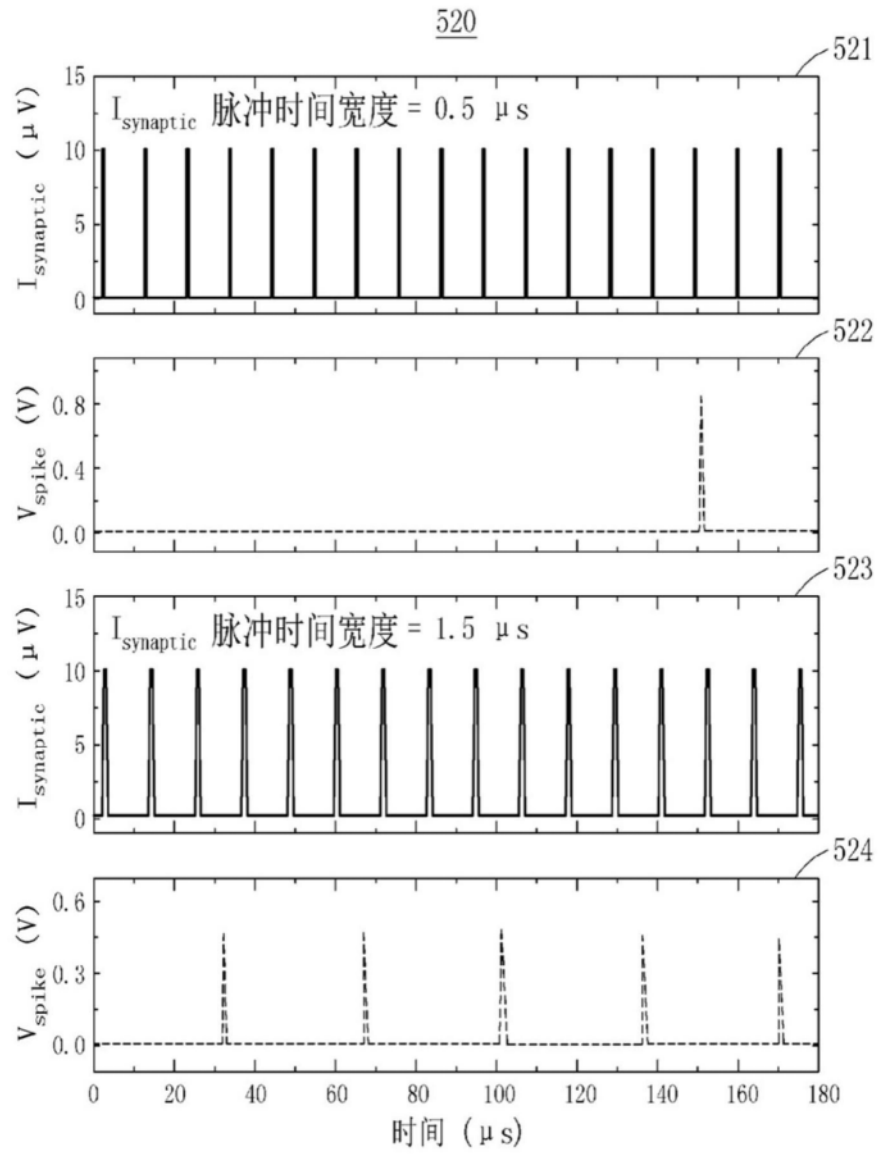


图5b