

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 1 年 5 月 23 日 (2019.5.23)

【公表番号】特表 2018-513559 (P2018-513559A)

【公表日】平成 30 年 5 月 24 日 (2018.5.24)

【年通号数】公開・登録公報 2018-019

【出願番号】特願 2017-552102 (P2017-552102)

【国際特許分類】

H 0 1 L 21/8239 (2006.01)

H 0 1 L 27/105 (2006.01)

【F I】

H 0 1 L 27/105 4 4 8

H 0 1 L 27/105 4 4 9

【手続補正書】

【提出日】平成 31 年 4 月 12 日 (2019.4.12)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

x, y, z 方向に延びており、複数のメモリセルを含むメモリアレイボリュームと、
x 方向に前記メモリアレイボリュームの一方の側に沿って延びるとともに、y 方向に前記メモリアレイボリュームから延びるように、前記メモリアレイボリュームの一方の側に沿って位置するソケット領域と、

x 及び y 方向に延びる平面内に位置する複数の誘電体層と、

x 及び y 方向に延びる平面内に位置する複数の水平電極と

を備え、

前記複数の水平電極に含まれる複数の水平電極が z 方向に積層され、

前記複数の水平電極に含まれる隣接する複数の水平電極は、前記複数の誘電体層に含まれる少なくとも 1 つの誘電体層によって z 方向で互いに分離されており、

前記 z 方向に沿って少なくとも第 1 の方向に移動する前記水平電極は、前記メモリアレイ領域から前記第 1 のソケット領域までより多く延在して階段構造を形成し、

第 1 の水平電極と第 2 の水平電極との間に配置された誘電体層の端部は、第 1 の水平電極の端部と第 2 の水平電極の端部との間に位置し、

前記第 1 のソケット領域内で、前記複数の水平電極の各水平電極は、誘電体層によって覆われていない部分を含み、前記複数の水平電極の各々は、z 方向に平行な 1 つ以上の線に沿ってアクセス可能である

3 次元メモリ構造。

【請求項 2】

複数の接続導体を更に備え、

前記接続導体の各々は、z 方向に沿って延在し、前記ソケット領域内の対応する水平電極の一部と接触している

請求項 1 に記載の 3 次元メモリ構造。

【請求項 3】

前記複数の接続導体の各々は、前記対応する水平電極に隣接する少なくとも第 1 の誘電体層の端部の一部と接触している

請求項 2 に記載の 3 次元メモリ構造。

【請求項 4】

前記対応する水平電極に隣接する少なくとも 1 つの第 1 の誘電体層の端部は傾斜している

請求項 3 に記載の 3 次元メモリ構造。

【請求項 5】

前記複数の接続導体の少なくともいくつかは、前記対応する水平電極の第 1 の側の前記誘電体層の端部の一部と接触し、前記対応する水平電極の第 2 の側の前記誘電体の端部の一部と接触している

請求項 3 に記載の 3 次元メモリ構造。

【請求項 6】

前記複数の接続導体の少なくともいくつかは、前記対応する水平電極の上面および端面の一部と接触している

請求項 5 に記載の 3 次元メモリ構造。

【請求項 7】

前記複数の誘電体層内の各誘電体層の前記端部は、前記端部が z 方向に平行にならないように傾斜している

請求項 1 に記載の 3 次元メモリ構造。

【請求項 8】

複数の接続導体を更に備え、

前記複数の接続増体の各々は、前記対応する水平電極の上面および端面に接触している

請求項 7 に記載の 3 次元メモリ構造。

【請求項 9】

前記複数の接続導体の少なくともいくつかは、前記誘電体層の少なくとも 1 つの傾斜した端部と接触している

請求項 8 に記載の 3 次元メモリ構造。

【請求項 10】

複数の絶縁層と、

複数の平面電極と

を備えたソケット領域であって、

隣接する複数の平面電極は、前記複数の絶縁層の少なくとも 1 つによって互いに分離されており、

各前記平面電極の一部が段差を形成するように、各前記平面電極が前記ソケット領域内で異なる距離だけ延在し、

各前記絶縁層の端面の少なくとも一部は、隣接する前記複数の平面電極の端面の間に配置されている

ソケット領域。

【請求項 11】

各前記絶縁層の端面は傾斜している

請求項 10 に記載のソケット領域。

【請求項 12】

複数の接続導体を更に備え、

前記複数の接続導体の各々は、前記複数の平面電極のうちの 1 つに接続されている

請求項 11 に記載のソケット領域。

【請求項 13】

前記複数の接続導体の各々は、前記複数の絶縁層の少なくとも 1 つと接触している

請求項 12 に記載のソケット領域。

【請求項 14】

前記複数の接続導体の各々は、少なくとも平面電極の端面に接続されている

請求項 13 に記載のソケット領域。

【請求項 15】

前記複数の接続導体の少なくとも１つは、前記絶縁層の２つと接触している
請求項 12 に記載のソケット領域。

【請求項 16】

前記複数の平面電極は、前記ソケット領域から３次元メモリ構造に伸びている
請求項 10 ないし請求項 15 のいずれか一項に記載のソケット領域。

【請求項 17】

階段型コンタクトソケット領域を形成する方法であって、
複数の平面電極および複数の絶縁層を含むスタックを提供する工程であって、隣接する
複数の平面電極が絶縁層によって互いに分離される工程と、
前記スタック上にマスクを配置する工程と、
前記マスクの下にない前記複数の絶縁層内の第１の絶縁層の第１の部分をエッチングし
て、前記複数の平面電極内の第１の平面電極の第１の部分を露出させる工程と、
マスクをプルバックする工程と、
マスクをプルバックした後、マスクをプルバックすることによって露出した第１の絶縁
層の第２の部分をエッチングし、第１の平面電極の第１の部分の一部をエッチングし、複
数の絶縁層に含まれる第２の絶縁層の第１の部分をエッチングする工程と
を含み、
エッチングにより形成された第２の絶縁層の端部が傾斜しており、第１の平面電極の端
部から、第１の平面電極の端部と第２の平面電極の端部との間に延びている
階段型コンタクトソケット領域を形成する方法。

【請求項 18】

前記第１の絶縁層の端部は傾斜している
請求項 17 に記載の階段型コンタクトソケット領域を形成する方法。

【請求項 19】

前記第１および第２の平面電極の端部は垂直である
請求項 17 または請求項 18 に記載の階段型コンタクトソケット領域を形成する方法。

【請求項 20】

各接続導体は、平面電極の上面および端面に電氣的に接続されている
請求項 17 ないし請求項 19 のいずれか一項に記載の階段型コンタクトソケット領域を
形成する方法。