(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2018-49855
(P2018-49855A)
(43)公開日　平成30年3月29日(2018.3.29)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 27/146	(2006.01)	H01L	27/14	A	4M118
H04N 5/369	(2011.01)	H04N	5/335	690	5C024
H04N 5/374	(2011.01)	H04N	5/335	740	

審査請求 未請求　請求項の数 9　ＯＬ　（全 17 頁）

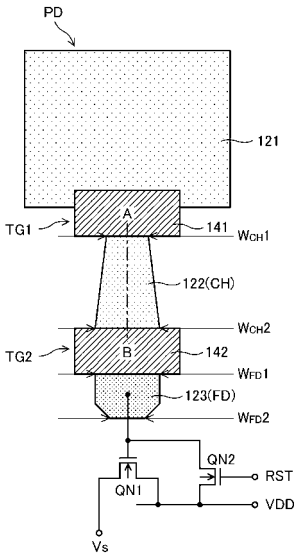
(21)出願番号　特願2016-182518 (P2016-182518)
(22)出願日　平成28年9月20日 (2016.9.20)

(71)出願人　000002369
セイコーエプソン株式会社
東京都新宿区新宿四丁目１番６号
(74)代理人　100110858
弁理士　柳瀬　睦肇
(74)代理人　100110777
弁理士　宇都宮　正明
(74)代理人　100100413
弁理士　渡部　温
(72)発明者　桑澤　和伸
山形県酒田市十里塚１６６番地３　東北エプソン株式会社内
(72)発明者　中村　紀元
山形県酒田市十里塚１６６番地３　東北エプソン株式会社内

最終頁に続く

(54)【発明の名称】固体撮像装置及び電子機器

(57)【要約】
【課題】半導体基板に配置された受光素子、電荷保持領域、及び、浮遊拡散領域を備える固体撮像装置において、受光素子から電荷保持領域に転送された信号電荷を浮遊拡散領域に転送する際における電荷の転送残りを改善する。
【解決手段】この固体撮像装置は、半導体基板に配置された受光素子、電荷保持領域、及び、浮遊拡散領域と、半導体基板における受光素子と電荷保持領域との間の領域上にゲート絶縁膜を介して配置されたゲート電極を有する第１の転送ゲートと、半導体基板における電荷保持領域と浮遊拡散領域との間の領域上にゲート絶縁膜を介して配置されたゲート電極を有する第２の転送ゲートとを備え、第１の転送ゲートによって受光素子から電荷保持領域に転送された信号電荷が第１の転送ゲート側よりも第２の転送ゲート側に多く分布するポテンシャルの勾配を電荷保持領域に与えるように構成されている。
【選択図】図６



【特許請求の範囲】
【請求項１】
半導体基板に配置された受光素子、電荷保持領域、及び、浮遊拡散領域と、
前記半導体基板における前記受光素子と前記電荷保持領域との間の領域上にゲート絶縁膜を介して配置されたゲート電極を有する第１の転送ゲートと、
前記半導体基板における前記電荷保持領域と前記浮遊拡散領域との間の領域上にゲート絶縁膜を介して配置されたゲート電極を有する第２の転送ゲートと、
を備え、前記第１の転送ゲートによって前記受光素子から前記電荷保持領域に転送された信号電荷が前記第１の転送ゲート側よりも前記第２の転送ゲート側に多く分布するポテンシャルの勾配を前記電荷保持領域に与えるように構成されている固体撮像装置。
【請求項２】
前記電荷保持領域が、前記第１の転送ゲートの端部に沿って第１の幅を有すると共に、前記第２の転送ゲートの端部に沿って前記第１の幅よりも大きい第２の幅を有する、請求項１記載の固体撮像装置。
【請求項３】
前記電荷保持領域が、前記第１の幅から前記第２の幅に向けて単調増加する幅を有する、請求項２記載の固体撮像装置。
【請求項４】
前記浮遊拡散領域が、前記第２の転送ゲートの端部に沿って第１の幅を有すると共に、前記第２の転送ゲートの反対側において前記第１の幅よりも小さい第２の幅を有する、請求項１～３のいずれか１項記載の固体撮像装置。
【請求項５】
前記電荷保持領域の主面の一部に配置されたピニング層をさらに備え、前記ピニング層が、前記第１の転送ゲートの端部からの距離が所定の値以下である領域に配置されている、請求項１～４のいずれか１項記載の固体撮像装置。
【請求項６】
前記ピニング層が、前記電荷保持領域の幅方向の中心よりも両端部において前記第２の転送ゲートに向けて突出する形状を有する、請求項５記載の固体撮像装置。
【請求項７】
前記半導体基板上に層間絶縁膜を介して配置され、前記第１の転送ゲートの前記ゲート電極に電気的に接続された金属膜をさらに備え、前記金属膜が、平面視で前記第１の転送ゲートの端部から前記第２の転送ゲートに向けて所定の距離まで突出している、請求項１～６のいずれか１項記載の固体撮像装置。
【請求項８】
前記金属膜が、平面視で前記電荷保持領域の幅方向の中心よりも両端部において前記第２の転送ゲートに向けて突出する形状を有する、請求項７記載の固体撮像装置。
【請求項９】
請求項１～８のいずれか１項記載の固体撮像装置を備える電子機器。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、固体撮像装置、及び、それを用いた電子機器等に関する。
【背景技術】
【０００２】
従来は、固体撮像装置としてＣＣＤが主流であったが、近年においては、低電圧で駆動でき、且つ、周辺回路も混載できるＣＭＯＳセンサーの発展が著しい。ＣＭＯＳセンサーは、完全転送技術や暗電流防止構造等の製造プロセスによる対策や、ＣＤＳ（correlated double sampling：相関２重サンプリング）等の回路による対策等がなされ、今や、ＣＣＤを質量共に凌ぐデバイスに成長している。ＣＭＯＳセンサーの飛躍の要因は、画質が大きく改善されたことであるが、その内の１つに、電荷転送技術の改善がある。

【０００３】
関連する技術として、特許文献１には、信号電荷の完全転送を実現可能な半導体素子を画素として複数個配列して、高い空間解像度を有する固体撮像装置が開示されている。この半導体素子は、第１導電型の半導体領域と、半導体領域の上部に埋め込まれ、光を入射する第２導電型の受光用表面埋込領域と、半導体領域の上部に埋め込まれ、受光用表面埋込領域によって生成された信号電荷を蓄積する第２導電型の電荷蓄積領域と、電荷蓄積領域に蓄積された信号電荷を受け入れる電荷読み出し領域と、受光用表面埋込領域から電荷蓄積領域に信号電荷を転送する第１の電位制御手段と、電荷蓄積領域から電荷読み出し領域に信号電荷を転送する第２の電位制御手段とを備える。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開２００８－１０３６４７号公報（段落０００６－０００７、図２、図３）
【発明の概要】
【発明が解決しようとする課題】
【０００５】
特許文献１の図２には、光を入射する受光用表面埋込領域（受光カソード領域）１１ａと、受光カソード領域１１ａにより生成した信号電荷を蓄積する電荷蓄積領域１２ａと、電荷蓄積領域１２ａにより蓄積した信号電荷を受け入れる電荷読み出し領域１３とを含む平面レイアウトが示されている。
【０００６】
特許文献１の図２に示されているように、電荷蓄積領域１２ａにおいて、読み出しゲート電極３２側の幅は、転送ゲート電極３１側の幅よりも小さくなっている。しかしながら、電荷蓄積領域１２ａがそのような形状を有する場合には、読み出しゲート電極３２によって電荷蓄積領域１２ａから電荷読み出し領域１３に信号電荷を転送する際に、電荷の転送残りが発生するおそれがある。
【０００７】
本発明の幾つかの態様は、半導体基板に配置された受光素子、電荷保持領域、及び、浮遊拡散領域を備える固体撮像装置において、受光素子から電荷保持領域に転送された信号電荷を浮遊拡散領域に転送する際における電荷の転送残りを改善することに関連している。さらに、本発明の幾つかの態様は、そのような固体撮像装置を用いた電子機器等を提供することに関連している。
【課題を解決するための手段】
【０００８】
本発明の第１の態様に係る固体撮像装置は、半導体基板に配置された受光素子、電荷保持領域、及び、浮遊拡散領域と、半導体基板における受光素子と電荷保持領域との間の領域上にゲート絶縁膜を介して配置されたゲート電極を有する第１の転送ゲートと、半導体基板における電荷保持領域と浮遊拡散領域との間の領域上にゲート絶縁膜を介して配置されたゲート電極を有する第２の転送ゲートとを備え、第１の転送ゲートによって受光素子から電荷保持領域に転送された信号電荷が第１の転送ゲート側よりも第２の転送ゲート側に多く分布するポテンシャルの勾配を電荷保持領域に与えるように構成されている。
【０００９】
本発明の第１の態様によれば、第１の転送ゲートによって受光素子から電荷保持領域に転送された信号電荷が第１の転送ゲート側よりも第２の転送ゲート側に多く分布することにより、第２の転送ゲートによって信号電荷を電荷保持領域から浮遊拡散領域に転送し易い分布状態となる。従って、受光素子から電荷保持領域に転送された信号電荷を浮遊拡散領域に転送する際における電荷の転送残りを改善することができる。
【００１０】
ここで、電荷保持領域が、第１の転送ゲートの端部に沿って第１の幅を有すると共に、

第２の転送ゲートの端部に沿って第１の幅よりも大きい第２の幅を有しても良い。それにより、電荷保持領域において第１の転送ゲート側よりも幅の大きい第２の転送ゲート側の電位ポテンシャルが高くなるので、第１の転送ゲートによって受光素子から電荷保持領域に転送された信号電荷（負の電荷）が、第１の転送ゲート側よりも第２の転送ゲート側に多く分布するようになる。

【００１１】

また、電荷保持領域が、第１の幅から第２の幅に向けて単調増加する幅を有しても良い。その場合には、電荷保持領域内において電位ポテンシャルが徐々に変化してポテンシャルの井戸が発生し難いので、ポテンシャルの井戸に電荷が溜まることによる電荷の転送残りを改善することができる。

【００１２】

さらに、浮遊拡散領域が、第２の転送ゲートの端部に沿って第１の幅を有すると共に、第２の転送ゲートの反対側において第１の幅よりも小さい第２の幅を有しても良い。それにより、浮遊拡散領域において幅の大きい第２の転送ゲート側の電位ポテンシャルが反対側よりも高くなるので、第２の転送ゲートによって信号電荷を電荷保持領域から浮遊拡散領域に転送し易いポテンシャル分布となる。従って、受光素子から電荷保持領域に転送された信号電荷を浮遊拡散領域に転送する際における電荷の転送残りを改善することができる。

【００１３】

以上において、固体撮像装置が、電荷保持領域の主面の一部に配置されたピニング層をさらに備え、ピニング層が、第１の転送ゲートの端部からの距離が所定の値以下である領域に配置されても良い。それにより、電荷保持領域において第１の転送ゲート側よりも第２の転送ゲート側の電位ポテンシャルが高くなるので、第１の転送ゲートによって受光素子から電荷保持領域に転送された信号電荷が、第１の転送ゲート側よりも第２の転送ゲート側に多く分布するようになる。

【００１４】

その場合に、ピニング層が、電荷保持領域の幅方向の中心よりも両端部において第２の転送ゲートに向けて突出する形状を有しても良い。それにより、電荷保持領域の幅方向の中心に向けて電位ポテンシャルが高くなるので、電荷保持領域の幅方向の中心付近に信号電荷が多く分布するようになる。従って、受光素子から電荷保持領域に転送された信号電荷を浮遊拡散領域に転送する際における電荷の転送残りを改善することができる。

【００１５】

また、固体撮像装置が、半導体基板上に層間絶縁膜を介して配置され、第１の転送ゲートのゲート電極に電気的に接続された金属膜をさらに備え、金属膜が、平面視で第１の転送ゲートの端部から第２の転送ゲートに向けて所定の距離まで突出するようにしても良い。それにより、電荷保持領域において第２の転送ゲート側よりも第１の転送ゲート側の電位ポテンシャルが低くなるので、第１の転送ゲートによって受光素子から電荷保持領域に転送された信号電荷が、第１の転送ゲート側よりも第２の転送ゲート側に多く分布するようになる。

【００１６】

その場合に、金属膜が、平面視で電荷保持領域の幅方向の中心よりも両端部において第２の転送ゲートに向けて突出する形状を有しても良い。それにより、電荷保持領域の幅方向の中心に向けて電位ポテンシャルが高くなるので、電荷保持領域の幅方向の中心付近に信号電荷が多く分布するようになる。従って、受光素子から電荷保持領域に転送された信号電荷を浮遊拡散領域に転送する際における電荷の転送残りを改善することができる。

【００１７】

本発明の第２の態様に係る電子機器は、上記いずれかの固体撮像装置を備える。本発明の第２の態様によれば、受光素子から電荷保持領域に転送された信号電荷を浮遊拡散領域に転送する際における電荷の転送残りを改善した固体撮像装置を用いることにより、被写体を撮像して得られる画像データの画質が改善された電子機器を提供することができる。

【図面の簡単な説明】
【００１８】
【図１】ＣＩＳモジュールの構成例を示す斜視図。
【図２】ＣＩＳモジュールを用いたスキャナー装置の構成例を示すブロック図。
【図３】イメージセンサーチップの構成例を示すブロック図。
【図４】１画素分の画素部及び読み出し回路部の等価回路を示す回路図。
【図５】ラインセンサーにおける単位ブロックの例を示す回路図。
【図６】本発明の第１の実施形態に係る固体撮像装置の一部の平面図。
【図７】図６に示すＡ－Ｂの延長線に沿った断面図。
【図８】図６及び図７に示すＡ－Ｂに沿ったポテンシャルの分布を示す図。
【図９】本発明の第２の実施形態に係る固体撮像装置の一部の平面図。
【図１０】図９に示すＣ－Ｄの延長線に沿った断面図。
【図１１】図９及び図１０に示すＣ－Ｄに沿ったポテンシャルの分布を示す図。
【図１２】本発明の第３の実施形態に係る固体撮像装置の一部の平面図。
【図１３】図１２に示すＥ－Ｆの延長線に沿った断面図。
【図１４】図１２及び図１３に示すＥ－Ｆに沿ったポテンシャルの分布を示す図。
【発明を実施するための形態】
【００１９】
以下、本発明の実施形態について、図面を参照しながら詳細に説明する。なお、同一の構成要素には同一の参照符号を付して、重複する説明を省略する。
＜電子機器＞
以下においては、本発明の一実施形態に係る電子機器として、本発明のいずれかの実施形態に係る固体撮像装置（イメージセンサーチップ）を含むコンタクトイメージセンサー（ＣＩＳ）モジュールを用いたＣＩＳ方式のスキャナー装置について説明する。
【００２０】
図１は、ＣＩＳモジュールの構成例を示す斜視図であり、図２は、図１に示すＣＩＳモジュールを用いたスキャナー装置の構成例を示すブロック図である。図１に示すように、ＣＩＳモジュール１０は、原稿１に光を照射するライトガイド１１と、原稿１からの反射光を結像させるレンズアレイ１２と、結像位置に配置されるフォトダイオード等の受光素子を有するイメージセンサー１３とを含んでいる。
【００２１】
図１及び図２を参照すると、ＣＩＳモジュール１０は、ライトガイド１１の端部に入射する光を生成する光源１４を含んでいる。カラースキャナーの場合には、光源１４が、例えば、赤色（Ｒ）、緑色（Ｇ）、及び、青色（Ｂ）のＬＥＤを含んでいる。３色のＬＥＤは、時分割でパルス点灯される。ライトガイド１１は、光源１４によって生成される光が主走査方向Ａに沿った原稿１の領域に照射されるように光を案内する。
【００２２】
レンズアレイ１２は、例えば、ロッドレンズアレイ等で構成される。イメージセンサー１３は、主走査方向Ａに沿って複数の画素を有しており、ライトガイド１１及びレンズアレイ１２と共に、副走査方向Ｂに移動する。
【００２３】
図２に示すように、イメージセンサー１３は、複数のイメージセンサーチップ２０を直列接続して構成されても良い。副走査方向Ｂに移動可能なＣＩＳモジュール１０は、フレキシブル配線１５を介して、スキャナー装置に固定されたメイン基板１６に接続されている。メイン基板１６には、システムオンチップ（ＳｏＣ）１７と、アナログフロントエンド（ＡＦＥ）１８と、電源回路１９とが搭載されている。
【００２４】
システムオンチップ１７は、ＣＩＳモジュール１０に制御信号及びクロック信号等を供給する。ＣＩＳモジュール１０によって生成される画素信号は、アナログフロントエンド１８に供給される。アナログフロントエンド１８は、アナログの画素信号をアナログ／デ

ジタル変換し、デジタルの画素データをシステムオンチップ１７に出力する。
【００２５】
電源回路１９は、システムオンチップ１７及びアナログフロントエンド１８に電源電圧を供給すると共に、ＣＩＳモジュール１０に電源電圧及び基準電圧等を供給する。なお、アナログフロントエンド１８、電源回路１９の一部、又は、光源ドライバー等を、ＣＩＳモジュール１０に搭載しても良い。
【００２６】
＜固体撮像装置＞
図３は、本発明のいずれかの実施形態に係る固体撮像装置であるイメージセンサーチップの構成例を示すブロック図である。図３に示すように、イメージセンサーチップ２０は、画素部３０と、読み出し回路部４０と、制御回路部５０とを含み、さらに、キャパシター６１～６４を含んでも良い。
【００２７】
画素部３０において、複数の画素にそれぞれの受光素子（例えば、フォトダイオード）が配置されている。読み出し回路部４０は、画素部３０から出力される信号電荷を信号電圧に変換して画素情報を読み出す。制御回路部５０は、読み出し回路部４０の出力電圧に基づいて画素信号を生成するための制御を行う。例えば、制御回路部５０は、相関二重サンプリング（ＣＤＳ：correlated double sampling）回路５１と、出力回路５２と、ロジック回路５３とを含んでいる。
【００２８】
相関二重サンプリング回路５１は、読み出し回路部４０の出力電圧を相関二重サンプリング処理する。即ち、相関二重サンプリング回路５１は、リセット直後の電圧と露光後の電圧とをサンプリングし、それらの差分処理を行うことにより、リセット雑音をキャンセルして、光の強度に応じた出力電圧を生成する。出力回路５２は、相関二重サンプリング回路５１の出力電圧に基づいて画素信号を生成して出力する。ロジック回路５３には、図２に示すシステムオンチップ１７から制御信号及びクロック信号等が供給される。
【００２９】
キャパシター６１は、イメージセンサーチップ２０の第１の領域ＡＲ１に配置された高電位側の電源電位の配線と低電位側の電源電位の配線との間に接続されて、電源電圧を安定化する。また、キャパシター６２～６４は、イメージセンサーチップ２０の第２の領域ＡＲ２に配置された高電位側の電源電位の配線と低電位側の電源電位の配線との間に接続されて、電源電圧を安定化する。
【００３０】
＜画素部及び読み出し回路部＞
図４は、１画素分の画素部及び読み出し回路部の等価回路を示す回路図である。図３に示す画素部３０の１つの画素には、光電変換機能を有する受光素子として、例えば、フォトダイオードＰＤが配置されている。フォトダイオードＰＤは、入射した光の強度に応じた信号電荷を生成して蓄積する。
【００３１】
フォトダイオードＰＤから信号電荷を読み出すために、図３に示す読み出し回路部４０は、第１の転送ゲートである前段転送ゲートＴＧ１と、電荷保持容量Ｃ１と、第２の転送ゲートである後段転送ゲートＴＧ２と、電荷保持容量Ｃ２とを含んでいる。さらに、読み出し回路部４０は、読み出し用バッファーアンプを構成するトランジスター（本願においては、バッファートランジスターともいう）ＱＮ１と、リセットトランジスターＱＮ２と、選択トランジスターＱＮ３とを含んでいる。なお、複数の画素が１列に配置されたラインセンサーにおいて、読み出し回路部４０の最終段にアナログシフトレジスターが設けられる場合には、選択トランジスターＱＮ３をアナログシフトレジスターに含めることができる。
【００３２】
ここで、前段転送ゲートＴＧ１は、フォトダイオードＰＤのカソードとストレージダイ

オードのカソード（電荷保持領域ＣＨ）とをソース及びドレインとするＮチャネルＭＯＳトランジスターの一部を構成している。また、ストレージダイオードは、電荷保持容量Ｃ１を構成している。

【００３３】

さらに、後段転送ゲートＴＧ２は、電荷保持領域ＣＨとＰ型の半導体層に配置されたＮ型の浮遊拡散領域（フローティングディフュージョン）ＦＤとをソース及びドレインとするＮチャネルＭＯＳトランジスターの一部を構成している。また、Ｐ型の半導体層及びＮ型の浮遊拡散領域ＦＤは、電荷保持容量Ｃ２を構成している。なお、本願において、半導体層とは、半導体基板、半導体基板に形成されたウェル、又は、半導体基板上に形成されたエピタキシャル層のことをいう。

【００３４】

フォトダイオードＰＤ、前段転送ゲートＴＧ１、及び、後段転送ゲートＴＧ２は、低電位側の電源電位ＶＳＳの配線とバッファートランジスターＱＮ１のゲート電極との間に直列に接続されている。また、バッファートランジスターＱＮ１のドレインは、高電位側の電源電位ＶＤＤの配線に接続されている。以下においては、電源電位ＶＳＳが接地電位０Ｖであるものとする。

【００３５】

リセットトランジスターＱＮ２は、電源電位ＶＤＤの配線に接続されたドレインと、バッファートランジスターＱＮ１のゲート電極に接続されたソースと、リセット信号ＲＳＴが供給されるゲート電極とを有している。また、選択トランジスターＱＮ３は、バッファートランジスターＱＮ１のソースに接続されたドレインと、読み出し回路部４０の出力端子に接続されたソースと、画素選択信号ＳＥＬが供給されるゲート電極とを有している。

【００３６】

前段転送ゲートＴＧ１は、制御信号Ｔｘ１がハイレベルに活性化されたときに、フォトダイオードＰＤに蓄積された信号電荷を電荷保持容量Ｃ１に転送する。電荷保持容量Ｃ１は、前段転送ゲートＴＧ１によって転送された信号電荷を保持する。制御信号Ｔｘ１がローレベルに非活性化された後に、制御信号Ｔｘ２がハイレベルに活性化される。後段転送ゲートＴＧ２は、制御信号Ｔｘ２がハイレベルに活性化されたときに、電荷保持容量Ｃ１に保持された信号電荷を電荷保持容量Ｃ２に転送する。電荷保持容量Ｃ２は、後段転送ゲートＴＧ２によって転送された信号電荷を保持し、信号電荷を信号電圧に変換する。

【００３７】

リセットトランジスターＱＮ２は、リセット信号ＲＳＴがハイレベルに活性化されたときに、バッファートランジスターＱＮ１のゲート電位を初期状態の電位（例えば、電源電位ＶＤＤ）にリセットする。リセットが解除されると、バッファートランジスターＱＮ１は、電荷保持容量Ｃ２の両端間の信号電圧に応じた出力電圧をソースから出力する。

【００３８】

選択トランジスターＱＮ３は、画素選択信号ＳＥＬがハイレベルに活性化されたときに、バッファートランジスターＱＮ１の出力電圧を選択する。それにより、バッファートランジスターＱＮ１の出力電圧が、選択トランジスターＱＮ３を介して読み出し回路部４０の出力端子に出力されて出力電圧Ｖｓとなる。

【００３９】

＜画素部及び読み出し回路部の単位ブロック＞

図５は、ラインセンサーにおける画素部及び読み出し回路部の単位ブロックの例を示す回路図である。図５に示すように、主走査方向Ａにおいて連続する４つのフォトダイオードＰＤａ～ＰＤｄと、それらのフォトダイオードＰＤａ～ＰＤｄから転送される信号電荷を信号電圧に変換して画素情報を読み出す読み出し回路部とが、１つの単位ブロック４０Ａを構成している。例えば、１つのラインセンサーに設けられる単位ブロック４０Ａの数は、２１６個である。

【００４０】

単位ブロック４０Ａの読み出し回路部は、４つの前段転送ゲートＴＧ１ａ～ＴＧ１ｄと

、４つの後段転送ゲートＴＧ２ａ～ＴＧ２ｄと、１つのバッファートランジスターＱＮ１と、１つのリセットトランジスターＱＮ２とを含んでいる。即ち、１つのバッファートランジスターＱＮ１及び１つのリセットトランジスターＱＮ２が、４つのフォトダイオードＰＤａ～ＰＤｄで共用される。

【００４１】

ここで、解像度のモードに拘わらず、４つの前段転送ゲートＴＧ１ａ～ＴＧ１ｄは、同時にオン状態に制御される。一方、４つのフォトダイオードＰＤａ～ＰＤｄの各々が１画素を構成するので、４つの後段転送ゲートＴＧ２ａ～ＴＧ２ｄは、異なるタイミングでオン状態に制御される。それにより、４つのフォトダイオードＰＤａ～ＰＤｄの信号電荷にそれぞれ応じた４つの出力電圧が、単位ブロック４０Ａから時分割で出力される。

【００４２】

図５には、４つの前段転送ゲートＴＧ１ａ～ＴＧ１ｄに共通に供給される制御信号Ｔｘ１と、４つの後段転送ゲートＴＧ２ａ～ＴＧ２ｄにそれぞれ供給される４つの制御信号Ｔｘ２ａ～Ｔｘ２ｄとが示されている。上述した通り、４つの前段転送ゲートＴＧ１ａ～ＴＧ１ｄが同時にオンするために、共通の制御信号Ｔｘ１が供給される。

【００４３】

ここで、前段転送ゲートＴＧ１ａ～ＴＧ１ｄに供給される制御信号Ｔｘ１と、後段転送ゲートＴＧ２ａ～ＴＧ２ｄにそれぞれ供給される制御信号Ｔｘ２ａ～Ｔｘ２ｄとにおいて、ハイレベルの電位が相違しても良い。例えば、前段転送ゲートＴＧ１ａ～ＴＧ１ｄに供給される制御信号Ｔｘ１のハイレベルは、電源電位ＶＤＤよりも高い電位を有している。

【００４４】

即ち、前段転送ゲートＴＧ１ａ～ＴＧ１ｄに電源電位ＶＤＤよりも高い電位を有する制御信号Ｔｘ１を供給すれば、オン時の前段転送ゲートＴＧ１ａ～ＴＧ１ｄは、規定値以下の露光強度では電荷転送能力が飽和することがなく、あるいは、飽和レベルを向上させることができる。従って、フォトダイオードＰＤａ～ＰＤｄに蓄積された信号電荷を高い転送能力で転送して、コントラストの高い画像を形成することができる。

【００４５】

一方、制御信号Ｔｘ２ａ～Ｔｘ２ｄは、図５に示すように、ＣＭＯＳ論理回路７０ａ～７０ｄから後段転送ゲートＴＧ２ａ～ＴＧ２ｄにそれぞれ供給される。ＣＭＯＳ論理回路７０ａ～７０ｄは、単位ブロック４０Ａを選択するためのブロック選択信号Ｔｘ２及びＴｘ２ｒに従ってオン状態となり、タイミング信号Ｔｘ２ａ１～Ｔｘ２ｄ１を制御信号Ｔｘ２ａ～Ｔｘ２ｄとして単位ブロック４０Ａに供給する。その際に、電圧降下を生じることなく制御信号Ｔｘ２ａ～Ｔｘ２ｄが生成されるので、後段転送ゲートＴＧ２ａ～ＴＧ２ｄの転送能力を高めることができる。

【００４６】

図５においては、ＣＭＯＳ論理回路７０ａ～７０ｄとして、ＰチャネルＭＯＳトランジスター及びＮチャネルＭＯＳトランジスターで構成されるアナログスイッチ（トランスミッションゲート）が用いられているが、ＣＭＯＳ論理回路７０ａ～７０ｄの構成は、これに限定されない。例えば、ＣＭＯＳ論理回路７０ａ～７０ｄとして、クロックドＣＭＯＳ論理回路やアンドゲート回路等、電圧降下を生じない回路を用いることができる。

【００４７】

一方、複数の画素が２次元マトリクス状に配置されたエリアセンサーは、複数のラインに配置された画素部及び読み出し回路部を有しており、１画素分の画素部及び読み出し回路部の等価回路は、図４に示す等価回路と同様である。複数のラインの受光素子からそれぞれの電荷保持領域ＣＨ（以下、図４を参照）に、同時に信号電荷が転送される。この機能は、グローバルシャッター（電子シャッター）と呼ばれている。

【００４８】

その後、順次選択されたラインの電荷保持領域ＣＨに保持されている信号電荷が浮遊拡散領域ＦＤに転送され、選択トランジスターＱＮ３がオン状態となって、バッファートランジスターＱＮ１の出力電圧が、選択トランジスターＱＮ３を介して読み出し回路部の出

力端子に出力される。以下に説明する固体撮像装置は、ラインセンサーでも良いし、エリアセンサーでも良い。

【００４９】

＜第１の実施形態＞

図６は、本発明の第１の実施形態に係る固体撮像装置の一部の平面図であり、図７は、図６に示すＡ－Ｂの延長線に沿った断面図である。図６及び図７に示すように、この固体撮像装置は、Ｎ型の半導体基板（Ｎｓｕｂ）１００と、半導体基板１００内に形成されたＰウェル（Ｐ$^{-}$）１１０と、Ｐウェル１１０内に形成されたＮ型の不純物領域（Ｎ$^{-}$）１２１、電荷保持領域（ＣＨ）１２２、及び、浮遊拡散領域（ＦＤ）１２３とを備えている。電荷保持領域１２２及び浮遊拡散領域１２３は、高濃度のＮ型の不純物領域（Ｎ$^{+}$）である。

【００５０】

半導体基板１００としては、例えば、燐（Ｐ）若しくは砒素（Ａｓ）等のＮ型の不純物を含むシリコン（Ｓｉ）基板が用いられる。また、Ｐウェル１１０は、例えば、半導体基板１００にボロン（Ｂ）等のＰ型の不純物イオンを注入し、熱処理を施すことによって不純物を熱拡散して形成される。

【００５１】

フォトダイオードＰＤは、Ｐウェル１１０で構成されたアノードと、Ｎ型の不純物領域１２１で構成されたカソードとを有している。図７に示すように、Ｎ型の不純物領域１２１及び電荷保持領域１２２の上部には、高濃度のＰ型の不純物領域（ピニング層）１３１及び１３２がそれぞれ配置されても良い。ピニング層を設ける場合には、Ｎ型の不純物領域１２１又は電荷保持領域１２２において発生する暗電流を低減することができる。

【００５２】

このように、固体撮像装置は、半導体基板１００に配置された受光素子（フォトダイオードＰＤ）、電荷保持領域１２２、及び、浮遊拡散領域１２３を備えている。また、固体撮像装置は、半導体基板１００における受光素子と電荷保持領域１２２との間の領域上にゲート絶縁膜を介して配置されたゲート電極１４１を有する前段転送ゲートＴＧ１と、半導体基板１００における電荷保持領域１２２と浮遊拡散領域１２３との間の領域上にゲート絶縁膜を介して配置されたゲート電極１４２を有する後段転送ゲートＴＧ２とを備えている。

【００５３】

ゲート電極１４１及び１４２は、例えば、不純物がドープされて導電性を有するポリシリコン等で構成される。また、図６には、バッファートランジスターＱＮ１及びリセットトランジスターＱＮ２も示されている。

【００５４】

さらに、固体撮像装置は、半導体基板１００上に配置された層間絶縁膜１５０と、層間絶縁膜１５０上に配置された配線１６１～１６３を含む第１の配線層と、層間絶縁膜１５０及び第１の配線層上に配置された層間絶縁膜１７０と、層間絶縁膜１７０上に配置された配線１８１～１８４を含む第２の配線層とを備えている。なお、電荷保持領域１２２を遮光する遮光膜を層間絶縁膜１７０上に配置して、配線１８１～１８４を他の領域又は第３の配線層等に配置しても良い。

【００５５】

層間絶縁膜１５０及び１７０は、例えば、ＢＰＳＧ（Boron Phosphorus Silicon Glass）又はシリコン酸化膜（SiO_2）等で構成される。層間絶縁膜１５０に形成されたコンタクトホール内には、例えば、タングステン（Ｗ）、アルミニウム（Ａｌ）、又は、銅（Ｃｕ）等を含むコンタクトプラグ１５１～１５３が配置されている。また、配線１６１～１６３及び１８１～１８４は、例えば、アルミニウム（Ａｌ）又は銅（Ｃｕ）等を含んでいる。

【００５６】

第１の配線層の配線１６１は、コンタクトプラグ１５１を介して、前段転送ゲートＴＧ

１のゲート電極１４１に電気的に接続されている。配線１６２は、コンタクトプラグ１５２を介して、後段転送ゲートＴＧ２のゲート電極１４２に電気的に接続されている。配線１６３は、コンタクトプラグ１５３を介して、浮遊拡散領域１２３とバッファートランジスターＱＮ１（図６）のゲート電極とを電気的に接続している。

【００５７】

第１の実施形態においては、図６に示すように、電荷保持領域１２２が、前段転送ゲートＴＧ１の端部に沿って第１の幅$W_{CH}1$を有すると共に、後段転送ゲートＴＧ２の端部に沿って第１の幅$W_{CH}1$よりも大きい第２の幅$W_{CH}2$を有している。第１の幅$W_{CH}1$と第２の幅$W_{CH}2$との比は、例えば、３：４と３：５との間に設定される。電荷保持領域１２２の幅は、図６に示すように連続的に変化しても良いし、あるいは、段階的に変化しても良い。

【００５８】

図８は、図６及び図７に示すＡ－Ｂに沿ったポテンシャルの分布を示す図である。フォトダイオードＰＤのカソードに蓄積される信号電荷は負の電荷（電子）であるので、図８等において、ポテンシャル（電位ポテンシャル）の矢印の向きが下向きに表されている。

【００５９】

図８に示すように、図６に示す電荷保持領域１２２の平面形状によれば、電荷保持領域１２２において、前段転送ゲートＴＧ１側（Ａ側）よりも幅の大きい後段転送ゲートＴＧ２側（Ｂ側）の電位ポテンシャルが高くなるので、前段転送ゲートＴＧ１によって受光素子から電荷保持領域１２２に転送された信号電荷が、前段転送ゲートＴＧ１側よりも後段転送ゲートＴＧ２側に多く分布するようになる。

【００６０】

それにより、後段転送ゲートＴＧ２によって信号電荷を電荷保持領域１２２から浮遊拡散領域１２３に転送し易い分布状態となり、受光素子から電荷保持領域１２２に転送された信号電荷を浮遊拡散領域１２３に転送する際における電荷の転送残りを改善することができる。

【００６１】

図６に示すように、電荷保持領域１２２は、第１の幅$W_{CH}1$から第２の幅$W_{CH}2$に向けて単調増加する幅を有しても良い。その場合には、電荷保持領域１２２内において電位ポテンシャルが徐々に変化してポテンシャルの井戸が発生し難いので、ポテンシャルの井戸に電荷が溜まることによる電荷の転送残りを改善することができる。

【００６２】

また、図６に示すように、浮遊拡散領域１２３は、後段転送ゲートＴＧ２の端部に沿って第１の幅$W_{FD}1$を有すると共に、後段転送ゲートＴＧ２の反対側において第１の幅$W_{FD}1$よりも小さい第２の幅$W_{FD}2$を有しても良い。浮遊拡散領域１２３の幅は、連続的に変化しても良いし、あるいは、段階的に変化しても良い。

【００６３】

それにより、浮遊拡散領域１２３において幅の大きい後段転送ゲートＴＧ２側の電位ポテンシャルが反対側よりも高くなるので、後段転送ゲートＴＧ２によって信号電荷を電荷保持領域１２２から浮遊拡散領域１２３に転送し易いポテンシャル分布となる。従って、受光素子から電荷保持領域１２２に転送された信号電荷を浮遊拡散領域１２３に転送する際における電荷の転送残りを改善することができる。

【００６４】

＜第２の実施形態＞

図９は、本発明の第２の実施形態に係る固体撮像装置の一部の平面図であり、図１０は、図９に示すＣ－Ｄの延長線に沿った断面図である。第２の実施形態に係る固体撮像装置は、電荷保持領域１２２の主面（図中の上面）の一部に配置されたピニング層１３２ａを備えている。その他の点に関しては、第２の実施形態は、第１の実施形態と同様でも良い。

【００６５】

ピニング層１３２ａは、前段転送ゲートＴＧ１の端部からの距離が所定の値以下である領域に配置されている。ここで、所定の値は、前段転送ゲートＴＧ１と後段転送ゲートＴＧ２との間の距離よりも小さく、前段転送ゲートＴＧ１と後段転送ゲートＴＧ２との間の距離の１／２以上であることが望ましい。

【００６６】

図１１は、図９及び図１０に示すＣ－Ｄに沿ったポテンシャルの分布を示す図である。図１１において、破線は、電荷保持領域１２２の主面全体にピニング層が配置された場合におけるポテンシャルの分布を示しており、実線は、電荷保持領域１２２の主面の一部にピニング層１３２ａが配置された場合におけるポテンシャルの分布を示している。

【００６７】

ピニング層１３２ａは、電源電位ＶＳＳが供給されて、電位ポテンシャルを下げる役割を有している。従って、図１１に示すように、ピニング層１３２ａが配置されていない領域下においては、ピニング層１３２ａが配置されている領域下よりも電位ポテンシャルが高くなる。即ち、電荷保持領域１２２において、前段転送ゲートＴＧ１側（Ｃ側）よりも後段転送ゲートＴＧ２側（Ｄ側）の電位ポテンシャルが高くなるので、前段転送ゲートＴＧ１によって受光素子から電荷保持領域１２２に転送された信号電荷が、前段転送ゲートＴＧ１側よりも後段転送ゲートＴＧ２側に多く分布するようになる。

【００６８】

それにより、後段転送ゲートＴＧ２によって信号電荷を電荷保持領域１２２から浮遊拡散領域１２３に転送し易い分布状態となり、受光素子から電荷保持領域１２２に転送された信号電荷を浮遊拡散領域１２３に転送する際における電荷の転送残りを改善することができる。

【００６９】

図９に示すように、ピニング層１３２ａは、電荷保持領域１２２の幅方向の中心よりも両端部において後段転送ゲートＴＧ２に向けて突出する形状を有しても良い。それにより、電荷保持領域１２２の幅方向の中心に向けて電位ポテンシャルが高くなるので、電荷保持領域１２２の幅方向の中心付近に信号電荷が多く分布するようになる。従って、受光素子から電荷保持領域１２２に転送された信号電荷を浮遊拡散領域１２３に転送する際における電荷の転送残りを改善することができる。

【００７０】

図９には、前段転送ゲートＴＧ１の右端からピニング層１３２ａの右端までの距離Ｄ１及びＤ２が示されている。ここで、電荷保持領域１２２の中心軸における距離Ｄ１は、前段転送ゲートＴＧ１と後段転送ゲートＴＧ２との間の距離の１／２以上であることが望ましい。また、電荷保持領域１２２の両端部における距離Ｄ２は、電荷保持領域１２２の中心軸における距離Ｄ１よりも大きく、前段転送ゲートＴＧ１と後段転送ゲートＴＧ２との間の距離よりも小さいことが望ましい。

【００７１】

＜第３の実施形態＞

図１２は、本発明の第３の実施形態に係る固体撮像装置の一部の平面図であり、図１３は、図１２に示すＥ－Ｆの延長線に沿った断面図である。第３の実施形態に係る固体撮像装置は、半導体基板１００上に層間絶縁膜１５０を介して配置され、前段転送ゲートＴＧ１のゲート電極１４１に電気的に接続された金属膜１６１ａをさらに備えている。その他の点に関しては、第３の実施形態は、第１又は第２の実施形態と同様でも良い。

【００７２】

金属膜１６１ａは、平面視で前段転送ゲートＴＧ１の端部から後段転送ゲートＴＧ２に向けて所定の距離まで突出している。ここで、所定の距離は、ゼロよりも大きく、前段転送ゲートＴＧ１と後段転送ゲートＴＧ２との間の距離よりも小さいことが望ましい。なお、本願において、「平面視」とは、半導体基板１００の主面（図中の上面）に垂直な方向から各部を透視することをいう。

【００７３】

金属膜１６１ａは、配線１６２等と同様に、例えば、アルミニウム（Ａｌ）又は銅（Ｃｕ）等を含んでいる。前段転送ゲートＴＧ１及び後段転送ゲートＴＧ２がオフ状態である期間において、金属膜１６１ａ及び配線１６２には、ローレベル（電源電位ＶＳＳ）の制御信号が供給される。

【００７４】

図１４は、図１２及び図１３に示すＥ－Ｆに沿ったポテンシャルの分布を示す図である。図１４において、破線は、金属膜１６１ａが配置されていない場合におけるポテンシャルの分布を示しており、実線は、金属膜１６１ａが配置されている場合におけるポテンシャルの分布を示している。

【００７５】

図１４に示すように、金属膜１６１ａが配置されている領域下においては、金属膜１６１ａが形成する電界の影響によって、金属膜１６１ａが配置されていない領域下よりも電位ポテンシャルが低くなる。即ち、電荷保持領域１２２において、後段転送ゲートＴＧ２側（Ｆ側）よりも前段転送ゲートＴＧ１側（Ｅ側）の電位ポテンシャルが低くなるので、前段転送ゲートＴＧ１によって受光素子から電荷保持領域１２２に転送された信号電荷が、前段転送ゲートＴＧ１側よりも後段転送ゲートＴＧ２側に多く分布するようになる。

【００７６】

それにより、後段転送ゲートＴＧ２によって信号電荷を電荷保持領域１２２から浮遊拡散領域１２３に転送し易い分布状態となり、受光素子から電荷保持領域１２２に転送された信号電荷を浮遊拡散領域１２３に転送する際における電荷の転送残りを改善することができる。一方、配線１６２は、電荷保持領域１２２において後段転送ゲートＴＧ２側（Ｆ側）の電位ポテンシャルを低下させないために、平面視で後段転送ゲートＴＧ２の端部から前段転送ゲートＴＧ１に向けて突出していない。

【００７７】

図１２に示すように、金属膜１６１ａは、平面視で電荷保持領域１２２の幅方向の中心よりも両端部において後段転送ゲートＴＧ２に向けて突出する形状を有しても良い。それにより、電荷保持領域１２２の幅方向の中心に向けて電位ポテンシャルが高くなるので、電荷保持領域１２２の幅方向の中心付近に信号電荷が多く分布するようになる。従って、受光素子から電荷保持領域１２２に転送された信号電荷を浮遊拡散領域１２３に転送する際における電荷の転送残りを改善することができる。

【００７８】

図１２には、前段転送ゲートＴＧ１の右端から金属膜１６１ａの右端までの距離Ｄ３及びＤ４が示されている。ここで、金属膜１６１ａの中心軸における距離Ｄ３は、ゼロよりも大きく、前段転送ゲートＴＧ１と後段転送ゲートＴＧ２との間の距離の１／２以下であることが望ましい。また、金属膜１６１ａの両端部における距離Ｄ４は、金属膜１６１ａの中心軸における距離Ｄ３よりも大きく、前段転送ゲートＴＧ１と後段転送ゲートＴＧ２との間の距離よりも小さいことが望ましい。

【００７９】

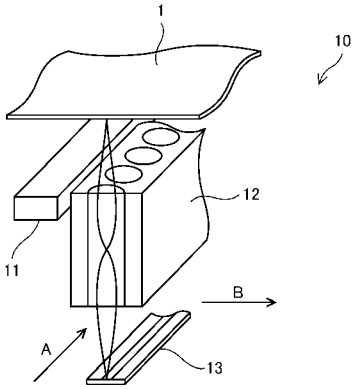
以上説明したように、第１～第３の実施形態に係る固体撮像装置は、前段転送ゲートＴＧ１によって受光素子から電荷保持領域１２２に転送された信号電荷が前段転送ゲートＴＧ１側よりも後段転送ゲートＴＧ２側に多く分布するポテンシャルの勾配を電荷保持領域１２２に与えるように構成されている。なお、第１～第３の実施形態の内の２つ以上を組み合わせて実施しても良い。

【００８０】

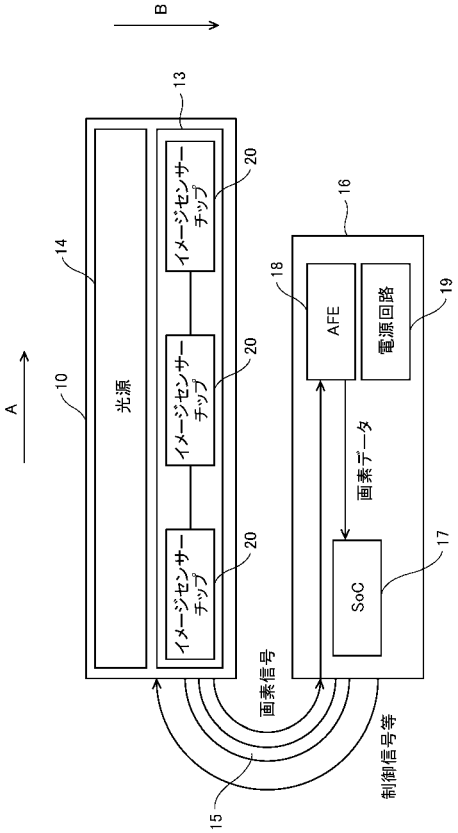
第１～第３の実施形態によれば、前段転送ゲートＴＧ１によって受光素子から電荷保持領域１２２に転送された信号電荷が前段転送ゲートＴＧ１側よりも後段転送ゲートＴＧ２側に多く分布することにより、後段転送ゲートＴＧ２によって信号電荷を電荷保持領域１２２から浮遊拡散領域１２３に転送し易い分布状態となる。従って、受光素子から電荷保持領域１２２に転送された信号電荷を浮遊拡散領域１２３に転送する際における電荷の転送残りを改善することができる。

【００８１】
このように、受光素子から電荷保持領域１２２に転送された信号電荷を浮遊拡散領域１２３に転送する際における電荷の転送残りを改善した固体撮像装置を用いることにより、被写体を撮像して得られる画像データの画質が改善された電子機器を提供することができる。
【００８２】
また、第１～第３の実施形態に係る固体撮像装置は、スキャナー装置以外にも、例えば、ドライブレコーダー、デジタルムービー、デジタルスチルカメラ、携帯電話機等の移動端末、テレビ電話、防犯用テレビモニター、測定機器、及び、医療機器等のように、被写体を撮像して画像データを生成する電子機器に適用することができる。
【００８３】
上記の実施形態においては、Ｐ型の半導体層にＮ型の不純物領域等を形成する場合について説明したが、本発明は、以上説明した実施形態に限定されるものではない。例えば、本発明は、Ｎ型の半導体層にＰ型の不純物領域等を形成する場合に適用することも可能である。このように、当該技術分野において通常の知識を有する者に従って、本発明の技術的思想内で多くの変形が可能である。
【符号の説明】
【００８４】
１…原稿、１０…ＣＩＳモジュール、１１…ライトガイド、１２…レンズアレイ、１３…イメージセンサー、１４…光源、１５…フレキシブル配線、１６…メイン基板、１７…システムオンチップ、１８…アナログフロントエンド、１９…電源回路、２０…イメージセンサーチップ、３０…画素部、４０…読み出し回路部、５０…制御回路部、５１…相関二重サンプリング回路、５２…出力回路、５３…ロジック回路、６１～６４…キャパシター、７０ａ～７０ｄ…ＣＭＯＳ論理回路、１００…半導体基板、１１０…Ｐウェル、１２１…Ｎ型の不純物領域、１２２、ＣＨ…電荷保持領域、１２３、ＦＤ…浮遊拡散領域、１３１、１３２、１３２ａ…Ｐ型の不純物領域（ピニング層）、１４１、１４２…ゲート電極、１５０、１７０…層間絶縁膜、１５１～１５３…コンタクトプラグ、１６１～１６３、１８１～１８４…配線、１６１ａ…金属膜、ＰＤ…フォトダイオード、ＴＧ１、ＴＧ１ａ～ＴＧ１ｄ…前段転送ゲート、ＴＧ２、ＴＧ２ａ～ＴＧ２ｄ…後段転送ゲート、ＱＮ１…バッファートランジスター、ＱＮ２…リセットトランジスター、ＱＮ３…選択トランジスター、Ｃ１、Ｃ２…電荷保持容量

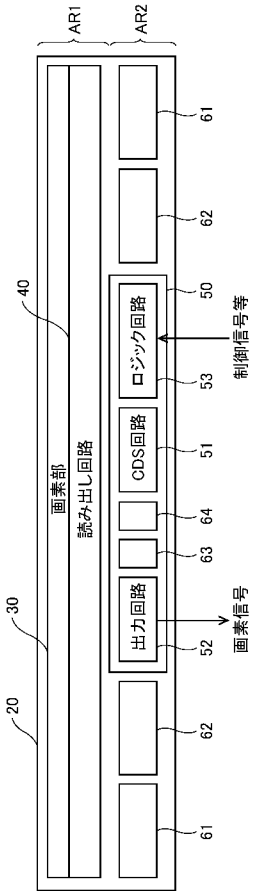
【図１】


1
10
12
11
B
A
13

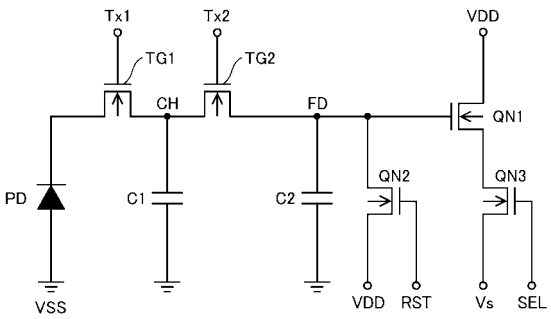
【図２】


B
13
イメージセンサーチップ
20
16
14
18
AFE
電源回路
19
光源
10
A
画素データ
17
SoC
画素信号
制御信号等
15

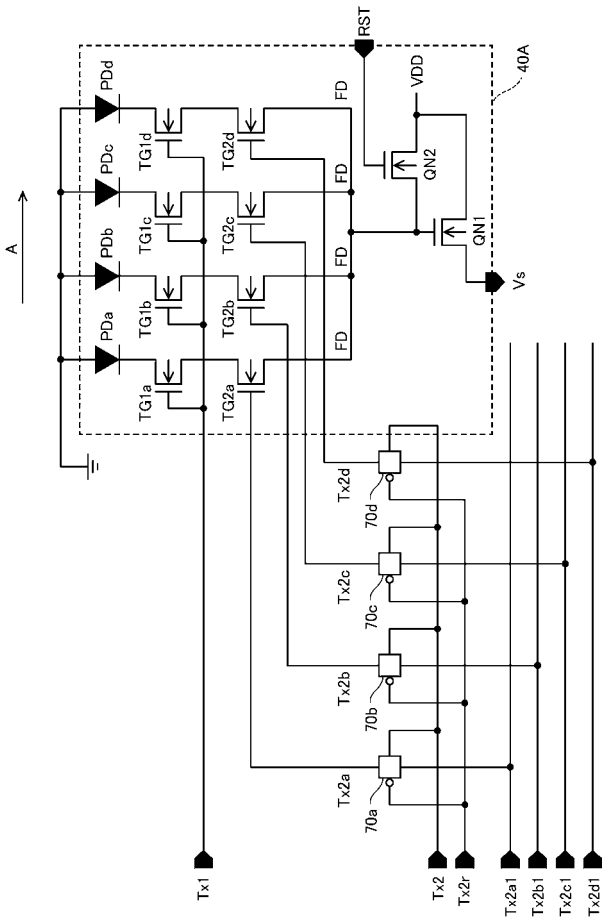
【図３】


AR1
AR2
61
62
40
50
ロジック回路
制御信号等
53
CDS回路
51
64
63
出力回路
画素信号
52
30
画素部
読み出し回路
20
62
61

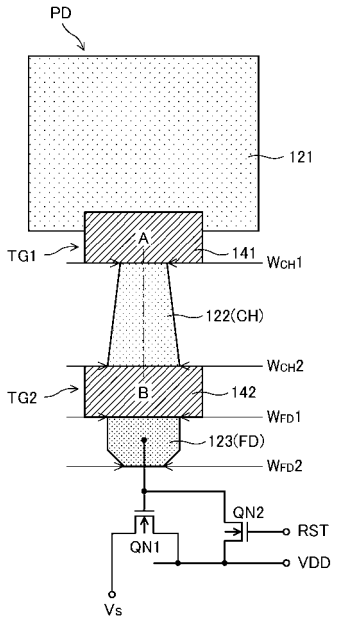
【図４】


Tx1
Tx2
VDD
TG1
TG2
CH
FD
QN1
PD
C1
C2
QN2
QN3
VSS
VDD
RST
Vs
SEL

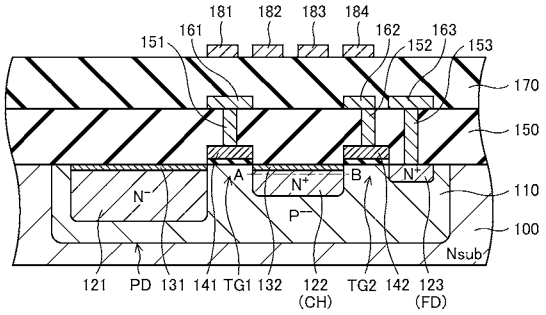
【図５】



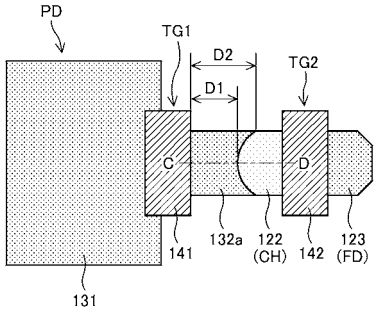
【図６】



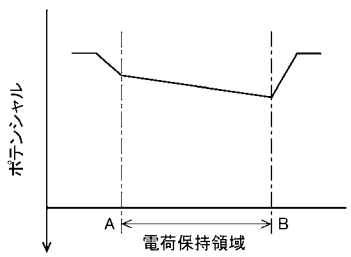
【図７】



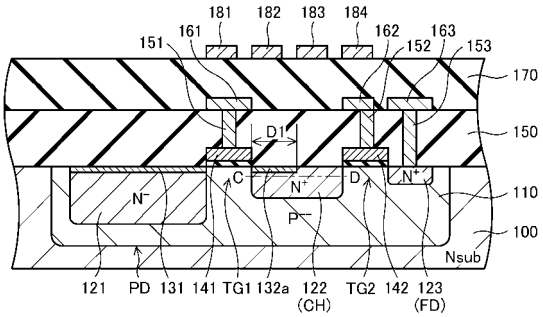
【図９】



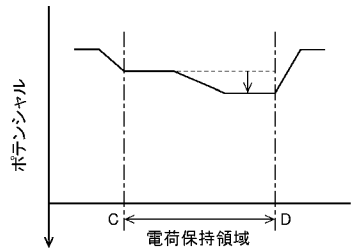
【図８】



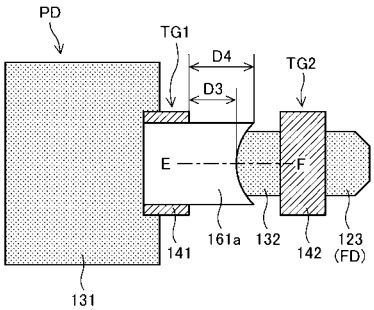
【図１０】



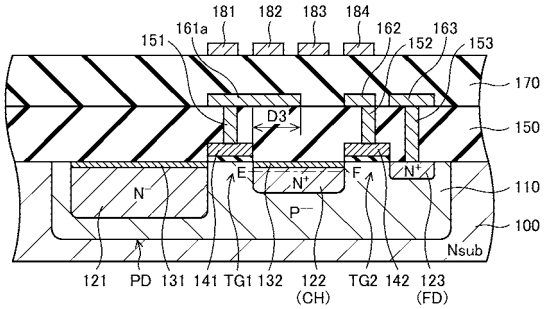
【図１１】



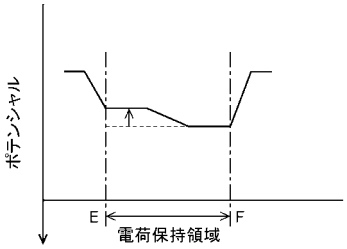
【図１２】



【図１３】



【図１４】



フロントページの続き

(72)発明者　関澤　充生
山形県酒田市十里塚１６６番地３　東北エプソン株式会社内

Ｆターム(参考) 4M118 AA03 AB01 BA04 BA14 CA04 CA22 DD04 FA06 FA08 FA34
FA38 GB03
5C024 CX17 CY47 GX03 GX16 GX18 GY31