



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I534956 B

(45)公告日：中華民國 105 (2016) 年 05 月 21 日

(21)申請案號：101118196

(22)申請日：中華民國 101 (2012) 年 05 月 22 日

(51)Int. Cl. : *H01L21/8239(2006.01)**H01L21/786 (2006.01)**H01L21/28 (2006.01)**H01L21/20 (2006.01)*

(30)優先權：2011/05/27 日本

2011-119429

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：兼安誠 KANEYASU, MAKOTO (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 550583B

TW 201023187A

審查人員：楊啟全

申請專利範圍項數：10 項 圖式數：9 共 75 頁

(54)名稱

調整電路及驅動調整電路之方法

TRIMMING CIRCUIT AND METHOD FOR DRIVING TRIMMING CIRCUIT

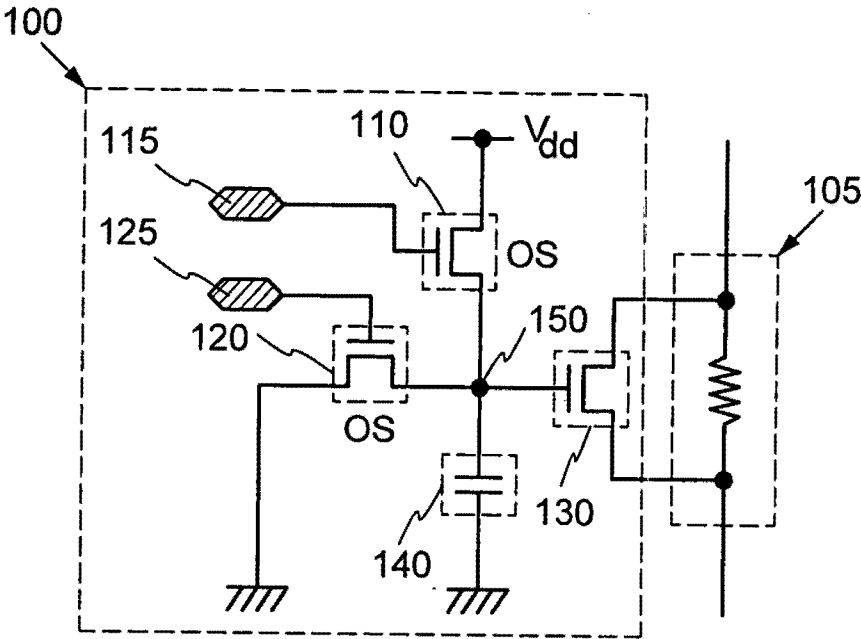
(57)摘要

提出一種高度可靠的調整電路。提出一種可複寫調整電路。提出一種驅動高度可靠的調整電路之方法。提出一種驅動可複寫調整電路之方法。調整電路包括一儲存節點，其連接一具有極低之截止洩漏電流的電晶體之源極或汲極、及一電晶體，其閘極連接此儲存節點。並聯連接至具有連接此儲存節點之閘極的電晶體之源極和汲極的元件或電路之調整狀態係使用具有極低之截止洩漏電流的電晶體來控制。

A highly reliable trimming circuit is provided. A rewritable trimming circuit is provided. A method for driving a highly reliable trimming circuit is provided. A method for driving a rewritable trimming circuit is provided. The trimming circuit includes a storage node connected to a source electrode or a drain electrode of a transistor whose off-state leakage current is extremely low and a transistor whose gate electrode is connected to the storage node. The trimming state of an element or a circuit connected in parallel to a source electrode and a drain electrode of the transistor whose gate electrode is connected to the storage node is controlled using the transistor whose off-state leakage current is extremely low.

指定代表圖：

第1圖



符號簡單說明：

- 100 . . . 調整電路
- 105 . . . 電阻器
- 110 . . . 第一電晶體
- 115 . . . 寫入端
- 120 . . . 第二電晶體
- 125 . . . 抹除端
- 130 . . . 第三電晶體
- 140 . . . 電容器
- 150 . . . 儲存節點
- V_{dd} . . . 電源電位

發明專利說明書

公告本

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101118196

※申請日：101 年 05 月 22 日

※IPC 分類：H01L 21/8239 (2006.01)

21/786 (2006.01)

一、發明名稱：(中文／英文)

21/128 (2006.01)

調整電路及驅動調整電路之方法

21/20 (2006.01)

Trimming circuit and method for driving trimming circuit

二、中文發明摘要：

提出一種高度可靠的調整電路。提出一種可複寫調整電路。提出一種驅動高度可靠的調整電路之方法。提出一種驅動可複寫調整電路之方法。調整電路包括一儲存節點，其連接一具有極低之截止洩漏電流的電晶體之源極或汲極、及一電晶體，其閘極連接此儲存節點。並聯連接至具有連接此儲存節點之閘極的電晶體之源極和汲極的元件或電路之調整狀態係使用具有極低之截止洩漏電流的電晶體來控制。

三、英文發明摘要：

A highly reliable trimming circuit is provided. A rewritable trimming circuit is provided. A method for driving a highly reliable trimming circuit is provided. A method for driving a rewritable trimming circuit is provided. The trimming circuit includes a storage node connected to a source electrode or a drain electrode of a transistor whose off-state leakage current is extremely low and a transistor whose gate electrode is connected to the storage node. The trimming state of an element or a circuit connected in parallel to a source electrode and a drain electrode of the transistor whose gate electrode is connected to the storage node is controlled using the transistor whose off-state leakage current is extremely low.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

100：調整電路

105：電阻器

110：第一電晶體

115：寫入端

120：第二電晶體

125：抹除端

130：第三電晶體

140：電容器

150：儲存節點

V_{dd} ：電源電位

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種調整電路。本發明亦關於一種驅動調整電路之方法。

【先前技術】

在需要精確電壓準位和精確電流值的積體電路（例如，AD 轉換器或 DA 轉換器）之製造步驟中，必須採用一種補償不能藉由調整製造條件來降低之特性變化的方法。

此外，在需要高產量的積體電路（例如，高容量儲存裝置）之製造步驟中，必須採用一種切換連接內建冗餘電路的方法。

對上述應用係使用稱為調整電路的電路。調整電路判斷並聯連接至調整電路的元件或電路為可用或不可用的。並聯連接至調整電路的元件或電路為不可用的狀態係稱為調整狀態。例如，使用保險絲、齊納修正二極體或之類作為傳統的調整電路。

已知悉一種在通道形成區中包括氧化物半導體的電晶體（專利文件 1）。由於藉由濺射法或之類可較容易形成氧化物半導體層，因此可易於形成在通道形成區中包括氧化物半導體的電晶體。

〔參考〕

專利文件 1：日本已公開專利申請書第 2007-123861 號

【發明內容】

保險絲、齊納修正二極體或之類在一些情況中會有可靠度的問題。例如，在藉由雷射切割法以雷射燒斷保險絲之後，殘留物會存在於切割區域中且在一些情況中沒有正確地切斷電路。

一旦切斷如保險絲或齊納修正二極體之包括不可逆元件的傳統調整電路，就不可能將傳統調整電路回復到原始狀態。因此，會有不能再次進行調整及不能進行複寫的問題。

有鑑於技術背景來作出本發明之一實施例。本發明之一實施例的目標在於提出一種高度可靠的調整電路。替代地，本發明之一實施例的目標在於提出一種可複寫調整電路。替代地，本發明之一實施例的目標在於提出一種驅動高度可靠的調整電路之方法。替代地，本發明之一實施例的目標在於提出一種驅動可複寫調整電路之方法。

爲了達到以上目標，本發明之一實施例將重點集中於一種長時間維持開關在設定狀態而不實體切斷電路之結構。再者，設想一種結構中設置一儲存節點，其連接一具有極低之截止洩漏電流的電晶體之源極或汲極、及一電晶體，其閘極連接此儲存節點。另外，設想一種方法爲，並聯連接至具有連接此儲存節點之閘極的電晶體之源極和汲極的元件或電路之調整狀態係使用具有極低之截止洩漏電流的電晶體來控制，而可達到以上目標。

本發明之一實施例係一種調整電路，其包括一電容器、一第一電晶體、一第二電晶體、及一第三電晶體。電容器之其一電極係電性連接一儲存節點，且電容器之另一電極係電性連接一接地電位線。第一電晶體之閘極係電性連接一寫入端；第一電晶體之源極和汲極之其一者係電性連接儲存節點；且第一電晶體之源極和汲極之另一者係電性連接一電源電位線。第二電晶體之閘極係電性連接一抹除端；第二電晶體之源極和汲極之其一者係電性連接儲存節點；且第二電晶體之源極和汲極之另一者係電性連接接地電位線。第三電晶體之閘極係電性連接儲存節點。第一電晶體和第二電晶體各在一通道形成區中包括能隙為 2.5 eV 以上的半導體材料。第三電晶體之源極和汲極係並聯連接一電阻器。

根據本發明之一實施例的調整電路具有第一電晶體和第二電晶體，各在一通道形成區中包括能隙為 2.5 eV 以上的半導體材料、及儲存節點，其連接第一電晶體之源極和汲極之其一者、第二電晶體之源極和汲極之其一者、第三電晶體之閘極、及電容器之其一電極。在一通道形成區中包括能隙為 2.5 eV 以上的半導體材料之電晶體具有低截止洩漏電流。具備上述結構的儲存節點有極佳的能力來保持電荷，並可穩定維持具有連接儲存節點之閘極的第三電晶體之運作狀態。於是，能長時間維持第三電晶體之運作狀態而不改變元件的結構（例如，不會損壞元件或佈線）。藉此，可提出一種高度可靠的調整電路。

此外，在根據本發明之一實施例的調整電路中，可改變第三電晶體之運作狀態而不會不可逆地改變元件的結構。於是，能多次改變第三電晶體之運作狀態。藉此，可提出一種可複寫調整電路。

本發明之一實施例係一種調整電路，其包括一電容器、一第一電晶體、一第二電晶體、及一第三電晶體。電容器之其一電極係電性連接一儲存節點，且電容器之另一電極係電性連接一接地電位線。第一電晶體之閘極係電性連接一寫入端；第一電晶體之源極和汲極之其一者係電性連接儲存節點；且第一電晶體之源極和汲極之另一者係電性連接一電源電位線。第二電晶體之閘極係電性連接一抹除端；第二電晶體之源極和汲極之其一者係電性連接儲存節點；且第二電晶體之源極和汲極之另一者係電性連接一接地電位線。第三電晶體之閘極係電性連接儲存節點。第一電晶體和第二電晶體之各者的每微米通道寬度之截止洩漏電流係為 1×10^{-17} A 以下。第三電晶體之源極和汲極係並聯連接一電阻器。

根據本發明之一實施例的調整電路具有第一電晶體和第二電晶體，各具有極低之截止洩漏電流、及儲存節點，其連接第一電晶體之源極和汲極之其一者、第二電晶體之源極和汲極之其一者、第三電晶體之閘極、及電容器之其一電極。具體來說，第一電晶體和第二電晶體各在一通道形成區中包括氧化物半導體層且具有每微米通道寬度為 1×10^{-17} A 以下之截止洩漏電流。具備上述結構的儲存節點

105年1月12日修正 第(本)頁

有極佳的能力來保持電荷，並可穩定維持具有連接儲存節點之閘極的第三電晶體之運作狀態。於是，能長時間維持第三電晶體之運作狀態而不改變元件的結構（例如，不會損壞元件或佈線）。藉此，可提出一種高度可靠的調整電路。

此外，在根據本發明之一實施例的調整電路中，可改變第三電晶體之運作狀態而不會不可逆地改變元件的結構。於是，能多次改變第三電晶體之運作狀態。藉此，可提出一種可複寫調整電路。

本發明之一實施例係為一種調整電路，其包括各在一通道形成區中包括氧化物半導體層的第一電晶體和第二電晶體。

根據本發明之一實施例的調整電路具有第一電晶體和第二電晶體，各具有極低之截止洩漏電流、及儲存節點，其連接第一電晶體之源極和汲極之其一者、第二電晶體之源極和汲極之其一者、第三電晶體之閘極、及電容器之其一電極。具體來說，第一電晶體和第二電晶體各在一通道形成區中包括氧化物半導體層。包括氧化物半導體層的電晶體具有極低之截止洩漏電流。藉由濺射法或之類可容易形成氧化物半導體層。因此，可易於提出一種高度可靠的調整電路。又，可在不同的半導體裝置（例如，包括矽單晶的半導體裝置）上堆疊調整電路。藉此，可提出一種高附加價值的半導體裝置。

本發明之一實施例係一種驅動包括一電容器、一第一

電晶體、一第二電晶體、及一第三電晶體之調整電路的方法。驅動方法係一種驅動將電阻器設定在調整狀態之調整電路的方法。驅動方法包括一第一步驟，分別輸入用來導通第一電晶體的信號和用來關閉第二電晶體的信號至寫入端和抹除端，使得儲存節點的電位為能導通第三電晶體的電位、以及一第二步驟，分別輸入用來關閉第一電晶體的信號和用來關閉第二電晶體的信號至寫入端和抹除端。電容器之其一電極係電性連接儲存節點，且電容器之另一電極係電性連接一接地電位線。第一電晶體之閘極係電性連接寫入端；第一電晶體之源極和汲極之其一者係電性連接儲存節點；且第一電晶體之源極和汲極之另一者係電性連接一電源電位線。第二電晶體之閘極係電性連接抹除端；第二電晶體之源極和汲極之其一者係電性連接儲存節點；且第二電晶體之源極和汲極之另一者係電性連接一接地電位線。第三電晶體之閘極係電性連接儲存節點。第一電晶體和第二電晶體之各者的每微米通道寬度之截止洩漏電流係為 1×10^{-17} A 以下。第三電晶體係並聯連接電阻器。

驅動根據本發明之一實施例的調整電路之方法包括將儲存節點的電位設定成能導通第三電晶體的電位之步驟、以及關閉源極或汲極連接儲存節點的第一電晶體和源極或汲極連接儲存節點的第二電晶體之步驟。於是，在不改變調整電路中任何元件的結構下，能可逆地改變第三電晶體之運作狀態。藉此，可提出一種驅動高度可靠的調整電路

之方法。

本發明之一實施例係一種驅動包括一電容器、一第一電晶體、一第二電晶體、及一第三電晶體之調整電路的方法。驅動方法係一種驅動使電阻器成為可用的之調整電路之方法。驅動方法包括一第一步驟，分別輸入用來關閉第一電晶體的信號和用來導通第二電晶體的信號至寫入端和抹除端，使得儲存節點的電位為能關閉第三電晶體的電位、以及一第二步驟，分別輸入用來關閉第一電晶體的信號和用來關閉第二電晶體的信號至寫入端和抹除端。電容器之其一電極係電性連接儲存節點，且電容器之另一電極係電性連接一接地電位線。第一電晶體之閘極係電性連接寫入端；第一電晶體之源極和汲極之其一者係電性連接儲存節點；且第一電晶體之源極和汲極之另一者係電性連接一電源電位線。第二電晶體之閘極係電性連接抹除端；第二電晶體之源極和汲極之其一者係電性連接儲存節點；且第二電晶體之源極和汲極之另一者係電性連接一接地電位線。第三電晶體之閘極係電性連接儲存節點。第一電晶體和第二電晶體之各者的每微米通道寬度之截止洩漏電流係為 1×10^{-17} A 以下。第三電晶體之源極和汲極係並聯連接電阻器。

驅動根據本發明之一實施例的調整電路之方法包括將儲存節點的電位設定成能關閉第三電晶體的電位之步驟、以及關閉源極或汲極連接儲存節點的第一電晶體和源極或汲極連接儲存節點的第二電晶體之步驟。於是，在不改變

調整電路中任何元件的結構下，能可逆地改變第三電晶體之運作狀態。藉此，可提出一種驅動高度可靠的調整電路之方法。

本發明之一實施例係為驅動改變電阻器之調整狀態的調整電路之方法。驅動方法又包括一第三步驟，在第二步驟之後，藉由分別輸入用來導通第一電晶體的信號和用來關閉第二電晶體的信號至寫入端和抹除端，使得儲存節點的電位為能導通第三電晶體的電位，或藉由分別輸入用來關閉第一電晶體的信號和用來導通第二電晶體的信號至寫入端和抹除端，使得儲存節點的電位為能關閉第三電晶體的電位，使儲存節點的電位與在第二步驟中之儲存節點的電位不同、以及一第四步驟，分別輸入用來關閉第一電晶體的信號和用來關閉第二電晶體的信號至寫入端和抹除端。

驅動根據本發明之一實施例的調整電路之方法包括使儲存節點的電位與驅動前之儲存節點的電位不同之步驟、以及關閉源極或汲極連接儲存節點的第一電晶體和源極或汲極連接儲存節點的第二電晶體之步驟。於是，在不改變調整電路中任何元件的結構下，能可逆地改變第三電晶體之運作狀態。藉此，可提出一種驅動可複寫調整電路之方法。

根據本發明之一實施例，可能提出一種高度可靠的調整電路。替代地，可能提出一種可複寫調整電路。替代地，可能提出一種驅動高度可靠的調整電路之方法。替代

地，可能提出一種驅動可複寫調整電路之方法。

【實施方式】

將參考附圖來詳細說明實施例。請注意本發明並不侷限以下說明。本領域之熟知技藝者將輕易了解到在不脫離本發明的宗旨及範圍下能以各種方式修改本發明的方式和細節。因此本發明不應被解釋為受限於以下實施例的說明。請注意在下面所述之發明的結構中，在不同圖中會以相同的參考數字來表示相同部份或具有類似功能的部份，而不重覆其說明。

〔實施例 1〕

在本實施例中，參考第 1 圖來說明調整電路的結構，包括一儲存節點，其連接一具有極低之截止洩漏電流的電晶體之源極或汲極、及一電晶體，其閘極連接此儲存節點。

第 1 圖繪示根據本發明之一實施例的調整電路之結構。第 1 圖所示之調整電路 100 包括一電容器 140、一第一電晶體 110、一第二電晶體 120、及一第三電晶體 130。請注意第一電晶體 110 和第二電晶體 120 各在一通道形成區中包括能隙為 2.5 eV 以上的半導體材料並且具有極低之截止洩漏電流。當截止洩漏電流極低時，可長時間保持寫入至儲存節點 150 的電荷。例如，可能使用一種在通道形成區中包括能隙為 3.15 eV 的半導體材料且具有每微米通

道寬度為 1×10^{-17} A 以下之截止洩漏電流的電晶體。

最好使用一種在通道形成區中包括能隙大於矽半導體之能隙（1.12 eV）的半導體材料的電晶體當作可用來作為第一電晶體 110 和第二電晶體 120 之各者的電晶體。例如，可使用在通道形成區中包括能隙為 2.5 eV 以上（最好是 3.0 eV 以上）的半導體材料之電晶體，具體來說，係為在通道形成區中包括氧化物半導體、氮化物半導體、氮氧化物半導體、碳化物半導體、顯示半導體特性的鑽石薄膜或之類的電晶體。在通道形成區中包括能隙為 2.5 eV 以上的半導體材料之電晶體會具有比在通道形成區中包括能隙為 1.12 eV 的矽半導體之電晶體更低的截止洩漏電流。

請注意為了降低第一電晶體和第二電晶體之截止洩漏電流，可使用具有各種結構的電晶體。例如，可使用包括具有二或更多串聯的通道形成區之半導體層的多閘極電晶體。替代地，可使用在源極或汲極與通道形成區之間具有間距（亦稱為偏移）的電晶體。

電容器 140 之其一電極係電性連接儲存節點 150，且電容器 140 之另一電極係電性連接接地電位線。

儲存節點 150 係連接各在通道形成區中包括能隙為 2.5 eV 以上的半導體材料並且具有極低之截止洩漏電流的第一電晶體 110 和第二電晶體 120、及電容器 140。電容器 140 防止儲存節點 150 的電位由於突波電流或之類而變得不穩定並且提升可靠度，這是較佳的。

第一電晶體 110 之閘極係電性連接一寫入端 115。第

一電晶體 110 之源極和汲極之其一者係電性連接儲存節點 150。第一電晶體 110 之源極和汲極之另一者係電性連接一電源電位線。請注意高於接地電位的電源電位 V_{dd} 會供應至電源電位線。

第二電晶體 120 之閘極係電性連接一抹除端 125。第二電晶體 120 之源極和汲極之其一者係電性連接儲存節點 150。第二電晶體 120 之源極和汲極之另一者係電性連接一接地電位線。

第三電晶體 130 之閘極係電性連接儲存節點 150。第三電晶體 130 之源極和汲極係並聯連接一電阻器 105。

電容器 140 之其一電極係連接儲存節點 150。以具有極低之截止洩漏電流的第一電晶體 110 電性隔開儲存節點 150 與電源電位線，並以具有極低之截止洩漏電流的第二電晶體 120 電性隔開儲存節點 150 與接地電位線。儲存節點 150 可長時間穩定地保持已寫入的電荷。

當第三電晶體 130 之閘極連接可長時間穩定地保持已寫入電荷的儲存節點 150 時，可透過第三電晶體 130 之閘極來長時間保持第三電晶體 130 之運作狀態（具體來說是導通狀態或截止狀態）。

再者，藉由此結構，可長時間保持第三電晶體 130 之運作狀態而不會不可逆地改變任何元件之結構；於是，可靠度會特別地高。因此，無須不可逆地改變結構，藉由複寫儲存節點 150 之電位可多次改變第三電晶體 130 之運作狀態。

根據本發明之一實施例，可能提出一種高度可靠的調整電路。替代地，可能提出一種可複寫調整電路。

請注意本實施例能適當地與本說明書中的任何其他實施例結合。

[實施例 2]

在本實施例中，參考第 2A 至 2C 圖來說明驅動調整電路的方法，其中調整電路包括一儲存節點，其連接一具有極低之截止洩漏電流的電晶體之源極或汲極、及一電晶體，其閘極連接此儲存節點。具體來說，係說明驅動實施例 1 所述之調整電路 100 的方法。

<驅動方法之實例 1>

首先，參考第 2A 和 2C 圖來說明使並聯連接調整電路的元件和電路變成不可用之方法（設定並聯連接調整電路的元件和電路處於調整狀態）。

用來導通第一電晶體 110 的信號會輸入至寫入端 115，而用來關閉第二電晶體 120 的信號會輸入至抹除端 125。藉此，儲存節點 150 會透過第一電晶體 110 連接電源電位線，而電荷會累積在連接電容器 140 的儲存節點 150 中。另外，導通閘極連接儲存節點 150 的第三電晶體，使得電流透過第三電晶體之源極和汲極流到第三電晶體。請注意到目前為止的步驟係稱為實例 1 之驅動方法的第一步驟（參見第 2A 圖）。

接著，用來關閉第一電晶體 110 的信號會輸入至寫入端 115，而用來關閉第二電晶體 120 的信號會輸入至抹除端 125。藉此，儲存節點 150 與電源電位線和接地電位線電性隔開，並保持寫入至儲存節點 150 的電荷。請注意到目前為止的步驟係稱為實例 1 之驅動方法的第二步驟（參見第 2C 圖）。

驅動根據本發明之一實施例的調整電路 100 之方法包括第一步驟，設定儲存節點 150 的電位為能導通第三電晶體 130 的電位、以及第二步驟，關閉源極或汲極連接儲存節點 150 的第一電晶體 110 和源極或汲極連接儲存節點 150 的第二電晶體 120。於是，在不改變調整電路 100 中任何元件的結構下，流到第三電晶體 130 的電流會比流到電阻器 105 的電流多。藉此，可提出一種驅動高度可靠的調整電路之方法。

<驅動方法之實例 2>

接著，參考第 2B 和 2C 圖來說明使並聯連接調整電路的元件和電路變成可用之方法。

用來關閉第一電晶體 110 的信號會輸入至寫入端 115，而用來導通第二電晶體 120 的信號會輸入至抹除端 125。藉此，儲存節點 150 會透過第二電晶體 120 連接接地電位線，且儲存節點 150 的電位等於接地電位。另外，關閉閘極連接儲存節點 150 的第三電晶體，使得電流流到並聯連接第三電晶體之源極和汲極的電阻器 105。請注意

到目前為止的步驟係稱為實例 2 之驅動方法的第一步驟（參見第 2B 圖）。

接著，用來關閉第一電晶體 110 的信號會輸入至寫入端 115，而用來關閉第二電晶體 120 的信號會輸入至抹除端 125。藉此，儲存節點 150 與電源電位線和接地電位線電性隔開，並保持寫入至儲存節點 150 的電荷。請注意到到目前為止的步驟係稱為實例 2 之驅動方法的第二步驟（參見第 2C 圖）。

根據本發明之一實施例的驅動調整電路 100 之方法包括第一步驟，設定儲存節點 150 的電位為能關閉第三電晶體 130 的電位、以及第二步驟，關閉源極或汲極連接儲存節點 150 的第一電晶體 110 和源極或汲極連接儲存節點 150 的第二電晶體 120。於是，在不改變調整電路 100 中任何元件的結構下，會有更多電流流到並聯連接第三電晶體 130 之源極和汲極的電阻器 105。藉此，可提出一種驅動高度可靠的調整電路 100 之方法。

<驅動方法之實例 3>

接著，說明藉由實例 1 之驅動方法或實例 2 之驅動方法來改變設定處於調整狀態的調整電路 100 之方法。

在分別輸入用來導通第一電晶體 110 的信號和用來關閉第二電晶體 120 的信號至寫入端 115 和抹除端 125，使得儲存節點 150 的電位為能導通第三電晶體 130 的電位（參見第 2A 圖），或藉由分別輸入用來關閉第一電晶體

110 的信號和用來導通第二電晶體 120 的信號至寫入端 115 和抹除端 125，使得儲存節點 150 的電位為能關閉第三電晶體 130 的電位（參見第 2B 圖）之後，藉由實例 1 之驅動方法或實例 2 之驅動方法來複寫處於調整狀態的儲存節點 150 之電位。請注意到目前為止的步驟係稱為實例 3 之驅動方法的第三步驟，因為此步驟係在實例 1 之驅動方法或實例 2 之驅動方法的第一步驟和第二步驟之後進行。

接著，用來關閉第一電晶體 110 的信號會輸入至寫入端 115，而用來關閉第二電晶體 120 的信號會輸入至抹除端 125。藉此，儲存節點 150 與電源電位線和接地電位線電性隔開，並保持寫入至儲存節點 150 的電荷。請注意到目前為止的步驟係稱為實例 3 之驅動方法的第四步驟（參見第 2C 圖）。

根據本發明之一實施例的驅動調整電路 100 之方法包括第三步驟，使儲存節點 150 的電位與藉由實例 3 之驅動方法來驅動調整電路 100 之前的電位不同、以及第四步驟，關閉源極或汲極連接儲存節點 150 的第一電晶體 110 和源極或汲極連接儲存節點 150 的第二電晶體 120。於是，在不改變調整電路中任何元件的結構下，能改變第三電晶體 130 之運作狀態。藉此，可提出一種驅動可複寫調整電路 100 之方法。

<修改實例>

在實例 3 之驅動方法中，改變第三電晶體 130 之運作狀態；然而，不改變第三電晶體 130 之運作狀態、將信號輸入至寫入端 115 和抹除端 125、及寫入資料的驅動方法亦會是本發明之一實施例。

根據本發明之一實施例的調整電路包括具有極低之截止洩漏電流的電晶體作為第一電晶體 110 和第二電晶體 120，並可長時間保持寫入至儲存節點 150 的電荷。在此，當信號輸入至寫入端 115 和抹除端 125 時，使得儲存節點 150 持續地保持電荷，便能更加提高可靠度。

請注意本實施例能適當地與本說明書中的任何其他實施例結合。

〔實施例 3〕

在本實施例中，參考第 3A 至 3C 圖來說明根據本發明之一實施例的調整電路之結構。具體來說，說明一種調整電路的結構，包括具有除了氧化物半導體之外的半導體之電晶體和在通道形成區中具有氧化物半導體層的電晶體。

第 3A 至 3C 圖繪示根據本發明之一實施例的調整電路之結構。第 3A 圖係調整電路 300 的上視圖。第 3B 圖係沿著第 3A 圖之剖面線 C1-C2 所得到的剖面圖。第 3C 圖係沿著第 3A 圖之剖面線 D1-D2 所得到的剖面圖。

第 3A 至 3C 圖所示之調整電路 300 包括一第三電晶體 330、和設置在一基板 301 上的一第一電晶體 310、一第二電晶體 320、及一電容器 340，其中電阻器 305 設置在基

板 301 上，且絕緣層 304 置於第一電晶體 310、第二電晶體 320、及電容器 340 與電阻器 305 之間。

<第三電晶體和電阻器的結構>

在本實施例中，對第三電晶體 330 的通道形成區使用除了氧化物半導體之外的半導體材料。具體來說，係使用矽單晶基板作為基板 301，並在矽單晶基板的表面上形成第三電晶體 330（參見第 3B 圖）。

請注意除了氧化物半導體之外的半導體材料可以是例如矽、鍺，鍺化矽、碳化矽、砷化鎵或之類。替代地，可使用有機半導體材料或之類。

任何半導體材料既可以為非單晶又可以為單晶。最好使用單晶半導體基板，因為可得到能以高速運作的電晶體。

替代地，可使用 SOI 基板或之類。雖然「SOI 基板」之詞通常表示在絕緣表面上設置矽半導體膜的基板，但本說明書中的「SOI 基板」之詞亦表示在絕緣表面上設置包括除了矽之外的材料之半導體膜的基板。亦即，包括在「SOI 基板」中的半導體膜並不侷限於矽半導體膜。再者，SOI 基板可以是具有在如玻璃基板的絕緣基板上設置半導體膜（有絕緣層置於其間）之結構的基板。

元件隔離絕緣層 302 係設置以圍住第三電晶體 330。第三電晶體 330 之閘極 331 係透過在絕緣層 303 中形成的開口電性連接佈線 332。

使用與佈線 332 相同的導電層來形成之佈線 335 的彎曲部分係當作電阻器 305。電阻器 305 係並聯連接第三電晶體 330 之源極和汲極（參見第 3A 圖）。

<電容器、第一電晶體、和第二電晶體的結構>

電容器 340 包括一置於佈線 341 與佈線 352 之間的絕緣層並設置在絕緣層 304 上。請注意佈線 352 係透過在絕緣層 304 中形成的開口連接佈線 332（參見第 3B 圖）。

第一電晶體 310 包括一設置在絕緣層 304 上的氧化物半導體層 313、和一置於當作閘極的佈線 311 與氧化物半導體層 313 之間的閘絕緣層 312。請注意佈線 311 在其側壁上具有絕緣層，且隔絕了當作源極和汲極的佈線 351 和佈線 352（參見第 3C 圖）。

第二電晶體 320 包括一設置在絕緣層 304 上的氧化物半導體層 323、和一置於當作閘極的佈線 321 與氧化物半導體層 323 之間的閘絕緣層 322。請注意佈線 321 在其側壁上具有絕緣層，且隔絕了當作源極和汲極的佈線 352 和佈線 353（參見第 3C 圖）。

本實施例所述之調整電路包括各具有極低截止洩漏電流的第一電晶體 310 和第二電晶體 320。具體來說，第一電晶體 310 和第二電晶體 320 各在通道形成區中包括氧化物半導體層且具有每微米通道寬度為 1×10^{-17} A 以下之截止洩漏電流。當截止洩漏電流極低時（例如，每微米通道寬度之截止洩漏電流係為 1×10^{-17} A 以下），可長時間保

持寫入至儲存節點的電荷。

本實施例所述之調整電路更包括具有氧化物半導體層的電晶體。具有氧化物半導體層的電晶體係設置在於上方形成具有除了氧化物半導體之外的半導體之電晶體的基板上。藉由上述結構，例如，具有除了氧化物半導體之外的半導體且以高速運作的電晶體能與具有低截止洩漏電流之氧化物半導體的電晶體合併使用。因此，可能提出一種利用除了氧化物半導體之外的半導體及低截止洩漏電流的氧化物半導體之調整電路、以及一種包括調整電路的半導體裝置。

又，本實施例所述之調整電路具有層狀結構。具體來說，各具有氧化物半導體層的電晶體與電阻器彼此重疊。藉此，可減少調整電路的面積。此外，藉由使用調整電路可縮小半導體裝置。

請注意本實施例能適當地與本說明書中的任何其他實施例結合。

[實施例 4]

在本實施例中，說明根據本發明之一實施例的可使用在調整電路中的電晶體之結構。具體來說，說明在通道形成區中包括能隙為 2.5 eV 以上的半導體材料之電晶體的結構。請注意實施例 5 將說明形成本實施例所述之電晶體的方法。

參考第 4D 圖來說明本實施例所述之電晶體的結構。

第 4D 圖繪示電晶體的剖面。

本實施例所述之電晶體 710 在基板 701 上包括基底絕緣層 704、氧化物半導體層 713、閘絕緣層 712、閘極 711、當作源極和汲極的電極 751 和 752、及用來保護電晶體的絕緣層 705。

<基底絕緣層之結構>

基底絕緣層 704 具有絕緣表面且當作內部形成通道之氧化物半導體層 713 的基底。

例如，基底絕緣層 704 可具有一層包括選自氧化矽、氮化矽、氧氮化矽、氧化氮矽、氧化鋁、氮化鋁、氧氮化鋁、氧化氮鋁、氧化鉛、氧化鎵等之一或更多材料的單層結構或包括一或更多上述材料之二或更多層的層狀結構。

<氧化物半導體層>

內部形成通道的氧化物半導體層 713 係與閘極 711 重疊（有閘絕緣層 712 置於其間），並電性連接電極 751 和 752（有閘極 711 置於其間）。請注意電極 751 和 752 係當作源極和汲極。

內部形成通道的氧化物半導體層 713 之厚度為 2 到 200nm，最好是 5 到 30nm。

請注意不一定將氧化物半導體層 713 處理成島型。

氧化物半導體層 713 可以為例如單晶、多晶體（亦稱為多晶）、或非晶。

氧化物半導體層最好為 c 軸對準結晶的氧化物半導體 (CAAC-OS) 層。

結晶氧化物半導體層之例子為具有 c 軸對準結晶 (CAAC) 的氧化物半導體層。請注意將於實施例 7 中詳細說明具有 c 軸對準結晶的氧化物半導體層。

氧化物半導體層 713 中的氧之比例最好高於化學計量比例。當氧之比例高於化學計量比例時，便能抑制金屬氧化物層中因氧空缺所造成之載子的產生。

氧化物半導體層 713 最好至少包含銦 (In) 或鋅 (Zn)。尤其是，氧化物半導體層 713 最好包含 In 和 Zn。

除了 In 和 Zn 之外，氧化物半導體層最好包含鎵 (Ga) 來作為穩定劑，以減少包括氧化物半導體層之電晶體的電特性變化。最好包含錫 (Sn) 來作為穩定劑。最好包含鈦 (Hf) 來作為穩定劑。最好包含鋁 (Al) 來作為穩定劑。

可包含一或多種鑰系元素，如鑰 (La)、鈰 (Ce)、鐑 (Pr)、釹 (Nd)、釷 (Sm)、鎔 (Eu)、釷 (Gd)、鉕 (Tb)、鐳 (Dy)、釹 (Ho)、鉕 (Er)、鎳 (Tm)、鐳 (Yb)、或鑰 (Lu)，來作為另一種穩定劑。

例如，能使用氧化銦、氧化錫、氧化鋅、如 In-Zn 基氧化物、Sn-Zn 基氧化物、Al-Zn 基氧化物、Zn-Mg 基氧化物、Sn-Mg 基氧化物、In-Mg 基氧化物，或 In-Ga 基氧

化物的二元金屬氧化物、如 In-Ga-Zn 基氧化物（也稱為 IGZO）、In-Al-Zn 基氧化物、In-Sn-Zn 基氧化物、Sn-Ga-Zn 基氧化物、Al-Ga-Zn 基氧化物、Sn-Al-Zn 基氧化物、In-Hf-Zn 基氧化物、In-La-Zn 基氧化物、In-Ce-Zn 基氧化物、In-Pr-Zn 基氧化物、In-Nd-Zn 基氧化物、In-Sm-Zn 基氧化物、In-Eu-Zn 基氧化物、In-Gd-Zn 基氧化物、In-Tb-Zn 基氧化物、In-Dy-Zn 基氧化物、In-Ho-Zn 基氧化物、In-Er-Zn 基氧化物、In-Tm-Zn 基氧化物、In-Yb-Zn 基氧化物、或 In-Lu-Zn 基氧化物的三元金屬氧化物、如 In-Sn-Ga-Zn 基氧化物、In-Hf-Ga-Zn 基氧化物、In-Al-Ga-Zn 基氧化物、In-Sn-Al-Zn 基氧化物、In-Sn-Hf-Zn 基氧化物、或 In-Hf-Al-Zn 基氧化物的四元金屬氧化物來作為氧化物半導體。

在此，例如，In-Ga-Zn-O 基材料表示含有銦（In）、鎵（Ga）及鋅（Zn）的氧化物，且沒有特別限定其成分比例。再者，In-Ga-Zn-O 基材料可含有 In、Ga 及 Zn 以外的金屬元素。例如，In-Ga-Zn-O 基材料可含有 SiO_2 。

可使用以 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$, m 不是整數) 表示的材料作為氧化物半導體。請注意 M 代表選自 Ga、Fe、Mn、或 Co 的一或更多金屬元素。可使用以 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n>0$, n 是整數) 所表示之材料來作為氧化物半導體。

然而，沒有限定上述之材料，可根據所需之半導體特性（例如，移動率、臨界電壓、和變化）來使用具有適當

成分的材料。爲了得到所需之半導體特性，最好將載子濃度、雜質濃度、缺陷密度、金屬元素與氧之間的原子比、原子間的距離、密度等設成適當的數值。

<閘絕緣層>

閘絕緣層 712 可使用氧化矽、氮化矽、氧氮化矽、氧化氮矽、氧化鎵、氧化鋁、氧氮化鋁、氧化鉭或之類形成。

閘絕緣層 712 可使用高介電常數（高 k ）材料形成。高介電常數材料的例子包括氧化鈺、氧化釷、氧化釷、鈦矽酸鹽（ HfSi_xO_y ，（ $x>0$ ， $y>0$ ））、鈦鋁酸鹽（ HfAl_xO_y ，（ $x>0$ ， $y>0$ ））、添加氮的鈦矽酸鹽（ $\text{HfSi}_x\text{O}_y\text{N}_z$ ，（ $x>0$ ， $y>0$ ， $z>0$ ））、及添加氮的鈦鋁酸鹽（ $\text{HfAl}_x\text{O}_y\text{N}_z$ ，（ $x>0$ ， $y>0$ ， $z>0$ ））。

閘絕緣層 712 可具有單層結構或層狀結構。例如，閘絕緣層 712 可具有一層包含高 k 材料和一層包含選自氧化矽、氮化矽、氧氮化矽、氧化氮矽、氧化鋁或之類的材料之層狀結構。

當使閘絕緣層 712 很薄或使用高 k 材料形成時，能縮小電晶體而不會犧牲操作特性。

例如，在使用氧化矽的情況下，閘絕緣層 712 的厚度可以是 1 到 100nm，最好是 10 到 50nm。

在使用高 k 材料的情況下，能縮小電晶體，卻不會使電晶體變薄而導致產生由於隧道效應或之類造成的閘洩

漏。

閘絕緣層 712 可使用包含第 13 族元素及氧的絕緣材料來形成。請注意含有第 13 族元素的絕緣材料表示含有一或更多第 13 族元素的絕緣材料。

包含第 13 族元素及氧的絕緣材料的例子包括氧化鎵、氧化鋁、氧化鎵鋁、及氧化鋁鎵。在此，氧化鎵鋁係為在原子百分比 (at.%) 中鋁含量高於鎵含量的物質，而氧化鋁鎵係為在原子百分比 (at.%) 中鎵含量高於或等於鋁含量的物質。

許多氧化物半導體材料含有第 13 族的元素，且含有第 13 族元素的絕緣材料會與氧化物半導體材料運作良好。因此，藉由將含有第 13 族元素及氧的絕緣材料用於與氧化物半導體層接觸的絕緣層，與氧化物半導體層之介面的狀態能保持良好。

例如，在形成閘絕緣層以與內含鎵的氧化物半導體層接觸之情況下，當對閘絕緣層使用含有氧化鎵的材料時，在氧化物半導體層與閘絕緣層之間的介面上能保持良好特性。

當設置氧化物半導體層與內含氧化鎵的絕緣層以彼此接觸，便能減少氫在氧化物半導體層與絕緣層之間的介面上堆積。

例如，藉由使用內含氧化鋁的材料，能有效地形成絕緣層。氧化鋁不易於傳遞水。於是，最好是使用包括氧化鋁的材料以防止水進入氧化物半導體層中。

在對絕緣層使用與氧化物半導體之組成元素屬於同族的元素之情況下，能得到類似的效果。

<閘極>

閘極 711 與氧化物半導體層 713 重疊（有閘絕緣層 712 置於其間），並當作電晶體 710 之閘極。

閘極 711 既可具有一層包含導電材料的單層結構，或各包含導電材料的二或更多層之層狀結構。

可使用任何導電材料，只要是能禁得起加熱處理即可。例如，可使用選自鉬、鈦、鉭、鎢、鋁、銅、鈳、銦或之類的金屬，或含有此金屬的合金。

替代地，可使用以摻有如磷的雜質元素之多晶矽膜為典型的半導體層，或如矽化鎳層的矽化層。

<閘極和側壁上的絕緣層>

閘極上的絕緣層 714a 與閘極 711 重疊並具有絕緣特性。

側壁 714b 會接觸閘絕緣層 712、閘極 711、及閘極上的絕緣層 714a 之堆疊的側表面，並包括絕緣層。

<源極和汲極>

電極 751 和 752 係電性連接氧化物半導體層 713，並當作電晶體之源極和汲極。

當作源極或汲極的電極可具有一層包含導電材料的單

層結構，或各包含導電材料的二或更多層之層狀結構。

可使用任何導電材料，只要是能禁得起加熱處理即可。例如，可使用選自鋁、鉻、銅、鈦、鉭、鉬、或鎢的金屬，或內含此金屬的合金。替代地，可使用選自錳、鎂、銨、鉍、或釷的金屬，或內含此金屬的合金。

可使用金屬氮化物作為導電材料。金屬氮化物的具體例子包括氮化鈦、氮化鉬、及氮化鎢。

替代地，可使用導電金屬氧化物作為導電材料。具體來說，可使用氧化銦、氧化錫、銦錫氧化物（亦稱為ITO）、銦鋅氧化物、氧化鋅、加入鎳或鋁的氧化鋅、或含有氧化矽的金屬氧化物材料。

替代地，可使用石磨烯或之類作為導電材料。

例如，可採用鈦或氮化鈦之單層結構、含矽的鋁之單層結構、鈦層疊在鋁層上的兩層結構、鈦層疊在氮化鈦層上的兩層結構、鈦層、鋁層、與鈦層所堆疊之三層結構或之類。

請注意電晶體的通道長度 L 係取決於接觸氧化物半導體層的源極端與接觸氧化物半導體層的汲極端之間的距離而定。

<用來保護電晶體的絕緣層>

絕緣層 705 防止如水分之雜質從外部進入以保護電晶體。

絕緣層 705 的厚度至少為 1nm 以上。

絕緣層 705 可具有一層包括具備障壁特性的絕緣體之單層結構，或各包括具備障壁特性的絕緣體之二或更多層之層狀結構。

尤其是，最好是含有氧化鋁的結構，且可使用氧化鋁層和包括另一無機絕緣材料之層的層狀結構。這是因為氧化鋁不易傳遞水分、氧、及其他雜質。

替代地，絕緣層 705 可具有包括過氧區之氧化物絕緣層和氧化鋁層之堆疊。包括過氧區之氧化物絕緣層可設置在氧化物半導體層側上。

例如，可對包括過氧區之氧化物絕緣層使用氧化矽膜、氧氮化矽膜或之類。

本實施例能適當地與其他實施例所述之任何結構結合。

[實施例 5]

在本實施例中，參考第 4A 至 4D 圖來說明形成在實施例 4 之通道形成區中包括能隙為 2.5 eV 以上的半導體材料之電晶體 710 的方法。

<基底絕緣層之形成>

首先，形成當作具有通道的氧化物半導體層之基底的絕緣層 704。藉由電漿增強 CVD 法、濺射法或之類在基板 701 上形成基底絕緣層 704。

可使用任何基板作為基板 701，只要是具有夠高的耐

熱性以禁得起在形成基底絕緣層之後所進行的處理即可，且沒有限制基板 701 的大小。

可事先在基板 701 上設置另一半導體元件。

例如，可使用如鋇硼矽酸鹽玻璃基板或鋁硼矽酸鹽玻璃基板的玻璃基板、陶製基板、石英基板、藍寶石基板或之類作為基板 701。替代地，可使用單晶半導體基板或以矽或碳化矽製成的多晶半導體基板、以銻化矽或之類製成的化合物半導體基板、SOI 基板或之類。

可使用彈性基板作為基板 701。電晶體可直接地形成在彈性基板上。替代地，電晶體可形成在製造基板上，且接著電晶體可與製造基板分開並轉移至彈性基板。請注意在電晶體與製造基板分開並轉移至彈性基板的情況下，最好在製造基板與包括氧化物半導體層的電晶體之間設置剝離層。

<氧化物半導體層之形成>

接著，在基底絕緣層 704 上形成具有通道的氧化物半導體層 713。

氧化物半導體層可藉由濺射法、分子束磊晶法、原子層沉積法、或脈衝雷射沉積法來形成。

例如，在對氧化物半導體使用 In-Ga-Zn-O 基材料的情況下，可使用靶材來形成氧化物半導體層。可使用各種材料和各種成分比作為靶材的材料和成分比。例如，可使用具有莫耳比為 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 之成分比的

氧化物靶材。替代地，例如，可使用具有莫耳比為 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ 之成分比的氧化物靶材。

在對氧化物半導體使用 In-Zn-O 基材料的情況中，所使用之靶材的原子比具有 $\text{In} : \text{Zn} = 50 : 1$ 到 $1 : 2$ 之原子比（莫耳比為 $\text{In}_2\text{O}_3 : \text{ZnO} = 25 : 1$ 到 $1 : 4$ ），最好是 $\text{In} : \text{Zn} = 20 : 1$ 到 $1 : 1$ 之原子比（莫耳比為 $\text{In}_2\text{O}_3 : \text{ZnO} = 10 : 1$ 到 $1 : 2$ ），更好是 $\text{In} : \text{Zn} = 15 : 1$ 到 $1.5 : 1$ 之原子比（莫耳比為 $\text{In}_2\text{O}_3 : \text{ZnO} = 15 : 2$ 到 $3 : 4$ ）。例如，用於形成 In-Zn-O 基氧化物半導體的靶材具有原子比為 $\text{In} : \text{Zn} : \text{O} = \text{X} : \text{Y} : \text{Z}$ 之成分比，其中 $\text{Z} > 1.5\text{X} + \text{Y}$ 。

例如，在對氧化物半導體使用 In-Sn-Zn-O 基材料的情況中，可使用靶材來形成氧化物半導體層。可使用各種成分比作為靶材的成分比。例如，可使用具有原子比為 $\text{In} : \text{Sn} : \text{Zn} = 1 : 2 : 2$ 之成分比的氧化物靶材。替代地，例如，可使用具有原子比為 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ 之成分比的氧化物靶材。替代地，例如，可使用具有原子比為 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ 之成分比的氧化物靶材。替代地，例如，可使用具有原子比為 $\text{In} : \text{Sn} : \text{Zn} = 20 : 45 : 35$ 之成分比的氧化物靶材。

請注意靶材的相對密度為 90 到 100%，最好是 95 到 99.9%。藉由使用具有高相對密度的靶材，能形成稠密氧化物半導體層。

再者，氧化物半導體層可藉由降低載子密度成為實質上本質的。將於實施例 6 中詳細說明上述方法。

接著，透過光刻製程形成抗蝕遮罩，並使用抗蝕遮罩來選擇性地蝕刻氧化物半導體層以將其處理成島型（參見第 4A 圖）。

請注意當侵蝕抗蝕遮罩期間進行蝕刻時，氧化物半導體層會成為錐形。當島型氧化物半導體層為錐形時，可避免斷開將在此步驟之後形成的層，以便提高覆蓋率。

<閘絕緣層、閘極、和閘極上的絕緣層之形成>

然後，在氧化物半導體層 713 上形成閘絕緣層 712、閘極 711、和閘極上的絕緣層 714a 之堆疊。

藉由電漿增強 CVD 法、濺射法或之類形成當作閘絕緣層的絕緣層和當作閘極上的絕緣層之絕緣層。

藉由濺射法或之類形成當作閘極的導電層。

接著，透過光刻製程形成抗蝕遮罩，並使用抗蝕遮罩來蝕刻當作閘絕緣層的絕緣層、當作閘極的導電層、及當作閘極上的絕緣層之絕緣層，以便形成閘絕緣層 712、閘極 711、和閘極上的絕緣層 714a 之堆疊。

<側壁之形成>

之後，形成側壁 714b 以與閘絕緣層 712、閘極 711、和閘極上的絕緣層 714a 之堆疊的側面接觸。

藉由電漿增強 CVD 法、濺射法或之類形成當作側壁的絕緣層。

接下來，當接觸堆疊之側表面的絕緣層餘留時，藉由

各向異性蝕刻來形成側壁（參見第 4B 圖）。

<當作源極和汲極的電極之形成>

然後，形成當作源極和汲極的電極 751 和 752。

藉由濺射法或之類形成當作源極和汲極且包含導電材料的層。

接著，透過光刻製程形成抗蝕遮罩，並使用抗蝕遮罩來選擇性地蝕刻包含導電材料的層，以便形成電極 751 和 752（參見第 4C 圖）。請注意會在同一步驟中形成以包含導電材料的層製成的佈線等（未顯示）。

請注意在電晶體的通道長度 L 為 10nm 到 1000nm （ $1\mu\text{m}$ ）的情況下（特別是小於 25nm ），最好使用波長為幾奈米到幾十奈米的遠紫外線來形成遮罩。這是因為遠紫外線能提供高解析度及長聚焦深度。

請注意作為源極和汲極的電極最好是錐形。當作為源極和汲極的電極為錐形時，可避免斷開將在此步驟之後形成的層（例如，閘絕緣層），以便提高覆蓋率。例如，錐角最好是 30 到 60 度。

請注意在包含導電材料的層具有鈦層或氮化鈦層的單層結構之情況下，可容易將包含導電材料的層處理成錐形的源極和汲極。

<用來保護電晶體的絕緣層之形成>

然後，形成用來保護電晶體的絕緣層 705。

藉由電漿增強 CVD 法、濺射法或之類形成用來保護電晶體的絕緣層。

經過以上步驟，可得到在通道形成區中包括氧化物半導體材料的電晶體 710。

請注意本實施例中使用的抗蝕遮罩並不侷限於透過光刻製程形成的抗蝕遮罩。抗蝕遮罩可適當地藉由噴墨法、印刷法或之類（取代光刻製程）來形成。當不使用光罩來形成抗蝕遮罩時，能降低半導體裝置的製造成本。

本實施例能適當地與其他實施例所述之任何結構結合。

〔實施例 6〕

在本實施例中，說明根據本發明之一實施例的形成可應用於具有極低截止洩漏電流（例如，每微米通道寬度之截止洩漏電流係為 1×10^{-17} A 以下）且可使用在調整電路中之電晶體之氧化物半導體層的方法。具體來說，參考第 5A 至 5D 圖來說明形成具有低載子密度之實質上本質的氧化物半導體層之方法。

<基底絕緣層的結構及形成方法>

當作具有通道之氧化物半導體層的基底之絕緣層 504 與氧化物半導體層接觸的區域最好至少包括藉由加熱處理而從中排除氧的絕緣層。這是因為當絕緣層 504 具有過氧區時，可防止氧從氧化物半導體層傳遞到絕緣層 504，且

藉由之後進行的加熱處理可從絕緣層 504 供應氧至氧化物半導體層。

在基底絕緣層具有層狀結構的情況中，具有過氧區之氧化物絕緣層最好設置在氧化物半導體層側上。

例如，基底絕緣層最好具有從氧化物半導體層側依序堆疊具有過氧區的氧化矽層和氧化鋁層的結構。

請注意在本說明書中，在熱脫附分析儀（TDS）分析中，「藉由加熱處理排除氧」意指被轉換成氧原子之氧的排除量（或已釋出的氧量）係 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上，最好是 $3.0 \times 10^{20} \text{ cm}^{-3}$ 以上。在 TDS 分析中，「未藉由加熱處理排除氧」意指被轉換成氧原子之氧的排除量（或已釋放出的氧量）係小於 $1.0 \times 10^{18} \text{ cm}^{-3}$ 。

作為形成藉由加熱處理而從中排除氧的絕緣層之方法，例如有在氧氣圍中形成絕緣層的方法、及形成絕緣層並接著引進氧（包括氧自由基、氧原子、及氧離子之至少任一者）的方法。

可使用離子植入法、離子摻雜法、電漿浸沒離子植入法、電漿處理或之類作為引進氧的方法。

<形成具有低雜質濃度的氧化物半導體層之方法 1：沉積>

氧化物半導體層 413a 係形成在基底絕緣層 504 上（參見第 5A 圖）。氧化物半導體層 413a 係之後形成通道的氧化物半導體層；於是，形成氧化物半導體層 413a，使得含有氫原子的雜質盡可能地被去除。這是因為含有氫原

子的雜質容易在氧化物半導體層中形成施體能階。

最好使用濺射法作為形成減少內部含有氫原子之雜質的氧化物半導體層之方法。尤其是，最好使用的方法為，使不暴露於空氣的絕緣層當作基底並在形成絕緣層之後形成氧化物半導體層。

例如，在藉由加熱處理或電漿處理去除黏附於基板表面之含有氫的雜質之後，可不暴露於空氣地形成基底絕緣層，且可不暴露於空氣地接著形成氧化物半導體層。以此方式，能減少黏附於基板絕緣層表面之含有氫的雜質，並可防止氣圍成分黏附於基板與基底絕緣層之間的介面以及基底絕緣層和氧化物半導體層之間的介面。

請注意在藉由濺射法形成氧化物半導體層之前，最好藉由將氫氣引進處理室且產生電漿的反向濺射法來去除黏附於基底絕緣層表面之粉狀物質（亦稱為微粒或灰塵）。

反向濺射法係為一種沒有將電壓施於靶材端，而在氫氣圍中使用 RF 電源來將電壓施於基板端，並在基板附近產生電漿以修改基板表面的方法。請注意可使用氮、氬、氧或之類來取代氫氣圍。

此外，最好使用低滲漏率的處理室來形成氧化物半導體層。具體來說，當濺射設備的處理室之滲漏率係設為 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下時，能減少如鹼金屬或氫化物之混合雜質進入將被沉積的氧化物半導體層中。

替代地，最好使用藉由吸附型真空泵（例如，低溫泵）排空之濺射設備的處理室來形成氧化物半導體層。能

減少如鹼金屬、氫原子、氫分子、水、氫氧化物、或氫化物之雜質從排空系統中逆流。

替代地，最好在供應高純度氣圍氣體至濺射設備的處理室之條件下形成氧化物半導體層。具體來說，適當地使用氧、已去除如水、具有氫氧化物的化合物、和氫化物之雜質的高純度稀有氣體（典型的是氬）、或稀有氣體和氧的混合氣體。

例如，氬氣純度設為 9N（99.9999999%）以上（ H_2O 的濃度為 0.1 ppb，且 H_2 的濃度為 0.5 ppb），且氬氣的露點設為 $-121^{\circ}C$ 。氧氣純度設為 8N（99.9999999%）以上（ H_2O 的濃度為 1 ppb，且 H_2 的濃度為 1 ppb），且氧氣的露點設為 $-112^{\circ}C$ 。

在使用稀有氣體和氧之混合氣體的情況下，氧的流量比例最好要高。

<氧化物半導體層的沉積條件之實例>

採用下列條件作為沉積條件的實例：基板與靶材之間的距離為 100mm、壓力為 0.6Pa、直流（DC）功率為 0.5kW、且氣圍為氧氣氣圍（氧流量比例為 100%）。請注意最好使用脈衝式直流（DC）功率，因為能減少在沉積期間所產生的灰塵並能使膜厚度均勻。

<形成具有低雜質濃度的氧化物半導體層之方法 2：第一加熱處理>

形成盡可能從中去除含有氫原子之雜質的氧化物半導體層 413b (參見第 5B 圖)。

作為形成減少含有氫原子的雜質的氧化物半導體層之方法，最好使用對氧化物半導體層進行第一加熱處理之方法，以減少氧化物半導體層中如水分和氫的雜質（為了對氧化物半導體層進行脫水作用或脫氫作用）。

在進行第一加熱處理的情況下，最好使用藉由加熱處理而從中排除氧的絕緣層作為與氧化物半導體層接觸的絕緣層。這是因為當進行第一加熱處理時，含有氫原子和氧的雜質會從氧化物半導體層中釋出。釋出氧之氧化物半導體層中所產生的一些氧空缺會當作施體，並在氧化物半導體層中產生載子，可能會影響電晶體的特性。

第一加熱處理的溫度例如高於或等於 150°C 且低於基板的應變點，最好是高於或等於 250°C 且低於或等於 450°C ，更好是高於或等於 300°C 且低於或等於 450°C 。

第一加熱處理時間為 3 分鐘至 24 小時。超過 24 小時的加熱處理較不適合，因為降低了生產力。

第一加熱處理係在氧化氣圍或惰性氣圍中進行。在此，氧化氣圍係為 10ppm 以上之包括如氧、臭氧、或氧化氮之氧化氣體的氣圍。惰性氣圍係為小於 10ppm 之包括氧化氣體的氣圍並充滿氮或稀有氣體。

例如，第一加熱處理係在減壓氣圍、氮、稀有氣體或之類的惰性氣體氣圍、氧氣氣圍、或超乾空氣中（在藉由孔隙內共振衰減雷射光譜 (CRDS) 法的露點計來進行測

量之情況下，濕氣量為 20ppm（轉成露點中的 -55°C ）以下，最好是 1ppm 以下，更好是 10ppb 以下）進行。

在氮或如氮、氦、或氬的稀有氣體中最好不含水、氫等。引進加熱處理設備中之氮或如氮、氦、或氬的稀有氣體之純度最好是 6N（99.9999%）以上，更好是 7N（99.99999%）以上（即，雜質濃度是 1ppm 以下，最好是 0.1ppm 以下）。

沒有特別限制用於第一加熱處理的加熱處理設備。加熱處理設備可裝設用來藉由來自如電阻加熱元件的加熱器之熱傳導或熱輻射來加熱物體的裝置。

例如，可使用電爐或如燈快速熱退火（LRTA）設備或氣體快速熱退火（GRTA）設備的快速熱退火（RTA）設備。LRTA 設備係為一種用來藉由如鹵素燈、金屬鹵素燈、氬弧燈、碳弧燈、高壓鈉燈、或高壓水銀燈的燈所發射出的光輻射（電磁波）來加熱物體的設備。GRTA 設備係為一種使用高溫氣體來進行加熱處理的設備。

藉由第一加熱處理，氫（水或具有氫氧化物的化合物）會從氧化物半導體層中釋出。此外，藉由第一加熱處理，會減少雜質，如此可形成本質的或實質上本質的氧化物半導體層。

藉由第一加熱處理，可從氧化物半導體層中排除為不穩定載子來源的氫；藉此，能抑制電晶體之臨界電壓往負方向偏移。另外，能提高電晶體之可靠度。

<修改實例>

第一加熱處理之後，可將氧（包括氧自由基、氧原子、及氧離子之至少任一者）引進氧化物半導體層中。

可使用離子植入法、離子摻雜法、電漿浸沒離子植入法、電漿處理或之類作為引進氧的方法。

<基底絕緣層的結構及形成方法>

用來覆蓋具有通道之氧化物半導體層 513 的閘絕緣層 512 與氧化物半導體層接觸的區域最好至少包括藉由加熱處理而從中排除氧的絕緣層。這是因為當閘絕緣層 512 具有過氧區時，可防止氧從氧化物半導體層 513 傳遞到閘絕緣層 512，且藉由之後進行的第二加熱處理可從閘絕緣層 512 供應氧至氧化物半導體層 513。

在用來覆蓋具有通道之氧化物半導體層的閘絕緣層具有層狀結構的情況中，具有過氧區之氧化物絕緣層最好設置在氧化物半導體層側上。

例如，用來覆蓋具有通道之氧化物半導體層的閘絕緣層最好具有從氧化物半導體層側依序堆疊具有過氧區的氧化矽層和氧化鋁層的結構。

這是因為氧化鋁層不會傳遞氧和如氫或水分的雜質，亦即，具有高度阻擋效果，並可在形成氧化鋁層之後，藉由進行第二加熱處理來防止氧從氧化物半導體層中釋出。

<閘絕緣層、閘極、和閘極上的絕緣層之形成>

然後，在氧化物半導體層 513 上形成閘絕緣層 512、閘極 511、和閘極上的絕緣層 514a 之堆疊。

藉由電漿增強 CVD 法、濺射法或之類形成當作閘絕緣層的絕緣層和當作閘極上的絕緣層之絕緣層。

藉由濺射法或之類形成當作閘極的導電層。

接著，透過光刻製程形成抗蝕遮罩，並使用抗蝕遮罩來蝕刻當作閘絕緣層的絕緣層、當作閘極的導電層、及當作閘極上的絕緣層之絕緣層，以便形成閘絕緣層 512、閘極 511、和閘極上的絕緣層 514a 之堆疊。

<側壁之形成>

之後，形成絕緣層 514b 以與閘絕緣層 512、閘極 511、和閘極上的絕緣層 514a 之堆疊接觸。

藉由電漿增強 CVD 法、濺射法或之類形成當作側壁的絕緣層。

接下來，當接觸堆疊之側表面的絕緣層餘留時，藉由各向異性蝕刻來形成側壁。

<形成被供應氧的氧化物半導體層之方法 1：第二加熱處理>

最好使用被供應氧的氧化物半導體層來作為內部形成通道的氧化物半導體層 513。尤其是，最好是使用內部充滿氧空缺的氧化物半導體層。這是因為一些氧空缺會充當施體，並在氧化物半導體層中產生載子，可能會影響電晶

體的特性。

有一種方法作為形成被供應氧的氧化物半導體層之方法，即在藉由加熱處理而從中排除氧的絕緣層接觸內部形成通道的氧化物半導體層之條件下進行第二加熱處理。具體來說，可使用藉由加熱處理而從中排除氧的絕緣層來形成用來覆蓋基底絕緣層或/及形成通道的區域之絕緣層，且可藉由第二加熱處理將氧供應至氧化物半導體層（參見第 5C 圖）。

請注意第二加熱處理在形成包括藉由加熱處理而從中排除氧的絕緣層之絕緣層以與內部形成通道的氧化物半導體層之區域接觸之後所進行的任何步驟中都是有效的。

尤其是，最好採用從氧化物半導體層側依序堆疊具有過氧區的氧化矽層和具有高阻擋效果的氧化鋁層之層狀結構，且最好在形成氧化鋁層的條件下進行第二加熱處理。

第二加熱處理可在氮、氧、超乾空氣（水含量為 20ppm 以下，最好是 1ppm 以下，更好是 10ppb 以下的空氣）、或稀有氣體（例如，氬或氦）中進行。氮、氧、超乾空氣、或稀有氣體的氣圍中最好不含水、氬等。引進加熱處理設備中之氮、氧、或稀有氣體之純度最好是 6N（99.9999%）以上，更好是 7N（99.99999%）以上（即，雜質濃度是 1ppm 以下，最好是 0.1ppm 以下）。

<測量轉換成氧原子之氧的排除量之方法>

以下說明一種在 TDS 分析中將轉換成氧原子之氧的釋

出量量化的方法。

在 TDS 分析中的氣體釋出量係與波譜的積分值成比例。因此，根據絕緣層之波譜積分值與標準樣本的參考值之間的比例，能計算出氣體釋出量。標準樣本的參考值係為在樣本中所含的預定原子密度與波譜積分值之間的比例。

例如，從絕緣層中排除的氧分子（ No_2 ）數量能以標準樣本之包含在預定密度下的氫之矽晶圓的 TDS 分析結果與絕緣層的 TDS 分析結果根據等式 1 來得到。這裡，假設所有根據 TDS 分析而得到之具有質量數為 32 之波譜係源於氧分子。假設不考慮具有質量數為 32 的 CH_3OH ，因其不太可能存在。此外，亦不考慮包括具有質量數為 17 或 18 的氧原子（為氧原子之同位素）之氧分子，因為這種分子在自然界中的比例係極小的。

$$N_{\text{O}_2} = N_{\text{H}_2}/S_{\text{H}_2} \times S_{\text{O}_2} \times \alpha \quad (\text{等式1})$$

N_{H_2} 係將從標準樣本排除的氫分子數量轉成密度所得到的值。 S_{H_2} 係根據 TDS 分析之標準樣本的波譜積分值。在此，標準樣本的參考值係設定為 $N_{\text{H}_2}/S_{\text{H}_2}$ 。 S_{O_2} 係根據 TDS 分析之絕緣層的波譜積分值。 α 係影響 TDS 分析中之波譜密度的係數。關於等式 1 的更多細節可參見日本公開專利申請第 6-275697 號。請注意已排除氧量係藉由使用 ESCO Ltd. 所生產的熱脫附分析儀設備 EMD/WA1000S/W、以及使用包含 $1 \times 10^{16} \text{ atoms/cm}^3$ 的氫原子之矽晶圓作為標準樣本來測得。

另外，在 TDS 分析中，檢測出部份的氧為氧原子。氧分子與氧原子之間的比例可由氧分子的游離率計算出。請注意由於 α 包括氧分子的游離率，因此已排除之氧原子數量亦能透過估計氧分子的排除數量來估算出。

請注意 NO_2 係氧分子的排除數量。在絕緣層中，被轉換成氧原子之氧的排除數量係氧分子之排除數量的兩倍。

藉由加熱處理而從中排除氧的層之實例係為過氧化矽 (SiO_x ($x > 2$)) 之層。在過氧化矽 (SiO_x ($x > 2$)) 中，每單位體積的氧原子數量大於每單位體積之矽原子數量的兩倍。每單位體積的矽原子數量和氧原子數量係由拉塞福背向散射分析法測得。

<當作源極和汲極的電極之形成>

然後，形成當作源極和汲極的電極 551 和 552。

藉由濺射法或之類形成當作源極和汲極且包含導電材料的層。

接著，透過光刻製程形成抗蝕遮罩，且使用抗蝕遮罩來選擇性地蝕刻包含導電材料的層，以便形成電極 551 和 552。請注意會在同一步驟中形成以包含導電材料的層製成的佈線等（未顯示）。

請注意在電晶體的通道長度 L 為 10nm 到 1000nm ($1\mu\text{m}$) 的情況下（特別是小於 25nm ），最好使用波長為幾奈米到幾十奈米的遠紫外線來形成遮罩。這是因為遠紫外線能提供高解析度及長聚焦深度。

請注意當作源極和汲極的電極最好是錐形。當當作源極和汲極的電極為錐形時，可避免斷開將在此步驟之後形成的層（例如，閘絕緣層），以便提高覆蓋率。例如，錐角最好是 30 到 60 度。

請注意在包含導電材料的層具有鈦層或氮化鈦層的單層結構之情況下，可容易將包含導電材料的層處理成錐形的源極和汲極。

<用來保護電晶體的絕緣層之形成>

然後，形成用來保護電晶體的絕緣層 505。

藉由電漿增強 CVD 法、濺射法或之類形成用來保護電晶體的絕緣層（參見第 5D 圖）。

由於能如上所述般地抑制內部形成通道的氧化物半導體層中載子的產生，因此能抑制電晶體特性改變。

本實施例能適當地與其他實施例所述之任何結構結合。

〔實施例 7〕

在本實施例中，說明根據本發明之一實施例的可適用於具有極低截止洩漏電流（例如，每微米通道寬度之截止洩漏電流係為 1×10^{-17} A 以下）且可使用在調整電路中之氧化物半導體層。具體來說，說明具有 c 軸對準結晶的氧化物半導體層。

在本實施例中，說明從 ab 平面、表面或介面的方向

看時，包括具有三角形或六角形的原子排列之 c 軸對準結晶（CAAC）的氧化物。在晶體中，金屬原子排列為層狀或者金屬原子和氧原子沿著 c 軸排列為層狀，而在 ab 平面上之 a 軸或 b 軸的方向會改變（晶體圍繞著 c 軸旋轉）。

CAAC-OS 膜不全然是單晶也不全然是非晶。CAAC-OS 膜是一種具有結晶-非晶之混相結構的氧化物半導體膜，其中在非晶相中包括結晶部分和非晶部分。請注意在多數情況中，結晶部分符合在每邊小於 100nm 的立方體中。從以透射電子顯微鏡（TEM）得到的觀察影像中，在 CAAC-OS 膜中的非晶部分與結晶部分之間的邊界是不明顯的。此外，藉由 TEM，無法發現在 CAAC-OS 膜中的晶粒邊界。因此，在 CAAC-OS 膜中，由於晶粒邊界而能抑制電子移動率降低。

在包括在 CAAC-OS 膜中的每個結晶部分中， c 軸是對準平行於 CAAC-OS 膜所形成之表面之法線向量或 CAAC-OS 膜之表面之法線向量的方向，從垂直於 ab 平面的方向看係形成三角形或六角形的原子排列，且當從垂直於 c 軸方向的方向看時，金屬原子會排列為層狀，或金屬原子和氧原子會排列為層狀。請注意在結晶部分之間，一個結晶部分的 a 軸和 b 軸方向可不同於另一結晶部分的 a 軸和 b 軸方向。在本說明書中，單字「垂直」包括從 85 到 95° 的範圍。此外，單字「平行」包括從 -5 到 5° 的範圍。

在 CAAC-OS 膜中，結晶部分的分佈不一定是均勻的。例如，在 CAAC-OS 膜的形成過程中，在從氧化物半導體膜之表面側生成結晶之情形下，在某些例子中，在 CAAC-OS 膜之表面附近的結晶部分之比例會高於形成 CAAC-OS 膜之表面附近的結晶部分之比例。再者，當添加雜質到 CAAC-OS 膜中時，雜質所添加的區域中之結晶部分在一些情況下會變成非晶的。

由於包括在 CAAC-OS 膜中之結晶部分的 c 軸會對準平行於 CAAC-OS 膜所形成之表面之法線向量或 CAAC-OS 膜之表面之法線向量的方向，因此 c 軸方向可能會依據 CAAC-OS 膜之形狀（CAAC-OS 膜所形成之表面的剖面形狀或 CAAC-OS 膜之表面的剖面形狀）而彼此不同。請注意當形成 CAAC-OS 膜時，結晶部分之 c 軸方向是平行於 CAAC-OS 膜所形成之表面之法線向量或 CAAC-OS 膜之表面之法線向量的方向。藉由沉積或在沉積之後進行如加熱處理之結晶化處理來形成結晶部分。

藉由在電晶體中使用 CAAC-OS 膜，可降低由於以可見光或紫外線輻射所造成的電晶體之電特性改變。因此，電晶體具有高可靠度。

從更廣義來理解，包括 CAAC 的氧化物是指非單晶氧化物，其包括在從垂直於 ab 平面的方向看時具有三角形狀、六角形狀、正三角形狀或正六角形狀的原子排列，並且從垂直於 c 軸方向的方向看時金屬原子排列為層狀或者金屬原子和氧原子排列為層狀的相。

CAAC 不是單晶，但這並不表示只由非晶成分組成 CAAC。雖然 CAAC 包括晶化部分（結晶部分），但在一些情況下一個結晶部分與另一結晶部分的邊界是不明顯的。

在 CAAC 中包括氧的情形下，可以氮取代部分包括在 CAAC 中的氧。包括在 CAAC 中的結晶部分之 c 軸可朝向某個方向（例如，垂直於在上方形成 CAAC 的基板之表面或 CAAC 之表面的方向）。包括在 CAAC 中的結晶部分之 ab 平面的法線可朝向某個方向（例如，垂直於在上方形成 CAAC 的基板之表面或 CAAC 之表面的方向）。

CAAC 可根據其組成或之類而變成導體、半導體或絕緣體。CAAC 根據其組成或之類而傳送或不傳送可見光。

有一種晶體作為上述 CAAC 的例子，其形成膜狀，並從垂直於膜表面或支撐基板之表面的方向觀察時具有三角形或六角形的原子排列，並且在觀察膜的剖面時，金屬原子排列為層狀或者金屬原子和氧原子（或氮原子）排列為層狀。

參考第 6A 至 6E 圖、第 7A 至 7C 圖、及第 8A 至 8C 圖來詳細說明 CAAC 之結晶結構的實例。請注意在第 6A 至 6E 圖、第 7A 至 7C 圖、及第 8A 至 8C 圖中，除非有其他指明，否則垂直方向相當於 c 軸方向且垂直於 c 軸方向之平面相當於 ab 平面。當只說「上半部」和「下半部」時，是指 ab 平面上方的上半部和 ab 平面下方的下半部（以 $a-b$ 平面為邊界的上半部和下半部）。再者，在第 6A

至 6E 圖中，以圓圈圈上的 O 原子表示四配位 O 原子，而以雙重圓圈圈上的 O 原子表示三配位 O 原子。

第 6A 圖顯示包括一個六配位 In 原子和靠近 In 原子之六個四配位氧原子（以下稱為四配位 O 原子）的結構。只顯示一個金屬原子及靠近金屬原子之氧原子的結構在此係稱為小群組。第 6A 圖之結構實際上是一個八面體的結構，但為了簡單而顯示成平面結構。請注意三個四配位 O 原子各存在於第 6A 圖中的上半部和下半部。在第 6A 圖所示之小群組中，電荷是 0。

第 6B 圖顯示包括一個五配位 Ga 原子、靠近 Ga 原子之三個三配位氧原子（以下稱為三配位 O 原子）、和靠近 Ga 原子之兩個四配位 O 原子的結構。所有的三配位 O 原子都存在於 ab 平面上。一個四配位 O 原子各存在於第 6B 圖中的上半部和下半部。因為 In 原子可具有五個配位，所以 In 原子能具有第 6B 圖所示的結構。在第 6B 圖所示之小群組中，電荷是 0。

第 6C 圖顯示包括一個四配位 Zn 原子和靠近 Zn 原子之四個四配位 O 原子的結構。第 6C 圖中的上半部具有一個四配位 O 原子，並且在下半部具有三個四配位 O 原子。或者，第 6C 圖中的上半部可具有三個四配位 O 原子，並且在下半部可具有一個四配位 O 原子。在第 6C 圖所示之小群組中，電荷是 0。

第 6D 圖顯示包括一個六配位 Sn 原子和靠近 Sn 原子之六個四配位 O 原子的結構。在第 6D 圖中，三個四配位

O 原子各存在於上半部和下半部。在第 6D 圖所示之小群組中，電荷是 +1。

第 6E 圖顯示包括兩個 Zn 原子的小群組。第 6E 圖的上半部和下半部各具有一個四配位 O 原子。在第 6E 圖所示之小群組中，電荷是 -1。

這裡，複數個小群組構成一個中群組，且複數個中群組構成一個大群組（也稱為單位格）。

在此，說明小群組彼此接合的規則。第 6A 圖中的六配位 In 原子之上半部的三個 O 原子在向下方向上各具有三個靠近的 In 原子，且在下半部的三個 O 原子在向上方向上各具有三個靠近的 In 原子。第 6B 圖中的五配位 Ga 原子之上半部的一個 O 原子在向下方向上具有一個靠近的 Ga 原子，且在下半部的一個 O 原子在向上方向上具有一個靠近的 Ga 原子。第 6C 圖中的四配位 Zn 原子之上半部的一個 O 原子在向下方向上具有一個靠近的 Zn 原子，且在下半部的三個 O 原子在向上方向上各具有三個靠近的 Zn 原子。以此方式，在金屬原子上方的四配位 O 原子的數量等於靠近在四配位 O 原子下方之金屬原子的數量。同樣地，在金屬原子下方的四配位 O 原子的數量等於靠近在四配位 O 原子上方之金屬原子的數量。由於 O 原子的配位數量是 4，因此靠近在 O 原子下方之金屬原子數量與靠近在 O 原子上方之金屬原子數量之總和為 4。藉此，當在一個金屬原子上方之四配位 O 原子數量與在另一金屬原子下方之四配位 O 原子數量之總和為 4 時，可彼此接合兩種

包括金屬原子的小群組。例如，在六配位金屬（In 或 Sn）原子透過上半部的三個四配位 O 原子接合之情形下，六配位金屬原子會接合五配位金屬（Ga 或 In）原子或四配位金屬（Zn）原子。

具有以上配位數的金屬原子係透過在 c 軸方向上的四配位 O 原子來接合另一個金屬原子。此外，複數個小群組會彼此接合，使得層狀結構中的總電荷是 0。於是，便構成了中群組。

第 7A 圖顯示包括在 In-Sn-Zn-O 基材料之層狀結構中的中群組之模型。第 7B 圖顯示包括三個中群組的大群組。請注意第 7C 圖顯示在從 c 軸方向觀看第 7B 圖之層狀結構之情形下的原子排列。

在第 7A 圖中，爲了簡單明瞭，不顯示三配位 O 原子，並以圓圈顯示四配位 O 原子；圓圈中的數字顯示四配位 O 原子的數量。例如，以圈起來的 3 代表 Sn 原子之上半部和下半部各具有三個四配位 O 原子。同樣地，在第 7A 圖中，以圈起來的 1 代表 In 原子之上半部和下半部各具有一個四配位 O 原子。第 7A 圖也顯示靠近下半部之一個四配位 O 原子與上半部之三個四配位 O 原子的 Zn 原子、以及靠近上半部之一個四配位 O 原子與下半部之三個四配位 O 原子的 Zn 原子。

在包括在第 7A 圖之 In-Sn-Zn-O 基材料之層狀結構中的中群組中，從頂端開始按照順序，各靠近上半部與下半部之三個四配位 O 原子的 Sn 原子會接合各靠近上半部與

下半部之一個四配位 O 原子的 In 原子、In 原子會接合靠近上半部之三個四配位 O 原子的 Zn 原子、Zn 原子會透過 Zn 原子之下半部的一個四配位 O 原子來接合各靠近上半部與下半部之三個四配位 O 原子的 In 原子、In 原子會接合包括兩個 Zn 原子並靠近上半部之一個四配位 O 原子的小群組、且小群組會透過小群組之下半部的一個四配位 O 原子來接合各靠近上半部與下半部之三個四配位 O 原子的 Sn 原子。彼此接合複數個上述之中群組，便構成了大群組。

這裡，三配位 O 原子之鍵結的電荷和四配位 O 原子之鍵結的電荷可分別假設成 -0.667 和 -0.5。例如，六配位或五配位 In 原子的電荷、四配位 Zn 原子的電荷、及五配位或六配位 Sn 原子的電荷分別是 +3、+2、及 +4。因此，包括 Sn 原子之小群組的電荷是 +1。所以，需要 -1 的電荷（與 +1 相消）來形成包括 Sn 原子的層狀結構。可舉出如第 6E 圖所示之包括兩個 Zn 原子的小群組來作為具有 -1 之電荷的結構。例如，當提供一個包括兩個 Zn 原子的小群組給一個包括 Sn 原子之小群組時，便消去電荷，使得層狀結構中的總電荷能變為 0。

具體來說，當形成第 7B 圖所示的大群組時，可得到 In-Sn-Zn-O 基結晶 ($\text{In}_2\text{SnZn}_3\text{O}_8$)。請注意所得到之 In-Sn-Zn-O 基結晶的層狀結構可表示成 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m 是 0 或自然數) 之組成式。

上述規則也適用於下列氧化物：如 In-Sn-Ga-Zn-O 基

氧化物的四元金屬氧化物；如 In-Ga-Zn-O 基氧化物（也稱為 IGZO）、In-Al-Zn-O 基氧化物、Sn-Ga-Zn-O 基氧化物、Al-Ga-Zn-O 基氧化物、Sn-Al-Zn-O 基氧化物、In-Hf-Zn-O 基氧化物、In-La-Zn-O 基氧化物、In-Ce-Zn-O 基氧化物、In-Pr-Zn-O 基氧化物、In-Nd-Zn-O 基氧化物、In-Sm-Zn-O 基氧化物、In-Eu-Zn-O 基氧化物、In-Gd-Zn-O 基氧化物、In-Tb-Zn-O 基氧化物、In-Dy-Zn-O 基氧化物、In-Ho-Zn-O 基氧化物、In-Er-Zn-O 基氧化物、In-Tm-Zn-O 基氧化物、In-Yb-Zn-O 基氧化物、或 In-Lu-Zn-O 基氧化物的三元金屬氧化物；如 In-Zn-O 基氧化物、Sn-Zn-O 基氧化物、Al-Zn-O 基氧化物、Zn-Mg-O 基氧化物、Sn-Mg-O 基氧化物、In-Mg-O 基氧化物、或 In-Ga-O 基氧化物的兩元金屬氧化物；等等。

例如，第 8A 圖顯示包括在 In-Ga-Zn-O 基材料之層狀結構中的中群組之模型。

在包括在第 8A 圖之 In-Ga-Zn-O 基材料之層狀結構中的中群組中，從頂端開始按照順序，各靠近上半部與下半部之三個四配位 O 原子的 In 原子會接合靠近上半部之一個四配位 O 原子的 Zn 原子、Zn 原子會透過 Zn 原子之下半部的三個四配位 O 原子來接合各靠近上半部與下半部之一個四配位 O 原子的 Ga 原子、及 Ga 原子會透過 Ga 原子之下半部的一個四配位 O 原子來接合各靠近上半部與下半部之三個四配位 O 原子的 In 原子。彼此接合複數個上述之中群組，便構成了大群組。

第 8B 圖顯示包括三個中群組的大群組。請注意第 8C 圖顯示在從 c 軸方向觀看第 8B 圖之層狀結構之情形下的原子排列。

這裡，由於六配位或五配位 In 原子的電荷、四配位 Zn 原子的電荷、及五配位 Ga 原子的電荷分別是 +3、+2、及 +3，因此，包括 In 原子、Zn 原子及 Ga 原子之任一者之小群組的電荷為 0。所以，結合了這些小群組之中群組的總電荷永遠是 0。

為了形成 In-Ga-Zn-O 基材料的層狀結構，不只可使用第 8A 圖所示之中群組也可使用不同於第 8A 圖之 In 原子、Ga 原子及 Zn 原子排列的中群組來構成大群組。

具體來說，當形成第 8B 圖所示的大群組時，可得到 In-Ga-Zn-O 基結晶。請注意所得之 In-Ga-Zn-O 基結晶的層狀結構可表示成 $\text{In}_2\text{GaO}_3(\text{ZnO})_n$ (n 是自然數) 之組成式。

例如，在 $n=1$ (InGaZnO_4) 的情況中，可得到第 9A 圖所示之結晶結構。請注意在第 9A 圖所示之結晶結構中，由於如第 6B 圖所示之 Ga 原子和 In 原子各具有五個配位，因此可得到以 In 原子代替 Ga 原子的結構。

例如，在 $n=2$ ($\text{InGaZn}_2\text{O}_5$) 的情況中，可得到第 9B 圖所示之結晶結構。請注意在第 9B 圖所示之結晶結構中，由於如第 6B 圖所示之 Ga 原子和 In 原子各具有五個配位，因此可得到以 In 原子代替 Ga 原子的結構。

當根據本發明之一實施例的電晶體包括在通道形成區

中具有 CAAC 的氧化物半導體層時，電晶體可具有高可靠度，這是有利的。

本實施例能適當地與其他實施例所述之任何結構結合。

本申請書係基於 2011/5/27 向日本專利局申請的日本專利申請書第 2011-119429 號，特此須合併參考其全部內容。

【圖式簡單說明】

在附圖中：

第 1 圖繪示根據一實施例之調整電路的結構；

第 2A 至 2C 圖繪示根據一實施例之調整電路的運作；

第 3A 至 3C 圖繪示根據一實施例之調整電路的結構；

第 4A 至 4D 圖繪示根據一實施例之形成調整電路的方法；

第 5A 至 5D 圖繪示根據一實施例之形成調整電路的方法；

第 6A 至 6E 圖各繪示根據一實施例之氧化物材料的結構；

第 7A 至 7C 圖繪示根據一實施例之氧化物材料的結構；

第 8A 至 8C 圖繪示根據一實施例之氧化物材料的結構；及

第 9A 和 9B 圖各繪示根據一實施例之氧化物材料的結構

構。

【 主 要 元 件 符 號 說 明 】

100：調整電路

105：電阻器

110：第一電晶體

115：寫入端

120：第二電晶體

125：抹除端

130：第三電晶體

140：電容器

150：儲存節點

V_{dd} ：電源電位

300：調整電路

301：基板

302：元件隔離絕緣層

303：絕緣層

304：絕緣層

305：電阻器

310：第一電晶體

311：佈線

312：閘絕緣層

313：氧化物半導體層

320：第二電晶體

321：佈線
 322：閘絕緣層
 323：氧化物半導體層
 330：第三電晶體
 331：閘極
 332：佈線
 335：佈線
 340：電容器
 341：佈線
 351：佈線
 352：佈線
 353：佈線
 701：基板
 704：基底絕緣層
 710：電晶體
 711：閘極
 712：閘絕緣層
 713：氧化物半導體層
 714a：絕緣層
 714b：側壁
 751：電極
 752：電極
 413a：氧化物半導體層
 504：基底絕緣層

505 : 絕緣層

511 : 閘極

512 : 閘絕緣層

513 : 氧化物半導體層

514a : 絕緣層

514b : 絕緣層

551 : 電極

552 : 電極

七、申請專利範圍：

105年1月2日	修正 對照	頁(本)
----------	----------	------

1. 一種調整電路，包含：

一電容器；

一第一電晶體；

一第二電晶體；及

一第三電晶體，

其中該電容器之一電極係電性連接一儲存節點，且該電容器之另一電極係電性連接接地電位線，

其中該第一電晶體之閘極係電性連接一寫入端，該第一電晶體之源極和汲極之一者係電性連接該儲存節點，且該第一電晶體之該源極和該汲極之另一者係電性連接電源電位線，

其中該第二電晶體之閘極係電性連接一抹除端，該第二電晶體之源極和汲極之一者係電性連接該儲存節點，且該第二電晶體之該源極和該汲極之另一者係電性連接接地電位線，

其中該第三電晶體之閘極係電性連接該儲存節點，

其中該第一電晶體和該第二電晶體各在一通道形成區中包括能隙為 2.5 eV 以上的半導體材料，且

其中該第三電晶體係並聯連接一電阻器。

2. 如申請專利範圍第 1 項所述之調整電路，其中該第一電晶體和該第二電晶體各在該通道形成區中包括一氧化物半導體層。

3. 一種調整電路，包含：

- 一 電 容 器 ；
- 一 第 一 電 晶 體 ；
- 一 第 二 電 晶 體 ； 及
- 一 第 三 電 晶 體 ，

其中該電容器之一電極係電性連接一儲存節點，且該電容器之另一電極係電性連接接地電位線，

其中該第一電晶體之閘極係電性連接一寫入端，該第一電晶體之源極和汲極之一者係電性連接該儲存節點，且該第一電晶體之該源極和該汲極之另一者係電性連接電源電位線，

其中該第二電晶體之閘極係電性連接一抹除端，該第二電晶體之源極和汲極之一者係電性連接該儲存節點，且該第二電晶體之該源極和該汲極之另一者係電性連接接地電位線，

其中該第三電晶體之閘極係電性連接該儲存節點，

其中該第一電晶體和該第二電晶體之各者的每微米通道寬度之截止洩漏電流係為 1×10^{-17} A 以下，且

其中該第三電晶體係並聯連接一電阻器。

4. 如申請專利範圍第 3 項所述之調整電路，其中該第一電晶體和該第二電晶體各在一通道形成區中包括一氧化物半導體層。

5. 一種驅動一調整電路的方法，該調整電路包含：

一電容器、一第一電晶體、一第二電晶體、及一第三電晶體，

其中該電容器之一電極係電性連接一儲存節點，且該電容器之另一電極係電性連接接地電位線，

其中該第一電晶體之閘極係電性連接一寫入端，該第一電晶體之源極和汲極之一者係電性連接該儲存節點，且該第一電晶體之該源極和該汲極之另一者係電性連接電源電位線，

其中該第二電晶體之閘極係電性連接一抹除端，該第二電晶體之源極和汲極之一者係電性連接該儲存節點，且該第二電晶體之該源極和該汲極之另一者係電性連接接地電位線，

其中該第三電晶體之閘極係電性連接該儲存節點，

其中該第一電晶體和該第二電晶體之各者的每微米通道寬度之截止洩漏電流係為 1×10^{-17} A 以下，且

其中該第三電晶體係並聯連接一電阻器，

該方法包含：

一 第一步驟，分別輸入用來導通該第一電晶體的信號和用來關閉該第二電晶體的信號至該寫入端和該抹除端，使得該儲存節點的電位為能導通該第三電晶體的電位；以及

一 第二步驟，分別輸入用來關閉該第一電晶體的信號和用來關閉該第二電晶體的信號至該寫入端和該抹除端，使得該電阻器處於一調整狀態。

6. 如申請專利範圍第 5 項所述之驅動一調整電路的方法，更包含：

一 第三步驟，在該第二步驟之後，藉由分別輸入用來導通該第一電晶體的信號和用來關閉該第二電晶體的信號至該寫入端和該抹除端，使得該儲存節點的該電位為能導通該第三電晶體的電位，或藉由分別輸入用來關閉該第一電晶體的信號和用來導通該第二電晶體的信號至該寫入端和該抹除端，使得該儲存節點的該電位為能關閉該第三電晶體的電位，使該儲存節點的該電位與在該第二步驟中之該儲存節點的該電位不同；以及

一 第四步驟，分別輸入用來關閉該第一電晶體的信號和用來關閉該第二電晶體的信號至該寫入端和該抹除端。

7. 如申請專利範圍第 5 項所述之驅動一調整電路的方法，其中在該調整狀態下，流到該第三電晶體的電流比流到該電阻器的電流多。

8. 一種驅動一調整電路的方法，該調整電路包含：

一電容器、一第一電晶體、一第二電晶體、及一第三電晶體，

其中該電容器之一電極係電性連接一儲存節點，且該電容器之另一電極係電性連接接地電位線，

其中該第一電晶體之閘極係電性連接一寫入端，該第一電晶體之源極和汲極之一者係電性連接該儲存節點，且該第一電晶體之該源極和該汲極之另一者係電性連接電源電位線，

其中該第二電晶體之閘極係電性連接一抹除端，該第二電晶體之源極和汲極之一者係電性連接該儲存節點，且

該第二電晶體之該源極和該汲極之另一者係電性連接接地電位線，

其中該第三電晶體之閘極係電性連接該儲存節點，

其中該第一電晶體和該第二電晶體之各者的每微米通道寬度之截止洩漏電流係為 1×10^{-17} A 以下，且

其中該第三電晶體係並聯連接一電阻器，

該方法包含：

一 第一步驟，分別輸入用來關閉該第一電晶體的信號和用來導通該第二電晶體的信號至該寫入端和該抹除端，使得該儲存節點的電位為能關閉該第三電晶體的電位；以及

一 第二步驟，分別輸入用來關閉該第一電晶體的信號和用來關閉該第二電晶體的信號至該寫入端和該抹除端，使得該電阻器處於一可用狀態。

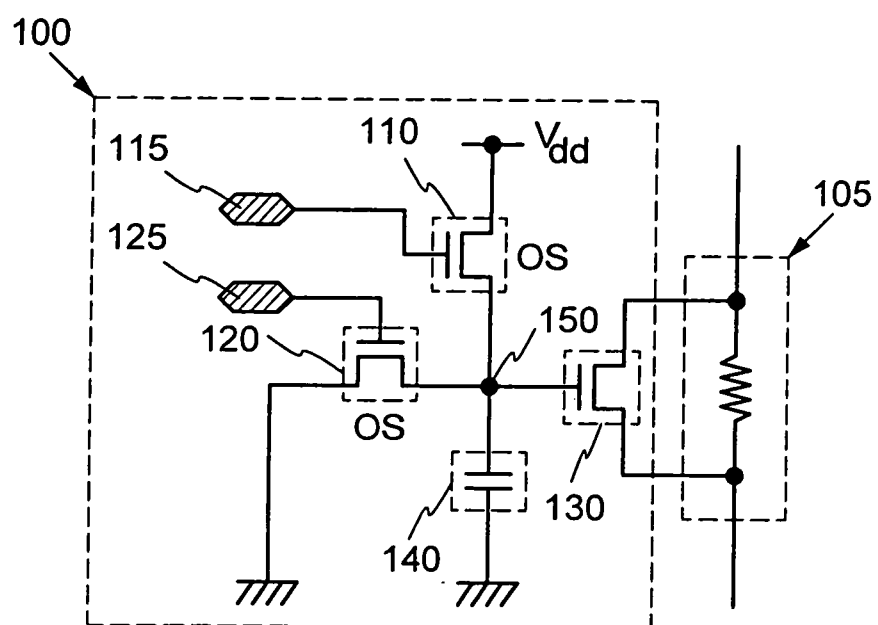
9. 如申請專利範圍第 8 項所述之驅動一調整電路的方法，更包含：

一 第三步驟，在該第二步驟之後，藉由分別輸入用來導通該第一電晶體的信號和用來關閉該第二電晶體的信號至該寫入端和該抹除端，使得該儲存節點的該電位為能導通該第三電晶體的電位，或藉由分別輸入用來關閉該第一電晶體的信號和用來導通該第二電晶體的信號至該寫入端和該抹除端，使得該儲存節點的該電位為能關閉該第三電晶體的電位，使該儲存節點的該電位與在該第二步驟中之該儲存節點的該電位不同；以及

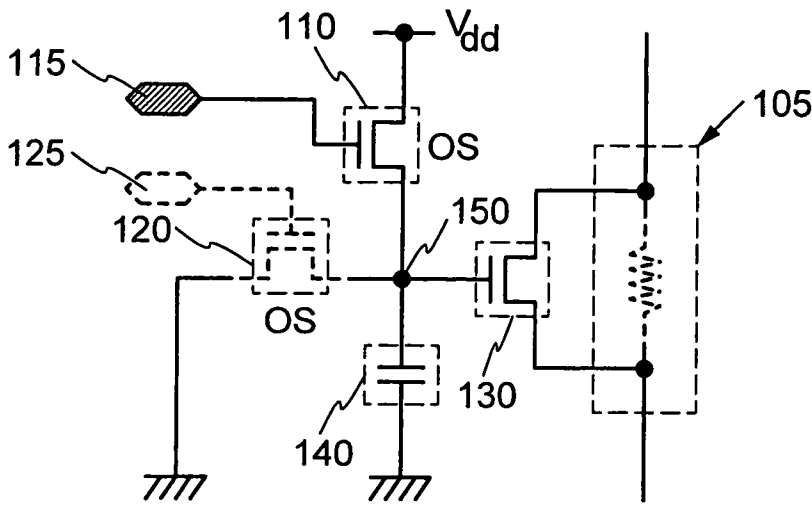
一 第四步驟，分別輸入用來關閉該第一電晶體的信號和用來關閉該第二電晶體的信號至該寫入端和該抹除端。

10. 如申請專利範圍第 8 項所述之驅動一調整電路的方法，其中在該可用狀態下，流到該電阻器的電流比流到該第三電晶體的電流多。

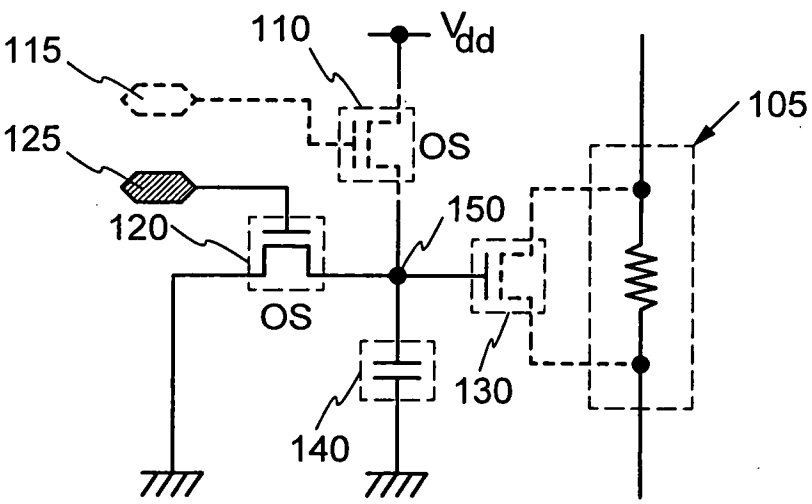
第1圖



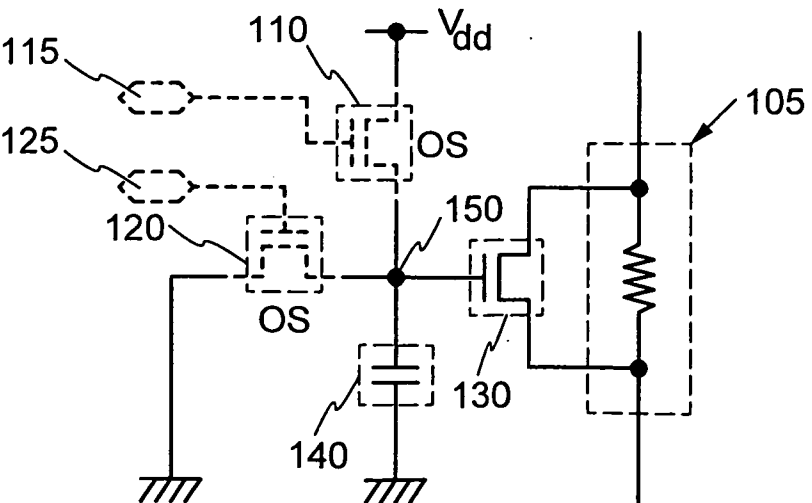
第2A圖



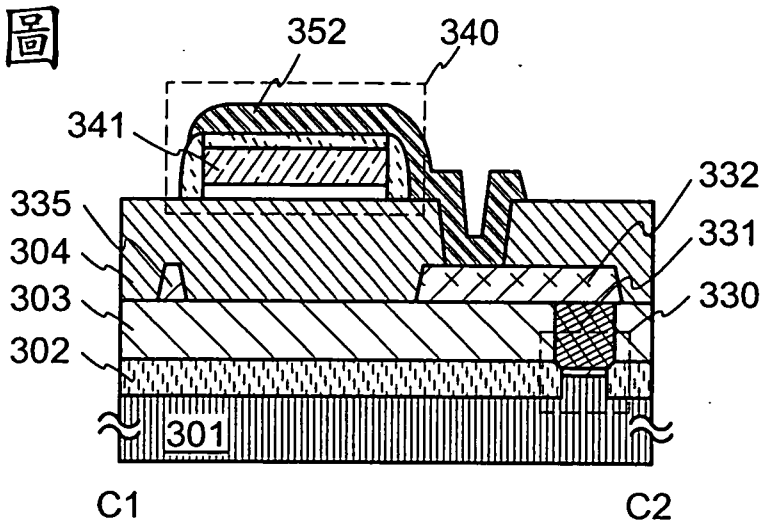
第2B圖



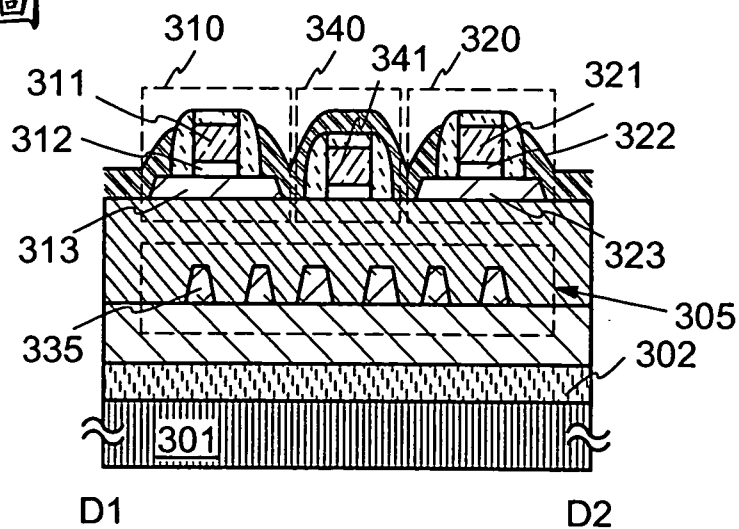
第2C圖



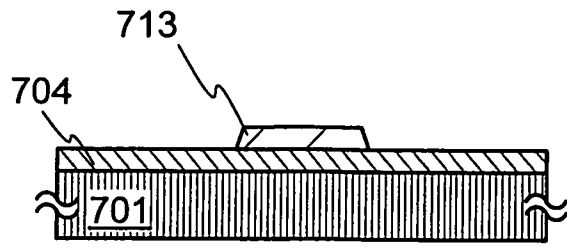
第3B圖



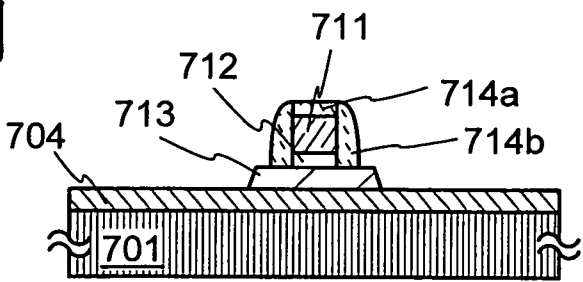
第3C圖



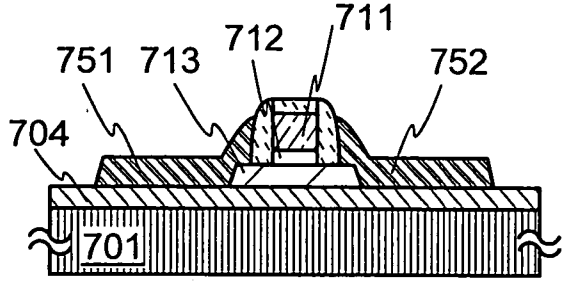
第4A圖



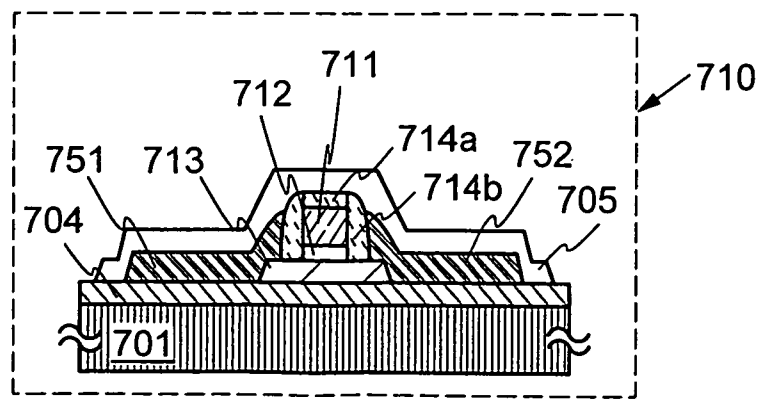
第4B圖



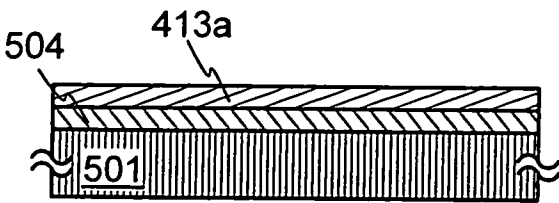
第4C圖



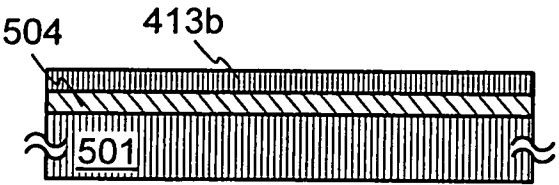
第4D圖



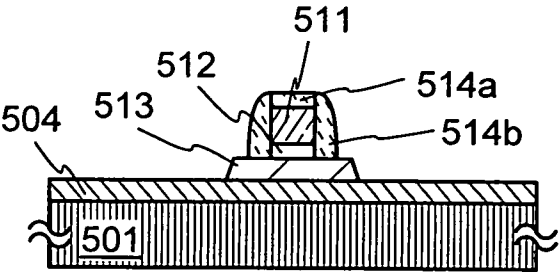
第5A圖



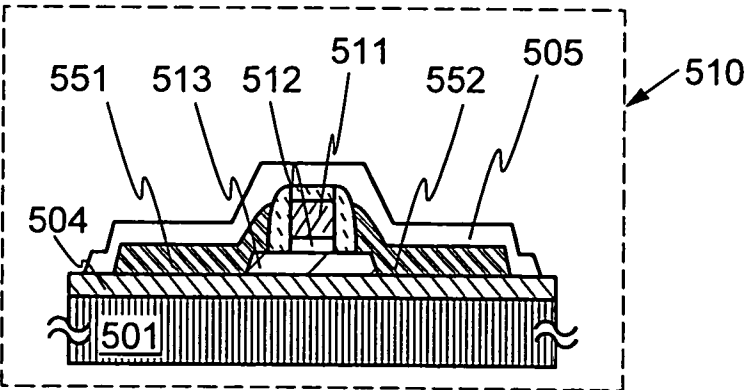
第5B圖



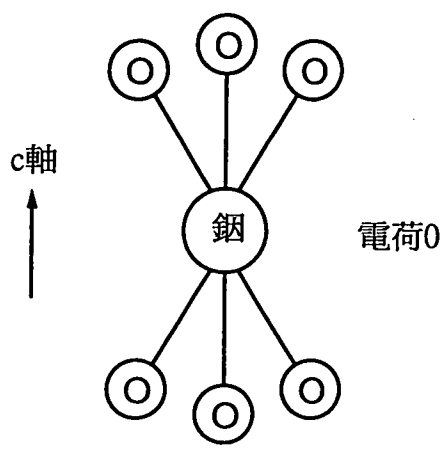
第5C圖



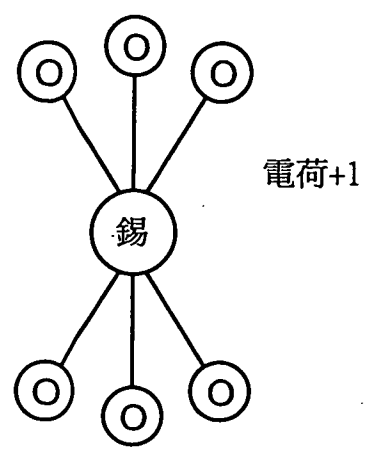
第5D圖



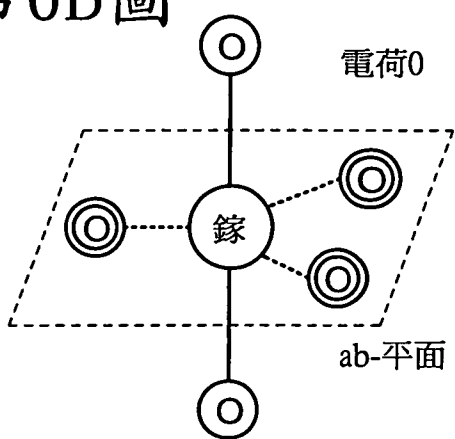
第6A圖



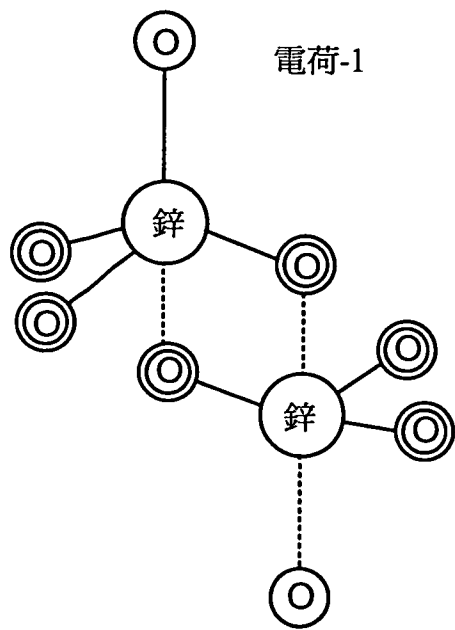
第6D圖



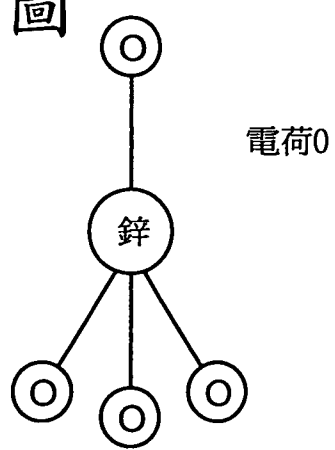
第6B圖



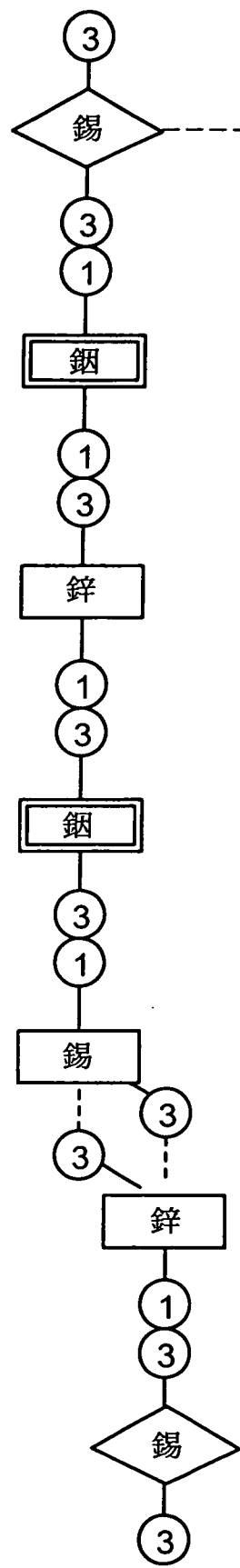
第6E圖



第6C圖



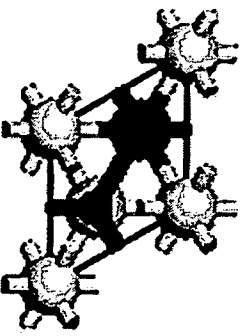
第7A圖



第7B圖

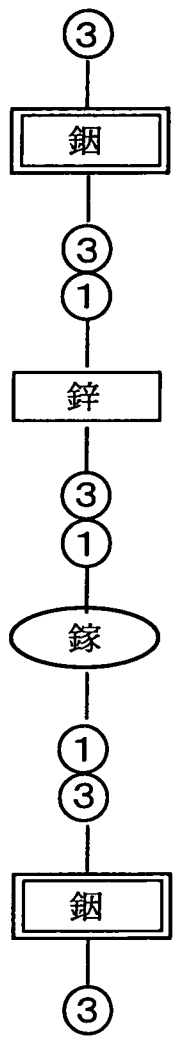


第7C圖

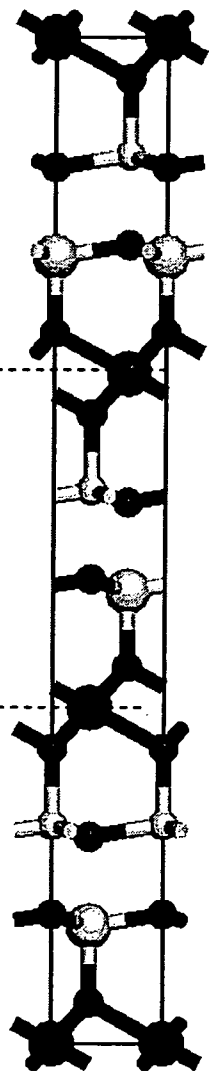


- 銻
- 錫
- 鋅
- O

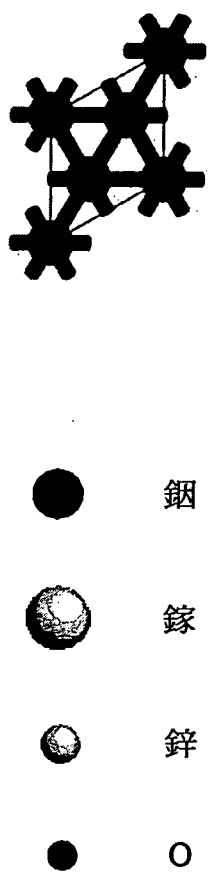
第8A圖



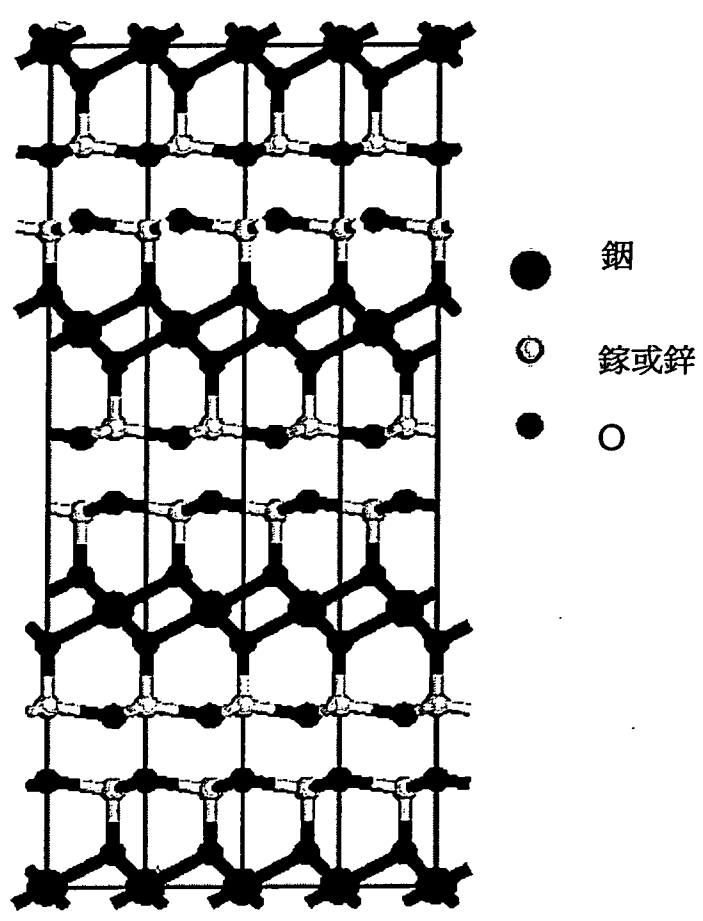
第8B圖



第8C圖



第9A圖



第9B圖

