

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5369552号
(P5369552)

(45) 発行日 平成25年12月18日 (2013.12.18)

(24) 登録日 平成25年9月27日 (2013.9.27)

(51) Int.Cl.

F I

G 0 9 G 3 / 3 0 (2006.01)

G 0 9 G 3 / 2 0 (2006.01)

H 0 1 L 5 1 / 5 0 (2006.01)

G 0 9 G 3 / 3 0 K

G 0 9 G 3 / 2 0 6 2 4 B

G 0 9 G 3 / 3 0 J

G 0 9 G 3 / 2 0 6 1 1 H

G 0 9 G 3 / 2 0 6 4 1 P

請求項の数 13 (全 26 頁) 最終頁に続く

(21) 出願番号 特願2008-226735 (P2008-226735)
 (22) 出願日 平成20年9月4日 (2008.9.4)
 (65) 公開番号 特開2010-60867 (P2010-60867A)
 (43) 公開日 平成22年3月18日 (2010.3.18)
 審査請求日 平成23年8月19日 (2011.8.19)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100107261
 弁理士 須澤 修
 (74) 代理人 100127661
 弁理士 宮坂 一彦
 (72) 発明者 矢田部 聡
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 (72) 発明者 石黒 英人
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 画素回路の駆動方法、発光装置および電子機器

(57) 【特許請求の範囲】

【請求項 1】

相互に直列に接続された発光素子および駆動トランジスタと、前記発光素子と前記駆動トランジスタとの間の経路と前記駆動トランジスタのゲートとの間に介在する保持容量とを含む画素回路を駆動する方法であって、

前記駆動トランジスタを導通させるとともに当該駆動トランジスタのゲートに基準電位を供給することで前記保持容量の両端間の電圧を前記駆動トランジスタの閾値電圧に接近させる第1補償動作を補償期間において実行し、

前記補償期間の経過後の書込期間において、前記基準電位から当該画素回路に指定された階調値に応じた階調電位に切り替える時点を前記階調値に応じて変更することで当該階調値に応じて可変に設定された第1の時間長にわたって前記駆動トランジスタのゲートに前記階調電位を供給するとともに、前記保持容量の両端間の電圧を前記駆動トランジスタの閾値電圧に接近させる第2補償動作を実行し、

前記書込期間の経過後の駆動期間において、前記駆動トランジスタのゲートに対する電位の供給を停止することで、前記保持容量の両端間の電圧に応じた駆動電流を前記発光素子に供給する

画素回路の駆動方法。

【請求項 2】

前記書込期間において前記階調電位を供給したときの前記保持容量の両端間の電圧の変化量が大きいほど前記第1の時間長が短くなるように、前記第1の時間長を設定する

10

20

請求項 1 の画素回路の駆動方法。

【請求項 3】

前記階調値が所定値を下回る場合に、前記第 1 の時間長を、前記階調値に依存しない所定値に設定する

請求項 1 または請求項 2 の画素回路の駆動方法。

【請求項 4】

前記補償期間において、前記保持容量の両端間の電圧を、前記第 1 補償動作によって前記駆動トランジスタの閾値電圧に設定する

請求項 1 の画素回路の駆動方法。

【請求項 5】

前記補償期間において、前記階調値に応じて設定された第 2 の時間長にわたって前記第 1 補償動作を実行する

請求項 1 の画素回路の駆動方法。

【請求項 6】

相互に直列に接続された発光素子および駆動トランジスタと、前記発光素子と前記駆動トランジスタとの間の経路と前記駆動トランジスタのゲートとの間に介在する保持容量とを各々が含む複数の画素回路を駆動する方法であって、

前記複数の画素回路の各々について、

前記駆動トランジスタを導通させるとともに前記駆動トランジスタのゲートに信号線から基準電位を供給することで前記保持容量の両端間の電圧を前記駆動トランジスタの閾値電圧に接近させる第 1 補償動作を、第 1 期間と第 2 期間とを各々が含む複数の単位期間のうち当該画素回路に対応する単位期間の第 2 期間の開始前の 2 以上の第 1 期間において間欠的に実行する一方、

当該画素回路に指定された階調値に応じた階調電位に切り替える時点を前記階調値に応じて変更して前記信号線から当該画素回路の前記駆動トランジスタのゲートに前記階調電位を当該階調値に応じて可変に設定された第 1 の時間長にわたって供給することで、前記保持容量の両端間の電圧を前記駆動トランジスタの閾値電圧に接近させる第 2 補償動作を、当該画素回路に対応する単位期間の第 2 期間において、前記第 1 の時間長にわたって実行し、

当該画素回路に対応する単位期間の第 2 期間の経過後に、当該画素回路の前記駆動トランジスタのゲートに対する電位の供給を停止することで、前記保持容量の両端間の電圧に応じた駆動電流を前記発光素子に供給する

画素回路の駆動方法。

【請求項 7】

相互に直列に接続された発光素子および駆動トランジスタと、前記発光素子と前記駆動トランジスタとの間の経路と前記駆動トランジスタのゲートとの間に介在する保持容量とを各々が含む複数の画素回路を駆動する方法であって、

前記複数の画素回路の各々について、

前記駆動トランジスタを導通させるとともに前記駆動トランジスタのゲートに給電線から基準電位を供給することで前記保持容量の両端間の電圧を前記駆動トランジスタの閾値電圧に接近させる第 1 補償動作を、複数の単位期間のうち当該画素回路に対応する単位期間の開始前の 2 以上の単位期間において間欠的に実行する一方、

当該画素回路に指定された階調値に応じた階調電位に切り替える時点を前記階調値に応じて変更して信号線から当該画素回路の前記駆動トランジスタのゲートに前記階調電位を当該階調値に応じて可変に設定された第 1 の時間長にわたって供給することで、前記保持容量の両端間の電圧を前記駆動トランジスタの閾値電圧に接近させる第 2 補償動作を、当該画素回路に対応する単位期間において、前記第 1 の時間長にわたって実行し、

当該画素回路に対応する前記単位期間の経過後に、当該画素回路の前記駆動トランジスタのゲートに対する電位の供給を停止することで、前記保持容量の両端間の電圧に応じた駆動電流を前記発光素子に供給する

10

20

30

40

50

画素回路の駆動方法。

【請求項 8】

相互に直列に接続された発光素子および駆動トランジスタと、前記発光素子と前記駆動トランジスタとの間の経路と前記駆動トランジスタのゲートとの間に介在する保持容量とを含む画素回路と、

前記画素回路を駆動する駆動回路とを具備し、

前記駆動回路は、

当該画素回路に指定された階調値に応じた階調電位を生成する電位生成部と、

基準電位と前記電位生成部が生成した前記階調電位との何れかを選択する電位選択部と

、

前記電位選択部において前記基準電位から前記階調電位に変更する時点を前記階調値に応じて可変に制御する時間調整部と、

を備え、

前記駆動回路は、

前記駆動トランジスタを導通させるとともに当該駆動トランジスタのゲートに前記基準電位を供給することで前記保持容量の両端間の電圧を前記駆動トランジスタの閾値電圧に接近させる第 1 補償動作を補償期間において実行し、

前記補償期間の経過後の書込期間において、前記駆動トランジスタのゲートに前記電位選択部からの電位を供給するとともに、前記保持容量の両端間の電圧を前記駆動トランジスタの閾値電圧に接近させる第 2 補償動作を、前記階調値に応じた時間長にわたって実行し、

前記書込期間の経過後の駆動期間において、前記駆動トランジスタのゲートに対する電位の供給を停止することで、前記保持容量の両端間の電圧に応じた駆動電流を前記発光素子に供給する

発光装置。

【請求項 9】

相互に直列に接続された発光素子および駆動トランジスタと、前記発光素子と前記駆動トランジスタとの間の経路と前記駆動トランジスタのゲートとの間に介在する保持容量とを各々が含む複数の画素回路と、

前記各画素回路を駆動する駆動回路とを具備し、

前記駆動回路は、

当該画素回路に指定された階調値に応じた階調電位を生成する電位生成部と、

基準電位と前記電位生成部が生成した前記階調電位との何れかを選択する電位選択部と

、

前記電位選択部において前記基準電位から前記階調電位に変更する時点を前記階調値に応じて可変に制御する時間調整部と、

を備え、

前記駆動回路は、

前記複数の画素回路の各々について、

前記駆動トランジスタを導通させるとともに前記駆動トランジスタのゲートに信号線から基準電位を供給することで前記保持容量の両端間の電圧を前記駆動トランジスタの閾値電圧に接近させる第 1 補償動作を、第 1 期間と第 2 期間とを各々が含む複数の単位期間のうち当該画素回路に対応する単位期間の第 2 期間の開始前の 2 以上の第 1 期間において間欠的に実行する一方、

前記駆動トランジスタのゲートに前記電位選択部からの電位を前記信号線を介して供給することで、前記保持容量の両端間の電圧を前記駆動トランジスタの閾値電圧に接近させる第 2 補償動作を、当該画素回路に対応する単位期間の第 2 期間において、前記階調値に応じた時間長にわたって実行し、

当該画素回路に対応する前記単位期間の前記第 2 期間の経過後に、当該画素回路の前記駆動トランジスタのゲートに対する電位の供給を停止することで、前記保持容量の両端間

10

20

30

40

50

の電圧に応じた駆動電流を前記発光素子に供給する
発光装置。

【請求項 10】

前記複数の画素回路の各々は、
前記駆動トランジスタのゲートと前記信号線との間に介在する選択スイッチと、
前記駆動トランジスタに流れる電流の経路上に配置された制御スイッチとを含み、
前記駆動回路は、前記複数の画素回路の各々について、

当該画素回路に対応する単位期間の第 2 期間の開始前の 2 以上の第 1 期間において、前記選択スイッチおよび前記制御スイッチをオン状態に制御するとともに前記信号線に前記基準電位を供給することで前記第 1 補償動作を実行させ、

10

当該画素回路に対応する単位期間の第 2 期間において、前記選択スイッチおよび前記制御スイッチをオン状態に制御するとともに前記信号線に前記電位選択部からの電位を供給することで前記第 2 補償動作を実行させ、

当該画素回路に対応する単位期間の第 2 期間以外の各第 2 期間において、前記選択スイッチをオフ状態に制御する

請求項 9 の発光装置。

【請求項 11】

相互に直列に接続された発光素子および駆動トランジスタと、前記発光素子と前記駆動トランジスタとの間の経路と前記駆動トランジスタのゲートとの間に介在する保持容量とを各々が含む複数の画素回路と、

20

前記各画素回路を駆動する駆動回路とを具備し、

前記駆動回路は、

当該画素回路に指定された階調値に応じた階調電位を生成する電位生成部と、

基準電位と前記電位生成部が生成した前記階調電位との何れかを選択する電位選択部と

、
前記電位選択部において前記基準電位から前記階調電位に変更する時点を前記階調値に応じて可変に制御する時間調整部と、

を備え、

前記駆動回路は、

前記複数の画素回路の各々について、

30

前記駆動トランジスタを導通させるとともに前記駆動トランジスタのゲートに給電線から基準電位を供給することで前記保持容量の両端間の電圧を前記駆動トランジスタの閾値電圧に接近させる第 1 補償動作を、複数の単位期間のうち当該画素回路に対応する単位期間の開始前の 2 以上の単位期間において間欠的に実行する一方、

前記電位選択部からの電位を信号線から当該画素回路の前記駆動トランジスタのゲートに供給することで、前記保持容量の両端間の電圧を前記駆動トランジスタの閾値電圧に接近させる第 2 補償動作を、当該画素回路に対応する単位期間において、前記階調値に応じた時間長にわたって実行し、

当該画素回路に対応する前記単位期間の経過後に、当該画素回路の前記駆動トランジスタのゲートに対する電位の供給を停止することで、前記保持容量の両端間の電圧に応じた駆動電流を前記発光素子に供給する

40

発光装置。

【請求項 12】

前記複数の画素回路の各々は、

前記駆動トランジスタのゲートと前記信号線との間に介在する選択スイッチと、

前記駆動トランジスタのゲートと前記給電線との間に介在する制御スイッチとを含み、

前記駆動回路は、前記複数の画素回路の各々について、

当該画素回路に対応する単位期間の開始前の 2 以上の単位期間において、前記制御スイッチをオン状態に制御することで前記第 1 補償動作を実行させ、

当該画素回路に対応する単位期間において、前記選択スイッチをオン状態に制御すると

50

ともに前記制御スイッチをオフ状態に制御して前記信号線に前記階調電位を供給することで前記第2補償動作を実行させ、

当該画素回路に対応する単位期間以外の各単位期間において、前記選択スイッチをオフ状態に制御する

請求項11の発光装置。

【請求項13】

請求項8から請求項12の何れかの発光装置を具備する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、有機EL(Electroluminescence)素子などの発光素子を駆動する技術に関する。

【背景技術】

【0002】

発光素子に供給される駆動電流の電流量を駆動トランジスタが制御する発光装置においては、駆動トランジスタや発光素子の電気的な特性の誤差(目標値からの相違や各素子間のバラツキ)が問題となる。特許文献1には、駆動トランジスタのゲート-ソース間に介在する保持容量の両端間の電圧を、駆動トランジスタの閾値電圧に設定してから階調値に応じた電圧に変化させることで、駆動トランジスタの閾値電圧および移動度の誤差(ひいては駆動電流の電流量の誤差)を補償する技術が開示されている。

20

【特許文献1】特開2007-310311号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかし、特許文献1の技術で駆動電流の誤差が有効に補償されるのは特定の階調値が指定された場合に限定され、階調値によっては駆動電流の誤差を解消できない場合がある。以上の事情に鑑みて、本発明は、複数の階調値について駆動電流の誤差を抑制することを目的とする。

【課題を解決するための手段】

【0004】

30

以上の課題を解決するために、本発明の第1の態様に係る画素回路の駆動方法は、相互に直列に接続された発光素子および駆動トランジスタと、発光素子と駆動トランジスタとの間の経路と駆動トランジスタのゲートとの間に介在する保持容量とを含む画素回路を駆動する方法であって、駆動トランジスタを導通させるとともに当該駆動トランジスタのゲートに基準電位(例えば基準電位 V_{REF})を供給することで保持容量の両端間の電圧を駆動トランジスタの閾値電圧に漸近させる第1補償動作を補償期間において実行し、補償期間の経過後の書込期間において、駆動トランジスタのゲートの電位を、当該画素回路に指定された階調値に応じた階調電位に変化させるとともに、保持容量の両端間の電圧を駆動トランジスタの閾値電圧に漸近させる第2補償動作を、当該階調値に応じて可変に設定された時間長(例えば時間長 t_b)にわたって実行し、書込期間の経過後の駆動期間において、駆動トランジスタのゲートに対する電位の供給を停止することで、保持容量の両端間の電圧に応じた駆動電流を発光素子に供給する。以上の駆動方法においては、第2補償動作の時間長が階調値(あるいは階調電位)に応じて可変に設定されるから、複数の階調値について駆動電流の誤差を有効に抑制することが可能である。

40

【0005】

さらに詳述すると、書込期間において階調電位を供給したときの保持容量の両端間の電圧の変化量(例えば電圧 V_{IN})が大きいほど、駆動電流の誤差を抑制できる第2補償動作の時間長が短くなるという傾向を前提とすれば、書込期間において階調電位を供給したときの保持容量の両端間の電圧の変化量(例えば電圧 V_{IN})が大きいほど第2補償動作の時間長が短くなるように、当該画素回路に指定された階調値に応じて第2補償動作の時間長

50

を可変に設定する。例えば、書込期間において階調電位を供給したときの保持容量の両端間の電圧の変化量と第2補償動作の時間長との乗算値が所定値に近づくように、当該画素回路に指定された階調値に応じて第2補償動作の時間長を可変に設定する。

【0006】

ところで、階調値が小さいほど、駆動電流の誤差が抑制される第2補償動作の時間長が長くなるという傾向のもとで、階調値が小さい場合にも駆動電流の誤差を最小化しようとするれば、過度に長い時間長を第2補償動作のために確保する必要がある。そこで、本発明の好適な態様においては、階調値が所定値を下回る場合に、第2補償動作の時間長を、階調値に依存しない所定値（例えば図10の時間長 t_{max} ）に設定する（すなわち、第2補償動作の時間長に上限を設定する）。以上の駆動方法によれば、階調値が小さい場合にも第2補償動作の時間長が適度な長さに抑制されるという利点がある。

10

【0007】

本発明の好適な態様において、補償期間では、保持容量の両端間の電圧を、第1補償動作によって駆動トランジスタの閾値電圧に設定する。以上の態様においては、駆動トランジスタの閾値電圧の誤差が第1補償動作で正確に補償されるという利点がある。以上の態様の具体例は、例えば第1実施形態として後述される。なお、保持容量の両端間の電圧が駆動トランジスタの閾値電圧に完全に合致するためには論理上は無限の時間長が必要となるから、本発明において「保持容量の両端間の電圧を駆動トランジスタの閾値電圧に設定する」とは、保持容量の両端間の電圧が駆動トランジスタの閾値電圧に十分に接近した状態（実質的に閾値電圧に到達した状態）を意味する。

20

【0008】

本発明の別の態様において、補償期間では、階調値に応じて可変に設定された時間長（例えば図17の時間長 t_1 ）にわたって第1補償動作を実行する。以上の態様においては、第1補償動作および第2補償動作の双方の時間長が階調値に応じて可変に設定されるから、第1補償動作の時間長のみを調整する場合と比較して広い範囲にわたる階調値について駆動電流の誤差を抑制することが可能である。なお、以上の態様の具体例は第4実施形態として後述される。

【0009】

本発明の第2の態様に係る画素回路の駆動方法は、複数の画素回路の各々について、当該画素回路に指定された階調値に応じた階調電位を信号線から当該画素回路の駆動トランジスタのゲートに供給することで、保持容量の両端間の電圧を駆動トランジスタの閾値電圧に漸近させる第2補償動作を、第1期間（例えば図14の期間 h_1 ）と第2期間（例えば図14の期間 h_2 ）とを各々が含む複数の単位期間のうち当該画素回路に対応する単位期間の第2期間において、当該階調値に応じて可変に設定された時間長にわたって実行する一方、駆動トランジスタを導通させるとともに駆動トランジスタのゲートに信号線から基準電位を供給することで保持容量の両端間の電圧を駆動トランジスタの閾値電圧に漸近させる第1補償動作を、当該画素回路に対応する単位期間の第2期間の開始前の2以上の第1期間において間欠的に実行し、当該画素回路に対応する単位期間の第2期間の経過後に、当該画素回路の駆動トランジスタのゲートに対する電位の供給を停止することで、保持容量の両端間の電圧に応じた駆動電流を発光素子に供給する。

30

40

【0010】

第2の態様においては、第2補償動作の時間長が階調値（あるいは階調電位）に応じて可変に設定されるから、第1の態様に係る駆動方法と同様に、複数の階調値について駆動電流の誤差を有効に抑制することが可能である。さらに、複数の単位期間の第1期間にわたって第1補償動作が間欠的に実行されるから、保持容量の両端間の電圧を第1補償動作で駆動トランジスタの閾値電圧に十分に接近させることができる。なお、以上の駆動方法の具体例は、例えば第2実施形態として後述される。また、共通の信号線が基準電位の供給と階調電位の供給とに兼用されるから、基準電位と階調電位とが別個の配線で各画素回路に供給される構成と比較して、画素回路の構成が簡素化されるという利点もある。なお、第1期間と第2期間との先後および比率や第1補償動作を実行する単位期間の個数は本

50

発明において任意である。

【 0 0 1 1 】

本発明の第 3 の態様に係る画素回路の駆動方法は、複数の画素回路の各々について、当該画素回路に指定された階調値に応じた階調電位を信号線から当該画素回路の駆動トランジスタのゲートに供給することで、保持容量の両端間の電圧を駆動トランジスタの閾値電圧に漸近させる第 2 補償動作を、複数の単位期間のうち当該画素回路に対応する単位期間において、当該階調値に応じて可変に設定された時間長にわたって実行する一方、駆動トランジスタを導通させるとともに駆動トランジスタのゲートに給電線（例えば図 1 5 の給電線 5 4）から基準電位を供給することで保持容量の両端間の電圧を駆動トランジスタの閾値電圧に漸近させる第 1 補償動作を、当該画素回路に対応する単位期間の開始前の 2 以上の単位期間にわたって実行し、当該画素回路に対応する単位期間の経過後に、当該画素回路の駆動トランジスタのゲートに対する電位の供給を停止することで、保持容量の両端間の電圧に応じた駆動電流を発光素子に供給する。

10

【 0 0 1 2 】

第 3 の態様においては、第 2 補償動作の時間長が階調値（あるいは階調電位）に応じて可変に設定されるから、第 1 の態様に係る駆動方法と同様に、複数の階調値について駆動電流の誤差を有効に抑制することが可能である。さらに、複数の単位期間の第 1 期間にわたって第 1 補償動作が間欠的に実行されるから、保持容量の両端間の電圧を第 1 補償動作で駆動トランジスタの閾値電圧に十分に接近させることができる。また、第 2 補償動作の時間長を最長で単位期間の全体の時間長まで設定できる（第 2 補償動作の時間長の変化幅を十分に確保できる）という利点もある。なお、第 1 補償動作を実行する単位期間の個数は本発明において任意である。

20

【 0 0 1 3 】

なお、第 1 の態様に係る画素回路の駆動方法において、第 1 補償動作が複数の単位期間にて実行されるか 1 個の単位期間にて実行されるか（補償期間が複数の単位期間にわたるか 1 個の単位期間に包含されるか）は不問であるから、第 2 の態様および第 3 の態様に係る駆動方法は、第 1 の態様に係る駆動方法の範囲に包含される。

【 0 0 1 4 】

本発明の第 1 の態様に係る発光装置は、相互に直列に接続された発光素子および駆動トランジスタと、発光素子と駆動トランジスタとの間の経路と駆動トランジスタのゲートとの間に介在する保持容量とを含む画素回路と、本発明の第 1 の態様に係る駆動方法を実行する駆動回路とを具備する。第 1 の態様に係る発光装置によれば、第 1 の態様に係る駆動方法と同様の効果が実現される。

30

【 0 0 1 5 】

本発明の第 2 の態様に係る発光装置は、相互に直列に接続された発光素子および駆動トランジスタと、発光素子と駆動トランジスタとの間の経路と駆動トランジスタのゲートとの間に介在する保持容量とを各々が含む複数の画素回路と、本発明の第 2 の態様に係る駆動方法を実行する駆動回路とを具備する。第 2 の態様に係る発光装置によれば、第 2 の態様に係る駆動方法と同様の効果が実現される。

【 0 0 1 6 】

40

第 2 の態様に係る発光装置の具体例において、複数の画素回路の各々は、駆動トランジスタのゲートと信号線との間に介在する選択スイッチ（例えば図 1 3 の選択スイッチ TSL）と、駆動トランジスタに流れる電流の経路上に配置された制御スイッチ（例えば図 1 3 の制御スイッチ TCR1）とを含み、駆動回路は、複数の画素回路の各々について、当該画素回路に対応する単位期間の第 2 期間の開始前の 2 以上の第 1 期間において、選択スイッチおよび制御スイッチをオン状態に制御するとともに信号線に基準電位を供給することで第 1 補償動作を実行させ、当該画素回路に対応する単位期間の第 2 期間において、選択スイッチおよび制御スイッチをオン状態に制御するとともに信号線に階調電位を供給することで第 2 補償動作を実行させ、当該画素回路に対応する単位期間の第 2 期間以外の各第 2 期間において、選択スイッチをオフ状態に制御する。

50

【 0 0 1 7 】

本発明の第 3 の態様に係る発光装置は、相互に直列に接続された発光素子および駆動トランジスタと、発光素子と駆動トランジスタとの間の経路と駆動トランジスタのゲートとの間に介在する保持容量とを各々が含む複数の画素回路と、本発明の第 3 の態様に係る駆動方法を実行する駆動回路とを具備する。第 3 の態様に係る発光装置によれば、第 3 の態様に係る駆動方法と同様の効果が実現される。

【 0 0 1 8 】

第 3 の態様に係る発光装置の具体例において、複数の画素回路の各々は、駆動トランジスタのゲートと信号線との間に介在する選択スイッチ（例えば図 1 5 の選択スイッチ TSL）と、駆動トランジスタのゲートと給電線との間に介在する制御スイッチ（例えば図 1 5 の制御スイッチ TCR2）とを含み、駆動回路は、複数の画素回路の各々について、当該画素回路に対応する単位期間の開始前の 2 以上の単位期間において、制御スイッチをオン状態に制御することで第 1 補償動作を実行させ、当該画素回路に対応する単位期間において、選択スイッチをオン状態に制御するとともに制御スイッチをオフ状態に制御して信号線に階調電位を供給することで第 2 補償動作を実行させ、当該画素回路に対応する単位期間以外の各単位期間において、選択スイッチをオフ状態に制御する。

【 0 0 1 9 】

以上の各態様に係る発光装置は各種の電子機器に利用される。電子機器の典型例は、発光装置を表示装置として利用した機器である。本発明に係る電子機器としてはパーソナルコンピュータや携帯電話機が例示される。もっとも、本発明に係る発光装置の用途は画像の表示に限定されない。例えば、光線の照射によって感光体ドラムなどの像担持体に潜像を形成するための露光装置（光ヘッド）としても本発明の発光装置が適用される。

【発明を実施するための最良の形態】

【 0 0 2 0 】

< A : 第 1 実施形態 >

図 1 は、本発明の第 1 実施形態に係る発光装置のブロック図である。発光装置 1 0 0 は、画像を表示する表示体として電子機器に搭載される。図 1 に示すように、発光装置 1 0 0 は、複数の画素回路 U が配列された素子部 1 0 と、各画素回路 U を駆動する駆動回路 3 0 とを具備する。駆動回路 3 0 は、走査線駆動回路 3 2 と信号線駆動回路 3 4 と電位制御回路 3 6 とを含んで構成される。駆動回路 3 0 は、例えば複数の集積回路に分散して実装される。ただし、駆動回路 3 0 の少なくとも一部は、基板上に形成された薄膜トランジスタで構成され得る。

【 0 0 2 1 】

素子部 1 0 には、X 方向に延在する m 本の走査線 1 2 と、X 方向に交差する Y 方向に延在する n 本の信号線 1 4 とが形成される（m, n は自然数）。複数の画素回路 U は、各走査線 1 2 と各信号線 1 4 との交差に配置されて縦 m 行 × 横 n 列の行列状に配列する。また、素子部 1 0 には、走査線 1 2 とともに X 方向に延在する m 本の給電線 1 6 が形成される。

【 0 0 2 2 】

走査線駆動回路 3 2 は、所定の順番で順次にアクティブレベル（ハイレベル）となる走査信号 GA（GA[1] ~ GA[m]）を各走査線 1 2 に出力することで各画素回路 U を行単位で順次に選択する。電位制御回路 3 6 は、電位 VEL（VEL[1] ~ VEL[m]）を生成して各給電線 1 6 に出力する。

【 0 0 2 3 】

信号線駆動回路 3 4 は、画素回路 U の動作を規定する信号 S（S[1] ~ S[n]）を生成して各信号線 1 4 に出力する。図 1 に示すように、信号線駆動回路 3 4 は、各信号線 1 4 に対応する n 個の単位回路 4 0 を具備する。第 j 番目（j = 1 ~ n）の単位回路 4 0 は信号 S[j] を第 j 番目の信号線 1 4 に出力する。単位回路 4 0 は、信号 S[j] を、例えば、走査線駆動回路 3 2 による選択行の第 j 列目の画素回路 U に指定された階調値 D に対応する電位（以下「階調電位」という）V DATA に設定する。

【 0 0 2 4 】

図 2 は、画素回路 U の回路図である。図 2 においては、第 i 行 ($i = 1 \sim m$) に属する第 j 列の 1 個の画素回路 U のみが代表的に図示されている。図 2 に示すように、画素回路 U は、発光素子 E と駆動トランジスタ TDR と選択スイッチ TSL と保持容量 C1 とを含んで構成される。発光素子 E と駆動トランジスタ TDR とは、給電線 16 と給電線 18 とを結ぶ経路上に直列に接続される。給電線 18 (接地線) には電源回路 (図示略) から所定の電位 V_{CT} が供給される。発光素子 E は、相対向する陽極と陰極との間に有機 EL (Electroluminescence) 材料の発光層を介在させた有機 EL 素子である。図 2 に示すように、発光素子 E には容量 C2 (容量値 c_{p2}) が付随する。

【 0 0 2 5 】

10

駆動トランジスタ TDR は、給電線 16 にドレインが接続されるとともにソースが発光素子 E の陽極に接続された N チャネル型のトランジスタ (例えば薄膜トランジスタ) である。保持容量 C1 (容量値 c_{p1}) は、駆動トランジスタ TDR のゲートとソースとの間に介在する。選択スイッチ TSL は、信号線 14 と駆動トランジスタ TDR のゲートとの間に介在して両者の電気的な接続 (導通 / 非導通) を制御する。選択スイッチ TSL のゲートは走査線 12 に接続される。

【 0 0 2 6 】

次に、図 3 を参照して、第 i 行に属する第 j 列目の画素回路 U に着目して駆動回路 30 の動作 (画素回路 U を駆動する方法) を説明する。図 3 に示すように、走査線駆動回路 32 は、垂直走査期間内の第 i 番目の単位期間 $H[i]$ にて走査信号 $GA[i]$ をアクティブレベル (ハイレベル) に設定する。走査信号 $GA[i]$ がアクティブレベルに設定されると、第 i 行に属する n 個の画素回路 U の選択スイッチ TSL が同時にオン状態に変化する。

20

【 0 0 2 7 】

図 3 に示すように、単位期間 $H[i]$ は、初期化期間 PRS と補償期間 PCP と書込期間 PWR とを含む。駆動トランジスタ TDR のゲート - ソース間の電圧 (すなわち保持容量 C1 の両端間の電圧) V_{GS} は、初期化期間 PRS にて所定の電圧に初期化され、初期化期間 PRS の経過後の補償期間 PCP にて駆動トランジスタ TDR の閾値電圧 V_{TH} に漸近する。補償期間 PCP の経過後の書込期間 PWR において、駆動トランジスタ TDR の電圧 V_{GS} は、画素回路 U に指定された階調値 D に応じた電圧に設定される。単位期間 $H[i]$ の経過後の駆動期間 PDR においては、駆動トランジスタ TDR の電圧 V_{GS} に応じた駆動電流 I_{DR} が給電線 16 から駆動トランジスタ TDR を経由して発光素子 E に供給される。発光素子 E は、駆動電流 I_{DR} に応じた輝度で発光する。以下では、初期化期間 PRS と補償期間 PCP と書込期間 PWR と駆動期間 PDR とに区分して、画素回路 U の具体的な動作を説明する。

30

【 0 0 2 8 】

[1] 初期化期間 PRS (図 4)

図 3 および図 4 に示すように、初期化期間 PRS においては、信号線駆動回路 34 が信号 $S[j]$ を基準電位 V_{REF} に設定し、電位制御回路 36 が電位 $V_{EL}[i]$ を電位 V_2 に設定する。選択スイッチ TSL はオン状態であるから、駆動トランジスタ TDR のゲートの電位 V_G は、信号線 14 と選択スイッチ TSL とを介して信号 $S[j]$ の基準電位 V_{REF} に設定される。また、駆動トランジスタ TDR のソースの電位 V_S は電位 V_2 に設定される。すなわち、駆動トランジスタ TDR の電圧 V_{GS} (保持容量 C1 の両端間の電圧) は、基準電位 V_{REF} と電位 V_2 との差分の電圧 V_{GS1} ($V_{GS1} = V_{REF} - V_2$) に初期化される。

40

【 0 0 2 9 】

基準電位 V_{REF} および電位 V_2 は、以下の数式 (1) のように両者の差分の電圧 V_{GS1} が駆動トランジスタ TDR の閾値電圧 V_{TH} を十分に上回り、かつ、数式 (2) のように発光素子 E の両端間の電圧 ($V_2 - V_{CT}$) が発光素子 E の閾値電圧 V_{TH_OLED} を十分に下回るように設定される。したがって、初期化期間 PRS においては、駆動トランジスタ TDR がオン状態となり、発光素子 E がオフ状態 (非発光状態) となる。

$$V_{GS1} = V_{REF} - V_2 \quad V_{TH} \quad \dots \dots (1)$$

$$V_2 - V_{CT} \quad V_{TH_OLED} \dots \dots (2)$$

50

【 0 0 3 0 】

[2] 補償期間 P CP (図 5)

図 3 および図 5 に示すように、補償期間 P CP が開始すると、電位制御回路 3 6 は、給電線 1 6 の電位 $V_{EL}[i]$ (駆動トランジスタ T DR のドレインの電位) を電位 V_1 に変化させる。図 3 に示すように、電位 V_1 は、電位 V_2 や基準電位 V_{REF} を十分に上回る。一方、信号線駆動回路 3 4 は、初期化期間 P RS と同様に信号 $S[j]$ を基準電位 V_{REF} に維持する。選択スイッチ T SL は補償期間 P CP でもオン状態を維持するから、駆動トランジスタ T DR のゲートの電位 V_G は基準電位 V_{REF} に維持される。駆動トランジスタ T DR は初期化期間 P RS にてオン状態に遷移しているから、以上の状態のもとでは、図 5 に示すように、以下の数式 (3) で表現される電流 I_{ds} が駆動トランジスタ T DR のドレインとソースとの間に流れる。数式 (3) の μ は駆動トランジスタ T DR の移動度である。また、 W/L は、駆動トランジスタ T DR のチャネル長 L に対するチャネル幅 W の相対比であり、 C_{ox} は、駆動トランジスタ T DR のゲート絶縁膜の単位面積あたりの容量である。

$$I_{ds} = 1/2 \cdot \mu \cdot W/L \cdot C_{ox} \cdot (V_{GS} - V_{TH})^2 \dots \dots (3)$$

【 0 0 3 1 】

給電線 1 6 から駆動トランジスタ T DR を経由して電流 I_{ds} が流れることで保持容量 C_1 および容量 C_2 に電荷が充電される。したがって、図 3 に示すように駆動トランジスタ T DR のソースの電位 V_S は徐々に上昇する。駆動トランジスタ T DR のゲートの電位 V_G は基準電位 V_{REF} に固定されるから、駆動トランジスタ T DR のゲート - ソース間の電圧 V_{GS} はソースの電位 V_S の上昇とともに低下する。数式 (3) から理解されるように電圧 V_{GS} が低下して閾値電圧 V_{TH} に接近するほど電流 I_{ds} は減少する。したがって、補償期間 P CP においては、駆動トランジスタ T DR の電圧 V_{GS} を、初期化期間 P RS にて設定された電圧 V_{GS1} ($V_{GS1} = V_{REF} - V_2$) から閾値電圧 V_{TH} に漸近させる動作 (以下「第 1 補償動作」という) が実行される。補償期間 P CP の時間長は、駆動トランジスタ T DR の電圧 V_{GS} が補償期間 P CP の終点にて閾値電圧 V_{TH} に十分に接近する (理想的には合致する) ように設定される。したがって、駆動トランジスタ T DR は、補償期間 P CP の終点にて殆どオフ状態となる。

【 0 0 3 2 】

[3] 書込期間 P WR (図 6)

図 3 に示すように、書込期間 P WR は待機期間 P WR1 と動作期間 P WR2 とに区分される。待機期間 P WR1 は、書込期間 P WR の始点から時間長 t_a が経過するまでの期間であり、動作期間 P WR2 は、書込期間 P WR の残余の期間 (待機期間 P WR1 の終点から書込期間 P WR の終点までの時間長 t_b の期間) である。動作期間 P WR2 の時間長 t_b は、画素回路 U に指定された階調値 D に応じて可変に設定される。すなわち、図 3 に示すように、階調値 D が高階調 (高輝度) を指定する場合の時間長 t_b は、階調値 D が低階調 (低輝度) を指定する場合の時間長 t_b と比較して短い。書込期間 P WR の時間長は固定値であるから、待機期間 P WR1 の時間長 t_a は時間長 t_b (階調値 D) に応じて変化する。なお、動作期間 P WR2 の時間長 t_b の設定については後述する。

【 0 0 3 3 】

図 3 に示すように、待機期間 P WR1 では補償期間 P CP の状態が維持される。すなわち、駆動トランジスタ T DR のゲートに対する基準電位 V_{REF} の供給が継続されたまま、駆動トランジスタ T DR は、第 1 補償動作で電圧 V_{GS} が閾値電圧 V_{TH} に設定された結果としてオフ状態を維持する。

【 0 0 3 4 】

図 3 および図 6 に示すように、時間長 t_a が経過して動作期間 P WR2 の始点が到来すると、信号線駆動回路 3 4 は、信号 $S[j]$ を階調電位 V_{DATA} に変化させる。階調電位 V_{DATA} は、画素回路 U (発光素子 E) に指定された階調値 D に応じて可変に設定される。選択スイッチ T SL は動作期間 P WR2 でもオン状態を維持するから、駆動トランジスタ T DR のゲートの電位 V_G は、待機期間 P WR1 における基準電位 V_{REF} から階調電位 V_{DATA} に変化する。駆動トランジスタ T DR のゲートとソースとの間には保持容量 C_1 が介在するから、図 3 に示すように、駆動トランジスタ T DR のソースの電位 V_S はゲートの電位 V_G に連動して変化 (

上昇)する。動作期間 PWR2の開始の直後における電位 V Sの変化量は、電位 V Gの変化量 ΔV_{DATA} ($\Delta V_{DATA} = V_{DATA} - V_{REF}$) を保持容量 C 1と容量 C 2との容量比に応じて分割した電圧 ($\Delta V_{DATA} \cdot c_{p1} / (c_{p1} + c_{p2})$) に相当する。したがって、動作期間 PWR2の開始の直後における駆動トランジスタ TDRのゲート - ソース間 (保持容量 C 1の両端間) の電圧 VGS2は、図 6 に示すように以下の数式(4)で表現される。数式(4)における電圧 V INは、駆動トランジスタ TDRのゲートに階調電位 V DATAを供給したときのゲート - ソース間の電圧 VGSの変化量 ($\Delta V_{DATA} \cdot c_{p2} / (c_{p1} + c_{p2})$) に相当する。

$$\begin{aligned} V_{GS2} &= V_{TH} + \Delta V_{DATA} \cdot c_{p2} / (c_{p1} + c_{p2}) \\ &= V_{IN} + V_{TH} \quad \dots \dots (4) \end{aligned}$$

【 0 0 3 5 】

10

以上のように電圧 VGS2が階調電位 V DATA (さらに詳細には階調電位 V DATAと基準電位 V REFとの差分) に応じて閾値電圧 V THを上回る電圧に設定されることで、駆動トランジスタ TDRはオン状態に変化する。したがって、駆動トランジスタ TDRのドレイン - ソース間には数式(3)の電流 I dsが流れる。

【 0 0 3 6 】

電流 I dsによる保持容量 C 1や容量 C 2の充電とともに駆動トランジスタ TDRのソースの電位 V S (容量 C 2の両端間の電圧) は徐々に上昇する。一方、駆動トランジスタ TDRのゲートの電位 V Gは動作期間 PWR2にて階調電位 V DATAに維持される。したがって、駆動トランジスタ TDRのゲート - ソース間の電圧 VGSは、動作期間 PWR2の開始の直後の電圧 VGS2から電位 V Sの上昇とともに低下する。電圧 VGSが閾値電圧 V THに接近するほど電流 I dsは減少するから、補償期間 PCPと同様に、書込期間 PWRの動作期間 PWR2においては、駆動トランジスタ TDRの電圧 VGSを、階調電位 V DATAの供給で設定された電圧 VGS2から閾値電圧 V THに漸近させる動作 (以下「第 2 補償動作」という) が実行される。したがって、動作期間 PWR2の終点 (書込期間 PWRの終点) においては、図 3 に示すように、駆動トランジスタ TDRのゲート - ソース間の電圧 VGSが、式(4)の電圧 VGS2よりも電圧 ΔV だけ低い数式(5)の電圧 VGS3に設定される。電圧 ΔV は、第 2 補償動作による駆動トランジスタ TDRのソースの電位 V Sの変化量に相当する。

20

$$\begin{aligned} V_{GS3} &= V_{GS2} - \Delta V \\ &= V_{IN} + V_{TH} - \Delta V \quad \dots \dots (5) \end{aligned}$$

電圧 VGS3は、階調電位 V DATAおよび時間長 t bに応じて変化する。したがって、動作期間 PWR2の時間長 t bを階調値 D に応じて制御する動作は、動作期間 PWR2の終点における電圧 VGS3を階調値 D に応じて可変に制御する動作としても把握される。

30

【 0 0 3 7 】

動作期間 PWR2の始点から駆動トランジスタ TDRがオン状態に変化するまでの時間長は十分に短いから、動作期間 PWR2の時間長 t bは第 2 補償動作が実行される時間長に相当する。時間長 t bは、動作期間 PWR2の終点における駆動トランジスタ TDRのゲート - ソース間の電圧 VGS3が、閾値電圧 V THと同等の電圧 (階調値 D が最低階調を指定する場合) または閾値電圧 V THを上回る電圧となる範囲内で設定される。すなわち、階調値 D が最低階調以外の階調を指定する場合には動作期間 PWR2の終点にて駆動トランジスタ TDRはオン状態を維持する。

40

【 0 0 3 8 】

[4] 駆動期間 PDR (図 7)

図 3 および図 7 に示すように、駆動期間 PDRが開始すると、走査線駆動回路 3 2 は走査信号 GA[i] を非アクティブレベル (ローレベル) に変化させる。したがって、第 i 行目の各画素回路 U の選択スイッチ TSLはオフ状態に変化し、駆動トランジスタ TDRのゲートは電氣的なフローティング状態となる (すなわち、駆動トランジスタ TDRのゲートに対する電位の供給が停止する)。一方、書込期間 PWRにてオン状態に設定された駆動トランジスタ TDRのドレイン - ソース間に数式(3)の電流 I dsが流れることで容量 C 2が充電される。したがって、図 3 に示すように、駆動トランジスタ TDRの電圧 VGSが書込期間 PWRの終点での電圧 VGS3に維持されたまま、容量 C 2の両端間の電圧 (駆動トランジスタ TDRのソー

50

スの電位 V_S) が徐々に増加する。そして、容量 C_2 の両端間の電圧が発光素子 E の閾値電圧 V_{TH_OLED} に到達した時点で電流 I_{ds} が駆動電流 I_{DR} として発光素子 E を流れる。したがって、駆動電流 I_{DR} は以下の数式 (6) で表現される。

$$\begin{aligned} I_{DR} &= 1/2 \cdot \mu \cdot W/L \cdot C_{ox} \cdot (V_{GS3} - V_{TH})^2 \\ &= 1/2 \cdot \mu \cdot W/L \cdot C_{ox} \cdot \{ (V_{IN} + V_{TH} - \Delta V) - V_{TH} \}^2 \\ &= K \cdot (V_{IN} - \Delta V)^2 \quad \dots \dots (6) \\ K &= 1/2 \cdot \mu \cdot W/L \cdot C_{ox} \end{aligned}$$

以上のように駆動電流 I_{DR} は、階調電位 V_{DATA} を反映した電圧 V_{GS3} に応じた電流量に制御されるから、発光素子 E は階調電位 V_{DATA} (すなわち階調値 D) に応じた輝度で発光する。発光素子 E の発光は、走査信号 $GA[i]$ が次にアクティブレベルとなる単位期間 $H[i]$ の開始まで継続される。

【0039】

数式 (5) の電圧 V_{GS3} は、補償期間 P_{CP} で設定された閾値電圧 V_{TH} を階調電位 V_{DATA} に応じて変化させた電圧であるから、数式 (6) に示すように駆動電流 I_{DR} は閾値電圧 V_{TH} に依存しない。したがって、各画素回路 U の駆動トランジスタ T_{DR} の閾値電圧 V_{TH} に誤差がある場合でも、駆動電流 I_{DR} は階調電位 V_{DATA} に対応した目標値に設定される。すなわち、各画素回路 U の駆動トランジスタ T_{DR} の閾値電圧 V_{TH} に起因した駆動電流 I_{DR} の誤差は、補償期間 P_{CP} における第 1 補償動作で補償される。

【0040】

また、数式 (6) の電圧 ΔV (第 2 補償動作による駆動トランジスタ T_{DR} のゲート - ソース間の電圧 V_{GS} の変化量) は駆動トランジスタ T_{DR} の移動度 μ に依存する。さらに詳述すると、駆動トランジスタ T_{DR} の移動度 μ が大きいほど電圧 ΔV は増加する。以上のように駆動トランジスタ T_{DR} の移動度 μ が第 2 補償動作で駆動電流 I_{DR} に反映されるから、駆動トランジスタ T_{DR} の移動度 μ に起因した駆動電流 I_{DR} の誤差を、書込期間 P_{WR} (動作期間 P_{WR2}) における第 2 補償動作で補償することが可能である。

【0041】

しかし、第 2 補償動作の時間長 t_b を、階調値 D に依存しない所定値に固定した構成 (以下「対比例」という) のもとでは、以下に説明するように、駆動トランジスタ T_{DR} の移動度 μ の誤差を有効に補償できるのが、特定の階調値 D (階調電位 V_{DATA}) を指定した場合に制限されるという問題がある。

【0042】

図 8 は、対比例における階調電位 V_{DATA} と駆動電流 I_{DR} の電流量の誤差との相関を示すグラフである。図 8 の横軸は、基準電位 V_{REF} を基準値 (0.0) とした階調電位 V_{DATA} の電圧値を意味し、図 8 の縦軸は、所定の階調値 D が指定された場合の駆動電流 I_{DR} の電流量の最大値と最小値との相対比 (最大誤差比) を意味する。図 8 から理解されるように、第 2 補償動作の時間長 t_b を固定値とした場合、階調電位 V_{DATA} が所定値 V_{D0} に設定された場合には駆動電流 I_{DR} の誤差は確かに低減されるが、階調電位 V_{DATA} が所定値 V_{D0} から離れるほど駆動電流 I_{DR} の誤差が増大する。すなわち、対比例においては、駆動トランジスタ T_{DR} の移動度 μ に起因した駆動電流 I_{DR} の誤差を階調電位 V_{DATA} の広い範囲にわたって抑制することが困難であるという問題がある。

【0043】

図 9 は、動作期間 P_{WR2} の時間長 t_b と駆動電流 I_{DR} の誤差 (最大誤差比) との関係を示すグラフである。駆動電流 I_{DR} の誤差が最小となる時間長 t_b は階調電位 V_{DATA} に応じて相違するという傾向が図 9 から見出される。すなわち、階調電位 V_{DATA} が高いほど、駆動電流 I_{DR} の誤差が最小となる時間長 t_b は短くなる。以上の知見から、本形態においては、動作期間 P_{WR2} の時間長 t_b を階調値 D (階調電位 V_{DATA}) に応じて可変に設定することで、階調電位 V_{DATA} の高低に拘わらず駆動電流 I_{DR} の誤差を抑制する。例えば、階調電位 V_{DATA} が図 9 の電位 V_{D1} に設定される場合には時間長 t_b が所定値 T_1 に設定され、階調電位 V_{DATA} が電位 V_{D1} よりも高い電位 V_{D2} に設定される場合には時間長 t_b が所定値 T_2 (

10

20

30

40

50

$T2 < T1$) に設定されるといった具合である。

【 0 0 4 4 】

次に、動作期間 PWR2内の第2補償動作について詳細に検討する。第2補償動作の実行中に駆動トランジスタTDRのドレイン - ソース間に流れる電流 I_{ds} と、電流 I_{ds} で充電される容量 (保持容量 $C1$ および容量 $C2$) の容量値との間には、以下の数式(7)の関係が成立する。数式(7)における C は、保持容量 $C1$ と容量 $C2$ との容量値の合計 ($C = c_{p1} + c_{p2}$) である。

$$I_{ds} = dQ / dt = C \cdot (dV_S / dt) \quad \dots\dots(7)$$

また、駆動トランジスタTDRのソースの電位 V_S の時間的な変化が電圧 ΔV の時間的な変化と同等であること ($dV_S / dt = d\Delta V / dt$) を考慮すると、数式(6)と数式(7)とから以下の数式(8)が導出される。なお、数式(8)における電圧 $\Delta V(t)$ は、第2補償動作の開始 (動作期間 PWR2の始点) から経過した時間 t に応じて数式(6)の電圧 ΔV が変化することを意味する。

$$C (d\Delta V / dt) = K (V_{IN} - \Delta V(t))^2 \quad \dots\dots(8)$$

【 0 0 4 5 】

動作期間 PWR2の始点 ($t = 0$) において電圧 $\Delta V(t)$ ($\Delta V(0)$) がゼロであるという条件のもとで数式(8)を積分すると、動作期間 PWR2の終点 ($t = t_b$) における駆動トランジスタTDRのドレイン - ソース間の電流 $I_{ds}(t_b)$ を表す以下の数式(9)が導出される。

【数1】

$$I_{ds}(t_b) = K \left(\frac{V_{IN}}{1 + V_{IN} \frac{K t_b}{C}} \right)^2 \quad \dots\dots(9)$$

【 0 0 4 6 】

数式(9)の係数 K は、数式(6)に併記したように駆動トランジスタTDRの移動度 μ を含むから、移動度 μ の誤差の程度を表す指標に相当する。駆動期間 PDRにて発光素子 E に供給される駆動電流 I_{DR} は数式(9)の電流 $I_{ds}(t_b)$ に依存するから、駆動電流 I_{DR} の誤差を最小化するためには、係数 K (移動度 μ) の変動に対する電流 $I_{ds}(t_b)$ の誤差を最小化する必要がある。そして、係数 K の変動に対して電流 $I_{ds}(t_b)$ の誤差が最小となるのは、数式(9)を係数 K で微分した結果がゼロとなる場合である。以上の条件から数式(10)が導出される。

【数2】

$$\frac{dI_{ds}}{dK} = \left(\frac{V_{IN}}{1 + V_{IN} \frac{K t_b}{C}} \right)^2 \left(\frac{C - K V_{IN} t_b}{C + K V_{IN} t_b} \right) = 0 \quad \dots\dots(10)$$

【 0 0 4 7 】

したがって、第2補償動作による駆動電流 I_{DR} の補償の効果が最大となる条件は以下の

数式(11)で表現される。

$$C = K V_{IN} t_b \dots\dots(11)$$

数式(11)の電圧 V_{IN} は階調電位 V_{DATA} に応じて設定されるから、階調電位 V_{DATA} と動作期間 $PWR2$ の時間長 t_b とについて、図9を参照して説明したのと同様の条件(階調電位 V_{DATA} が高いほど時間長 t_b を短くする)が数式(11)からも確認される。さらに詳述すると、電圧 V_{IN} と動作期間 $PWR2$ の時間長 t_b との乗算値(あるいは階調電位 V_{DATA} と時間長 t_b との乗算値)が所定値となる場合に、第2補償動作による駆動電流 I_{DR} の補償の効果が最大となる。

【0048】

図9および数式(11)を参照して説明した以上の知見から、本形態においては、階調電位 V_{DATA} と時間長 t_b との関係を図10のように設定する。図10に示すように、階調電位 V_{DATA} が高い(階調電位 V_{DATA} の供給による駆動トランジスタ T_{DR} のゲート-ソース間の電圧 V_{GS} の変化量 V_{IN} が高い)ほど、動作期間 $PWR2$ の時間長 t_b は短い時間に設定される。さらに詳述すると、数式(11)から理解されるように、階調電位 V_{DATA} (電圧 V_{IN})と時間長 t_b との乗算値が所定値となる(時間長 t_b が階調電位 V_{DATA} に対して反比例する)ように時間長 t_b が設定される。例えば、複数種の階調電位 V_{DATA} の各々に対応する時間長 t_b は、当該階調電位 V_{DATA} に応じて設定される駆動電流 I_{DR} の誤差が例えば1%以下に低減(理想的には最小化)されるように設定される。

【0049】

ただし、駆動電流 I_{DR} の誤差を最小化するための時間長 t_b は階調電位 V_{DATA} が低いほど長いから、階調電位 V_{DATA} が十分に低い場合(例えば最低階調が指定された場合)にも駆動電流 I_{DR} の誤差を厳密に最小化しようとするれば、時間長 t_b を過度に長い時間に設定する必要がある。そこで、本形態の信号線駆動回路34は、図10に示すように、所定値を下回る階調値 D が指定された場合(階調電位 V_{DATA} が図10の電位 V_{D_th} を下回る場合)、動作期間 $PWR2$ の時間長 t_b を、階調値 D に依存しない所定値 t_{max} に設定(クリップ)する。最大値 t_{max} は、駆動トランジスタ T_{DR} の電圧 V_{GS} が第2補償動作で閾値電圧 V_{TH} まで低下するのに必要な時間長よりも短い時間に制限される。以上の構成によれば、書込期間 PWR (さらには単位期間 H)を短くすることが可能である。

【0050】

図3を参照して説明したように、書込期間 PWR 内の第2補償動作は、信号 $S[j]$ (駆動トランジスタ T_{DR} のゲートの電位 V_G)が基準電位 V_{REF} から階調電位 V_{DATA} に変化することで開始する。そこで、信号線駆動回路34の各单位回路40は、信号 $S[j]$ を基準電位 V_{REF} から階調電位 V_{DATA} に変化させる時点を階調値 D に応じて調整することで、動作期間 $PWR2$ の時間長 t_b (待機期間 $PWR1$ の時間長 t_a)を可変に制御する。

【0051】

図11は、信号線駆動回路34の単位回路40のブロック図である。図11においては信号 $S[j]$ を生成および出力する1個の単位回路40のみが代表的に図示されている。図11に示すように、単位回路40は、電位生成部42と電位選択部44と時間調整部46とを含んで構成される。第 j 番目の画素回路 U の階調値 D が電位生成部42と時間調整部46とに供給される。

【0052】

電位生成部42は、階調値 D に応じた階調電位 V_{DATA} を生成する。例えば、電圧出力型の D/A 変換器が電位生成部42として利用される。電位選択部44には、電源回路(図示略)が生成した基準電位 V_{REF} と電位生成部42が生成した階調電位 V_{DATA} とが供給される。電位選択部44は、基準電位 V_{REF} と階調電位 V_{DATA} との何れかを選択的に信号 $S[j]$ として信号線14に出力する。さらに詳述すると、電位選択部44は、初期化期間 PRS および補償期間 PCP と書込期間 PWR の待機期間 $PWR1$ とにおいて基準電位 V_{REF} を出力し、書込期間 PWR の動作期間 $PWR2$ にて階調電位 V_{DATA} を出力する。

【0053】

時間調整部46は、電位選択部44が信号 $S[j]$ の電位を基準電位 V_{REF} から階調電位 V

10

20

30

40

50

DATAに変更する時点（すなわち待機期間 PWR1と動作期間 PWR2との境界）を階調値 D に応じて可変に制御する。例えば、書込期間 PWRの始点にて計数を開始するとともに計数値が階調値 D に応じた数値に到達した時点（計数の開始から時間長 t_a が経過した時点）で電位の切替（ $V_{REF} \rightarrow V_{DATA}$ ）の指示を電位選択部 44 に出力するカウンタ回路が時間調整部 46 として利用される。時間調整部 46 が時間長 t_b を最大値 t_{max} に制限する点は前述の通りである。

【0054】

図 12 は、本形態における階調電位 V_{DATA} と駆動電流 I_{DR} の誤差との関係（実線）を示すグラフである。図 12 においては、対比例における階調電位 V_{DATA} と駆動電流 I_{DR} の誤差との相関（図 8）が破線で併記されている。図 12 に示すように、本形態によれば、第 2 補償動作の時間長 t_b が階調値 D によらず固定された対比例（例えば特許文献 1）と比較して、階調電位 V_{DATA} の広い範囲にわたって駆動電流 I_{DR} の誤差が 1% 以下に抑制されるという利点がある。

10

【0055】

なお、図 12 において階調電位 V_{DATA} の低位側の領域で駆動電流 I_{DR} の誤差が僅かに増加しているのは、時間長 t_b の上限を最大値 t_{max} に制限した影響と考えられる。もっとも、駆動電流 I_{DR} の誤差が低位側で増加しているとは言っても、対比例と比較して駆動電流 I_{DR} の誤差が大幅に改善されることは図 12 から明白である。

【0056】

駆動電流 I_{DR} の誤差の主要因は駆動トランジスタ TDR の閾値電圧 V_{TH} および移動度 μ の誤差である。閾値電圧 V_{TH} の誤差は、駆動トランジスタ TDR の電圧 V_{GS} を閾値電圧 V_{TH} に設定する第 1 補償動作で補償されるから、第 2 補償動作は、駆動トランジスタ TDR の移動度 μ の誤差を補償するための動作として把握される。すなわち、本形態においては、駆動トランジスタ TDR の移動度 μ の誤差が階調電位 V_{DATA} の広い範囲にわたって補償されるように、動作期間 PWR2 の時間長 t_b が階調値 D に応じて可変に制御される。

20

【0057】

< B : 第 2 実施形態 >

次に、本発明の第 2 実施形態について説明する。なお、以下の各形態において作用や機能が第 1 実施形態と同様である要素については、以上と同じ符号を付して各々の詳細な説明を適宜に省略する。

30

【0058】

第 1 実施形態においては、単位期間 $H[i]$ 内の補償期間 PCP にて第 i 行の各画素回路 U について第 1 補償動作を実行した。しかし、駆動トランジスタ TDR のゲート - ソース間の電圧 V_{GS} が閾値電圧 V_{TH} に到達するまでに相当の時間が掛かる場合、単位期間 $H[i]$ を長時間に設定する必要がある。そして、単位期間 $H[i]$ が長期化するほど画素回路 U の高精細化（行数の増加）が制約されるという問題がある。そこで、本形態においては、複数の単位期間 H にわたって第 1 補償動作を実行することで、単位期間 H の時間長を短縮しながら駆動トランジスタ TDR の電圧 V_{GS} を確実に閾値電圧 V_{TH} に設定する。

【0059】

図 13 は、第 2 実施形態における画素回路 U の回路図である。図 13 に示すように、本形態の画素回路 U は、第 1 実施形態の画素回路 U に制御スイッチ TCR1 を追加した構成である。制御スイッチ TCR1 は、駆動トランジスタ TDR のドレイン - ソース間の電流 I_{ds} （駆動電流 I_{DR} ）の経路上に配置される。例えば、図 13 に示すように、駆動トランジスタ TDR のドレインと給電線 16 との間に介在する N チャネル型のトランジスタが制御スイッチ TCR1 として好適である。

40

【0060】

素子部 10 内には、走査線 12 とともに X 方向に延在する m 本の制御線 52 が形成される。図 13 に示すように、第 i 行目の各画素回路 U における制御スイッチ TCR1 のゲートは第 i 行目の制御線 52 に接続される。各制御線 52 には駆動回路 30（例えば走査線駆動回路 32）から制御信号 GB（ $GB[1] \sim GB[m]$ ）が供給される。制御スイッチ TCR1 がオ

50

ン状態に遷移すると電流 I_{ds} の経路が確立し、制御スイッチ T_{CR1} がオフ状態に遷移すると電流 I_{ds} の経路が遮断される。

【 0 0 6 1 】

第 1 補償動作および第 2 補償動作のためには駆動トランジスタ T_{DR} に電流 I_{ds} を流す必要があるから、第 1 補償動作や第 2 補償動作の実行時には制御スイッチ T_{CR1} がオン状態に設定される。また、駆動トランジスタ T_{DR} のゲート - ソース間の電圧 V_{GS} を数式 (1) の電圧 V_{GS1} に初期化する動作（以下「初期化動作」という）時には駆動トランジスタ T_{DR} のソースの電位 V_S が給電線 16 の電位 V_2 （電位 $V_{EL}[i]$ ）に設定されるから、制御スイッチ T_{CR1} は初期化動作時にもオン状態に設定される。

【 0 0 6 2 】

10

図 14 は、画素回路 U を駆動する方法を説明するためのタイミングチャートである。図 14 の部分 (A) に示すように、複数の単位期間 H （... $H[i-3]$, $H[i-2]$, $H[i-1]$, $H[i]$, $H[i+1]$, ...）の各々は期間 h_1 と期間 h_2 とに区分される。期間 h_1 は単位期間 H の前半の期間であり、期間 h_2 は単位期間 H の後半の期間である。駆動回路 30 は、画素回路 U に対する階調電位 V_{DATA} の供給と第 2 補償動作と（図 14 の部分 (B) の「書込・補償[2]」）を単位期間 H の期間 h_2 毎に行単位で順次に行う。すなわち、単位期間 $H[i]$ の期間 h_2 が第 i 行の各画素回路 U の書込期間 PWR に相当する。

【 0 0 6 3 】

図 14 の部分 (A) に示すように、走査線駆動回路 32 は、単位期間 $H[i]$ の期間 h_2 にて走査信号 $GA[i]$ および制御信号 $GB[i]$ をアクティブレベルに設定することで第 i 行の各画素回路 U における選択スイッチ T_{SL} および制御スイッチ T_{CR1} をオン状態に制御する。一方、信号線駆動回路 34 は、単位期間 $H[i]$ の期間 h_2 のうち始点から時間長 t_a が経過した時点（動作期間 PWR_2 の始点）で信号 $S[j]$ を基準電位 V_{REF} から第 i 行の画素回路 U の階調電位 $V_{DATA}[i]$ に変化させる。したがって、図 14 の部分 (A) に示すように、第 i 行の各画素回路 U においては、単位期間 $H[i]$ の期間 h_2 のうち階調値 D に応じた時間長 t_b にわたって第 2 補償動作が実行される。

20

【 0 0 6 4 】

また、駆動回路 30 は、第 i 行の各画素回路 U の初期化動作（図 14 の部分 (B) における「初期化」）と第 1 補償動作（図 14 の部分 (B) における「補償[1]」）とを単位期間 $H[i]$ の期間 h_2 の開始前の複数の期間 h_1 にて実行する。まず、単位期間 $H[i]$ の 3 個前の単位期間 $H[i-3]$ の期間 h_1 において、走査線駆動回路 32 は、走査信号 $GA[i]$ および制御信号 $GB[i]$ をアクティブレベルに設定することで第 i 行の各画素回路 U の選択スイッチ T_{SL} および制御スイッチ T_{CR1} をオン状態に設定する。また、図 14 の部分 (A) に示すように、信号線駆動回路 34 は信号 $S[j]$ を基準電位 V_{REF} に設定し、電位制御回路 36 は電位 $V_{EL}[i]$ を電位 V_2 に設定する。したがって、第 i 行の各画素回路 U における駆動トランジスタ T_{DR} のゲート - ソース間の電圧 V_{GS} は、単位期間 $H[i-3]$ の期間 h_1 を初期化期間 PRS として、数式 (1) の電圧 V_{GS1} （ $V_{GS1} = V_{REF} - V_2$ ）に設定される。

30

【 0 0 6 5 】

さらに、単位期間 $H[i]$ の期間 h_2 の開始前の 3 個の期間 h_1 （単位期間 $H[i-2] \sim H[i]$ の各々の期間 h_1 ）においても、単位期間 $H[i-3]$ の期間 h_1 と同様に、第 i 行の各画素回路 U の選択スイッチ T_{SL} および制御スイッチ T_{CR1} がオン状態に制御されるとともに信号 $S[j]$ が基準電位 V_{REF} に設定される。一方、電位制御回路 36 は、単位期間 $H[i-3]$ の期間 h_1 の経過後に、第 i 行の給電線 16 の電位 $V_{EL}[i]$ を電位 V_1 に変化させる。したがって、第 i 行の各画素回路 U においては、単位期間 $H[i-2] \sim H[i]$ の各々の期間 h_1 を補償期間 PCP として第 1 補償動作が実行される。

40

【 0 0 6 6 】

単位期間 $H[i-3] \sim H[i]$ の各々の期間 h_2 （すなわち、第 i 行以外の画素回路 U の階調電位 V_{DATA} が信号線 14 に供給されている期間）においては、選択スイッチ T_{SL} および制御スイッチ T_{CR1} がオフ状態に制御されるから、第 i 行の駆動トランジスタ T_{DR} のゲート - ソース間の電圧 V_{GS} は変化しない。すなわち、第 i 行の各画素回路 U においては、3 個

50

の単位期間 $H[i-2] \sim H[i]$ の各々の期間 $h1$ にわたって間欠的に第 1 補償動作が実行されることで駆動トランジスタの電圧 V_{GS} が閾値電圧 V_{TH} に設定される。

【 0 0 6 7 】

単位期間 $H[i]$ が経過すると、走査線駆動回路 32 は、走査信号 $GA[i]$ を非アクティブレベルに設定することで選択スイッチ TS_L をオフ状態に変化させる。制御信号 $GB[i]$ は単位期間 $H[i]$ の経過後もアクティブレベルに維持される。したがって、第 1 実施形態と同様に、数式(6)の駆動電流 I_{DR} が給電線 16 から制御スイッチ $TCR1$ と駆動トランジスタ T_{DR} とを経由して発光素子 E に供給される。第 i 行の画素回路 U について説明した以上の動作が各行についても同様に反復される。

【 0 0 6 8 】

以上の形態においては、複数の単位期間 H の期間 $h1$ にわたって第 1 補償動作が実行される。したがって、第 1 補償動作を 1 個の単位期間 H 内で実行する第 1 実施形態と比較すると、単位期間 H の時間長が短い場合であっても、駆動トランジスタ T_{DR} の電圧 V_{GS} が閾値電圧 V_{TH} に到達するのに十分な時間長を第 1 補償動作のために確保できるという利点がある。

【 0 0 6 9 】

< C : 第 3 実施形態 >

図 15 は、本発明の第 3 実施形態における画素回路 U の回路図である。図 15 に示すように、画素回路 U は、第 1 実施形態の画素回路 U に制御スイッチ $TCR2$ を追加した構成である。制御スイッチ $TCR2$ は、駆動トランジスタ T_{DR} のゲートと給電線 54 との間に介在して両者の電氣的な接続（導通 / 非導通）を制御する N チャネル型のトランジスタである。給電線 54 には基準電位 V_{REF} が供給される。すなわち、第 1 実施形態や第 2 実施形態においては画素回路 U に対する基準電位 V_{REF} の供給に信号線 14 を兼用したのに対し、本形態においては信号線 14 とは別個の給電線 54 を利用して各画素回路 U に基準電位 V_{REF} を供給する。

【 0 0 7 0 】

素子部 10 内には、走査線 12 とともに X 方向に延在する m 本の制御線 56 が形成される。図 15 に示すように、第 i 行目の各画素回路 U における制御スイッチ $TCR2$ のゲートは第 i 行目の制御線 56 に接続される。各制御線 56 には駆動回路 30（例えば走査線駆動回路 32）から制御信号 GC （ $GC[1] \sim GC[m]$ ）が供給される。

【 0 0 7 1 】

図 16 は、画素回路 U を駆動する方法を説明するためのタイミングチャートである。図 16 の部分(B)に示すように、駆動回路 30 は、画素回路 U に対する階調電位 V_{DATA} の供給と第 2 補償動作とを単位期間 H 毎に行単位で順次に実行する。すなわち、単位期間 $H[i]$ が第 i 行の各画素回路 U の書込期間 PWR に相当する。

【 0 0 7 2 】

図 16 の部分(A)に示すように、走査線駆動回路 32 は、単位期間 $H[i]$ において、走査信号 $GA[i]$ をアクティブレベルに設定するとともに制御信号 $GC[i]$ を非アクティブレベルに設定する。したがって、選択スイッチ TS_L はオン状態となり、制御スイッチ $TCR2$ はオフ状態となる。一方、信号線駆動回路 34 は、単位期間 $H[i]$ の始点から時間長 t_a が経過した時点で信号 $S[j]$ を基準電位 V_{REF} から階調電位 $V_{DATA}[i]$ に変化させる。したがって、図 16 の部分(A)に示すように、第 i 行の各画素回路 U においては、単位期間 $H[i]$ 内の時間長 t_b にわたって第 2 補償動作が実行される。

【 0 0 7 3 】

また、駆動回路 30 は、第 i 行の各画素回路 U について、単位期間 $H[i-4]$ を初期化期間 PRS として初期化動作を実行するとともに単位期間 $H[i-3] \sim H[i-1]$ を補償期間 PCP として第 1 補償動作を実行する。まず、図 16 の部分(A)に示すように、単位期間 $H[i-4]$ において、走査線駆動回路 32 は、走査信号 $GA[i]$ を非アクティブレベルに設定することで選択スイッチ TS_L をオフ状態に制御するとともに、制御信号 $GC[i]$ をアクティブレベルに設定することで制御スイッチ $TCR2$ をオン状態に制御する。したがって、駆動トランジス

10

20

30

40

50

タ TDR のゲートには、給電線 54 から制御スイッチ TCR2 を介して基準電位 VREF が供給される。一方、電位制御回路 36 は、単位期間 H[i-4] にて電位 VEL[i] を電位 V2 に設定する。したがって、単位期間 H[i-4] においては、第 1 実施形態や第 2 実施形態と同様に、駆動トランジスタ TDR のゲート - ソース間の電圧 VGS が数式 (1) の電圧 VGS1 ($VGS1 = VREF - V2$) に初期化される。

【0074】

単位期間 H[i-3] ~ H[i-1] の各々においても、単位期間 H[i-4] と同様に、制御スイッチ TCR2 がオン状態に制御され、駆動トランジスタ TDR のゲートには給電線 54 から制御スイッチ TCR2 を介して基準電位 VREF が供給される。一方、電位制御回路 36 は、単位期間 H[i-4] の経過後に電位 VEL[i] を電位 V1 に変化させる。したがって、図 16 の部分 (B) に示すように、第 i 行の各画素回路 U においては、単位期間 H[i-3] ~ H[i-1] にわたって継続的に第 1 補償動作が実行される。一方、各信号線 14 は、単位期間 H[i-4] ~ H[i-1] にて第 i 行の画素回路 U から切り離され、第 (i-4) 行 ~ 第 (i-1) 行の各画素回路 U に対する階調電位 VDATA の供給に利用される。

【0075】

単位期間 H[i] が経過すると、走査線駆動回路 32 は、走査信号 GA[i] および制御信号 GC[i] の双方を非アクティブレベルに設定することで選択スイッチ TSL および制御スイッチ TCR2 をオフ状態に制御する。したがって、第 1 実施形態と同様に、数式 (6) の駆動電流 IDR が給電線 16 から駆動トランジスタ TDR を経由して発光素子 E に供給される。第 i 行の画素回路 U について説明した以上の動作が各行について同様に反復される。

【0076】

以上の形態においては、複数 (3 個) の単位期間 H にわたって第 1 補償動作が実行される。したがって、第 2 実施形態と同様に、第 1 補償動作の時間長の確保と単位期間 H の短縮とを両立することが可能である。

【0077】

なお、第 2 実施形態においては、共通の信号線 14 を利用して基準電位 VREF の供給 (期間 h1) と階調電位 VDATA の供給 (期間 h2) とが単位期間 H にて時分割で実行されるから、書込期間 PWR として利用できるのは単位期間 H 内の期間 h2 のみである。したがって、第 2 補償動作の時間長 t_b の最大値は期間 h2 の時間長 (例えば単位期間 H の半分) に制約される。一方、本形態においては、信号線 14 とは別の給電線 54 が初期化動作や第 1 補償動作における基準電位 VREF の供給に利用されるから、単位期間 H の全体を書込期間 PWR として利用できる。したがって、第 2 補償動作の時間長 t_b を最長で単位期間 H の時間長まで設定できる (すなわち時間長 t_b の変化幅を十分に確保できる) という利点がある。もっとも、第 2 実施形態においては、基準電位 VREF の供給と階調電位 VDATA の供給とに共通の信号線 14 が兼用されるから、第 3 実施形態と比較して、素子部 10 内の構成が簡素化される (配線数が削減される) という利点がある。

【0078】

< D : 第 4 実施形態 >

次に、本発明の第 4 実施形態について説明する。第 1 実施形態においては、書込期間 PWR における第 2 補償動作の時間長 t_b を階調値 D に応じて可変に制御する構成を例示した。本形態においては、第 2 補償動作の時間長 t_b の制御に加えて、補償期間 PCP における第 1 補償動作の時間長を階調値 D に応じて可変に制御する。画素回路 U の構成は第 1 実施形態 (図 2) と同様である。

【0079】

図 17 は、本形態に係る発光装置 100 (画素回路 U) の動作を示すタイミングチャートである。図 17 に示すように、補償期間 PCP は動作期間 PCP1 と保持期間 PCP2 とに区分される。動作期間 PCP1 は、補償期間 PCP の始点 (初期化期間 PRS の終点) から時間長 t_1 が経過するまでの期間であり、保持期間 PCP2 は補償期間 PCP の残余の期間 (動作期間 PCP1 の終点から補償期間 PCP の終点までの期間) である。動作期間 PCP1 の時間長 t_1 は、動作期間 PWR2 の時間長 t_b と同様に、画素回路 U に指定された階調値 D に応じて可変に設定

される。すなわち、図 17 に示すように、階調値 D が高階調（高輝度）を指定する場合の時間長 t_1 は、階調値 D が低階調（低輝度）を指定する場合の時間長 t_1 と比較して短い。

【 0 0 8 0 】

図 17 に示すように、動作期間 P CP1 においては、第 1 実施形態の補償期間 P CP と同様に、駆動トランジスタ T DR が初期化期間 P RS から引続きオン状態を維持したまま電位 V EL [i] が電位 V 1 に設定されることで、駆動トランジスタ T DR のゲート - ソース間の電圧 V GS を閾値電圧 V TH に漸近させる第 1 補償動作が実行される。ただし、第 1 実施形態においては電圧 V GS が閾値電圧 V TH に合致するまで第 1 補償動作を継続したのに対し、本形態においては、電圧 V GS が閾値電圧 V TH に到達する前の保持期間 P CP2 の始点（補償期間 P CP の始点から時間長 t_1 が経過した時点）にて第 1 補償動作が停止する。第 1 補償動作の停止を以下に詳述する。

10

【 0 0 8 1 】

図 17 に示すように、保持期間 P CP2 が開始すると、信号線駆動回路 34 は信号 S [j] を基準電位 V REF2 に変化させる。基準電位 V REF2 は基準電位 V REF を下回る。選択スイッチ T SL は動作期間 P CP1 に引続きオン状態を維持するから、駆動トランジスタ T DR のゲートの電位 V G は、動作期間 P CP1 での基準電位 V REF から保持期間 P CP2 の開始とともに基準電位 V REF2 に変化（低下）する。

【 0 0 8 2 】

駆動トランジスタ T DR のゲートとソースとの間には保持容量 C 1 が介在するから、図 17 に示すように、駆動トランジスタ T DR のソースの電位 V S は、電位 V G の変化量 $\Delta V REF$ ($\Delta V REF = V REF - V REF2$) を保持容量 C 1 と容量 C 2 との容量比に応じて分割した電圧 ($\Delta V REF \cdot c_{p1} / (c_{p1} + c_{p2})$) だけ変化（低下）する。したがって、保持期間 P CP2 の開始の直後における電圧 V GSb は、動作期間 P CP1 の終点における駆動トランジスタ T DR のゲート - ソース間の電圧 V GSa を利用して、以下の数式(12)のように表現される。

20

$$V GSb = V GSa - \Delta V REF \cdot c_{p2} / (c_{p1} + c_{p2}) \quad \dots \dots (12)$$

【 0 0 8 3 】

基準電位 V REF2 は、数式(12)の電圧 V GSb が駆動トランジスタ T DR の閾値電圧 V TH を下回るように設定される。したがって、保持期間 P CP2 においては駆動トランジスタ T DR はオフ状態に遷移する。すなわち、第 1 補償動作は保持期間 P CP2 の開始とともに停止し、駆動トランジスタ T DR の電圧 V GS は、保持期間 P CP2 の終点が到来するまで数式(12)の電圧 V GSb に保持される。

30

【 0 0 8 4 】

書込期間 P WR（待機期間 P WR1）が開始すると、信号線駆動回路 34 は、信号 S [j] を、補償期間 P CP の動作期間 P CP1 と同様の基準電位 V REF に変化させる。したがって、駆動トランジスタ T DR のゲート - ソース間の電圧 V GS は、動作期間 P CP1 の終点にて第 1 補償動作が終了したときの電圧 V GSa に復帰する。以後の動作は第 1 実施形態と同様である。

【 0 0 8 5 】

動作期間 P CP1 の時間長 t_1 と動作期間 P WR2 の時間長 t_b との合計時間 T と駆動電流 I DR の誤差との相関を調査すると、図 10 に例示した時間長 t_b と駆動電流 I DR の誤差との相関と同様に、駆動電流 I DR の誤差が最小となる合計時間 T が階調電位 V DATA 毎に個別に特定される。例えば、階調電位 V DATA が高いほど、駆動電流 I DR の誤差が最小となる合計時間 T は短くなる。時間長 t_1 および時間長 t_b は、以上の手順で階調電位 V DATA 毎に特定された合計時間 T を分割した数値に設定される。ただし、時間長 t_1 は、駆動トランジスタ T DR の電圧 V GS が第 1 補償動作で閾値電圧 V TH に到達するまでの時間よりも短い時間長に設定され、時間長 t_b は、電圧 V GS が第 2 補償動作で閾値電圧 V TH に到達するまでの時間よりも短い時間長に設定される。

40

【 0 0 8 6 】

動作期間 P CP1 の時間長 t_1 の制御は、図 11 と同様の構成で実現される。すなわち、電位選択部 44 が基準電位 V REF を基準電位 V REF2 に変化させる時点を、時間調整部 46 が階調値 D に応じて可変に設定する。時間長 t_1 に上限値が設定される点も時間長 t_b と同様

50

である。

【 0 0 8 7 】

以上の形態においては、第 2 補償動作の時間長 t_b に加えて第 1 補償動作の時間長 t_1 も階調値 D に応じて可変に制御されるから、時間長 t_b のみを制御する第 1 実施形態と比較して補償動作の時間長の変化幅を広く確保できる。したがって、さらに広い範囲にわたる階調電位 V_{DATA} について駆動電流 I_{DR} の誤差を抑制することが可能となる。なお、図 1 7 においては、信号 $S[j]$ を、書込期間 P_{WR} の待機期間 P_{WR1} にて基準電位 V_{REF} に設定してから動作期間 P_{WR2} の始点で階調電位 V_{DATA} に変化させたが、直前の保持期間 P_{CP2} から引続いて待機期間 P_{WR1} でも信号 $S[j]$ を基準電位 V_{REF2} に維持し、動作期間 P_{WR2} の始点にて信号 $S[j]$ を基準電位 V_{REF2} から階調電位 V_{DATA} に変化させる構成も採用される。

10

【 0 0 8 8 】

< E : 変形例 >

以上の各形態は様々に変形される。各形態に対する変形の具体的な態様を以下に例示する。なお、以下の例示から 2 以上の態様を任意に選択して組合わせてもよい。

【 0 0 8 9 】

(1) 変形例 1

画素回路 U を構成する各トランジスタ (駆動トランジスタ T_{DR} , 選択スイッチ T_{SL} , 制御スイッチ T_{CR1} , 制御スイッチ T_{CR2}) の導電型は任意である。例えば、図 1 8 に示すように、駆動トランジスタ T_{DR} や選択スイッチ T_{SL} を P チャネル型とした構成も採用される。図 1 8 の画素回路 U においては、発光素子 E の陽極が給電線 1 8 (電位 V_{CT}) に接続され、駆動トランジスタ T_{DR} のドレインが給電線 1 6 (電位 $V_{EL}[i]$) に接続されるとともにソースが発光素子 E の陰極に接続される。駆動トランジスタ T_{DR} のゲートとソースとの間に保持容量 C_1 が介在する構成や、駆動トランジスタ T_{DR} のゲートと信号線 1 4 との間に選択スイッチ T_{SL} が介在する構成は図 2 と同様である。以上のように P チャネル型の駆動トランジスタ T_{DR} を採用した場合、 N チャネル型の駆動トランジスタ T_{DR} を採用した場合と比較して電圧の関係 (高低) は逆転するが、本質的な動作は以上の例示と同様であるから、具体的な動作の説明は省略する。第 2 実施形態の制御スイッチ T_{CR1} や第 3 実施形態の制御スイッチ T_{CR2} を図 1 8 の画素回路 U に追加した構成も採用される。

20

【 0 0 9 0 】

(2) 変形例 2

以上の各形態のように、複数の画素回路 U が行列状に配列された構成のもとで各画素回路 U を行単位で時分割に駆動する場合には各画素回路 U 内に選択スイッチ T_{SL} が必要である。しかし、例えば複数の画素回路 U が X 方向に沿って 1 列のみに配列された構成においては、時分割での複数行の選択という動作が不要であるから、画素回路 U 内の選択スイッチ T_{SL} は不要となる。複数の画素回路 U が 1 列のみに配列された発光装置 1 0 0 は、例えば、電子写真方式の画像形成装置 (印刷装置) において感光体ドラムなどの像担持体を露光する露光装置として好適に採用される。

30

【 0 0 9 1 】

(3) 変形例 3

以上の各形態においては発光素子 E に付随する容量 C_2 を利用したが、図 1 9 に示すように、発光素子 E とは別個に形成した容量 C_X を容量 C_2 とともに利用する構成も好適である。容量 C_X の電極 e_1 は、駆動トランジスタ T_{DR} と発光素子 E とを結ぶ経路上 (駆動トランジスタ T_{DR} のソース) に接続される。容量 C_X の電極 e_2 は、所定の電位が供給される配線 (例えば電位 V_{CT} が供給される給電線 1 8 や基準電位 V_{REF} が供給される図 1 5 の給電線 5 4) に接続される。以上の構成においては、数式 (4) や数式 (12) における容量値 c_{p2} が容量 C_X と発光素子 E の容量 C_2 との合計値となる。したがって、数式 (4) の電圧 V_{GS2} や数式 (12) の電圧 V_{GSb} を容量 C_X に応じて適宜に調整することが可能である。

40

【 0 0 9 2 】

(4) 変形例 4

有機 EL 素子は発光素子の例示に過ぎない。例えば、無機 EL 素子や LED (Light Em

50

itting Diode) 素子などの発光素子を配列した発光装置にも以上の各態様と同様に本発明が適用される。本発明における発光素子は、電流の供給で駆動される(典型的には階調(輝度)が制御される)電流駆動型の被駆動素子である。

【0093】

< F : 応用例 >

次に、以上の各態様に係る発光装置100を利用した電子機器について説明する。図20ないし図22には、発光装置100を表示装置として採用した電子機器の形態が図示されている。

【0094】

図20は、発光装置100を採用したモバイル型のパーソナルコンピュータの構成を示す斜視図である。パーソナルコンピュータ2000は、各種の画像を表示する発光装置100と、電源スイッチ2001やキーボード2002が設置された本体部2010とを具備する。発光装置100は有機EL素子を発光素子Eとして使用しているので、視野角が広く見易い画面を表示できる。

【0095】

図21は、発光装置100を適用した携帯電話機の構成を示す斜視図である。携帯電話機3000は、複数の操作ボタン3001およびスクロールボタン3002と、各種の画像を表示する発光装置100とを備える。スクロールボタン3002を操作することによって、発光装置100に表示される画面がスクロールされる。

【0096】

図22は、発光装置100を適用した携帯情報端末(PDA: Personal Digital Assistants)の構成を示す斜視図である。情報携帯端末4000は、複数の操作ボタン4001および電源スイッチ4002と、各種の画像を表示する発光装置100とを備える。電源スイッチ4002を操作すると、住所録やスケジュール帳といった様々な情報が発光装置100に表示される。

【0097】

なお、本発明に係る発光装置が適用される電子機器としては、図20から図22に例示した機器のほか、デジタルスチルカメラ、テレビ、ビデオカメラ、カーナビゲーション装置、ページャ、電子手帳、電子ペーパー、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、プリンタ、スキャナ、複写機、ビデオプレーヤ、タッチパネルを備えた機器等などが挙げられる。また、本発明に係る発光装置の用途は画像の表示に限定されない。例えば、電子写真方式の画像形成装置において露光により感光体ドラムに潜像を形成する露光装置としても本発明の発光装置は利用される。

【図面の簡単な説明】

【0098】

【図1】本発明の第1実施形態に係る発光装置のブロック図である。

【図2】画素回路の回路図である。

【図3】発光装置の動作のタイミングチャートである。

【図4】初期化期間における画素回路の様子を示す回路図である。

【図5】補償期間における画素回路の様子を示す回路図である。

【図6】書込期間PWRの開始の直後における画素回路の様子を示す回路図である。

【図7】駆動期間における画素回路の様子を示す回路図である。

【図8】対比例における階調電位と駆動電流の誤差との相関を示すグラフである。

【図9】動作期間の時間長と駆動電流の誤差との相関を示すグラフである。

【図10】階調電位と動作期間の時間長との相関を示すグラフである。

【図11】信号線駆動回路内の単位回路のブロック図である。

【図12】第1実施形態の効果を説明するためのグラフである。

【図13】本発明の第2実施形態における画素回路の回路図である。

【図14】第2実施形態の動作を示すタイミングチャートである。

【図15】本発明の第3実施形態における画素回路の回路図である。

10

20

30

40

50

【図 16】第 3 実施形態の動作を示すタイミングチャートである。

【図 17】本発明の第 4 実施形態の動作を示すタイミングチャートである。

【図 18】変形例に係る画素回路の回路図である。

【図 19】変形例に係る画素回路の回路図である。

【図 20】電子機器（パーソナルコンピュータ）の斜視図である。

【図 21】電子機器（携帯電話機）の斜視図である。

【図 22】電子機器（携帯情報端末）の斜視図である。

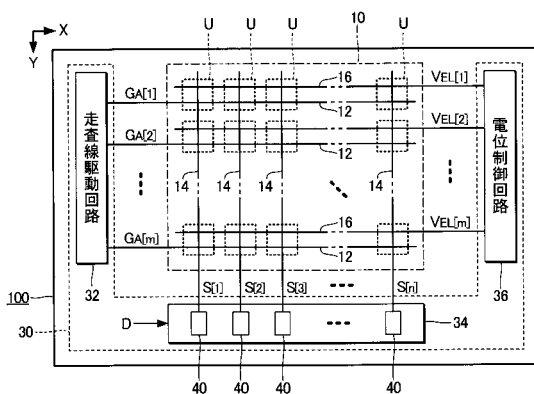
【符号の説明】

【0099】

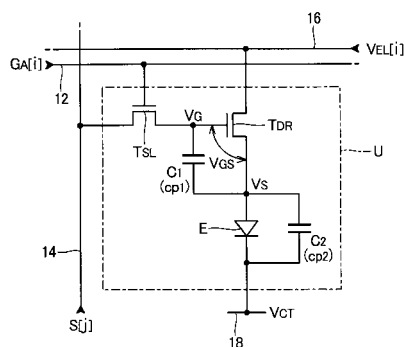
100 …… 発光装置、10 …… 素子部、12 …… 走査線、14 …… 信号線、16 …… 給電線、30 …… 駆動回路、32 …… 走査線駆動回路、34 …… 信号線駆動回路、36 …… 電位制御回路、40 …… 単位回路、42 …… 電位生成部、44 …… 電位選択部、46 …… 時間調整部、U …… 画素回路、TDR …… 駆動トランジスタ、TSL …… 選択スイッチ、TCR1、TCR2 …… 制御スイッチ、E …… 発光素子、H (H[i]) …… 単位期間、PRS …… 初期化期間、PCP …… 補償期間、PCP1 …… 動作期間、PCP2 …… 保持期間、PWR …… 書込期間、PWR1 …… 待機期間、PWR2 …… 動作期間、PDR …… 駆動期間、V_{DATA} …… 階調電位。

10

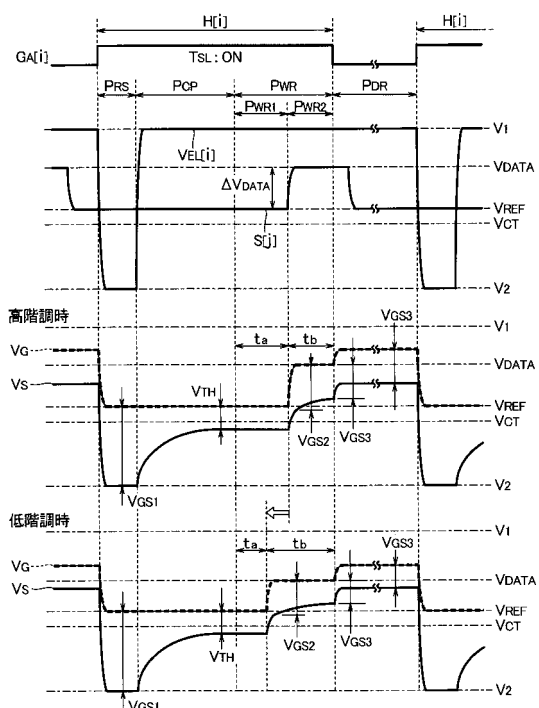
【図 1】



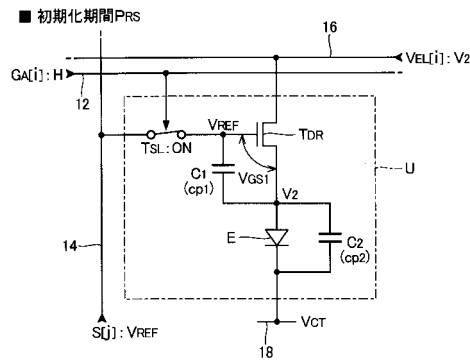
【図 2】



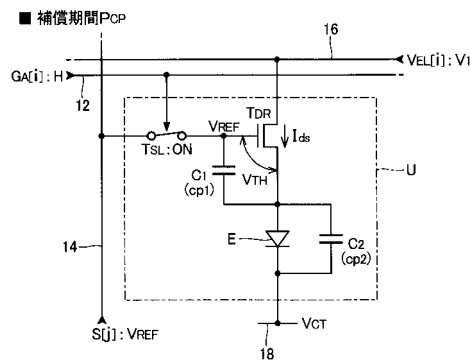
【図 3】



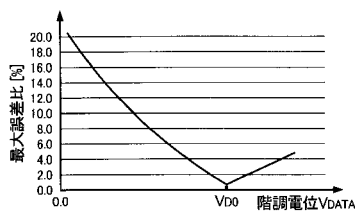
【図 4】



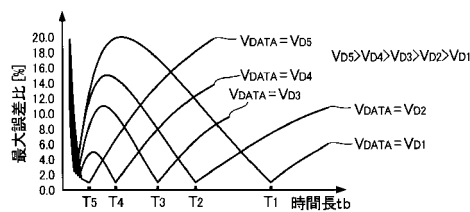
【図 5】



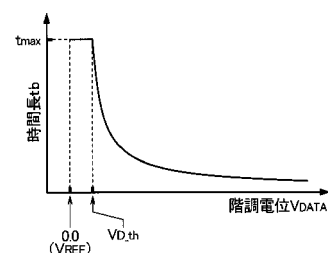
【図 8】



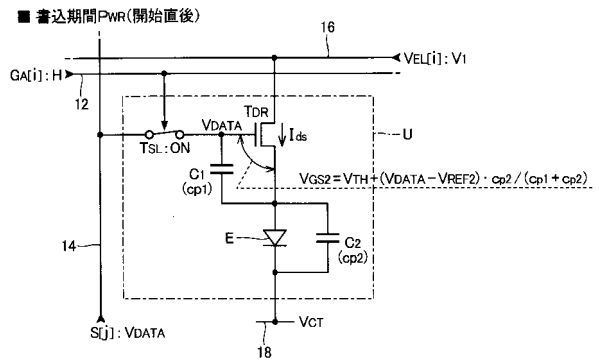
【図 9】



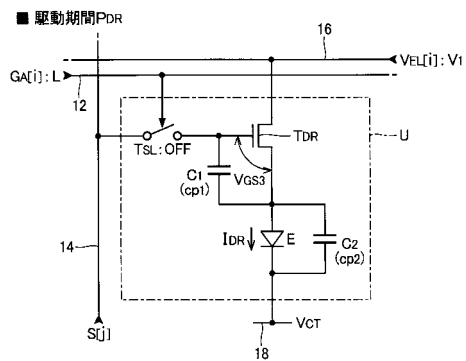
【図 10】



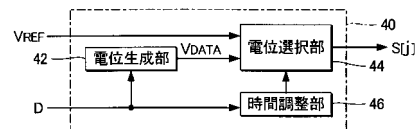
【図 6】



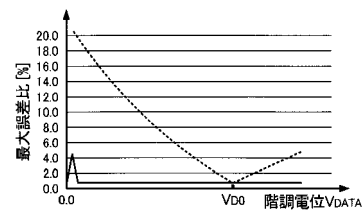
【図 7】



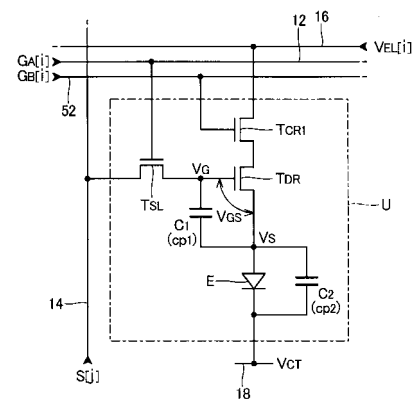
【図 11】



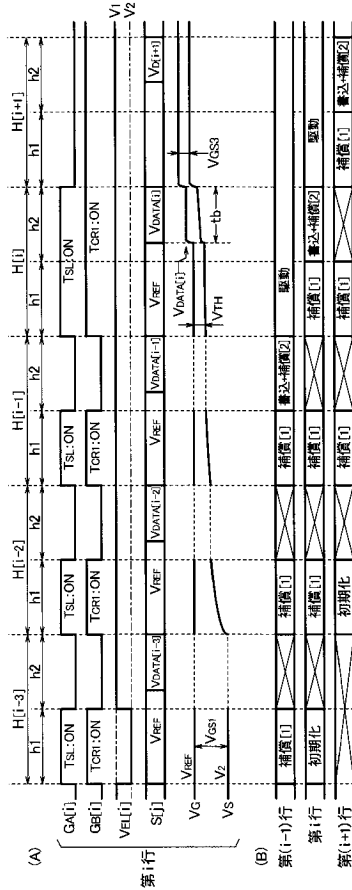
【図 12】



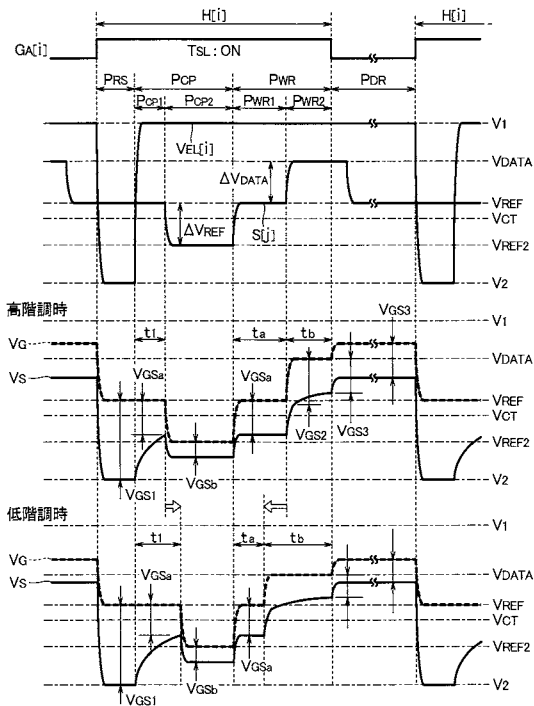
【図 13】



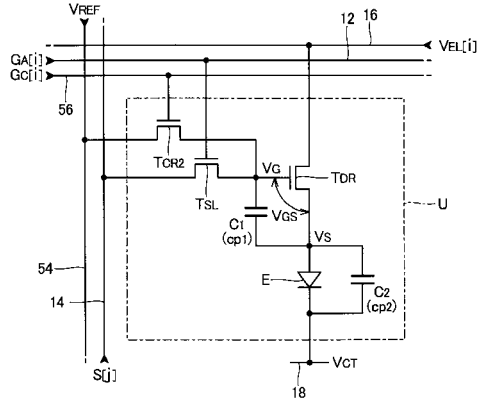
【図 14】



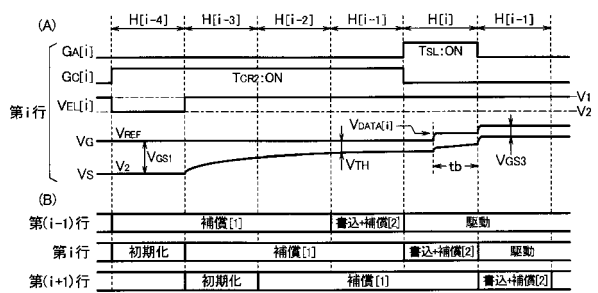
【図 17】



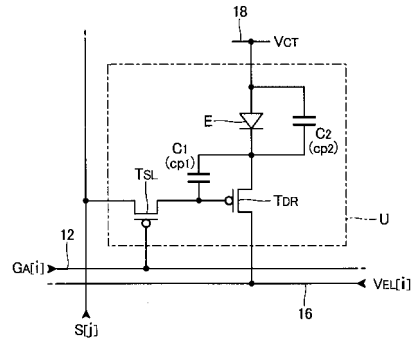
【図 15】



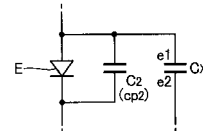
【図 16】



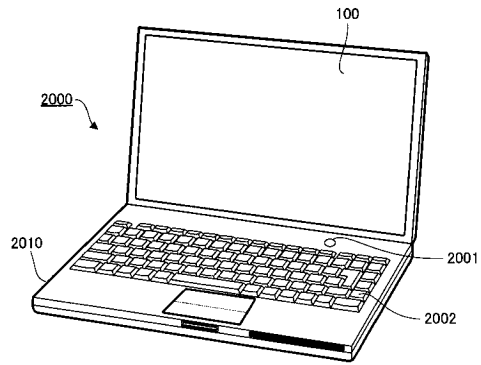
【図 18】



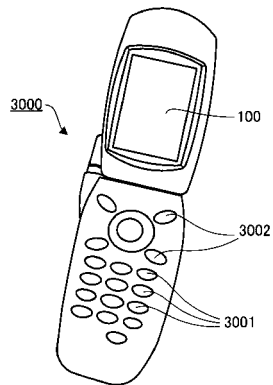
【図 19】



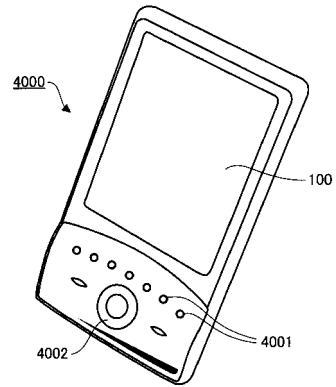
【図 20】



【図 21】



【図 22】



フロントページの続き

(51)Int.Cl. F I

G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/20	6 2 3 D
H 0 5 B	33/14	A

審査官 橋本 直明

(56)参考文献 特開2008-032861(JP,A)
特開2008-197516(JP,A)
特開2008-164796(JP,A)
特開2008-122647(JP,A)
特開2008-033193(JP,A)
特開2008-026467(JP,A)
特開2007-316454(JP,A)
特開2007-133284(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G	3 / 3 0
G 0 9 G	3 / 2 0
H 0 1 L	5 1 / 5 0