

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
19 octobre 2006 (19.10.2006)

PCT

(10) Numéro de publication internationale
WO 2006/108987 A1

(51) Classification internationale des brevets :
H01L 29/786 (2006.01) *H01L 21/335* (2006.01)
H01L 29/775 (2006.01)

[FR/FR]; 4, Rue De La Distillerie, F-38400 Saint Martin
D'heres (FR).

(21) Numéro de la demande internationale :
PCT/FR2006/050322

(74) Mandataire : **POULIN, Gérard**; BREVATOME, 3, Rue
Du Docteur Lancereaux, F-75008 Paris (FR).

(22) Date de dépôt international : 10 avril 2006 (10.04.2006)

(81) États désignés (sauf indication contraire, pour tout titre de
protection nationale disponible) : AE, AG, AL, AM, AT,
AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO,
CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG,
KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY,
MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO,
NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK,
SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
0550947 13 avril 2005 (13.04.2005) FR

(71) Déposant (pour tous les États désignés sauf US) : **COM-
MISSARIAT A L'ENERGIE ATOMIQUE** [FR/FR];
31-33, Rue De La Fédération, F-75752 Paris 15ème (FR).

(72) Inventeurs; et

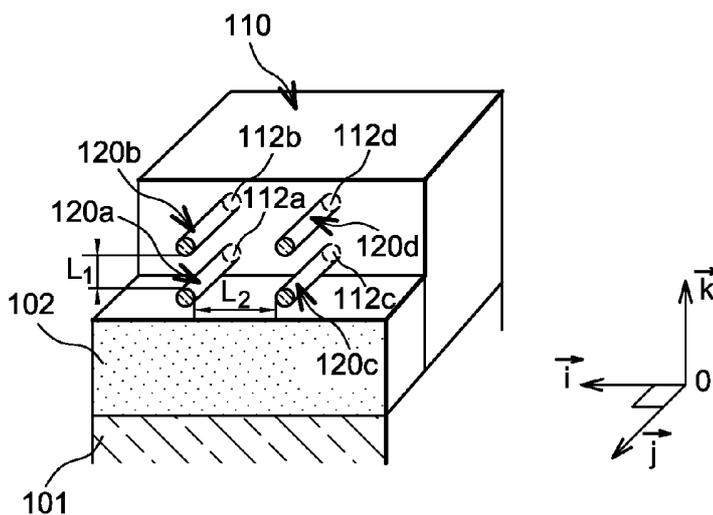
(84) États désignés (sauf indication contraire, pour tout titre
de protection régionale disponible) : ARIPO (BW, GH,
GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM,
ZW), eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM),

(75) Inventeurs/Déposants (pour US seulement) : **ERNST,
Thomas** [FR/FR]; 642 Route Yves Farge, Hameau
Chechamain, F-38210 Morette (FR). **BOREL, Stéphane**

[Suite sur la page suivante]

(54) Title: STRUCTURE AND METHOD FOR REALIZING A MICROELECTRONIC DEVICE PROVIDED WITH A NUM-
BER OF QUANTUM WIRES CAPABLE OF FORMING ONE OR MORE TRANSISTOR CHANNELS

(54) Titre : STRUCTURE ET PROCEDE DE REALISATION D'UN DISPOSITIF MICROELECTRONIQUE DOTE D'UN OU
PLUSIEURS FILS QUANTIQUES APTES A FORMER UN CANAL OU PLUSIEURS CANAUX DE TRANSISTORS



(57) Abstract: The invention relates to a microelectronic device provided with a number of quantum wires , which are capable of forming one or more transistor channels and which are optimized with regard to their arrangement, shape and/or composition. The invention also relates to a method for realizing a device of this type, comprising the following steps: forming, in one or more thin layers resting upon a support, a first block and a second block in each of which at least one transistor drain region and at least one transistor source region are to be respectively formed, and forming a structure (205a) connecting the first block (210) and the second block (230), and; forming, on the surface of the structure (205a), wires (220a) connecting a first area of the first block (210) and another area of the second block (230) facing the first area.

[Suite sur la page suivante]

WO 2006/108987 A1



européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

— avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues

Publiée :

— avec rapport de recherche internationale

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

(57) Abrégé : L'invention concerne un dispositif microélectronique doté d'un ou plusieurs «fils quantiques», aptes à former un ou plusieurs canaux de transistors, et optimisé(s) en terme d'agencement, de forme ou/et de composition. L'invention met également en oeuvre un procédé de réalisation d'un tel dispositif, comprenant les étapes de : formation dans une ou plusieurs couches minces reposant sur un support d'un premier bloc et d'un second bloc dans lesquels respectivement au moins une région de drain de transistor et au moins une région de source de transistor sont destinées à être formés, et d'une structure (205a) reliant le premier bloc (210) et le second bloc (230) ; formation en surface de la structure (205a) des fils (220a) reliant une première zone du premier bloc (210) et une autre zone du second bloc (230) située en regard de la première zone.

**STRUCTURE ET PROCEDE DE REALISATION D'UN DISPOSITIF
MICROELECTRONIQUE DOTE D'UN OU PLUSIEURS FILS
QUANTIQUES APTES A FORMER UN CANAL OU PLUSIEURS CANAUX
DE TRANSISTORS**

5

DESCRIPTION

DOMAINE TECHNIQUE

La présente invention se rapporte au domaine des circuits intégrés, et plus particulièrement à celui des transistors, et a pour but de présenter un dispositif microélectronique doté en particulier d'un ou plusieurs fils quantiques, optimisé(s) en terme d'agencement, ainsi que de forme ou/et de composition, et susceptible(s) de former un canal, ou un canal à plusieurs branches, ou plusieurs canaux de transistor(s), amélioré(s) en termes de performances électriques et d'encombrement.

ART ANTÉRIEUR

Une structure classique de transistor est généralement formée, sur un substrat, par exemple de type SOI (SOI pour « silicium on insulator » ou « silicium sur isolant »), d'une région de source et d'une région de drain, par exemple sous forme respectivement d'une première zone et d'une seconde zone semi-conductrices, reliées entre elles par une troisième zone semi-conductrice ou canal, qui peut avoir une forme d'un barreau ou d'un bloc parallélépipédique. Ce barreau est recouvert d'une grille permettant de contrôler l'intensité d'un courant

transitant entre la région de source et la région de drain.

On cherche continuellement à augmenter les performances des transistors en essayant d'améliorer
5 deux facteurs normalement incompatibles: leur vitesse de fonctionnement et leur consommation.

Pour augmenter la vitesse de fonctionnement, on essaie notamment de réduire la taille des transistors, ce qui permet par ailleurs de
10 réduire les coûts de fabrication et de réaliser des circuits intégrés avec un nombre de transistors ou une densité d'intégration de transistor plus élevée.

Diminuer la taille des transistors implique par exemple le rapprochement de la source et du drain
15 et la réalisation d'un canal de longueur et de largeur de plus en plus faibles. Cette tendance peut entraîner des effets néfastes au bon fonctionnement des transistors tels que des « effets de canal court » (en anglais « short channel effect »). Ainsi, à mesure que
20 l'on diminue la longueur du canal des transistors, le drain et la source ont une influence de plus en plus importante sur la conduction du canal, normalement contrôlée par la grille. Les « effets de canal court » entraînent, entre autres, une diminution de la tension
25 seuil avec la longueur de canal et la tension de drain, ce qui entraîne une augmentation de la fuite du transistor à l'état bloqué. Ceci n'est guère compatible avec l'amélioration des performances des circuits intégrés.

30 Le document US 6 127 702 propose une structure de transistor comportant un canal formé de

plusieurs barreaux parallélépipédiques parallèles, juxtaposés sur un substrat, et séparés entre eux par une distance établie par lithographie. Cette structure permet notamment de diminuer les effets de canal court, 5 mais pose néanmoins des problèmes, notamment en terme de densité d'intégration, cette dernière étant limitée par le procédé de lithographie.

Le document US 5 965 914 propose quant à lui, une autre structure de transistor, dotée d'un canal formé cette fois, de barreaux parallélépipédiques 10 superposés. Une telle structure est complexe à mettre en œuvre, mais permet également d'améliorer les effets de canal court, et apporte des améliorations en terme de densité d'intégration, dans la mesure où son encombrement sur un substrat est moindre par rapport à 15 celui des structures de transistors décrites précédemment.

Il se pose le problème de trouver une nouvelle structure de transistor, pour laquelle, les 20 problèmes d'encombrement sur un substrat sont d'avantage réduits, tandis que le contrôle du canal est amélioré.

EXPOSÉ DE L'INVENTION

La présente invention a pour but de 25 présenter un dispositif microélectronique à effet de champ comportant un ou plusieurs fils, dits fils « quantiques », optimisé(s) en terme d'agencement, ainsi que de forme ou/et de composition, et susceptible(s) de former un canal, ou un canal à 30 plusieurs branches, ou plusieurs canaux de

transistor(s) amélioré(s). Ces fils, formant un ou plusieurs canaux de transistors, ont un agencement, ainsi qu'une forme ou/et une composition apportant aux transistors à effet de champ des améliorations, 5 notamment en termes de densité d'intégration et de performances électriques.

L'invention prévoit également un procédé de réalisation d'un dispositif microélectronique doté d'un ou plusieurs barreaux ou tiges ou fils, dits « fils 10 quantiques aptes à former un canal de transistor ou un canal de transistor à plusieurs branches ou plusieurs canaux de transistors, le procédé comprenant les étapes de :

a) formation dans une ou plusieurs couches 15 minces, d'au moins un premier bloc et d'au moins un second bloc dans lesquels, respectivement, au moins une région de drain de transistor et au moins une région de source de transistor sont destinés à être formés, et d'au moins un troisième bloc ou d'une structure reliant 20 le premier bloc et le second bloc,

b) formation en surface, et en particulier sur au moins un flanc ou sur au moins une face latérale de la structure, d'un ou plusieurs fils, reliant une première zone ou une première face du premier bloc et 25 une autre zone ou une autre face du second bloc, aptes à former un canal ou un canal à plusieurs branches ou plusieurs canaux de transistors.

Ladite première zone du premier bloc peut être située en regard de ladite autre zone du second 30 bloc.

Le premier bloc, le second bloc, et le troisième bloc peuvent être formés dans un empilement de couches minces.

Le procédé peut également comprendre en outre, après l'étape b) : la suppression d'au moins une partie de la structure reliant le premier bloc et le deuxième bloc, cette suppression étant sélective, vis-à-vis des fils.

Ainsi, le troisième bloc peut être prévu pour servir de structure de soutien à la formation des fils quantiques. Le troisième bloc peut éventuellement avoir une forme classique de canal de transistor et peut être supprimé ou partiellement supprimé et laisser place aux fils quantiques, optimisés en terme d'agencement ainsi que de forme ou/et de composition, et susceptibles de former une structure de canal ou une structure de canal à plusieurs branches amélioré.

Les fils formés à l'étape b) peuvent avoir une forme optimisée en particulier cylindrique ou sensiblement cylindrique.

Selon une possibilité, les fils formés à l'étape b) peuvent être dotés d'un profil arrondi ou présentant une courbure. Selon plusieurs possibilités, les fils peuvent être dotés d'une section circulaire ou d'une section sensiblement circulaire ou d'une section ovale ou d'une section sensiblement ovale.

Les fils quantiques peuvent être éventuellement dotés d'une section comportant au moins un renforcement ou/et au moins un méplat.

Selon une autre possibilité de mise en œuvre du procédé, la première zone du premier bloc et

ladite autre zone du second bloc peuvent être à base d'un ou de matériaux différent(s) du matériau à base duquel les fils sont formés à l'étape b).

5 Selon une variante de mise en oeuvre du procédé, qui peut être éventuellement combinée avec les précédentes, des fils distincts ou disjoints peuvent être formés à l'étape b).

10 Selon une autre variante de mise en oeuvre du procédé, qui peut être éventuellement combinée avec les précédentes, un ou plusieurs fils distincts ou disjoints du support peuvent être réalisés à l'étape b).

15 L'étape a) de réalisation du premier, deuxième et troisième bloc peut comprendre les étapes de :

- formation d'au moins un masquage sur ledit empilement,
- gravure anisotrope de l'empilement à travers le masquage. Ce masquage est susceptible de
20 reproduire au moins un motif de source de transistor, au moins un motif de drain de transistor, ainsi qu'au moins un motif reliant le motif de source et le motif de drain.

25 A l'étape b), les fils peuvent être réalisés par croissance ou croissance sélective d'au moins un matériau semi-conducteur autour ou de part et d'autre d'une ou plusieurs couches données ou ciblées de l'empilement. Cela peut permettre notamment de former plusieurs fils quantiques superposés et/ou
30 distincts et/ou distincts du support et éventuellement au moins deux fils quantiques alignés dans une

direction parallèle au plan principal du support et distincts de ce dernier.

L'empilement peut être formé d'au moins deux couches successives à base de matériaux différents
5 ou d'au moins une paire de couches successives à base de matériaux différents.

L'empilement peut être formé d'une alternance de couches à base d'un premier matériau semi-conducteur, et d'autres couches à base d'un
10 deuxième matériau, différent du premier matériau.

Selon une possibilité de mise en œuvre pour laquelle l'empilement est formé d'une ou plusieurs couches à base d'un premier matériau, et d'une ou plusieurs autres couches à base d'un deuxième matériau,
15 le procédé peut comprendre en outre après l'étape b) et avant l'étape c), les étapes de :

- gravure partielle et sélective vis-à-vis du deuxième matériau, des couches à base du premier matériau,
- 20 - formation d'une épaisseur isolante autour des couches à base du premier matériau. Cela peut permettre de protéger par un matériau isolant certaines couches de l'empilement en vue d'une croissance sélective des fils quantiques sur d'autres couches de
25 cet empilement.

Selon un mode de réalisation particulier du procédé, l'étape b) peut être réalisée, par croissance ou par croissance par épitaxie, sur certaines couches de l'empilement, par exemple les couches à base du
30 deuxième matériau semi-conducteur, d'un troisième matériau semi-conducteur, le troisième matériau étant

différent du premier matériau et/ou du deuxième matériau.

Le procédé de réalisation peut comprendre en outre, après l'étape c), les étapes de :

- 5 - dépôt d'une couche isolante sur la structure,
- formation d'au moins une ouverture dans la couche isolante entre le premier bloc et le deuxième bloc, dévoilant la structure et les fils ou dévoilant
10 une partie de la structure et des fils,
- gravure de la structure à travers l'ouverture, sélective vis-à-vis des fils.

Cela peut permettre notamment, d'effectuer le retrait au moins partiel de la structure, tout en
15 préservant le premier bloc et le second bloc. Cela peut également permettre, en particulier dans un cas où l'ouverture à une forme correspondant à celle d'une grille de transistor, de préparer la formation de cette grille.

20 Ainsi, le procédé peut comprendre en outre : après la gravure de la structure à travers l'ouverture, la formation d'une grille de transistor dans l'ouverture.

Le procédé peut être éventuellement réalisé
25 sur un substrat de type semi-conducteur sur isolant. Dans ce cas, le support peut être formé par exemple d'au moins une couche servant de support mécanique, par exemple semi-conductrice ou à base de quartz, et d'au moins une couche isolante reposant sur la couche semi-
30 conductrice et sur laquelle, l'empilement de couches minces formé à l'étape a), est réalisé.

Pour cela, selon un premier aspect, l'invention met en oeuvre un dispositif microélectronique comprenant :

- un support,
- 5 - au moins un premier bloc et au moins un second bloc reposant sur le support, dans lesquels respectivement, au moins une région de drain de transistor et au moins une région de source de transistor sont aptes à être formées ou sont formées,
- 10 - un ou plusieurs barreaux ou fils de forme cylindrique ou sensiblement cylindrique, aptes à former ou formant un canal de transistor ou un canal de transistor à plusieurs branches ou plusieurs canaux de transistors, reliant une première zone du premier bloc
- 15 et une autre zone du second bloc.

La première zone du premier bloc et ladite autre zone du second bloc peuvent être situées en regard l'une de l'autre.

Les fils peuvent être dotés d'un profil arrondi ou présentant une courbure. Selon plusieurs possibilités, les fils peuvent être dotés d'une section circulaire ou d'une section sensiblement circulaire ou d'une section ovale ou d'une section sensiblement ovale.

25 Selon une possibilité de mise en œuvre des fils quantiques, ces derniers peuvent être dotés d'un profil comportant au moins un renforcement ou/et au moins un méplat.

30 Ainsi, le dispositif microélectronique suivant l'invention comporte des fils quantiques ayant un agencement ainsi qu'une forme optimisés, en

particulier cylindrique, qui permet un contrôle amélioré de conduction d'un canal ou d'un canal à plusieurs branches, ou des canaux que ces fils sont susceptibles de réaliser.

5 Le premier bloc et le second bloc peuvent comprendre respectivement, une ou plusieurs couches minces, dont une ou plusieurs couches semi-conductrices, par exemple un empilement de couches semi-conductrices.

10 Selon une possibilité de mise en œuvre d'un tel dispositif, les fils peuvent être rattachés à une portion de la première zone du premier bloc et à une autre portion de ladite autre zone du second bloc, à base d'un matériau ou de matériaux différent(s) de
15 celui à base duquel ou desquels ces fils sont formés. Le dispositif microélectronique suivant l'invention peut ainsi comporter des fils quantiques à base d'un matériau donné, ayant de bonnes qualités en terme de mobilité des porteurs de charge, et reliant une région
20 de drain et une région de source à base d'un matériau ou de matériaux différent(s) dudit matériau donné.

25 Selon une variante de mise en oeuvre, un des fils quantiques ou plusieurs des fils quantiques voire tous les fils quantiques du dispositif peuvent être distinct(s) ou disjoint(s) ou ne pas être en contact avec le support. Un tel agencement, peut permettre d'améliorer le contrôle de la conduction des fils quantiques par une grille venant enrober ces derniers.

30 Selon une deuxième possibilité d'agencement, qui peut être combinée avec la

précédente, le dispositif peut comporter au moins deux fils quantiques alignés dans une direction réalisant un angle non nul avec un plan principal du support. Un tel agencement peut permettre de limiter l'encombrement
5 d'un dispositif à plusieurs fils quantiques et d'améliorer la densité d'intégration des transistors.

Selon une troisième possibilité d'agencement, qui peut être combinée avec les deux précédentes, le dispositif peut comporter au moins deux
10 fils alignés dans une direction parallèle au plan principal du support.

Le premier bloc et le second bloc peuvent comprendre chacun au moins deux couches semi-conductrices à base de matériaux différents, dont au
15 moins une couche à base d'un premier matériau semi-conducteur, et au moins une couche à base d'un deuxième matériau semi-conducteur, susceptible, éventuellement, d'être gravé de manière sélective vis-à-vis du premier matériau.

Selon un mode de réalisation particulier du dispositif, le premier bloc et le second bloc peuvent comprendre une alternance de couches à base d'un
20 premier matériau semi-conducteur et de couches à base d'un deuxième matériau semi-conducteur, différent du premier matériau semi-conducteur.
25

Les fils quantiques peuvent être à base d'un matériau semi-conducteur et éventuellement à base d'un troisième matériau semi-conducteur, différent du
premier matériau semi-conducteur et du deuxième
30 matériau semi-conducteur. Ce troisième matériau peut être un matériau particulièrement favorable à la

mobilité des porteurs de charges tel que par exemple du germanium, ou/et un matériau susceptible d'être gravé de manière sélective vis-à-vis du premier et du deuxième matériau semi-conducteur.

5 Le dispositif suivant l'invention peut également comprendre une grille enrobant au moins partiellement lesdits fils. Alors, selon une variante de mise en œuvre du dispositif, le support et les fils peuvent être séparés par une portion de grille.

10 Les fils quantiques du dispositif peuvent éventuellement avoir une forme sensiblement cylindrique et comporter un méplat, qui peut éventuellement renseigner sur la manière dont ces fils ont été formés. Ce méplat peut être tel qu'il réalise un angle non nul
15 ou orthogonal avec un plan principal du support.

Selon une possibilité de mise en œuvre du dispositif microélectronique selon l'invention, ce dernier peut être réalisé à partir d'un substrat de type semi-conducteur sur isolant. Dans ce cas, le
20 support sur lequel reposent le premier bloc et le second bloc est susceptible de comporter au moins une couche isolante en contact avec le premier et le deuxième bloc, ainsi qu'au moins une couche semi-conductrice sur laquelle repose la couche isolante.

25 Selon un deuxième aspect, l'invention met également en œuvre un dispositif microélectronique comprenant :

- un support,
- au moins un premier bloc et au moins un
30 second bloc d'une ou plusieurs couches minces reposant sur le support, dans lesquels respectivement, au moins

une région de drain et au moins une région de source de transistor sont destinés à être formées,

- un ou plusieurs barreaux ou fils dits « fils quantiques » à base d'au moins un matériau donné, aptes à former un canal de transistor ou plusieurs canaux de transistors, et reliant une première zone du premier bloc et une autre zone du second bloc située en regard de ladite première zone, ladite première zone du premier bloc et/ou ladite autre zone du second bloc étant à base d'un matériau différent dudit matériau donné.

Selon une mise en œuvre particulière de ce dispositif, les fils peuvent avoir une forme cylindrique ou sensiblement cylindrique.

Selon une possibilité, les fils peuvent être dotés d'un profil arrondi ou d'un profil comportant une courbure.

BRÈVE DESCRIPTION DES DESSINS

La présente invention sera mieux comprise à la lecture de la description d'exemples de réalisation donnés, à titre purement indicatif et nullement limitatif, en faisant référence aux dessins annexés sur lesquels :

- les figures 1A et 1B, représentent un exemple de dispositif microélectronique selon l'invention comportant des fils quantiques aptes à former au moins un canal de transistor,

- les figures 2A et 2B, représentent un dispositif microélectronique selon l'invention comportant un ou plusieurs fils quantiques enrobés

d'une grille, et formant au moins un canal de transistor,

- les figures 3A à 3I, illustrent, selon une vue en coupe, les étapes d'un procédé de réalisation d'un dispositif microélectronique selon l'invention,

- les figures 4A à 4E, illustrent, les étapes de ce même procédé, selon une vue de dessus,

- la figure 5, représente un motif de transistor,

- les figures 6A à 6H illustrent différents exemples de formes de sections ou de coupes transversales, que les fils quantiques d'un dispositif microélectronique suivant l'invention sont susceptibles d'adopter,

- les figures 7A à 7F illustrent différentes variantes de formes de sections de fils quantiques obtenues par un procédé de réalisation d'un dispositif microélectronique selon l'invention.

Des parties identiques, similaires ou équivalentes des différentes figures portent les mêmes références numériques de façon à faciliter le passage d'une figure à l'autre.

Les différentes parties représentées sur les figures ne le sont pas nécessairement selon une échelle uniforme, pour rendre les figures plus lisibles.

EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION PARTICULIERS

Un exemple de dispositif microélectronique suivant l'invention va à présent être décrit en liaison avec les figures 1A et 1B.

5 Ce dispositif comprend tout d'abord un substrat, qui peut être de type semi-conducteur sur isolant, par exemple de type SOI (SOI pour « Silicon On Insulator » ou « silicium sur isolant ») ou de type SiGeOI (SiGeOI pour « SiGe On Insulator » ou « SiGe sur
10 isolant »), et doté notamment d'une première couche 101 de support mécanique, qui peut être à base de quartz ou à base d'un matériau semi-conducteur, par exemple à base de silicium, ainsi que d'une couche isolante 102 ou d'oxyde enterré (« burried oxide » selon la
15 terminologie anglo-saxonne) par exemple à base de SiO₂, reposant sur la première couche 101.

La couche isolante 102 sert de support à un premier bloc 110 et à un second bloc 130, formés chacun d'au moins une couche mince ou de plusieurs couches
20 minces empilées sur la couche isolante 102. Le premier bloc 110 et le second bloc 130 comprennent chacun une couche semi-conductrice ou plusieurs couches semi-conductrices superposées, dont au moins une couche semi-conductrice (non référencée) en contact avec la
25 couche isolante 102.

Les blocs 110 et 130 sont destinés à former respectivement, une région de drain de transistor ou éventuellement plusieurs régions superposées de drains, et une région de source de transistor ou éventuellement
30 plusieurs régions superposées de sources. Ainsi, les blocs 110 et 130 peuvent éventuellement comprendre

chacun plusieurs couches semi-conductrices superposées ou empilées à base de matériaux semi-conducteurs différents.

Selon une possibilité de mise en œuvre du
5 dispositif, les blocs 110 et 130, peuvent comprendre chacun une alternance de couches semi-conductrices à base d'un premier matériau semi-conducteur, par exemple du SiGe et de couches semi-conductrices à base d'un deuxième matériau semi-conducteur, par exemple du Si.

10 Les blocs 110 et 130 peuvent avoir des bases respectives en contact avec la couche isolante 102 avantageusement distinctes ou disjointes entre elles. Les blocs 110 et 130 sont également reliés l'un à l'autre par l'intermédiaire d'un ou plusieurs
15 barreaux ou tiges ou fils, par exemple, comme le montre la figure 1A (représentant une vue en perspective du dispositif), de quatre barreaux ou fils 120a, 120b, 120c, 120d.

Les fils ou barreaux 120a, 120b, 120c,
20 120d, sont susceptibles d'assurer une conduction électrique et sont destinés à former une structure de canal de transistor à plusieurs branches. Dans un cas notamment où, les blocs 110 et 130 forment respectivement, plusieurs régions de drains de
25 transistors empilés et plusieurs régions de sources de transistors empilés, les fils 120a, 120b, 120c, 120d, peuvent être destinés à former plusieurs canaux de transistors différents.

Ces barreaux ou fils 120a, 120b, 120c,
30 120d, que l'on appellera également « fils quantiques » relie dans le sens de leur longueur L (la longueur L

étant définie sur la figure 1A dans une direction parallèle au vecteur \vec{j} d'un repère orthogonal $(0; \vec{i}; \vec{j}; \vec{k})$, une première face ou une première zone appartenant au premier bloc 110, et une autre première face ou une autre première zone appartenant au second bloc 130, située en regard de ladite première face du premier bloc 110. La longueur L des barreaux ou fils 120a, 120b, 120c, 120d, qui correspond également à une distance séparant les blocs 110 et 130, peut être comprise entre 10 nanomètres et 1000 nanomètres, ou être par exemple de l'ordre de 50 nanomètres.

L'agencement des fils quantiques est optimisé, et peut permettre de conférer des propriétés électriques améliorées au canal de transistor ou aux canaux de transistors que ces derniers réalisent ou sont susceptibles de réaliser. Un ou plusieurs fils quantiques du dispositif microélectronique peuvent avoir été formés de manière à ne pas être en contact avec le support sur lequel repose les blocs 110 et 130. Dans l'exemple illustré par les figures 1A et 1B, les fils ou barreaux 120a, 120b, 120c, 120d, sont formés au dessus des faces inférieures respectives des blocs 110 et 130, et ne sont pas en contact avec la couche isolante 102. Un ou plusieurs fils quantiques du dispositif microélectronique peuvent également avoir été formés de manière à ne pas être en contact avec la face supérieure ou le dessus des blocs 110 et 130 dans lesquels sont réalisées les régions de source et de drain. Dans l'exemple illustré par les figures 1A et 1B, les fils ou barreaux 120a, 120b, 120c, 120d, sont formés au dessous des faces supérieures respectives des

blocs 110 et 130, et ne sont pas en contact avec la couche isolante 102.

L'agencement des fils quantiques peut être également optimisé, en ce qui concerne l'espace ou la place que ces derniers occupent sur le substrat. Comme le montre la figure 1B (représentant une vue en coupe entre les premier bloc 110 et le second bloc 130 du dispositif), un premier fil 120a et un deuxième fil 120b, sont alignés dans une direction réalisant un angle non-nul, par exemple de 90° , avec le plan principal de la couche semi-conductrice 101 ou de la couche isolante 102. Dans une direction sensiblement parallèle au plan principal de la couche isolante 102, un troisième fil semi-conducteur 120c, et un quatrième fil semi-conducteur 120d, sont alignés respectivement, avec le premier fil 120a et avec le deuxième fil 120b.

Le premier fil 120a, et le deuxième fil 120b, peuvent être espacés entre eux d'une distance L_1 , comprise par exemple entre 0 et 100 nanomètres, ou par exemple de l'ordre de 20 nanomètres et sont de préférence distincts ou disjoints.

Le premier fil 120a, et le deuxième fil 120b, peuvent être respectivement espacés du troisième fil 120c, et du quatrième fil semi-conducteur 120d, d'une distance L_2 , comprise par exemple entre 10 nanomètres et 100 nanomètres, ou par exemple de l'ordre de 20 nanomètres.

Les fils quantiques du dispositif microélectronique, peuvent également avoir une forme optimisée, qui facilite le contrôle de conduction du canal à plusieurs branches ou des canaux que ces fils

sont aptes à réaliser. Comme le montre les figures 1A et 1B, les fils 120a, 120b, 120c, 120d, peuvent avoir une forme de cylindre, en particulier à profil arrondi ou présentant une courbure.

5 Les fils 120a, 120b, 120c, 120d, cylindriques, peuvent avoir une section circulaire ou dite « sensiblement » circulaire ou, selon une autre possibilité, être dotés d'une section ovoïde ou dite « sensiblement ovoïde ». Les fils 120a, 120b, 120c,
10 120d, ayant été réalisés par un procédé de microélectronique, par exemple à l'aide d'une ou plusieurs étapes épitaxie(s), ces derniers n'ont pas nécessairement une forme géométrique parfaite, et en particulier une section de forme géométrique parfaite.

15 Selon une possibilité, les fils 120a, 120b, 120c, 120d, sont susceptibles de comporter au moins un méplat, et en particulier un méplat orienté dans une direction réalisant un angle non nul avec le plan principal de la couche isolante 102 (le plan principal
20 de la couche isolante 102 étant un plan appartenant à la couche 102, et parallèle à un plan $[0; \vec{i}; \vec{j}]$ du repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$ défini sur les figures 1A et 1B).

Les fils 120a, 120b, 120c, 120d, sont également susceptibles de comporter un renforcement ou
25 une encoche, et en particulier un renforcement ou une encoche qui s'étend dans la direction d'allongement des fils (la direction d'allongement des fils étant une direction parallèle au vecteur \vec{j} du repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$ défini sur les figures 1A et 1B).

Sur les figures 6A à 6H sont illustrés différents exemples de formes de sections ou de coupes transversales, que les fils 120a, 120b, 120c, 120d, sont susceptibles d'adopter :

- 5 - un premier exemple de fil à section circulaire 600, est illustré sur la figure 6A,
- un deuxième exemple de fil, doté d'une section ovoïde 602, est illustré sur la figure 6B,
- un troisième exemple de fil, doté d'une
- 10 section 606 dite « sensiblement circulaire » est illustré sur la figure 6C. Ce troisième exemple de fil comporte une section 606, dont une plus grande portion du contour ou une plus grande partie du contour, notée 608, a une forme d'arc de cercle, tandis qu'une portion
- 15 inférieure du contour ou une plus petite partie du contour, notée 610, est rectiligne et forme un méplat pour le fil,
- un quatrième exemple de fil, doté d'une section 612 dite « sensiblement ovoïde » est illustré
- 20 sur la figure 6D. Ce quatrième exemple de fil comporte une section sensiblement ovoïde 612, dont une plus grande portion du contour ou une plus grande partie notée 614 du contour, a une forme ovale, tandis qu'une portion inférieure ou une plus petite partie notée 616
- 25 du contour, est rectiligne et forme un méplat pour le fil,
- un cinquième exemple de fil, doté d'une section 618, dite « sensiblement circulaire » est illustré sur la figure 6E. Ce cinquième exemple de fil
- 30 comporte une section 618, dont une plus grande portion ou plus grande partie 620 du contour, a une forme d'arc

de cercle, tandis qu'une portion inférieure ou plus petite partie 622 du contour, forme un renforcement ou une encoche dans le fil,

- un sixième exemple de fil, doté d'une section 624 dite « sensiblement ovoïde » est illustré sur la figure 6F. Ce sixième exemple de fil comporte une section 624, dont une plus grande portion du contour ou une plus grande partie 626 du contour a une forme ovale, tandis qu'une portion inférieure du contour ou plus petite partie 628 du contour forme un renforcement ou une encoche dans le fil,

- un septième exemple de fil, doté d'une section 630 dite « sensiblement circulaire » est illustré sur la figure 6G. Ce septième exemple de fil comporte une section 630, dont une plus grande portion du contour ou une plus grande partie 632 du contour a une forme d'arc de cercle, tandis qu'une portion inférieure du contour ou plus petite partie 634 du contour forme à la fois un renforcement ou une encoche 634 dans le fil et des méplats 636 et 638, de part et d'autre du renforcement 634,

- un huitième exemple de fil, doté d'une section 640 dite « sensiblement ovoïde » est illustré sur la figure 6H. Ce huitième exemple de fil comporte une section 640, dont une plus grande portion du contour ou une plus grande partie 642 du contour a une forme ovale, tandis qu'une portion inférieure du contour ou plus petite partie du contour 644 forme à la fois un renforcement ou une encoche 644 dans le fil et des méplats 646 et 648, de part et d'autre du renforcement 644.

Dans un cas où les barreaux ou fils 120a, 120b, 120c, 120d, ont une forme de cylindre à base circulaire ou ont une section sensiblement circulaire, ces derniers peuvent avoir un diamètre d (le diamètre d étant défini sur la figure 1B dans une direction 5 parallèle au vecteur \vec{i} d'un repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$ compris par exemple entre 1 et 15 nanomètres, ou par exemple de l'ordre de 5 nanomètres.

En ce qui concerne la composition des fils 10 quantiques, les fils ou barreaux 120a, 120b, 120c, 120d, peuvent avoir été formés à base d'un troisième matériau semi-conducteur, qui peut être différent du ou des matériaux à base desquels les blocs 110 et 130 sont formés. Sur la figure 1B par exemple, les fils ou 15 barreaux 120a, 120b, 120c, 120d, peuvent être à base d'un matériau différent de celui des portions 112a, 112b, 112c, 112d, du bloc 110 auxquelles ces fils sont respectivement rattachés. Le troisième matériau semi-conducteur peut être un matériau choisi pour ses 20 performances électriques, notamment en terme de mobilité des porteurs de charges, tel que par exemple du germanium.

Le dispositif qui vient d'être décrit en liaison avec les figures 1A et 1B, peut être complété 25 par une grille 140 formée entre les blocs 110 et 130, qui enrobe les fils 120a, 120b, 120c, 120d, et permet de contrôler la conduction de ces derniers. Cette grille 140 peut former une bague autour des fils quantiques 120a, 120b, 120c, 120d, sur une partie de 30 leur longueur L, et peut être réalisée de manière à ne pas être en contact avec les blocs 110 et 130. Un

matériau diélectrique 142 de grille, par exemple du SiO_2 ou un matériau diélectrique communément appelé « high-k » (ou de constante diélectrique k élevée) tel que par exemple du HfO_2 , ou du Al_2O_3 , ou du ZrO_2 , et
5 d'épaisseur qui peut être conforme, comprise par exemple entre 0,5 et 5 nanomètres, est formé autour des fils 120a, 120b, 120c, 120d. La partie des fils 120a, 120b, 120c, 120d, entourée par le diélectrique 142, se trouve insérée dans un matériau 144 de grille, semi-
10 conducteur tel que par exemple du polysilicium ou conducteur, tel que par exemple du TiN ou du W. De part l'agencement des fils ou barreaux 120a, 120b, 120c, 120d, du dispositif, à l'endroit entre les blocs 110 et 130 où la grille 140 est formée, la couche isolante 102
15 peut être séparée de chacun des fils 120a, 120b, 120c, 120d, par le diélectrique 142 et le matériau 144 de grille, tandis que les fils peuvent être séparés entre eux par le diélectrique 142 et le matériau 144 de grille (figures 2A et 2B, ces figures représentant
20 respectivement, le dispositif de la figure 1A et le dispositif de la figure 1B auxquels ont été ajouté une grille 140 de transistor).

Un exemple de procédé de réalisation d'un dispositif microélectronique suivant l'invention, du
25 type de celui décrit précédemment, va à présent être donné.

La première étape de ce procédé illustrée sur la figure 3A, consiste à réaliser un empilement de couches minces sur un substrat, qui peut être de type
30 semi-conducteur sur isolant, et comprendre une première couche semi-conductrice 201, par exemple à base de

silicium, sur laquelle repose une couche isolante 202 par exemple une couche d'oxyde enterré (« buried oxide » selon la terminologie anglo-saxonne) à base de SiO_2 , elle-même recouverte d'une deuxième couche semi-conductrice 203. Cette deuxième couche semi-conductrice 203 peut être par exemple à base de silicium ou de SiGe. Plusieurs autres couches $204_1, \dots, 204_n$ (avec n un entier, par exemple impair) sont réalisées sur la deuxième couche semi-conductrice 203, et forment avec cette dernière un empilement 205 de couches minces sur la couche isolante 202.

Les couches $204_1, \dots, 204_n$ peuvent être des couches semi-conductrices, formées par exemple, par plusieurs épitaxies successives à partir de la deuxième couche semi-conductrice 203. Les couches 203, $204_1, \dots, 204_n$ ont des épaisseurs (mesurées dans une direction orthogonale à un plan principal de la couche isolante 202, et parallèle au vecteur \vec{k} du repère $[0; \vec{i}; \vec{j}; \vec{k}]$ défini sur la figure 3A) par exemple comprises entre 1 et 100 nanomètres ou entre 1 et 30 nanomètres.

L'empilement 205 peut être formé d'une alternance de couches notées 203, $204_2, 204_4, \dots, 204_n$ à base d'un premier matériau 206, qui peut être semi-conducteur, tel que par exemple du SiGe, et de couches notées $204_1, 204_3, \dots, 204_{n-1}$ à base d'un deuxième matériau 207, différent du premier matériau 206. Le premier matériau 206 peut être un matériau susceptible de pouvoir être gravé de manière sélective vis-à-vis du deuxième matériau 207. Le deuxième matériau 207 peut être quant à lui, un matériau cristallin favorisant la

croissance par épitaxie, par exemple un matériau semi-conducteur tel que du silicium, ou du GaAs, ou du INP.

Selon une possibilité de mise en œuvre, les couches 203, 204₂, ..., 204_{n-1} à base du premier matériau 5 206 peuvent avoir une épaisseur e_1 , comprise par exemple entre 1 et 20 nanomètres, plus épaisse que celle des couches 204₁, 204₃, ..., 204_n à base du deuxième matériau 207, qui peuvent, quant à elles, avoir une épaisseur e_2 , par exemple entre 1 et 15 nanomètres.

10 Une fois l'empilement 205 réalisé, on effectue le dépôt d'une couche de masque dur 208, par exemple à base de Si_3N_4 ou de SiO_2 , ou à base d'un autre matériau apte à protéger l'empilement 205 d'une gravure telle que, par exemple, une gravure plasma. Ensuite, on 15 dépose une couche de résine photosensible 209, par exemple à base de polyimide, sur la couche de masque dur 208, et l'on définit dans la couche de résine 209, par exemple par une méthode de photolithographie, un masque de résine comportant une pluralité de motifs.

20 Ensuite, on effectue une gravure anisotrope de la couche 208 de masque dur protégée par le masque de résine 209, afin de réaliser un masque dur sous le masque de résine, reproduisant la pluralité de motifs de ce dernier (figure 3B). Parmi la pluralité de motifs 25 du masque de résine et du masque dur, figurent un ou plusieurs motifs du type de ceux représentés sur la figure 5, dont au moins un premier motif 310 de région de drain de transistor 300, par exemple de forme rectangulaire, au moins un deuxième motif 330 de région 30 de source de transistor 300, qui peut être semblable au motif de région de drain, ainsi qu'au moins un

troisième motif, reliant le premier motif 310 et le deuxième motif 330. Le troisième motif 320, peut avoir par exemple une forme et des dimensions correspondant à celles d'un motif classique de canal de transistor 300, tel qu'un motif rectangulaire de largeur W, par exemple 5 compris entre 10 nanomètres et 1000 nanomètres et de longueur L, par exemple entre 5 nanomètres et 1000 nanomètres.

Après formation du masque dur 208, le masque de résine 209 peut être éventuellement retiré par un 10 procédé de délaquage, par exemple à l'aide d'un plasma oxydant.

On procède ensuite à une première étape de gravure des couches 203, 204₁,..., 204_n, situées sous le masque dur 208, afin de reproduire les motifs de ce 15 dernier dans l'empilement 205. La gravure peut être de type anisotrope, et réalisée par exemple à l'aide d'un plasma à base de CF₄, HBr, O₂. La figure 4A représente une vue de dessus, sans le masque dur 208, de l'empilement 205 une fois gravé. Cet empilement 205, 20 comporte notamment une première partie ou un premier bloc 210 reproduisant le premier motif 310 et dans lequel au moins une zone active, par exemple une région de source est destinée à être réalisée, une deuxième 25 partie ou un second bloc 230 reproduisant le deuxième motif 330 et dans lequel au moins une zone active, par exemple une région de drain est destinée à être réalisée, ainsi qu'au moins une troisième partie 205a, reproduisant le troisième motif 320 reliant le premier 30 bloc 210 et le deuxième bloc 230. La troisième partie 205a de l'empilement 205, constitue une structure,

représentée selon une coupe transversale sur la figure 3C, formée d'un empilement, de parties des couches 203, 204₁, ..., 204_n, gravées, situées sous une portion notée 208a du masque dur 208, et qui reproduisent le
5 troisième motif 320.

Ensuite, on effectue une seconde gravure de l'empilement 205, qui peut être isotrope, et sélective, de manière à retirer partiellement certaines des couches 203, 204₁, 204₂, ..., 204_n, de l'empilement 205,
10 par exemple celles 203, 204₂, ..., 204_{n-1} à base du premier matériau 206.

Dans le cas où les couches 203, 204₂, ..., 204_{n-1} sont à base d'un premier matériau semi-conducteur, tel que par exemple du SiGe tandis que
15 les couches 204₁, 204₃, ..., 204_n sont à base d'un deuxième matériau semi-conducteur tel que par exemple du silicium, la gravure peut être une gravure isotrope du premier matériau semi-conducteur, sélective vis-à-vis du deuxième matériau semi-conducteur. Une telle gravure
20 peut être réalisée par exemple à l'aide d'un plasma à base de fluor, par exemple à base de CF₄ ou de NF₃ dans un cas où le premier matériau 206 est du SiGe. Dans un autre cas, où le premier matériau 206 est du Si, la gravure sélective peut être réalisée par exemple à
25 l'aide d'un plasma à base de CF₄ + CH₂F₂ + N₂ + O₂.

L'empilement 205 étant protégé sur le dessus par le masque dur 209, la seconde gravure permet d'effectuer un retrait de portions des couches 203, 204₂, ..., 204_{n-1}, à base du premier matériau 206
30 semi-conducteur, de part et d'autre de la structure 205a, au niveau des flancs ou faces latérales de cette

dernière (figure 3D, les flancs ou faces latérales de la structure 205a étant des parties de cette dernière parallèles au plan $[0; \vec{j}; \vec{k}]$ sur cette figure).

De manière préférable, la seconde étape de gravure sélective impacte les couches 203, 204₂, 204₄, ..., 204_{n-1} à base du premier matériau 206 et laisse les autres couches 204₁, 204₃, ..., 204_n à base du deuxième matériau 207 intactes.

Comme le montre la figure 4B, représentant une vue de dessus de l'empilement 205, sans le masque dur 208, et après la seconde gravure, les couches gravées 203, 204₂, 204₄, ..., 204_{n-1} ont des étendues inférieures à celles des autres couches 204₁, 204₃, ..., 204_{n-1} à base du deuxième matériau semi-conducteur (les couches 204₂, 204₄, ..., 204_{n-1}, d'une part et 204₁, 204₃, ..., 204_{n-1}, d'autre part étant délimitées sur cette figure 4B, respectivement, par des traits discontinus, et par un trait continu).

Il résulte, à la suite de la seconde étape de gravure, que l'empilement 205 et notamment la structure 205a comporte sur ses flancs, ou sur chacune de ses faces latérales, un profil dentelé 213 (représenté par des traits discontinus sur la figure 3D). Ce profil dentelé 213 peut être un profil en créneaux. En effet, suivant la qualité de la gravure sélective précédemment décrite, les blocs de couches empilées formant la structure 205a peuvent avoir une forme proche d'une forme parfaitement parallélépipédique. Des blocs empilés de forme proche d'une forme parfaitement parallélépipédique et de

largeurs différentes les unes des autres réalisent un profil en créneau.

Ensuite, on forme sur les flancs ou faces latérales de la structure 205a, des bouchons isolants ou espaceurs 212 isolants (« spacers selon la terminologie anglo-saxonne), de manière à combler au moins partiellement les parties des couches 203, 204₂, ..., 204_{n-1} qui ont été retirées par gravure sélective de l'empilement 205. Avantageusement, les bouchons isolants 212 combleront totalement les parties des couches 203, 204₂, ..., 204_{n-1}, qui ont été retirées lors de la gravure sélective de l'empilement 205.

La formation de ces espaceurs 212 isolants peut être réalisée tout d'abord par un dépôt conforme d'une couche diélectrique 211, par exemple à base de Si₃N₄, et d'épaisseur comprise entre 20 à 50 nanomètres, sur l'empilement 205 et en particulier sur la structure 205a, puis, une gravure partielle, isotrope, de la couche diélectrique 211 déposée. Cette gravure partielle est réalisée de manière à ne conserver la couche diélectrique 211, de préférence qu'autour des parties retirées lors de la seconde étape de gravure, des couches 203, 204₂, ..., 204_{n-1}, à base du premier matériau 206. L'épaisseur restante de la couche diélectrique 211 forme alors des espaceurs isolants 212 de part et d'autre de la structure 205a, sur les flancs ou faces latérales de cette dernière. L'épaisseur de la couche diélectrique 211, qui est conservée, peut éventuellement être telle que, après formation des espaceurs 212, la structure 205a comporte sur ses côtés

ou faces latérales, un nouveau profil, plan ou quasi plan.

Suite à la réalisation des espaceurs 212, l'empilement 205, et en particulier la structure 205a, est recouverte et protégée sur le dessus par la partie 5 208a du masque dur 208, et comporte sur ses côtés ou flancs ou faces latérales, une alternance de zones ou bandes isolantes formées par les espaceurs isolants 212, et de zones ou bandes semi-conductrices formées 10 par les couches 204₁,..., 204_n à base du deuxième matériau 207 semi-conducteur (figure 3E).

Sur chacune des zones ou bandes formées par les couches 204₁,..., 204_{n-1}, à base du deuxième matériau 207 semi-conducteur, affleurant sur les côtés ou flancs 15 de l'empilement 205, on forme une épaisseur à base d'un troisième matériau 214 semi-conducteur, par exemple à l'aide d'une croissance par épitaxie. Cette épitaxie du troisième matériau 214 sur le deuxième matériau 207, est sélective vis-à-vis des espaceurs isolants 212.

Ainsi, les zones à base du deuxième 20 matériau semi-conducteur, situées sur les flancs ou côtés, ou faces latérales de l'empilement 205, peuvent servir de germe cristallin de départ pour faire croître des épaisseurs 220 semi-conductrices par exemple entre 25 1 et 15 nanomètres, à base d'un troisième matériau 214 semi-conducteur. Les épaisseurs 220 peuvent avoir la forme de blocs cylindriques ou sensiblement cylindriques, qui entourent l'empilement 205. Des portions, notées 220a, de ces blocs cylindriques 30 longent les faces latérales ou côtés ou flancs de la structure 205a. Ces portions forment des fils 220a

cylindriques ou barreaux 220a cylindriques ou tiges cylindriques 220a, en particulier à profil arrondi ou courbe, qui relie la première partie ou premier bloc 210 et la deuxième partie ou deuxième bloc 230 de l'empilement 205 (figures 4C et 3F, ces figures 5 représentant respectivement, une vue de dessus de l'empilement 205 sans le masque dur 208, et une vue en coupe de la structure 205a entre la première partie 210 et la deuxième partie 230 de l'empilement.

10 Les fils 220a cylindriques, peuvent par exemple avoir une section circulaire comme cela est illustré sur la figure 3F ou, selon une autre possibilité, une section ovoïde.

Les fils 220a étant réalisés par un procédé 15 de microélectronique, par exemple à l'aide d'une croissance par épitaxie(s), ces derniers n'ont pas nécessairement une forme géométrique parfaite, et en particulier une section de forme géométrique parfaite. Ainsi à l'interface avec les couches $204_1, \dots, 204_{n-1}$, à 20 base du deuxième matériau 207 sur lesquelles les fils 220a ont été formés, ces fils 220a sont susceptibles de comporter au moins un méplat, ou/et une encoche ou un renforcement.

Les figures 7A à 7F illustrent différentes 25 variantes de formes de sections, que les fils 220a sont susceptibles d'adopter. Ces formes de sections peuvent dépendre notamment, du profil des faces latérales ou flancs de la structure 205a.

Les figures 7A et 7B (représentant chacune 30 une vue en coupe d'une partie de la structure 205a entre la première partie 210 et la deuxième partie 230

de l'empilement 205) illustrent respectivement un exemple de fil doté d'une section sensiblement ovoïde 700 et d'un méplat 702 contre la structure 205a, et un autre exemple de fil doté d'une section sensiblement circulaire 704, et d'un méplat 706 contre la structure 205a.

Les figures 7C et 7D (représentant chacune une vue en coupe d'une partie de la structure 205a entre la première partie 210 et la deuxième partie 230 de l'empilement 205), illustrent respectivement, un exemple de fil doté d'une section sensiblement ovoïde 708 et d'un renforcement ou d'une encoche 710, et un autre exemple de fil 220a doté d'une section sensiblement circulaire 712 et d'un renforcement ou d'une encoche 714.

Les figures 7E et 7F (représentant chacune une vue en coupe d'une partie de la structure 205a entre la première partie 210 et la deuxième partie 230 de l'empilement 205) illustrent respectivement un exemple de fil 220a doté d'une section sensiblement ovoïde 716 ainsi que d'une encoche 718 et de méplats 720 et 722 de part et d'autre de l'encoche 718, et un autre exemple de fil 220a doté d'une section sensiblement circulaire 730, ainsi que d'une encoche 732 et de méplats 734 et 736 de part et d'autre de l'encoche 732.

Le troisième matériau semi-conducteur 214, à base duquel sont réalisés les fils 220a, peut être différent du premier matériau 206 semi-conducteur et du deuxième matériau semi-conducteur 207 à base desquels les couches 203, 204₂, ..., 204_n d'une

part et les couches $204_1, 204_3, \dots, 204_{n-1}$, d'autre part sont respectivement formées. Ce troisième matériau 214 semi-conducteur peut être un matériau choisi pour ses performances électriques, notamment en termes de
5 mobilité des porteurs de charges, par exemple du Germanium.

Les tiges 220a ou barreaux 220a ou fils 220a, reliant des blocs 210 et 230 dans lesquels, respectivement, une région de source et une région de
10 drain sont destinés à être formées, ces fils 220a, sont prévus pour servir de fils quantiques et former une structure de canal de transistor à plusieurs branches ou éventuellement plusieurs canaux de transistors.

Ensuite, on recouvre l'empilement 205 d'une
15 couche isolante 235, par exemple à base de SiO_2 , ou d'oxyde HTO (HTO pour « High Temperature Oxide ») ou de Si_3N_4 . Cette couche isolante 235 peut être réalisée avec une épaisseur supérieure à la hauteur de l'empilement 205, de manière à recouvrir entièrement ce
20 dernier.

Une cavité 236, est ensuite réalisée dans la couche isolante 235. Comme le montre la figure 4D (représentant une vue de dessus de l'empilement 205, sans le masque 208), recouvert par la couche isolante
25 235, la cavité 236 peut avoir un dessin et un emplacement correspondant à celui d'une grille de transistor.

La cavité 236 peut être réalisée par exemple à l'aide d'étapes de photolithographie et de
30 gravure, de manière à dévoiler la couche isolante 202 du substrat 201, ainsi qu'au moins une partie de la

structure 205a, et une portion des fils 220a formés de part et d'autre de cette dernière (figure 4D et figure 3G).

5 Ensuite, on retire les parties de la structure 205a dévoilées par la cavité 236. Les portions ou parties des fils 220a qui sont dévoilées par la cavité 236, sont quant à elles conservées.

Pour effectuer ce retrait, on peut tout d'abord retirer dans la cavité 236, le matériau diélectrique 211 formant les espaceurs 212, à l'aide
10 d'une gravure chimique, par exemple au moyen d'une solution aqueuse à base de H_3PO_4 . Selon une autre possibilité, ce retrait peut être effectué à l'aide d'un plasma, par exemple à base de $CF_4+CH_2F_2+N_2+O_2$, puis
15 réaliser une gravure, sélective vis-à-vis du troisième matériau semi-conducteur.

Cette gravure sélective vis-à-vis du troisième matériau semi-conducteur, peut être, par exemple, une gravure sèche ou une gravure chimique à
20 l'aide par exemple de TMAH (TMAH pour tétra-méthyl ammonium hydroxyle). Seules les portions des fils ou barreaux 220a dévoilées par la cavité 236, sont alors conservées dans cette dernière (figure 4E, cette figure représentant une vue de dessus de l'empilement 205,
25 recouvert par la couche isolante 235).

Comme le montre la figure 3H (cette figure représentant une vue en coupe de l'empilement 205 située entre la première partie 210 de cet empilement et la deuxième partie 230 de cet empilement, dans
30 lesquelles respectivement une région de drain et une région de source sont destinées à être formées) suite

au retrait dans la cavité 236 de la structure 205a, les portions des fils 220a, situées dans la cavité 236 sont détournées, et en suspension dans cette cavité 236.

Une grille 240 peut être est ensuite
5 réalisée dans la cavité 236, à l'aide d'un procédé Damascène, lors duquel on effectue tout d'abord un dépôt d'un isolant 242, autour des portions des fils 220a dévoilés par la cavité 236. Ce dépôt peut être conforme, d'épaisseur par exemple de l'ordre de 1 à
10 10 nanomètres, et à base par exemple de SiO₂, ou par exemple d'un matériau diélectrique de type communément appelé « high-k » tel que le HfO₂.

Ensuite, la cavité 236 est remplie à base
d'un matériau 244 de grille, qui peut être
15 semi-conducteur tel que par exemple du polysilicium ou métallique, tel que par exemple du molybdène (figure 3I).

Dans le cas où le remplissage de la cavité
dépasse de l'embouchure de cette dernière et recouvre
20 la couche isolante 235, une étape de CMP (CMP pour « chemical mechanical polishing » ou polissage mécano-chimique) peut être prévue pour ne conserver le matériau 244 de grille 240, dans la cavité 236 que jusqu'au niveau de l'embouchure de cette dernière.

25 Comme cela été évoqué plus haut, au moins une région de drain ainsi qu'au moins une région de source sont destinées à être formées, respectivement, dans la première partie 210 et dans la deuxième partie 230, de l'empilement 205.

30 Selon une possibilité de réalisation de ces régions de drain et de source, on peut, après formation

de la grille 240, retirer la couche isolante 235 au
dessus des parties 210 et 230 de l'empilement 205, afin
de procéder à une implantation ionique par exemple à
base d'As ou de P ou de B ou de BF₂, puis à une
5 siliciuration des parties 210 et 230.

Selon une variante du procédé, avant
l'étape de formation de la grille 240 dans la cavité
235, on peut réaliser des espaceurs qui permettront de
séparer électriquement la grille, d'une part, de la
10 partie 210 de l'empilement 205 destinée à former une
région de source de transistor, et d'autre part, de la
partie 230 de l'empilement 205 destinée à former une
région de drain.

REVENDICATIONS

1. Procédé de réalisation d'un dispositif microélectronique doté d'un ou plusieurs fils aptes à
5 former un canal de transistor ou un canal de transistor à plusieurs branches ou plusieurs canaux de transistors, le procédé comprenant les étapes de :

a) formation dans une ou plusieurs couches minces reposant sur un support, d'au moins un premier
10 bloc (210) et d'au moins un second bloc (230) dans lesquels respectivement au moins une région de drain et au moins une région de source sont destinées à être formés, et d'au moins une structure (205a) reliant le premier bloc (210) et le second bloc (230),

b) formation sur au moins un flanc de la
15 structure (205a) d'un ou plusieurs fils (220a), reliant une première zone du premier bloc (210) et une autre zone du second bloc (230), aptes à former un canal ou un canal de transistor à plusieurs branches ou
20 plusieurs canaux de transistors.

2. Procédé de réalisation d'un dispositif microélectronique selon la revendication 1, dans lequel le premier bloc et second bloc (210, 230) et la
25 structure sont formés d'un empilement (205) de couches minces, le procédé comprenant en outre, avant l'étape a) : la réalisation sur le support de cet empilement (205) de couches minces.

30 3. Procédé de réalisation d'un dispositif microélectronique selon la revendication 1 ou 2,

comprenant en outre, après l'étape b) : une étape de suppression, entre le premier bloc (210) et le deuxième bloc (220), sélective vis-à-vis des fils (220a), d'au moins une partie de la structure (205a).

5

4. Procédé de réalisation d'un dispositif microélectronique selon l'une des revendications 1 à 3, dans lequel le premier bloc et second bloc (210, 230) et la structure sont formés dans un empilement (205) de couches minces, l'étape a) comportant les étapes de :

10

- formation d'au moins un masquage sur ledit empilement,
- gravure anisotrope de l'empilement (205) à travers le masquage (208).

15

5. Procédé de réalisation d'un dispositif microélectronique selon l'une des revendications 1 à 4, dans lequel le premier bloc et second bloc (210, 230) et la structure sont formés dans un empilement (205) de couches minces, les fils (220a) à l'étape b) étant réalisés par croissance ou par croissance sélective d'au moins un matériau semi-conducteur (214) autour d'une ou plusieurs couches données (204₁, ..., 204_{n-1}) de l'empilement (205).

20

6. Procédé de réalisation d'un dispositif microélectronique selon l'une des revendications 1 à 5, dans lequel le premier bloc et second bloc (210, 230) et la structure (205a) sont formés dans un empilement (205) de couches minces, l'empilement (205) étant formé d'au moins deux couches successives (203, 204₁) à base

25

30

de matériaux (206,207) différents ou d'au moins une paire de couches successives (203,204₁) à base de matériaux (206,207) différents.

5 7. Procédé de réalisation d'un dispositif microélectronique selon l'une des revendications 1 à 6, dans lequel le premier bloc et second bloc (210, 230) et la structure (205a) sont formés dans un empilement (205) de couches minces, l'empilement (205) étant formé
10 d'une alternance de couches à base d'un premier matériau (206) semi-conducteur, et d'autres couches à base d'un deuxième matériau (207), différent du premier matériau (206).

15 8. Procédé de réalisation d'un dispositif microélectronique selon l'une des revendications 2 à 7, dans lequel le premier bloc, le second bloc (210, 230) et la structure (205a) sont formés dans un empilement (205) de couches minces et dans lequel l'empilement
20 (205) est formé d'une ou plusieurs couches à base d'un premier matériau (206), et d'une ou plusieurs autres couches à base d'un deuxième matériau (207), le procédé comprenant en outre après l'étape a) et avant l'étape b), les étapes de :

25 - gravure partielle et sélective du deuxième matériau (207) vis-à-vis des couches à base du premier matériau (206),

 - formation d'une épaisseur isolante (211) autour des couches (203,204₂...,204_{n-1}) à base du premier
30 matériau (206).

9. Procédé de réalisation d'un dispositif microélectronique selon la revendication 8, l'étape b) étant réalisée, par croissance ou par croissance par épitaxie, sur le deuxième matériau (207), d'un
5 troisième matériau (211), le troisième matériau (211) étant différent du premier matériau (206) et/ou du deuxième matériau (207).

10. Procédé de réalisation d'un dispositif
10 microélectronique selon l'une des revendications 3 à 9, comprenant en outre, après l'étape de suppression d'au moins une partie de la structure, sélective vis-à-vis des fils (220a), les étapes de :

- dépôt d'une couche isolante (235) sur la
15 structure (205a),

- formation d'au moins une ouverture (236) dans la couche isolante (235) entre le premier bloc et le deuxième bloc, dévoilant la structure (205a) et les fils (220a) ou dévoilant une partie de la structure
20 (205a) et des fils (220a),

- gravure de la structure (205a) à travers l'ouverture (236), sélective vis-à-vis des fils (220a).

11. Procédé de réalisation d'un dispositif
25 microélectronique selon la revendication 10, comprenant en outre, après la gravure de la structure (205a) à travers l'ouverture (236), la formation d'une grille (250) de transistor dans l'ouverture (236).

30 12. Procédé de réalisation d'un dispositif microélectronique selon l'une des revendications 1 à

11, la première zone du premier bloc (210) et ladite autre zone du second bloc (230) étant à base d'un ou de matériaux différent(s) du matériau (214) à base duquel sont formés les fils (220a).

5

13. Procédé de réalisation d'un dispositif microélectronique selon l'une des revendications 1 à 12, les fils (220a) formés à l'étape b) étant distincts ou disjoints.

10

14. Procédé de réalisation d'un dispositif microélectronique selon l'une des revendications 1 à 13, un ou plusieurs fils (220a) formés à l'étape b), ou tous les fils (220a) formés à l'étape b) étant distincts du support.

15

15. Procédé de réalisation d'un dispositif microélectronique selon l'une des revendications 1 à 14, les fils (220a) formés à l'étape b) ayant une forme cylindrique.

20

16. Procédé de réalisation d'un dispositif microélectronique selon l'une des revendications 1 à 15, les fils (220a) formés à l'étape b) étant dotés d'un profil arrondi ou présentant une courbure.

25

17. Procédé de réalisation d'un dispositif microélectronique selon l'une des revendications 1 à 16, les fils (220a) formés à l'étape b) comportant au moins une encoche ou/et au moins un méplat.

30

18. Procédé de réalisation d'un dispositif microélectronique selon l'une des revendication 1 à 17, dans lequel le support est formé d'au moins une couche semi-conductrice (201) et d'au moins une couche isolante (202) reposant sur la couche semi-conductrice (201), l'empilement (205) de couches minces formé à l'étape a) reposant sur la couche isolante (202).

19. Dispositif microélectronique comprenant :

- un support,
- au moins un premier bloc (110) et au moins un second bloc (130) reposant sur le support, dans lesquels respectivement, au moins une région de drain et au moins une région de source sont aptes à être formées,

- plusieurs fils cylindriques (110a, 110b, 110c, 110d), reliant une première zone du premier bloc (110) et une autre zone du second bloc (130), et aptes à former un canal de transistor ou un canal de transistor à plusieurs branches ou plusieurs canaux de transistors, au moins deux fils (110a, 110b) étant alignés dans une direction réalisant un angle non nul avec un plan principal du support.

25

20. Dispositif microélectronique selon la revendication 19, dans lequel les fils (110a, 110b, 110c, 110d) sont rattachés à une portion de la première zone du premier bloc (110) et à une autre portion de ladite autre zone du second bloc (130), au moins un fil donné parmi les fils étant à base d'un matériau

30

différent de la portion respective de la première zone ou/et de l'autre portion respective de ladite autre zone du second bloc auquel ce fil donné est rattaché.

5 21. Dispositif microélectronique selon la revendication 19 ou 20, les fils étant dotés d'un profil arrondi ou d'un profil présentant une courbure.

10 22. Dispositif microélectronique selon l'une des revendications 19 à 21, au moins un fil parmi lesdits fils (110a, 110b, 110c, 110d) n'étant pas en contact avec le support.

15 23. Dispositif microélectronique selon l'une des revendications 19 à 22, au moins deux fils (110a, 110c) étant alignés dans une direction parallèle au plan principal du support.

20 24. Dispositif microélectronique selon l'une des revendications 19 à 23, le premier bloc (110) et le second bloc (130) comprenant au moins une couche à base d'un premier matériau semi-conducteur, et au moins une couche à base d'un deuxième matériau semi-conducteur, différent du premier matériau semi-
25 conducteur.

30 25. Dispositif microélectronique selon l'une des revendications 19 à 24, le premier bloc et le second bloc comprenant une alternance de couches à base d'un premier matériau semi-conducteur et de couches à

base d'un deuxième matériau semi-conducteur, différent du premier matériau semi-conducteur.

26. Dispositif microélectronique selon
5 l'une des revendications 24 ou 25, les fils (110a, 110b, 110c, 110d) étant à base d'un troisième matériau semi-conducteur, différent du premier matériau semi-conducteur et du deuxième matériau semi-conducteur.

10

27. Dispositif microélectronique selon l'une des revendications 19 à 26, comprenant en outre : au moins une grille (150) enrobant au moins partiellement lesdits fils (110a, 110b).

15

28. Dispositif microélectronique selon la revendication 27, le support et au moins un desdits fils (110a, 110b, 110c, 110d) étant séparés par une portion de grille (150).

20

29. Dispositif microélectronique selon l'une des revendications 19 à 28, dans lequel les fils (110a, 110b, 110c, 110d) ont un profil arrondi ou un profil présentant une courbure, et comportent au moins
25 un méplat, ou/et au moins un renforcement.

30. Dispositif microélectronique selon l'une des revendications 19 à 29, dans lequel, le support est formé d'une couche semi-conductrice (101)
30 recouverte par une couche isolante (102), le premier

bloc (110) et le second bloc (130) reposant sur la couche isolante (102).

31. Dispositif microélectronique selon l'une des revendications 19 à 30, les fils étant distincts ou disjoints.

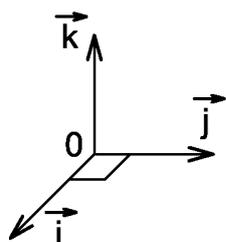
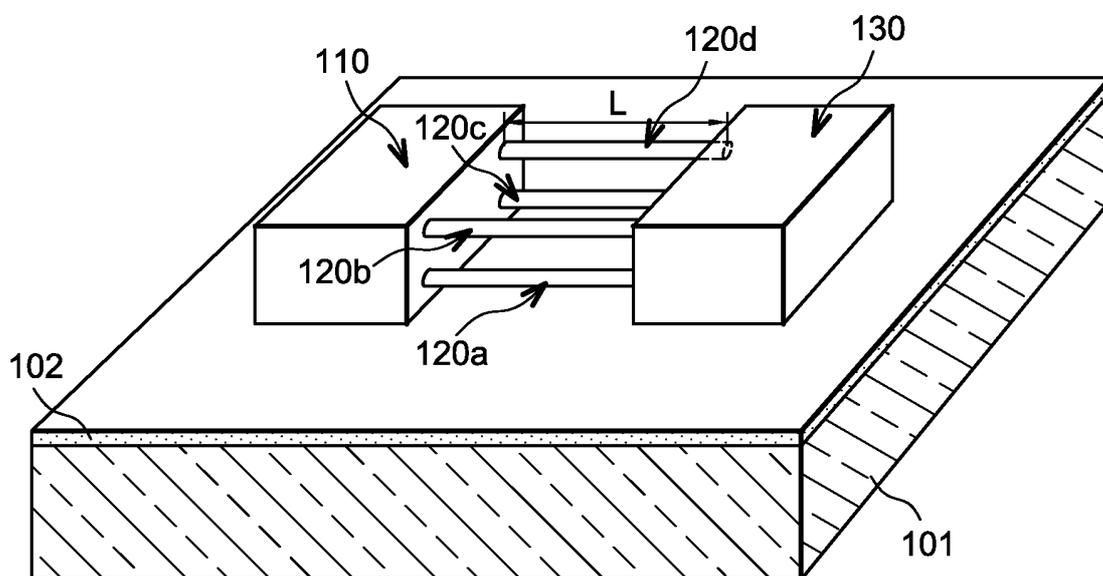


FIG. 1A

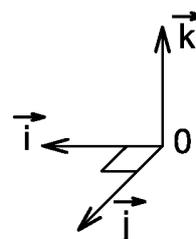
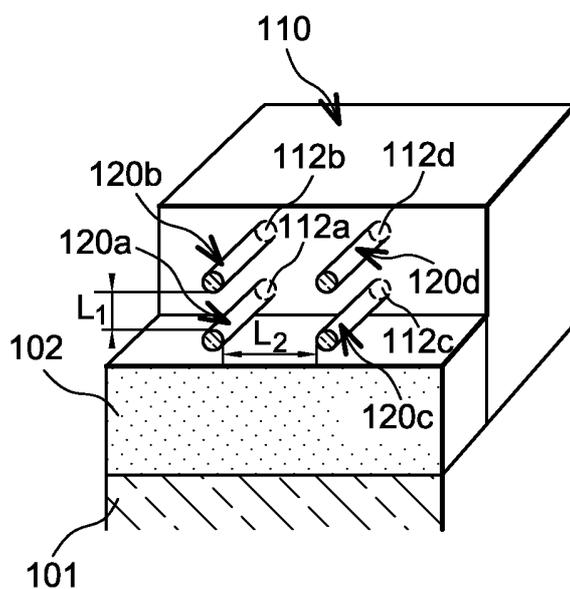


FIG. 1B

2 / 11

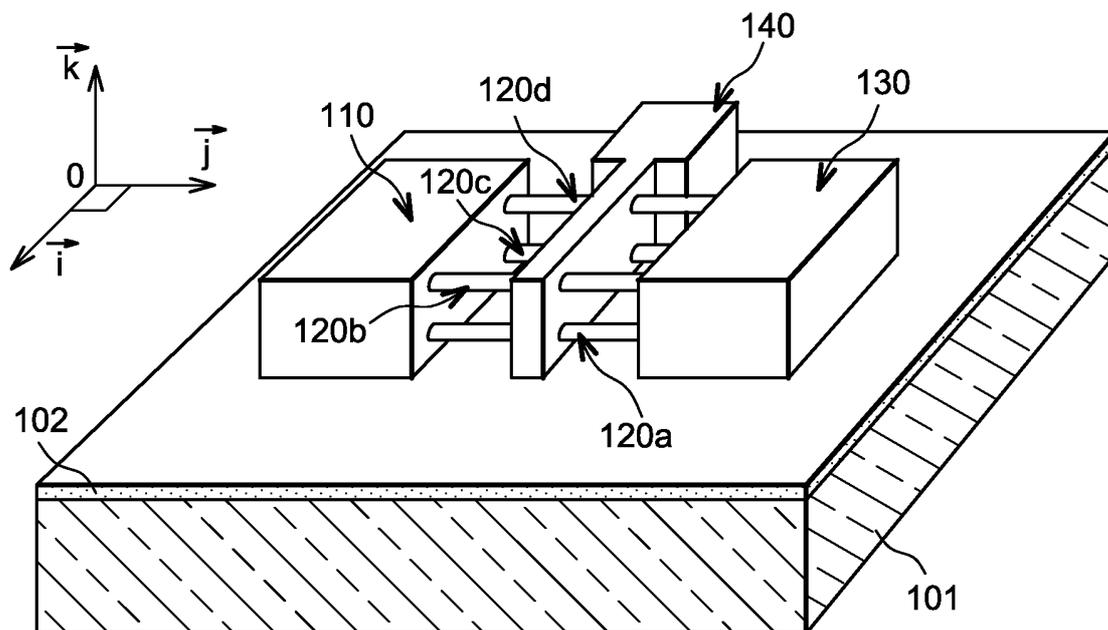


FIG. 2A

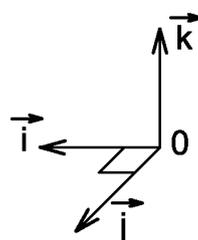


FIG. 2B

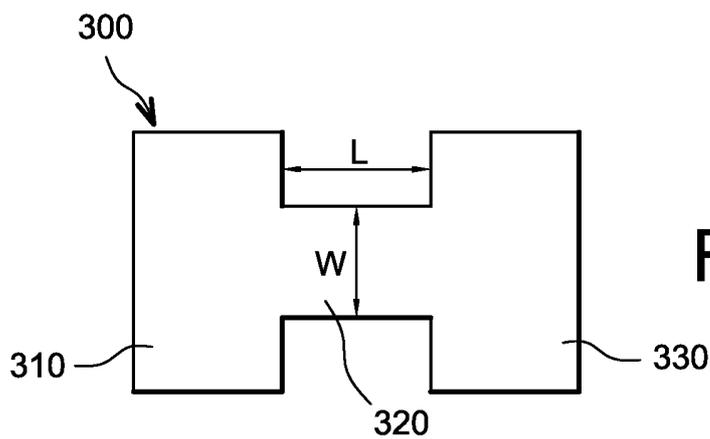
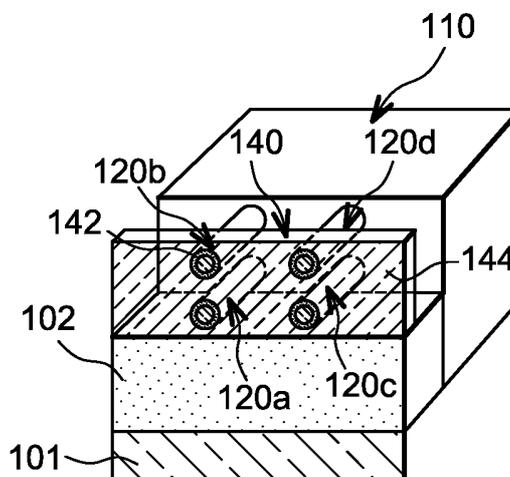


FIG. 5

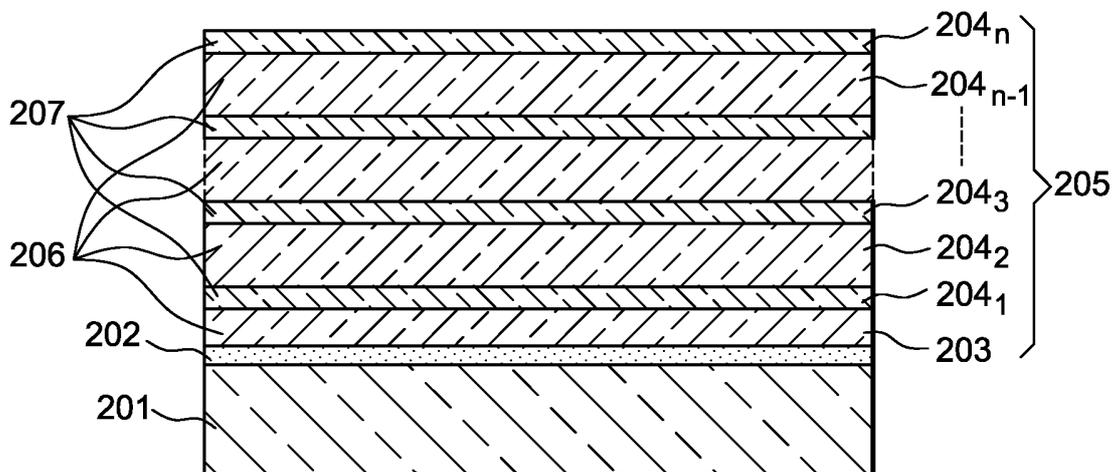


FIG. 3A

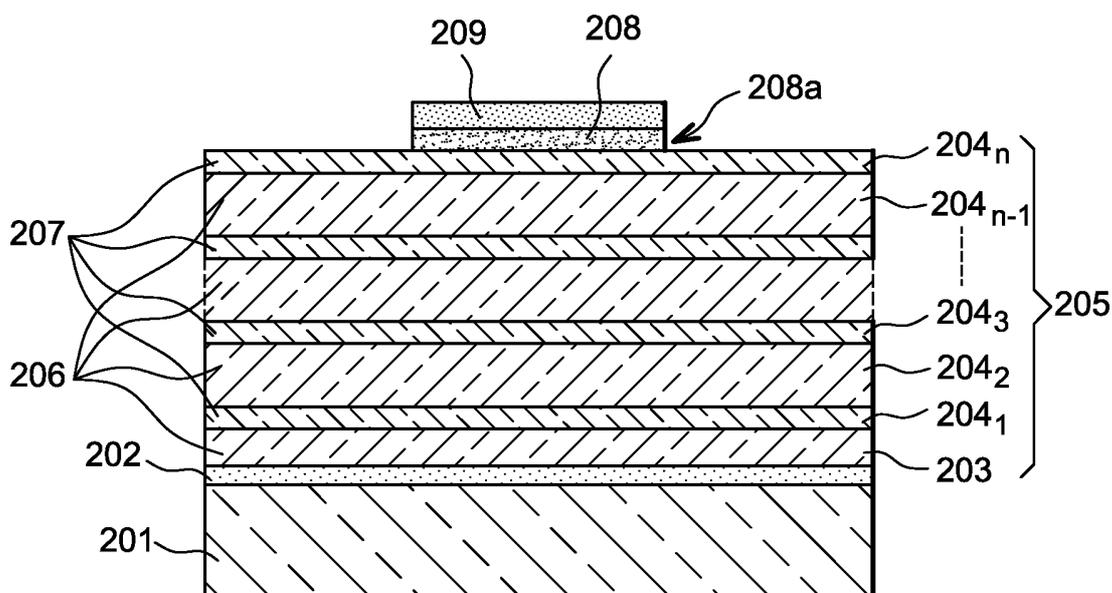
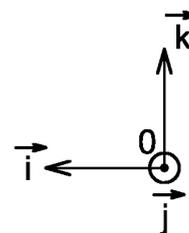
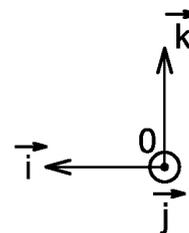


FIG. 3B



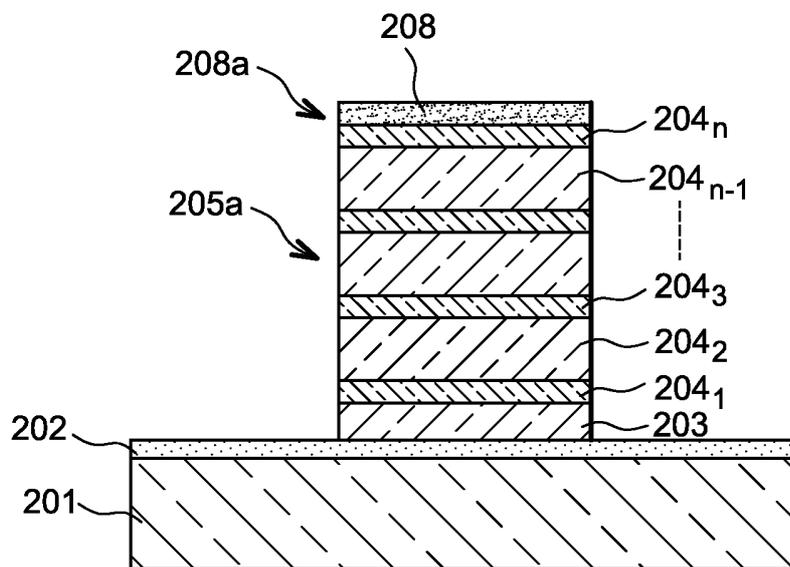


FIG. 3C

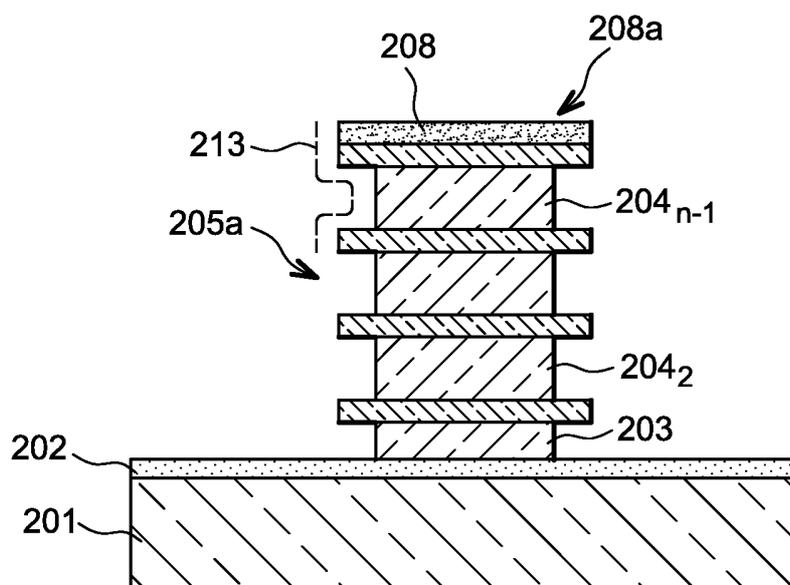
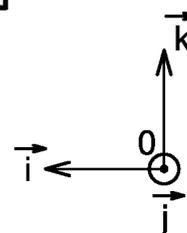
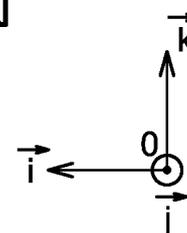


FIG. 3D



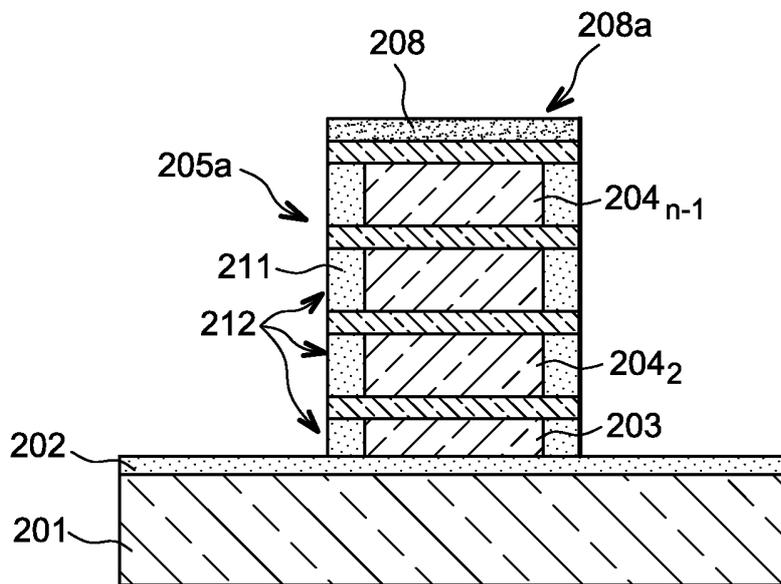


FIG. 3E

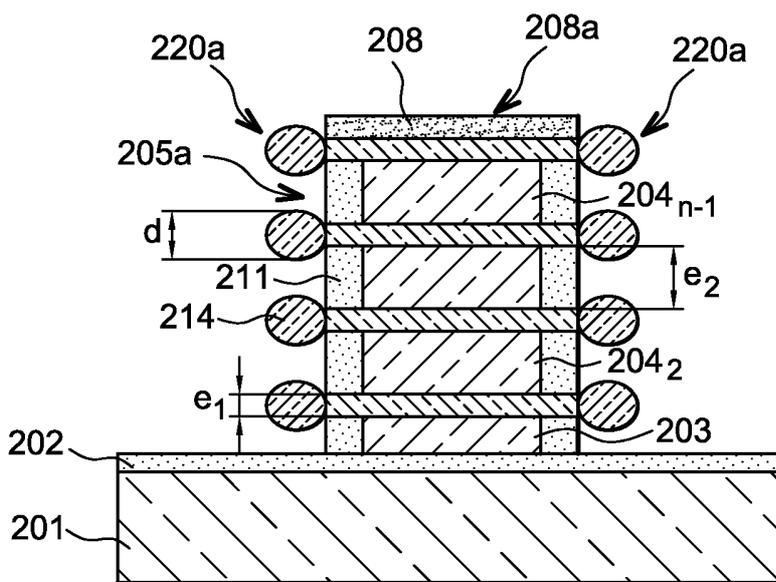
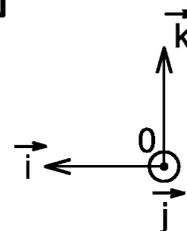
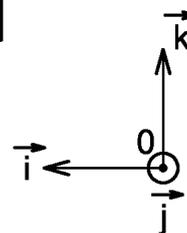


FIG. 3F



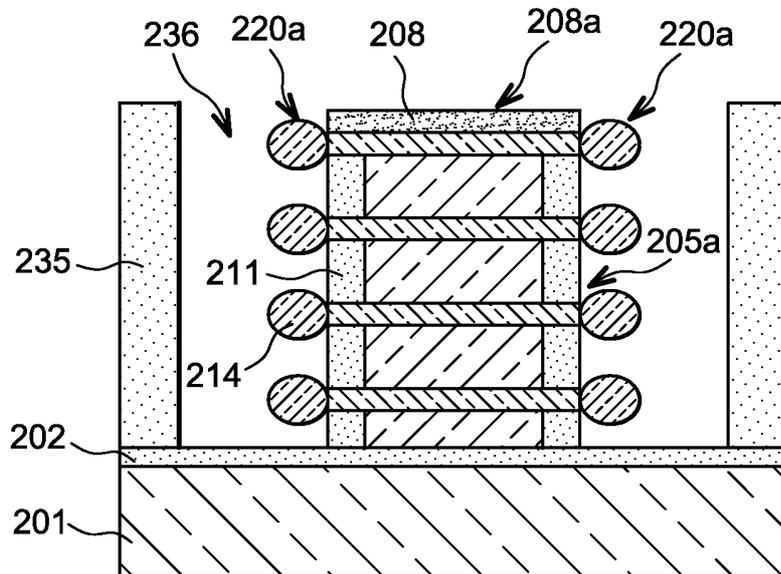


FIG. 3G

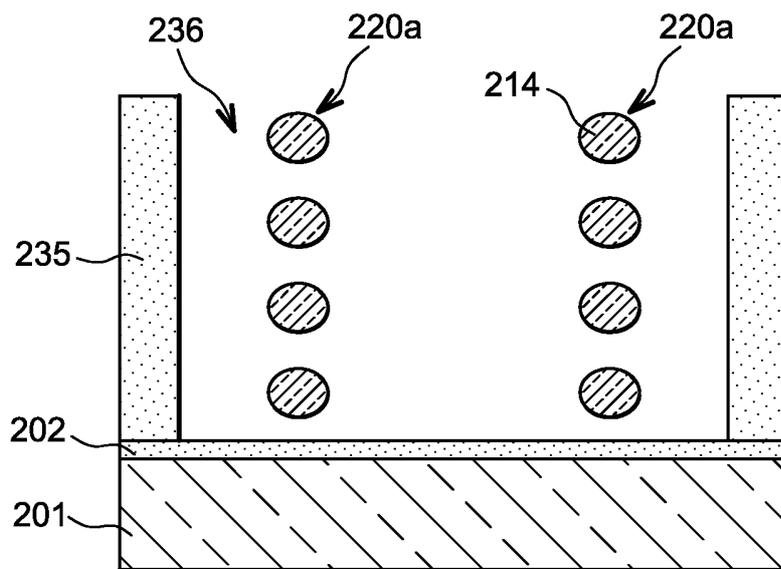
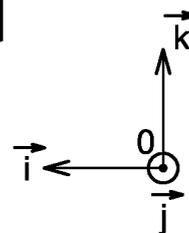
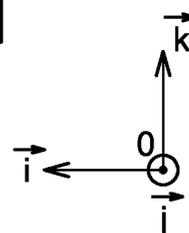


FIG. 3H



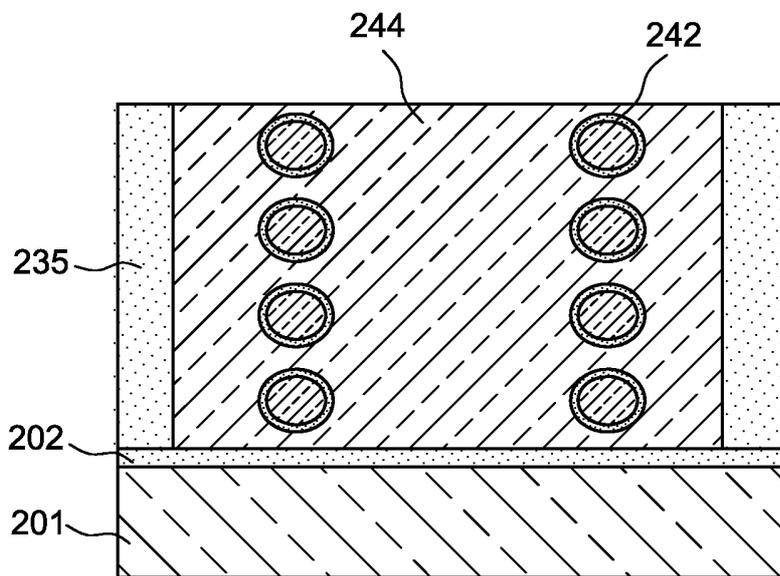


FIG. 3I

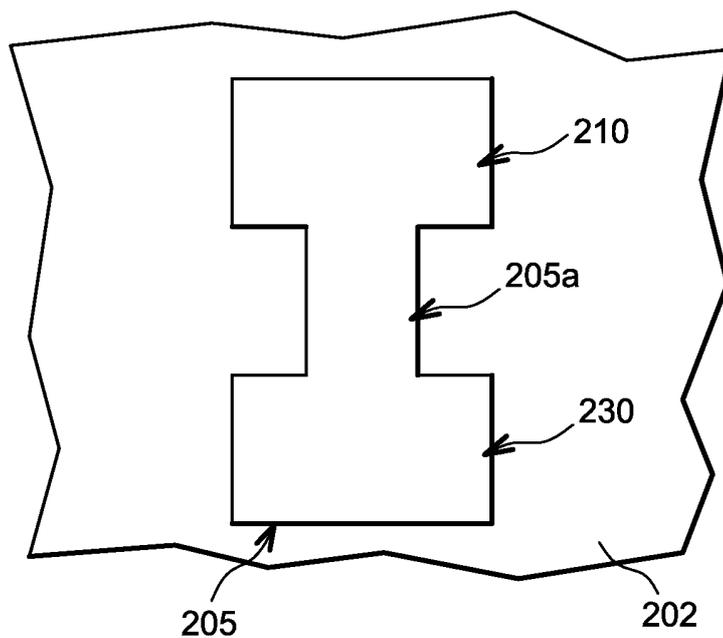
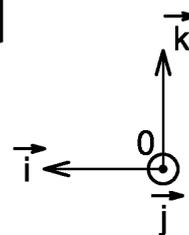


FIG. 4A

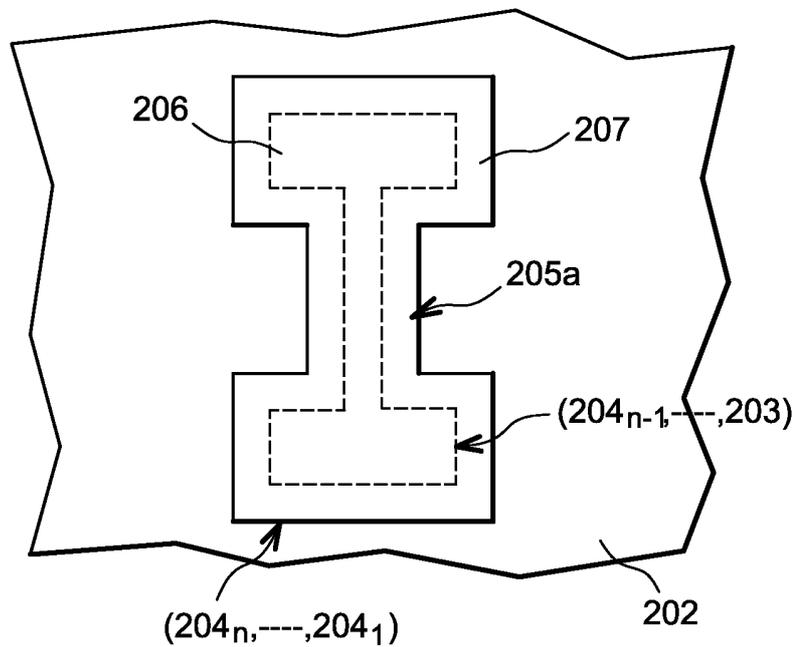


FIG. 4B

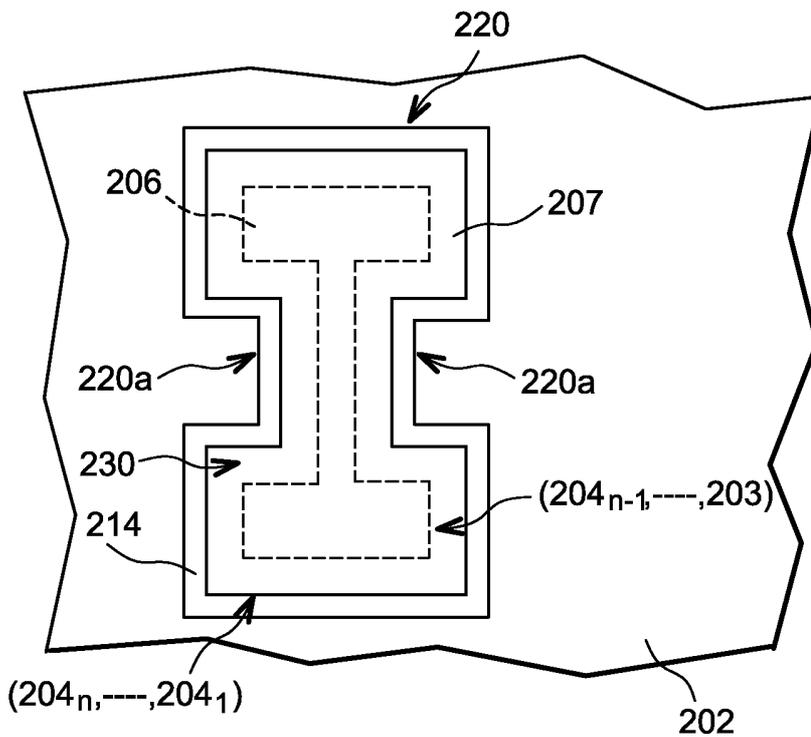


FIG. 4C

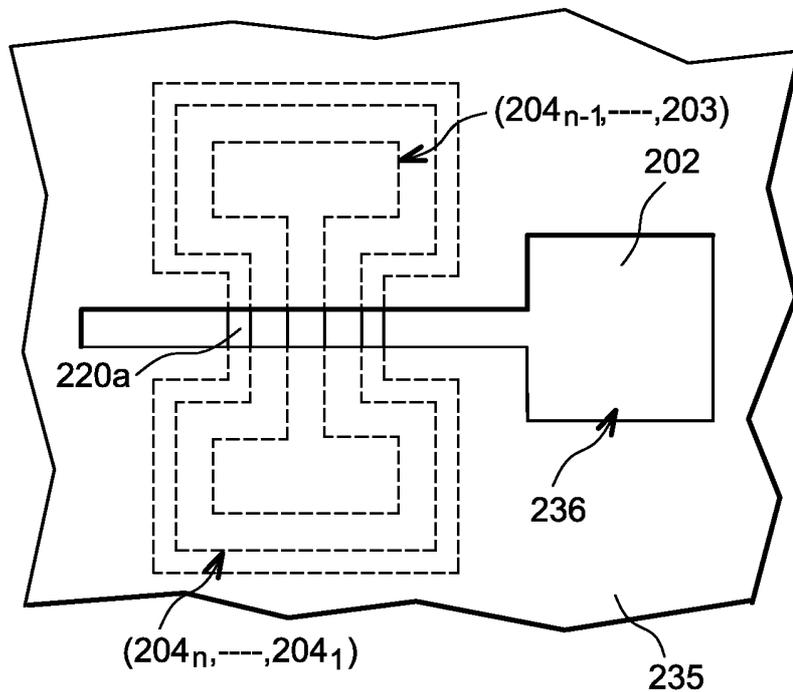


FIG. 4D

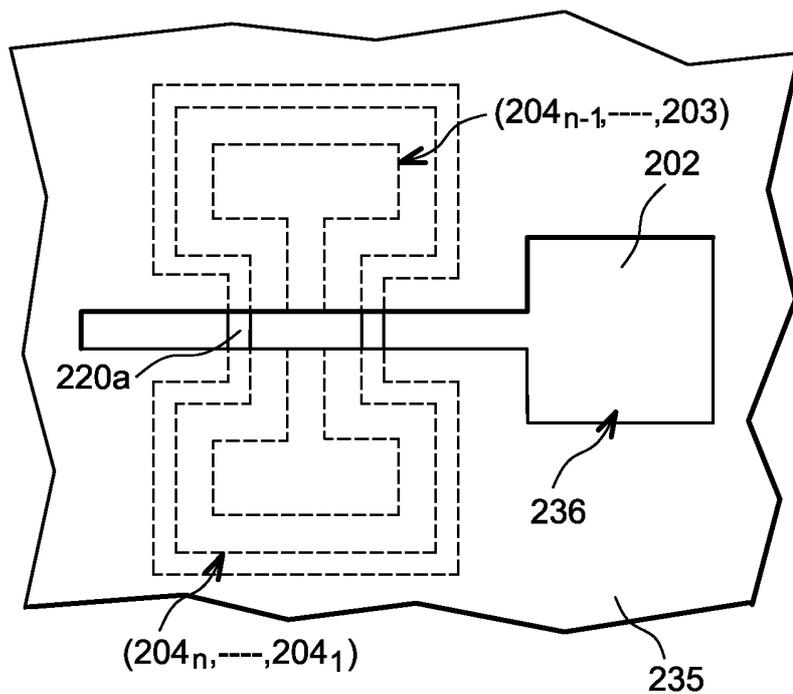


FIG. 4E

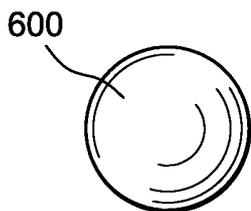


FIG. 6A

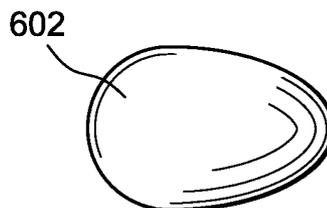


FIG. 6B

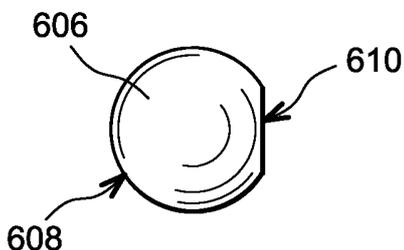


FIG. 6C

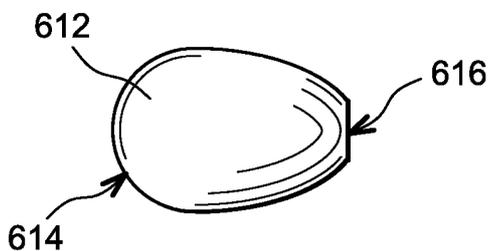


FIG. 6D

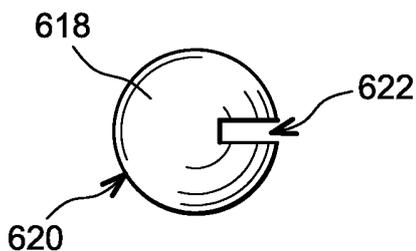


FIG. 6E

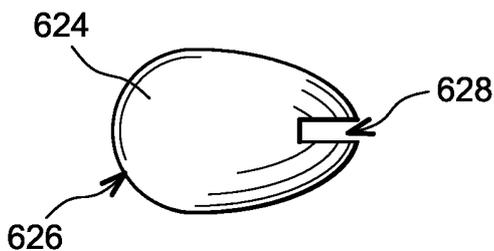


FIG. 6F

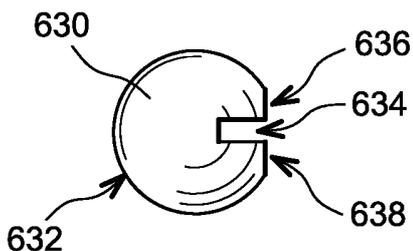


FIG. 6G

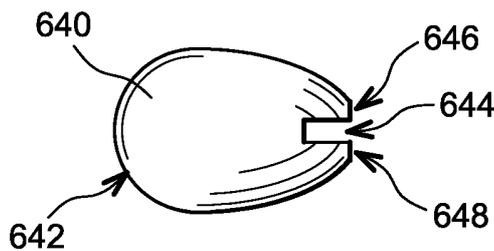
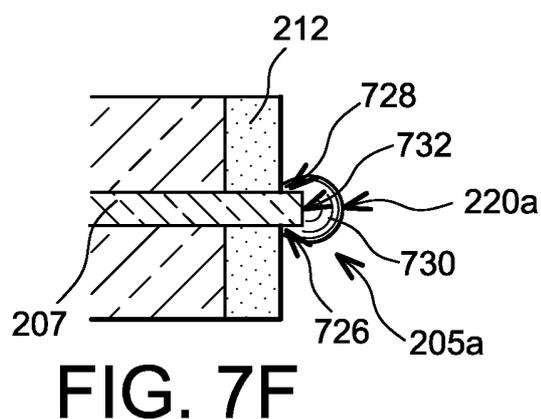
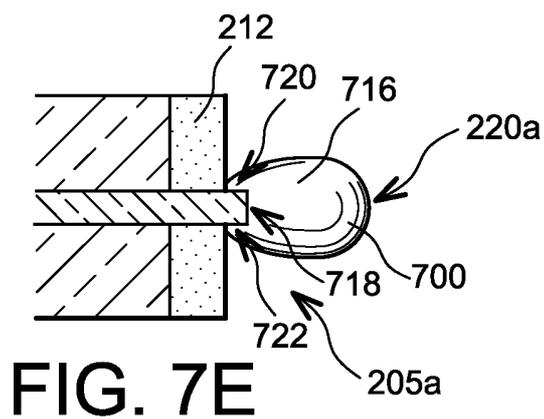
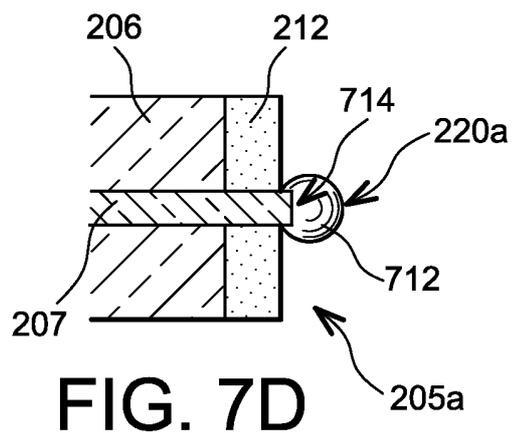
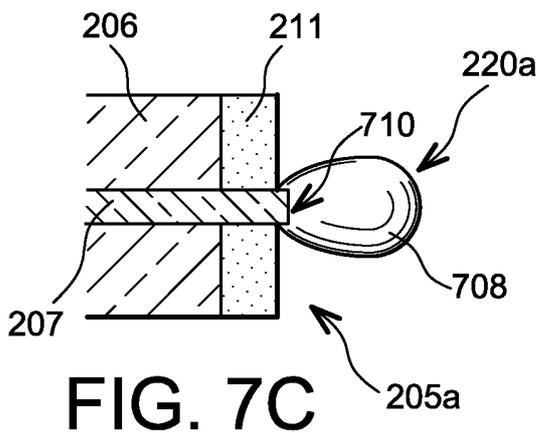
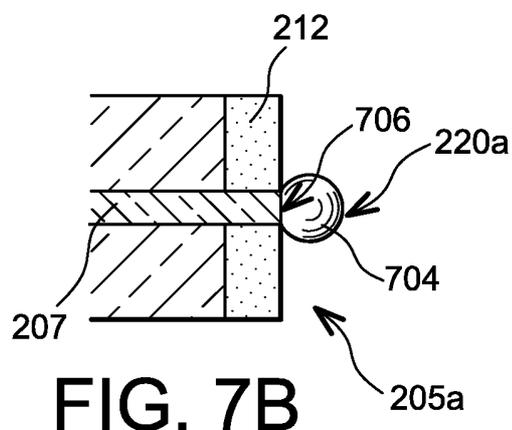
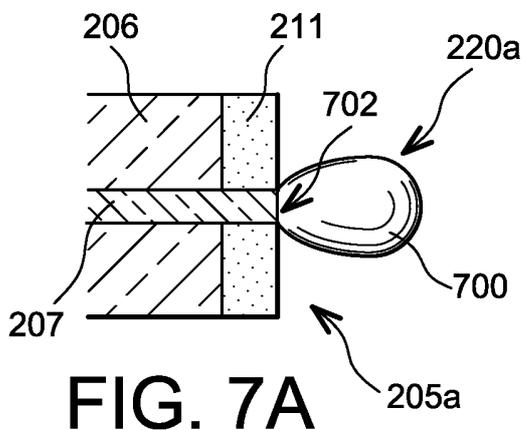


FIG. 6H



INTERNATIONAL SEARCH REPORT

International application No
PCT/FR2006/050322

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L29/786 H01L29/775 H01L21/335		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6 127 702 A (YAMAZAKI ET AL) 3 October 2000 (2000-10-03) cited in the application the whole document	19-31
Y	US 2004/166642 A1 (CHEN HAO-YU ET AL) 26 August 2004 (2004-08-26) the whole document	19-31
A	US 2004/051150 A1 (WU CHUNG-CHENG) 18 March 2004 (2004-03-18) the whole document	19, 21, 22, 27, 28, 30
	----- -/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family
Date of the actual completion of the international search 15 August 2006		Date of mailing of the international search report 29/08/2006
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Baillet, B

INTERNATIONAL SEARCH REPORT

International application No
PCT/FR2006/050322

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>WU Y-C ET AL: "HIGH-PERFORMANCE POLYCRYSTALLINE SILICON THIN-FILM TRANSISTOR WITH MULTIPLE NANOWIRE CHANNELS AND LIGHTLY DOPED DRAIN STRUCTURE" APPLIED PHYSICS LETTERS, AIP, AMERICAN INSTITUTE OF PHYSICS, MELVILLE, NY, US, vol. 84, no. 19, 10 May 2004 (2004-05-10), pages 3822-3824, XP001220931 ISSN: 0003-6951 the whole document</p>	19,21, 23,31
A	<p>US 5 965 914 A (MIYAMOTO ET AL) 12 October 1999 (1999-10-12) cited in the application the whole document</p>	1-31
A	<p>LIU J L ET AL: "A METHOD FOR FABRICATING SILICON QUANTUM WIRES BASED ON SIGE/SI HETEROSTRUCTURE" APPLIED PHYSICS LETTERS, AIP, AMERICAN INSTITUTE OF PHYSICS, MELVILLE, NY, US, vol. 68, no. 3, 15 January 1996 (1996-01-15), pages 352-354, XP000552744 ISSN: 0003-6951 the whole document</p>	1-18
A	<p>OKADA H ET AL: "A NOVEL WIRE TRANSISTOR STRUCTURE WITH IN-PLANE GATE USING DIRECT SCHOTTKY CONTACTS TO 2DEG" EXTENDED ABSTRACTS OF THE INTERNATIONAL CONFERENCE ON SOLID STATE DEVICES AND MATERIALS, JAPAN SOCIETY OF APPLIED PHYSICS. TOKYO, JA, 23 August 1994 (1994-08-23), pages 971-972, XP000543982 the whole document</p>	1-18
A	<p>US 2004/227187 A1 (CHENG ZHIYUAN ET AL) 18 November 2004 (2004-11-18) the whole document</p>	1-18

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/FR2006/050322

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
US 6127702	A	03-10-2000	JP	10093100 A	10-04-1998
US 2004166642	A1	26-08-2004	TW	222222 B	11-10-2004
			US	2005121706 A1	09-06-2005
US 2004051150	A1	18-03-2004	US	6583014 B1	24-06-2003
US 5965914	A	12-10-1999	DE	19803479 A1	24-12-1998
			JP	11008390 A	12-01-1999
			TW	401643 B	11-08-2000
US 2004227187	A1	18-11-2004	US	2005202604 A1	15-09-2005

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°
PCT/FR2006/050322

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
INV. H01L29/786 H01L29/775 H01L21/335

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)
EPO-Internal, INSPEC

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
Y	US 6 127 702 A (YAMAZAKI ET AL) 3 octobre 2000 (2000-10-03) cité dans la demande le document en entier	19-31
Y	US 2004/166642 A1 (CHEN HAO-YU ET AL) 26 août 2004 (2004-08-26) le document en entier	19-31
A	US 2004/051150 A1 (WU CHUNG-CHENG) 18 mars 2004 (2004-03-18) le document en entier	19,21, 22,27, 28,30
	----- -/--	

Voir la suite du cadre C pour la fin de la liste des documents

Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- *A* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- *E* document antérieur, mais publié à la date de dépôt international ou après cette date
- *L* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- *O* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- *P* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- *T* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- *X* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- *Y* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- *&* document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

15 août 2006

Date d'expédition du présent rapport de recherche internationale

29/08/2006

Nom et adresse postale de l'administration chargée de la recherche internationale
Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Baillet, B

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°
PCT/FR2006/050322

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	<p>WU Y-C ET AL: "HIGH-PERFORMANCE POLYCRYSTALLINE SILICON THIN-FILM TRANSISTOR WITH MULTIPLE NANOWIRE CHANNELS AND LIGHTLY DOPED DRAIN STRUCTURE" APPLIED PHYSICS LETTERS, AIP, AMERICAN INSTITUTE OF PHYSICS, MELVILLE, NY, US, vol. 84, no. 19, 10 mai 2004 (2004-05-10), pages 3822-3824, XP001220931 ISSN: 0003-6951 le document en entier</p>	19,21, 23,31
A	<p>US 5 965 914 A (MIYAMOTO ET AL) 12 octobre 1999 (1999-10-12) cité dans la demande le document en entier</p>	1-31
A	<p>LIU J L ET AL: "A METHOD FOR FABRICATING SILICON QUANTUM WIRES BASED ON SIGE/SI HETEROSTRUCTURE" APPLIED PHYSICS LETTERS, AIP, AMERICAN INSTITUTE OF PHYSICS, MELVILLE, NY, US, vol. 68, no. 3, 15 janvier 1996 (1996-01-15), pages 352-354, XP000552744 ISSN: 0003-6951 le document en entier</p>	1-18
A	<p>OKADA H ET AL: "A NOVEL WIRE TRANSISTOR STRUCTURE WITH IN-PLANE GATE USING DIRECT SCHOTTKY CONTACTS TO 2DEG" EXTENDED ABSTRACTS OF THE INTERNATIONAL CONFERENCE ON SOLID STATE DEVICES AND MATERIALS, JAPAN SOCIETY OF APPLIED PHYSICS. TOKYO, JA, 23 août 1994 (1994-08-23), pages 971-972, XP000543982 le document en entier</p>	1-18
A	<p>US 2004/227187 A1 (CHENG ZHIYUAN ET AL) 18 novembre 2004 (2004-11-18) le document en entier</p>	1-18

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/FR2006/050322

Document brevet cité au rapport de recherche		Date de publication		Membre(s) de la famille de brevet(s)		Date de publication
US 6127702	A	03-10-2000	JP	10093100 A		10-04-1998
US 2004166642	A1	26-08-2004	TW	222222 B		11-10-2004
			US	2005121706 A1		09-06-2005
US 2004051150	A1	18-03-2004	US	6583014 B1		24-06-2003
US 5965914	A	12-10-1999	DE	19803479 A1		24-12-1998
			JP	11008390 A		12-01-1999
			TW	401643 B		11-08-2000
US 2004227187	A1	18-11-2004	US	2005202604 A1		15-09-2005