

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6261476号
(P6261476)

(45) 発行日 平成30年1月17日 (2018. 1. 17)

(24) 登録日 平成29年12月22日 (2017. 12. 22)

(51) Int. Cl.

F I

H02M	7/48	(2007.01)	H02M	7/48	M
H02M	7/487	(2007.01)	H02M	7/487	
H02M	1/08	(2006.01)	H02M	1/08	A
H03K	17/687	(2006.01)	H03K	17/687	F
H03K	17/16	(2006.01)	H03K	17/16	L

請求項の数 21 (全 31 頁)

(21) 出願番号 特願2014-176913 (P2014-176913)
 (22) 出願日 平成26年9月1日 (2014. 9. 1)
 (65) 公開番号 特開2016-52198 (P2016-52198A)
 (43) 公開日 平成28年4月11日 (2016. 4. 11)
 審査請求日 平成28年10月18日 (2016. 10. 18)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100073759
 弁理士 大岩 増雄
 (74) 代理人 100088199
 弁理士 竹中 岑生
 (74) 代理人 100094916
 弁理士 村上 啓吾
 (74) 代理人 100127672
 弁理士 吉澤 憲治
 (72) 発明者 加藤 将
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 電力変換装置および電力変換装置の出力電圧検出方法

(57) 【特許請求の範囲】

【請求項 1】

2以上のスイッチング部を有する電力変換主回路と、
 前記各スイッチング部をそれぞれ駆動する複数のゲート駆動部と、
 前記ゲート駆動部の間に接続されるインピーダンス素子と、
 前記インピーダンス素子の電圧または電流を検出する検出部と
 を備え、
前記インピーダンス素子の一端は前記複数のゲート駆動部のうちのひとつと接続され、前記インピーダンス素子の他端は前記一端と接続された前記ゲート駆動部と異なる他の前記複数のゲート駆動部のうちのひとつと接続されることを特徴とする電力変換装置。

10

【請求項 2】

前記スイッチング部は、正極側としての第1のスイッチング部と前記第1のスイッチング部に直列に接続される負極側としての第2のスイッチング部を有し、前記ゲート駆動部は、前記第1のスイッチング部を駆動する第1のゲート駆動部と前記第2のスイッチング部を駆動する第2のゲート駆動部とを有し、前記インピーダンス素子は、前記第1のゲート駆動部と前記第2のゲート駆動部との間に接続されることを特徴とする請求項1に記載の電力変換装置。

【請求項 3】

前記スイッチング部は、3相のうちの相としての第1のスイッチング部と他の相としての第2のスイッチング部を有し、前記ゲート駆動部は、前記第1のスイッチング部を駆

20

動する第 1 のゲート駆動部と前記第 2 のスイッチング部を駆動する第 2 のゲート駆動部とを有し、前記インピーダンス素子は、前記第 1 のゲート駆動部と前記第 2 のゲート駆動部との間に接続されることを特徴とする請求項 1 に記載の電力変換装置。

【請求項 4】

前記検出部からの信号に応じて前記ゲート駆動部を制御する制御部をさらに備えたことを特徴とする請求項 2 に記載の電力変換装置。

【請求項 5】

前記第 1 のスイッチング部および前記第 2 のスイッチング部は、それぞれ 1 のスイッチング素子で構成され、前記第 1 のゲート駆動部および前記第 2 のゲート駆動部は、それぞれ 1 のゲート駆動回路が前記各スイッチング素子に対応して設けられ、2 レベルの電圧を出力することを特徴とする請求項 4 に記載の電力変換装置。

10

【請求項 6】

前記制御部は、前記検出部からの信号に基づいて出力電圧信号を補正する補正回路と、前記出力電圧信号のうち正極側の前記スイッチング素子の駆動信号にデッドタイムを付加して正極側の前記スイッチング素子を駆動する前記ゲート駆動回路に出力する第 1 の付加回路と、前記出力電圧信号のうち負極側の前記スイッチング素子の反転した駆動信号にデッドタイムを付加して負極側の前記スイッチング素子を駆動する前記ゲート駆動回路に出力する第 2 の付加回路とを備えることを特徴とする請求項 5 に記載の電力変換装置。

【請求項 7】

前記第 1 のスイッチング部および前記第 2 のスイッチング部は、それぞれ 2 のスイッチング素子を直列接続して構成され、前記第 1 のゲート駆動部および前記第 2 のゲート駆動部は、それぞれ 2 のゲート駆動回路が前記各スイッチング素子に対応して設けられ、3 レベルの電圧を出力することを特徴とする請求項 4 に記載の電力変換装置。

20

【請求項 8】

前記インピーダンス素子は、正極側の 2 の前記スイッチング素子のうち下位電位側の前記スイッチング素子を駆動する前記ゲート駆動回路と、負極側の 2 の前記スイッチング素子のうち下位電位側の前記スイッチング素子を駆動する前記ゲート駆動回路とに接続されていることを特徴とする請求項 7 に記載の電力変換装置。

【請求項 9】

前記制御部は、正極側の前記スイッチング素子および負極側の前記スイッチング素子の各上位電位側の前記スイッチング素子を駆動する前記各ゲート駆動回路への出力電圧信号を、前記検出部からの信号に基づいて補正する第 1 の補正回路と、正極側の前記スイッチング素子および負極側の前記スイッチング素子の各下位電位側の前記スイッチング素子を駆動する前記各ゲート駆動回路への前記出力電圧信号を、前記検出部からの信号に基づいて補正する第 2 の補正回路と、前記第 1 の補正回路からの前記出力電圧信号のうち正極側の上位電位側の前記スイッチング素子の駆動信号にデッドタイムを付加して、正極側の上位電位側の前記スイッチング素子を駆動する前記ゲート駆動回路に出力する第 1 の付加回路と、前記第 1 の補正回路からの前記出力電圧信号のうち負極側の上位電位側の前記スイッチング素子の反転した駆動信号にデッドタイムを付加して、負極側の上位電位側の前記スイッチング素子を駆動する前記ゲート駆動回路に出力する第 2 の付加回路と、前記第 2 の補正回路からの前記出力電圧信号のうち正極側の下位電位側の前記スイッチング素子の駆動信号にデッドタイムを付加して、正極側の下位電位側の前記スイッチング素子を駆動する前記ゲート駆動回路に出力する第 3 の付加回路と、前記第 2 の補正回路からの前記出力電圧信号のうち負極側の下位電位側の前記スイッチング素子の反転した駆動信号にデッドタイムを付加して、負極側の下位電位側の前記スイッチング素子を駆動する前記ゲート駆動回路に出力する第 4 の付加回路とを備えることを特徴とする請求項 8 に記載の電力変換装置。

30

40

【請求項 10】

前記制御部は、絶縁回路を介して前記各ゲート駆動回路および前記検出部と接続されていることを特徴とする請求項 6 または請求項 9 に記載の電力変換装置。

50

【請求項 1 1】

前記インピーダンス素子は、1の抵抗、または2以上の抵抗を直列に接続したものであることを特徴とする請求項5から請求項10のいずれか1項に記載の電力変換装置。

【請求項 1 2】

前記インピーダンス素子は、1のコンデンサ、または2以上のコンデンサを直列に接続したものであることを特徴とする請求項5から請求項10のいずれか1項に記載の電力変換装置。

【請求項 1 3】

前記インピーダンス素子は、1のダイオード、または2以上のダイオードを直列に接続したものであることを特徴とする請求項5から請求項10のいずれか1項に記載の電力変換装置。

【請求項 1 4】

前記各ゲート駆動回路と前記インピーダンス素子は、同一の基板上に配設されていることを特徴とする請求項5から請求項13のいずれか1項に記載の電力変換装置。

【請求項 1 5】

正極側の前記スイッチング素子と対応する前記ゲート駆動回路とを接続する第1の信号線と、負極側の前記スイッチング素子と対応する前記ゲート駆動回路とを接続する第2の信号線とを備え、前記第1の信号線と前記第2の信号線は、隣接して配設されることを特徴とする請求項5から請求項14のいずれか1項に記載の電力変換装置。

【請求項 1 6】

前記インピーダンス素子と正極側の前記スイッチング素子を駆動する前記ゲート駆動回路の接続部が、前記第1の信号線と正極側の前記スイッチング素子を駆動する前記ゲート駆動回路の接続部の近傍に設けられ、前記インピーダンス素子と負極側の前記スイッチング素子を駆動する前記ゲート駆動回路の接続部が、前記第2の信号線と負極側の前記スイッチング素子を駆動する前記ゲート駆動回路の接続部の近傍に設けられていることを特徴とする請求項15に記載の電力変換装置。

【請求項 1 7】

前記各スイッチング素子は、IGBT、MOSFET、またはバイポーラトランジスタからなることを特徴とする請求項5から請求項16のいずれか1項に記載の電力変換装置。

【請求項 1 8】

正極側の前記スイッチング素子および負極側の前記スイッチング素子は、2in1モジュールで形成されていることを特徴とする請求項5から請求項17のいずれか1項に記載の電力変換装置。

【請求項 1 9】

前記各スイッチング部に、ワイドバンドギャップ半導体を用いることを特徴とする請求項1から請求項18のいずれか1項に記載の電力変換装置。

【請求項 2 0】

前記ワイドバンドギャップ半導体は、炭化ケイ素、窒化ガリウム系材料または、ダイヤモンドを用いた半導体であることを特徴とする請求項19に記載の電力変換装置。

【請求項 2 1】

第1のスイッチング部を駆動する第1のゲート駆動部と、第2のスイッチング部を駆動する第2のゲート駆動部との間に接続されるインピーダンス素子を用い、前記インピーダンス素子の電圧または電流を検出することにより、第1のスイッチング素子と第2のスイッチング素子の接続点の電圧を検出することを特徴とする電力変換装置の電圧検出方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、複数個のスイッチング素子を内蔵した電力変換装置および電力変換装置が内蔵するスイッチング素子間の電圧検出方法に関するものである。

【背景技術】

【0002】

インバータ装置、サーボアンプ装置、スイッチング電源装置といった電力変換装置は複数個のスイッチング素子を内蔵している。複数個のスイッチング素子を組み合わせて電気回路を構成している。多くの電力変換装置において、正極側を第1のスイッチング部、負極側を第2のスイッチング部とし、第1のスイッチング部と第2のスイッチング部の接続点を出力端子として電力を出力する電力変換主回路を採用している。スイッチング部は、1個または複数個の直列接続されたスイッチング素子により構成される。このような電力変換主回路では直列接続されたスイッチング素子間に貫通電流が流れないように、予めスイッチング信号にデッドタイム期間を設ける必要がある。

10

【0003】

このスイッチング信号のデッドタイム期間により、電力変換主回路の出力電圧は、指令値に対して誤差を含むことになる。更に、スイッチング素子のターンオン時間、ターンオフ時間がスイッチング電圧、スイッチング電流、温度などのさまざまな条件によりバラツキを持つ。よって、電力変換装置が内蔵するスイッチング素子間の電圧が、意図した電圧とは異なる場合がある。電力変換主回路のデッドタイム期間が、意図したスイッチング信号のデッドタイム期間と異なる場合がある。そこで、電力変換装置が内蔵するスイッチング素子間の電圧を検出したいという要求がある。スイッチング信号のデッドタイム補正のため、電力変換主回路の出力電圧を検出したいという要求がある。

20

【0004】

従来の電力変換装置では、インバータの2個直列に接続されたスイッチング素子の負極側のスイッチング素子の主端子間に取り付けられ、負極側のスイッチング素子の主端子間が導通状態であることを検出する導通検出手段であるセンサーと、このセンサーからの検出信号により負極側のスイッチング素子の主端子間の導通時間をカウントし、そのカウント値を電流制御演算装置に対して、電力変換主回路の出力電圧指令値の補償信号として出力する計数手段であるカウンタと、からなるデッドタイム補償装置を備えた構成が知られている。（例えば、特許文献1）。

【0005】

また、デッドタイムを自動制御する技術として、降圧型DC-DCコンバータにおいて、メインスイッチング素子のゲート電圧と同期整流用スイッチング素子のゲート電圧の特徴を監視し、これら検出結果に基づいて、上記の2つのスイッチング素子のON、OFFタイミングを調整することでデッドタイム期間を最小にする技術が知られている。（例えば、特許文献2）

30

【0006】

更に、上記の特許文献2のように、スイッチング素子のゲート電圧の特徴を監視し、その検出結果に基づいて、電力変換主回路の出力電圧を検出し、上記の特許文献1のようなデッドタイム補償を実施する技術が知られている（例えば、特許文献3）。

【先行技術文献】

【特許文献】

【0007】

40

【特許文献1】特開平5-252795号公報（段落0014、図1）

【特許文献2】特開2007-329748号公報（段落0033～0070、図7）

【特許文献3】特開2010-016937号公報（段落0016、図1）

【発明の概要】

【発明が解決しようとする課題】

【0008】

特許文献1のような構成では、導通検出手段によりスイッチング素子の主端子間の導通状態を検出し、この検出信号から計数手段により導通時間をカウントすることで、このカウント値を電圧指令値の補償信号として、電流制御演算手段によって実際の電力変換主回路の出力電圧を認識し、電圧指令値にデッドタイム補償の演算処理を行う。

50

【 0 0 0 9 】

しかし、一般に、電力変換主回路と電力変換主回路周辺は、寄生インダクタンスの削減のためや、発生電力損失の冷却のため、部品が複雑に入り組んでいる。よって、これら導通検出手段等を電力変換主回路へ取り付ける作業は高度な技術を要し、電力変換装置の製造が困難であるという課題があった。

【 0 0 1 0 】

また、特許文献 2 , 3 のようなゲート電圧の特徴を監視する方式のものは、スイッチング素子のゲート電圧を検出して、その電圧状態から電力変換主回路の出力電圧を検出している。しかしながら、ゲート電圧に表れる特徴は、スイッチング素子の半導体特性が決められており、電力変換装置の設計者が調整することはできない。ゲート電圧に表れる特徴は、典型的には数 V 程度、数マイクロ秒程度の電圧変動である。このような微細な電圧変動を検出する必要があるが、電磁ノイズに弱く、電力変換装置が誤動作する場合があります、信頼性という観点で課題があった。

10

【 0 0 1 1 】

この発明は、上記のような課題を解決するためになされたものであり、電力変換主回路の出力電圧を検出する電力変換装置であって、製造が容易で、かつ誤動作しない電力変換装置を提供することを目的としている。また、電力変換装置が内蔵するスイッチング素子間の電圧検出方法であって、製造が容易で、かつ誤動作しない電圧検出方法を提供することを目的としている。

【課題を解決するための手段】

20

【 0 0 1 2 】

この発明の電力変換装置は、2 以上のスイッチング部を有する電力変換主回路と、前記各スイッチング部をそれぞれ駆動する複数のゲート駆動部と、前記ゲート駆動部の間に接続されるインピーダンス素子と、前記インピーダンス素子の電圧または電流を検出する検出部とを備え、前記インピーダンス素子の一端は前記複数のゲート駆動部のうちのひとつと接続され、前記インピーダンス素子の他端は前記一端と接続された前記ゲート駆動部と異なる他の前記複数のゲート駆動部のうちのひとつと接続されることを特徴とする。

【 0 0 1 3 】

また、この発明の電力変換装置の電圧検出方法は、第 1 のスイッチング部を駆動する第 1 のゲート駆動部と、第 2 のスイッチング部を駆動する第 2 のゲート駆動部との間に接続されるインピーダンス素子を用い、インピーダンス素子の電圧または電流を検出することにより、第 1 のスイッチング部と第 2 のスイッチング部との間の電圧を検出することを特徴とする。

30

【発明の効果】

【 0 0 1 4 】

この発明によれば、スイッチング部の間の電位差を、それぞれ対応するゲート駆動回路の間に接続するインピーダンス素子の電圧または電流から検出することで、電力変換主回路の出力電圧を検出でき、かつ、容易に製造することができ、かつ、誤動作しない。

【図面の簡単な説明】

【 0 0 1 5 】

40

【図 1】この発明の実施の形態 1 による電力変換装置を示す構成図である。

【図 2】この発明の実施の形態 1 による電力変換装置を示す回路図である。

【図 3】この発明の実施の形態 1 による他の電力変換装置を示す回路図である。

【図 4】この発明の実施の形態 1 による電力変換装置の部品の配置図である。

【図 5】この発明の実施の形態 1 による他の電力変換装置の部品の配置図である。

【図 6】この発明の実施の形態 2 による電力変換装置を示す構成図である。

【図 7】この発明の実施の形態 2 による電力変換装置を示す回路図である。

【図 8】この発明の実施の形態 2 による他の電力変換装置を示す回路図である。

【図 9】この発明の実施の形態 2 による電力変換装置の絶縁回路のタイムチャートである。

50

【図 1 0】この発明の実施の形態 2 による電力変換装置のデッドタイム補正回路のブロック図である。

【図 1 1】この発明の実施の形態 2 による電力変換装置のデッドタイム補正回路で、負荷電流が正の場合のデッドタイム補正の動作を示すタイムチャートである。

【図 1 2】この発明の実施の形態 2 による電力変換装置のデッドタイム補正回路で、負荷電流が負の場合のデッドタイム補正の動作を示すタイムチャートである。

【図 1 3】この発明の実施の形態 3 による電力変換装置を示す構成図である。

【図 1 4】この発明の実施の形態 3 による他の電力変換装置を示す構成図である。

【図 1 5】この発明の実施の形態 3 による他の電力変換装置を示す構成図である。

【図 1 6】この発明の実施の形態 4 による電力変換装置を示す配置図である。

10

【図 1 7】この発明の実施の形態 4 による他の電力変換装置を示す配置図である。

【発明を実施するための形態】

【0016】

実施の形態 1 .

図 1 は、この発明の実施の形態 1 による電力変換装置を示す構成図であり、電力変換主回路 1、ゲート駆動回路基板 2 a、2 B、制御部 3、および周辺部品の構成を図示している。図 1 に示すように、電力変換主回路 1 は、2 レベルの電力変換回路として構成される。

【0017】

この実施の形態 1 における電力変換主回路 1 は、電力変換主回路 1 の正極が直流母線 5 a に接続され、電力変換主回路 1 の負極が直流母線 5 b に接続される。電力変換主回路 1 は、正極側の直流母線 5 a に接続される第 1 のスイッチング部としてのスイッチング素子 1 a と、負極側の直流母線 5 b に接続される第 2 のスイッチング部としてのスイッチング素子 1 b と、スイッチング素子 1 a とスイッチング素子 1 b が直列に接続され、その電気的接続点 5 c に電力変換主回路 1 の出力端子 4 を備える。電力変換主回路 1 は、出力端子 4 から負荷（図示せず）に電力を供給する。第 1 のスイッチング部が導通すれば電力変換主回路 1 は直流母線 5 a の電位を出力端子 4 から負荷に供給する。第 2 のスイッチング部が導通すれば電力変換主回路 1 は直流母線 5 b の電位を出力端子 4 から負荷に供給する。このように 2 通りの電位を出力することから、2 レベルの電力変換回路として機能する。

20

【0018】

スイッチング素子 1 a は、トランジスタ素子 1 0 a とダイオード素子 1 1 a が並列に接続され、スイッチング素子 1 b は、トランジスタ素子 1 0 b とダイオード素子 1 1 b が並列に接続されている。なお、負荷の特性によっては、例えば抵抗負荷である場合にはダイオード素子 1 1 a、ダイオード素子 1 1 b の接続が省略されることがある。

30

【0019】

なお、トランジスタ素子 1 0 a、1 0 b は、図 1 では MOSFET を図示しているが、特に限定するものではない。電気信号により低抵抗状態、高抵抗状態が切り替えられるデバイスであればよく、例えば、IGBT、バイポーラトランジスタといったデバイスを用いてもよい。スイッチング素子 1 a、1 b の材料としては、広く用いられている Si の他に、SiC、GaN、ダイヤモンドなどのワイドバンドギャップ半導体を用いてもよい。

40

【0020】

第 1 のゲート駆動部としてのゲート駆動回路 2 a は、スイッチング素子 1 a のゲート（G）-ソース（S）間に電圧印加できるように電気的に接続し、絶縁回路 2 g を介して入力された駆動信号に基づき、スイッチング素子 1 a にゲート電圧を印加する。同様に、第 2 のゲート駆動部としてのゲート駆動回路 2 b は、絶縁回路 2 h を介して入力された駆動信号に基づき、スイッチング素子 1 b にゲート電圧を印加する。

【0021】

この発明の実施の形態 1 による電力変換装置では、図 1 に示すように、ゲート駆動回路 2 a とゲート駆動回路 2 b との間にインピーダンス素子 2 e が設けられている。インピーダンス素子 2 e は、正極側の一端 2 e 3 がゲート駆動回路 2 a の接続端 2 6 a と接続され

50

ており、負極側の他端 2 e 1 がゲート駆動回路 2 b の接続端 2 6 b と接続されている。

【 0 0 2 2 】

検出部 2 f は、接続端 2 6 b と接続するインピーダンス素子 2 e の一端 2 e 1 と、中間部の接続点 2 e 2 とに接続し、インピーダンス素子 2 e の電圧を検出する。

【 0 0 2 3 】

出力端子 4 の電圧の変化に伴ってゲート駆動回路 2 a とゲート駆動回路 2 b の間の電圧が変化すると、インピーダンス素子 2 e の両端にかかる電圧が変化する。このインピーダンス素子 2 e の電圧を検出部 2 f が検出することにより、出力端子 4 の電位を検知できる。なお、図 1 では、検出部 2 f はインピーダンス素子 2 e の分圧を検出する例を示すが、検出部 2 f の入力耐圧が高ければ分圧は不要である。検出部 2 f をインピーダンス素子 2 e の両端に接続し、検出部 2 f はインピーダンス素子 2 e の両端にかかる電圧を検出する構成とすればよい。

10

【 0 0 2 4 】

図 1 に示す構成においては、検出部 2 f は絶縁回路を内蔵している。検出部 2 f は、絶縁回路を介して制御部 3 に接続され、検出部 2 f から制御部 3 に出力端子 4 の電位を表す出力電圧信号が入力される。なお、図 1 では矢印付きの線を信号線、矢印無しの線を電氣的配線として図示している。

【 0 0 2 5 】

制御部 3 は、補正回路としてのデッドタイム補正回路 3 a、第 1 の付加回路としてのデッドタイム付加回路 3 b、および第 2 の付加回路としてのデッドタイム付加回路 3 c により構成される。デッドタイム補正回路 3 a は、電力変換主回路 1 の出力電圧指令値である P W M 信号を受け、検出部 2 f から検出された出力電圧信号に基づいて、デッドタイム補正を行う。

20

【 0 0 2 6 】

デッドタイム付加回路 3 b は、スイッチング素子 1 a の駆動信号に対してデッドタイムを付加してゲート駆動回路 2 a に駆動信号を出力する。デッドタイム付加回路 3 c は、反転論理部 3 d により反転したスイッチング素子 1 b の駆動信号に対してデッドタイムを付加してゲート駆動回路 2 b に駆動信号を出力する。

【 0 0 2 7 】

次に、図 2 を参照して、出力端子 4 から出力される電圧の検出方法の詳細を示す。図 2 は、この発明の実施の形態 1 による電力変換装置の回路図であり、スイッチング素子 1 a、スイッチング素子 1 b、ゲート駆動回路 2 a、ゲート駆動回路 2 b、インピーダンス素子 2 e、および周辺の部品の回路を示す。

30

【 0 0 2 8 】

制御部 3 からのオン指令信号およびオフ指令信号は、制御信号絶縁部である絶縁回路 2 g、2 h を介してゲート駆動回路 2 a およびゲート駆動回路 2 b に伝わる。制御部 3 は、電力変換装置の通常動作中はゲート駆動回路 2 a およびゲート駆動回路 2 b に対して、一方にオフ指令でもう一方にオン指令の信号を出すこともあれば、双方にオフ指令信号を出すことがある。制御部 3 は、電力変換装置の通常動作中はゲート駆動回路 2 a およびゲート駆動回路 2 b に対して、双方にオン指令の信号を数十マイクロ秒以上出すことはない。

40

【 0 0 2 9 】

制御部 3 からのオン指令信号が、フォトカプラで構成される絶縁回路 2 g、2 h に入力されるとフォトカプラの 1 次側の発光ダイオード 2 0 g、2 0 h がそれぞれ点灯する。すると、フォトカプラの 2 次側のフォトトランジスタ 2 1 g、2 1 h がそれぞれ導通状態になる。

【 0 0 3 0 】

ゲート駆動回路 2 a およびゲート駆動回路 2 b の各部の電位が変化し、結局、ゲート駆動回路 2 a およびゲート駆動回路 2 b のオン用トランジスタ 2 0 a 1、2 0 b 1 は導通状態に、オフ用トランジスタ 2 0 a 2、2 0 b 2 は非導通状態になる。

【 0 0 3 1 】

50

オン用コンデンサ 2 2 a、2 2 b に蓄えられた電荷は、それぞれオン用コンデンサ 2 2 a、2 2 b の各正極から、それぞれオン用トランジスタ 2 0 a 1、2 0 b 1、ゲート信号線 2 3 a、2 3 b、スイッチング素子 1 a、1 b の制御用ゲート端子 1 2 a、1 2 b、制御用ソース端子 1 3 a、1 3 b、ソース信号線 2 4 a、2 4 b、オン用コンデンサ 2 2 a、2 2 b の各負極への経路を通り、スイッチング素子 1 a およびスイッチング素子 1 b に供給される。

【 0 0 3 2 】

スイッチング素子 1 a の制御用ゲート端子 1 2 a と制御用ソース端子 1 3 a の間、およびスイッチング素子 1 b の制御用ゲート端子 1 2 b と制御用ソース端子 1 3 b の間には正の電圧がかかり、スイッチング素子 1 a およびスイッチング素子 1 b は導通状態になる。

10

【 0 0 3 3 】

一方、制御部 3 からのオフ指令信号が絶縁回路 2 g、2 h に入力されると、フォトカプラの 1 次側の 2 0 g、2 0 h がそれぞれ消灯する。すると、フォトカプラの 2 次側のフォトトランジスタ 2 1 g、2 1 h がそれぞれ非導通状態になる。

【 0 0 3 4 】

ゲート駆動回路 2 a およびゲート駆動回路 2 b の各部の電位が変化し、結局、ゲート駆動回路 2 a およびゲート駆動回路 2 b のオン用トランジスタ 2 0 a 1、2 0 b 1 が非導通状態に、オフ用トランジスタ 2 0 a 2、2 0 b 2 は導通状態になる。

【 0 0 3 5 】

スイッチング素子 1 a およびスイッチング素子 1 b の制御用ゲートに蓄えられた電荷は、それぞれゲート信号線 2 3 a、2 3 b、ゲート抵抗 2 5 a 1、2 5 b 1、オフ用トランジスタ 2 0 a 2、2 0 b 2、ソース信号線 2 4 a、2 4 b、制御用ソース端子 1 3 a、1 3 b の各経路を通り、スイッチング素子 1 a およびスイッチング素子 1 b から引き抜かれる。

20

【 0 0 3 6 】

スイッチング素子 1 a の制御用ゲート端子 1 2 a と制御用ソース端子 1 3 a の間、およびスイッチング素子 1 b の制御用ゲート端子 1 2 b と制御用ソース端子 1 3 b の間には同電位となり、スイッチング素子 1 a およびスイッチング素子 1 b は非導通状態になる。

【 0 0 3 7 】

このように、ゲート駆動回路 2 a およびゲート駆動回路 2 b の構成から明らかなように、スイッチング素子 1 a およびスイッチング素子 1 b の各ソース電位とゲート駆動回路 2 a およびゲート駆動回路 2 b のオン用コンデンサ 2 2 a、2 2 b の負極の電位はそれぞれ一致する。

30

【 0 0 3 8 】

ここで、正極側のスイッチング素子 1 a のソース電位は、電力変換主回路 1 の出力電位に一致する。よって、ゲート駆動回路 2 a のオン用コンデンサ 2 2 a の負極の電位は、電力変換主回路 1 の出力の電位に一致する。負極側のスイッチング素子 1 b のソース電位は電力変換主回路 1 の負極の電位に一致する。よって、ゲート駆動回路 2 b のオン用コンデンサ 2 2 b の負極の電位は、電力変換主回路 1 の負極の電位に一致する。

【 0 0 3 9 】

また、ゲート駆動回路 2 a のオン用コンデンサの負極の電位は、ゲート駆動回路 2 a の接続端 2 6 a での電位に一致する。ゲート駆動回路 2 b のオン用コンデンサ 2 2 b の負極の電位は、ゲート駆動回路 2 b の接続端 2 6 b での電位と一致する。

40

【 0 0 4 0 】

インピーダンス素子 2 e は、ゲート駆動回路 2 a とゲート駆動回路 2 b との間で電氣的に接続されている。よって、インピーダンス素子 2 e の正極側の一端である 2 e 3 の電位は電力変換主回路 1 の出力電位に一致する。インピーダンス素子 2 e の負極側の一端である 2 e 1 の電位は電力変換主回路 1 の負極電位に一致する。検出部 2 f は、インピーダンス素子 2 e にかかる電圧を検出することで、電力変換主回路 1 の出力端子 4 から出力される電圧を電力変換主回路 1 の負極を基準電圧にして検出することができる。

50

【 0 0 4 1 】

負極電位を基準とした電力変換主回路の出力電圧値の一例としては、電気鉄道用途では 750V、1500V、3000V 程度、FA 機器用途では 300V、600V である。車載用機器用途では 48V ~ 750V 程度まで様々である。いずれにせよインピーダンス素子 2e にかかる電圧は電磁ノイズよりも十分に大きい。このように、信号レベルの低いゲート電圧の特徴を監視する方式のものとは異なり、本発明によれば検出部 2f は誤動作することなく電力変換主回路の出力電圧を検出することができる。また、検出部 2f からの信号に基づいて制御部により第 1 のゲート駆動部および第 2 のゲート駆動部を制御することで、誤動作することなくデッドタイムを補償することができる。

【 0 0 4 2 】

10

以上のように、この発明の実施の形態 1 における電力変換装置では、寄生インダクタンスの削減や発生電力損失の冷却のために部品が複雑に入り組んでいる電力変換主回路や電力変換主回路周辺ではなく、ゲート駆動回路周辺に電力変換主回路の出力電位を検出するためのインピーダンス素子 2e および検出部 2f を設けるようにしたので、高度な技術を要することなく取り付け作業を行うことができる。このように、製造が容易でありながら、電力変換主回路の出力電圧を検出することができる。さらには、製造が容易でありながら、検出部 2f からの信号に基づいて制御部により第 1 のゲート駆動部および第 2 のゲート駆動部を制御することでデッドタイムを補償することができる。

【 0 0 4 3 】

なお、この実施の形態 1 においては、図 2 に示すインピーダンス素子 2e の接続点は、インピーダンス素子 2e の負極側である一端 2e1 が、ゲート駆動回路 2b の接続端 26b に接続し、正極側である他端 2e3 は、ゲート駆動回路 2a の接続端 26a に接続するとした。接続端 26b の電位はゲート駆動回路 2b のオン用コンデンサ 22b の負極の電位に一致し、接続端 26a の電位はゲート駆動回路 2a のオン用コンデンサ 22a の負極の電位に一致するとしたが、これに限るものではない。

20

【 0 0 4 4 】

接続端 26a の電位がゲート駆動回路 2a のオン用コンデンサ 22a の正極の電位と一致するようにしてもよい。オン用コンデンサ 22a の正極は、オン用コンデンサ 22a の負極よりもオン用コンデンサ 22a の充電電圧だけ高い電位にある。オン用コンデンサ 22a の充電電圧は安定していることから好都合である。オン用コンデンサ 22a の充電電圧は典型的には 10V から 20V の間にある。オン用コンデンサ 22a の負極の電位は電力変換主回路 1 の出力の電位に一致することは先に述べた通りだが、接続端 26a の電位はオン用コンデンサ 22a の充電電圧だけ電力変換主回路 1 の出力の電位からずれることになる。インピーダンス素子 2e にかかる電圧がオン用コンデンサ 22a の充電電圧だけずれるものの、検出部 2f がずれを考慮してインピーダンス素子 2e の電圧を検出すれば本発明の効果をえられる。

30

【 0 0 4 5 】

同様に、接続端 26a の電位がゲート駆動回路 2a のゲート信号線 23a の電位と一致するようにしてもよい。接続端 26a の電位がゲート駆動回路 2a のトランジスタ 20a1、あるいはトランジスタ 20a2 の端子の電位と一致するようにしてもよい。このように、接続端 26a の電位をゲート駆動回路 2a の任意の電位と一致するようにしてもよい。いずれの場合も、接続端 26a の電位は電力変換主回路 1 の出力の電位からずれることになる。インピーダンス素子 2e にかかる電圧がずれるものの、検出部 2f が電圧のずれを考慮してインピーダンス素子 2e の電圧を検出すれば本発明の効果をえられる。

40

【 0 0 4 6 】

負極電位を基準とした電力変換主回路の出力電圧が大きく、例えば 300V 以上の場合であれば、インピーダンス素子 2e にかかる電圧がオン用コンデンサ 22a の充電電圧だけずれるものの、ずれが小さいため、ずれを許容できる場合がある。この場合には検出部 2f は特にずれを考慮することなく、インピーダンス素子 2e の電圧を検出すればよい。

【 0 0 4 7 】

50

あるいは、電力変換主回路のスイッチング素子の電位状態（ON/OFF状態）を単に検出したい場合には、数百Vから数千Vの電位差に対して閾値を設定すればよく、数十V程度の誤差電圧の影響を考慮せずとも主回路であるスイッチング素子の電位状態（ON/OFF状態）を検出できる。電力変換主回路のスイッチング素子の電位状態（ON/OFF状態）を検出できればデッドタイム補償を行うことができる。

【0048】

なお、図2に示すように、ゲート駆動回路2aの中には、正極側のスイッチング素子1aのドレイン端子（IGBTであればコレクタ端子）と同電位の配線は存在しないが、ゲート駆動回路の構成によってはドレイン端子と同電位の配線が存在する場合がある。もし、接続端26aをドレイン端子と同電位の配線に設けると、接続端26aの電位と電力変換主回路1の出力の電位とのずれが大きくなってしまふ。検出部2fが電位のずれを考慮してインピーダンス素子2eの電圧を検出することが困難となるため、避けることが望ましい。

10

【0049】

接続端26bについても同様である。接続端26bの電位がゲート駆動回路2bのオンコンデンサ22bの正極の電位と一致するようにしてもよい。接続端26aの電位をゲート駆動回路2bの任意の電位と一致するようにしてもよい。いずれの場合も、接続端26bの電位は電力変換主回路1の負極の電位からずれることになる。インピーダンス素子2eにかかる電圧がずれるものの、検出部2fが電圧のずれを考慮してインピーダンス素子2eの電圧を検出すれば本発明の効果を得られる。

20

【0050】

特に、トランジスタ素子に、SiC、GaN、ダイヤモンドといったSiと較べてバンドギャップが広い、いわゆるワイドバンドギャップ半導体材料を用い、高耐圧および高周波動作が可能なスイッチング素子を用いて小型化を図る場合に、本発明は効果的である。電力変換主回路と電力変換主回路周辺の部品が複雑に入り組むが、本発明では、電力変換主回路の出力電位を検出するためのインピーダンス素子2eおよび検出部2fをゲート駆動回路周辺に設けるようにしたので、高度な技術を要することなく取り付け作業を行うことができる。このように、製造が容易でありながら電力変換主回路の出力電圧を検出することができる。さらには、製造が容易でありながら、検出部2fからの信号に基づいて制御部により第1のゲート駆動部および第2のゲート駆動部を制御することでデッドタイムを補償することができる。

30

【0051】

この実施の形態1において、インピーダンス素子2eは、図2に示すように、2以上直列接続した抵抗20e1、20e2、・・・20enにより構成される。制御部3の電位がゲート駆動回路2aよりもゲート駆動回路2bの電位に近い場合は、2以上直列接続した抵抗20e1、20e2、・・・20enのうち、一端がゲート駆動回路2bの接続端26bに接続されている抵抗20e1の両端2e1、2e2に、検出部2fを接続することが望ましい。

【0052】

なお、制御部3の電位がゲート駆動回路2bよりもゲート駆動回路2aの電位に近い場合は、2以上直列接続した抵抗20e1、20e2、・・・20enのうち、一端がゲート駆動回路2aの接続端26aに接続されている抵抗20enの両端に、検出部2fが接続することが望ましい。

40

【0053】

このように、制御部3とゲート駆動回路2aとゲート駆動回路2bの電位の関係に応じて検出部2fが接続される抵抗20e1（または抵抗20en）を変更することで、検出部fに絶縁耐圧の低いフォトカプラを用いることができ、絶縁回路としても機能する。

【0054】

このようなインピーダンス素子2eと検出部2fの構成においては、出力端子4の電位が高電位状態にある場合、インピーダンス素子2eの両端には高電圧がかかり、フォトカ

50

プラからなる検出部 2 f が接続された抵抗 2 0 e 1 (または抵抗 2 0 e n) には、分圧された電圧がかかる。フォトカプラからなる検出部 2 f の絶縁電圧に応じてインピーダンス素子 2 e を構成する抵抗 2 0 e 1、2 0 e 2、 \cdots 2 0 e n の直列数を調整することが望ましい。

【0055】

フォトカプラからなる検出部 (絶縁回路) 2 f においては、1 次側は発光ダイオード 2 0 f で構成されており、インピーダンス素子 2 e の端部の抵抗 2 0 e 1 (または抵抗 2 0 e n) に接続されている。

【0056】

検出部 2 f としてのフォトカプラの 1 次側に電圧がかかると、フォトカプラの 1 次側である発光ダイオード 2 0 f が点灯し、フォトカプラの 2 次側であるフォトトランジスタ 2 1 f が導通状態となる。

10

【0057】

フォトカプラの 2 次側であるフォトトランジスタ 2 1 f が導通状態になったことにより、制御部 3 は、電力変換主回路の負極の電位を基準にして出力端子 4 の電位が高電位状態にあることを検知する。

【0058】

一方、電力変換主回路の負極の電位を基準にして出力端子 4 の電位が低くなり電位が零になった場合、インピーダンス素子 2 e の両端には電圧がかからないため、フォトカプラからなる検出部 2 f が接続された抵抗にも電圧がかからない。

20

【0059】

検出部 2 f としてのフォトカプラの 1 次側に電圧がかからないことから、フォトカプラの 2 次側である発光ダイオード 2 0 f が消灯し、フォトカプラの 2 次側であるフォトトランジスタ 2 1 f が非導通状態となる。

【0060】

フォトカプラの 2 次側であるフォトトランジスタ 2 1 f が非導通状態になったことにより、制御部 3 は、電力変換主回路の負極の電位を基準にして出力端子 4 の電位が零であることを検知する。

【0061】

上述のように、この発明の実施の形態 1 では、インピーダンス素子 2 e を 2 以上直列接続した抵抗 (2 0 e 1、2 0 e 2、 \cdots 2 0 e n) により電圧を分圧することで、出力電圧を検知できるだけでなく、検出部としてフォトカプラを用いることにより、絶縁回路として制御部を保護できる。なお、この発明の実施の形態 1 では、検出部 2 f はインピーダンス素子 2 e の分圧を検出する例を示したが、検出部 2 f の入力耐圧が高ければ分圧は不要である。検出部 2 f をインピーダンス素子 2 e の両端に接続し、検出部 2 f はインピーダンス素子 2 e の両端にかかる電圧を検出する構成とすればよい。この場合には、インピーダンス素子 2 e を 2 以上直列接続した抵抗で構成してもよいが 1 個の抵抗で構成することもできる。

30

【0062】

さらに、従来技術のように出力端子と直流母線の低圧側との間にセンサーを設ける場合は、ゲート駆動回路の電源とは別にセンサーの電源が必要であるのに対し、上記構成では検出部の電源をゲート駆動回路の電源より得ることができ、さらに小型かつ簡素な電力変換装置を得ることができる。

40

【0063】

上記においては、検出部 2 f がインピーダンス素子 2 e の電圧を検出する構成にて説明したが、検出部がインピーダンス素子に流通する電流を検出する構成としてもよい。図 3 を用いて説明する。

【0064】

図 3 の構成では、検出部 2 f であるフォトカプラの 1 次側が、ゲート駆動回路 2 a の接続端 2 6 a に一端を接続するインピーダンス素子 2 e の他端と、ゲート駆動回路 2 b の接

50

続端 2 6 b との間に、直列で挿入されている。図 3 ではインピーダンス素子 2 e は 1 個の抵抗で構成されているが、2 以上直列接続した抵抗で構成してもよい。その他の構成は図 2 と同様であり、その詳細な説明は省略する。

【 0 0 6 5 】

電力変換主回路の負極の電位を基準にして出力端子 4 の電位が高電位状態にある場合、インピーダンス素子 2 e の両端には高電圧がかかり、よって電流が通流する。フォトカプラの 1 次側に電流が通流するため、1 次側の発光ダイオード 2 0 f が点灯し、フォトカプラの 2 次側のフォトトランジスタ 2 1 f が導通状態となり、制御部 3 は、出力端子 4 の電位が高電位状態にあることを検知する。

【 0 0 6 6 】

一方、電力変換主回路の負極の電位を基準にして出力端子 4 の電位が低くなり零になった場合、インピーダンス素子 2 e の両端には電圧がかからないため、よって電流が通流しない。フォトカプラの 1 次側に電流が通流しないため、1 次側の発光ダイオード 2 0 f が消灯し、フォトカプラ 2 次側のフォトトランジスタ 2 1 f が非導通状態となり、制御部 3 は、出力端子 4 の電位が零であることを検知する。

【 0 0 6 7 】

このように、検出部がインピーダンス素子に通流する電流を検出する構成であっても、検出部 2 f がインピーダンス素子 2 e の電圧を検出する構成と同様の効果を得ることができる。

【 0 0 6 8 】

なお、検出部 2 f ではフォトカプラを用いたが、フォトカプラ以外にもホール素子を用いてインピーダンス素子に流れる電流を検出する構成としてもよい。また、シャント抵抗を用いてインピーダンス素子に流れる電流を検出する構成としてもよい。いずれにおいても、フォトカプラを用いた場合と同様の効果を得ることができる。

【 0 0 6 9 】

図 4 は、この発明の実施の形態 1 による電力変換装置の配置図であり、スイッチング素子 1 a からなるモジュール 1 0 0、スイッチング素子 1 b からなるモジュール 1 0 1、ゲート駆動回路 2 a、ゲート駆動回路 2 b、インピーダンス素子 2 e、および周辺の部品の配置を示す。

【 0 0 7 0 】

図 4 に示すように、スイッチング素子 1 a およびスイッチング素子 1 b は、それぞれ 1 つの筐体に納められた、いわゆる 1 i n 1 モジュールとなっている。モジュールは 1 個のスイッチング半導体チップ、または 2 個以上のスイッチング半導体チップを内蔵している。スイッチング素子 1 a からなるモジュール 1 0 0 とスイッチング素子 1 b からなるモジュール 1 0 1 は、プスパー 1 1 0 にとりつけられており、電力変換主回路 1 を構成している。なお、図 4 では、スイッチング素子を 1 個のモジュールにより構成したが、これに限るものではない。2 個以上のモジュールを電氣的に並列接続することによりスイッチング素子を構成してもよい。

【 0 0 7 1 】

ゲート駆動回路 2 a およびゲート駆動回路 2 b は、それぞれ 1 枚のゲート駆動回路基板 2 a、2 B に配設されている。モジュール 1 0 0 およびモジュール 1 0 1 は、それぞれゲート駆動回路 2 a、ゲート駆動回路 2 b とゲート信号線 2 3 a、2 3 b、ソース信号線 2 4 a、2 4 b で結ばれている。

【 0 0 7 2 】

つまり、スイッチング素子 1 a からなるモジュール 1 0 0 は、ゲート駆動回路 2 a のゲート・ソース間電圧がそれぞれゲート信号線 2 3 a、ソース信号線 2 4 a で接続され、伝達される。同様に、スイッチング素子 1 b からなるモジュール 1 0 1 は、ゲート駆動回路 2 b のゲート・ソース間電圧がそれぞれゲート信号線 2 3 b、ソース信号線 2 4 b で接続され、伝達される。

【 0 0 7 3 】

従来より、スイッチング素子のスイッチング動作に伴って、スイッチング素子の周辺は電磁ノイズが大きいことが知られている。電磁ノイズにより、ゲート信号線、ソース信号線の伝達信号が変形し、スイッチング素子が誤動作する恐れがある。

【 0 0 7 4 】

これに対しては、ゲート信号線、ソース信号線を隣接して配置し、ゲート信号線とソース信号線が作るループを小さくすることが行われている。電磁ノイズの影響を抑え、ゲート駆動回路のゲート・ソース間電圧が変形することなくスイッチング素子のゲート・ソース間に伝達される。

【 0 0 7 5 】

図 4 の構成においても、ゲート信号線 2 3 a とソース信号線 2 4 a、およびゲート信号線 2 3 b とソース信号線 2 4 b は、隣接して配置されている。図 4 の構成の特徴は、ソース信号線 2 4 a とソース信号線 2 4 b も隣接して配置されていることである。すなわち、ソース信号線 2 4 a とソース信号線 2 4 b との距離は、ゲート信号線 2 3 a とソース信号線 2 4 a との距離およびゲート信号線 2 3 b とソース信号線 2 4 b との距離のいずれかと同じかそれ未満である。このように、ソース信号線 2 4 a とソース信号線 2 4 b が作るループを小さくしていることである。

【 0 0 7 6 】

この構成により、電磁ノイズの影響を抑え、出力端子の電位が変形することなくインピーダンス素子に伝達される。制御部は出力端子の電位を精度よく検知できる。

【 0 0 7 7 】

図 4 の構成においては、インピーダンス素子 2 e は、ゲート駆動回路 2 a とゲート駆動回路 2 b との間の空間において配線して接続している。インピーダンス素子 2 e は、ゲート駆動回路 2 a とゲート駆動回路 2 b との空間絶縁距離を考慮して配置すればよい。

【 0 0 7 8 】

一般に、絶縁を確保するにあたっては、空間絶縁距離の方が沿面絶縁距離よりも短くて済む。図 4 の構成によれば、インピーダンス素子の配線長を短く抑えることができる。

【 0 0 7 9 】

図 5 は、この発明の実施の形態 1 による電力変換装置の他の配置例を示す図である。図 5 の構成では、スイッチング素子 1 a とスイッチング素子 1 b が 1 枚のゲート駆動回路基板 2 で構成されている。インピーダンス素子 2 e は、ゲート駆動回路基板 2 の上に設置されており、回路パターンにより結線されている。

【 0 0 8 0 】

この構成であれば、ゲート駆動回路基板の製造段階でインピーダンス素子の取り付け作業を完了することができる。インピーダンス素子の取り付け工程を別に設ける必要がないため、低コスト化を図ることができる。さらに、この構成においても、デッドタイムを補償することができる。

【 0 0 8 1 】

実施の形態 2 .

実施の形態 1 では、検出部 2 f にフォトカプラを用いて絶縁回路と兼用したが、実施の形態 2 では、絶縁回路と検出部は別とし、検出部としてコンパレータを用いた場合について説明する。

【 0 0 8 2 】

図 6 は、この発明の実施の形態 2 による電力変換装置を示す構成図であり、電力変換主回路 1、ゲート駆動回路基板 2、制御部 3、および周辺部品の構成を図示している。なお、図 6 では矢印付きの線を信号線、矢印無しの線を電氣的配線として図示している。

【 0 0 8 3 】

図 6 に示すように、ゲート駆動回路 2 a とゲート駆動回路 2 b との間にインピーダンス素子 2 e が設けられている。インピーダンス素子 2 e は、正極側の一端 2 e 3 がゲート駆動回路 2 a の接続端 2 6 a と接続されており、負極側の他端 2 e 1 がゲート駆動回路 2 b の接続端 2 6 b と接続されている。インピーダンス素子 2 e には、電圧を検出する検出部

10

20

30

40

50

2 f としてコンパレータが接続されている。コンパレータからなる検出部 2 f により検出した出力電圧信号を、絶縁回路 2 i を介して制御部 3 のデッドタイム補正回路 3 a に出力し、また、反転論理部 2 k により反転した反転出力電圧信号も、絶縁回路 2 j を介してデッドタイム補正回路 3 a に出力するように構成されている。

【 0 0 8 4 】

図 7 は、この発明の実施の形態 2 による電力変換装置の回路図であり、スイッチング素子 1 a、スイッチング素子 1 b、ゲート駆動回路 2 a、ゲート駆動回路 2 b、インピーダンス素子 2 e、および周辺の部品の回路を示す。

【 0 0 8 5 】

図 7 に示すように、ゲート駆動回路 2 a およびゲート駆動回路 2 b には、それぞれオン
10 用コンデンサ 2 2 a、2 2 b とオフ用コンデンサ 2 7 a、2 7 b があり、オン用コンデンサ 2 2 a、2 2 b の負極とオフ用コンデンサ 2 7 a、2 7 b の正極が直列接続されている。オン用コンデンサ 2 2 a、2 2 b とオフ用コンデンサ 2 7 a、2 7 b の接続点は、それぞれソース信号線 2 4 a、2 4 b を介して、スイッチング素子 1 a およびスイッチング素子 1 b の各制御用ソース端子 1 3 a、1 3 b に接続されている。

【 0 0 8 6 】

その他の構成については図 1 および図 2 と同様であり、その説明を省略する。結局、ゲート駆動回路 2 a の接続端 2 6 a の電位はオン用コンデンサ 2 2 a の負極の電位に一致し、さらには電力変換主回路 1 の出力の電位に一致する。ゲート駆動回路 2 b の接続端 2 6
20 b の電位はオン用コンデンサ 2 2 b の負極の電位に一致し、さらには電力変換主回路 1 の負極の電位に一致する。

【 0 0 8 7 】

次に、電力変換主回路の出力端子 4 から出力される電圧の検出方法の詳細について、図 7 を用いて説明する。図 7 に示すように、制御部 3 からのオン指令信号は、制御信号絶縁部である絶縁回路 2 g、2 h を介してゲート駆動回路 2 a およびゲート駆動回路 2 b に伝わる。絶縁回路 2 g、2 h は、フォトカプラ部品により構成される。

【 0 0 8 8 】

制御部 3 からのオン指令信号が、絶縁回路 2 g、2 h に入力されるとフォトカプラの 1 次側の発光ダイオード 2 0 g、2 0 h がそれぞれ点灯する。すると、フォトカプラの 2 次側のフォトトランジスタ 2 1 g、2 1 h がそれぞれ導通状態になる。

【 0 0 8 9 】

ゲート駆動回路 2 a およびゲート駆動回路 2 b の各部の電位が変化し、結局、ゲート駆動回路 2 a およびゲート駆動回路 2 b のオン用トランジスタ 2 0 a 1、2 0 b 1 は導通状態に、オフ用トランジスタ 2 0 a 2、2 0 b 2 は非導通状態になる。

【 0 0 9 0 】

オン用コンデンサ 2 2 a、2 2 b に蓄えられた電荷は、それぞれオン用コンデンサ 2 2 a、2 2 b の各正極から、それぞれオン用トランジスタ 2 0 a 1、2 0 b 1、ゲート信号線 2 3 a、2 3 b、スイッチング素子 1 a、1 b の制御用ゲート端子 1 2 a、1 2 b、制御用ソース端子 1 3 a、1 3 b、ソース信号線 2 4 a、2 4 b、オン用コンデンサ 2 2 a、2 2 b の各負極への経路を通り、スイッチング素子 1 a およびスイッチング素子 1 b に
40 供給される。

【 0 0 9 1 】

スイッチング素子 1 a およびスイッチング素子 1 b の制御用ゲート端子 1 2 a、1 2 b と制御用ソース端子 1 3 a、1 3 b には正の電圧がかかり、スイッチング素子 1 a およびスイッチング素子 1 b は導通状態になる。

【 0 0 9 2 】

一方、制御部 3 からのオフ指令信号が絶縁回路 2 g、2 h に入力されると、フォトカプラの 1 次側の発光ダイオード 2 0 g、2 0 h がそれぞれ消灯する。すると、フォトカプラの 2 次側のフォトトランジスタ 2 1 g、2 1 h がそれぞれ非導通状態になる。

【 0 0 9 3 】

10

20

30

40

50

ゲート駆動回路 2 a およびゲート駆動回路 2 b の各部の電位が変化し、結局、ゲート駆動回路 2 a およびゲート駆動回路 2 b のオン用トランジスタ 2 0 a 1、2 0 b 1 が非導通状態に、オフ用トランジスタ 2 0 a 2、2 0 b 2 は導通状態になる。

【0094】

オフ用コンデンサ 2 7 a、2 7 b に蓄えられた電荷が、オフ用コンデンサ 2 7 a、2 7 b の各正極から、ソース信号線 2 4 a、2 4 b、スイッチング素子 1 a、1 b の制御用ソース端子 1 3 a、1 3 b、スイッチング素子 1 a、1 b の制御用ゲート端子 1 2 a、1 2 b、ゲート信号線 2 3 a、2 3 b、オフ用トランジスタ 2 0 a 2、2 0 b 2、オフ用コンデンサ 2 7 a、2 7 b の各負極への経路を通り、スイッチング素子 1 a およびスイッチング素子 1 b にそれぞれ供給される。

10

【0095】

スイッチング素子 1 a およびスイッチング素子 1 b の制御用ゲート端子 1 2 a、1 2 b と制御用ソース端子 1 3 a、1 3 b には、それぞれ負の電圧がかかり、スイッチング素子 1 a およびスイッチング素子 1 b は非導通状態となる。

【0096】

このように、ゲート駆動回路 2 a およびゲート駆動回路 2 b の構成から明かなように、スイッチング素子 1 a およびスイッチング素子 1 b の各ソース電位とゲート駆動回路 2 a およびゲート駆動回路 2 b のオン用コンデンサ 2 2 a、2 2 b の負極の電位はそれぞれ一致する。

【0097】

20

ここで、正極側のスイッチング素子 1 a のソース電位は、電力変換主回路 1 の出力電位に一致する。よって、ゲート駆動回路 2 a のオン用コンデンサ 2 2 a の負極の電位は、電力変換主回路 1 の出力の電位に一致する。負極側のスイッチング素子 1 b のソース電位は、電力変換主回路 1 の負極電位に一致する。よって、ゲート駆動回路 2 b のオン用コンデンサ 2 2 b の負極の電位は、電力変換主回路 1 の負極電位に一致する。

【0098】

また、ゲート駆動回路 2 a のオン用コンデンサの負極の電位は、ゲート駆動回路 2 a の接続端 2 6 a での電位に一致する。ゲート駆動回路 2 b のオン用コンデンサ 2 2 b の負極の電位は、ゲート駆動回路 2 b の接続端 2 6 b での電位と一致する。

【0099】

30

ゲート駆動回路 2 a とゲート駆動回路 2 b との間にインピーダンス素子 2 e が設けられている。インピーダンス素子 2 e は、正極側の一端 2 e 3 がゲート駆動回路 2 a の接続端 2 6 a と接続されており、負極側の他端 2 e 1 がゲート駆動回路 2 b の接続端 2 6 b と接続されている。検出部 2 f は、インピーダンス素子 2 e での電圧を検出することで、電力変換主回路 1 の出力端子 4 から出力される電圧を検出することができる。

【0100】

実施の形態 2 においては、図 7 に示すように、検出部 2 f はコンパレータにより構成される。インピーダンス素子 2 e は、2 以上直列接続した抵抗 (2 0 e 1、2 0 e 2、 \dots 2 0 e n) により構成される。検出部 2 f の入力電圧仕様に応じてインピーダンス素子 2 e を構成する抵抗 2 0 e 1、2 0 e 2、 \dots 2 0 e n の直列数を調整することが望ましい。なお、図 7 では、検出部 2 f はインピーダンス素子 2 e の分圧を検出する例を示すが、検出部 2 f の入力耐圧が高ければ分圧は不要である。検出部 2 f をインピーダンス素子 2 e の両端に接続し、検出部 2 f はインピーダンス素子 2 e の両端にかかる電圧を検出する構成とすればよい。この場合には、インピーダンス素子 2 e を 2 以上直列接続した抵抗で構成してもよいが 1 個の抵抗で構成することもできる。

40

【0101】

制御部 3 の電位がゲート駆動回路 2 a よりもゲート駆動回路 2 b の電位に近い場合、ゲート駆動回路 2 b の接続端 2 6 b に 2 以上直列接続したインピーダンス素子 2 e の一端、つまり、抵抗 2 0 e 1 の一端が接続され、抵抗 2 0 e 1 の他端に、検出部 2 f であるコンパレータの一方の入力端 2 f 1 に接続される。

50

【0102】

本実施例では検出部2fであるコンパレータの電源はゲート駆動回路2bの電源より得ている。オン用コンデンサ22b、オフ用コンデンサ27bを用いることにより両極電源を得ることができる。従来技術のように出力端子と直流母線の低圧側との間にセンサーを設ける場合は、ゲート駆動回路の電源とは別にセンサーの電源が必要であるのに対し、上記構成では検出部の電源をゲート駆動回路の電源より得ることができ、さらに小型かつ簡素な電力変換装置を得ることができる。

【0103】

検出部2fであるコンパレータの他方の入力端2f2には、ドライバ電源を抵抗分圧して得られる基準電圧が入力される。出力端子4の電位が高電位状態にある場合、インピーダンス素子2eの両端には高電圧がかかり、コンパレータが接続されている抵抗20e1にも分圧された電圧がかかる。コンパレータの他端の基準電圧を越えるのでコンパレータの出力はhigh状態となる。一方、出力端子4の電位が低くなり電位差が零になった場合、インピーダンス素子2eの両端には電圧がかからないため、コンパレータが接続された抵抗にも電圧がかからない。コンパレータの他端の基準電圧を越えないのでコンパレータの出力はlow状態となる。

10

【0104】

一般に、コンパレータの入力端子は入力インピーダンスが高く、感度が高い。本実施の形態のように検出部2fとしてコンパレータを用いれば、インピーダンス素子2eを構成する抵抗の抵抗値を大きくしても検出部2fはインピーダンス素子2eの電圧を感度良く検出することができる。インピーダンス素子2eの通流電流を少なくすることができ、インピーダンス素子2eの発熱を抑えることができる。

20

【0105】

さらに、本実施の形態であれば、電力変換装置の動作時についてコンパレータの入力端子の入力電圧範囲をコンパレータの両極電源電圧値よりも内側に収めることができる。コンパレータの入力端子の入力電圧がコンパレータの両極電源電圧値に一致すると、コンパレータの内部回路が飽和し、コンパレータ動作が遅くなることがある。コンパレータの入力端子の入力電圧がコンパレータの両極電源電圧よりも外側にあると、コンパレータの内部回路の絶縁が劣化し、コンパレータが破壊することがある。本実施の形態であれば、コンパレータ動作が遅くなることはなく、コンパレータが破壊することはない。

30

【0106】

なお、この実施の形態2では、インピーダンス素子2eを2以上直列接続した抵抗または1個の抵抗により構成することができるとして説明したが、特に限定するものではない。インピーダンス素子2eを2以上直列接続したコンデンサまたは1個のコンデンサにより構成した場合でも、同様の効果を得られる。さらに、インピーダンス素子2eを2以上直列接続したダイオードまたは1個のダイオードにより構成した場合でも、同様の効果を得られる。

【0107】

また、この実施の形態2では、検出部2fがインピーダンス素子2eの電圧を検出する構成にて説明したが、特に限定するものではない。検出部2fがインピーダンス素子に通流する電流を検出する構成とした場合においても、同様の効果を得られる。

40

【0108】

なお、検出部2fであるコンパレータの他方の入力端2f2に入力される基準電圧の電圧値は、直流母線の電位に応じて適切に調整しておく必要がある。通常、電力変換装置に電力を供給する直流母線の電位は安定しており、前記基準電圧の電圧値の調整は一度行えば良い。本実施の形態では、ドライバ電源を抵抗分圧して調整することにより基準電圧を得ている。しかしながら、特殊な用途の電力変換装置においては、直流母線の通常時の電位が大きく変動することがある。この場合には検出部2fの閾値を生成する前記基準電圧の電圧値は、直流母線の電位によって可変となるように構成することが望ましい。

【0109】

50

上記の変形例として、図 8 に示すように、直流母線 5 a とゲート駆動回路 2 b 中のオフ用コンデンサ 2 7 b の負極側の接続端とを抵抗 2 3 b 7 と 2 3 b 8 で電氣的に接続し、その分圧電位を利用する電力変換装置がある。この分圧電位を前記基準電圧の電圧値として用いる。これにより、直流母線 5 a の通常時の電位が変動しても、それに応じて閾値電圧が変動するため検出部 2 f の誤検知、誤動作を防止できる。さらに、本構成であれば、落雷などで母線電圧が異常に変動して瞬時低下又は瞬時上昇した場合であっても、検出部 2 f の誤検知、誤動作を防止できる。

【 0 1 1 0 】

本実施の形態では図 8 に示すように、ゲート駆動回路 2 a の中には、正極側のスイッチング素子 1 a のドレイン端子（IGBTであればコレクタ端子）と同電位の配線は存在しないが、ゲート駆動回路の構成によっては存在する場合がある。上記図 8 の変形例として述べる。この場合、ゲート駆動回路 2 a 上にある正極側のスイッチング素子 1 a のドレイン端子（IGBTであればコレクタ端子）と同電位の配線の電位は直流母線 5 a と同電位である。したがって、上記ゲート駆動回路 2 a 上にある同電位の配線とゲート駆動回路 2 b 中のオフ用コンデンサ 2 7 b の負極側の接続端とを抵抗 2 3 b 7 と 2 3 b 8 で電氣的に接続することで、図 8 と同様の効果を得ることができる。さらなる効果として、直流母線 5 a からの電氣的な接続線を配線する必要が無く、装置の構成が容易になる。

【 0 1 1 1 】

次に、デッドタイム補正方法について説明する。

一般に、デッドタイムは、スイッチング素子や、そのゲート駆動回路の遅延時間等を考慮して、電力変換主回路の出力端子でのデッドタイムは、下記の式（１）を満たすようスイッチング信号を出力する制御部のデッドタイム付加回路により、予め設定される。

【 0 1 1 2 】

$$T_{dead}^{+} = T_{dead} + T_{d-on} - T_{d-off} > 0 \quad \cdots (1)$$

【 0 1 1 3 】

ここで、

T_{dead} : 制御部にて生成されるデッドタイム

T_{dead}^{+} : 電力変換主回路 1 の出力端子 4 でのデッドタイム

T_{d-on} : オン遅延時間

T_{d-off} : オフ遅延時間

（ T_{d-on} 、 T_{d-off} には、信号の上昇時間 T_r や下降時間 T_f を含む）

【 0 1 1 4 】

また、制御部から出力されたスイッチング信号は、高電圧部から低電圧部へのノイズを防止する目的や、絶縁破壊に対する安全性を確保するために、絶縁回路であるフォトカプラを介してゲート駆動回路に供給される。

【 0 1 1 5 】

フォトカプラは、入力電流により発光ダイオードが発光し、この光をフォトリランジスタで出力電流に変換している。しかしフォトリランジスタのベースキャリアのライフタイムの影響と、コレクタからベースへ負帰還がかかるミラー積分効果により、フォトリランジスタがオフからオンに変化するために要するオン遅延時間よりも、オンからオフに変化するために要するオフ遅延時間の方が大幅に長くなる。

【 0 1 1 6 】

このことは、ルネサスエレクトロニクス株式会社のホームページに「汎用フォトカプラの応答速度」（URL：<http://japan.renesas.com/products/opto/technology/speed/index.jsp>）として記載されているとおりである。

【 0 1 1 7 】

従って、フォトリランジスタ分の遅延時間が $T_{d-on} - T_{d-off} < 0$ であるため、式（１）において、 T_{dead}^{+} として正の値を確保するためには、デッドタイム T_{dead} として大きな値を設ける必要があった。

【 0 1 1 8 】

さらに、上述のような遅れ要素は負荷電流や温度条件などさまざまな要因により一定の遅れ要素ではなく、実際に補正すべきデッドタイムである T_{dead+} は上述のような変動要因により一定値ではないことが知られている。

【0119】

従来技術のような出力端子の電位を検出してデッドタイム補正に用いる方法では、上述のような遅れ要素があっても、出力端子の電位を直接検出することで電力変換主回路の出力端子でのデッドタイム T_{dead+} を正確に知ることができるので、精度よくデッドタイム補正を実施することができる。

【0120】

しかしながら、従来技術では示されていないが、実際に従来技術を実施する場合には、
10 センサーの信号とカウンタの間にはフォトカプラのような絶縁回路が必要となる。この理由は上述と同様の理由である。

【0121】

特別な例として、電力変換主回路の低圧側に接続された直流母線の低圧側の電位と制御器のグランド（接地電位）が同電位であり、ノイズ等の問題がない場合には、センサーの信号とカウンタ間の絶縁回路は省略しても問題ない場合もあるが、ほとんどの場合は、絶縁回路を介して信号を授受するのが一般的である。

【0122】

したがって、従来技術ではフォトカプラのような絶縁回路の遅れ要素により、カウンタ
20 が検出したデッドタイムは絶縁回路のON遅延時間 - OFF遅延時間だけ誤差を持つことになる。

【0123】

この発明の実施の形態2による電力変換装置では、検出部2fにより検出された出力電圧信号は、絶縁回路2iを介して制御部3に出力し、また、反転論理部2kにより反転した反転出力電圧信号も、絶縁回路2jを介して制御部3に出力するように構成している。

【0124】

図9に、絶縁回路2i、2jのタイムチャートを示す。通常の絶縁回路2iの検出パルス時間 T_{out+} は、式(2)で求められ、反転論理部2kを介した絶縁回路2jの検出パルス時間 T_{out++} は、式(3)で求まる。したがって、出力端子4の電位検出パルス時間 T_{out} は、式(4)で正確に求めることができる。
30

【0125】

$$T_{out+} = T_{out} - T_{on} + T_{off} \quad \cdots (2)$$

$$T_{out++} = T_{out} - T_{off} + T_{on} \quad \cdots (3)$$

$$T_{out} = (T_{out+} + T_{out++}) / 2 \quad \cdots (4)$$

【0126】

ここで、

T_{out} : 出力端子4の電位検出パルス時間

T_{out+} : 通常の絶縁回路2iの検出パルス時間

T_{out++} : 反転論理部2kを介する絶縁回路2jの検出パルス時間

T_{on} : 絶縁回路のオン遅延時間
40

T_{off} : 絶縁回路のオフ遅延時間

【0127】

したがって、式(4)で求めた出力端子4の電位検出パルス時間を用いてデッドタイム補正を実施することで、従来技術に比べてデッドタイム補正の精度を向上することができる。ここで、2個のフォトカプラである絶縁回路2i、2jは近接して配置することが望ましい。電氣的条件、温度条件が揃うことからフォトカプラの遅れ時間が揃う効果が得られる。

【0128】

なお、絶縁回路2i、2jの遅れが十分無視できる時間であれば、反転論理部は省略してもよい。一般に、高性能な絶縁回路ほど上記信号伝達遅れ時間が短くなるが、高価にな
50

る。反転論理部を用いることで、安価な絶縁回路であっても高精度に出力端子の電位検出パルス時間 T_{out} を検出でき、コスト低減にも繋がる。

【0129】

図10に、デッドタイム補正回路3aのブロック図を示す。デッドタイム補正回路3aでは、式(4)に基づき出力端子4の電位検出パルス時間 T_{out} をカウントし、補正信号のカウント値 T_{vref+} との差分から誤差電圧である電力変換主回路1の出力端子4でのデッドタイム T_{dead+} を $T_{vref+} - T_{out}$ から算出する。この T_{dead+} を次の補正量 T_{comp} とする。

【0130】

補正量 T_{comp} が正值であれば、 $|T_{comp}|$ のオフディレイ、補正量 T_{comp} が負値であれば、 $|T_{comp}|$ のオンディレイとなるように、PWM信号を補正する。なお、図示していないが、カウンタは入力信号の立ち上がりでカウントクリアするように構成し、補正量 T_{comp} はキャリアピークでラッチするようにしている。

【0131】

図11に、負荷電流が正の場合のデッドタイム補正の動作を示すタイムチャートを示す。また、図12に負荷電流が負の場合のデッドタイム補正の動作を示すタイムチャートを示す。

【0132】

図11および図12に示すように、補正量 T_{comp} が正值であれば、 $|T_{comp}|$ のオフディレイ(図11)、補正量 T_{comp} が負値であれば、 $|T_{comp}|$ のオンディレイ(図12)となるように、PWM信号を補正することで、出力電流の正負によらず出力端子電圧の遅れを同一にでき、1パルス前の補正量 T_{comp} ではあるが、PWM信号のパルス時間 T_{verf} と出力端子電圧のパルス時間 T_{out} をほぼ同じに制御できる。

【0133】

なお、図10および図12において、デッドタイム T_{dead+} のうち、BおよびCの部分は、主回路の電流により変化する部分である。

【0134】

以上のように、この発明の実施の形態2における電力変換装置では、検出部2fにより検出された出力電圧信号を、絶縁回路2iを介して制御部3に出力し、また、反転論理部2kにより反転した反転出力電圧信号も、絶縁回路2jを介して制御部3に出力するように構成したので、フォトカブラのような絶縁回路の遅れ要素に起因する誤差を補正することができ、デッドタイム補正の精度を向上することができる。

【0135】

さらに、上述のとおり、スイッチング素子やダイオード素子にワイドバンドギャップ半導体を用いることで、小型、低コストも実現できる。

【0136】

なお、上述の実施の形態1でも述べたように、電力変換主回路1のスイッチング素子およびダイオード素子としてはどのような素子を用いてもよいが、例えば、ワイドバンドギャップ半導体を用いることができる。ワイドバンドギャップ半導体としては、例えば、炭化珪素、窒化ガリウム系材料またはダイヤモンド等により形成されたものがある。

【0137】

このようなワイドバンドギャップ半導体によって形成されたスイッチング素子やダイオード素子は、耐電圧性が高く、許容電流密度も高いため、スイッチング素子やダイオード素子の小型化が可能であり、これら小型化されたスイッチング素子やダイオード素子を用いることにより、これらの素子を組み込んだ半導体モジュールの小型化が可能となる。

【0138】

また、ワイドバンドギャップ半導体は、耐熱性も高いため、ヒートシンクの放熱フィンの小型化や、水冷部の空冷化が可能であるので、半導体モジュールの一層の小型化が可能になる。さらに、電力損失が低いいため、スイッチング素子やダイオード素子の高効率化が可能であり、延いては半導体モジュールの高効率化が可能になる。

10

20

30

40

50

【 0 1 3 9 】

実施の形態 3

実施の形態 1 および実施の形態 2 では、2 レベルの電力変換回路の場合について示したが、実施の形態 3 では、3 レベルの電力変換回路を用いた場合について説明する。

【 0 1 4 0 】

図 1 3 は、この発明の実施の形態 3 による電力変換装置の構成図であり、電力変換主回路 1、ゲート駆動回路基板 2、制御部 3、および周辺部品の構成を図示している。電力変換主回路 1 は、3 レベルの電力変換回路として構成されている。電力変換主回路 1 の正極には高電位を供給する直流母線 5 a が接続されている。電力変換主回路 1 の負極には零電位を供給する直流母線 5 b が接続されている。さらに、電力変換主回路 1 の中間電位端子 5 g には中間電位を供給する直流母線が接続されている。内蔵するスイッチング素子のオン、オフを切り替えることにより、電力変換主回路 1 は出力端子 4 より 3 レベルの電位（高電位、中間電位、零電位）を出力する。

10

【 0 1 4 1 】

この実施の形態 1 における電力変換主回路 1 は、4 つのスイッチング素子 1 c、1 d、1 e、1 f と、2 つの中性点クランプダイオード 1 g、1 h と、から構成される。4 つのスイッチング素子 1 c、1 d、1 e、1 f は、それぞれトランジスタ素子 1 0 c、1 0 d、1 0 e、1 0 f とダイオード 1 1 c、1 1 d、1 1 e、1 1 f とが逆並列に接続されて構成されている。

20

【 0 1 4 2 】

電力変換主回路 1 では、正極側の第 1 のスイッチング部として、スイッチング素子 1 c とスイッチング素子 1 d が直列に接続され、負極側の第 2 のスイッチング部として、スイッチング素子 1 e とスイッチング素子 1 f が直列に接続される。この第 1 のスイッチング部と第 2 のスイッチング部は、正極側の下位電位側のスイッチング素子 1 d と負極側の上位電位側のスイッチング素子 1 e とで直列に接続される。

【 0 1 4 3 】

正極側の上位電位側に位置するスイッチング素子 1 c と下位電位側に位置するスイッチング素子 1 d との接続点 5 d に上位電位側の中性点クランプダイオード 1 g のカソードが接続される。

【 0 1 4 4 】

中性点クランプダイオード 1 g のアノードは、下位電位側の中性点クランプダイオード 1 h のカソードに接続されると共に、直列接続された 2 つの中性点クランプダイオード 1 g、1 h の接続点は、中間電位端子 5 g に電氣的に接続される。

30

【 0 1 4 5 】

一方、負極側の上位電位側に位置するスイッチング素子 1 e と下位電位側に位置するスイッチング素子 1 f との接続点 5 e に下位電位側の中性点クランプダイオード 1 h のアノードが接続される。

【 0 1 4 6 】

中性点クランプダイオード 1 h のカソードは、上述の通り、中間電位端子 5 g に電氣的に接続される。スイッチング素子 1 d とスイッチング素子 1 e の接続点 5 f は、出力端子 4 として引き出され負荷（図示しない）に接続される。

40

【 0 1 4 7 】

ゲート駆動回路基板 2 には、4 つのゲート駆動回路 2 l、2 m、2 n、2 o が設けられる。ゲート駆動回路 2 l とゲート駆動回路 2 m は、第 1 のゲート駆動部として、それぞれスイッチング素子 1 c とスイッチング素子 1 d に接続される。

【 0 1 4 8 】

同様に、ゲート駆動回路 2 n とゲート駆動回路 2 o は、第 2 のゲート駆動部として、それぞれスイッチング素子 1 e とスイッチング素子 1 f に接続される。ゲート駆動回路 2 l、2 m、2 n、2 o は、それぞれをスイッチング素子 1 c、1 d、1 e、1 f を駆動する。

50

【0149】

この発明の実施の形態3による電力変換装置では、図13に示すように、インピーダンス素子2Pの一端2p3は、正極側の下位電位側に位置するスイッチング素子1dを駆動するゲート駆動回路2mの接続端26mに接続されている。インピーダンス素子2Pの他端2p1は、負極側の下位電位側に位置するスイッチング素子1fを駆動するゲート駆動回路2oの接続端26oに接続されている。

【0150】

本発明の実施の形態ではコンパレータからなる検出部を2個用いる。コンパレータからなる検出部2qの一端を、インピーダンス素子2pの中間部の接続点2p2に接続する。コンパレータからなる検出部2qの他端は、直流電圧源2qqを介してインピーダンス素子2pの一端2p1に接続する。コンパレータからなる検出部2rの一端を、インピーダンス素子2pの中間部の接続点2p2に接続する。コンパレータからなる検出部2qの他端は、直流電圧源2rrを介してインピーダンス素子2pの一端2p1に接続する。

10

【0151】

電力変換主回路1の出力端子4の電位は高電位、中間電位、零電位のいずれかにあるが、出力端子4の電位によってインピーダンス素子2eの電圧が変化する。検出部2qは、出力端子4の電位が零電位にあるのか中間電位以上（中間電位または高電位）にあるのかを検出し、検出結果を下位側出力電圧信号として送出する。検出部2rは、出力端子4の電位が高電位にあるのか中間電位以下（中間電位または零電位）にあるのかを検出し、検出結果を上位側出力電圧信号として送出する。このように、インピーダンス素子2eの電圧を、検出部2q、2rにより検出することにより、電力変換主回路1の出力端子4の電位が高電位、中間電位、零電位のいずれにあるのかを検出することができる。

20

【0152】

直流電圧源2qq、2rrの電圧値は直流母線の電位に応じてそれぞれ適切に調整しておく。直流電圧源2qq、2rrはゲート駆動回路2oの電源を用いれば簡単に構成することができる。ゲート駆動回路2oの電源電圧を抵抗分圧すれば所望の電圧値を持つ直流電圧源を得ることができる。あるいは、レギュレータICを用いることにより、ゲート駆動回路2oの電源電圧より所望の電圧値を持つ直流電圧源を得てもよい。

【0153】

各ゲート駆動回路2l、2m、2n、2oは、それぞれスイッチング素子1c、1d、1e、1fのゲート-ソース間（トランジスタ素子がIGBTの場合はゲート-エミッタ間）に電圧印加できるように電氣的に接続し、絶縁回路2x、2y、2ad、2aeを介して入力された各駆動信号に基づき、各スイッチング素子1c、1d、1e、1fにゲート電圧を印加する。

30

【0154】

検出部2q、2rにより検出された出力電圧信号は、絶縁回路2aa、2acを介して制御部3に出力し、また、反転論理部2t、2uにより反転した反転出力電圧信号も、絶縁回路2z、2abを介して制御部3に出力するように構成する。なお、図13も、図1、図6と同様に、矢印付きの線を信号線、矢印無しの線を電氣的配線として図示している。

40

【0155】

制御器3は、第1の補正回路であるデッドタイム補正回路3e、第1の付加回路であるデッドタイム付加回路3f、第2の付加回路であるデッドタイム付加回路3g、第2の補正回路であるデッドタイム補正回路3i、第3の付加回路であるデッドタイム付加回路3j、および第4の付加回路であるデッドタイム付加回路3kにより構成される。

【0156】

デッドタイム補正回路3eは、電力変換主回路1の正極側の出力電圧指令値である上位PWM信号を受けて、ゲート駆動回路基板2から入力される上位側出力電圧信号とその反転出力電圧信号に基づきデッドタイム補正を行う。

【0157】

50

デッドタイム付加回路 3 f は、デッドタイム補正回路 3 e からのスイッチング素子 1 c の駆動信号に対してデッドタイムを付加してゲート駆動回路 2 l に駆動信号を出力する。デッドタイム付加回路 3 g は、デッドタイム補正回路 3 e からの信号を反転論理部 3 h により反転した第 5 のスイッチング素子 1 e の駆動信号に対してデッドタイムを付加してゲート駆動回路 2 n に駆動信号を出力する。

【0158】

デッドタイム補正回路 3 i は、電力変換主回路 1 の負極側の出力電圧指令値である下位 PWM 信号を受けて、ゲート駆動回路基板 2 から入力された下位側出力電圧信号とその反転出力電圧信号に基づきデッドタイム補正を行う。

【0159】

デッドタイム付加回路 3 j は、デッドタイム補正回路 3 i からのスイッチング素子 1 d の駆動信号に対してデッドタイムを付加してゲート駆動回路 2 m に駆動信号を出力する。デッドタイム付加回路 3 k は、デッドタイム補正回路 3 i からの信号を反転論理部 3 l により反転したスイッチング素子 1 f の駆動信号に対してデッドタイムを付加してゲート駆動回路 2 o に駆動信号を出力する。

【0160】

このように、実施の形態 3 による電力変換装置では、出力端子 4 から出力される電位状態は 3 レベル（高電位、中間電位、零電位）のいずれかであるが、出力電位を検出できるように 2 つの検出部 2 q、2 r を設け、これに対応するように制御部 3 に、デッドタイム補正回路 3 e、3 i と、デッドタイム付加回路 3 f、3 g、3 j、3 k を設けた以外は、

【0161】

この構成によれば、3 レベルの電圧を出力する場合であっても、基本的に、出力端子 4 から出力される電圧の検出方法の原理は、実施の形態 1 と同じであり、実施の形態 1 および実施の形態 2 と同様の効果が得られるだけでなく、上位および下位それぞれの PWM 信号に対して 2 レベルの電力変換回路と同様のデッドタイム補正回路を用いることで、3 レベルの電力変換回路においてもデッドタイム補正をすることができる。

【0162】

実施の形態 3 では、ゲート駆動回路 2 l、2 m、2 n、2 o、絶縁回路 2 x、2 y、2 a d、2 a e といった部品を同一基板であるゲート駆動回路基板 2 の上に構成している。本発明に特有の部品である、インピーダンス素子 2 p、検出部 2 r、2 q、絶縁回路 2 z、2 a a、2 a b、2 a c といった部品もゲート駆動回路基板 2 の上に構成している。このように構成することで、ゲート駆動回路基板の製造時に本発明に特有の部品をゲート駆動回路部品と合わせて実装することができる。本発明の効果をえられる電力変換装置を製造工程が増加することなく製造することができる。

【0163】

なお、本実施の形態では、直流電圧源 2 q q、2 r r の電圧値は直流母線の電位に応じてそれぞれ適切に調整しておくことを述べた。通常、電力変換装置に電力を供給する直流母線の電位は安定しており、直流電圧源 2 q q、2 r r の電圧値の調整は一度行えば良い。しかしながら、特殊な用途の電力変換装置においては、直流母線の通常時の電位が大きく変動することがある。この場合には検出部 2 q、2 r の閾値をそれぞれ生成する直流電圧源 2 q q、2 r r の電圧値は、直流母線の電位によって可変となるように構成することが望ましい。

【0164】

上記の変形例として、図 14 に示すように、直流母線 5 a とゲート駆動回路 2 o の接続端 2 6 o とをインピーダンス素子 2 a f で電氣的に接続し、その分圧電位を利用する電力変換装置がある。2 個の分圧電位があり、それぞれ直流電圧源 2 q q、2 r r として用いる。これにより、直流母線 5 a の通常時の電位が変動しても、それに応じて閾値電圧が変動するため検出部 2 q、2 r の誤検知、誤動作を防止できる。さらに、本構成であれば、落雷などで母線電圧が異常に変動して瞬時低下した場合であっても、検出部 2 q、2 r の

誤検知、誤動作を防止できる。

【 0 1 6 5 】

図 1 5 では、別の変形例を示す。この電力変換装置は、実施の形態 2 で説明したゲート駆動回路基板 2 と同じものを 2 枚用いて、上位電位側のゲート駆動回路基板 2 C はスイッチング素子 1 c とスイッチング素子 1 e を駆動するように配線し、下位電位側のゲート駆動回路基板 2 D はスイッチング素子 1 d とスイッチング素子 1 f を駆動するように配線している。

【 0 1 6 6 】

図 1 5 のように構成することで、2 レベルの電力変換回路用のゲート駆動回路基板を流用することができることから、設計コストや部品調達コストを低減できる。

10

【 0 1 6 7 】

以上のように、この発明の実施の形態 3 における電力変換装置では、実施の形態 1 および実施の形態 2 の 2 レベルの電力変換装置の構成を基本として、3 レベルの電力変換主回路に対応するように、出力端子 4 から出力される各電位差を検出できるように 2 つの検出部 2 q、2 r を設け、制御部 3 にデッドタイム補正回路 3 e、3 i およびデッドタイム付加回路 3 f、3 g、3 j、3 k を設けることで、3 レベルの電圧を出力する場合であっても、実施の形態 1 および実施の形態 2 の 2 レベルの場合と同様の効果を得られる。すなわち、電力変換主回路の出力電圧を検出し、デッドタイム補償する電力変換装置であって、製造が容易で、かつ誤動作しない電力変換装置を得ることができる。また、製造が容易で、かつ誤動作しない電力変換主回路の出力電圧検出方法を得ることができる。

20

【 0 1 6 8 】

また、3 レベルの電力変換主回路に対しても従来技術に比べてフォトカブラのような絶縁素子の遅れ要素に起因する誤差を補正することができ、デッドタイム補正の精度を向上することができる。

【 0 1 6 9 】

さらに上述の通り、検出部 2 r、2 q の閾値をそれぞれ生成する直流電圧源 2 r r、2 q q を、直流母線 5 a の電位によって閾値が可変となるように構成することで、直流母線の電位が変動しても検出部 2 r、2 q の誤検知、誤動作を防止できる。

【 0 1 7 0 】

実施の形態 4 .

30

実施の形態 1 では、スイッチング素子 1 a、1 b からなるモジュール 1 0 0、1 0 1 とゲート駆動回路 2 a、2 b とが分離して配置されており、配線にて接続されている場合を示した。実施の形態 4 においては、一体として配置されている場合について示す。

【 0 1 7 1 】

図 1 6 および図 1 7 は、この発明の実施の形態 4 による電力変換装置の配置例を示す図である。ゲート駆動回路 2 a、ゲート駆動回路 2 b、インピーダンス素子 2 e、スイッチング素子 1 a とスイッチング素子 1 b からなるモジュール 1 0 2、および周辺の部品の配置を示す。

【 0 1 7 2 】

モジュール 1 0 2 は、スイッチング素子 1 a およびスイッチング素子 1 b が 1 つの筐体に納められた、いわゆる 2 i n 1 モジュールとなっている。ゲート駆動回路 2 a およびゲート駆動回路 2 b は、1 枚のゲート駆動回路基板 2 で構成されている。

40

【 0 1 7 3 】

図 1 6 は、ゲート駆動回路 2 a およびゲート駆動回路 2 b を搭載するゲート駆動回路基板 2 が、スイッチング素子 1 a とスイッチング素子 1 b とを収めたモジュール 1 0 2 に載設する前の、分離した状態を示す。

【 0 1 7 4 】

スイッチング素子 1 a とスイッチング素子 1 b とを収めたモジュール 1 0 2 には、制御用ゲート端子 1 2 a、1 2 b と制御用ソース端子 1 3 a、1 3 b が、金属ピンの形でそれぞれ設けられている。

50

【0175】

一方、ゲート駆動回路基板2のゲート駆動回路2aとゲート駆動回路2bには、制御用ゲート端子12a、12bと制御用ソース端子13a、13bにそれぞれ対応して、制御用ゲート端子の取り付け部28a、28bと制御用ソース端子の取り付け部29a、29bが、ソケットの形で設けられている。

【0176】

ゲート駆動回路基板2は、矢印Aの方向に従って、モジュール102の直上に載設され、図17に示すように、モジュール102の制御用ゲート端子12a、12bと制御用ソース端子13a、13bが、制御用ゲート端子の取り付け部28a、28bと制御用ソース端子の取り付け部29a、29bを介して、ゲート駆動回路2aおよびゲート駆動回路2bと、それぞれ電氣的に接続される。

10

【0177】

このように、外付けのソース信号線およびゲート信号線を用いずにゲート駆動回路基板2をモジュール102の直上に近づけて配置していることから、電磁ノイズの影響を抑え、電力変換主回路の出力端子4の電位が変形することなくインピーダンス素子2eに伝達される。制御部は出力端子4の電位を精度よく検出できる。

【0178】

さらに、インピーダンス素子2eとゲート駆動回路2aの接続端26aがゲート駆動回路2aの制御用ソース端子13aの近傍に配置されている。すなわち、接続端26aと制御用ソース端子13aとの距離は、制御用ゲート端子12aと制御用ソース端子13aとの距離と同じか、それ未満である。また、インピーダンス素子2eとゲート駆動回路2bの接続端26bがゲート駆動回路2bの制御用ソース端子13bの近傍に配置されている。すなわち、接続端26bと制御用ソース端子13bとの距離は、制御用ゲート端子12bと制御用ソース端子13bとの距離と同じか、それ未満である。本構成により、さらに電磁ノイズの影響を抑え、電力変換主回路の出力端子4の電位が変形することなくインピーダンス素子2eに伝達される。制御部は出力端子4の電位をさらに精度よく検出できる。

20

【0179】

以上のように、この発明の実施の形態4による電力変換装置では、ゲート駆動回路基板2をモジュール102の直上に近づけて配置するだけでなく、インピーダンス素子2eとゲート駆動回路2aの接続端26aが、スイッチング素子1aの制御用ソース端子13aの近傍に配置し、インピーダンス素子2eとゲート駆動回路2bの接続端26bがスイッチング素子1bの制御用ソース端子13bの近傍に配置することで、電磁ノイズの影響を抑え、電力変換主回路の出力端子4の電位が変形することなくインピーダンス素子2eに伝達される。制御部は出力端子4の電位を精度よく検出できる。

30

【0180】

なお、この実施の形態4では、実施の形態1の電力変換主回路1とゲート駆動回路基板2との接続の場合について説明したが、これに限るものではない。実施の形態2および実施の形態3での電力変換主回路1とゲート駆動回路基板2の接続に用いた場合にも、同様の効果を得ることができる。

40

【0181】

また、この実施の形態4では、インピーダンス素子2eを空中配線にゲート駆動回路基板と接続する構成にて説明したが、インピーダンス素子2eが回路パターンにてゲート駆動回路基板2と接続する構成とした場合においても、同様の効果を得ることができる。

【0182】

以上、実施の形態1から実施の形態4においては、それぞれ電力変換主回路1が1つの構成の場合について説明したが、これに限るものではない。これらの電力変換主回路1をそれぞれ3個並列に構成して三相インバータとして構成してもよい。また、DC/DCコンバータとして構成してもよい。さらに、AC/DC変換するPWMコンバータとして構成してもよい。いずれにおいても、この発明の実施の形態1から実施の形態4と同様の効果

50

を得ることができる。

【0183】

なお、本実施の形態1から実施の形態4においては、同一の電力変換主回路に属する2個のスイッチング素子に注目し、それぞれのスイッチング素子を駆動するゲート駆動回路の間をインピーダンス素子で接続した。本発明はこの構成に限るものではなく、別々の電力変換主回路に属するスイッチング素子に着目し、それぞれのスイッチング素子を駆動するゲート駆動回路の間をインピーダンス素子で接続してもよい。

【0184】

例えば、3相電動機を駆動する3相2レベルインバータを考える。U相正極側のスイッチング素子を駆動するゲート駆動回路とV相正極側のスイッチング素子を駆動するゲート駆動回路をインピーダンス素子2eUVで結ぶ。インピーダンス素子2eUVの電圧または電流を検出器2fUVにより検出すれば、3相2レベルインバータのU相出力とV相出力の相間電圧を検出することができる。同様に、V相正極側のスイッチング素子を駆動するゲート駆動回路とW相正極側のスイッチング素子を駆動するゲート駆動回路をインピーダンス素子2eVWで結ぶ。インピーダンス素子2eVWの電圧または電流を検出器2fVWにより検出すれば、3相2レベルインバータのV相出力とW相出力の相間電圧を検出することができる。W相正極側のスイッチング素子を駆動するゲート駆動回路とU相正極側のスイッチング素子を駆動するゲート駆動回路をインピーダンス素子2eWUで結ぶ。インピーダンス素子2eWUの電圧または電流を検出器2fWUにより検出すれば、3相2レベルインバータのW相出力とU相出力の相間電圧を検出することができる。

【0185】

3相2レベルインバータの制御部は、検出器2fUV、2fVW、2fWUの出力を受けることにより、3相2レベルインバータが実際に出力した相間電圧を知ることができる。一方で、制御部は、送出したオン指令信号、オフ指令信号から3相2レベルインバータが出力した相間電圧を推定する。制御部は、両者の相間電圧のずれ時間を計ることにより、デッドタイム補正量を得ることができる。デッドタイム補正量を考慮してオン指令信号、オフ指令信号を送出するように制御部を構成すれば、デッドタイム補償を行う電力変換装置を得ることができる。

【符号の説明】

【0186】

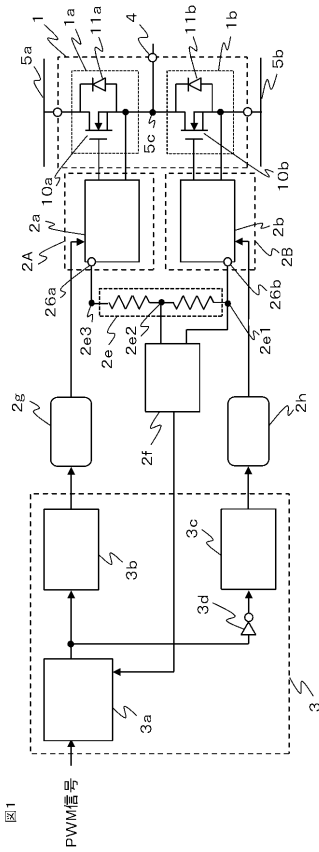
1 電力変換主回路、1a、1b、1c、1d、1e、1f スwitchング素子、2、2a、2B、2C、2D ゲート駆動回路基板、2a、2b、2l、2m、2n、2o ゲート駆動回路、2e、2p、2af インピーダンス素子、2f、2q、2r 検出部、2g、2h、2i、2j、2x、2y、2z、2aa、2ab、2ac、2ad、2ae 絶縁回路、3 制御部、3a、3e、3i デッドタイム補正回路、2k、2t、2u 反転論理部、3b、3c、3f、3g、3j、3k デッドタイム付加回路、3d、3h、3l 反転論理部、23a、23b ゲート信号線、24a、24b ソース信号線、100、101、102 モジュール

10

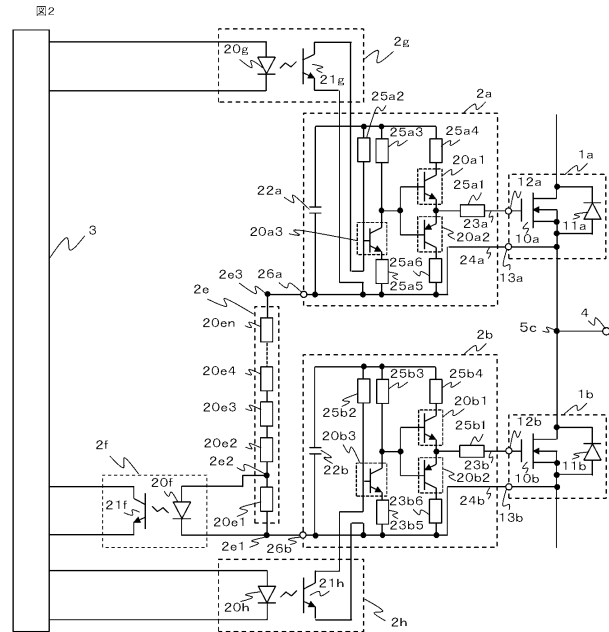
20

30

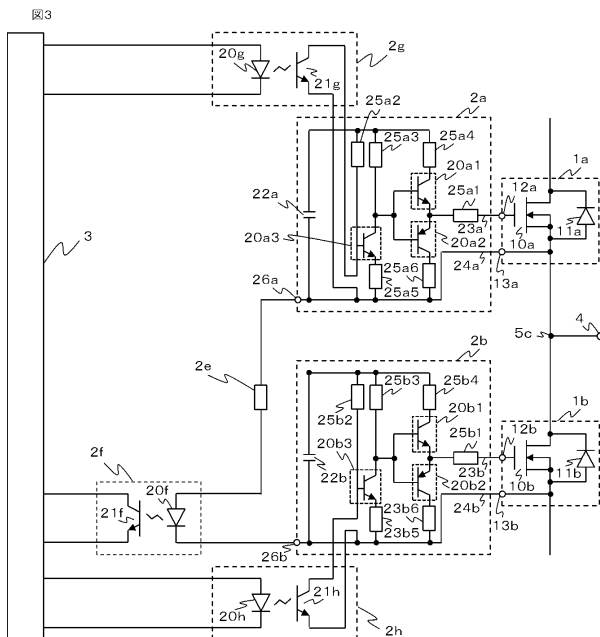
【 図 1 】



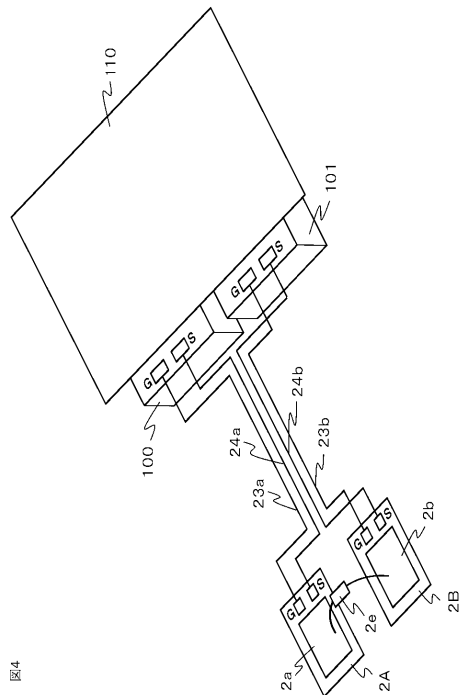
【 図 2 】



【 図 3 】



【圖 4】



4

【図5】

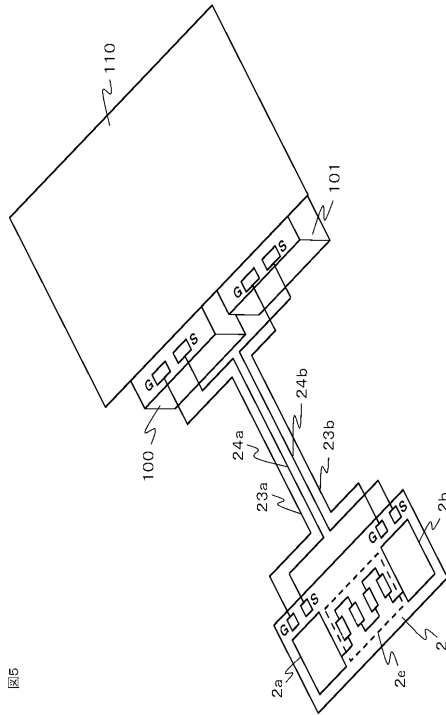


図5

【図6】

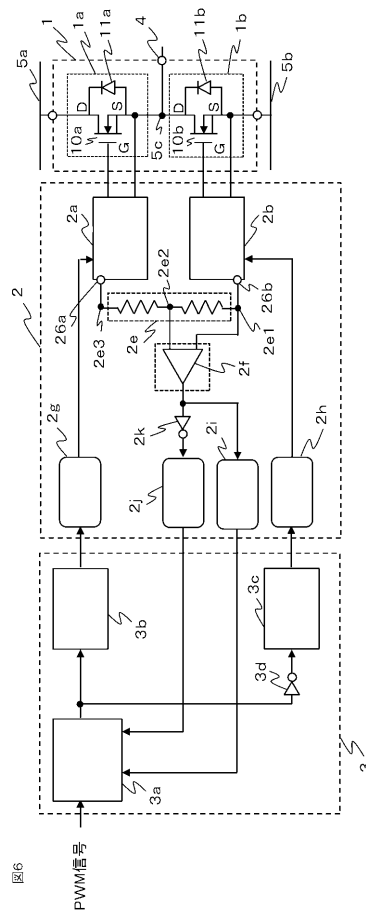


図6

【図7】

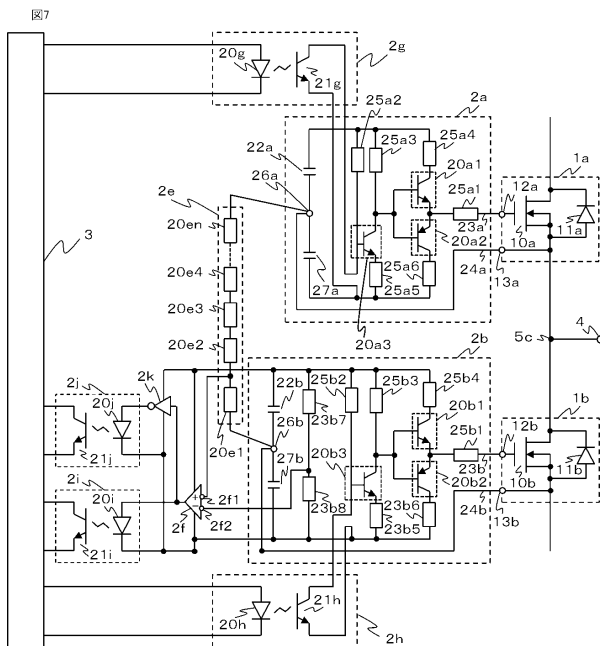


図7

【図8】

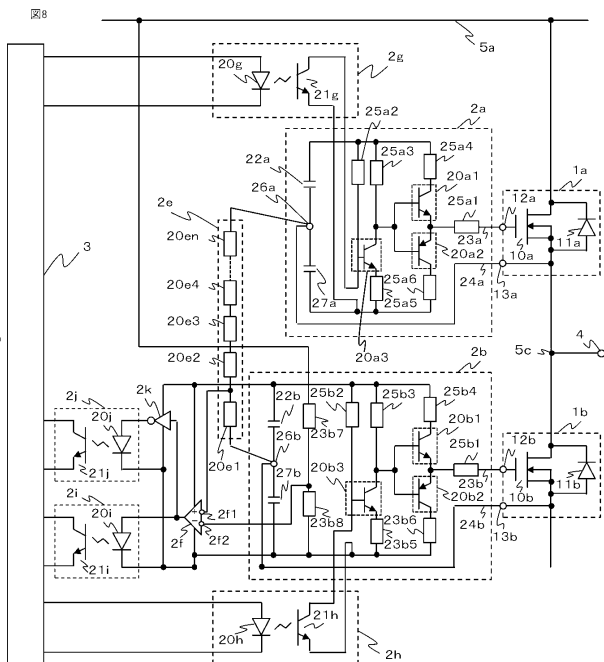
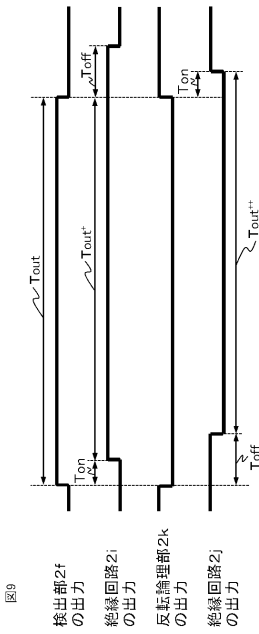
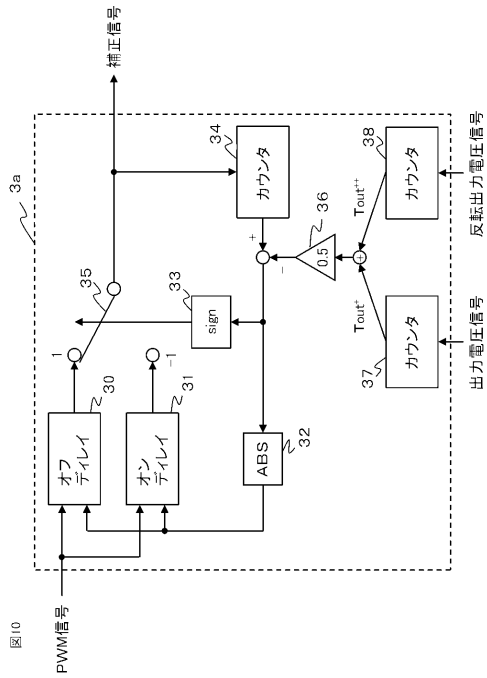


図8

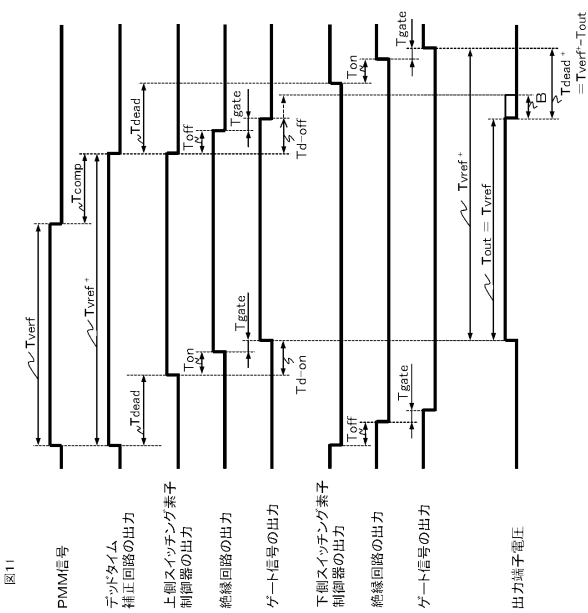
【 図 9 】



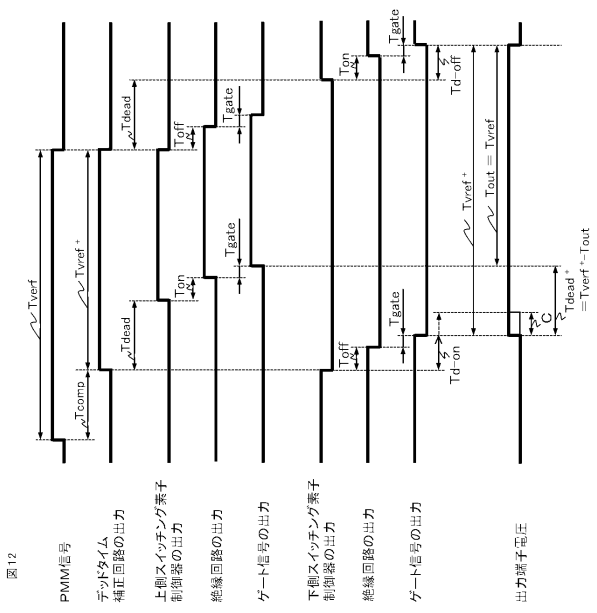
【 図 1 0 】



【 図 1 1 】



【 図 1 2 】



【図 13】

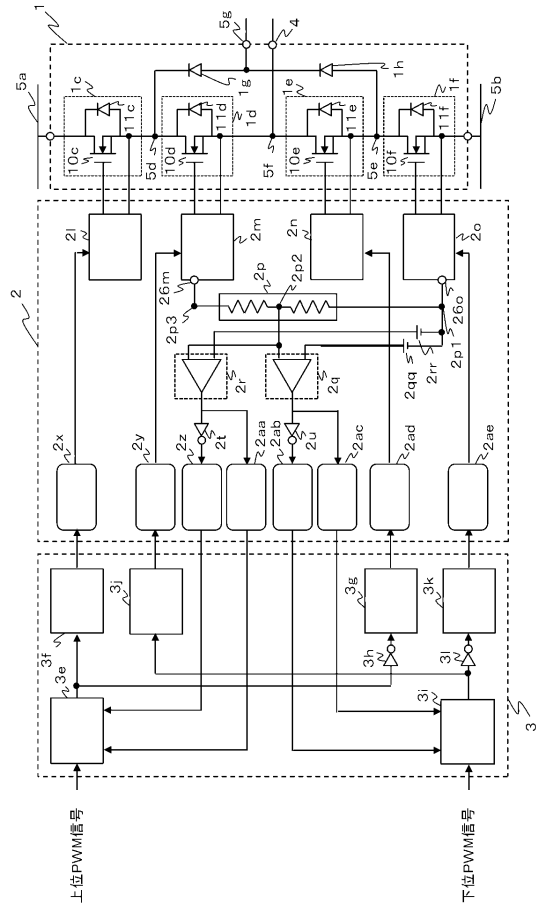


図13

【図 15】

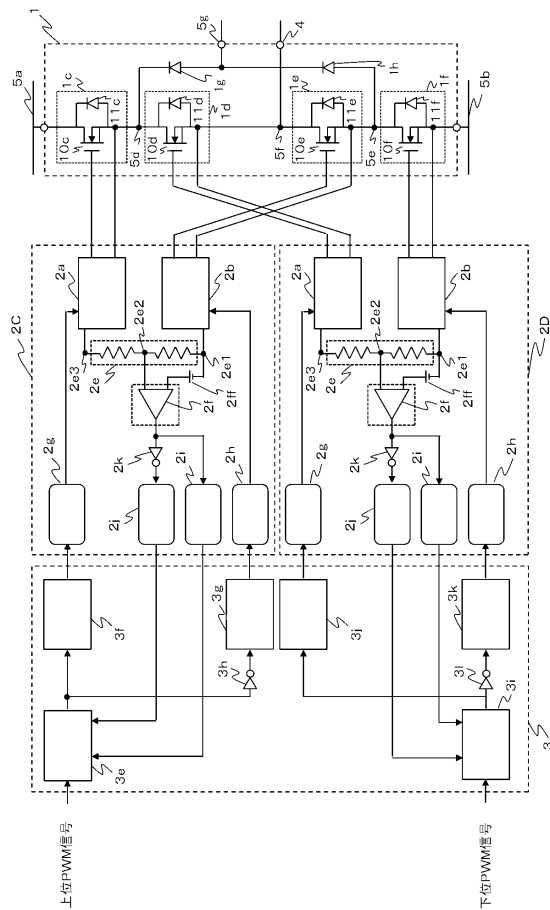


図15

【図 14】

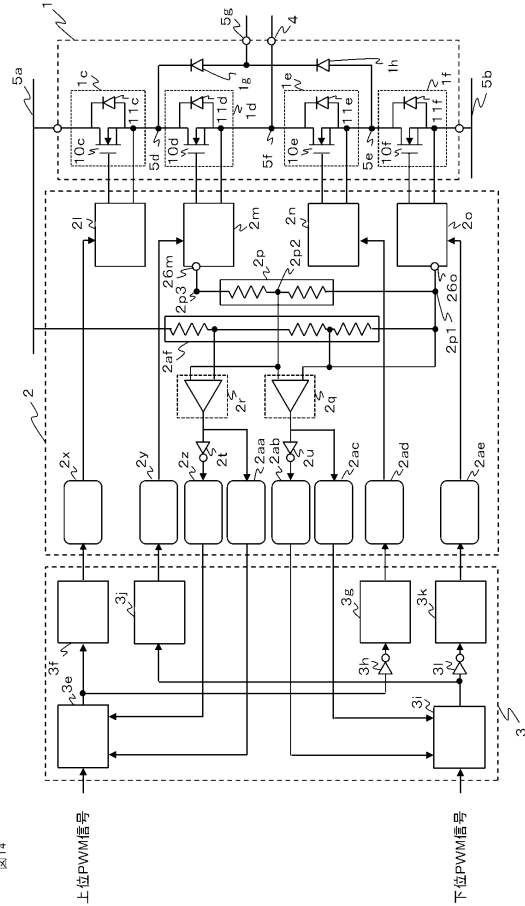
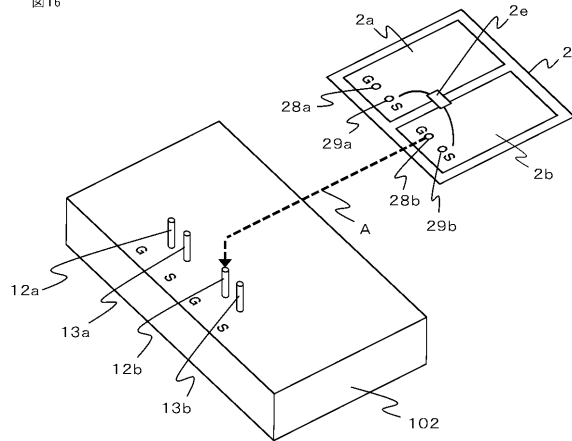


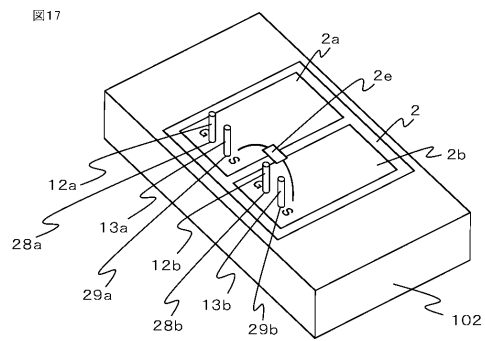
図14

【図 16】

図 16



【図 17】



フロントページの続き

- (72)発明者 三木 隆義
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 山崎 尚徳
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 中嶋 幸夫
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 栗栖 正和

- (56)参考文献 特開平11-275868(JP,A)
特開昭62-077065(JP,A)
特開平05-252795(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M	7/48 - 7/487
H02M	1/08
H03K	17/687
H03K	17/16