

# 發明專利說明書

**公告本**

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：095115925

※申請日期：95 年 05 月 04 日

※IPC 分類：G06F 12/06 (2006.01)

## 一、發明名稱：

G06F 12/08 (2006.01)

(中) 記憶體模組、及資訊機器  
(英)

## 二、申請人：(共 1 人)

1. 姓 名：(中) 瑞薩電子股份有限公司

(英) RENESAS ELECTRONICS CORPORATION

代表人：(中) 1. 赤尾 泰

(英) 1. AKAO, YASUSHI

地 址：(中) 日本國神奈川縣川崎市中原區下沼部一七五三番地

(英) 1753, Shimonumabe, Nakahara-ku, Kawasaki-shi, Kanagawa  
211-8668, Japan

國籍：(中英) 日本 JAPAN

## 三、發明人：(共 1 人)

1. 姓 名：(中) 三浦誓士

(英) MIURA, SEIJI

國 籍：(中) 日本

(英) JAPAN

## 四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2005/05/20 ; 2005-147957 ☒ 有主張優先權

## 五、中文發明摘要

發明之名稱：記憶體模組、及資訊機器

目的在於提供一種包含使用自由度佳的大記憶容量之 ROM 與 RAM 的記憶體系統。

構成包含非揮發性記憶體、快取記憶體、控制電路及資訊處理裝置的記憶體系統。使非揮發性記憶體之資料傳送至快取記憶體予以保持，而實現高速化。非揮發性記憶體之資料傳送至快取記憶體時，進行錯誤訂正，而實現信賴性之提升。可由資訊處理裝置獨立進行非揮發性記憶體與快取記憶體之存取，可實現使用自由度之提升。使彼等多數晶片構成之記憶體系統，使各晶片相互積層而配置，而構成藉由球柵陣列 BGA 或晶片間之接合配線而成的記憶體系統/模組。

## 六、英文發明摘要

發明之名稱：

七、指定代表圖：

(一)、本案指定代表圖為：第 ( 1 ) 圖

(二)、本代表圖之元件代表符號簡單說明：

CPU\_CHIP：資訊處理裝置；CPU：資訊處理裝置；  
MSM：記憶體模組；NRC：NOR 快閃控制器；NDC：  
NAND 快閃控制器；SDC：DRAM 控制器；NOR IF：NOR  
介面；NAND IF1、NAND IF2：NAND 介面；  
SDRAMIF2：SDRAM 介面；NRIF：NOR 介面電路；  
NDIF：NAND 介面電路；CT\_CHIP：控制電路；REG：  
暫存器方塊；DSTR：位址轉換電路；L2Cache：快取記憶  
體；PL2A：快取記憶體；PL2B：快取記憶體；PREF：預  
擷取控制電路；PL2Hit：命中(hit)判斷電路；L3Hit：命  
中判斷電路；PRECT：先行讀出指示電路；FLCT：快閃  
控制電路；OSC：時脈控制電路；MMG：記憶體位址管理  
電路；ARB：存取調停電路；RWCL：控制電路；FLSP：  
快閃錯誤控制電路；ECC：錯誤檢測訂正電路；BUF：緩  
衝器電路；REF：代替處理電路；WLV：寫入次數平均化  
電路；FLASH\_CHIP：快閃記憶體；FCNT：控制電路；  
DREG：資料緩衝器；MARY：記憶格陣列；  
DRAM\_CHIP：動態隨機存取記憶體；CLK：時脈信號；  
Wait：Wait 信號；PCMP：初期動作結束信號。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學  
式：無

(1)

## 九、發明說明

### 【發明所屬之技術領域】

本發明關於包含非揮發性記憶體的記憶體系統及記憶體系統的控制方法。

### 【先前技術】

習知之快閃記憶體(32M bit(百萬位元)容量)與靜態隨機存取記憶體(NOR(4M bit(百萬位元)容量))以堆疊晶片方式被一體密封於FBGA(Fine pitch Ball Grid Array)型封裝而成之複合型半導體記憶體存在。對於FBGA型封裝之輸出入電極，快閃記憶體與NOR之位址輸入端子與資料輸出入端子為共通化，但是各個控制端子為獨立(例如非專利文獻1)。

又，快閃記憶體晶片與DRAM晶片被一體密封於引線框架型封裝而成之複合型半導體記憶體亦存在。於該複合型半導體記憶體，對於封裝之輸出入電極，快閃記憶體與DRAM之位址輸入端子、資料輸出入端子及控制端子設為共通化而進行輸出入(例如專利文獻1之圖1、圖15，及專利文獻2)。

又，作為主記憶裝置使用之由快閃(Flash)記憶體、快取(Cache)記憶體、控制器及CPU構成的系統亦存在(例如專利文獻3之圖1)。

又，由快閃記憶體、DRAM、及傳送控制電路構成的半導體記憶體亦存在(例如專利文獻4之圖2、專利文獻

(2)

5)。

非專利文獻 1："複合記憶體(堆疊 CSP)快閃記憶體+RAM 資料文獻"，型名 LRS1380、[ on line ]，平成 13 年 12 月 10 日，聲寶公司〔平成 14 年 8 月 21 日檢索〕，網際網路<URL：//www.sharp.co.jp/products/device/flash/cmlist.html>。

專利文獻 1：特開平 05-299616 號公報。

專利文獻 2：歐洲專利申請公開第 0566306 號公報。

專利文獻 3：特開平 07-146820 號公報。

專利文獻 4：特開 2001-5723 號公報。

專利文獻 5：特開 2002-366429 號公報。

## 【發明內容】

(發明所欲解決之課題)

本發明人於本案發明之前針對行動電話及其使用之處理器、快閃記憶體、隨機存取記憶體構成之記憶體系統及其動作進行檢討。

圖 33 所示行動電話使用資訊處理裝置 PRC 及記憶體模組 MCM。

資訊處理裝置 PRC 由中央運算裝置 CPU 及 SRAM 控制器構成，記憶體模組 MCM 由 NOR 型快閃記憶體 NOR FLASH 及 SRAM 構成。

資訊處理裝置 PRC 對記憶體模組 MCM 進行存取，進行資料讀出及寫入。

(3)

電源投入後，資訊處理裝置 PRC 讀出 NOR 型快閃記憶體 NOR FLASH 儲存之起動資料，自行起動。之後，資訊處理裝置 PRC 必要時由 NOR 型快閃記憶體 NOR FLASH 讀出應用程式，於中央運算裝置 CPU 執行。SRAM 作為工作記憶體機能，保存中央運算裝置 CPU 之運算結果。

近年來行動電話處理之應用程式、資料、工作區域隨行動電話附加機能(音樂、遊戲器等之資訊傳送)之增加而變大，更大記憶容量之快閃記憶體及隨機存取記憶體成為必要。另外，隨著最近行動電話之高機能化要求，高速且大容量記憶體之需求亦變高。

目前行動電話使用之 NOR 型快閃記憶體為，使用稱為 NOR 構成之記憶體陣列方式的 NOR 型快閃記憶體。NOR 型為可抑低記憶格陣列之寄生電阻的陣列構成，針對並接之 2 個記憶格以 1 個之比例設有金屬位元線接觸而實現低電阻化，因此讀出時間約 80ns 可設為大略等於 NOR 之讀出時間。但是相反地須對 2 個格設計 1 個接觸之故，接觸部之晶片面積佔有比例變高，相當於 1 位元記憶格之面積變大，存在難以應付大容量化要求之問題。

代表性之大容量記憶體有記憶體陣列使用 AND 構成之 AND 型快閃記憶體及使用 NAND 構成之 NAND 型快閃記憶體。彼等快閃記憶體針對 16~128 個格設計 1 個位元線接觸而可實現高密度記憶體陣列。因而，相較於 NOR 型快閃記憶體，可縮小相當於 1 位元記憶格之面積，可對

(4)

應大容量化。但是，相反地輸出最初資料為止之讀出時間為較慢之約  $25\mu s \sim 100\mu s$ ，難以和 NOR 型快閃記憶體取得匹配性。

快閃記憶體因重複改寫而導致信賴性降低、寫入時之寫入資料和讀出時成為不同資料、或改寫時資料無法寫入等之問題有可能會發生。

另外，半導體密封構件中之鈾等之放射性物質放射之  $\alpha$  線射入隨機存取記憶體 RAM 之記憶體陣列而破壞該記憶體陣列保持之記憶資料之情況亦可能發生，成為隨機存取記憶體 RAM 之信賴性惡化之主要原因。

本發明目的在於提供可增大記憶容量、而且低成本，容易使用之包含 ROM 與 RAM 之記憶體系統。

(用以解決課題的手段)

本發明之代表性手段如下。亦即，將資訊處理裝置、快閃記憶體、快取記憶體及記憶體控制器安裝於 1 個密封體，於密封體設置進行和半導體晶片間之配線用的電極，及密封體與密封體外部連接用的電極。

此時，為使來自資訊處理裝置之快閃記憶體內之資料讀出要求之讀出時間實現高速化，而將快取記憶體與快閃記憶體連接於記憶體控制器，藉由記憶體控制器進行自快閃記憶體至快取記憶體之資料傳送。

電源投入後，控制成為使快閃記憶體之資料之至少一部分傳送至快取記憶體亦可。

(5)

控制成爲使由資訊處理裝置輸入之位址分散至快取記憶體之索引位址亦可。

控制成爲，上述記憶體控制器事先使資訊處理裝置使用之資料傳送至快取記憶體亦可。

以快閃記憶體內之緩衝器作爲快取記憶體使用亦可。

上述記憶體控制器在由快閃記憶體讀出資料時，係進行錯誤檢測及訂正，寫入時對寫入未被正確進行之不良位址進行代替處理亦可。對快閃記憶體內之記憶格進行寫入次數平均化控制亦可。又，由快取記憶體亦讀出資料之後進行錯誤檢測亦可。

設置可以知道資訊處理裝置要求之資料到達的信號線亦可。

控制成爲，上述記憶體控制器在由快取記憶體讀出資料期間，藉由上述資訊處理裝置接受對快閃記憶體之讀出及寫入之存取，而進行資料之讀出及寫入亦可。

### 【實施方式】

依圖面說明本發明實施形態。於實施形態構成各方塊之電路元件並未特別限定，可藉由習知 CMOS(互補型 MOS 電晶體)等積體電路技術形成於單晶矽等之 1 個半導體基板上。

(第 1 實施形態)

圖 1 爲本發明適用之第 1 實施形態之由資訊處理裝置

(6)

CPU\_CHIP 與記憶體模組 MSM 構成之記憶體系統。以下詳細說明。

記憶體模組 MSM 由 FLASH\_CHIP 與 CT\_CHIP 構成。FLASH\_CHIP 為非揮發性記憶體，非揮發性記憶體可使用 ROM(唯獨記憶體)、EEPROM(電子抹除及可程式化 ROM)、快閃記憶體等。本實施形態中以快閃記憶體為例說明。

代表性大容量快閃記憶體有，記憶體陣列使用 AND 構成之 AND 型快閃記憶體及記憶體陣列使用 NAND 構成之 NAND 型快閃記憶體，本發明可使用雙方之快閃記憶體。又，存在具有 AND 介面之大容量快閃記憶體，及具有 NAND 介面之大容量快閃記憶體，本發明可使用雙方之快閃記憶體。本實施形態中以具有 NAND 介面之大容量快閃記憶體為例說明。

雖未特別限定，作為 FLASH\_CHIP 使用之典型之快閃記憶體，為具有 NAND 介面之大容量快閃記憶體，具有約 2Gbit( $2 \times 10^9$  位元)之大記憶容量，讀出時間(自讀出要求至資料被輸出為止之時間)為約 25 $\mu$ s 至 100 $\mu$ s 之較慢者。

DRAM\_CHIP 為動態隨機存取記憶體，因內部構成或介面之不同而有 EDO(Extended Data Out)、SDRAM (Synchronous DRAM)、DDR(Double Data Rate)等各種類。記憶體模組 MSM 可使用任一 DRAM。本實施形態中以 SDRAM 為例說明。動態隨機存取記憶體 DRAM\_CHIP

(7)

作為資訊處理裝置 CPU\_CHIP 執行應用程式之暫時用之工作記憶體使用。

雖未特別限定，作為 DRAM\_CHIP 使用之典型之 SDRAM 具有約 256Mbit( $256 \times 10^6$  位元)之大記憶容量。

控制電路 CT\_CHIP 為控制 FLASH\_CHIP 與 CP 方塊之間之資料傳送的控制電路，雖未特別限定內藏有記憶容量為 1Mbyte( $1 \times 10^6$  位元組)之快取記憶體 L2Cache，讀出時間約為 30ns 至 90ns，較習知 NOR 型快閃記憶體為短時間或同等。

快取記憶體 L2Cache 可由非揮發性記憶體之磁性隨機存取記憶體 MRAM 及相變化記憶體 PRAM，或揮發性記憶體之靜態隨機存取記憶體 SRAM 予以實現，記憶體模組 MSM 可使用任一之隨機存取記憶體。本實施形態中，快取記憶體 L2Cache 以使用揮發性記憶體之靜態隨機存取記憶體 SRAM 為例說明。

快閃記憶體 FLASH\_CHIP 與控制電路 CT\_CHIP 間之資料傳送係藉由 NAND 介面 NAND IF2 進行。資訊處理裝置 CPU\_CHIP 與動態隨機存取記憶體 DRAM\_CHIP 間之資料傳送係藉由 SDRAM 介面 SDRAM IF 進行。

資訊處理裝置 CPU\_CHIP 由中央運算裝置 CPU、NOR 快閃控制器 NRC、NAND 快閃控制器 NDC、DRAM 控制器 SDC 構成。

NOR 快閃控制器 NRC 藉由 NOR 介面對記憶體模組 MSM 進行存取，進行資料之讀出/寫入。DRAM 控制器

(8)

SDC 藉由 SDRAM 介面 SDRAM IF 對 DRAM\_CHIP 進行存取，近醒資料之讀出/寫入。

NAND 快閃控制器 NDC 藉由 NAND 介面 NAND IF1 對記憶體模組 MSM 進行存取，進行資料之讀出/寫入。

快閃記憶體 FLASH\_CHIP 由控制電路 FCNT、資料緩衝器 DREG、記憶格陣列 MARY 構成。控制電路 FCNT 為，藉由來自控制電路 CT\_CHIP 之 NAND 介面 NAND IF2 之讀出/寫入指令而動作的電路。

讀出要求被輸入控制電路 FCNT 時，雖未特別限定，自記憶格陣列 MARY 至資料緩衝器 DREG 被傳送資料大小(容量)約 2KB 之資料，藉由 NAND 介面 NAND IF2 被傳送至控制電路 CT\_CHIP。又，被傳送至資料緩衝器 DREG 之資料直接被保持。

寫入要求及寫入資料被輸入控制電路 FCNT 時，雖未特別限定，資料大小(容量)約 2KB 之資料被輸入至資料緩衝器 DREG，最終被寫入記憶格陣列 MARY。又，被輸入至資料緩衝器 DREG 之資料直接被保持。

快閃記憶體 FLASH\_CHIP，雖未特別限定，可分為主資料區域及代替區域 REPAREA。

於主資料區域包含初期程式區域，於初期程式區域儲存，電源投入後立即起動資訊處理裝置 CPU\_CHIP 的起動程式，及自動傳送區域指定資料，用於表示自快閃記憶體 FLASH\_CHIP 至快取記憶體 L2Cache 之自動傳送用的快取區域內之資料範圍。

(9)

(控制電路 CT\_CHIP 之構成)

控制電路 CT\_CHIP 由：接受來自 NOR 介面 NOR IF 之讀出/寫入要求的 NOR 介面電路 NRIF，接受來自 NAND 介面 NAND IF 之讀出/寫入要求的 NAND 介面電路 NDIF，暫存器方塊 REG，位址轉換電路 DSTR，快取記憶體 L2Cache、PL2A、PL2B，預擷取控制電路 PREF，快閃控制電路 FLCT，緩衝器電路 BFBK，及快閃錯誤控制電路 FLSP 構成。

快取記憶體 L2Cache，雖未特別限定，具有約 1M Byte(百萬位元組)之容量。快取記憶體 PL2A、PL2B，雖未特別限定，分別具有 512 Byte(位元組)之容量。

預擷取控制電路 PREF 係由命中判斷電路 PL2Hit、L3Hit，及先行讀出控制電路構成。

緩衝器電路 BFBK 由讀出緩衝器 RBUF，寫入緩衝器 WBUF 構成。

快閃控制電路 FLCT 由時脈控制電路 OSCF，記憶體位址管理電路 MMG，存取調停電路 ARB，控制電路 RWCL 構成。

快閃錯誤控制電路 FLSP 由錯誤檢測訂正電路 ECC，緩衝器電路 BUF，代替處理電路 REP，寫入次數平均化電路 WLW 構成。

以下說明本記憶體系統之動作。首先說明電源投入後立即之動作。

(10)

(電源投入後立即之動作說明)

對資訊處理裝置 CPU\_CHIP、動態隨機存取記憶體 DRAM\_CHIP、控制電路 CT\_CHIP 及快閃記憶體 FLASH\_CHIP 進行電源投入時，快閃控制電路 FLCT 將 FLASH\_CHIP 之初期程式區域之資料讀出至緩衝器電路 BUF，於錯誤檢測訂正電路 ECC 進行確認是否有錯誤，無錯誤時將初期程式區域內之起動程式傳送至快取記憶體 PL2A，有錯誤時進行訂正，將初期程式區域內之起動程式傳送至快取記憶體 PL2A。如上述說明，電源投入後立即將起動程式由 FLASH\_CHIP 自動傳送至快取記憶體 PL2A，如此則，資訊處理裝置 CPU\_CHIP 可讀出該起動程式而自行起動，又，可進行動態隨機存取記憶體 DRAM\_CHIP 之初期設定。

在資訊處理裝置 CPU\_CHIP 進行起動期間，快閃控制電路 FLCT 藉由緩衝器電路 BUF 讀出自動傳送區域指定資料，將該資料所示範圍之快閃記憶體 FLASH\_CHIP 內之資料依序讀出至緩衝器電路 BUF，於錯誤檢測訂正電路 ECC 進行確認是否有錯誤，無錯誤時經由快取記憶體 PL2B 傳送至快取記憶體 L2Cache，有錯誤時進行訂正，經由快取記憶體 PL2B 傳送至快取記憶體 L2Cache。於該自動資料傳送結束時點，記憶體模組 MSM 設定表示一連串初期動作結束的初期動作結束信號 PCMP 為 H(高)位準。

(11)

又，存取調停電路 ARB 可構成爲，對暫存器方塊 REG 寫入資料傳送結束表示用之傳送結束旗標。此情況下，不需要初期動作結束信號 PCMP，因而可減少信號腳位。

資訊處理裝置 CPU\_CHIP 藉由檢測記憶體模組 MSM 之初期動作結束信號 PCMP 可獲知電源投入後立即之資料傳送結束否，可立即存取快取記憶體 L2Cache。

如上述說明，電源投入後立即將起動程式由 FLASH\_CHIP 自動傳送至快取記憶體 L2Cache，如此則，資訊處理裝置 CPU\_CHIP 可讀出該起動程式而自行起動，又，在資訊處理裝置 CPU\_CHIP 進行起動期間，將 FLASH\_CHIP 內之資料自動傳送至快取記憶體 L2Cache，如此則，於資訊處理裝置 CPU\_CHIP 起動時點，可立即存取記憶體模組 MSM，可達成高性能化。

#### (暫存器方塊之說明)

說明暫存器方塊 REG，雖未特別限定，具有讀出模態設定暫存器 RModeReg，快取區域設定暫存器 CAreaReg，快取鎖定區域設定暫存器 CaLockReg，寫入保護區域設定暫存器 WproReg，及寫入次數平均化處理區域設定暫存器 WlvlReg。

變更快取區域與非快取區域時，雖未特別限定，可由 NOR 介面 NOR IF 改寫快取區域設定暫存器 CAreaReg 之值，而變更快取區域與非快取區域。雖未特別限定，電源

(12)

投入後，快閃記憶體 FLASH\_CHIP 之全區域立即成為快取區域。

快取區域內之資料被傳送至快取記憶體 L2Cache、PL2A、PL2B，非快取區域內之資料未被傳送至快取記憶體 L2Cache、PL2A、PL2B。

變更快取鎖定區域與非快取鎖定區域時，雖未特別限定，可由 NOR 介面 NOR IF 改寫快取區域設定暫存器 CAreaReg 之值，而變更快取鎖定區域與非快取鎖定區域。雖未特別限定，電源投入後，快閃記憶體 FLASH\_CHIP 之全區域立即成為非快取鎖定區域。

快取鎖定區域內之資料一但被傳送至快取記憶體 L2Cache 後，在藉由快取鎖定解除指令改寫快取區域設定暫存器 CAreaReg 之前，將存在於快取記憶體 L2Cache。又，非快取鎖定區域內之資料可由快取記憶體 L2Cache 排出。

變更寫入次數平均化處理區域、非寫入次數平均化處理區域時，雖未特別限定，可由 NOR 介面 NOR IF 改寫寫入次數平均化處理區域設定暫存器 WlvlReg 之值，而變更寫入次數平均化處理區域、非寫入次數平均化處理區域。雖未特別限定，電源投入後，快閃記憶體 FLASH\_CHIP 之一半區域立即成為寫入次數平均化處理區域。

寫入次數平均化處理區域內之資料，在寫入次數平均化電路 WLA 判斷改寫集中時，被進行寫入次數平均化處理。

(13)

非寫入次數平均化處理區域內之資料不被進行寫入次數平均化處理。

變更寫入保護區域、非寫入保護區域時，雖未特別限定，可由 NOR 介面 NOR IF 改寫寫入保護區域設定暫存器 WproReg 之值，而變更寫入保護區域、非寫入保護區域。雖未特別限定，電源投入後，快閃記憶體 FLASH\_CHIP 之全區域立即成為非寫入保護區域。

於寫入保護區域不被進行寫入，於非寫入保護區域可進行寫入。

記憶體模組 MSM 具備之 NOR 介面，可為和時脈信號 CLK 同步動作的同步型 NOR 介面，及和時脈信號 CLK 不同步的非同步型 NOR 介面，可於任一之 NOR 介面動作。雖未特別限定，記憶體模組 MSM 於電源投入後以非同步型 NOR 介面動作。

雖未特別限定，位址轉換電路 DSTR 可實現多數位址轉換方式(簡易索引轉換方式、索引位元位移轉換方式、索引運算方式)，可於任一之位址轉換方式動作。雖未特別限定，位址轉換電路 DSTR 於電源投入後以索引運算方式動作。

雖未特別限定，由 NOR 介面 NOR IF 改寫讀出模態設定暫存器 RModeReg 之值，可變更記憶體模組 MSM 具備之 NOR 介面或位址轉換方式。

如上述說明，同步型 NOR 介面或非同步型 NOR 介面，位址轉換方式、快取區域及非快取區域、快取鎖定區

(14)

域及非快取鎖定區域、寫入次數平均化處理區域及非寫入次數平均化處理區域、寫入保護區域及非寫入保護區域可分別獨立設定，可配合系統於使用者側自由選擇。

(通常動作之說明)

說明電源投入時之電源導通(Power on)序列結束後之快閃記憶體 FLASH\_CHIP 與資訊處理裝置 CPU\_CHIP 間之資料傳送。

首先說明資訊處理裝置 CPU\_CHIP 由 NOR 介面 NOR IF 輸入讀出要求之動作。

資訊處理裝置 CPU\_CHIP 經由 NOR 介面 NOR IF 對控制電路 CT\_CHIP 輸入讀出指令及位址 RADD 時，控制電路 CT\_CHIP 內之 NOR 介面電路 NRIF 保持彼等讀出指令及位址。NOR 介面電路 NRIF 保持之讀出指令及位址 RADD，被輸入於記憶體位址管理電路 MMG、存取調停電路 ARB 及位址轉換電路 DSTR。

記憶體位址管理電路 MMG 對暫存器方塊 REG 保持之用於表示快取區域的位址資訊與位址 RADD 進行比較。

位址 RADD 在快取區域範圍外時，快取區域範圍外資訊由記憶體位址管理電路 MMG 經由 NOR 介面電路 NRIF 再藉由 NOR 介面 NOR IF 到達資訊處理裝置 CPU\_CHIP。

存取調停電路 ARB 進行由 NOR 介面電路 NRIF 輸入之讀出要求與來自 NAND 介面電路 NDIF 之讀出或寫入要求之間之調停。

(15)

首先，讀出要求由 NOR 介面電路 NRIF 被輸入存取調停電路時，存取調停電路將判斷是否有來自 NAND 介面電路 NDIF 之讀出或寫入要求，又，判斷是否對 NAND 介面電路 NDIF 之讀出或寫入要求進行動作。

判斷有來自 NAND 介面電路 NDIF 之讀出或寫入要求，對該要求乃未進行動作時，延後處理來自 NAND 介面電路 NDIF 之讀出或寫入要求，而優先許可來自 NOR 介面電路 NRIF 之讀出要求。

判斷對 NAND 介面電路 NDIF 之讀出或寫入要求之動作執行中時，暫時中斷執行中之動作，而優先許可來自 NOR 介面電路 NRIF 之讀出要求。

來自 NAND 介面電路 NDIF 之讀出及寫入要求被輸入於存取調停電路時，存取調停電路將判斷是否有來自 NOR 介面電路 NRIF 之讀出或寫入要求，又，判斷是否對 NOR 介面電路 NRIF 之讀出或寫入要求進行動作。

判斷對 NOR 介面電路 NRIF 之讀出或寫入要求之動作執行中時，於該動作結束後，許可來自 NAND 介面電路 NDIF 之讀出及寫入要求。

判斷無來自 NOR 介面電路 NRIF 之讀出或寫入要求，對該要求乃未進行動作時，許可來自 NAND 介面電路 NDIF 之讀出或寫入要求。

位址轉換電路，係為提升快取記憶體 L2Cache、PL2A、PL2B 之使用率或位元率，而將位址 RADD 轉換為位址 MRADD。

(16)

經由位址轉換電路轉換之位址 MRADD，係被輸入快取記憶體 L2Cache 及預擷取控制電路 PREF。

於快取記憶體 L2Cache，首先，對位址 MRADD 指定之資料是否存在於快取記憶體 L2Cache 內進行命中(hit)判斷，判斷位址 MRADD 指定之資料存在於快取記憶體 L2Cache 內時成為 L2Cache 命中，不存在時成為 L2Cache 失誤(miss)。

於預擷取控制電路 PREF 內之命中判斷電路 PL2Hit 進行命中判斷，判斷位址 MRADD 指定之資料是否存在於快取記憶體 PL2A 及 PL2B 之任一。

判斷位址 MRADD 指定之資料存在於快取記憶體 PL2A 及 PL2B 之任一時成為 PL2A 命中，不存在時成為 PL2A 失誤。

於預擷取控制電路 PREF 內之命中判斷電路 L3Hit 進行命中判斷，判斷位址 MRADD 指定之資料是否存在於快閃記憶體 FLASH\_CHIP 內之資料緩衝器 DREG。

判斷位址 MRADD 指定之資料存在於快閃記憶體 FLASH\_CHIP 內之資料緩衝器 DREG 時成為 L3A 命中，不存在時成為 L3A 失誤。

(L2Cache 命中之動作說明)

L2Cache 命中時資料直接由快取記憶體 L2Cache 輸出，經由 NOR 介面電路 NRIF，藉由 NOR 介面 NOR IF 被輸出至資訊處理裝置 CPU\_CHIP。

(17)

Wait 信號成爲 L 位準時資訊處理裝置 CPU\_CHIP 獲悉要求之資料到達，取入該要求之資料。

亦即，L2Cache 命中時不必進行自快閃記憶體 FLASH\_CHIP 至快取記憶體 L2Cache 之資料傳送，可直接由快取記憶體 L2Cache 讀出資料，可高速進行資料傳送。

(PL2 命中之動作說明)

L2Cache 失誤、PL2 命中時資料直接由快取記憶體 PL2A 及 PL2B 之任一輸出，經由 NOR 介面電路 NRIF，藉由 NOR 介面 NOR IF 被輸出至資訊處理裝置 CPU\_CHIP。此時之讀出時間和來自 L2Cache 之讀出時間同等。

亦即，PL2 命中時不必進行自快閃記憶體 FLASH\_CHIP 至快取記憶體 PL2A 及 PL2B 之資料傳送，可直接由快取記憶體 PL2A 及 PL2B 讀出資料，可高速進行資料傳送。

如上述說明，快取記憶體 L2Cache、PL2A、PL2B 之命中判斷時，資料可直接由快取記憶體 L2Cache、PL2A 及 PL2B 輸出，可高速進行資訊處理裝置 CPU\_CHIP 與記憶體模組 MSM 間之資料傳送。

(L2Cache 失誤、PL2 失誤、L3 命中之動作說明)

說明 L2Cache 失誤、PL2 失誤而且 L3 命中之資料傳送。

L2Cache 失誤、PL2 失誤而且 L3 命中時，首先於存

(18)

取調停電路 ARB 被許可來自 NOR 介面電路 NRIF 之讀出要求時，控制電路 RWCL 對控制電路 FCNT 輸入第 N 頁資料之讀出要求，將資料暫存器 DREG 內之第 N 頁資料傳送至緩衝器電路 BUF。

利用傳送資料暫存器 DREG 內之第 N 頁資料至緩衝器電路 BUF 之時間，將現在保存於快取記憶體 PL2A 及 PL2B 之資料傳送至快取記憶體 L2Cache，更新快取記憶體 L2Cache。

被傳送至緩衝器電路 BUF 之第 N 頁資料，係於錯誤檢測訂正電路 ECC 進行錯誤檢測。傳送至緩衝器電路 BUF 之第 N 頁資料無錯誤時，該第 N 頁資料藉由控制電路 RWCL 被傳送至快取記憶體 PL2A，有錯誤時於錯誤檢測訂正電路 ECC 進行錯誤訂正之後，第 N 頁資料藉由控制電路 RWCL 被傳送至快取記憶體 PL2A。

被傳送至快取記憶體 PL2A 之第 N 頁資料之中之資訊處理裝置 CPU\_CHIP 要求之資料，係經由 NOR 介面電路 NRIF，藉由 NOR 介面 NOR IF 被輸出至資訊處理裝置 CPU\_CHIP。

雖未特別限定，在資料被輸出之前 Wait 信號成為 H 位準，資訊處理裝置 CPU\_CHIP 等待資料之到達。Wait 信號成為 L 位準時資訊處理裝置 CPU\_CHIP 獲悉要求之資料已經到達而取入該要求之資料。

又，先行讀出指示電路 PRECT 對控制電路 RWCL 指示資料之先行讀出，控制電路 RWCL 對控制電路 FCNT 輸

(19)

入讀出要求，將資料緩衝器 DREG 內之次頁之資料、亦即第 N+1 頁之資料傳送至緩衝器電路 BUF。

傳送至緩衝器電路 BUF 之第 N+1 頁資料，係於錯誤檢測訂正電路 ECC，雖未特別限定，依每 512B 進行錯誤檢測。傳送至緩衝器電路 BUF 之第 N+1 頁資料無錯誤時，該第 N+1 頁資料藉由控制電路 RWCL 被傳送至快取記憶體 PL2A，有錯誤時於錯誤檢測訂正電路 ECC 進行錯誤訂正之後，第 N+1 頁資料藉由控制電路 RWCL 被傳送至快取記憶體 PL2B。對快閃記憶體 FLASH\_CHIP 之資料暫存器 DREG 命中時，不必進行自記憶格陣列 MARY 至資料暫存器 DREG 之資料傳送，可直接由資料暫存器 DREG 讀出資料，可高速傳送資料。

如上述說明，可使用快閃記憶體 FLASH\_CHIP 之資料暫存器 DREG 作為快取記憶體，可有效增加快取記憶體之容量，可提升命中率，可高速進行資訊處理裝置 CPU\_CHIP 與記憶體模組 MSM 間之資料傳送。

又，藉由資料之先行讀出機能，預先將資訊處理裝置 CPU\_CHIP 要求之次頁資料傳送至快取記憶體 PL2B，則可提升命中率，可高速進行資料傳送。

(L2Cache 失誤、PL2 失誤、L3 失誤之動作說明)

說明 L2Cache 失誤、PL2 失誤而且 L3 失誤之資料傳送動作。

於存取調停電路被許可來自 NOR 介面電路 NRIF 之讀

(20)

出要求時，首先，控制電路 RWCL 對控制電路 FCNT 輸入第 N 頁資料之讀出要求，控制電路 FCNT 將記憶格陣列 MARY 內之第 N 頁資料傳送至資料暫存器 DREG。之後，將資料暫存器 DREG 內之第 N 頁資料輸出至控制電路 RWCL，控制電路 RWCL 將該資料傳送至緩衝器電路 BUF。

於資料暫存器 DREG 至緩衝器電路 BUF 之資料傳送中，將現在保存於快取記憶體 PL2A 及 PL2B 之資料傳送至快取記憶體 L2Cache，更新快取記憶體 L2Cache。

傳送至緩衝器電路 BUF 之第 N 頁資料，係於錯誤檢測訂正電路 ECC，雖未特別限定，依每 512B 進行錯誤檢測。傳送至緩衝器電路 BUF 之第 N 頁資料無錯誤時，該第 N 頁資料藉由控制電路 RWCL 被傳送至快取記憶體 PL2A，有錯誤時於錯誤檢測訂正電路 ECC 進行錯誤訂正之後，第 N 頁資料藉由控制電路 RWCL 被傳送至快取記憶體 PL2A。被傳送至快取記憶體 PL2A 之第 N 頁資料中之資訊處理裝置 CPU\_CHIP 要求之資料，係經由 NOR 介面電路 NRIF，藉由 NOR 介面 NOR IF 被輸出至資訊處理裝置 CPU\_CHIP。

雖未特別限定，在資料被輸出之前 Wait 信號成為 H 位準，資訊處理裝置 CPU\_CHIP 等待資料之到達。

又，先行讀出指示電路 PRECT 對控制電路 RWCL 指示資料之先行讀出時，控制電路 RWCL 對控制電路 FCNT 輸入讀出要求，將資料緩衝器 DREG 內之次頁之資料、亦

(21)

即第 N+1 頁之資料傳送至緩衝器電路 BUF。

傳送至緩衝器電路 BUF 之第 N+1 頁資料，係於錯誤檢測訂正電路 ECC，雖未特別限定，依每 512B 進行錯誤檢測。傳送至緩衝器電路 BUF 之第 N+1 頁資料無錯誤時，該第 N+1 頁資料藉由控制電路 RWCL 被傳送至快取記憶體 PL2A，有錯誤時於錯誤檢測訂正電路 ECC 進行錯誤訂正之後，第 N+1 頁資料藉由控制電路 RWCL 被傳送至快取記憶體 PL2B。

被傳送至資料緩衝器 DREG 內之資料直接被保存，資料緩衝器 DREG 可做為快取記憶體使用。

又，藉由先行讀出機能，將資訊處理裝置 CPU\_CHIP 要求之資料(第 N 頁資料)之次頁資料(第 N+1 頁資料)傳送至快取記憶體 PL2B，則可提升命中率，可高速進行資料傳送。

如上述說明，可使用快閃記憶體 FLASH\_CHIP 之資料緩衝器 DREG 作為快閃記憶體，對該資料緩衝器 DREG 進行命中判斷，對快閃記憶體 FLASH\_CHIP 之資料暫存器 DREG 命中時，不必直接進行自記憶格陣列 MARY 至資料暫存器 DREG 之資料傳送，可實現高速傳送資料。

另外，藉由資料之先行讀出機能，預先將資訊處理裝置 CPU\_CHIP 要求之資料之次頁資料傳送至快取記憶體 PL2B，則可提升命中率，可高速進行資料傳送。

又，自快取記憶體 PL2A 及 PL2B 至快取記憶體 L2Cache 之資料更新，可和 L2Cache 失誤且 PL2A 失誤時

(22)

進行之自資料暫存器 DREG 至緩衝器電路 BUF 之資料傳送同時進行，可隱蔽對快取記憶體 L2Cache 之資料更新時間，可實現無浪費之資料傳送。

(來自 NAND 介面 NAND IF1 之讀出動作之說明)

說明資訊處理裝置 CPU\_CHIP 由 NAND 介面 NAND IF1 輸入讀出要求時之動作。

於存取調停電路 ARB 許可來自 NAND 介面電路 NDIF 之讀出要求時，控制電路 RWCL 對控制電路 FCNT 輸入資料之讀出要求。控制電路 FCNT 將記憶格陣列 MARY 內之資料傳送至資料暫存器 DREG。之後，將資料暫存器 DREG 之資料輸出至控制電路 RWCL。控制電路 RWCL 將該資料傳送至緩衝器電路 BUF。

被傳送至緩衝器電路 BUF 之資料，係於錯誤檢測訂正電路 ECC 進行錯誤檢測。傳送至緩衝器電路 BUF 之資料無錯誤時，藉由控制電路 RWCL 被傳送至讀出緩衝器 RBUF，有錯誤時於錯誤檢測訂正電路 ECC 進行錯誤訂正之後，藉由控制電路 RWCL 被傳送至讀出緩衝器 RBUF。

被傳送至讀出緩衝器 RBUF 的資料之中資訊處理裝置 CPU\_CHIP 要求之資料，係經由 NAND 介面電路 NDIF 藉由 NAND 介面 NAND IF1 被輸出至資訊處理裝置 CPU\_CHIP。

(來自 NAND 介面 NAND IF1 之寫入動作之說明)

(23)

說明資訊處理裝置 CPU\_CHIP 由 NAND 介面 NAND IF1 輸入寫入要求時之動作。

寫入要求、寫入位址 NWADD、及寫入資料 NWDATA 被輸入 NAND 介面電路 NDIF 時，寫入資料 NWDATA 被傳送至寫入緩衝器 WBUF，寫入位址 NWADD 被傳送至位址調停電路 ARB。

位址調停電路 ARB 將寫入位址 NWADD 傳送至位址轉換電路 DSTR。位址轉換電路 DSTR 對位址 NWADD 進行運算，轉換為位址 MNWADD，輸入於快取記憶體 L2Cache 之命中判斷電路 PL2Hit。

之後，快取記憶體 L2Cache 之命中判斷電路 PL2Hit 使用位址 MNWADD，進行為保持和快取記憶體 L2Cache、PL2A、PL2B 間之資料一貫性之處理。具體言之為，快取記憶體 L2Cache 確認位址 MNWADD 之資料是否存在，存在時設定該資料為無效。快取記憶體 L2Cache、PL2A、PL2B 內之資料之無效化結束後，藉由命中判斷電路 L3Hit 設定資料緩衝器 DREG 之資料為無效。

全部快取記憶體之無效化結束後，存取調停電路 ARB 許可來自 NAND 介面電路 NDIF 之寫入要求。

存取調停電路 ARB 許可來自 NAND 介面電路 NDIF 之寫入要求時，控制電路 RWCL 對控制電路 FCNT 輸入資料之寫入要求及寫入資料 WData，控制電路 FCNT 將寫入資料 WData 傳送至資料暫存器 DREG，再將傳送至資料暫

(24)

存器 DREG 之寫入資料 WData 寫入記憶格陣列 MARY。

代替處理電路 REP 確認對記憶格陣列 MARY 之寫入成功否，成功時結束處理。寫入失敗時對快閃記憶體 FLASH\_CHIP 預先準備之代替用的新的位址進行寫入。進行代替處理時，保持、管理不良位址，及針對不良位址以何處位址進行代替處理等之位址資訊。

記憶體位址管理電路 MMG 確認寫入位址 NWADD 是否為寫入次數平均化處理區域內之位址。

寫入位址 NWADD 為寫入次數平均化處理區域內之位址時，對記憶格陣列 MARY 進行資料 WDATA 之寫入後，將寫入次數平均化電路 WLV 管理之寫入次數與抹除次數之總和加一。該寫入次數與抹除次數之總和到達寫入次數平均化電路 WLV 保持之寫入次數與抹除次數之總和臨限值時，寫入次數平均化電路 WLV 判斷改寫集中，雖未特別限定，而依每 64 頁單位資料變更實體位址與邏輯位址之對應，保持該實體位址與邏輯位址之對應資訊。如上述說明，藉由寫入次數平均化電路 WLV 可對記憶體陣列之改寫次數施予平均化，可提升信賴性。

(來自 NAND 介面 NAND IF1 之抹除動作之說明)

以下，說明資訊處理裝置 CPU\_CHIP 由 NAND 介面 NAND IF1 輸入抹除要求時之動作。

抹除要求、抹除位址 NEADD 被輸入 NAND 介面電路 NDIF 時，抹除要求及抹除位址 NEADD 被傳送至位址調

(25)

停電路 ARB。

位址調停電路 ARB 將抹除位址 NEADD 傳送至位址轉換電路 DSTR。位址轉換電路 DSTR 對位址 NEADD 進行運算，轉換為位址 MNEADD，輸入於快取記憶體 L2Cache 之命中判斷電路 PL2Hit。

之後，快取記憶體 L2Cache 之命中判斷電路 PL2Hit 使用位址 MNEADD，進行為保持和快取記憶體 L2Cache、PL2A、PL2B 間之資料一貫性之處理。具體言之為，快取記憶體 L2Cache 確認位址 MNEADD 之資料是否存在，存在時設定該資料為無效。又，命中判斷電路 PL2Hit 確認位址 MNEADD 之資料是否存在於快取記憶體 PL2A 及 PL2B，存在時設定該資料為無效。快取記憶體 L2Cache、PL2A、PL2B 內之資料之無效化結束後，藉由命中判斷電路 L3Hit 設定資料緩衝器 DREG 之資料為無效。

全部快取記憶體之無效化結束後，存取調停電路 ARB 許可來自 NAND 介面電路 NDIF 之抹除要求。

於存取調停電路 ARB 許可來自 NAND 介面電路 NDIF 之抹除要求時，首先，控制電路 RWCL 對控制電路 FCNT 輸入資料之抹除要求及抹除位址 NEADD，控制電路 FCNT 依據抹除要求及抹除位址 MNEADD 進行記憶格陣列 MARY 之資料抹除。

記憶體位址管理電路 MMG 確認抹除位址 NEADD 是否為寫入次數平均化處理區域內之位址。

抹除位址 NEADD 為寫入次數平均化處理區域內之位

(26)

址時，記憶格陣列 MARY 之資料被抹除後，將寫入次數平均化電路 WLV 管理之寫入次數與抹除次數之總和加一。該寫入次數與抹除次數之總和到達寫入次數平均化電路 WLV 保持之寫入次數與抹除次數之總和臨限值時，寫入次數平均化電路 WLV 判斷為改寫集中，雖未特別限定，而可依每 64 頁單位之資料變更實體位址與邏輯位址之對應，保持該實體位址與邏輯位址之對應資訊。如上述說明，藉由寫入次數平均化電路 WLV 可對記憶體陣列之改寫次數施予平均化，可提升信賴性。

又，於圖 1，錯誤檢測訂正電路 ECC、代替處理電路 REP 及寫入次數平均化電路 WLV 係設於控制電路 CT\_CHIP，但是亦可設於快閃記憶體 FLASH\_CHIP 而於快閃記憶體 FLASH\_CHIP 側構成錯誤檢測、錯誤訂正、位址代替處理及寫入次數平均化處理。

(來自 NOR 介面 NOR IF 之寫入動作之說明)

以下，說明資訊處理裝置 CPU\_CHIP 由 NOR 介面 NOR IF 輸入寫入要求時之動作。

雖未特別限定，寫入要求、寫入位址 NORWADD、及寫入資料 NORWDATA 被輸入 NOR 介面電路 NRIF 時，寫入資料 NWDATA 介由快閃控制電路 FLCT 被傳送至寫入緩衝器 WBUF，寫入位址 NORWADD 介由 NAND 介面電路 NDIF 被傳送至調停電路 ARB。之後，記憶體模組 MSM 進行和寫入要求被輸入 NAND 介面 NAND IF1 時相

(27)

同之動作。

如上述說明，將來自 NOR 介面 NOR IF 之寫入位址 NORWADD、及寫入資料 NORWDATA 傳送至 NAND 介面電路 NDIF，可實現來自 NOR 介面 NOR IF 之寫入動作。

(來自 NOR 介面 NOR IF 之抹除動作之說明)

以下，說明資訊處理裝置 CPU\_CHIP 由 NOR 介面 NOR IF 輸入抹除要求時之動作。

雖未特別限定，抹除要求、抹除位址 NOREADD 被輸入 NOR 介面電路 NRIF 時，抹除位址 NOREADD 介由 NAND 介面電路 NDIF 被傳送至調停電路 ARB。

之後，記憶體模組 MSM 進行和抹除要求被輸入 NAND 介面 NAND IF1 時相同之動作。

如上述說明，將來自 NOR 介面 NOR IF 之抹除位址 NOREADD 傳送至 NAND 介面電路 NDIF，可實現來自 NOR 介面 NOR IF 之抹除動作。

時脈控制電路 OSC，雖未特別限定，於電源投入後立即之記憶體模組 MSM 之資料傳送、自 NOR 介面 NOR IF 及 NAND 介面至記憶體模組 MSM 之存取發生時之資料傳送開始時點開始時脈動作，於資料傳送結束時點結束時脈動作。

如上述說明，時脈控制電路 OSC 僅於資料傳送必要時動作，可實現低電力化。

(28)

(第 1 實施形態之效果)

如上述說明，沿襲 NOR 介面及 NAND 介面方式，電源投入後立即將快閃記憶體 FLASH\_CHIP 內之起動程式自動傳送至快取記憶體 L2Cache，資訊處理裝置 CPU\_CHIP 可藉由該起動程式而自行起動。又，在資訊處理裝置 CPU\_CHIP 進行起動期間，將 FLASH\_CHIP 內之資料自動傳送至快取記憶體 L2Cache，如此則，於資訊處理裝置 CPU\_CHIP 起動時點，可立即存取記憶體模組 MSM，可達成高性能化。快閃記憶體內之位址對映可設定。又，同步型 NOR 介面或非同步型 NOR 介面，位址轉換方式、快取區域及非快取區域、快取鎖定區域及非快取鎖定區域、寫入次數平均化處理區域及非寫入次數平均化處理區域、寫入保護區域及非寫入保護區域可分別獨立設定，可配合系統於使用者側自由選擇。

(快取記憶體)

資訊處理裝置 CPU\_CHIP 可由記憶體模組 MSM 內藏之快取記憶體 L2Cache、PL2A、PL2B 直接輸出資料，因而可高速進行資訊處理裝置 CPU\_CHIP 與記憶體模組 MSM 間之資料傳送，可選擇位址轉換電路及位址轉換。位址轉換電路，係使資訊處理裝置 CPU\_CHIP 輸入之讀出位址，被分散於快取記憶體 L2Cache 之索引位址的方式，進行位址轉換，可提升快取記憶體 L2Cache、PL2A、PL2B 之使用率，可提升命中率，可進行高速之資料傳

(29)

送。

(先行讀出)

藉由資料之先行讀出機能，可預先將現在資訊處理裝置 CPU\_CHIP 要求之資料之次頁資料傳送至快取記憶體，可提升對快取記憶體之命中率，可進行高速之資料傳送。

可以快閃記憶體 FLASH\_CHIP 之資料暫存器 DREG 作為快取記憶體使用，可有效增加快取記憶體之容量，可提升命中率，可進行資訊處理裝置 CPU\_CHIP 與記憶體模組 MSM 間之高速資料傳送。

又，自快取記憶體 PL2A 及 PL2B 至快取記憶體 L2Cache 之資料更新，可和 L2Cache 失誤且 PL2A 失誤時進行之自資料暫存器 DREG 至緩衝器電路 BUF 之資料傳送同時進行，可隱蔽對快取記憶體 L2Cache 之資料更新時間，可實現無浪費之資料傳送。

於記憶體模組 MSM 內部，來自快閃記憶體 FLASH\_CHIP 之讀出時進行錯誤檢測及訂正，寫入時對未正確進行寫入之不良位址進行代替處理，因而可進行高速處理，且可保持信賴性。

(寫入次數平均化)

藉由寫入次數平均化電路 WLV 對記憶體陣列之寫入次數可施予平均化，更能提升信賴性。

(30)

(Wait 信號)

藉由 Wait 信號，資訊處理裝置 CPU\_CHIP 可獲悉要求資料之到達，藉由快取記憶體 L2Cache 之命中判斷、命中判斷電路 PL2Hit 及命中判斷電路 L3Hit 之命中判斷結果，即使資料之讀出時間不同亦可確實取入要求之資料。

又，本實施形態中，說明記憶體模組 MSM 包含 1 個快閃記憶體之例，但本發明中記憶體模組 MSM 亦可包含多數個快閃記憶體。

(記憶體對映之說明)

圖 2 表示依據暫存器方塊 REG 內之各暫存器(模態設定暫存器 RModeReg，快取區域設定暫存器 CAreaReg，快取鎖定區域設定暫存器 CaLockReg，寫入保護區域設定暫存器 WproReg，及寫入次數平均化處理區域設定暫存器 WlvlReg)設定之值，對記憶體位址管理電路 MMG 管理之快閃記憶體 FLASH\_CHIP 之記憶體對映之一例。雖未特別限定，本實施形態中說明快閃記憶體 FLASH\_CHIP 之記憶區域為 1Gbit+32Mbit(32Mbit 為代替區域)之記憶體模組之代表性記憶體對映之例。

雖未特別限定，快閃記憶體 FLASH\_CHIP 區分為主區域 MAIN 與代替區域 REPAREA。又，主區域 MAIN 區分為區域 AREA-A、區域 AREA-B、區域 AREA-C、區域 AREA-D、及初期程式區域 InitProg。

區域 AREA-A，係作為非快取區域 NONCAREA、且

(31)

寫入次數平均化處理區域 WLW、且非寫入保護區域 NONWPRO 被管理。

區域 AREA-B，係作為快取區域 CAREA、且快取鎖定區域 CALOCK、寫入次數平均化處理區域 WLW、且非寫入保護區域 NONWPRO 被管理。

區域 AREA-C，係作為快取區域 CAREA、且非快取鎖定區域 UNCALOCK、且非寫入次數平均化處理區域 NONWLW、且非寫入保護區域 NONWPRO 被管理。

區域 AREA-D，係作為快取區域 CAREA、且非快取鎖定區域 UNCALOCK、且非寫入次數平均化處理區域 NONWLW、且寫入保護區域 WPRO 被管理。

初期程式區域 InitProg，係作為快取區域 CAREA、且非快取鎖定區域 UNCALOCK、且非寫入次數平均化處理區域 NONWLW、且寫入保護區域 WPRO 被管理。

雖未特別限定，於初期程式區域 InitProg 儲存起動程式或自動傳送區域指定資料。

雖未特別限定，於區域 AREA-D 儲存操作系統等。

雖未特別限定，於區域 AREA-B 及區域 AREA-C 儲存應用程式等。

雖未特別限定，於區域 AREA-A 儲存音樂資料、聲音資料、動畫資料、靜畫資料等等。

快閃記憶體因重複改寫而導致信賴性降低、寫入時之寫入資料於讀出時成為不同資料、或改寫時資料無法寫入等之問題有可能會發生。代替區域 REPAREA 設置用於將

(32)

此種不良之程式或資料替換為新的區域。雖未特別限定，代替區域 REPAREA 之大小只要能確保快閃記憶體 FLASH\_CHIP 之信賴性即可。

快取區域 CAREA、非快取區域 NONCAREA、寫入保護區域 WPRO、非寫入保護區域 NONWPRO、寫入次數平均化處理區域 WLVL、及非寫入次數平均化處理區域 NONWLVL，係藉由快取鎖定區域 CALOCK、非快取鎖定區域 UNCALOCK、NOR 介面 NOR IF 對暫存器方塊 REG 內之各暫存器進行程式化(寫入)而可以分別獨立設定，可配合系統由使用者側自由選擇。

(電源投入後立即之動作)

以下說明電源投入時自快閃記憶體 FLASH\_CHIP 至快取記憶體 L2Cache、PL2A、PL2B 之資料傳送。

電源投入後，快閃控制電路 FLCT 將 FLASH\_CHIP 之初期程式區域 InitProg 之資料讀出至緩衝器電路 BUF，於錯誤檢測訂正電路 ECC 進行確認是否有錯誤。無錯誤時將初期程式區域內之起動程式傳送至快取記憶體 PL2A，有錯誤時進行訂正，將初期程式區域內之起動程式傳送至快取記憶體 PL2A。之後，快閃控制電路 FLCT 由緩衝器電路 BUF 讀出自動傳送區域指定資料，將該資料所示範圍之快閃記憶體 FLASH\_CHIP 內之資料依序讀出至緩衝器電路 BUF，於錯誤檢測訂正電路 ECC 進行確認是否有錯誤，無錯誤時經由快取記憶體 PL2B 傳送至快取記憶體

(33)

L2Cache，有錯誤時進行訂正後，經由快取記憶體 PL2B 傳送至快取記憶體 L2Cache。

如上述說明，電源投入後立即將必要之資料傳送至快取記憶體，如此則，資訊處理裝置 CPU\_CHIP 起動後，可由快取記憶體讀出該起動程式而自行起動，又，可進行動態隨機存取記憶體 DRAM\_CHIP 之初期設定。

(讀出動作之說明)

於快取記憶體 L2Cache、PL2A、PL2B 保持快取區域 CAREA 內之資料，快取記憶體 L2Cache、PL2A、PL2B 命中時資料直接由快取記憶體 L2Cache、PL2A、PL2B 輸出，經由 NOR 介面電路 NRIF，藉由 NOR 介面 NOR IF 被輸出至資訊處理裝置 CPU\_CHIP。

快取記憶體 L2Cache、PL2A、PL2B 失誤時資料由快閃記憶體 FLASH\_CHIP 傳送至快取記憶體 L2Cache、PL2A、PL2B。以下說明將快閃記憶體 FLASH\_CHIP 內之資料傳送至快取記憶體 L2Cache、PL2A、PL2B 之動作。

來自 NOR 介面 NOR IF 之讀出要求為 L2Cache 失誤、且 PL2A 失誤、且 L3 命中時，或者為 L2Cache 失誤、且 PL2A 失誤、且 L3 失誤時，產生自快閃記憶體 FLASH\_CHIP 至快取記憶體 L2Cache、PL2A、PL2B 之資料傳送。

首先，說明來自 NOR 介面 NOR IF 之讀出要求為 L2Cache 失誤、且 PL2A 失誤、且 L3 命中時之資料傳

(34)

送。

要求之資料為快取區域內之資料時，將快閃記憶體 FLASH\_CHIP 之資料暫存器 DREG 內之第 N 頁資料傳送至緩衝器電路 BUF。

利用傳送資料暫存器 DREG 內之 1 頁分資料至緩衝器電路 BUF 之時間，將現在保存於快取記憶體 PL2A 及 PL2B 之資料傳送至快取記憶體 L2Cache，更新快取記憶體 L2Cache。

被傳送至緩衝器電路 BUF 之第 N 頁資料，係於錯誤檢測訂正電路 ECC 進行錯誤檢測，資料無錯誤時直接被傳送至快取記憶體 PL2A，有錯誤時於進行錯誤訂正之後之資料被傳送至快取記憶體 PL2A。

又，藉由先行讀出機能，將資料緩衝器 DREG 內之次頁之資料、亦即第 N+1 頁之資料傳送至緩衝器電路 BUF。

傳送至緩衝器電路 BUF 之第 N+1 頁資料，係於錯誤檢測訂正電路 ECC 進行錯誤檢測，資料無錯誤時直接被傳送至快取記憶體 PL2B，有錯誤時進行錯誤訂正之後之資料被傳送至快取記憶體 PL2B。

其次，說明來自 NOR 介面 NOR IF 之讀出要求為 L2Cache 失誤、且 PL2A 失誤、且 L3 失誤時之資料傳送。

讀出要求之位址為快取區域內時，將快閃記憶體 FLASH\_CHIP 之記憶格陣列 MARY 內之第 N 頁資料傳送

(35)

至資料暫存器 DREG 之後，將資料暫存器 DREG 內之第 N 頁資料傳送至緩衝器電路 BUF。

利用傳送資料暫存器 DREG 內之資料至緩衝器電路 BUF 之時間，將現在保存於快取記憶體 PL2A 及 PL2B 之資料傳送至快取記憶體 L2Cache，更新快取記憶體 L2Cache。

被傳送至緩衝器電路 BUF 之第 N 頁資料，係於錯誤檢測訂正電路 ECC 進行錯誤檢測，資料無錯誤時直接被傳送至快取記憶體 PL2A，有錯誤時於進行錯誤訂正之後之資料被傳送至快取記憶體 PL2A。

又，藉由先行讀出機能，將資料暫存器 DREG 內之次頁之資料、亦即第 N+1 頁之資料傳送至緩衝器電路 BUF。

傳送至緩衝器電路 BUF 之第 N+1 頁資料，係於錯誤檢測訂正電路 ECC 進行錯誤檢測，資料無錯誤時直接被傳送至快取記憶體 PL2B，有錯誤時進行錯誤訂正之後之資料被傳送至快取記憶體 PL2B。

來自 NOR 介面 NOR IF 之讀出要求為 L2Cache 命中時，直接由快取記憶體 L2Cache 讀出資料。又，來自 NOR 介面 NOR IF 之讀出要求為 PL2 命中時，直接由快取記憶體 PL2 或 PL2B 讀出資料。

(效果說明)

(快取記憶體)

(36)

快取區域內之資料被傳送至快取記憶體 L2Cache、PL2A、PL2B，來自資訊處理裝置 CPU\_CHIP 之讀出要求為快取記憶體 L2Cache、PL2A、PL2B 命中時，資料可直接由快取記憶體 L2Cache、PL2A 及 PL2B 輸出，可高速進行資訊處理裝置 CPU\_CHIP 與記憶體模組 MSM 間之資料傳送。

(先行讀出)

又，藉由資料之先行讀出機能，預先將現在資訊處理裝置 CPU\_CHIP 要求之資料之次頁資料傳送至快取記憶體，則可提升對快取記憶體之命中率，可高速進行資料傳送。

(L3 快取)

可使用快閃記憶體 FLASH\_CHIP 之資料暫存器 DREG 作為快取記憶體，可有效增加快取記憶體之容量，可提升命中率，可高速進行資訊處理裝置 CPU\_CHIP 與記憶體模組 MSM 間之資料傳送。

(位址代替處理)

對快閃記憶體 FLASH\_CHIP 之資料寫入時，針對未被正確進行寫入之不良位址，對代替區域 REPAREA 可進行代替處理，可保持信賴性。

圖 3 表示構成暫存器方塊 REG 之多數暫存器之一

(37)

例。

雖未特別限定，暫存器方塊 REG 係由：讀出模態設定暫存器 RModeReg，快取區域設定暫存器 CAreaReg，快取鎖定區域設定暫存器 CaLockReg，寫入保護區域設定暫存器 WproReg，及寫入次數平均化處理區域設定暫存器 WlvlReg 構成。

雖未特別限定，變更快取區域及非快取區域時，可由 NOR 介面 NOR IF 改寫快取區域設定暫存器 CAreaReg 之值而變更快取區域及非快取區域。雖未特別限定，於電源投入後，快閃記憶體 FLASH\_CHIP 之全區域成為快取區域。

快取區域內之資料被傳送至快取記憶體 L2Cache、PL2A、PL2B，非快取區域內之資料未被傳送至快取記憶體 L2Cache、PL2A、PL2B。

雖未特別限定，變更快取鎖定區域及非快取鎖定區域時，可由 NOR 介面 NOR IF 改寫快取區域設定暫存器 CAreaReg 之值而變更快取鎖定區域及非快取鎖定區域。雖未特別限定，於電源投入後，快閃記憶體 FLASH\_CHIP 之全區域成為非快取鎖定區域。

快取鎖定區域內之資料一旦被傳送至快取記憶體 L2Cache 後，在藉由快取鎖定解除指令改寫快取區域設定暫存器之前可存在於快取記憶體 L2Cache。非快取鎖定區域內之資料可由快取記憶體 L2Cache 排出。

雖未特別限定，變更寫入次數平均化處理區域及非寫

(38)

入次數平均化處理區域時，可由 NOR 介面 NOR IF 改寫寫入次數平均化處理區域設定暫存器 Wlv1Reg 之值而變更寫入次數平均化處理區域及非寫入次數平均化處理區域。雖未特別限定，於電源投入後，快閃記憶體 FLASH\_CHIP 之一半區域成為寫入次數平均化處理區域。

針對寫入次數平均化處理區域內之資料，在寫入次數平均化電路 WL V 判斷為改寫集中時，對其進行寫入次數平均化處理。

非寫入次數平均化處理區域內之資料，不被進行寫入次數平均化處理。

變更寫入保護區域、非寫入保護區域時，雖未特別限定，可由 NOR 介面 NOR IF 改寫寫入保護區域設定暫存器 WproReg 之值，而變更寫入保護區域、非寫入保護區域。雖未特別限定，電源投入後，快閃記憶體 FLASH\_CHIP 之全區域立即成為非寫入保護區域。

於寫入保護區域不被進行寫入，於非寫入保護區域可進行寫入。

記憶體模組 MSM 具備之 NOR 介面，可為和時脈信號 CLK 同步動作的同步型 NOR 介面，及和時脈信號 CLK 不同步的非同步型 NOR 介面，可於任一之 NOR 介面動作。雖未特別限定，記憶體模組 MSM 於電源投入後以非同步型 NOR 介面動作。變更記憶體模組 MSM 具備之 NOR 介面時，雖未特別限定，可由 NOR 介面 NOR IF 改寫讀出模式設定暫存器 RModeReg 之值，而變更為同步型 NOR 介

(39)

面或非同步型 NOR 介面。

雖未特別限定，位址轉換電路 DSTR 可實現多數位址轉換方式(簡易索引轉換方式、索引位元位移轉換方式、索引運算方式)，可於任一之位址轉換方式動作。雖未特別限定，位址轉換電路 DSTR 於電源投入後以索引運算方式動作。

雖未特別限定，由 NOR 介面 NOR IF 改寫讀出模態設定暫存器 RModeReg 之值，可變更記憶體模組 MSM 具備之 NOR 介面或位址轉換方式。

如上述說明，同步型 NOR 介面或非同步型 NOR 介面，位址轉換方式、快取區域及非快取區域、快取鎖定區域及非快取鎖定區域、寫入次數平均化處理區域及非寫入次數平均化處理區域、寫入保護區域及非寫入保護區域可分別獨立設定，可配合系統於使用者側自由選擇。

(電源投入時之初期時序)

圖 4 表示記憶體模組 MSM 之電源投入時之初期時序。

於 T1 期間(PWON)對控制電路 CT\_CHIP、快閃記憶體 FLASH\_CHIP 及動態隨機存取記憶體 DRAM\_CHIP 進行電源投入，於 T2 期間(RESET)進行重置。於重置被解除的 T3 期間(Initload)，FLASH\_CHIP 之初期程式區域 InitProg 內之資料被傳送至控制電路 CT\_CHIP。於 T4 期間(AutoLoad)，初期程式區域 InitProg 內之自動傳送區域

(40)

指定資料所指定範圍之資料，由快閃記憶體 FLASH\_CHIP 被傳送至控制電路 CT\_CHIP。初期程式區域 InitProg 內之自動傳送區域指定資料所指定範圍之資料之傳送結束後，設定初期動作結束信號 PCMP 為 H 位準。於 T5 期間 (IDLE) 以後，記憶體模組 MSM 成為待機狀態，成為等待資訊處理裝置 CPU\_CHIP 之要求的狀態。

(位址轉換 直線 (straight))

圖 5-圖 7 為位址轉換電路 DSTR 進行之來自 NOR 介面 NOR IF 之位址與快取記憶體 L2Cache 位址間之位址轉換之一例之圖。

首先，說明圖 5，圖 5(a) 表示來自 NOR 介面 NOR IF 之位址與快取記憶體 L2Cache 位址間之位址轉換方法之一例。圖 5(b) 表示之快取記憶體 L2Cache 之構成一例。

雖未特別限定，快取記憶體 L2Cache 之構成為，容量為 1MByte (百萬位元組)、線大小 (line size) 為 512Byte (位元組)，索引位址為 0 至 511，分組關聯 (set associative) 為 4 路 (way) 分組關聯。

來自 NOR 介面 NOR IF 之位址 NRAD，係 0~31 之 32 位元，可對應於最大 4GByte 之位址空間。

本例中，說明快閃記憶體 FLASH\_CHIP 之容量為 256MByte 之情況。

位址 NRAD 之第 0~8 位元之位址 Add0 對應於快取記憶體 L2Cache 之線大小，第 9~17 位元之位址 Add1 對

(41)

應於快取記憶體 L2Cache 之索引位址 Index2，第 18~27 位元之位址 Add2 對應於快取記憶體 L2Cache 之標籤位址 Tag 2。

以下說明位址 Add1 之值為 511、位址 ADD2 之值為 Add2-511 之情況之快取記憶體 L2Cache 之動作。

以位址 Add1 檢索快取記憶體 L2Cache 之索引位址 Index2，因為 4 路分組關聯之故，而選擇 4 種類之標籤位址。

比較電路 COMP 比較位址 Add2 與被選擇之標籤位址，位址 Add2 為 Add2-511，與標籤位址一致，亦即命中，因此由資料陣列選擇資料 Data511。

最後，位址 Add0 被輸入選擇電路 SEL，輸出 512 位元組(Byte)之資料 Data1 中之 1 位元組。

(位址轉換 位元移位)

其次，說明圖 6，圖 6(a)表示來自 NOR 介面 NOR IF 之位址與快取記憶體 L2Cache 位址間之位址轉換方法之一例。圖 6(b)表示之快取記憶體 L2Cache 之構成一例。

雖未特別限定，快取記憶體 L2Cache 之構成為和圖 5 相同。

來自 NOR 介面 NOR IF 之位址 NRAD，係 0~31 之 32 位元，可對應於最大 4GByte 之位址空間。

本例中，說明快閃記憶體 FLASH\_CHIP 之容量為 256MByte 之情況。

(42)

位址 NRAD 之第 0~8 位元之位址 Add0 對應於快取記憶體 L2Cache 之線大小 Line2。

位址 NRAD 之第 9~11 位元及第 13~18 位元分別對應於位址 Add3 之第 0~2 位元及第 3~8 位元，對應於快取記憶體 L2Cache 之索引位址 Index2。

位址 NRAD 之第 12 位元及第 19~27 位元分別對應於位址 Add4 之第 0 位元及第 1~8 位元，對應於快取記憶體 L2Cache 之標籤位址 Tag 2。

以下說明位址 Add3 之值為 1、位址 Add4 之值為 Add5-1 之情況之快取記憶體 L2Cache 之動作。

以位址 Add3 檢索快取記憶體 L2Cache 之索引位址 Indx2 之 1，因為 4 路分組關聯之故，而選擇 4 種類之標籤位址。

比較電路 COMP 比較位址 Add4 與被選擇之標籤位址，位址 Add4 為 Add5-1，與標籤位址一致，亦即命中，因此由資料陣列選擇資料 Data0。

最後，位址 Add0 被輸入選擇電路 SEL，輸出 512 位元組(Byte)之資料 Data0 中之 1 位元組。

(位址轉換 擴散)

其次，說明圖 7，圖 7(a)表示來自 NOR 介面 NOR IF 之位址與快取記憶體 L2Cache 位址間之位址轉換方法之一例。圖 7(b)表示之快取記憶體 L2Cache 之構成一例。

雖未特別限定，快取記憶體 L2Cache 之構成為和圖 4

(43)

相同。

來自 NOR 介面 NOR IF 之位址 NRAD，係 0~31 之 32 位元，可對應於最大 4GByte 之位址空間。

本例中，說明快閃記憶體 FLASH\_CHIP 之容量為 256MByte 之情況。

位址 NRAD 之第 0~8 位元之位址 Add0 對應於快取記憶體 L2Cache 之線大小 Line2。位址 NRAD 之第 9~17 位元之位址 Add1，與第 18~26 位元之位址 Add5，係經由位址轉換電路 DSTR 轉換為位址 Add6，位址 Add6 對應於快取記憶體 L2Cache 之索引位址 Index2。

位址 NRAD 之第 18~27 位元之位址 Add2 對應於快取記憶體 L2Cache 之標籤位址 Tag 2。

位址 Add1 與位址 Add5 之位元寬相等於快取記憶體之索引位址，於位址轉換電路 DSTR，求出位址 Add1 [8:0] 與位址 Add5 [8:0] 之和，再將該和之第 8 位元~第 0 位元轉換為位址 Add6 [8:0]，分配給索引位址 Index2。

因為快取記憶體之記憶容量或構成會改變線大小、索引位址、標籤位址，因而以通常化予以說明。

快取記憶體 L2Cache 之記憶容量為  $2^N$ Byte(位元組)時、之線大小 Line2 為 L 位元，索引位址 Index2 之大小(size)為 I 位元，標籤位址 Tag 2 之大小(size)為 (N-I-L)位元之情況下，位址 NRAD 由下位位元起被區分為 Add0 [L-1:0]、Add1 [I-1:0]、Add2 [N-L-I-1:0]。

(44)

位址  $Add0 [L-1:0]$  對應於快取記憶體  $L2Cache$  之線大小  $Line2 [L-1:0]$ 、位址  $Add2 [N-L-I-1:0]$  對應於快取記憶體  $L2Cache$  之標籤位址  $Tag2 [N-I-1:0]$ 。  $Add1 [I-1:0]$  成為和索引位址  $Index2$  相同之大小 (size)。

只要標籤位址  $Tag2$  之大小在索引位址  $Index2$  之大小以上，由  $Add2 [N-L-I-1:0]$  之下位位元起，可以和索引位址  $Index2$  相同之大小分配給位址  $Add5 [I-1:0]$ 。

標籤位址  $Tag2$  之大小小於索引位址  $Index2$  之大小時， $Add2 [N-L-I-1:0]$  成為  $Add5 [N-L-I-1:0]$ 。

若標籤位址  $Tag2$  之大小在索引位址  $Index2$  之大小以上，則於位址轉換電路  $DSTR$ ，求出位址  $Add1 [I-1:0]$  與位址  $Add5 [I-1:0]$  之和，再將該和之第  $(I-1)$  位元～第 0 位元轉換為位址  $Add6 [I-1:0]$ ，分配給索引位址  $Index2 [I-1:0]$ 。

若標籤位址  $Tag2$  之大小小於索引位址  $Index2$  之大小，則於位址轉換電路  $DSTR$ ，求出位址  $Add1 [I-1:0]$  與位址  $Add5 [N-L-I-1:0]$  之和，再將該和之第  $(I-1)$  位元～第 0 位元轉換為位址  $Add6 [I-1:0]$ ，分配給索引位址  $Index2 [I-1:0]$ 。

圖 8 為位址  $Add6$  之值為 0，位址  $Add2$  之值為  $Add2-0$  時之快取記憶體  $L2Cache$  之動作說明之圖。

以位址  $Add6$  檢索快取記憶體  $L2Cache$  之索引位址

(45)

Indx2，因為 4 路分組關聯之故，而選擇 4 種類之標籤位址。

比較電路 COMP 比較位址 Add2 與被選擇之標籤位址，位址 Add2 為 Add2-0，與標籤位址一致，亦即命中，因此由資料陣列選擇資料 Data0。

最後，位址 Add0 被輸入選擇電路 SEL，輸出 512 位元組(Byte)之資料 Data0 中之 1 位元組。

(位址轉換 效果)

圖 9、圖 10 為進行圖 5、圖 7 說明之位址轉換時，快取記憶體 L2Cache 之更新之一例之圖。

於資訊處理裝置 CPU\_CHIP 執行應用之中，自資訊處理裝置 CPU\_CHIP 至記憶體模組 MSM 輸入之讀出要求具有特徵。

第 1 特徵為位址 Add1 分散產生，位址 Add2 係於其中連續重複特定位址範圍之讀出要求。

第 2 特徵為位址 Add2 分散產生，位址 Add1 係於其中連續重複特定位址範圍之讀出要求。

圖 9(a)表示具有上述第 1 特徵之讀出要求被輸入記憶體模組時，藉由圖 7 之索引運算方式之位址轉換產生之快取記憶體 L2Cache 之更新 replace。

圖 9(b)表示具有上述第 1 特徵之讀出要求被輸入記憶體模組時，藉由圖 5 之簡易索引轉換方式之位址轉換產生之快取記憶體 L2Cache 之更新 replace。

(46)

圖 10(a)表示具有上述第 2 特徵之讀出要求被輸入記憶體模組時，藉由圖 7 之索引運算方式之位址轉換產生之快取記憶體 L2Cache 之更新 replace。

圖 10(b)表示具有上述第 1 特徵之讀出要求被輸入記憶體模組時，藉由圖 5 之簡易索引轉換方式之位址轉換產生之快取記憶體 L2Cache 之更新 replace。

如圖 9(b)所示，於圖 5 說明之簡易索引轉換方式之位址轉換方法中，使位址 Add1 對應於快取記憶體 L2Cache 之索引位址 Index2，使位址 Add2 對應於標籤位址 Tag 2。因此，具有上述第 1 特徵之讀出要求被輸入記憶體模組時，索引位址 Index 分散，因索引位址 Index 分散導致不會產生快取記憶體 L2Cache 之更新 replace。

如圖 9(a)所示，於圖 7 說明之索引運算方式之位址轉換方法中，對位址 Add1 與位址 Add2 進行運算，以分散方式產生位址 Add10，使該位址 Add10 對應於快取記憶體 L2Cache 之索引位址 Index2。因此，具有上述第 1 特徵之讀出要求被輸入 L2 快取記憶體時，索引位址 Index 分散，因此不會產生快取記憶體 L2Cache 之更新 replace。亦即，藉由圖 7 說明之索引運算方式之位址轉換方法可有效利用快取記憶體 L2Cache，可提升命中率。

如圖 10(b)所示，於圖 5 說明之簡易索引轉換方式之位址轉換方法中，使位址 Add1 對應於快取記憶體 L2Cache 之索引位址 Index2，使位址 Add2 對應於標籤位址 Tag 2。因此，具有上述第 2 特徵之讀出要求被輸入 L2

(47)

快取記憶體時，對特定索引位址 Index 之檢索頻繁產生，而且標籤位址 Tag 2 分散之故，產生失誤，快取記憶體 L2Cache 之更新 replace 頻繁產生。亦即，僅快取記憶體 L2Cache 之一部分可以利用，快取記憶體 L2Cache 之更新 replace 頻繁產生。

如圖 10(a)所示，於圖 7 說明之索引運算方式之位址轉換方法中，對位址 Add1 與位址 Add2 進行運算，以分散方式產生位址 Add10，使該位址 Add10 對應於快取記憶體 L2Cache 之索引位址 Index2。因此，即使具有上述第 2 特徵之讀出要求被輸入 L2 快取記憶體時，索引位址 Index 分散，因此不會產生快取記憶體 L2Cache 之更新 replace。亦即，藉由圖 7 說明之索引運算方式之位址轉換方法可有效利用快取記憶體 L2Cache，可提升命中率。

如上述說明，於圖 5 說明之簡易索引轉換方式之位址轉換方法中，針對具有上述第 1 特徵之讀出要求可分散索引，針對具有上述第 2 特徵之讀出要求無法分散索引，快取記憶體 L2Cache 之更新 replace 頻繁產生。

於圖 7 說明之索引運算方式中，可對應於具有上述第 1 特徵及上述第 2 特徵之讀出要求雙方而分散索引，可有效利用快取記憶體 L2Cache，可提升命中率。

又，圖 5 說明之簡易索引轉換方式、圖 6 說明之索引位元移位轉換方式及圖 7 說明之索引運算方式中，可由 NOR 介面 NOR IF 改寫、選擇讀出模態設定暫存器 RModeReg 之值。如上述說明，位址轉換方式可配合系統

(48)

於使用者自由選擇。

(暫存器之設定)

圖 11(a)、(b)、(c)為同步型 NOR 介面及非同步型 NOR 介面之選擇、脈衝(burst)長度之選擇、位址轉換電路 DSTR 進行之位址轉換方式之選擇等之進行時之一例之流程圖。

同步型 NOR 介面及非同步型 NOR 介面之選擇、脈衝(burst)長度之選擇、位址轉換電路 DSTR 進行之位址轉換方式之選擇，可藉由改寫讀出模態設定暫存器 RModeReg 之設定值而同時選擇。

雖未特別限定，同步型 NOR 介面及非同步型 NOR 介面之任一之選擇、脈衝長度之選擇、位址轉換電路 DSTR 進行之位址轉換方式之選擇之進行時，可由 NOR 介面 NOR IF 輸入指令 RModeSet 而設定讀出模態設定暫存器 RModeReg 之值(Step 1)，之後，對讀出模態設定暫存器 RModeReg 寫入設定值(Step 2)。

圖 11(a)係選擇 NOR 介面為同步型 NOR 介面、選擇脈衝長度為 4、選擇位址轉換方式為索引運算方式之一例。

圖 11(b)係選擇 NOR 介面為同步型 NOR 介面、選擇脈衝長度為 8、選擇位址轉換方式為索引位元移位方式之一例。

圖 11(b)係選擇 NOR 介面為非同步型 NOR 介面、選

(49)

擇脈衝長度為 4、選擇位址轉換方式為簡易索引轉換方式之一例。

圖 11(d)係將讀出模態設定暫存器 RModeReg 內之設定值讀出用的一例之流程圖。

雖未特別限定，欲將讀出模態設定暫存器 RModeReg 內之設定值讀出時，在由 NOR 介面 NOR IF 輸入讀出模態設定暫存器讀出指令 RmodeRead 時 (Step 1)，經由 NOR 介面 NOR IF 使讀出模態設定暫存器 RModeReg 內之設定值被輸出 (Step 2)。

圖 12(a)係設定快取區域及非快取區域範圍之一例之流程圖。

雖未特別限定，進行快取區域及非快取區域範圍之設定時，可由 NOR 介面 NOR IF 輸入快取區域設定用之指令 CAreaSet (Step 1)，之後對快取區域設定暫存器 CAreaReg 寫入快取區域之開始位址值 (Step 2)，之後對快取區域設定暫存器 CAreaReg 寫入快取區域之結束位址值 (Step 3)。快取區域之開始位址值與結束位址值之間成為快取區域，其以外成為非快取區域。

圖 12(c)係將快取區域設定暫存器 CAreaReg 內之設定值讀出用的一例之流程圖。

雖未特別限定，欲將快取區域設定暫存器 CAreaReg 內之設定值讀出時，在由 NOR 介面 NOR IF 輸入快取區域設定暫存器 CAreaReg 讀出指令 CAreaRead 時 (Step 1)，可經由 NOR 介面 NOR IF 使快取區域設定暫存器

(50)

CAreaReg 內之設定值被輸出(Step 2)。

圖 12(b)係設定快取鎖定區域及非快取鎖定區域範圍之一例支流程圖。

雖未特別限定，進行快取鎖定區域及非快取鎖定區域範圍之設定時，可由 NOR 介面 NOR IF 輸入快取鎖定區域設定用之指令 CaLockSet(Step 1)，之後對快取鎖定區域設定暫存器 CaLockReg 寫入快取鎖定區域之開始位址值(Step 2)，之後對快取鎖定區域設定暫存器 CaLockReg 寫入快取鎖定區域之結束位址值(Step 3)。快取鎖定區域之開始位址值與結束位址值之間成為快取鎖定區域，其以外成為非快取鎖定區域。又，快取鎖定區域可設於快取區域內。

圖 12(d)係將快取鎖定區域設定暫存器 CaLockReg 內之設定值讀出用的一例之流程圖。

雖未特別限定，欲將快取鎖定區域設定暫存器 CaLockReg 內之設定值讀出時，在由 NOR 介面 NOR IF 輸入快取鎖定區域設定暫存器 CaLockReg 讀出指令 CaLockRead 時(Step 1)，可經由 NOR 介面 NOR IF 使快取鎖定區域設定暫存器 CaLockReg 內之設定值被輸出(Step 2)。

圖 13(a)係設定寫入次數平均化處理區域及非寫入次數平均化處理區域之一例之流程圖。

雖未特別限定，進行寫入次數平均化處理區域及非寫入次數平均化處理區域之設定時，可由 NOR 介面 NOR IF

(51)

輸入寫入次數平均化處理區域設定用之指令 `WlvlSet`(Step 1)，之後對寫入次數平均化處理區域設定暫存器 `WlvlReg` 寫入，寫入次數平均化處理區域之開始位址值(Step 2)，之後對寫入次數平均化處理區域設定暫存器 `WlvlReg` 寫入，寫入次數平均化處理區域之結束位址值(Step 3)。寫入次數平均化處理區域之開始位址值與結束位址值之間成為寫入次數平均化處理區域，其以外成為非寫入次數平均化處理區域。

圖 13(c)係將寫入次數平均化處理區域設定暫存器 `WlvlReg` 內之設定值讀出用的一例之流程圖。

雖未特別限定，欲將寫入次數平均化處理區域設定暫存器 `WlvlReg` 內之設定值讀出時，在由 NOR 介面 NOR IF 輸入寫入次數平均化處理區域設定暫存器 `WlvlReg` 之讀出指令 `WlvlRead` 時(Step 1)，可經由 NOR 介面 NOR IF 使寫入次數平均化處理區域設定暫存器 `WlvlReg` 內之設定值被輸出(Step 2)。

圖 13(b)係設定寫入保護區域及非寫入保護區域之一例之流程圖。

雖未特別限定，進行寫入保護區域及非寫入保護區域之設定時，可由 NOR 介面 NOR IF 輸入寫入保護區域設定用之指令 `WproSet`(Step 1)，之後對寫入保護區域設定暫存器 `WproReg` 寫入，寫入保護區域之開始位址值(Step 2)，之後對寫入保護區域設定暫存器 `WproReg` 寫入，寫入保護區域之結束位址值(Step 3)。寫入保護區域之開始

(52)

位址值與結束位址值之間成為寫入保護區域，其以外成為非寫入保護區域。

圖 13(d)係將寫入保護區域設定暫存器 WproReg 內之設定值讀出用的一例之流程圖。

雖未特別限定，欲將寫入保護區域設定暫存器 WproReg 內之設定值讀出時，在由 NOR 介面 NOR IF 輸入寫入保護區域設定暫存器 WproReg 之讀出指令 WproRead 時(Step 1)，可經由 NOR 介面 NOR IF 使寫入保護區域設定暫存器 WproReg 內之設定值被輸出(Step 2)。

如上述說明，同步型 NOR 介面或非同步型 NOR 介面、快取區域及非快取區域、快取鎖定區域及非快取鎖定區域、寫入次數平均化處理區域及非寫入次數平均化處理區域、寫入保護區域及非寫入保護區域可分別獨立設定，可配合系統於使用者側自由選擇。

(讀出流程)

圖 14 為由 NOR 介面 NOR IF 被輸入讀出要求時，記憶體模組 MSM 之資料讀出動作之一例之流程圖。

由 NOR 介面 NOR IF，對記憶體模組 MSM 輸入讀出要求及讀出位址 Radd 時(Step 1)，產生來自 NAND 介面 NAND IF1 之寫入或抹除要求，確認寫入或抹除位址 WorEAd 與讀出位址 Radd 是否一致(Step 2)。寫入或抹除位址 WorEAd 與讀出位址 Radd 一致時，記憶體模組 MSM 經由 NOR 介面 NOR IF 輸出錯誤(Step 3)。

(53)

寫入或抹除位址 WorEAd 與讀出位址 Radd 不一致時，記憶體位址管理電路 MMG 確認讀出位址 Radd 是否在快取位址範圍內(Step 4)。讀出位址 Radd 在快取位址範圍外時，記憶體模組 MSM 經由 NOR 介面 NOR IF 輸出錯誤(Step 3)。

讀出位址 Radd 在快取位址範圍內時，存取調停電路 ARB 將判斷是否有來自 NAND 介面電路 NDIF 之讀出或寫入要求，又，判斷是否對 NAND 介面電路 NDIF 之讀出或寫入要求進行動作。判斷有來自 NAND 介面電路 NDIF 之讀出或寫入要求，對該要求乃未進行動作時，延後處理來自 NAND 介面電路 NDIF 之讀出或寫入要求，而優先許可來自 NOR 介面電路 NRIF 之讀出要求(Step 4)。判斷對 NAND 介面電路 NDIF 之讀出或寫入要求之動作執行中時，暫時中斷執行中之動作，而優先許可來自 NOR 介面電路 NRIF 之讀出要求(Step 5)。

其次，位址轉換電路 DSTR 將位址 Radd 轉換為位址 MRadd(Step 6)。其次，位址 MRadd 被輸入快取記憶體 L2Cache、命中判斷電路 PL2Hit 及命中判斷電路 L3Hit，進行快取記憶體 L2Cache 之命中判斷(Step 7)、命中判斷電路 PL2Hit 之命中判斷(Step 8)及命中判斷電路 L3Hit 之命中判斷(Step 9)。快取記憶體 L2Cache 命中時資料由快取記憶體 L2Cache 被輸出(Step 10)，經由 NOR 介面 NOR IF 被讀出(Step 11)。快取記憶體 L2Cache 失誤、命中判斷電路 PL2Hit 命中時，資料由快取記憶體 PL2A 及 PL2B

(54)

之任一被輸出(Step 12)，經由 NOR 介面 NOR IF 被讀出(Step 11)。

快取記憶體 L2Cache 失誤、命中判斷電路 PL2Hit 失誤、命中判斷電路 L3Hit 命中時，將快閃記憶體 FLASH\_CHIP 內之資料暫存器 DREG 內之第 N 頁資料傳送至緩衝器電路 BUF(Step 13)。

傳送第 N 頁資料至緩衝器電路 BUF 之之同時，於錯誤檢測訂正電路 ECC 進行錯誤檢測(14)。之後，於錯誤檢測訂正電路 ECC 進行錯誤確認(Step 15)，無錯誤時，該第 N 頁資料藉由控制電路 RWCL 被傳送至快取記憶體 PL2A，有錯誤時於錯誤檢測訂正電路 ECC 進行錯誤訂正(Step 16)之後，第 N 頁資料藉由控制電路 RWCL 被傳送至快取記憶體 PL2A。

被傳送至快取記憶體 PL2A 之第 N 頁資料之中之資訊處理裝置 CPU\_CHIP 要求之資料，係經由 NOR 介面電路 NRIF，藉由 NOR 介面 NOR IF 被輸出。

又，先行讀出指示電路 PRECT 對控制電路 RWCL 指示資料之先行讀出，控制電路 RWCL 對控制電路 FCNT 輸入讀出要求，將資料緩衝器 DREG 內之次頁之資料、亦即第 N+1 頁之資料傳送至緩衝器電路 BUF。

傳送至緩衝器電路 BUF 之第 N+1 頁資料，係於錯誤檢測訂正電路 ECC 進行錯誤檢測(Step 19)。之後，於錯誤檢測訂正電路 ECC 進行錯誤確認(Step 20)，無錯誤時，傳送至緩衝器電路 BUF 之該第 N+1 頁資料藉由控制

(55)

電路 RWCL 被傳送至快取記憶體 PL2B，有錯誤時於錯誤檢測訂正電路 ECC 進行錯誤訂正 (Step 12) 之後，第 N 頁資料藉由控制電路 RWCL 被傳送至快取記憶體 PL2A (Step 22)。

快取記憶體 L2Cache 失誤、命中判斷電路 PL2Hit 失誤、命中判斷電路 L3Hit 失誤時，首先，控制電路 RWCL 對控制電路 FCNT 輸入第 N 頁資料之讀出要求，控制電路 FCNT 將記憶格陣列 MARY 內之第 N 頁資料傳送至資料暫存器 DREG (Step 23)。之後，將資料暫存器 DREG 內之第 N 頁資料傳送至緩衝器電路 BUF (Step 13)。

傳送至緩衝器電路 BUF 之第 N 頁資料，係於錯誤檢測訂正電路 ECC 進行錯誤檢測 (Step 14)。之後，於錯誤檢測訂正電路 ECC 進行錯誤確認 (Step 15)，無錯誤時，傳送至緩衝器電路 BUF 之第 N 頁資料藉由控制電路 RWCL 被傳送至快取記憶體 PL2A，有錯誤時於錯誤檢測訂正電路 ECC 進行錯誤訂正 (Step 16) 之後，第 N 頁資料藉由控制電路 RWCL 被傳送至快取記憶體 PL2A (Step 17)。

被傳送至快取記憶體 PL2A 之第 N 頁資料之中之資訊處理裝置 CPU\_CHIP 要求之資料，係經由 NOR 介面電路 NRIF，藉由 NOR 介面 NOR IF 被輸出。

又，先行讀出指示電路 PRECT 對控制電路 RWCL 指示資料之先行讀出時，控制電路 RWCL 對控制電路 FCNT 輸入讀出要求，將資料緩衝器 DREG 內之次頁之資料、亦

(56)

即第 N+1 頁之資料傳送至緩衝器電路 BUF。

傳送至緩衝器電路 BUF 之第 N+1 頁資料，係於錯誤檢測訂正電路 ECC 進行錯誤檢測 (Step 19)。之後，於錯誤檢測訂正電路 ECC 進行錯誤確認 (Step 20)，無錯誤時，傳送至緩衝器電路 BUF 之第 N+1 頁資料藉由控制電路 RWCL 被傳送至快取記憶體 PL2B，有錯誤時於錯誤檢測訂正電路 ECC 進行錯誤訂正 (Step 12) 之後，第 N 頁資料藉由控制電路 RWCL 被傳送至快取記憶體 PL2A (Step 22)。

圖 15 為由 NAND 介面 NAND IF1 產生寫入要求、由 NOR 介面 NOR IF 產生讀出要求時，記憶體模組 MSM 之存取調停及寫入動作之一例之流程圖。

由 NAND 介面 NAND IF1 輸入寫入位址 NWADD 及寫入資料 NWDATA (Step 1) 時，寫入位址 NWADD 被傳送至記憶體位址管理電路 MMG，寫入資料 NWDATA 被傳送至寫入緩衝器 WBUF (Step 2)。

之後，存取調停電路 ARB 確認是否由 NOR 介面 NOR IF 輸入讀出要求 (Step 3)，輸入讀出要求時，暫時停止 NAND 介面 NAND IF1 之寫入要求之動作，優先進行圖 20 之讀出動作 (Step)，該讀出動作結束後回復 NAND 介面 NAND IF1 之寫入要求之動作，確認是否寫入位址 NWADD 存在於快取位址區域內 (Step 5)，於位址轉換電路 DSTR 將寫入位址 NWADD 轉換為寫入位址 MNWADD (Step 6)。

(57)

比較位址 MNWADD 與快取記憶體 L2Cache 之標籤位址 (Step 7)，設定一致之標籤位址為無效 (Step 8)。

之後，存取調停電路 ARB 確認是否由 NOR 介面 NOR IF 輸入讀出要求 (Step 9)，輸入讀出要求時，暫時停止 NAND 介面 NAND IF1 之寫入要求之動作，優先進行圖 20 之讀出動作 (Step 10)，該讀出動作結束後回復 NAND 介面 NAND IF1 之寫入要求之動作，將保持於寫入緩衝器 WBUF 之寫入資料 NWDATA 傳送至資料暫存器 DREG (Step 11)。

之後，存取調停電路 ARB 確認是否由 NOR 介面 NOR IF 輸入讀出要求 (Step 12)，輸入讀出要求時，暫時停止 NAND 介面 NAND IF1 之寫入要求之動作，優先進行圖 20 之讀出動作 (Step 13)，該讀出動作結束後回復 NAND 介面 NAND IF1 之寫入要求之動作，將保持於資料暫存器 DREG 之寫入資料 NWDATA 寫入記憶格陣列 MARY (Step 14)。

代替處理電路 REP 確認對記憶格陣列 MARY 之寫入成功否 (Step 15)，寫入失敗時，準備快閃記憶體 FLASH\_CHIP 預先準備之代替用的新的位址 (Step 16)，對該位址進行寫入 (Step 14)。寫入成功時，存取調停電路 ARB 確認是否由 NOR 介面 NOR IF 輸入讀出要求 (Step 17)，輸入讀出要求時，暫時停止 NAND 介面 NAND IF1 之寫入要求之動作，優先進行圖 20 之讀出動作 (Step 18)，該讀出動作結束後，最後清除寫入位址 NWADD。

(58)

(NAND IF1 之抹除動作)

圖 16 為由 NAND 介面 NAND IF1 產生抹除要求，由 NOR 介面 NOR IF 產生讀出要求時，記憶體模組 MSM 之存取調停及抹除動作之一例之流程圖。

抹除要求、抹除位址 NEADD 由 NAND 介面 NAND IF1 被輸入時，抹除位址 NEADD 被傳送至記憶體位址管理電路 MMG(Step 1)。

之後，存取調停電路 ARB 確認是否由 NOR 介面 NOR IF 輸入讀出要求(Step 2)，輸入讀出要求時，暫時停止 NAND 介面 NAND IF1 之抹除要求之動作，優先進行圖 20 之讀出動作(Step 3)，該讀出動作結束後回復 NAND 介面 NAND IF1 之抹除要求之動作，確認是否抹除位址 NWADD 存在於快取位址區域內(Step 4)，於位址轉換電路 DSTR 將位址 NEADD 轉換為位址 MEWADD(Step 5)。

比較位址 MNEADD 與快取記憶體 L2Cache 之標籤位址(Step 6)，設定一致之標籤位址為無效(Step 7)。

之後，存取調停電路 ARB 確認是否由 NOR 介面 NOR IF 輸入讀出要求(Step 8)，輸入讀出要求時，暫時停止 NAND 介面 NAND IF1 之抹除要求之動作，優先進行圖 20 之讀出動作(Step 9)，該讀出動作結束後回復 NAND 介面 NAND IF1 之抹除要求之動作，抹除記憶格陣列 MARY(Step 11)。

之後，存取調停電路 ARB 確認是否由 NOR 介面 NOR

(59)

IF 輸入讀出要求 (Step 11)，輸入讀出要求時，暫時停止 NAND 介面 NAND IF1 之寫入要求之動作，優先進行圖 20 之讀出動作 (Step 12)，該讀出動作結束後回復 NAND 介面 NAND IF1 之抹除要求之動作，確認抹除位址 NEADD 是否存在於寫入次數平均化處理區域內 (Step 13)。抹除位址 NEADD 存在於寫入次數平均化處理區域內時，確認寫入次數與抹除次數之總和是否到達寫入次數平均化電路 WLW 保持之寫入次數與抹除次數之總和臨限值 (Step 14)，到達總和臨限值時寫入次數平均化電路 WLW 判斷為改寫集中，進行寫入次數平均化處理 (Step 15)。該寫入次數平均化處理，係依每一區塊 (64 頁) 變更實體位址與邏輯位址之對應，保持該實體位址與邏輯位址之對應資訊。

抹除位址 NEADD 不存在於寫入次數平均化處理區域內、或者寫入次數平均化處理時，存取調停電路 ARB 確認是否由 NOR 介面 NOR IF 輸入讀出要求 (Step 16)，輸入讀出要求時，暫時停止 NAND 介面 NAND IF1 之抹除要求之動作，優先進行圖 20 之讀出動作 (Step 17)，該讀出動作結束後，最後清除抹除位址 NEADD (Step 18)。

(NAND IF1 之讀出指令)

圖 17 為由 NAND 介面 NAND IF1 產生讀出要求，由 NOR 介面 NOR IF 產生讀出要求時，記憶體模組 MSM 之存取調停及讀出動作之一例之流程圖。

讀出指令及讀出位址 NRADD 由 NAND 介面 NAND

(60)

IF1 被輸入時 (Step 1)。

之後，存取調停電路 ARB 確認是否由 NOR 介面 NOR IF 輸入讀出要求 (Step 2)，輸入讀出要求時，暫時停止 NAND 介面 NAND IF1 之讀出要求之動作，優先進行圖 20 之讀出動作 (Step 3)，該讀出動作結束後回復 NAND 介面 NAND IF1 之讀出要求之動作，由記憶格陣列 MARY 將資料傳送至資料緩衝器 DREG (Step 4)。

之後，存取調停電路 ARB 確認是否由 NOR 介面 NOR IF 輸入讀出要求 (Step 5)，輸入讀出要求時，暫時停止 NAND 介面 NAND IF1 之讀出要求之動作，優先進行圖 20 之讀出動作 (Step 6)，該讀出動作結束後回復 NAND 介面 NAND IF1 之讀出要求之動作，將資料緩衝器 DREG 保持之資料傳送至緩衝器電路 BUF (Step 7)。

傳送至緩衝器電路 BUF 之資料，係於錯誤檢測訂正電路 ECC 進行錯誤檢測 (Step 8)。之後，於錯誤檢測訂正電路 ECC 進行錯誤確認 (Step 9)，無錯誤時，傳送至緩衝器電路 BUF 之資料被傳送至讀出緩衝器 RBUF，有錯誤時於錯誤檢測訂正電路 ECC 進行錯誤訂正 (Step 10) 之後，被傳送至讀出緩衝器 RBUF (Step 11)。最後，保持於讀出緩衝器 RBUF 之資料被讀出至 NOR 介面 NOR IF (Step 12)。

(快取鎖定用 L2Cache 之構成)

圖 18 為進行快取鎖定動作必要之快取記憶體 L2Cache 之構成之一例之圖。

(61)

位址 Add6、位址 Add2、及位址 Add0 係和圖 8 說明之位址同等。

雖未特別限定，快取記憶體 L2Cache 可由位址陣列 AddressArray 與資料陣列 DataArray 構成，資料陣列 DataArray 之容量為 256MByte(百萬位元組)、線大小(line size)為 512Byte(位元組)，索引位址 Index2 為 0 至 511，分組關聯(set associative)為 4 路(way)分組關聯。又，位址陣列 AddressArray 由標籤位址 Tag 2、有效位元 vld、無效位元 dt、及快取鎖定旗標 lck 構成，相對於 1 個索引位址，資料陣列 DataArray 保持 512Byte(位元組)之資料。

存在於快取鎖定位址範圍內之標籤位址之快取鎖定旗標 lck 之值為 1，存在於快取鎖定位址範圍外之標籤位址之快取鎖定旗標 lck 之值為 0。

快取鎖定旗標 lck 之值為 1 之資料成為資料更新對象外之資料，只要快取鎖定旗標 lck 之值不為 0 則不會由快取記憶體 L2Cache 被排出。

快取鎖定旗標 lck 之值為 0 之資料成為資料更新對象之資料，可由快取記憶體 L2Cache 被排出。

(快取鎖定旗標解除)

圖 21 為快取鎖定解除之一例之流程圖。由 NOR 介面 NOR IF 對快取鎖定區域設定暫存器 CaLockReg 寫入快取鎖定解除指令(Step 1)時，快取記憶體 L2Cache 設定本身

(62)

之全部快取鎖定旗標 `lck` 之值為 0 (L 位準) (Step 2)，將設定於快取鎖定區域設定暫存器 `CaLockReg` 之快取鎖定範圍位址設為無效 (Step 3)，最後，設定快取鎖定解除結束信號為 H 位準，據以表示快取記憶體 `L2Cache` 之快取鎖定解除之結束 (Step 4)。藉由上述手續使進行快取鎖定之位址範圍成為無效之事被輸入記憶體位址管理電路 `MMG`。

(快取鎖定後之讀出動作)

圖 20 為快取鎖定被設定時，快取記憶體 `L2Cache`、`PL2A`、`PL2B` 之動作一例之流程圖。

由 `NOR` 介面 `NOR IF` 對記憶體模組 `MSM` 輸入讀出要求及位址 `RADD` (Step 1) 時，記憶體位址管理電路 `MMG` 確認位址 `RADD` 是否在進行快取鎖定之位址範圍內 (Step 2)，位址 `RADD` 在進行快取鎖定之位址範圍外時移至 Step 26，Step 26 之動作詳細如圖 21 所示。

位址 `RADD` 在進行快取鎖定之位址範圍內時，於快取記憶體 `L2Cache` 進行命中判斷 (Step 3)。

快取記憶體 `L2Cache` 命中時，確認命中之標籤位址所對應之快取鎖定旗標是否為 H 位準 (Step 4)，快取鎖定旗標為 H 位準時，由快取記憶體 `L2Cache` 輸出資料 (Step 24)，快取鎖定旗標為 L 位準時，設定該快取鎖定旗標為 H 位準 (Step 5)，由快取記憶體 `L2Cache` 輸出資料 (Step 24)。

(63)

快取記憶體 L2Cache 失誤時，進行快取記憶體 PL2A 及 PL2B 之命中判斷 (Step 6)，命中時將快取記憶體 PL2A 及 PL2B 之資料傳送至快取記憶體 L2Cache 予以更新 (Step 12)，資料更新時，對快取鎖定旗標為 L 位準之資料以 LRU 方式進行更新。之後，設定快取鎖定旗標為 H 位準 (Step 13)，設定快取記憶體 PL2A 及 PL2B 成為無效化 (Step 14)，由快取記憶體 PL2A 及 PL2B 輸出資料 (Step 24)。

快取記憶體 PL2A 及 PL2B 失誤時，確認快取記憶體 PL2A 及 PL2B 是否為有效 (Step 7)，有效時將現在存在於快取記憶體 PL2A 及 PL2B 之資料傳送至快取記憶體 L2Cache 予以更新 (Step 8)，資料更新時，對快取鎖定旗標為 L 位準之資料以 LRU 方式進行更新。

之後，設定快取鎖定旗標為 H 位準 (Step 9)，設定快取記憶體 PL2A 及 PL2B 成為無效化 (Step 10)。之後將要求之資料由快閃記憶體 FLASH\_CHIP 傳送至快取記憶體 PL2A (Step 11)，將快取記憶體 PL2A 之資料傳送至快取記憶體 L2Cache 予以更新 (Step 15)。

資料更新時，對快取鎖定旗標為 L 位準之資料以 LRU 方式進行更新。之後，設定快取鎖定旗標為 H 位準 (Step 16)，設定快取記憶體 PL2A 成為無效化 (Step 17)，由快取記憶體 PL2A 輸出資料 (Step 24)。與此同時，藉由先行讀出機能，將次頁資料由快閃記憶體 FLASH\_CHIP 傳送至快取記憶體 PL2B (Step 18)，之後，確認是否在進

(64)

行快取鎖定之位址範圍內(Step 19)，在進行快取鎖定之位址範圍內時，將快取記憶體 PL2B 之資料傳送至快取記憶體 L2Cache 予以更新(Step 20)。資料更新時，對快取鎖定旗標為 L 位準之資料以 LRU 方式進行更新。之後，設定快取鎖定旗標為 H 位準(Step 21)，設定快取記憶體 PL2B 成為無效化(Step 22)。在進行快取鎖定之位址範圍外時，設定快取記憶體 PL2B 成為有效化(Step 23)。

(快取鎖定之讀出動作)

圖 21 為快取鎖定被設定由 NOR 介面 NOR IF 輸入記憶體模組 MSM 之讀出要求及位址 RADD 在進行快取鎖定之位址範圍外時，快取記憶體 L2Cache、PL2A、PL2B 之動作一例之流程圖。

位址 RADD 在進行快取鎖定之位址範圍外(Step 25)時，於快取記憶體 L2Cache 進行命中判斷(Step 26)。

快取記憶體 L2Cache 命中時，確認命中之標籤位址所對應之快取鎖定旗標是否為 L 位準(Step 27)，快取鎖定旗標為 L 位準時，由快取記憶體 L2Cache 輸出資料(Step 41)，快取鎖定旗標為 H 位準時，輸出錯誤(Step 28)。

快取記憶體 L2Cache 失誤時，進行快取記憶體 PL2A 及 PL2B 之命中判斷(Step 29)，命中時由快取記憶體 PL2A 或 PL2B 輸出資料(Step 41)。

快取記憶體 PL2A 及 PL2B 失誤時，確認快取記憶體 PL2A 及 PL2B 是否為有效(Step 30)，有效時將現在存在

(65)

於快取記憶體 PL2A 及 PL2B 之資料傳送至快取記憶體 L2Cache 予以更新 (Step 31)，資料更新時，對快取鎖定旗標為 L 位準之資料以 LRU 方式進行更新。

之後，設定快取記憶體 PL2A 及 PL2B 成為無效化 (Step 32)。之後將要求之資料由快閃記憶體 FLASH\_CHIP 傳送至快取記憶體 PL2A (Step 33)，設定快取記憶體 PL2A 之資料為有效化 (Step 34)。之後，由快取記憶體 PL2A 輸出資料 (Step 41)。

與 Step 41 同時，藉由先行讀出機能，將次頁資料由快閃記憶體 FLASH\_CHIP 傳送至快取記憶體 PL2B (Step 35)，之後，確認是否在進行快取鎖定之位址範圍內 (Step 36)，在進行快取鎖定之位址範圍內時，將快取記憶體 PL2B 之資料傳送至快取記憶體 L2Cache 予以更新 (Step 37)。資料更新時，對快取鎖定旗標為 L 位準之資料以 LRU 方式進行更新。之後，設定快取鎖定旗標為 H 位準 (Step 38)，設定快取記憶體 PL2B 成為無效化 (Step 39)。在進行快取鎖定之位址範圍外時，設定快取記憶體 PL2B 成為有效化 (Step 40)。

(具有多數記憶體區塊的 FLASH)

圖 22 為本發明適用於具有多數記憶體區塊的快閃記憶體 FLASH\_CHIP22 之第 2 實施形態。

表示由資訊處理裝置 CPU\_CHIP、記憶體模組 MSM22、動態隨機存取記憶體 DRAM\_CHIP 構成之記憶體

(66)

系統。

記憶體模組 MSM22 由快閃記憶體 FLASH\_CHIP22 及控制電路 CT\_CHIP 構成。

資訊處理裝置 CPU\_CHIP、控制電路 CT\_CHIP、動態隨機存取記憶體 DRAM\_CHIP 分別和圖 1 所示者相同。

控制電路 CT\_CHIP 由：接受來自 NOR 介面 NOR IF 之讀出/寫入要求的 NOR 介面電路 NRIF，接受來自 NAND 介面 NAND IF 之讀出/寫入要求的 NAND 介面電路 NDIF，暫存器方塊 REG，位址轉換電路 DSTR，快取記憶體 L2Cache、PL2A、PL2B，預擷取控制電路 PREF，快閃控制電路 FLCT，緩衝器電路 BFBK，及快閃錯誤控制電路 FLSP 構成。

彼等 NOR 介面 NOR IF、NOR 介面電路 NRIF、NAND 介面 NAND IF、NAND 介面電路 NDIF、SDRAM 介面 SDRAM\_IF、暫存器方塊 REG、位址轉換電路 DSTR、快取記憶體 L2Cache、PL2A、PL2B、預擷取控制電路 PREF、快閃控制電路 FLCT、緩衝器電路 BFBK、及快閃錯誤控制電路 FLSP 分鼻和圖 1 所示者相同。

快閃記憶體 FLASH\_CHIP22 由控制電路 FCNT22、資料緩衝器 DREG0 ~ DREG3、及記憶體區塊 BANK0 ~ BANK3 構成。

雖未特別限定，資料緩衝器與記憶體區塊間之資料傳送，可分別獨立進行記憶體區塊 BANK0 與資料緩衝器 DREG0 間之資料傳送，記憶體區塊 BANK1 與資料緩衝器

(67)

DREG1 間之資料傳送，記憶體區塊 BANK2 與資料緩衝器 DREG2 間之資料傳送，記憶體區塊 BANK3 與資料緩衝器 DREG3 間之資料傳送。

雖未特別限定，1 個記憶體區塊之記憶容量為 64M Byte(百萬位元組)，4 個記憶體區塊之記憶容量總和為 256M Byte。

雖未特別限定，1 個資料緩衝器之資料量為 (data size) 為 2k Byte(千位元組)，4 個資料緩衝器之資料量總和為 8k Byte。

控制電路 FCNT22 為，藉由控制電路 CT\_CHIP 之讀出及寫入指令，控制自資料緩衝器 DREG0~DREG3 至記憶體區塊 BANK0~BANK3 間之資料傳送的電路。

快閃記憶體 FLASH\_CHIP22，可於 AND 介面與 NAND 介面之任一動作，於此以 NAND 介面之情況為例說明快閃記憶體 FLASH\_CHIP22 之動作。

控制電路 FCNT22 為，藉由控制電路 CT\_CHIP 之 NAND 介面 NAND IF3 之讀出及寫入指令，控制自資料緩衝器 DREG0~DREG3 至記憶體區塊 BANK0~BANK3 間之資料傳送的電路。

讀出要求及讀出位址經由控制電路 CT\_CHIP 之 NAND 介面 NAND IF22 被輸入控制電路 FCNT22 時，讀出位址所指定記憶體區塊之資料，被傳送至該記憶體區塊之資料傳送所對應之資料緩衝器。之後，經由 NAND 介面 NAND IF3 被傳送至控制電路 CT\_CHIP。

(68)

於讀出位址對於記憶體區塊之指定，可以一次指定全區塊，或指定 2 區塊，或 1 個個獨立指定，例如由資料緩衝器 DREG 讀出資料時，藉由隱性進行自記憶體區塊 BANK1 至資料緩衝器 DREG1 之資料傳送，可以隱藏自記憶體區塊至資料緩衝器之資料傳送時間，可達成資料傳送高速化。

被傳送至資料緩衝器之資料直接被保持，可作為 8k Byte 之 L3 快閃使用，更能達成資料傳送高速化。

如上述說明，本發明亦可實現適用具有多數記憶體區塊之快閃記憶體 FLASH\_CHIP22。

### (第 3 實施形態)

本發明人在本案之前針對行動電話及其使用之靜態隨機存取記憶體 SRAM 與快閃記憶體被安裝於 1 個封裝的記憶體模組之信賴性加以檢討。

結果發現  $\alpha$  線引起之錯誤 (soft error) 乃半導體封裝構件中之鈾等之放射性物質放射出之  $\alpha$  線射入靜態隨機存取記憶體 SRAM 的記憶體陣列，而破壞該該記憶體陣列保持之記憶資料的現象，成為靜態隨機存取記憶體 SRAM 之信賴性劣化之主要原因。靜態隨機存取記憶體 SRAM 的記憶容量越大面積變為越大， $\alpha$  線射入靜態隨機存取記憶體 SRAM 的概率越增加，信賴性劣化之傾向變為越大。

動態隨機存取記憶體 DRAM 或靜態隨機存取記憶體 SRAM 等之揮發性記憶體受到  $\alpha$  線影響而會劣化其信賴

(69)

性，但是快閃記憶體等非揮發性記憶體則因其記憶體陣列構造而不受  $\alpha$  線影響。

本發明目的之一為，提供包含高信賴性之 ROM 與 RAM 的記憶體系統。

圖 23 為本發明第 3 實施形態適用之由資訊處理裝置 CPU\_CHIP23、記憶體模組 MSM23、及動態隨機存取記憶體 DRAM\_CHIP 構成之記憶體系統之構成圖。

記憶體模組 MSM23 由快閃記憶體 FLASH\_CHIP 及控制電路 CT\_CHIP23 構成。

資訊處理裝置 CPU\_CHIP、快閃記憶體 FLASH\_CHIP、及動態隨機存取記憶體 DRAM\_CHIP 分別和圖 1 所示者相同。

控制電路 CT\_CHIP23 由：接受來自 NOR 介面 NOR IF 之讀出/寫入要求的 NOR 介面電路 NRIF，接受來自 NAND 介面 NAND IF 之讀出/寫入要求的 NAND 介面電路 NDIF，暫存器方塊 REG，奇偶確認電路 PRCH，快取記憶體 L2CacheP、PL2AP、PL2BP，預擷取控制電路 PREF，快閃控制電路 FLCTP，緩衝器電路 BFBK，及快閃錯誤控制電路 FLSP 構成。

彼等 NOR 介面 NOR IF、NOR 介面電路 NRIF、NAND 介面 NAND IF、NAND 介面電路 NDIF、SDRAM 介面 SDRAM\_IF、暫存器方塊 REG、位址轉換電路 DSTR、預擷取控制電路 PREF、快閃控制電路 FLCTP、緩衝器電路 BFBK、及快閃錯誤控制電路 FLSP 分別和圖 1 所示者相

(70)

同。

奇偶確認電路 PRCH 對由快取記憶體 L2CacheP 讀出之資料與奇偶資料進行奇偶確認的電路。

奇偶確認有偶數確認與奇數確認，奇偶確認電路 PRCH 可進行任一確認，但以下依據偶數確認之例加以說明。

快取記憶體 L2CacheP、PL2AP、PL2BP 為具有奇偶資料的快取記憶體，其以外之構成及動作均同圖 1 說明者。

快閃控制電路 FLCTP 為具有奇偶資料產生電路的控制電路，其以外之構成及動作均同圖 1 說明者。

說明由快取記憶體 L2Cache 讀出資料之動作之一例。

快取記憶體 L2Cache 命中時，直接由快取記憶體 L2CacheP 讀出資料與奇偶資料，於奇偶確認電路 PRCH 進行奇偶確認。

雖未特別限定，於偶數確認時確認 8 位元之資料與其對應之奇偶位元之 H 位準之數目是否為偶數，偶數個時判斷資料被正確讀出，奇數個時判斷讀出之資料有誤。

於奇偶確認電路 PRCH 判斷資料被正確讀出時，經由 NOR 介面電路 NRIF，藉由 NOR 介面 NOR IF 被輸出至資訊處理裝置 CPU\_CHIP。

$\alpha$  線引起之錯誤會導致快取記憶體 L2Cache 之資料被破壞，而判斷讀出之資料有誤時，快閃控制電路 FLCTP

(71)

由快閃記憶體 FLASH\_CHIP 讀出產生錯誤之資料之基礎資料，而傳送至快閃錯誤控制電路 FLSP。

預擷取控制電路 PREF 利用在快閃記憶體 FLASH\_CHIP 之資料緩衝器 DREG 內產生對快閃錯誤控制電路 FLSP 之資料傳送期間，將快取記憶體 PL2AP 及 PL2BP 保持之資料傳送至快取記憶體 L2CacheP，更新快取記憶體 L2Cache。於該更新同時進行資料於奇偶資料之更新。

快閃錯誤控制電路 FLSP，係對由快閃記憶體 FLASH\_CHIP 被傳送之資料進行錯誤檢測訂正，於電路 ECC，無錯誤時，該資料被傳送至快取記憶體 PL2AP，有錯誤時進行錯誤訂正之後，被傳送至快取記憶體 PL2AP。又，雖未特別限定，快閃錯誤控制電路 FLSP，對快取記憶體 PL2AP 之資料傳送時，係對 8 位元資料產生 1 位元之奇偶資料，奇偶資料亦同時被傳送至快取記憶體 PL2AP。雖未特別限定，於偶數確認，8 位元資料之中 H 位準之位元存在奇數個時，奇偶資料成為 H 位準，設定 H 位準之位元為偶數個。又，8 位元資料之中 H 位準之位元存在偶數個時，奇偶資料成為 L 位準，設定 H 位準之位元為偶數個。

被傳送至快取記憶體 PL2AP 之資料，係於奇偶確認電路 PRCH 進行奇偶確認。雖未特別限定，於偶數確認時係確認 8 位元之資料與其對應之奇偶位元之 H 位準之數目是否為偶數個，偶數個時判斷資料被正確讀出，奇數

(72)

個時判斷讀出之資料有誤。

於奇偶確認電路 PRCH 判斷資料被正確讀出時，經由 NOR 介面電路 NRIF，藉由 NOR 介面 NOR IF 被輸出至資訊處理裝置 CPU\_CHIP。

判斷讀出之資料有誤時，再度由快閃記憶體讀出資料。

如上述說明，因為軟性錯誤引起快取記憶體 L2Cache 之資料被破壞，而於奇偶確認電路 PRCH 判斷讀出之資料有誤時，由快閃記憶體 FLASH\_CHIP 讀出資料，如此則，可防止軟性錯誤引起之信賴性劣化。

(第 4 實施形態)

(DRAM 為 MCP 內)

圖 24 為本發明適用之另一實施形態，表示由資訊處理裝置 CPU\_CHIP、記憶體模組 MSM24 構成之記憶體系統。

記憶體模組 MSM24 由快閃記憶體 FLASH\_CHIP 及控制電路 CT\_CHIP 及動態隨機存取記憶體 DRAM\_CHIP 構成。

雖未特別限定，作為快閃記憶體 FLASH\_CHIP 使用之典型快閃記憶體，為具備 NAND 介面之大容量快閃記憶體。本實施形態為適用具備 AND 介面之大容量快閃記憶體之例。

動態隨機存取記憶體 DRAM\_CHIP 因內部構成或介面

(73)

之差異而有 EDO(Extended Data Out)、SDRAM (Synchronous DRAM)、DDR(Double Data Rate)等各種類。於記憶體模組 MSM24 可使用任一 DRAM。本實施形態為適用 SDRAM 之例。

控制電路 CT\_CHIP23 具備：NOR 介面 NOR IF 與 NAND 介面 NAND IF，為控制快閃記憶體 FLASH\_CHIP 與資訊處理裝置 CPU\_CHIP 間之資料傳送的電路，分別和圖 1 所示者相同。

又，動態隨機存取記憶體 DRAM\_CHIP 被搭載於記憶體模組 MSM24，構成欸為藉由 SDRAM 介面 SDRAM IF 直接進行與資訊處理裝置 CPU\_CHIP 間之資料傳送，因此具備 NOR 介面、NAND 介面及 SDRAM 介面的記憶體模組 MSM24，可實現圖 1 所示本發明。

如上述說明，藉由將動態隨機存取記憶體 DRAM\_CHIP 內藏於記憶體模組，可實現裝置之小型化、可實現本發明。

(第 5 實施形態)

(硬碟)

圖 25 為本發明適用之第 5 實施形態，表示由資訊處理裝置 CPU\_CHIP、動態隨機存取記憶體 DRAM\_CHIP、及記憶體模組 MSM25 構成之記憶體系統。

記憶體模組 MSM25 由硬碟 HDisk 及控制電路 CT\_CHIP25 構成。

(74)

資訊處理裝置 CPU\_CHIP 與動態隨機存取記憶體 DRAM\_CHIP 係分別和圖 1 所示者相同。

本實施形態，為取代快閃記憶體改為適用硬碟 HDisk 之一例。

硬碟 HDisk 為較快閃記憶體 FLASH\_CHIP 大容量、且可實現低成本之記憶體。由硬碟 HDisk 讀出資料之介面有 IDE、ATA 及 UltraATA 等。本實施形態中說明 UltraATA 之例，但亦可適用 IDE、ATA 等。

關於資料讀出單位、位址管理方法、錯誤檢測訂正方法、可使原本以硬碟實現之資料讀出單位、位址管理方法、錯誤檢測訂正方法等繼續適用於快閃記憶體，而取代快閃記憶體改用硬碟 HDisk。

控制電路 CT\_CHIP25 由：接受來自 NOR 介面 NOR IF 之讀出/寫入要求的 NOR 介面電路 NRIF，接受來自 NAND 介面 NAND IF 之讀出/寫入要求的 NAND 介面電路 NDIF，暫存器方塊 REG，位址轉換電路 DSTR，快取記憶體 L2Cache、PL2A、PL2B，預擷取控制電路 PREF，硬碟控制電路 FLCT25，緩衝器電路 BFBK，及快閃錯誤控制電路 FLSP 構成。

NOR 介面 NOR IF、NOR 介面電路 NRIF、NAND 介面 NAND IF、NAND 介面電路 NDIF、SDRAM 介面 SDRAM\_IF、暫存器方塊 REG、位址轉換電路 DSTR、快取記憶體 L2Cache、PL2A、PL2B、預擷取控制電路 PREF、緩衝器電路 BFBK、及快閃錯誤控制電路 FLSP 分

(75)

別和圖 1 所示者相同構成及動作。

硬碟控制電路 FLCT25 由時脈控制電路 OSC、記憶體位址管理電路 MMG、存取調停電路 ARB 及控制電路 HRWCL 構成。

時脈控制電路 OSC、記憶體位址管理電路 MMG、存取調停電路 ARB 係分別和圖 1 所示者為相同構成及動作。又，控制電路 HRWCL，為對圖 1 所示控制電路 RWCL 由 U 硬碟 HDisk 讀出資料，而具備 UltraATA 介面之控制電路，由硬碟 HDisk 讀出資料後之動作係和圖 1 所示控制電路 RWCL 相同。因此，適用硬碟 HDisk 可實現本發明。

如上述說明，藉由使用硬碟 HDisk 可實現更大容量、且低成本之記憶體系統。

#### (第 6 實施形態)

圖 26 為本發明第 6 實施形態之例，圖 26(a)為上面圖，圖 26(b)為沿上面圖之 A-A'線部分的斷面圖。

本實施形態之多晶片模組，係在藉由 BGA(球柵陣列)安裝於裝置上的基板(例如以玻璃環氧基板形成之印刷電路板)PCB 上，搭載 CHIPM1、CHIPM2。CHIPM1 為非揮發性記憶體、CHIPM2 為 DRAM。

藉由本多晶片模組，可將圖 1 所示記憶體模組 MSM 及圖 22 所示記憶體模組 MSM22 集積於 1 個封裝體。

CHIPM1 與基板 PCB 上之接合焊墊被以接合導線

(76)

PATH2 連接，CHIPM2 與基板 PCB 上之接合焊墊被以接合導線 PATH1 連接。CHIPM1 與 CHIPM2 被以接合導線 PATH3 連接。

搭載晶片之基板 PCB 上面被進行樹脂模塑而保護各晶片與連接配線。又，由其上起使用金屬、陶瓷、或樹脂被覆亦可。

本實施形態中，於印刷電路板 PCB 上直接搭載裸晶片而可構成安裝面積小的記憶體模組。又，可積層各晶片，可縮短晶片與基板 PCB 間之配線長度，晶片間之配線及各晶片與基板 PCB 間之配線可以接合導線方式予以統一，可以較少步驟數製造記憶體模組。

又，晶片間藉由接合導線直接配線，可減少基板 PCB 上之接合焊墊數及接合導線數，可以較少步驟數製造記憶體模組。使用樹脂被覆時，可構成更強韌之記憶體模組。使用金屬、陶瓷被覆時，除強度以外，可構成具有極佳散熱性或蔽磁效果之記憶體模組。

#### (第 7 實施形態)

圖 27 為本發明第 6 實施形態之例，圖 27(a)為上面圖，圖 27(b)為沿上面圖之 A-A'線部分的斷面圖。

本實施形態之多晶片模組，係在藉由 BGA(球柵陣列)安裝於裝置上的基板(例如以玻璃環氧基板形成之印刷電路板)PCB 上，搭載 CHIPM1、CHIPM2、CHIPM3。CHIPM1 為非揮發性記憶體、CHIPM2 為 DRAM。CHIPM3

(77)

為由中央運算裝置 CPU、NOR 控制器 NRC 及 DRAM 控制器 SDC 構成的資訊處理裝置、或控制 CHIPM1 與 CHIPM2 之資料傳送的控制電路。

藉由本多晶片模組，可將圖 24 所示記憶體模組 MSM24 集積於 1 個封裝體。

CHIPM1 與基板 PCB 上之接合焊墊被以接合導線 PATH2 連接，CHIPM2 與基板 PCB 上之接合焊墊被以接合導線 PATH1 連接。CHIPM1 與 CHIPM2 被以接合導線 PATH3 連接。CHIPM3 之安裝及配線使用球柵陣列。

本安裝方法中，可積層 3 晶片，可減少安裝面積。另外，CHIPM3 與基板 PCB 間之接合成為不必要，可減少接合導線數，可以減少組裝工時，能實現更高信賴性之多晶片模組。

圖 27 為本發明多晶片模組之第 8 實施形態之例，圖 27(a)為上面圖，圖 27(b)為沿上面圖之 A-A'線部分的斷面圖。

(第 8 實施形態)

圖 28 為本發明多晶片模組之第 7 實施形態之例，圖 28(a)為上面圖，圖 28(b)為沿上面圖之 A-A'線部分的斷面圖。

本實施形態之多晶片模組，係在藉由 BGA(球柵陣列)安裝於裝置上的基板(例如以玻璃環氧基板形成之印刷電路板)PCB 上，搭載 CHIPM1、CHIPM2、CHIPM3、

(78)

CHIPM4。CHIPM1 為非揮發性記憶體、CHIPM3 為 DRAM。CHIPM2 為 CHIPM1 與 CHIPM2 間之資料傳送控制用的控制電路，CHIPM4 為由中央運算裝置 CPU、NOR 控制器 NRC 及 DRAM 控制器 SDC 構成的資訊處理裝置。

本安裝方法中，可將圖 1 所示記憶體系統、圖 22 所示記憶體系統模組、圖 23 所示記憶體系統及圖 24 所示記憶體系統集積於 1 個封裝體。

CHIPM1 與基板 PCB 上之接合焊墊被以接合導線 PATH2 連接，CHIPM2 與基板 PCB 上之接合焊墊被以接合導線 PATH4 連接，CHIPM3 與基板 PCB 上之接合焊墊被以接合導線 PATH1 連接。

CHIPM1 與 CHIPM3 被以接合導線 PATH3 連接，CHIPM2 與 CHIPM3 被以接合導線 PATH5 連接。

CHIPM4 之安裝及配線使用球柵陣列。

本安裝方法中，於印刷電路板 PCB 上直接搭載裸晶片而可構成安裝面積小的記憶體模組。又，各晶片可近接配置，可縮短晶片間配線長度。

又，晶片間藉由接合導線直接配線，可減少基板 PCB 上之接合焊墊數及接合導線數，可以較少步驟數製造記憶體模組。

另外，CHIPM4 與基板 PCB 間之接合成為不必要，可減少接合配線數，可以減少組裝工時，能實現更高信賴性之多晶片模組。

(79)

## (第 9 實施形態)

圖 29 為本發明多晶片模組之第 9 實施形態之例，圖 29(a)為上面圖，圖 29(b)為沿上面圖之 A\_A'線部分的斷面圖。

本實施形態之多晶片模組，係在藉由 BGA(球柵陣列)安裝於裝置上的基板(例如以玻璃環氧基板形成之印刷電路板)PCB 上，搭載 CHIPM1、CHIPM2、CHIPM3。CHIPM1 為非揮發性記憶體、CHIPM2 及 CHIPM3 為 DRAM。又，晶片間之配線及各晶片與基板 PCB 間之配線可以接合導線方式予以統一，可以較少步驟數製造記憶體模組。本安裝方法中，可將圖 24 所示記憶體模組 MSM24 集積於 1 個封裝體。

CHIPM1 與基板 PCB 上之接合焊墊被以接合導線 PATH2 連接，CHIPM2 與基板 PCB 上之接合焊墊被以接合導線 PATH1 連接，CHIPM3 與基板 PCB 上之接合焊墊被以接合導線 PATH3 連接。

本安裝方法中，於印刷電路板 PCB 上直接搭載裸晶片而可構成安裝面積小的記憶體模組。又，各晶片可近接配置，可縮短晶片間配線長度。

各晶片與基板 PCB 間之配線可以接合導線方式予以統一，可以較少步驟數製造記憶體模組。

## (第 10 實施形態)

圖 30 為本發明多晶片模組之第 9 實施形態之例，圖

(80)

30(a)爲上面圖，圖 30(b)爲沿上面圖之 A\_A'線部分的斷面圖。

本實施形態之多晶片模組，係在藉由 BGA(球柵陣列)安裝於裝置上的基板(例如以玻璃環氧基板形成之印刷電路板)PCB 上，搭載 CHIPM1、CHIPM2、CHIPM3、CHIPM4。CHIPM1 爲非揮發性記憶體、CHIPM2 及 CHIPM3 爲 DRAM。CHIPM4 爲由中央運算裝置 CPU、NOR 控制器 NRC 及 DRAM 控制器 SDC 構成的資訊處理裝置。

本安裝方法中，可將圖 1 所示記憶體系統、圖 22 所示記憶體系統模組、圖 23 所示記憶體系統及圖 24 所示記憶體系統集積於 1 個封裝體。

CHIPM1 與基板 PCB 上之接合焊墊被以接合導線 PATH2 連接，CHIPM2 與基板 PCB 上之接合焊墊被以接合導線 PATH1 連接，CHIPM3 與基板 PCB 上之接合焊墊被以接合導線 PATH3 連接。CHIPM4 之安裝及配線使用球柵陣列。

本實施形態中，於印刷電路板 PCB 上直接搭載裸晶片而可構成安裝面積小的記憶體模組。又，各晶片可近接配置，可縮短晶片間配線長度。另外，CHIPM4 與基板 PCB 間之接合成爲不必要，可減少接合配線數，可以減少組裝工時，能實現更高信賴性之多晶片模組。

(第 11 實施形態)

(81)

圖 31 為為利用本發明之記憶體模組的行動電話之第 10 實施形態。行動電話由天線 ANT、無限區塊 RF、基頻區塊 BB、聲音編解碼器區塊 SP、揚聲器 SK、麥克風 MK、微處理器 CPU、動態隨機存取記憶體 DRAM、液晶顯示部 LCD、鍵盤 KEY、及本發明之記憶體模組 MSM 構成。

說明通話時之動作。

經由天線 ANT 受信之聲音於無限區塊 RF 被放大，被輸入基頻區塊 BB。於基頻區塊 BB，將聲音之類比信號轉換為數位信號，進行錯誤訂正及解碼處理，輸出至聲音編解碼器區塊 SP。聲音編解碼器區塊 SP 將數位信號轉換為類比信號輸出至揚聲器 SK，則由揚聲器 SK 可聽到對方之聲音。

說明由行動電話存取網際網路之首頁、下載音樂資料，再生予以聽取，最後保存下載之音樂資料的一連串作業之動作。

於記憶體模組 MSM 儲存基本程式、應用程式(郵件、Web 瀏覽器、音樂再生程式、動作再生程式、遊戲程式等)、音樂資料、靜止畫資料、動畫資料等。

由鍵盤指示 Web 瀏覽器之啟動時，記憶體模組 MSM 內之 FLASH 儲存之 Web 瀏覽器之程式，被傳送至同一記憶體模組內之快取記憶體。對快取記憶體之傳送結束後，處理器 CPU 執行 DRAM 內之 Web 瀏覽器之程式，於液晶顯示部 LCD 顯示 Web 瀏覽器。當存取所要之首頁，由鍵

(82)

盤指示下載想要之音樂資料時，音樂資料經由天線 ANT 被受信，於無限區塊 RF 被放大，被輸入基頻區塊 BB。於基頻區塊 BB，將音樂資料之類比信號轉換為數位信號，進行錯誤訂正及解碼處理。轉換為數位信號之音樂資料暫時保存於 DRAM，最後被傳送至記憶體模組 MSM 之 FLASH 予以儲存。

之後，藉由鍵盤 KEY 指示音樂再生程式之啟動時，記憶體模組 MSM 內之 FLASH 儲存之音樂再生程式，被傳送至同一記憶體模組內之快取記憶體。對快取記憶體之傳送結束後，處理器 CPU 執行快取記憶體內之音樂再生程式，於液晶顯示部 LCD 顯示音樂再生程式。

藉由鍵盤 KEY 指示聽取由 FLASH 下載之音樂資料時，處理器 CPU 執行音樂再生程式，處理保持於 FLASH 之音樂資料，最後可由揚聲器 SK 聽取音樂。

此時，本發明之記憶體模組係使用大容量之快取記憶體，Web 瀏覽器及音樂再生程式保持於快取記憶體，任一程式均可由 CPU 同時執行。另外，啟動電子郵件程式時，可同時執行電子郵件程式、郵件之傳送/接收。

停止 Web 瀏覽器時，乃然保持於記憶體模組內之快取記憶體，因而再度啟動時可以啟動。

由鍵盤 KEY 輸入電源切斷指示時，記憶體模組僅使快取記憶體動作，可執行最低限之資料保持，可以盡量減少消費電力。

如上述說明，藉由使用本發明之記憶體模組，可以儲

(83)

存大量郵件、音樂再生、應用程式、或音樂資料、靜止畫資料、動畫資料等，可同時執行多數程式。

(第 12 實施形態)

圖 32 為為利用本發明之記憶體系統的行動電話之第 12 實施形態。行動電話由天線 ANT、無限區塊 RF、基頻區塊 BB、聲音編解碼器區塊 SP、揚聲器 SK、麥克風 MK、處理器 CPU、動態隨機存取記憶體 DRAM、液晶顯示部 LCD、鍵盤 KEY、及將處理器 CPU、動態隨機存取記憶體 DRAM 及記憶體模組 MSM 集積於 1 個封裝體的本發明之記憶體系統 SLP 構成。

藉由本發明之記憶體系統 SLP 之使用，可減少元件數，可實現低成本，可提升行動電話之信賴性，可縮小構成行動電話之元件安裝面積，可實現行動電話之小型化。

上述說明知本發明所能獲得之主要效果如下。

第 1，電源投入時，起動程式自動由 FLASH 傳送至快取記憶體，行動機器可讀出快取記憶體之起動程式，可立即起動。

第 2，電源投入時，必要之程式自動由 FLASH 傳送至快取記憶體，於行動機器動作之時點，可立即存取本發明之記憶體模組，可實現行動機器之高性能化。

第 3，於適用本發明記憶體系統的記憶體模組中，FLASH 之資料被傳送保持於快取記憶體內，行動機器可直接存取快取記憶體，可實現高速之資料傳送。

(84)

第 4，於適用本發明記憶體系統的記憶體模組中，具有資料之先行讀出機能，次一使用之資料可事先傳送至快取記憶體，可提升快取記憶體之命中率，可實現高速之資料傳送。

第 5，於適用本發明記憶體系統的記憶體模組中，快閃記憶體內之資料暫存器可使用作為快取記憶體，可有效增加快取記憶體之容量，可提升命中率，可實現高速之資料傳送。

第 6，於適用本發明記憶體系統的記憶體模組中，進行位址轉換分散快取記憶體之索引位址，可提升快取記憶體之利用率，可實現高速之資料傳送。

第 7，對快閃記憶體進行寫入時，可由快取記憶體讀出資料，可實現行動機器動作之高速化。

第 8，同步型 NOR 介面或非同步型 NOR 介面，位址轉換方式、快取區域及非快取區域、快取鎖定區域及非快取鎖定區域、寫入次數平均化處理區域及非寫入次數平均化處理區域、寫入保護區域及非寫入保護區域可分別獨立設定，可配合系統於使用者側自由選擇。

第 9，於本記憶體模組內部，來自 FLASH 之讀出時，進行錯誤錯誤檢測及訂正，寫入時對未正確進行寫入之不良位址進行代替處理，因而可以高速處理，且可保有信賴性。

第 10，於本記憶體模組內部，來自快取記憶體之讀出時，進行錯誤檢測，錯誤時由快閃記憶體進行資料讀

(85)

出，因而可以高速處理，且可保有信賴性。

第 11，於本記憶體模組內部，進行快閃記憶體之寫入次數平均化處理，因而可以高速處理，且可保有信賴性。

第 12，經由通常之介面的 NOR 介面、NAND 介面及 AND 介面，將起動程式或自動傳送區域指定資料寫入 FLASH 之初期程式區域，可變化電源投入後之起動方法或資料傳送區域，可依據行動機器之要求圓滑地對應，可實現高機能化。

第 13，將多數半導體晶片安裝於 1 個封裝體，可提供小安裝面積之系統記憶體、模組。

(發明效果)

可實現高機能之記憶體。

#### 【圖式簡單說明】

圖 1 為本發明適用之記憶體系統構成。

圖 2 為本發明適用之記憶體系統之位址對映之一例說明圖。

圖 3 為本發明適用之記憶體系統之暫存器方塊之一例說明圖。

圖 4 為本發明適用之記憶體系統之電源投入時之動作一例說明圖。

圖 5 為本發明適用之記憶體系統之位址轉換及快取記

(86)

憶體之一例之圖。

圖 6 為本發明適用之記憶體系統之位址轉換及快取記憶體之一例之圖。

圖 7 為本發明適用之記憶體系統之位址轉換之一例之圖。

圖 8 為本發明適用之記憶體系統之快取記憶體之一例之圖。

圖 9 為本發明適用之記憶體系統之快取記憶體之資料更新之一例之圖。

圖 10 為本發明適用之記憶體系統之快取記憶體之資料更新之一例之圖。

圖 11 為本發明適用之記憶體系統之暫存器方塊之設定方法之一例之圖。

圖 12 為本發明適用之記憶體系統之暫存器方塊之設定方法之一例之圖。

圖 13 為本發明適用之記憶體系統之暫存器方塊之設定方法之一例之圖。

圖 14 為本發明適用之記憶體系統之資料讀出動作流程之一例之流程圖。

圖 15 為本發明適用之記憶體系統之資料寫入動作流程之一例之流程圖。

圖 16 為本發明適用之記憶體系統之資料抹除動作流程之一例之流程圖。

圖 17 為本發明適用之記憶體系統之讀出動作流程之

(87)

一例之流程圖。

圖 18 為本發明適用之記憶體系統之快取記憶體之一例之圖。

圖 19 為本發明適用之記憶體系統之快取鎖定解除方法之一例之圖。

圖 20 為本發明適用之記憶體系統之資料讀出動作流程之一例之流程圖。

圖 21 為本發明適用之記憶體系統之資料讀出動作流程之一例之流程圖。

圖 22 為本發明適用之記憶體系統之構成圖。

圖 23 為本發明適用之記憶體系統之構成圖。

圖 24 為本發明適用之記憶體系統之構成圖。

圖 25 為本發明適用之記憶體系統之構成圖。

圖 26 為本發明之記憶體系統之安裝狀態之一例之圖。

圖 27 為本發明之記憶體系統之安裝狀態之一例之圖。

圖 28 為本發明之記憶體系統之安裝狀態之一例之圖。

圖 29 為本發明之記憶體系統之安裝狀態之一例之圖。

圖 30 為本發明之記憶體系統之安裝狀態之一例之圖。

圖 31 為利用本發明之記憶體系統的行動電話之構成

(88)

例方塊圖。

圖 32 為利用本發明之記憶體系統的行動電話之構成例方塊圖。

圖 33 為行動電話使用之習知記憶體構成例方塊圖。

【主要元件符號說明】

CPU\_CHIP：資訊處理裝置

CPU：資訊處理裝置

MSM：記憶體模組

NRC：NOR 快閃控制器

NDC：NAND 快閃控制器

SDC：DRAM 控制器

NOR IF：NOR 介面

NAND IF1、NAND IF2：NAND 介面

SDRAMIF2：SDRAM 介面

NRIF：NOR 介面電路

NDIF：NAND 介面電路

CT\_CHIP：控制電路

REG：暫存器方塊

DSTR：位址轉換電路

L2Cache：快取記憶體

PL2A：快取記憶體

PL2B：快取記憶體

PREF：預擷取控制電路

PL2Hit：命中判斷電路

(89)

L3Hit：命中判斷電路

PRECT：先行讀出指示電路

FLCT：快閃控制電路

OSC：時脈控制電路

MMG：記憶體位址管理電路

ARB：存取調停電路

RWCL：控制電路

FLSP：快閃錯誤控制電路

ECC：錯誤檢測訂正電路

BUF：緩衝器電路

REF：代替處理電路

WLW：寫入次數平均化電路

FLASH\_CHIP：快閃記憶體

FCNT：控制電路

DREG：資料緩衝器

MARY：記憶格陣列

DRAM\_CHIP：動態隨機存取記憶體

CLK：時脈信號

Wait：Wait 信號

PCMP：初期動作結束信號

MSM22：記憶體模組

FLASH\_CHIP22：快閃記憶體

FCNT22：控制電路

DREG0、1、2、3：資料緩衝器

(90)

BANK0、1、2、3：記憶體區塊

NAND IF22：NAND 介面

MSM23：記憶體模組

CT\_CHIP23：控制電路

FLCTP：快閃控制電路

L2Cache、PL2A、PL2B：快取記憶體

MSM24：記憶體模組

MSM25：記憶體模組

FLCT25：快閃控制電路

CT\_CHIP25：控制電路

HRWCL：控制電路

HDisk：硬碟

MAIN：主區域

REPAREA：代替區域

NONCAREA：非快取區域

CAREA：快取區域

WLVL：寫入次數平均化處理區域

NONWLVL：非寫入次數平均化處理區域

CALOCK：快取鎖定區域

UNCALOCK：非快取鎖定區域

WPRO：寫入保護區域

NONWPRO：非寫入保護區域

InitProg：初期程式區域

AREA-A：主區域內區域

(91)

AREA-B：主區域內區域

AREA-C：主區域內區域

AREA-D：主區域內區域

RModeReg：讀出模態設定暫存器

CAreaReg：快取區域設定暫存器

CaLockReg：快取鎖定區域設定暫存器

WproReg：寫入保護區域設定暫存器

WlvlReg：寫入次數平均化處理區域設定暫存器

PWON：電源投入期間

RESET：重置期間

InitLoad：初期載入期間

AutoLoad：初期程式傳送期間

IDLE：待機期間

NRAD：來自 NOR 介面之位址信號

Tag2：標籤位址

Index2：索引位址

Line2：線大小

vld：資料有效位元信號

dt：無效位元信號

lck：快取鎖定位元信號

LRU：快取資料更新順序指定信號

AddressArray：快取/標籤位址陣列

DataArray：快取資料陣列

COMP：比較電路

(92)

SEL：選擇電路

CHIPM1、CHIPM2、CHIPM3、CHIPM4：半導體晶片

PCB：印刷電路板

COVER：模組之密封被覆

PATH1-PATH5：接合配線

ANT：天線

RF：無限區塊

BB：基頻區塊

SP：聲音編解碼器區塊

SK：揚聲器

MK：麥克風

CPU：處理器

DRAM：動態隨機存取記憶體

LCD：液晶顯示部

KEY：鍵盤

MSM：記憶體模組

SLP：將處理器 CPU、動態隨機存取記憶體 DRAM 及

記憶體模組 MSM 集積於 1 個封裝體的模組

PRC：資訊處理裝置

MCM：記憶體模組

CPU：中央運算裝置

SRC：記憶體控制器

NOR FLASH：NOR 型快閃記憶體

SRAM：靜態隨機存取記憶體

## 十、申請專利範圍

1. 一種記憶體模組，係包含：非揮發性記憶體，快取記憶體，及在上述非揮發性記憶體與上述快取記憶體之間進行存取的控制電路者；其特徵為具有：

第 1 非揮發性記憶體介面，進行自上述記憶體模組外部至快取記憶體之存取；及第 2 非揮發性記憶體介面，進行對上述非揮發性記憶體之存取；進行對上述第 1 非揮發性記憶體介面之存取時，保存於上述非揮發性記憶體之資料，係經由上述快取記憶體而由上述第 1 非揮發性記憶體介面被輸出；在資訊處理裝置進行對第 2 非揮發性記憶體介面之存取時，保存於上述非揮發性記憶體之資料，係不經由上述快取記憶體，而由上述第 2 非揮發性記憶體介面被輸出。

2. 如申請專利範圍第 1 項之記憶體模組，其中，  
電源投入後立即將上述非揮發性記憶體之特定位址區域之資料傳送至快取記憶體。

3. 如申請專利範圍第 1 項之記憶體模組，其中，  
自上述第 1 非揮發性記憶體介面至非揮發性記憶體之讀出存取，係經由上述快取記憶體進行，來自上述第 2 非揮發性記憶體介面之存取，係不經由上述快取記憶體，而對非揮發性記憶體進行存取。

4. 如申請專利範圍第 1 項之記憶體模組，其中，  
自上述非揮發性記憶體至上述快取記憶體之間之資料傳送，係藉由來自上述第 1 非揮發性記憶體介面之存取而

進行。

5. 如申請專利範圍第 1 項之記憶體模組，其中，

自上述非揮發性記憶體至上述快取記憶體之資料傳送及自上述非揮發性記憶體至上述第 2 非揮發性記憶體介面之資料傳送，係傳送錯誤訂正後之資料。

6. 如申請專利範圍第 1 項之記憶體模組，其中，

對上述非揮發性記憶體之資料傳送，係進行位址代替處理。

7. 如申請專利範圍第 1 項之記憶體模組，其中，

於上述非揮發性記憶體保持起動程式。

8. 如申請專利範圍第 1 項之記憶體模組，其中，

傳送範圍資料被保持於上述非揮發性記憶體，該傳送範圍資料用於表示自上述非揮發性記憶體至上述快取記憶體之於動作電源投入初期被傳送的資料之範圍。

9. 如申請專利範圍第 2 項之記憶體模組，其中，

用於表示上述非揮發性記憶體之特定位址區域之範圍的傳送範圍資料，係被保持於上述非揮發性記憶體。

10. 如申請專利範圍第 1 項之記憶體模組，其中，

上述第 1 非揮發性記憶體介面對快取記憶體之讀出存取，上述第 2 非揮發性記憶體介面對非揮發性記憶體之存取，及動態隨機存取記憶體介面對動態隨機存取記憶體之存取，係可以同時進行。

11. 如申請專利範圍第 1 項之記憶體模組，其中，

將上述記憶體模組之上述第 1 非揮發性記憶體介面之

讀出存取而產生自快閃記憶體至上述快取記憶體之資料傳送設定為第 1 優先，將上述第 2 非揮發性記憶體介面之存取而產生之上述快閃記憶體與上述第 2 非揮發性記憶體介面之間之資料傳送設定為第 2 優先，將上述第 1 非揮發性記憶體介面之寫入存取而產生之資料傳送設定為第 3 優先。

12. 如申請專利範圍第 5 項之記憶體模組，其中，  
來自上述快取記憶體之資料傳送，係進行錯誤確認。

13. 如申請專利範圍第 12 項之記憶體模組，其中，  
於上述錯誤確認發現錯誤時，由上述非揮發性記憶體對上述快取記憶體傳送資料。

14. 如申請專利範圍第 1 項之記憶體模組，其中，  
上述控制電路包含位址轉換電路，上述位址轉換電路，用於轉換由第 1 非揮發性記憶體介面輸入之位址，使用於上述快取記憶體之資料檢索。

15. 如申請專利範圍第 1 項之記憶體模組，其中，  
另包含動態隨機存取記憶體，  
另具有動態隨機存取記憶體介面用於對動態隨機存取記憶體之存取。

16. 如申請專利範圍第 15 項之記憶體模組，其中，  
來自上述動態隨機存取記憶體介面之存取，係不經由上述快取記憶體，而對動態隨機存取記憶體進行存取。

17. 一種資訊機器，係由資訊處理裝置、記憶裝置、及輸出裝置構成；其特徵為：

上述記憶裝置係記憶體模組，其包含：非揮發性記憶體；快取記憶體；及在上述非揮發性記憶體與上述快取記憶體之間進行存取的控制電路；

具有：由上述記憶體模組外部對快取記憶體進行存取的第 1 非揮發性記憶體介面；及對上述非揮發性記憶體進行存取的第 2 非揮發性記憶體介面。

18. 一種資訊機器，係由資訊處理裝置、記憶裝置、及輸出裝置構成；其特徵為：

上述記憶裝置係記憶體模組，其包含：非揮發性記憶體；快取記憶體；在上述非揮發性記憶體與上述快取記憶體之間進行存取的控制電路；及隨機存取記憶體；

具有：由上述記憶體模組外部對快取記憶體進行存取的第 1 非揮發性記憶體介面；對上述非揮發性記憶體進行存取的第 2 非揮發性記憶體介面；及對隨機存取記憶體進行存取的隨機存取記憶體介面。

圖 1

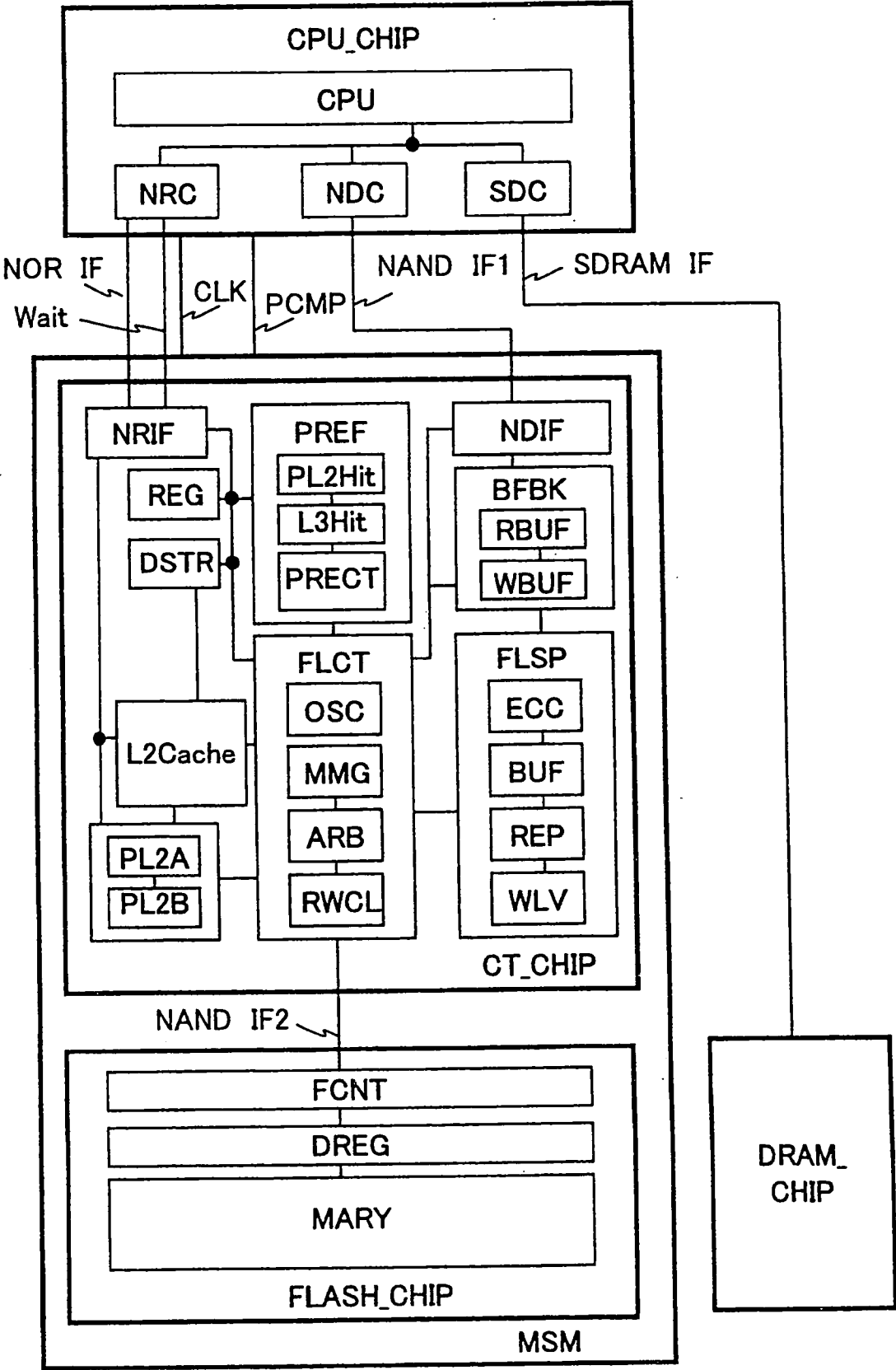


圖 2

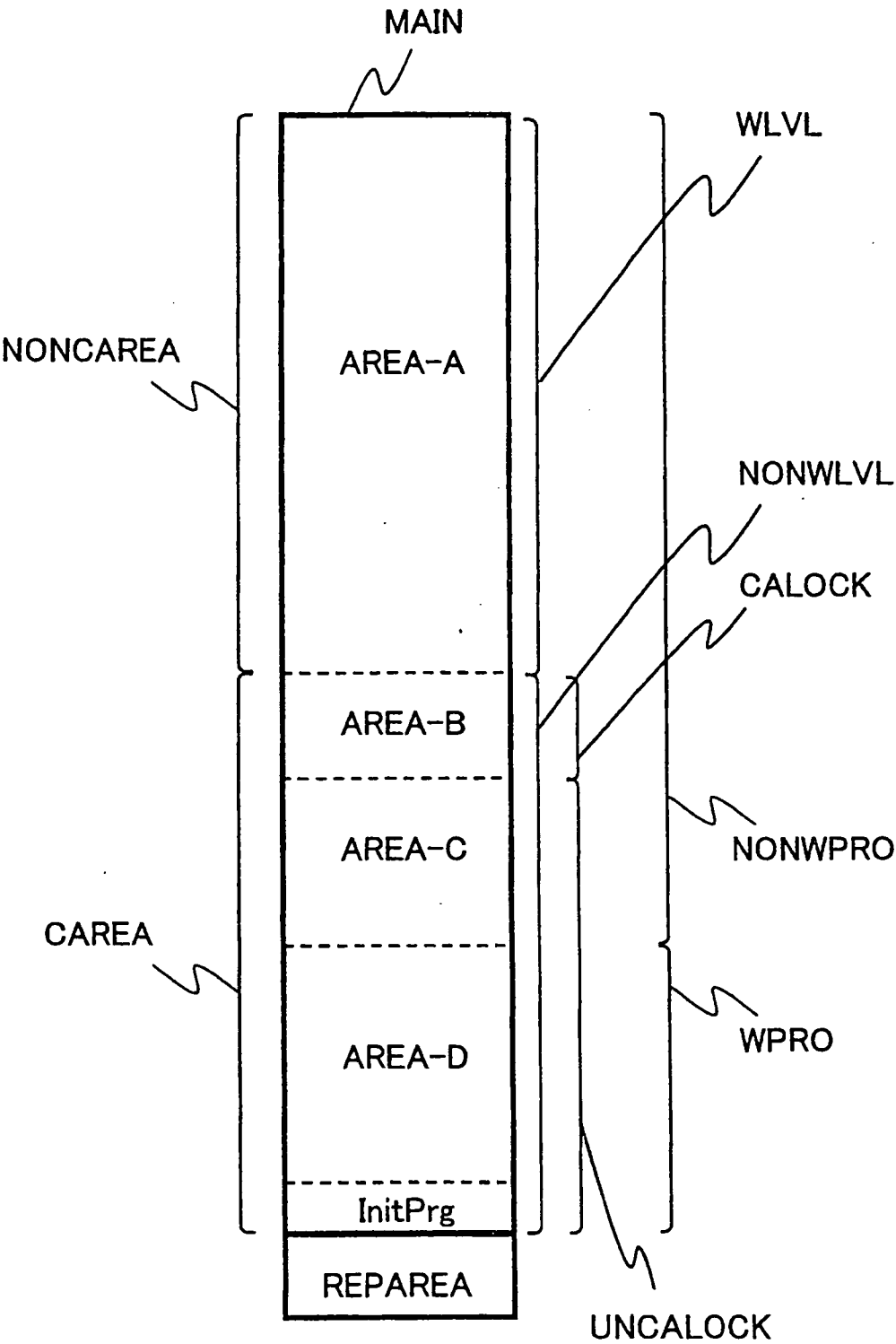


圖 3

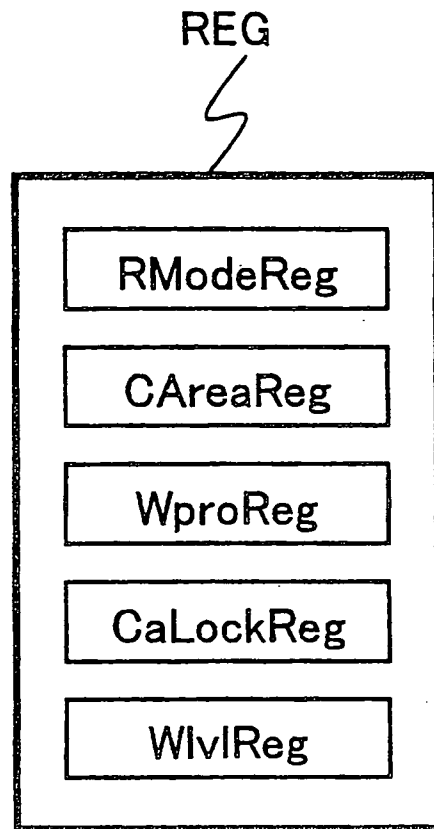


圖 4

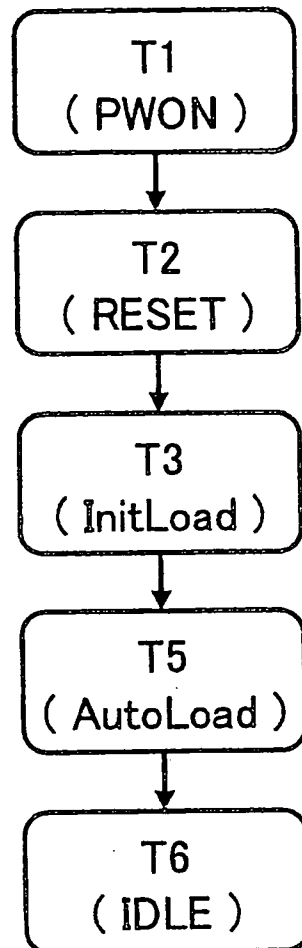
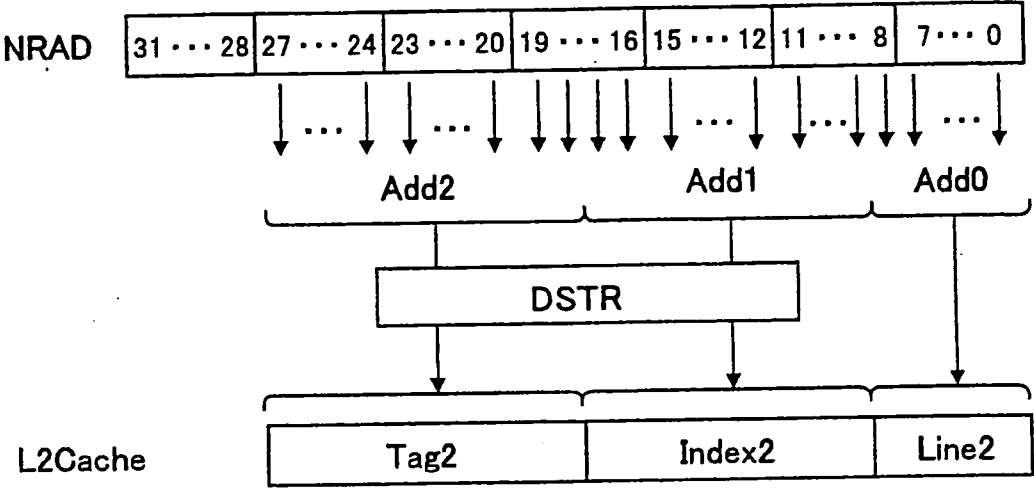


圖 5

( a )



( b )

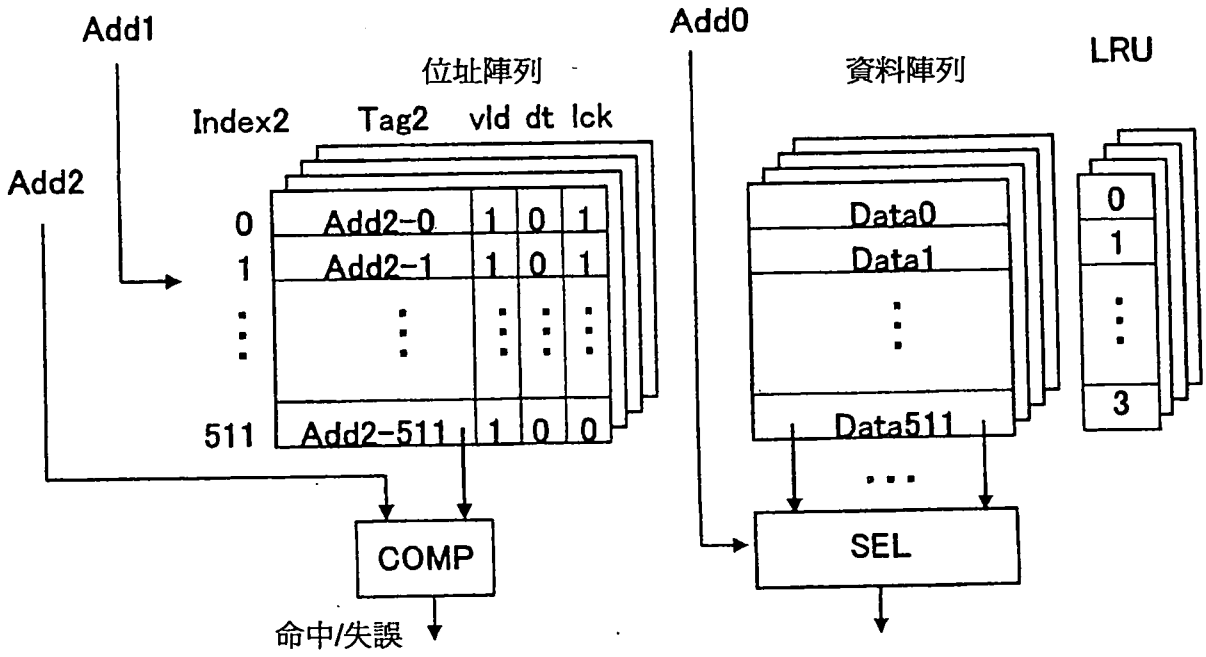
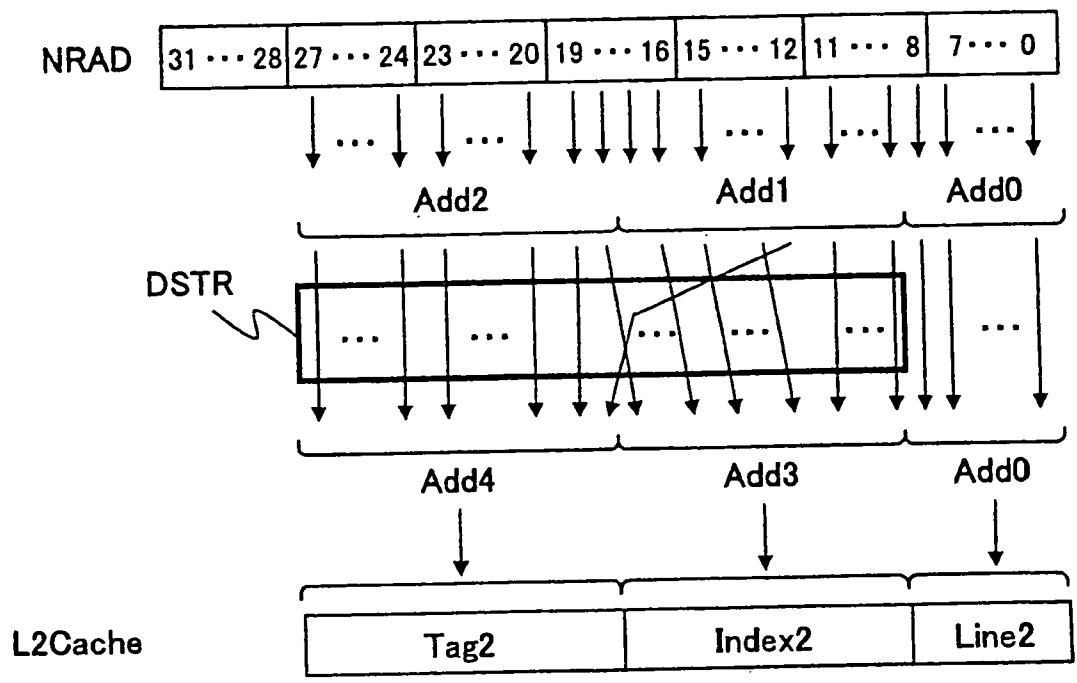


圖 6

( a )



( b )

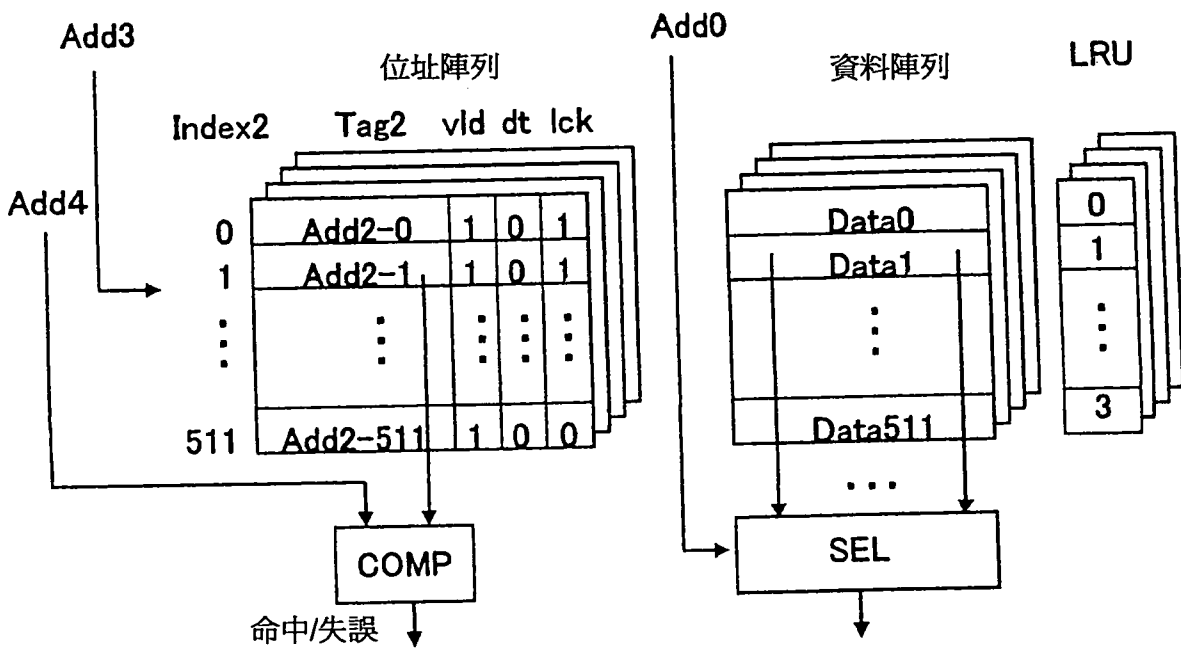


圖 7

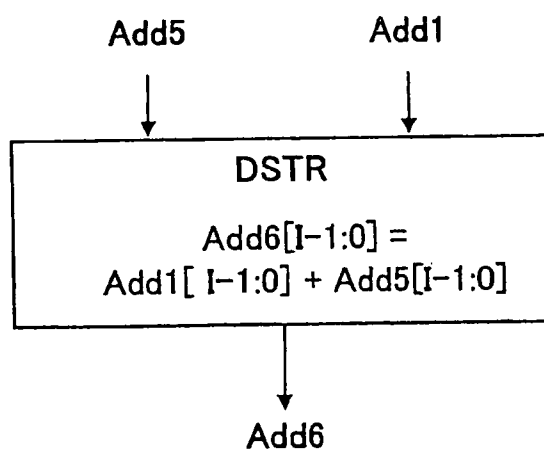


圖 8

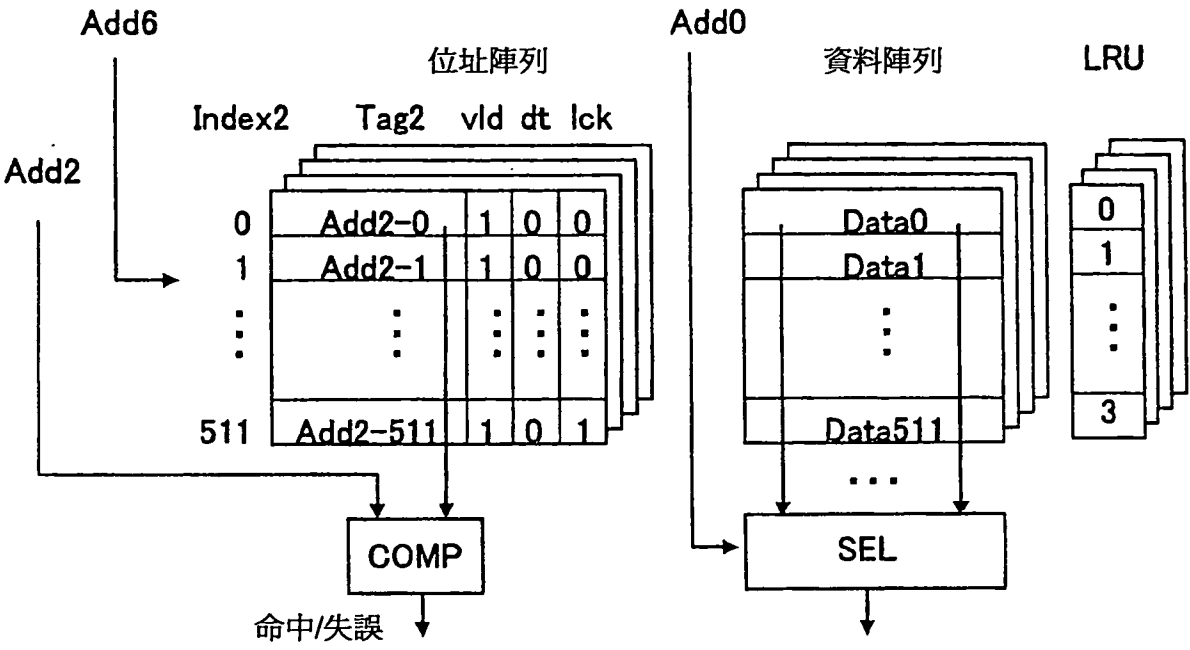


圖 9

( a )

時間  
↓

|  | Add1 | Add2<br>( Tag2 ) | Add8 | Add10<br>( Index2 ) | 更新   |
|--|------|------------------|------|---------------------|------|
|  | 65   | 0                | 0    | 65                  | none |
|  | 17   | 1                | 1    | 18                  | none |
|  | 66   | 0                | 0    | 66                  | none |
|  | 18   | 1                | 1    | 19                  | none |
|  | 67   | 0                | 0    | 67                  | none |
|  | 19   | 1                | 1    | 20                  | none |
|  | 68   | 0                | 0    | 68                  | none |
|  | 20   | 1                | 1    | 21                  | none |
|  | 69   | 0                | 0    | 69                  | none |
|  | 21   | 1                | 1    | 29                  | none |
|  | 70   | 0                | 0    | 70                  | none |
|  | 22   | 1                | 1    | 23                  | none |

( b )

時間  
↓

|  | Add1 | Add2<br>( Tag2 ) | Add1<br>( Index2 ) | 更新   |
|--|------|------------------|--------------------|------|
|  | 65   | 0                | 65                 | none |
|  | 17   | 1                | 17                 | none |
|  | 66   | 0                | 66                 | none |
|  | 18   | 1                | 18                 | none |
|  | 67   | 0                | 67                 | none |
|  | 19   | 1                | 19                 | none |
|  | 68   | 0                | 68                 | none |
|  | 20   | 1                | 20                 | none |
|  | 69   | 0                | 69                 | none |
|  | 21   | 1                | 21                 | none |
|  | 70   | 0                | 70                 | none |
|  | 22   | 1                | 22                 | none |

圖 10

( a )

時間



| Add1 | Add2<br>( Tag2 ) | Add8 | Add10<br>( Index2 ) | 更新   |
|------|------------------|------|---------------------|------|
| 0    | 1                | 1    | 1                   | none |
| 1    | 7                | 7    | 8                   | none |
| 0    | 15               | 15   | 15                  | none |
| 1    | 31               | 31   | 32                  | none |
| 0    | 63               | 63   | 63                  | none |
| 1    | 127              | 127  | 128                 | none |
| 0    | 255              | 255  | 255                 | none |
| 1    | 510              | 510  | 511                 | none |
| 0    | 2                | 2    | 2                   | none |
| 1    | 8                | 8    | 9                   | none |
| 0    | 16               | 16   | 16                  | none |
| 1    | 32               | 32   | 33                  | none |

( b )

時間



| Add1 | Add2<br>( Tag2 ) | Add1<br>( Index2 ) | 更新      |
|------|------------------|--------------------|---------|
| 0    | 1                | 0                  | none    |
| 1    | 7                | 1                  | none    |
| 0    | 15               | 0                  | none    |
| 1    | 31               | 1                  | none    |
| 0    | 63               | 0                  | none    |
| 1    | 127              | 1                  | none    |
| 0    | 255              | 0                  | none    |
| 1    | 510              | 1                  | none    |
| 0    | 2                | 0                  | replace |
| 1    | 8                | 1                  | replace |
| 0    | 16               | 0                  | replace |
| 1    | 32               | 1                  | replace |

圖 11

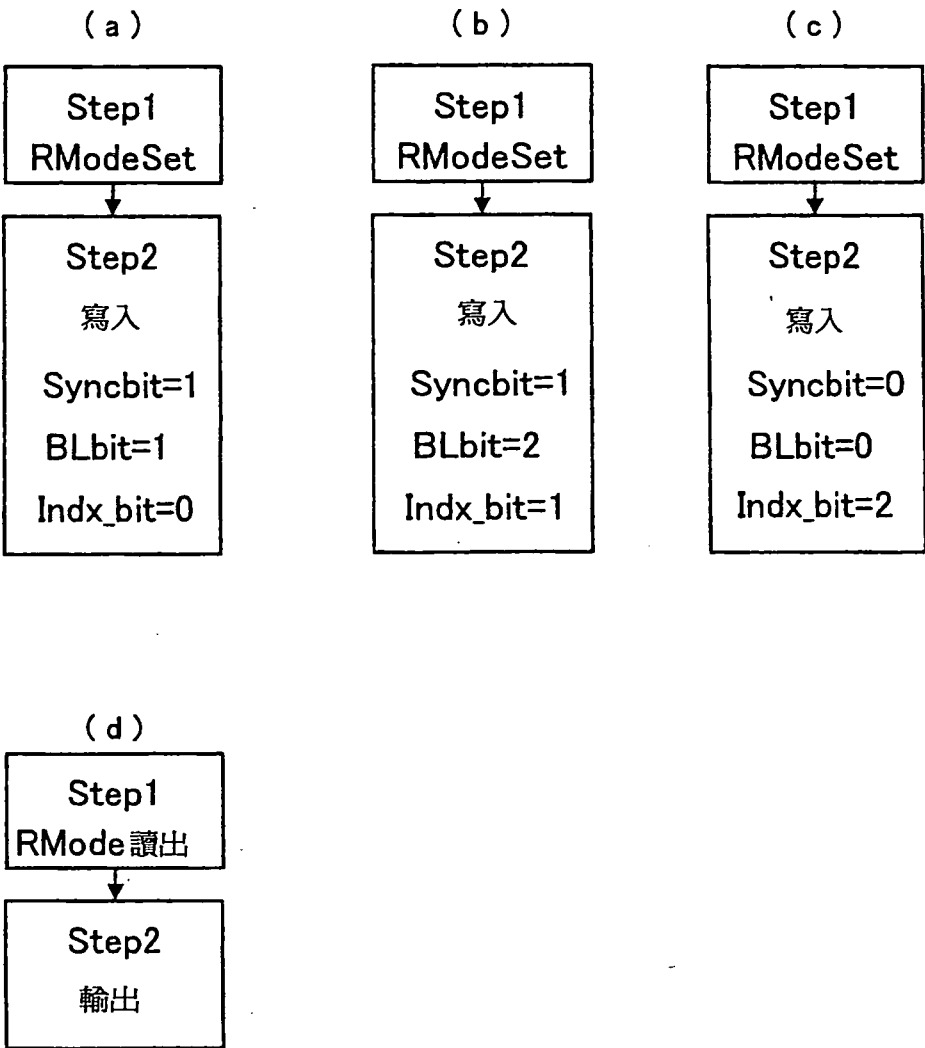


圖 12

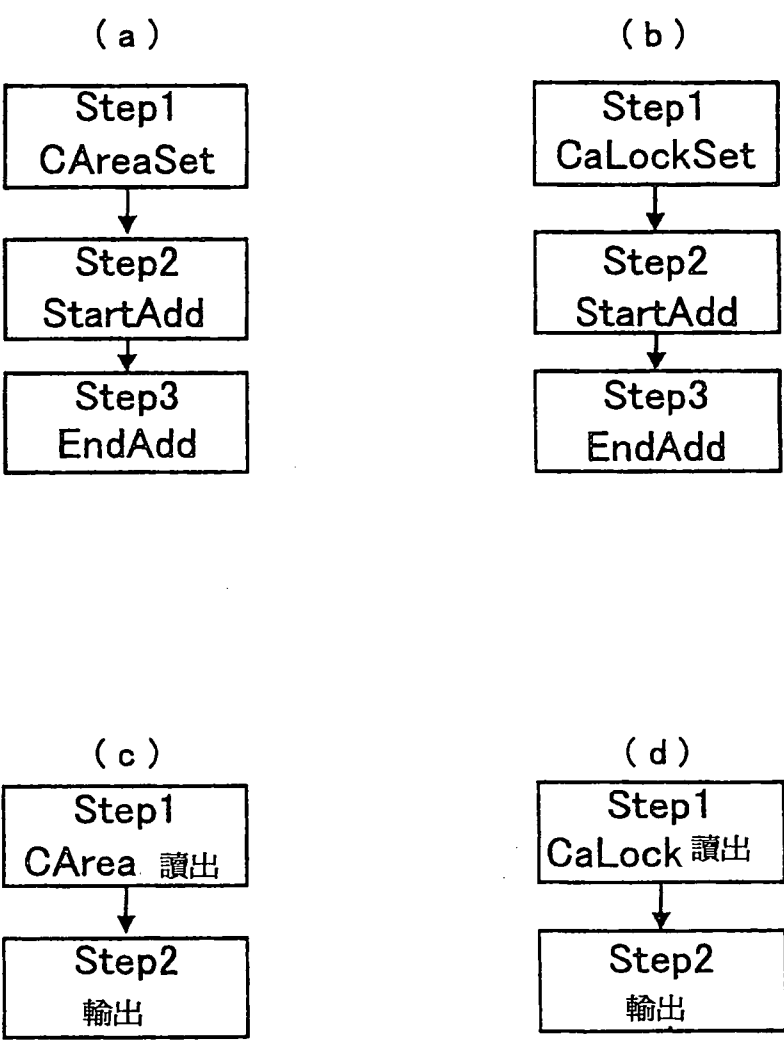


圖 13

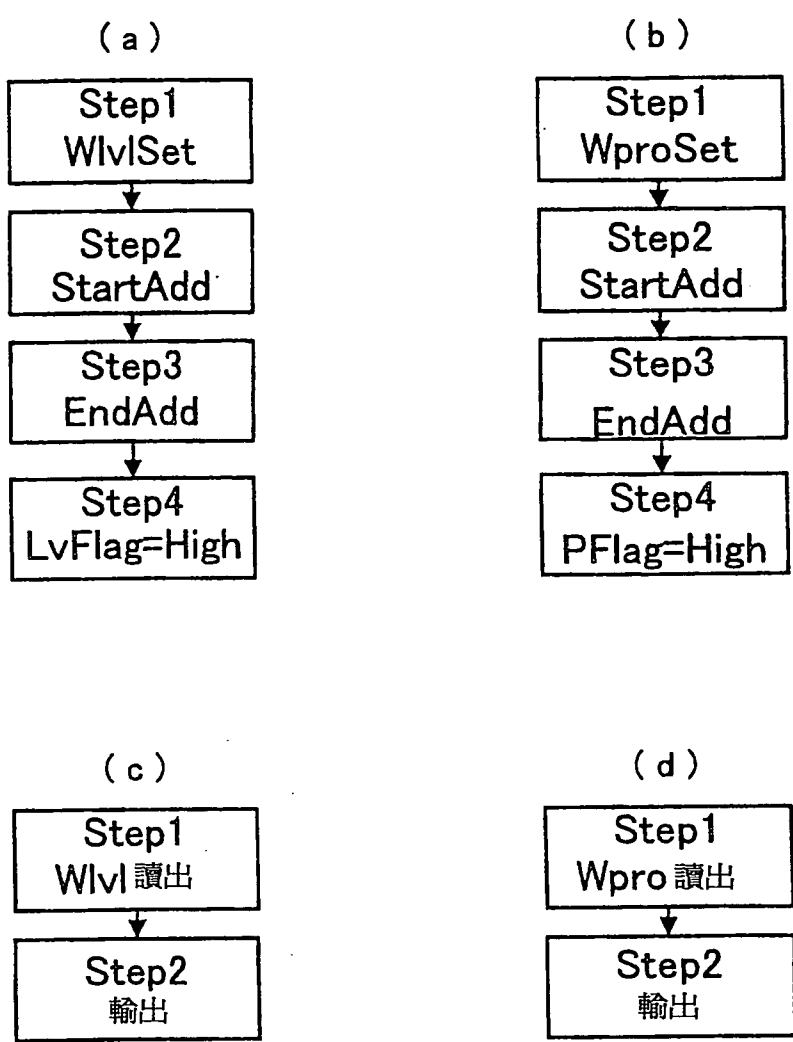


圖 14

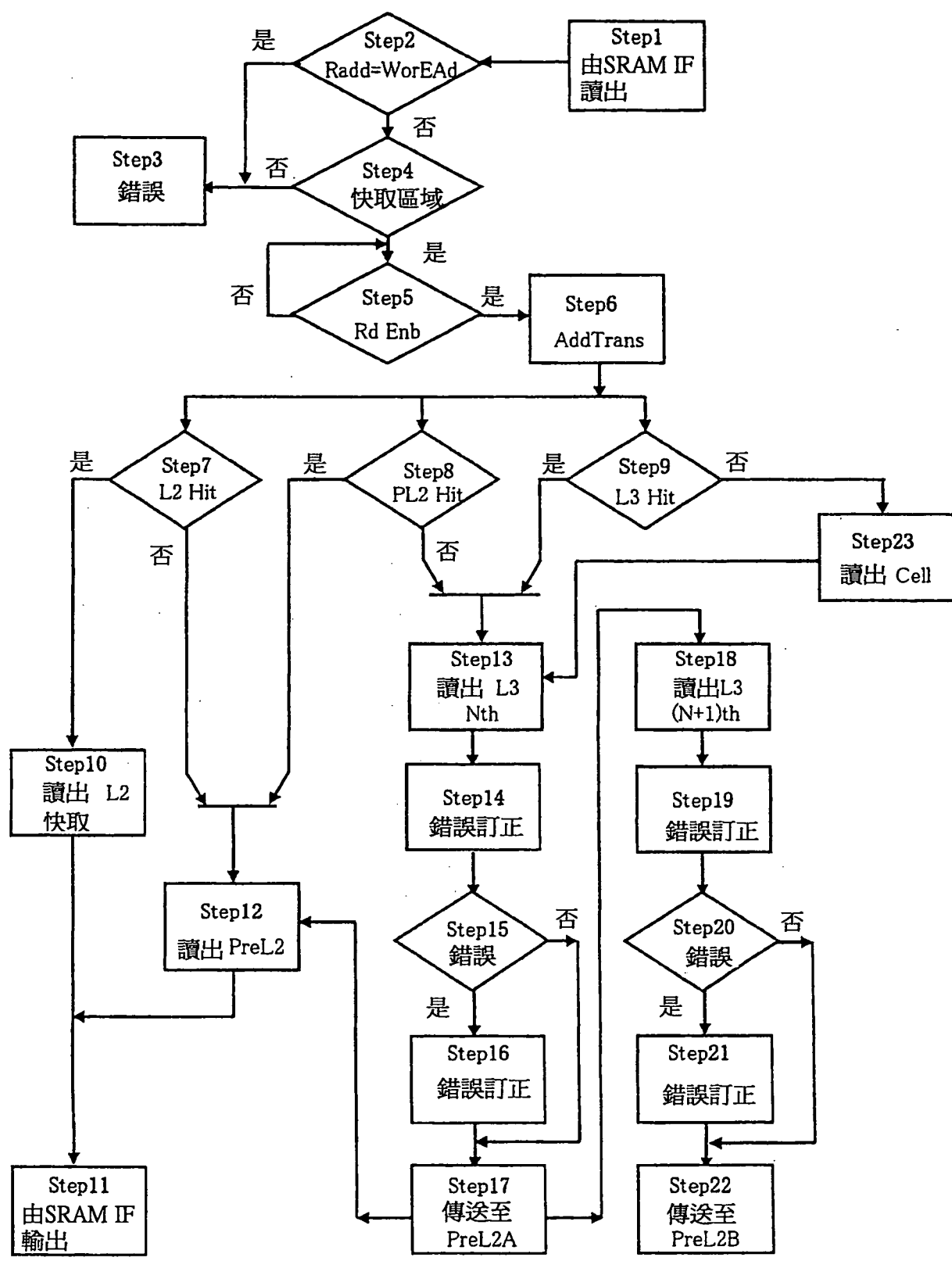


圖 15

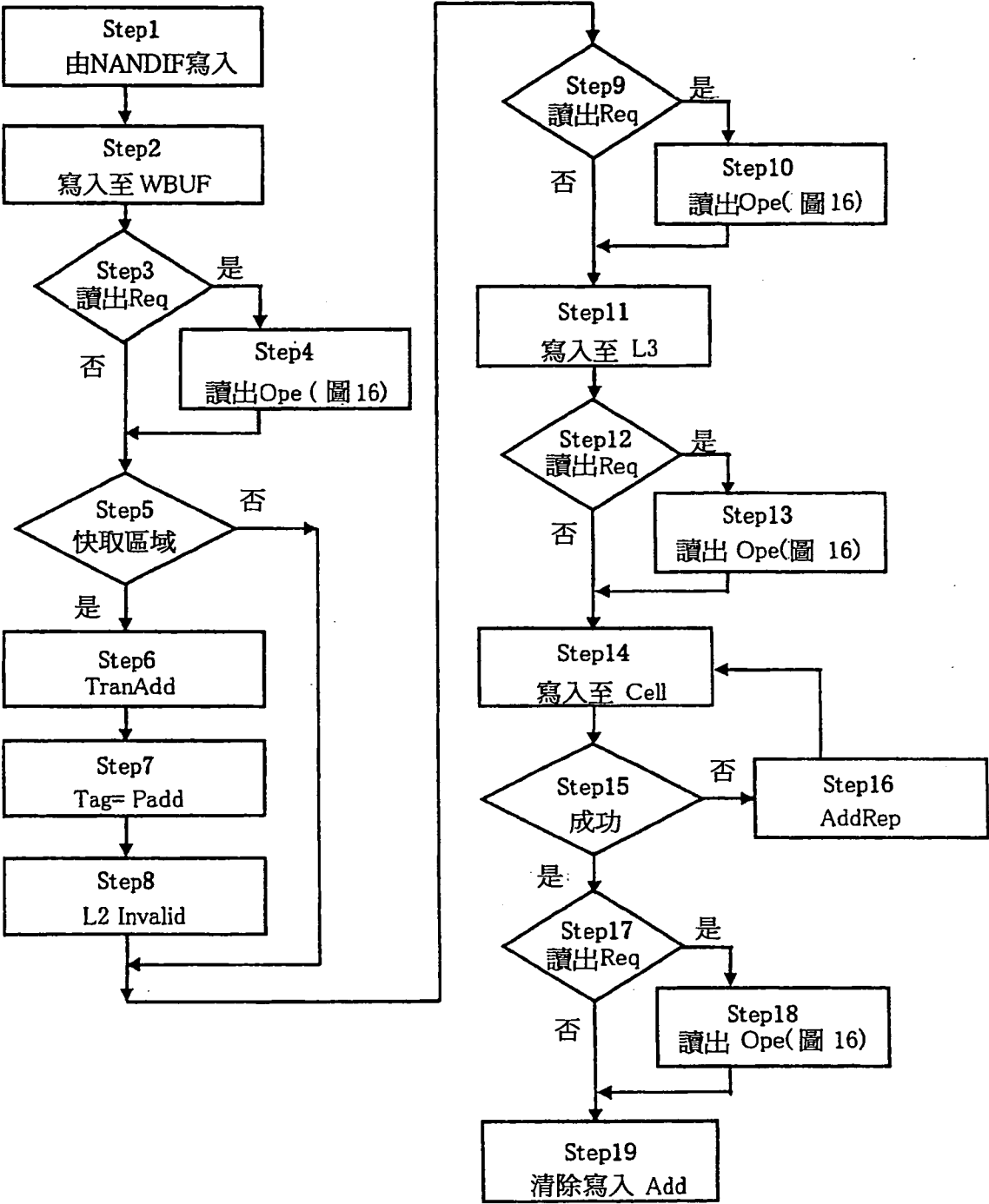


圖 16

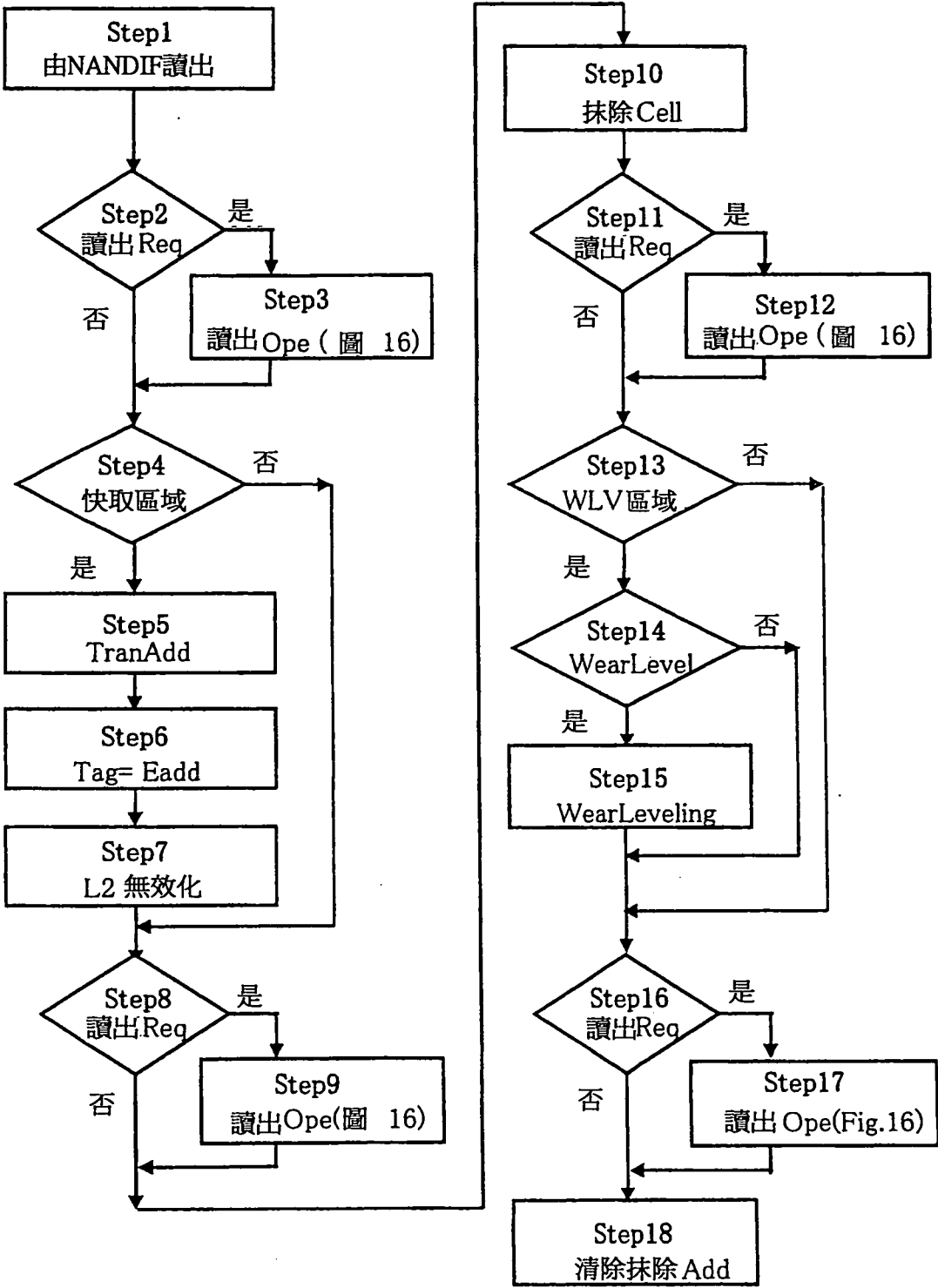


圖 17

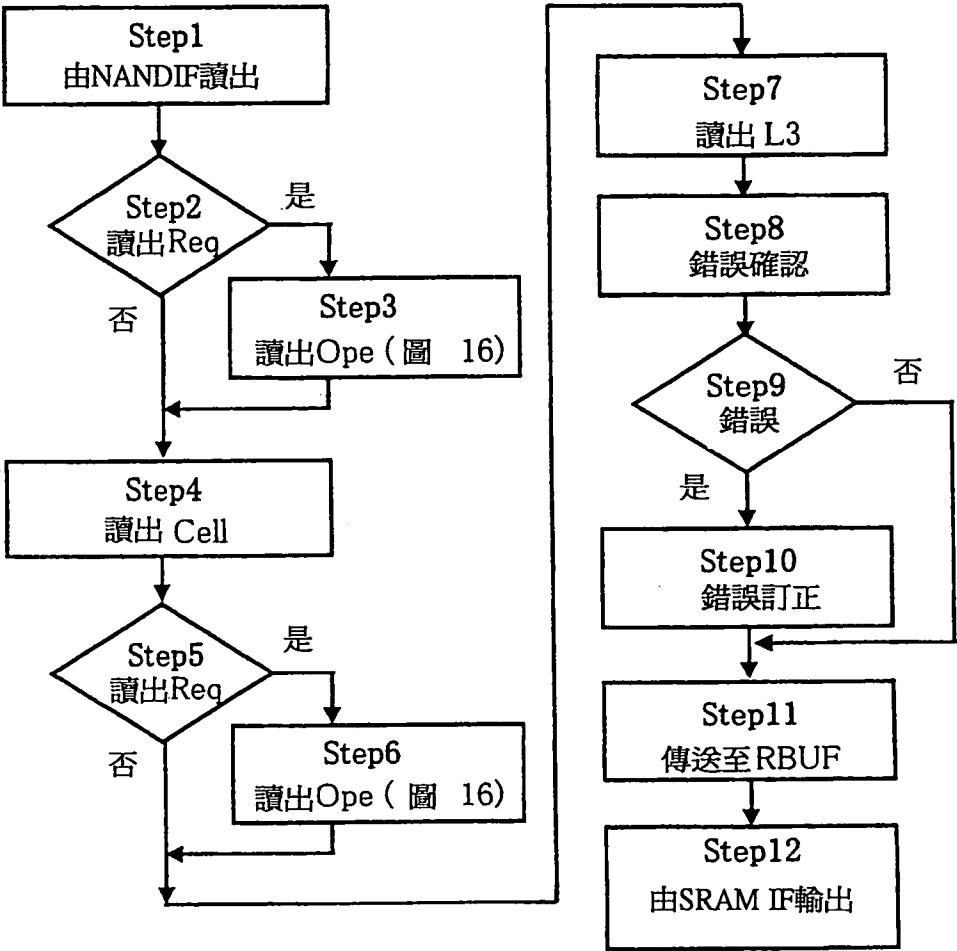


圖 18

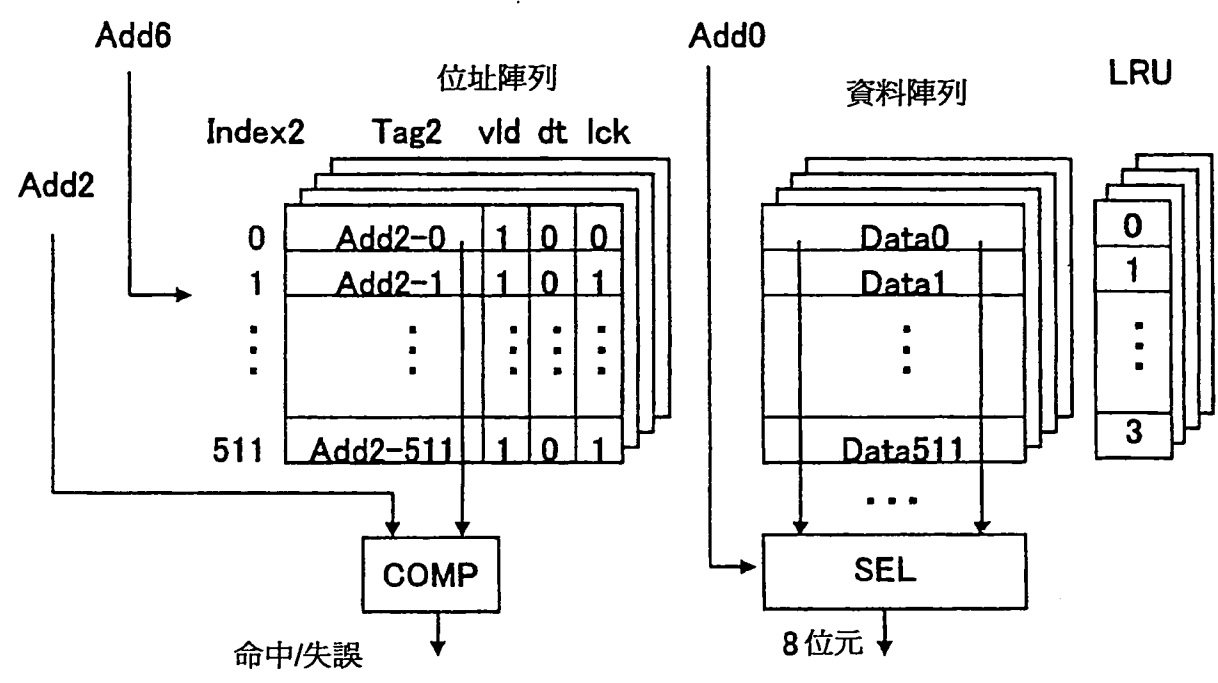


圖 19

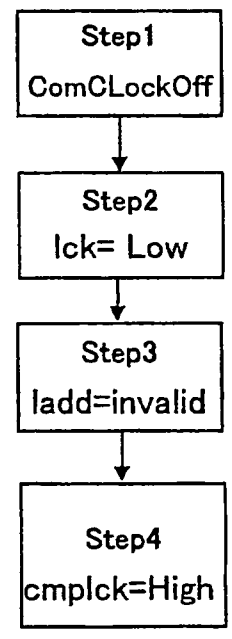


圖 20

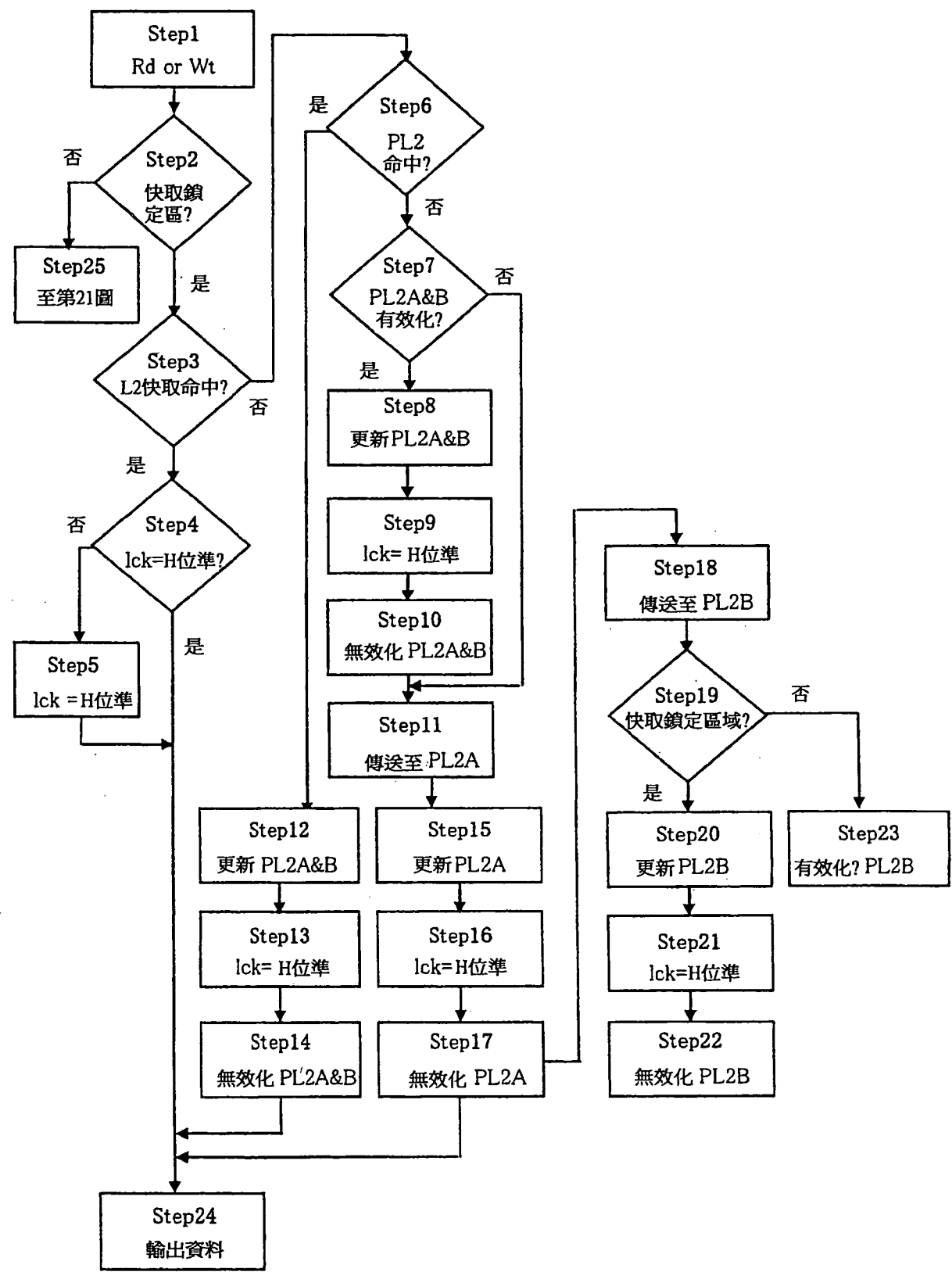


圖 21

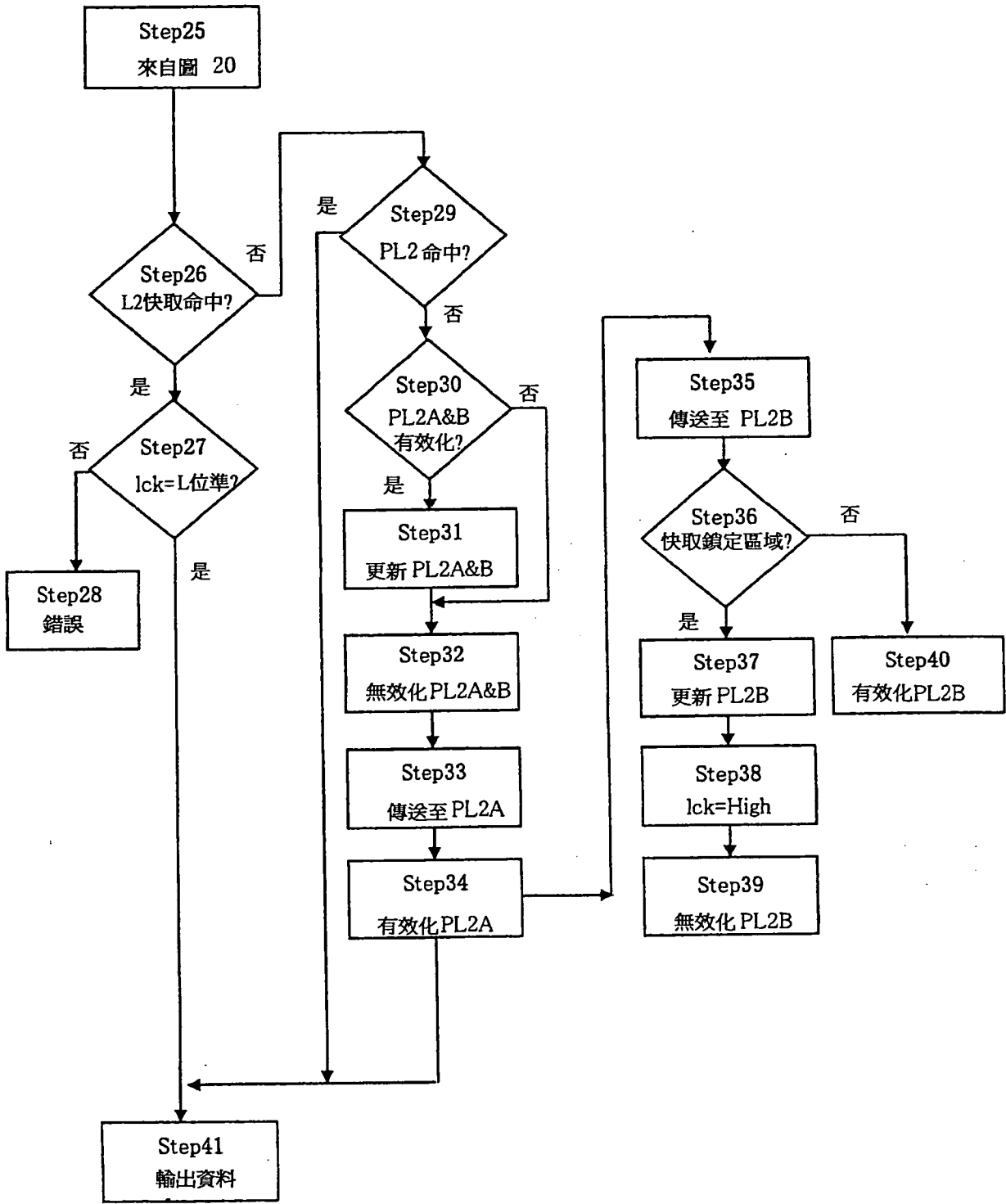


圖 22

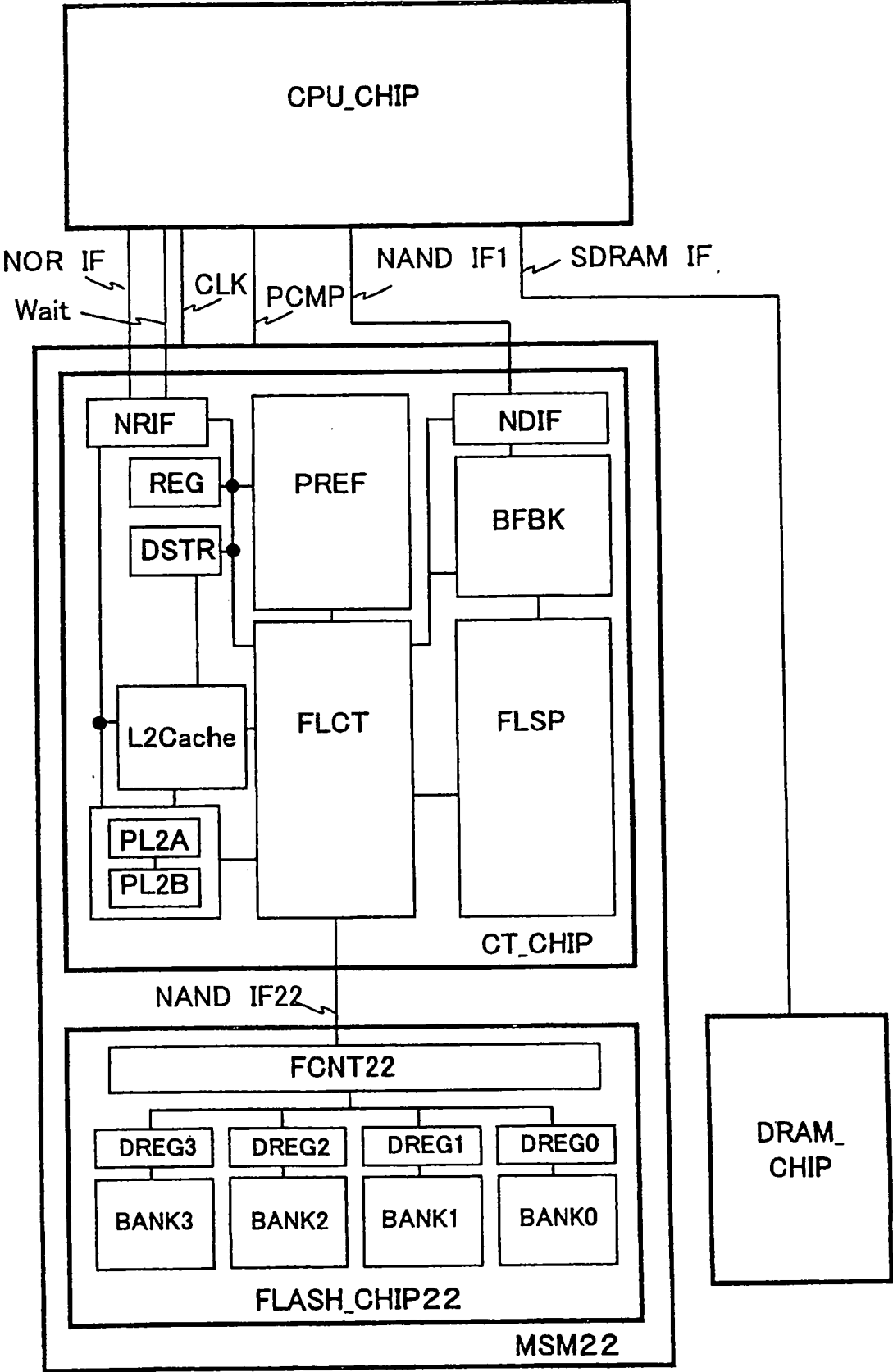


圖 23

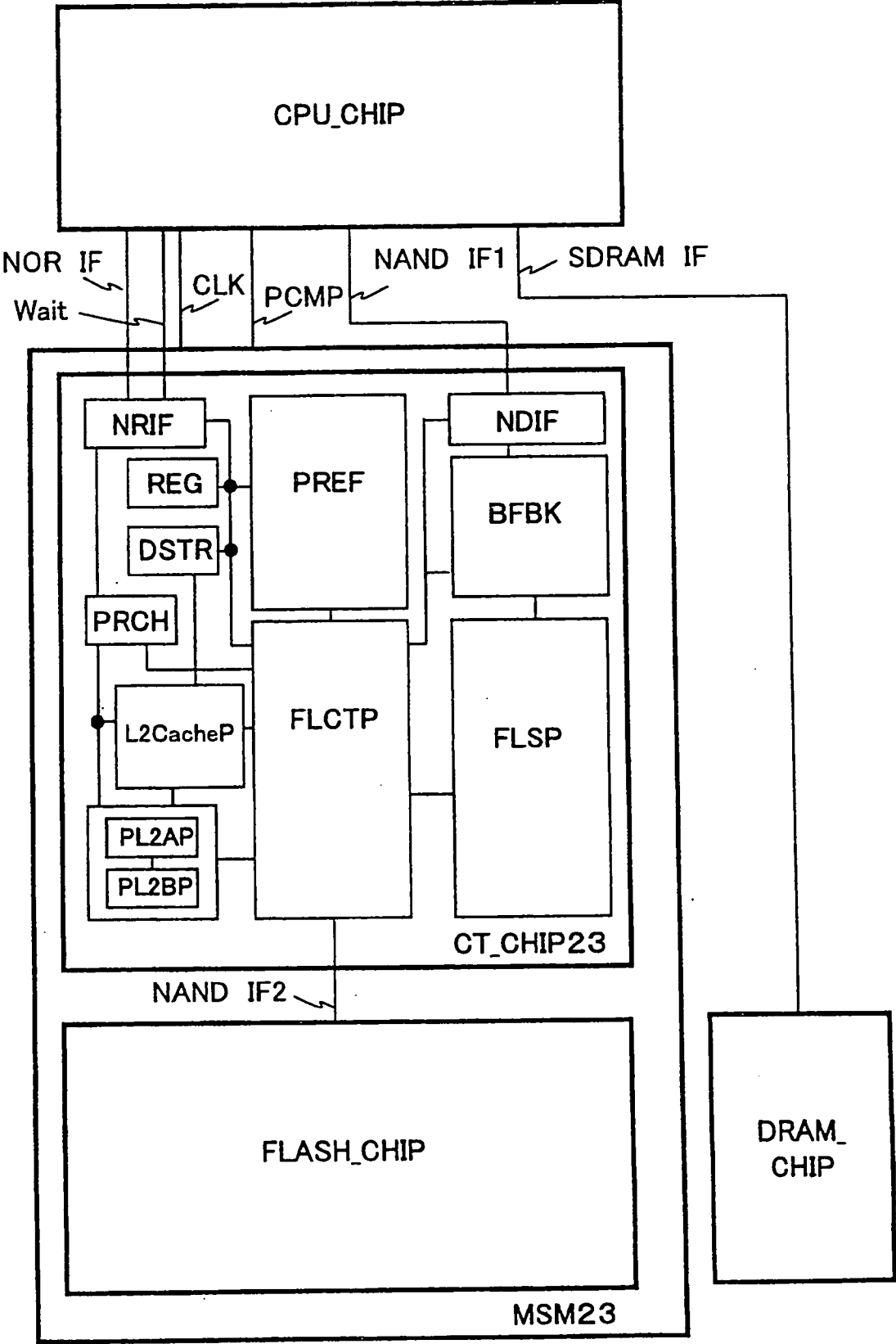


圖 24

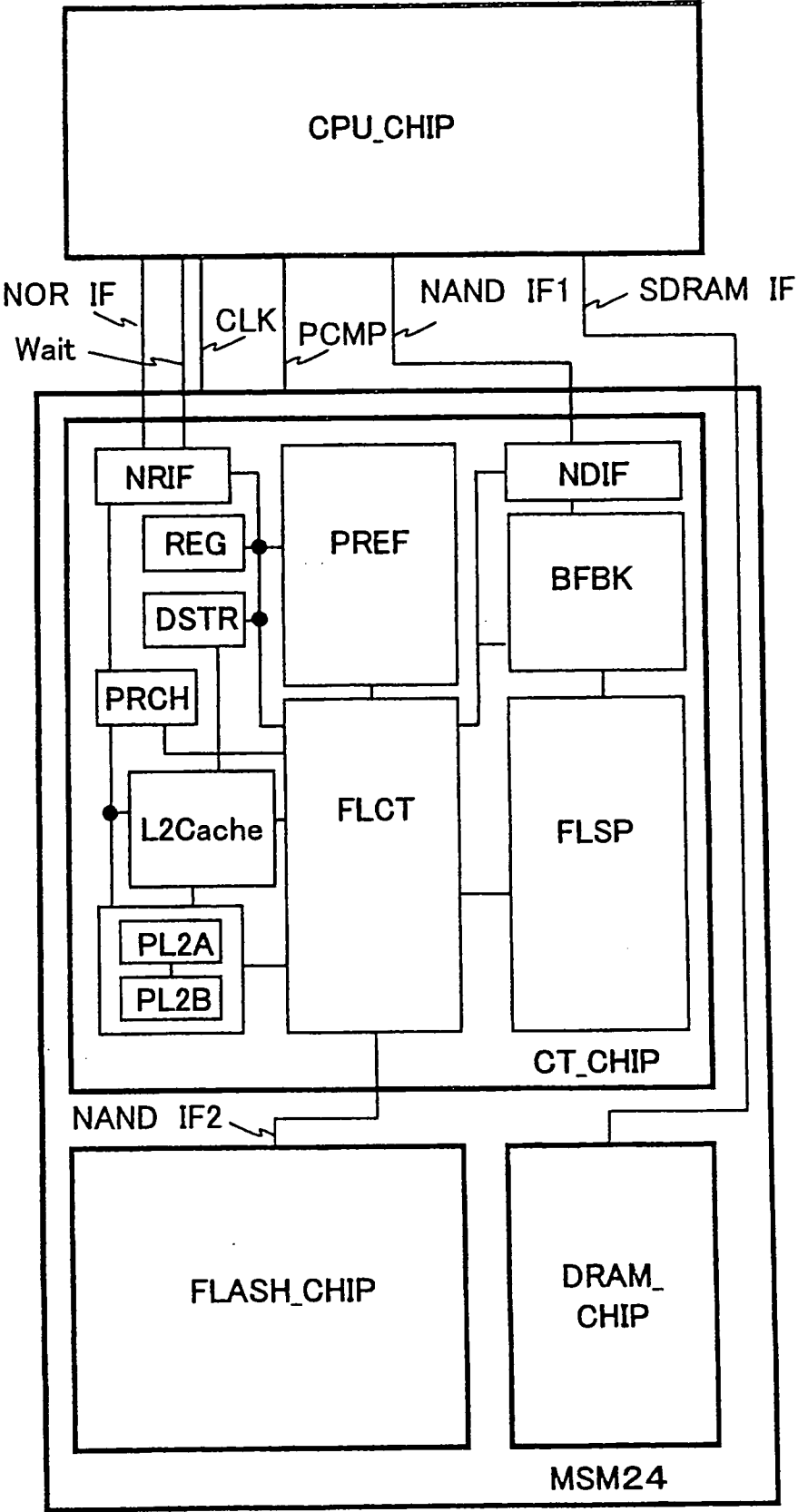


圖 25

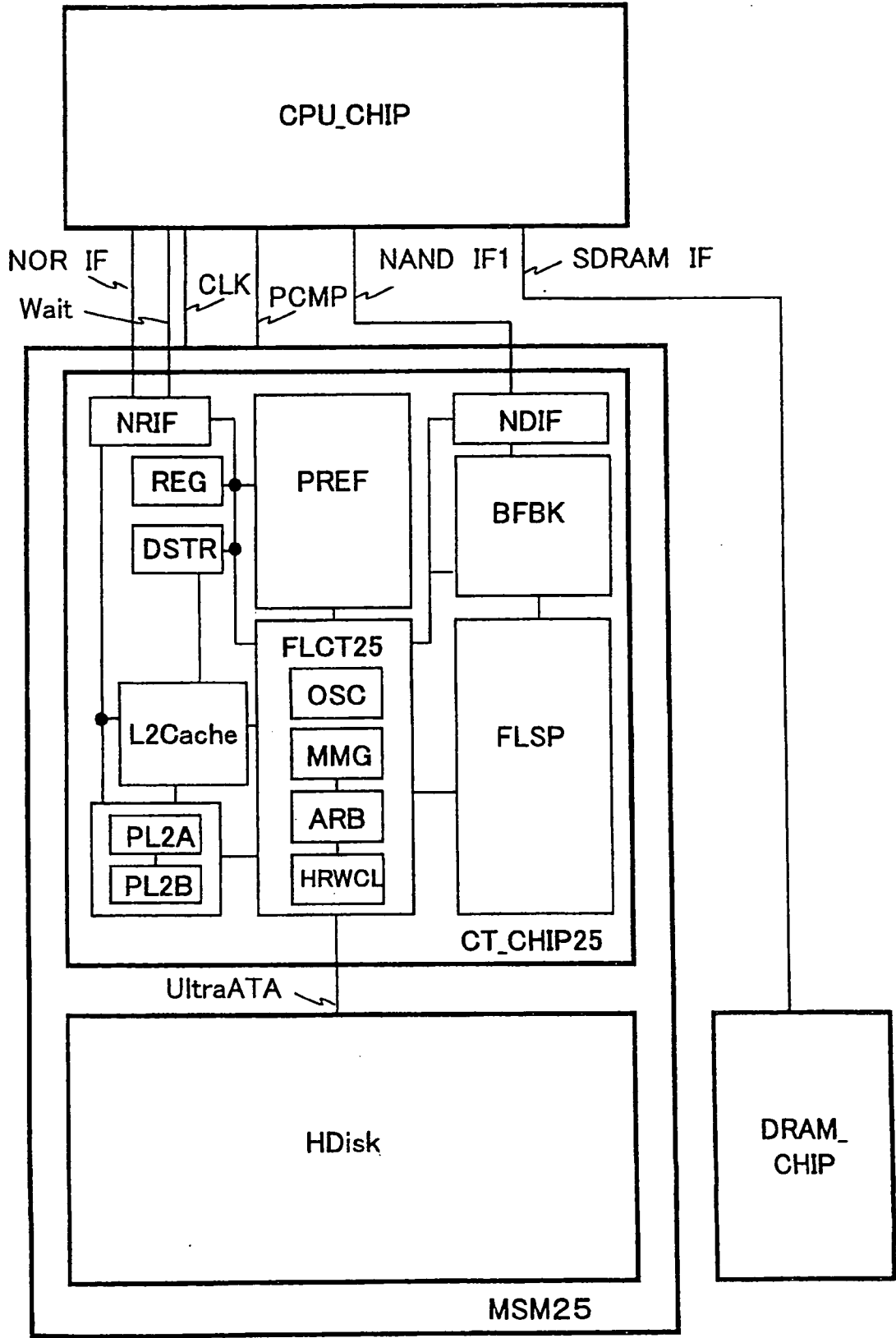


圖 26

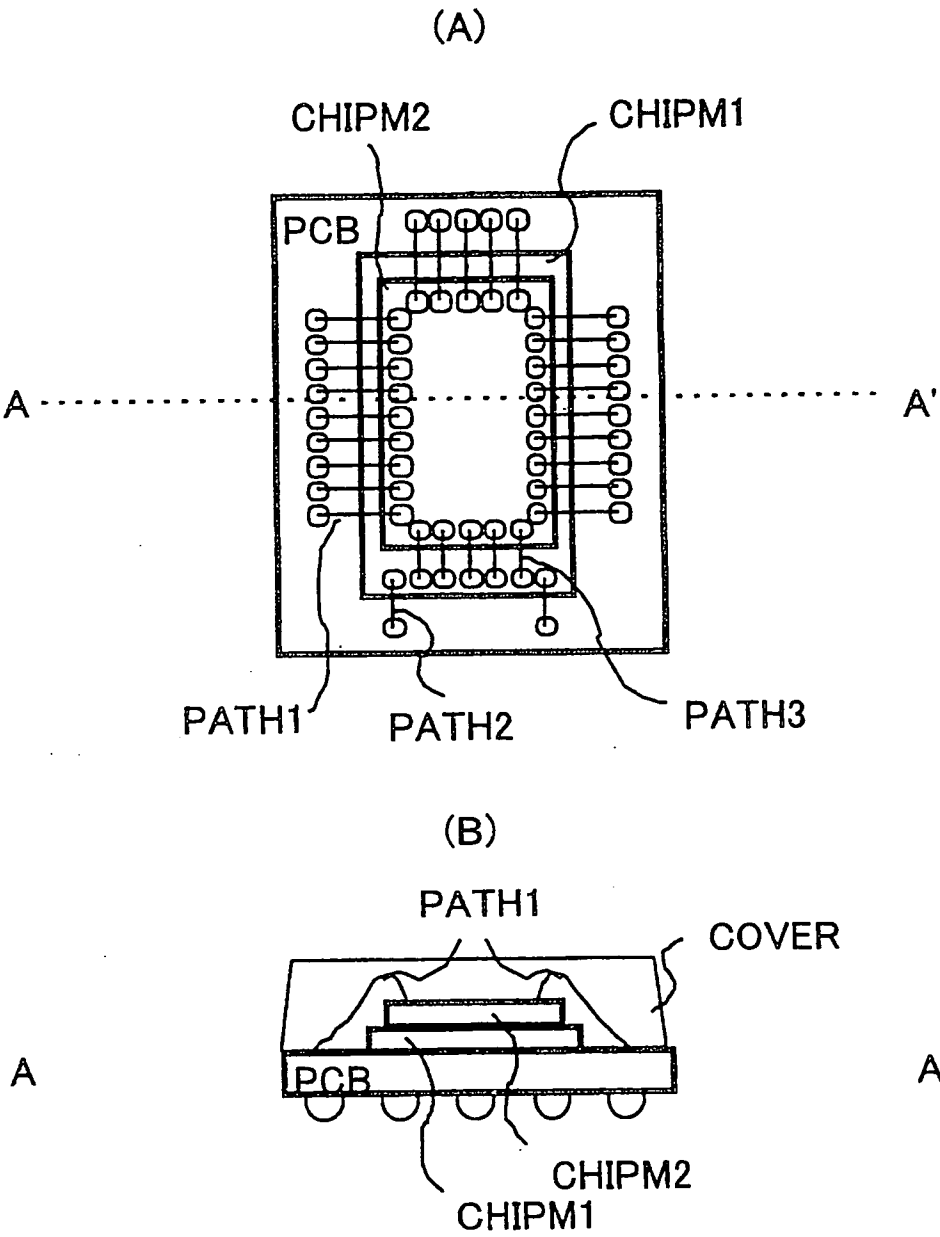


圖 27

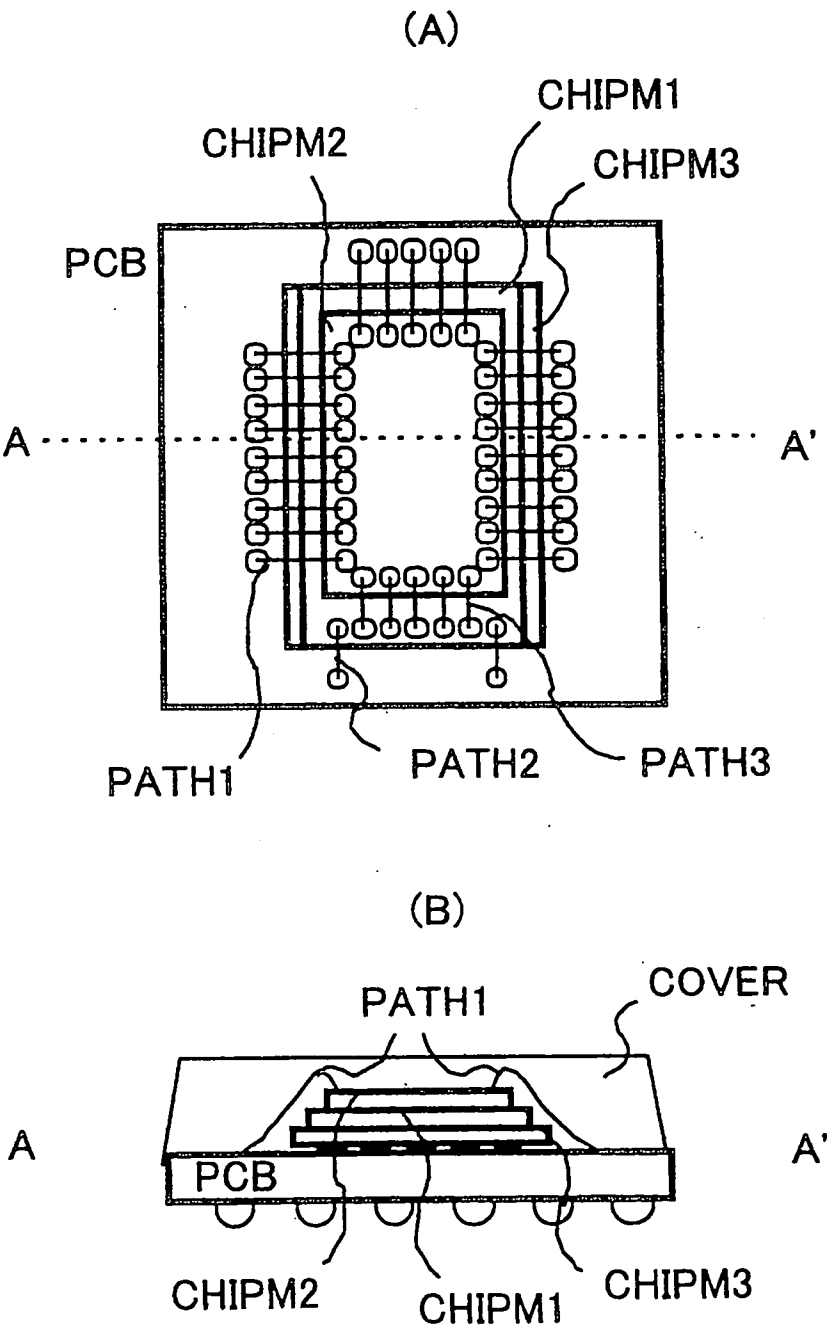
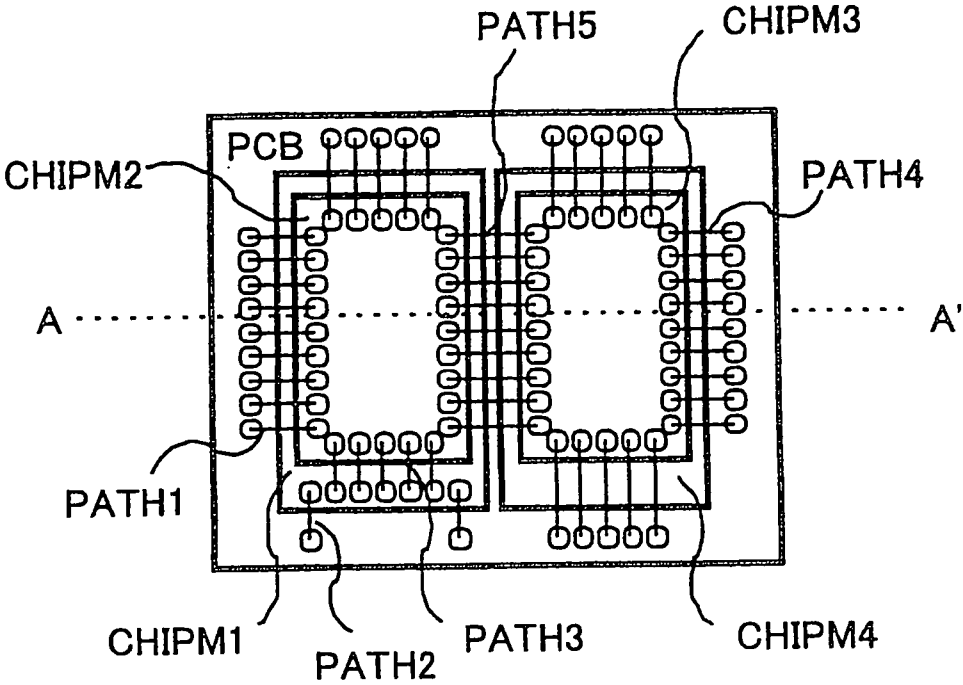


圖 28

(A)



(B)

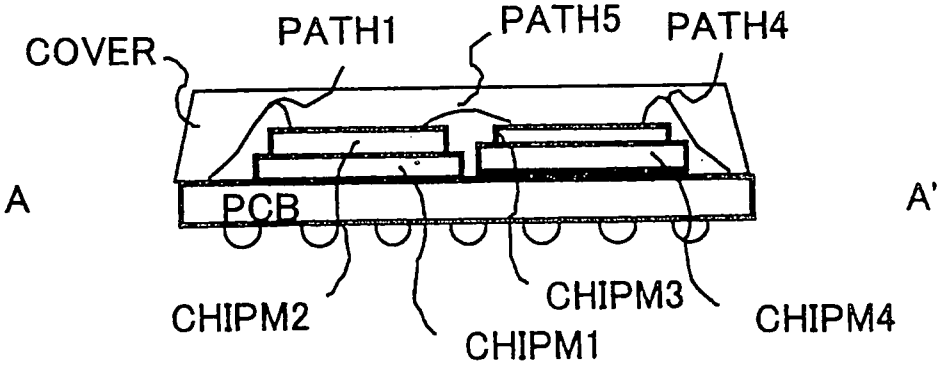


圖 29

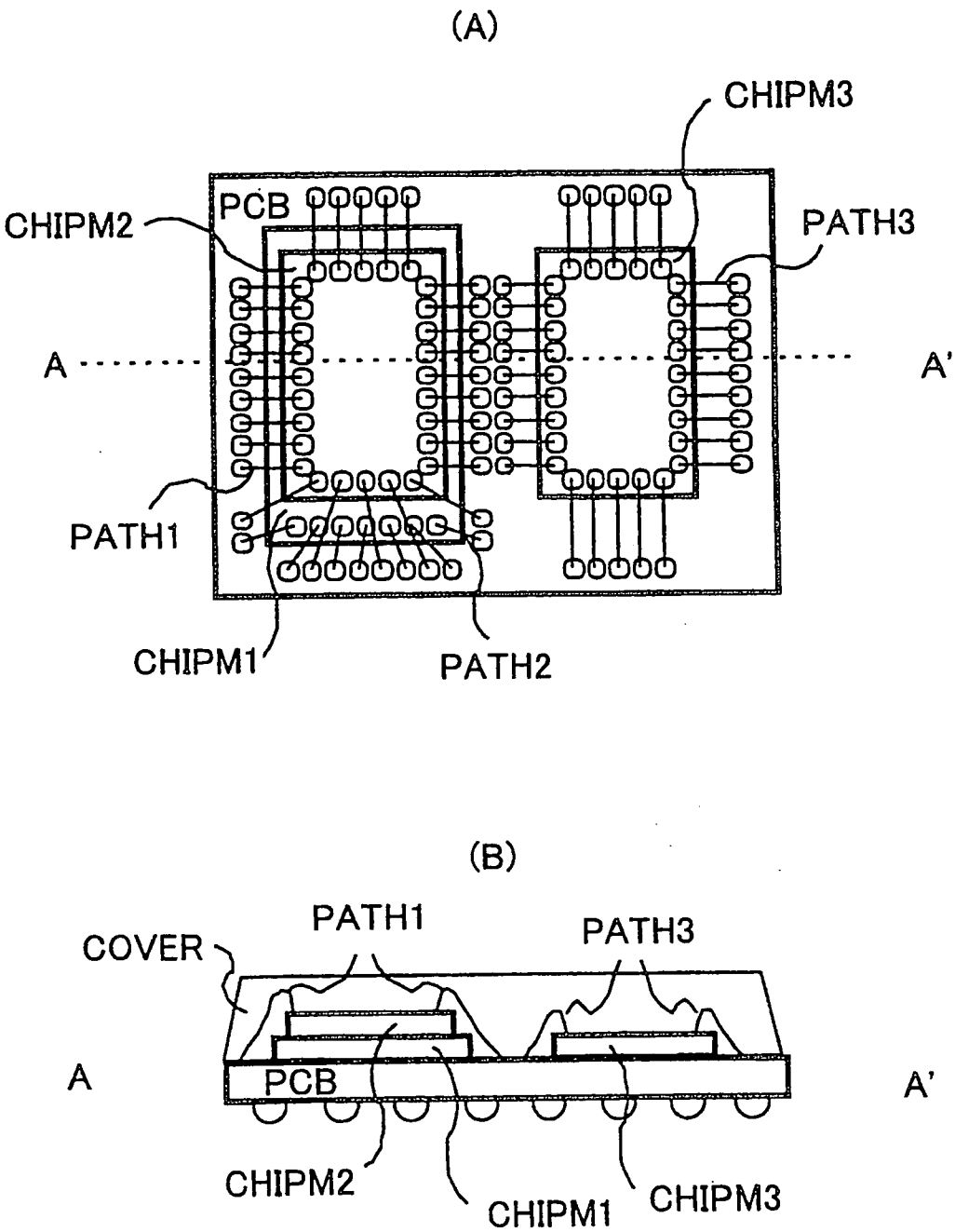
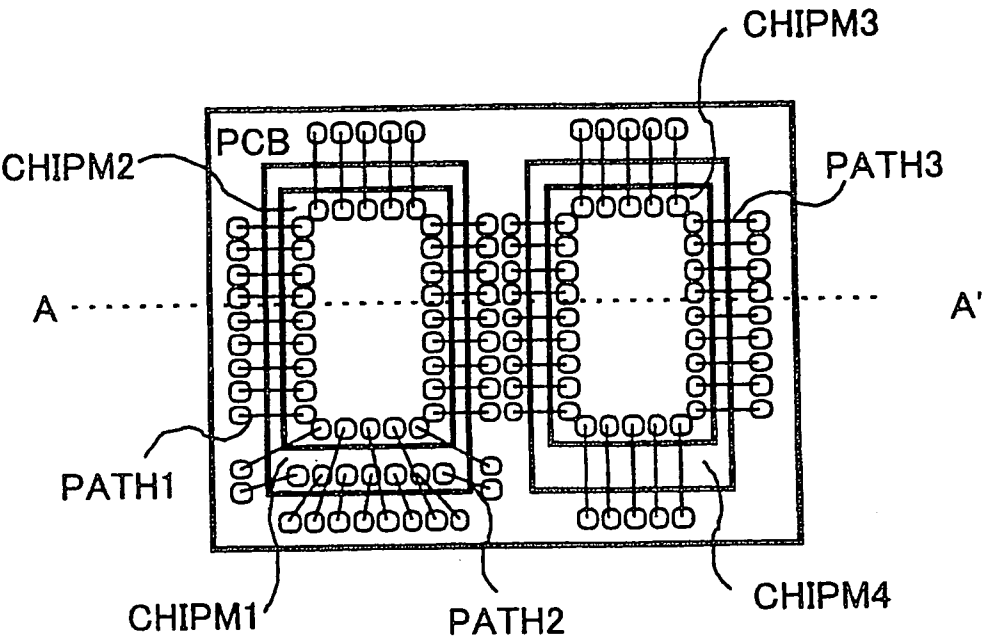


圖 30

(A)



(B)

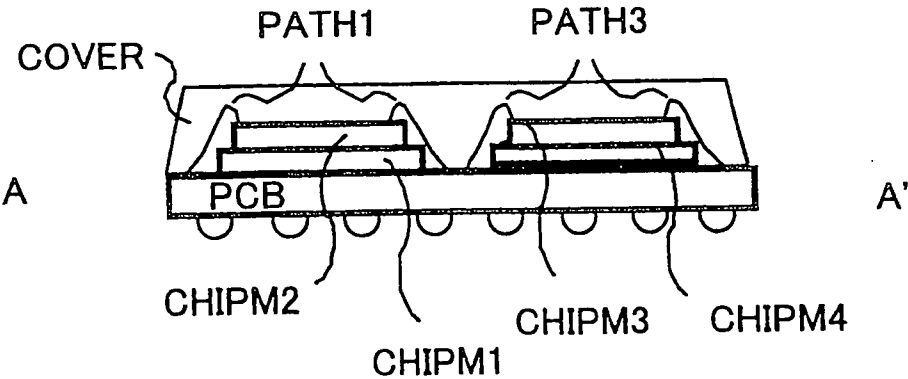


圖 31

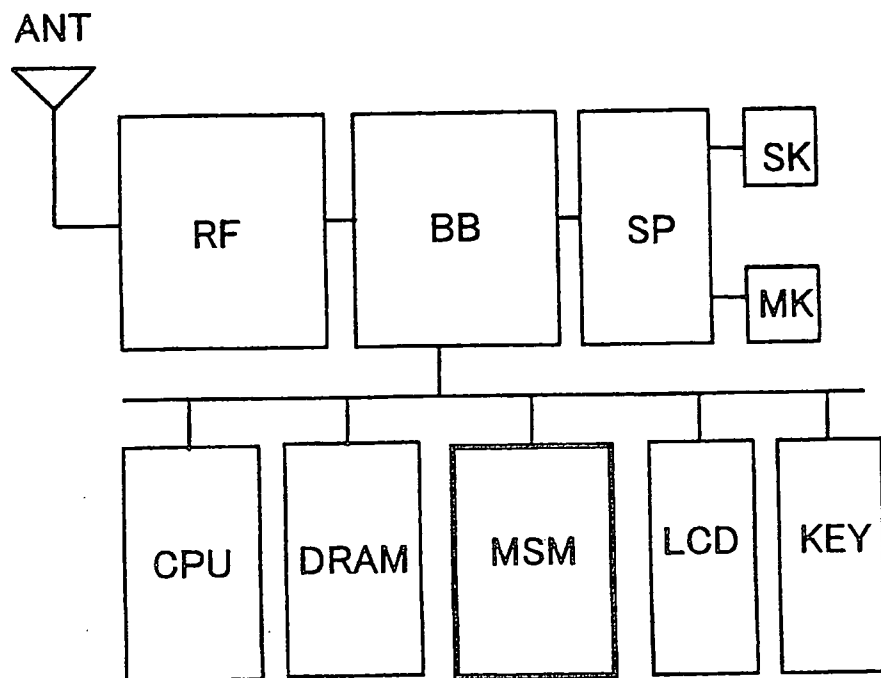


圖 32

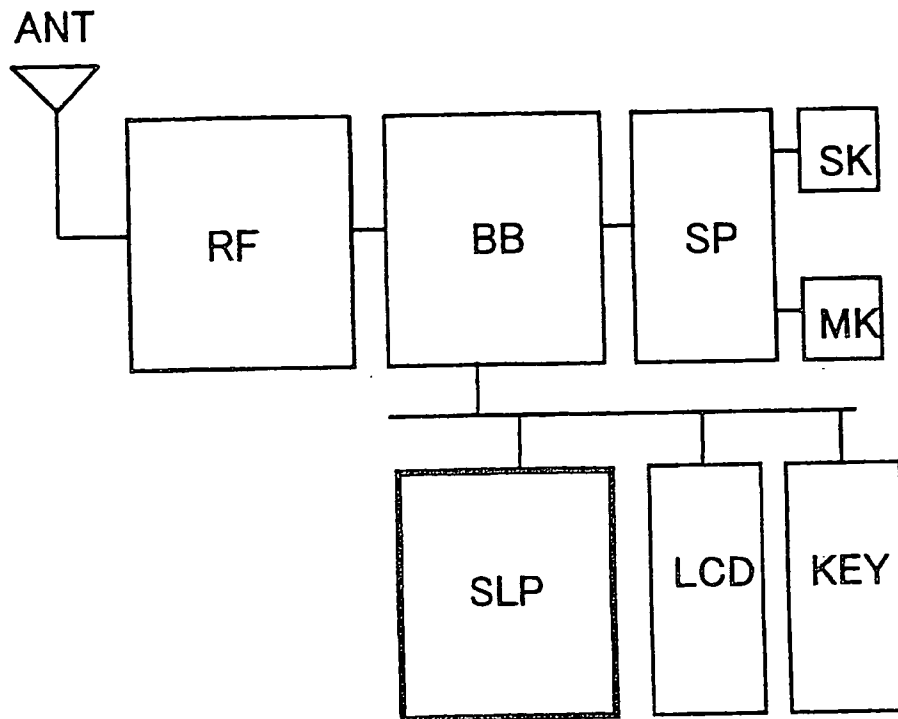


圖 33

