

200305878

填寫)

※ 申請案號：_____

※IPC分類：G11C11/02, G11C7/06

※ 申請日期： 91.12.20

壹、發明名稱

(中文) 具有電荷注入差動感測放大器之電阻性交叉點記憶體陣列

(英文) RESISTIVE CROSS POINT MEMORY ARRAYS HAVING A CHARGE INJECTION
DIFFERENTIAL SENSE AMPLIFIER

貳、發明人（共 2 人）

發明人 1 (如發明人超過一人, 請填說明書發明人續頁)

姓名：(中文) 隆格 T. 崔恩

(英文) Lung T. Tran

住居所地址：(中文) 美國加州薩拉托葛·森林坡巷 5085 號

(英文) 5085 Woodbrae Court, Saratoga, CA 95070, USA

國籍：(中文) 美國 (英文) USA

參、申請人（共 1 人）

姓名或名稱：(中文) 美商·惠普公司

(英文) HEWLETT-PACKARD COMPANY

住居所或營業所地址：(中文) 美國加州帕羅亞托·哈諾維街 3000 號

(英文) 3000 Hanover Street, Palo Alto, CA 94304, USA

國籍：(中文) 美國 (英文) USA

代表人：(中文) 安 0. 巴斯金

(英文) Ann O. Baskins

☐ 續發明人或申請人續頁（發明人或申請人欄位不敷使用時，請註記並使用續頁）

發明人 2

姓名：(中文) 佛瑞德里克 T. 波勒

(英文) Frederick A. Perner

住居所地址：(中文) 美國加州帕羅亞托·雷夢斯街 3234 號

(英文) 3234 Ramons Sr., Palo Alto, CA 94306, USA

國籍：(中文) 美國

(英文) USA

發明人 3

姓名：(中文)

(英文)

住居所地址：(中文)

(英文)

國籍：(中文)

(英文)

發明人 4

姓名：(中文)

(英文)

住居所地址：(中文)

(英文)

國籍：(中文)

(英文)

發明人 5

姓名：(中文)

(英文)

住居所地址：(中文)

(英文)

國籍：(中文)

(英文)

發明人 6

姓名：(中文)

(英文)

住居所地址：(中文)

(英文)

國籍：(中文)

(英文)

捌、聲明事項

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為：_____

☐ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. _____

2. _____

3. _____

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 美國; 2002,04,30; 10/136,782

2. _____

3. _____

4. _____

5. _____

6. _____

7. _____

8. _____

9. _____

10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

【發明所屬之技術領域】

發明領域

本發明係一般論及一些電阻性交叉點記憶單元陣列，
5 以及更明確地說，本發明係論及一種具有一可利用一電荷
注入模態之差動感測放大器的電阻性交叉點記憶單元陣列。

【先前技術】

發明背景

已有許多不同之電阻性交叉點記憶單元陣列被建議過
10 ，其中包括彼等具有磁性隨機存取記憶體(MRAM)元件、
相位改變記憶體元件、多晶矽記憶體元件、和寫入一次式
(例如，熔絲式或反熔絲式)電阻性記憶體元件之電阻性交
叉點記憶單元陣列。

一典型之MRAM儲存裝置，舉例而言，係包括一記憶
15 單元陣列。彼等字組線可能沿該等記憶單元之列延伸，以
及彼等位元線可能沿該等記憶單元之行延伸。每一記憶體
晶格，係位於一字組線與一位元線之交叉點處。每一
MRAM記憶單元，係以一磁化強度之方位，來儲存一位元
之資訊。特言之，每一記憶單元之磁化強度，在任一既定
20 時刻下，係採取兩個穩定之方位中的一個。此兩穩定之方
位，平行和反平行，係表示邏輯值0和1。此磁化強度之方
位，將會影響到一記憶單元之電阻值。舉例而言，若其磁
化強度之方位係呈平行，一記憶單元之電阻值，可能係屬
一第一值，R，以及若該磁化強度之方位，係自平行改變

玖、發明說明

反平行，該記憶格之電阻值，便可能會增加至一第二值， $R + \Delta R$ 。

一般而言，一電阻性交叉點記憶單元之邏輯狀態，可藉由感測上述選定之記憶體晶格的電阻狀態來加以讀取。

5 然而，感測其陣列中之單一記憶單元的電阻狀態，通常係有其困難，因為一電阻性交叉點記憶單元陣列中之所有記憶單元，係藉由許多平行路徑相互連接。一交叉點處所見到之電阻值，係等於該交叉點處之記憶單元的電阻值並聯其他字組線和位元線中之記憶單元的電阻值。

10 因此，在開發高密度和快速存取式電阻性交叉點記憶體之前，必須要克服之一項障礙便是，在一選定之記憶單元上面所儲存之資料被感測之際，彼等被選定之電阻值性交叉點記憶單元，要有可靠之隔離。一般而言，一些用以隔離此種記憶單元之先存技藝式技術，係落於三種記憶單元隔離範疇中的一個：選擇電晶體隔離技術；二極體隔離技術；和等電位隔離技術。

一些已知之電晶體隔離技術，通常係涉及到嵌入一與每一電阻性交叉點記憶單元串聯之選擇電晶體。此一架構通常係具有快速讀取存取時間之特性。不幸的是，此種串
20 聯電晶體架構，通常亦具有相當差之矽面積利用率的特性，因為其電阻性交叉點記憶體陣列下方之區域，通常係保留給其串聯電晶體，以及因而無法供支援電路用。此外，此種隔離技術亦易於蒙受相當差之記憶單元佈線密度，因為每一記憶單元中，必須有區域分配給一可使其記憶單元

玖、發明說明

連結至其基體中之串聯電晶體的通路。此隔離技術通常亦需要相當高之寫入電流，因為務必要有一被隔離之寫入導體，加至該記憶單元，而提供一與一讀取電路相平行之寫入電路，以及此寫入導體之定位，會造成高的寫入電流，

5 藉以產生其必需之寫入場。大體上，此一解決方案係受限於一單一記憶體平面，因為該等串聯電晶體，係務必要位於其基體內，以及其中尚無實際之方法，可自其基體移出該等串聯電晶體，以及移進其記憶單元平面內。

彼等二極體隔絕技術，通常係涉及到嵌入一與每一電

10 阻性交叉點記憶單元相串聯之二極體。此一記憶單元陣列架構，可能以一些可容許多層電阻性交叉點記憶體陣列被構成之薄膜二極體(舉例而言，見美國專利編號第5,793,697號)。此一架構係具有高速運作之潛力。其經常與此一架構相關聯之困難性，係涉及到提供一適當而具有

15 最小程序形體尺寸之薄膜二極體，使與該等記憶單元陣列之潛在密度相匹配。此外，此一解決方案係使每一記憶體元件使用一二極體，以及舉例而言，在當前實際MRAM之形體和參數下，每一個二極體將被要求傳導5至15 kA/cm²。此種高電流密度，對在高密度MRAM陣列中具現薄膜二

20 極體而言，通常係不實際的。

彼等等電位隔離技術，通常係涉及到電阻性交叉點記憶單元之感測，而不必使用串聯二極體或電晶體(舉例而言，見美國專利編號第6,259,644號)。此一解決方案可藉由一製作相當簡單之記憶體元件的交叉點陣列，來加以具

玖、發明說明

現。此交叉點記憶單元陣列之架構，通常具有一僅受限於其具現之電路技術的最小形體尺寸之密度，以及通常係需要相當低之寫入電流。此外，此一解決方案可相當簡單地延伸至多層電阻性交叉點記憶體陣列，藉以達成極高密度之記憶體。然而，彼等等電位隔絕，經常係很難具現成一大陣列。彼等自動校正和三聯樣本讀取技術，業已被用來感測一些使用等電位隔離技術之大MRAM陣列中的資料，但此等感測程序，通常會使其讀取感測時間，受限於數微秒秒。

10 【發明內容】

發明概要

在一特徵中，本發明之特色在於一種資料儲存裝置，其係包括一記憶單元、多數字組線、和多數位元線之電阻性交叉點陣列，和一可利用一注入電荷式放大器之感測放大器。該等記憶單元，係被安排成一或多之記憶單元的多重組。其注入電荷式放大器，將會決定出一被感測之記憶單元，是否處於一相照於參考晶格之第一或第二電阻狀態中。

其注入電荷式放大器，可進一步包括一耦合至一相聯結之讀取電路的比較器電路。此比較器電路，最好在運作上可將一類比差動感測電流，轉換成一數位輸出讀取信號。

本發明之其他特徵和優點，將可由下文包括該等繪圖和申請專利範圍之說明而變為明確。

圖式簡單說明

第1圖係一資料儲存裝置之電路圖，其係包括一記憶

玖、發明說明

單元之電阻性交叉點陣列、多重讀取電路和相聯結之控制電路、和一字組線解碼電路；

第2a和2b圖係一記憶單元之平行和反平行磁化方位之例示圖；

- 5 第3a圖係一感測放大器電路之電路圖，其在運作上可依據本發明使用一差動感測電路和一比較器，來感測一由一組電阻性記憶體元件和一共用二極體所構成之陣列內流經一記憶單元的電流；

- 10 第3b圖係一感測放大器電路之電路圖，其在運作上可依據本發明使用一差動感測電路和一比較器，來感測一電阻性／二極體記憶體陣列內流經一記憶單元的電流；

第3c圖係一感測放大器電路之電路圖，其在運作上可依據本發明使用一差動感測電路和一比較器，來感測一電阻性記憶體陣列內流經一記憶單元的電流；

- 15 第4圖係第3A、3B、和3C圖之電路有關的讀取周期之時序圖；而

第5圖則係第1圖之電阻性交叉點記憶單元陣列的記憶單元之讀取方法的流程圖。

【實施方式】

- 20 較佳實施例之詳細說明

在下文之說明中，相同之參考數字，係被用來指示相同之元件。此外，該等繪圖係意在以示意圖之方式，例示一些範例性實施例之主要特徵。該等繪圖並非意欲描述彼等實際實施例之每一特徵，亦非描述此等所描述之元件的

玖、發明說明

相對尺度，以及其並非按比例繪製。

參照第1圖，在一實施例中，其一資料儲存裝置8，係包括一電阻性交叉點記憶體單元陣列10、多數沿其交叉點記憶體單元陣列12之列延伸的字組線14、和多數沿其交叉點
5 記憶體格陣列12之行延伸的位元線16。其記憶體單元陣列10之記憶體單元12，可被具現為種類繁多之傳統式電阻值性記憶體元件中的任何一個，其中包括磁性隨機存取記憶體(MRAM)元件、相位改變記憶體元件、和寫入一次式(例如，熔絲式或反熔絲式)電阻性記憶體元件。其資料儲存裝
10 置8，亦包括多數之讀取電路20，彼等各係藉由一對應之位元線16，耦合至一或多組相聯結之記憶體單元12。每一讀取電路20在運作上，可感測其流經彼等記憶體單元12之相聯結組的一個記憶體單元之電流。其一控制電路22，可基於一接收到之位元線位址(A_Y)，選擇地使一相聯結之讀取電路
15 20，耦合至一選定之位元線16。每一控制電路22，係包括一組開關，彼等可使每一位元線16，連接至一固定電壓(V_A)之電壓源，或至一相聯結之讀取電路20。其一字組線解碼電路18，可基於一接收到之字組線位址(A_X)，選擇地啟動一特定之字組線14。在彼等讀取運作期間，其字組線
20 解碼電路18，可藉由將其連接至接地電位，以及施加一固定電壓(V_A)，至其他未被選定之字組線，來啟動一選定之字組線14。每一讀取電路20之一輸出端，係耦合至其資料儲存裝置8之對應輸入/輸出(I/O)墊片的一個輸入端。

在此例示之實施例中，其電阻性交叉點記憶體單元陣列

玖、發明說明

，係顯示具有數目相當少之記憶格12。然而，其他實施例
係可能包括大數目之記憶單元。舉例而言，在一實施例中
，其電阻性交叉點記憶單元陣列10，係包括一 1024×1024
陣列之記憶單元12，和256個讀取電路20，而使每一讀取
5 電路20配合進四條位元線16之間距內。在此一實施例中，
總數為四之位元線16，可被多工化進每一讀取電路20內。
某些實施例可能包括多層式記憶單元陣列12。在此等實施
例中，不同層之位元線16，可被多工化進上述之讀取電路
20內。

10 在某些實施例中，其資料儲存設備8，亦可能包括一
可將資訊寫進其電阻性交叉點記憶體陣列10之記憶單元12
內的寫入電路(未示出)。

誠如下文之詳細說明，上述電阻性交叉點記憶單元陣
列10之架構，可使能以一些具有實際之尺度和電流密度特
15 性的隔離二極體，促成高密度製作和高速運作。此外，其
資料儲存裝置8，係包括一新型等電位隔離電路，其可大
幅避免一些否則或可能會干擾到其記憶格12之電阻狀態的
感測之寄生電流。

茲將參照諸繪圖中所例示之範例性實施例，以及將在
20 本說明書中使用特定之語言，來說明彼等。然而，理應瞭
解的是，其並非意欲限制本發明之界定範圍。此相關技藝
中之專業人員，在已具有此揭示內容後，對本說明書中所
例示之發明特徵所做的變更和進一步修飾，和對本發明如
本說明書中所例示之原理的額外應用，係被視為在本發明

玖、發明說明

之界定範圍內。

誠如諸圖為例示計之顯示，本發明係具現在一磁性隨機存取記憶體裝置中。此MRAM裝置係包括一記憶單元之陣列和一可用以讀取來自該等記憶單元之資料的讀取電路。上述包括等電位應用裝置和差動感測放大器之讀取電路，將能可靠地感測出上述陣列內所選定之記憶單元的不同電阻狀態。

茲將參照第1圖，其係例示一包括記憶單元元件12a和12b之電阻性交叉點陣列10的資訊儲存裝置8。此等記憶單元元件12a和12b，係被安排成列和行，而使該等列沿一x-方向延伸，以及使該等行沿一y-方向延伸。僅有一相當小數目之記憶單元元件12a和12b顯示出，藉以簡化此資訊儲存裝置8之例示。實際上，任何尺度之陣列均可加以使用。

彼等作用為字組線14之跡線，係在其記憶單元陣列10之一側上面，沿一平面中之x-方向延伸。彼等作用為位元線16a和16b之跡線，係在其記憶單元陣列10之一相鄰側上面，沿一平面中之y-方向延伸。其陣列10之每一列，可能有一字組線14，以及其陣列10之每一行，可能有一位元線16a或16b。每一記憶單元元件12a、12b，係位於一字組線14與一位元線16a或16b之交叉點處。

該等記憶單元元件12a和12b，可能包括一些薄膜式記憶體元件，諸如磁性隧道接點（SDT接點係某一類型之磁性隧道接點），或相位改變裝置。一般而言，該等記憶單元12a和12b，可能包括任何可藉由影響該等元件之標稱電

玖、發明說明

阻的大小來儲存或產生資訊之元件。此等其他類型之元件係包括：一些作為唯讀記憶體之部分的多晶矽元件，和一可藉由在結晶與非結晶中改變材料之狀態而被程式規劃來改變電阻狀態的相位改變裝置。

- 5 上述SDT接點之電阻值，舉例而言，在其磁化強度之方位為平行時，係一第一值(R)，以及其電阻值將會在其磁化強度之方位，自平行改變反平行時，增加至一第二值($R + \Delta R$)。一典型之第一電阻值(R)，可能大約為10 k Ω - 1M Ω ，一典型之電阻值改變(ΔR)，可能大約為上述第一
- 10 電阻值(R)之30%。

每一記憶單元元件12a和12b，可保有其磁化強度之方位，甚至是在缺乏外電力中。所以，該等記憶單元元件12a和12b，係屬非揮發性。

- 資料係以一位元-位元條之方式，儲存在該等記憶單元
- 15 元元件12a和12b內。該兩記憶單元元件12a和12b，係被指定給每一資料位元：一記憶單元元件(其"資料"元件)12a，將會儲存該位元之值，以及另一記憶單元元件(其"參考"元件)12b，將會儲存其互補值。因此，若一資料元件12a，係儲存一邏輯值'1'，其對應之參考元件12b，便係儲存一
- 20 邏輯值'0'。每一行之資料元件12a，係連接至一位元線16a，以及每一行之參考元件12b，係連接至一位元線16b。

該等記憶單元12，並非受限於任何特定類型之裝置。自旋相依性隧道效應(SDT)，裝置，諸如MRAM，係十分適用於彼等交叉點記憶體。一典型之SDT裝置，係包括一"

玖、發明說明

釘住"層和一"自由"層。其釘住層係具有在一平面中被定向之磁化強度，但在存在有一關注範圍內之施加場下，係能保持不變。其自由層係具有一可被上述施加場轉動之磁化強度，以及其方位係沿其"輕易-軸線"，以及係平行於其釘住層之磁化強度。其自由層之磁化方位，相對於其釘住層之磁化強度，或如第2a圖中所示地相平行，或如第2b圖中所示地成反平行，而分別對應於一低電阻狀態和高電阻狀態。

回顧第1圖，其資訊儲存裝置8，係包括一可在讀取和寫入運作期間用來選擇字組線14之列解碼器18。一被選定之字組線14，可在一讀取運作期間，使連接至接地電位。一寫入電流可在一寫入運作期間，施加至一選定之字組線14。

其資訊儲存裝置8係包括：一可在讀取運作期間用以感測彼等選定之記憶單元元件12a和12b的電阻狀態之讀取電路，和一可在寫入運作期間用以施加電流給彼等選定之字組線和位元線14、16a或16b的寫入電路。其讀取電路係以20來泛指。其寫入電路並未顯示出，以便簡化其資訊儲存裝置8之例示。

其讀取電路20，係包括多數之控制電路22和感測放大器24。有多重之位元線16，連接至每一控制電路22。每一控制電路22，係包括一可用以選定位元線之解碼器。一選定之記憶單元元件12，係佈置在一選定之字組線14與一選定之位元線16的交叉點處。

玖、發明說明

在一讀取運作期間，此亦被描繪在第5圖之流程圖中，該等選定之元件12a和12b，如區塊504中所示，係藉由其選定之字組線14，連接至接地電位。每一控制電路22，將會選擇一交越過一行資料元件12a之位元線16a，和一交越過其對應行之參考元件12b之位元線16b。上述交越過一行資料元件12a而被選定之位元線16a，如區塊502中所示，係連接至彼等對應之感測放大器24之感測節點 S_0 。該等區塊502和504之步驟可使顛倒，以及彼等之具現順序並不重要。上述交越過一行參考元件12b之位元線16b，係連接至彼等對應之感測放大器24的參考節點 R_0 。每一感測放大器24係包括：差動前置放大器、鏡像電流電路、電荷注入式放大器、和一可用以比較位元線16a和16b上面之信號的比較器。此比較器將會指示出上述選定之資料元件12a的電阻狀態，和因而此選定之資料元件12a中所儲存之邏輯值。上述感測放大器24之輸出，係供應至一資料暫存器26，其則係耦合至其資訊儲存裝置8之一I/O墊片28。

所有未被選定之字組線14，如區塊506中所示，係連接至一可提供一陣列電壓(V_A)之固定電壓源。一外部電路可提供此固定電壓源。當此固定電壓源施加至彼等未被選定之字組線的子集時，上述之感測放大器24，將會施加相同之電位，給該等選定之位元線16。應用此種等電位隔離至其陣列10，將會使寄生電流降低。

上述之讀取電路20，可讀取出成m-位元字組之資料，因而可同時感測出某一定數目(m)之記憶單元元件12a和

玖、發明說明

12b的電阻狀態，其係顯示為區塊508之電流測量步驟。一m-位元字組可藉由同時運作m個連續式感測放大器24，來加以讀取出。

參照第3a圖，在一實施例中，其電阻性交叉點記憶單元陣列10之記憶單元12，係被安排成二或以上之記憶體單元12的多重組15。舉例而言，在此例示之實施例中，每一組15係包括三個記憶體單元12。每一組15之記憶單元12，係連接在一些對應之位元線16與一耦合至一字組線14之共用組的隔離二極體13中間。上述電阻性交叉點記憶單元陣列10之特徵，在於彼等隔離二極體架構相關聯之高速運作的優點，和一可以一些具有實際尺度和電流密度特性之隔離二極體所具現的架構中之等電位隔離架構的高密度之優點。在某些實施例中，彼等隔離二極體13，可隨彼等記憶體單元12，一起使用一傳統式薄膜二極體製造技術，來加以製作，藉以製作出一多層式電阻性交叉點記憶體陣列。

就一讀取運作而言，資料係藉由選擇一對應於其電阻性交叉點記憶體單元陣列10之一對象記憶單元的字組線14，以及使其連接至一接地電位，在該對象單元內被感測到。同時，彼等位元線16a和16b，係成參考／感測配對地連接至彼等讀取電路20。一陣列電位(V_A)係自一電壓源之輸出端，供應其選定組之未被選定的位元線16。而且，該陣列電位(V_A)係供應至其感測放大器24之輸入端，而在該等選定之位元線16上面，產生一耦合電壓($V_{A'}$)。此耦合電壓($V_{A'}$)大致係等於上述之陣列電壓(V_A)。彼等未被選定組之

玖、發明說明

位元線，係保持浮接。在上述陣列之以上偏壓條件下，唯有被選定組15之位元單元，係加有電位電壓 V_A 之順向偏壓，以及彼等參考電流 I_{ref} 和感測電流資料 I_{data} ，因而將會流經彼等記憶單元12a和12b。彼等係要被其放大器24感測，藉以決定該位元單元之狀態。而且，電流將會在上述選定組15之位元單元內流動，但彼等並不會干擾到該等參考和感測電流。

第3b圖係描述一他型實施例，其中之每一記憶單元12，係顯示直接耦合至一單一隔離二極體13。其陣列10至放大器24之運作，係與第3圖中所例示和以上所說明者相類似。

一讀取運作係藉由使上述選定之字組線14連接至接地電位，以及使所有未被選定之字組線連接至一電位(V_A)，而針對其記憶體行陣列10加以執行，藉以極小化該等感測和參考電流上面之漏洩電流的影響。該等選定之位元線16a和16b，係經由該等多工器22和節點 R_0 和 S_0 ，連接至其感測放大器24之輸入端。此感測放大器之其他輸入端，係連接至上述之相同電位(V_A)，而成為該等未被選定之字組線。因此，該等選定之位元線16a和16b，係被偏壓至一大致與電位(V_A)相同之電位($V_{A'}$)，同時其他未被選定之位元線，係保持浮接。在上述陣列之以上偏壓條件下，唯有彼等選定之記憶體12a和12b，係加有電位電壓 V_A 之順向偏壓，以及其結果是該等參考電流 I_{ref} 和感測電流資料 I_{data} ，將會流經彼等記憶單元12a和12b，以及將會被其放大器

玖、發明說明

24感測到，藉以決定該位元單元之狀態。

此外，第3c圖係描述一不含任何隔離二極體之記憶單元12。其陣列10與放大器24之運作，係與第3a圖者相同，除缺少隔離二極體和此對整個電路之正常影響的外。在此
5 陣列10中，該等磁性隧道接點12，係耦合至許多會干擾到其陣列中之位元的感測之平行路徑。此一問題可藉由使用美國專利編號第6,259,644號中所揭示之"等電位"方法來加以處理，其係涉及到施加一電位至該等選定之位元線16a和16b，以及提供此同一電位給彼等未被選定之位元線16
10 的子集和可能未被選定之字組線14。上述選定之字組線14，係連接至接地電位。因此，唯有彼等連接至該等選定之字組線14的接點，係具有橫跨之電壓(V_A)，以及因而電流將在此等接點中流動，但彼等不會彼此干擾。該等參考電流 I_{ref} 和感測電流 I_{data} ，將可正確地被感測放大器感測
15 到，以及因而將可決定出此儲存之資料位元的狀態。

參照第3a、3b、和3c圖中所例示之所有三個情況共屬的感測放大器24。在運作中，一資料"1"或資料"0"，將可藉由感測其參考位元中所產生之電流與其感測位元線中所產生之電流間的差異，來加以感測。在某些實施例中，可
20 能會有數個記憶單元位元與一參考位元線相聯結。在其他實施例中，每一位元線可能只有一個參考位元。

就一讀取運作而言，其一前置放大器36，係具有一連接至電壓源(V_A)之第一輸入端，以及其輸出端係耦合至其電晶體36a之閘極輸入端。此電晶體36a之源極端子，和上

玖、發明說明

述前置放大器36之第二輸入端，係耦合至上述資料位元單元12a所在被選定之位元線16a。同理，上述前置放大器38之第一輸入端，係連接至該電壓源 V_A ，以及其輸出端係連接至其電晶體38a之閘極輸入端。此電晶體38a之源極端子

5 ，和上述前置放大器38之第二輸入端，係耦合至上述參考位元單元12b所在被選定之位元線16b。該等前置放大器36和38，可將彼等位元線16a和16b上面之電壓，調節至一大致等於電壓(V_A)之電壓($V_{A'}$)。該等選定之記憶體元件12a和12b，因而係具有一橫跨彼等每一個的電位(V_A)。有一

10 電流 $I_{ref}=(V_A-V_d)/R_{12a}$ ，將會在上述選定之元件12a中流動，以及有一電流 $I_{data}=(V_A-V_d)/R_{12b}$ ，因而將會在上述選定之元件12b中流動。其中 R_{12a} 和 R_{12b} 係該等記憶單元12之電阻值，以及 V_d 係二極體13之順向電壓，其通常約為0.7 V。在第3c圖上面之實施例中，其記憶體陣列10中並無

15 二極體，因而 V_d 在此一情況中為零。

該等 I_{ref} 和 I_{data} 電流，亦會流經彼等電晶體36a和38a。彼等電晶體36b、36c、38b、38c、40a、和40b，係一些相匹配之電晶體，以及在連接上係形成三組電流鏡像電路。其第一組係包括電晶體36b和36c，以及將會產生一

20 等於 I_{ref} 之鏡像電流 $I_{ref'}$ ，其第二組係包括電晶體40b和40c，以及將會產生一等於 I_{ref} 和 $I_{ref'}$ 之鏡像電流 I_R 。同理，其第三組係包括電晶體38b和38c，以及將會產生一等於 I_{data} 之電流 I_S 。

在一讀取運作期間，其讀取致能電晶體52將會被關閉

玖、發明說明

，以及其電晶體54將會被致能，而使其電容器C預先充電至一電壓位準 $V_{dd}/2$ 。繼而，其電晶體54將會被關閉，以及其電晶體52將會被打開。此時，其節點A之總計電流將為 $I_S + I_C - I_R = 0$ 或 $I_C = I_R - I_S$ 。上述之電容器電壓，係依據電流

5 I_C 而定。若電流 I_R 小於電流 I_S ，而指示該感測單元係具有一低電阻狀態，以及該參考單元係具有一高電阻狀態，上述之電流 I_C ，將會自節點A流出，以及將會在上述 I_C 之速率下，流向其電容器C，以及使此電容器C充電。若電流 I_R 大於電流 I_S ，而指示該感測單元係具有一高電阻狀態，以及該參考單元係具有一低電阻狀態，上述之電流 I_C ，將會

10 流向節點A，以及將會在上述 I_C 之速率下，自其電容器C流出，以及使此電容器C放電。若該等參考電流 I_R 和感測電流 I_S 兩者係相等，此意謂該等參考電流和感測電流兩者，係具有相同之電阻值，接著，上述之電容器電流 I_C 將為0

15 ，因此該電容器電壓中將無變化發生。此電容器電壓，係藉由一比較器34，使與一參考電壓 $V_{dd}/2$ 相較。此比較器34之一低位準輸出，係指示其電容器C正在充電，因而資料位元單元電阻，係小於參考位元單元電阻。一高位準輸出，係指示其電容器C正在被電，因而資料位元單元電阻

20 ，係大於參考位元單元電阻。

第4圖係例示一讀取序列期間之電容器電壓，其中之電容器電壓中的增加，係指示感測電流 I_S 大於參考電流 I_R ，因而該資料位元單元係具有低電阻值，以及其資料位元為一[1]；其中，電容器電壓中之降低，係指示其感測電流

玖、發明說明

小於其參考電流，因而該資料元件係具有高電阻值，以及其資料位元為零[0]。此一技術於使用多重感測放大器時(亦即，當多重位元配對同時被感測時)，亦能工作十分良好。

- 5 誠如第3a、b、和c圖中所示，其比較器電路34，可被具現來比較其感測放大器輸出信號與參考信號 $V_{dd}/2$ 。此一電路可將一類比差動感測電壓資料，轉換成一可靠之最大擺幅數位資料。當與上述之資料儲存裝置10之其他組件相結合時，其比較器／門定電路34，係一可用以完成其感測運作之可靠而有效之電路。

- 10 一差動電荷注入式放大器之使用，可提供一些凌駕其先存技藝之優點。其一優點是，其以電荷注入放大作用之差動感測，將可提供較佳之共模雜音拒斥。此將會產生一較清晰及更易於辨識之輸出信號。此外，其放大器將可提供較佳之解析度，因為該電荷注入式感測放大器，僅會感測到差動電流(I_c)信號，故其將會更為正確，以及具有較寬之運作範圍。-另外，藉由使用其中之MTJ緊密在一起而其電阻可有較佳之匹配的同組內之參考MTJ，一非破壞性讀取將屬可能。

- 20 再其次，上述依據本發明之差動感測放大器，將可提供一優於其先存技藝之簡單設計，其係包括電流鏡像電路和電荷注入式放大器。此將可簡化彼等製造成本，以及可縮小其先存技藝系統通常相關之表面面積。

雖然以上諸實施例，係代表本發明，本技藝之專業人

玖、發明說明

員，將可由此說明書和所附申請專範圍之思考，或自此揭示發明之實施例的實務，而明瞭其他實施例。本說明書和其中之實施例，係意欲使僅被視為範例性，而使本發明由申請專利範圍和其等效體來加以界定。

5 **【圖式簡單說明】**

第1圖係一資料儲存裝置之電路圖，其係包括一記憶單元之電阻性交叉點陣列、多重讀取電路和相聯結之控制電路、和一字組線解碼電路；

第2a和2b圖係一記憶單元之平行和反平行磁化方位之
10 例示圖；

第3a圖係一感測放大器電路之電路圖，其在運作上可依據本發明使用一差動感測電路和一比較器，來感測一由一組電阻性記憶體元件和一共用二極體所構成之陣列內流經一記憶單元的電流；

15 第3b圖係一感測放大器電路之電路圖，其在運作上可依據本發明使用一差動感測電路和一比較器，來感測一電阻性／二極體記憶體陣列內流經一記憶單元的電流；

第3c圖係一感測放大器電路之電路圖，其在運作上可依據本發明使用一差動感測電路和一比較器，來感測一電
20 阻性記憶體陣列內流經一記憶單元的電流；

第4圖係第3A、3B、和3C圖之電路有關的讀取周期之時序圖；而

第5圖則係第1圖之電阻性交叉點記憶單元陣列的記憶單元之讀取方法的流程圖。

玖、發明說明

【圖式之主要元件代表符號表】

8...資料儲存裝置	22...控制電路
10...資料儲存裝置	24...感測放大器
10...電阻性交叉點陣列	26...資料暫存器
12...記憶單元	28...I/O墊片
12a,12b...記憶單元元件	30...注入電荷式放大器
13...隔離二極體	34...比較器
14...字組線	34...比較器／閘定電路
15...多重組	36...前置放大器
16...位元線	36a,38a,36b,36c,38b,38c,40a,40b
16a,16b...位元線	...電晶體
18...字組線解碼電路	38...前置放大器
20...讀取電路	52...讀取致能電晶體
22...多工器	54...電晶體

肆、中文發明摘要

所揭示係一種資料儲存裝置(8)，其係包括一記憶單元(12)、多數字組線(14)、和多數位元線(16)之電阻性交叉點陣列(10)，和一可利用一注入電荷式放大器(30)之感測放大器(24)。該等記憶晶格(12)，係被安排成一或多之記憶單元的多重組(15)。其注入電荷式放大器(30)，將會決定出一被感測之記憶單元，是否處於一相照於參考晶格之第一或第二電阻狀態中。

伍、英文發明摘要

A data storage device 8 that includes a resistive cross point array 10 of memory cells 12, a plurality of word lines 14, and a plurality of bit lines 16, and a sense amplifier 24 that utilizes an injection charge amplifier 30 is disclosed. The memory cells 12 are arranged into multiple groups 15 of one or more memory cells. The injection charge amplifier 30 determines whether a sensed memory cell is in a first or second resistive state as compared to a reference cell.

拾、申請專利範圍

1. 一種資料儲存裝置，其係包括：

一電阻性交叉點記憶單元陣列；

多數之字組線；

5 多數之位元線，其中，一組記憶單元係連接至一
共用字組線，以及該組中之每一記憶單元，係連接至
一單一位元線；和

一耦合至其記憶單元陣列之差動感測放大器，其
係包括：

10 第一和第二輸入節點，其第一輸入節點，係選
擇地耦合至其單元陣列內多數連接至一參考單元之
位元線中的一條，以及其第二輸入節點，係選擇地
耦合至其屬一既定之字組線的記憶單元組內之一感
測單元；

一耦合至其第一輸入節點之第一前置放大器；

15 一耦合至其第二輸入節點之第二前置放大器；

一電荷注入式放大器，其係耦合至其第一前置放
大器之輸出端和其第二前置放大器之輸出端，藉以在
一讀取運作期間，相較於其參考單元之電阻狀態，決
定其感測單元之電阻狀態。

20 2. 一種資料儲存裝置，其係包括：

一電阻性交叉點記憶單元陣列；

多數之字組線；

多數之位元線，其中之記憶單元，係被安排成一
或多之記憶單元的多重組。每一組記憶單元，係連接

拾、申請專利範圍

在一對應之字組線與一耦合至一位元線之共用隔離二極體中間；和

一耦合至其記憶單元陣列之差動感測放大器，其係包括：

- 5 第一和第二輸入節點，其第一輸入節點，係選擇地耦合至其單元陣列內多數連接至一參考單元之位元線中的一條，以及其第二輸入節點，係選擇地耦合至此記憶單元組內之一感測單元；

一耦合至其第一輸入節點之第一前置放大器；

- 10 一耦合至其第二輸入節點之第二前置放大器；

一電荷注入式放大器，其係耦合至其第一前置放大器之輸出端和其第二前置放大器之輸出端，藉以在一讀取運作期間，相較於其參考單元之電阻狀態，決定其感測單元之電阻狀態。

- 15 3. 一種差動放大器，其係使用電荷注入技術，基於一參考電路之電阻狀態的比較，來決定一選定之電路的第一或第二電阻狀態，其係包括：

一耦合至其參考電路之第一前置放大器；

一耦合至上述選定之電路的第二前置放大器；

- 20 一電流鏡像電路，其係具有一耦合至其第一前置放大器而可基於來自其參考電路之參考電流來接受一參考電流的第一輸入端，和一耦合至其第二前置放大器而可基於來自上述選定之電路的感測電流來接受一參考電流之第二輸入端；

拾、申請專利範圍

一耦合至其第二前置放大器之預先充電電路，此預先充電電路，可在一讀取運作之前，被充電至一選定之電位；和

5 一耦合至其預先充電電路之比較器放大器，其中，在一讀取運作期間，以及隨著受到其預先充電電路上面之電位的影響，若其第二前置放大器所出之感測電流，係大於其第一前置放大器所出之參考電流，此比較器便會提供一表示此第一電阻狀態之第一輸出，或者，若該參考電流係大於上述之感測
10 電流，該比較器便會提供一表示此第二電阻狀態之第二輸出。

4. 如申請專利範圍第1或2項之資料儲存裝置，其中之電荷注入式放大器，可藉由使流經其感測單元之電流，與流經一或多之參考單元的電流作比較，來決定該感測單元之電阻狀態。
15

5. 如申請專利範圍第1或2項之資料儲存裝置，其中係進一步包括多重讀取電路，彼等各係藉由一對應之位元線而耦合至一或多相聯結之記憶單元組，以及在運作上可感測出流經此相聯結組之一記憶單元的電流。
20

6. 如申請專利範圍第1或2項之資料儲存裝置，其中係進一步包括多重比較器電路，彼等各係耦合至一相聯結之讀取電路，以及在運作上可使一類比差動感測電壓，轉換成一數位輸出讀取信號。

7. 如申請專利範圍第1或2項之資料儲存裝置，其中係進

拾、申請專利範圍

一步包括等電位產生器，其係耦合至該等字組線和位元線，以及在運作上可設定彼等選定之字組線和位元線上面之電阻性交叉點記憶單元陣列中的電壓位準，藉以大幅避免流經彼等未被選定之記憶單元的寄生電流。

8. 如申請專利範圍第1或2項之資料儲存裝置，其中之每一記憶單元，係包括一磁性隨機存取記憶體元件。
9. 如申請專利範圍第7項之之資料儲存裝置，其中之等電位產生器，在運作上可以來自彼等未被選定之字組線的回授，來設定每一組記憶單元之共用隔離二極體的輸入節點。
10. 如申請專利範圍第1或2項之資料儲存裝置，其中之電荷注入式放大器係包括：

一電流鏡像電路，其係具有一耦合至其第一前置放大器而可基於來自其參考電路之參考電流來接受一參考電流的第一輸入端，和一耦合至其第二前置放大器而可基於來自該等感測單元之感測電流來接受一參考電流之第二輸入端；

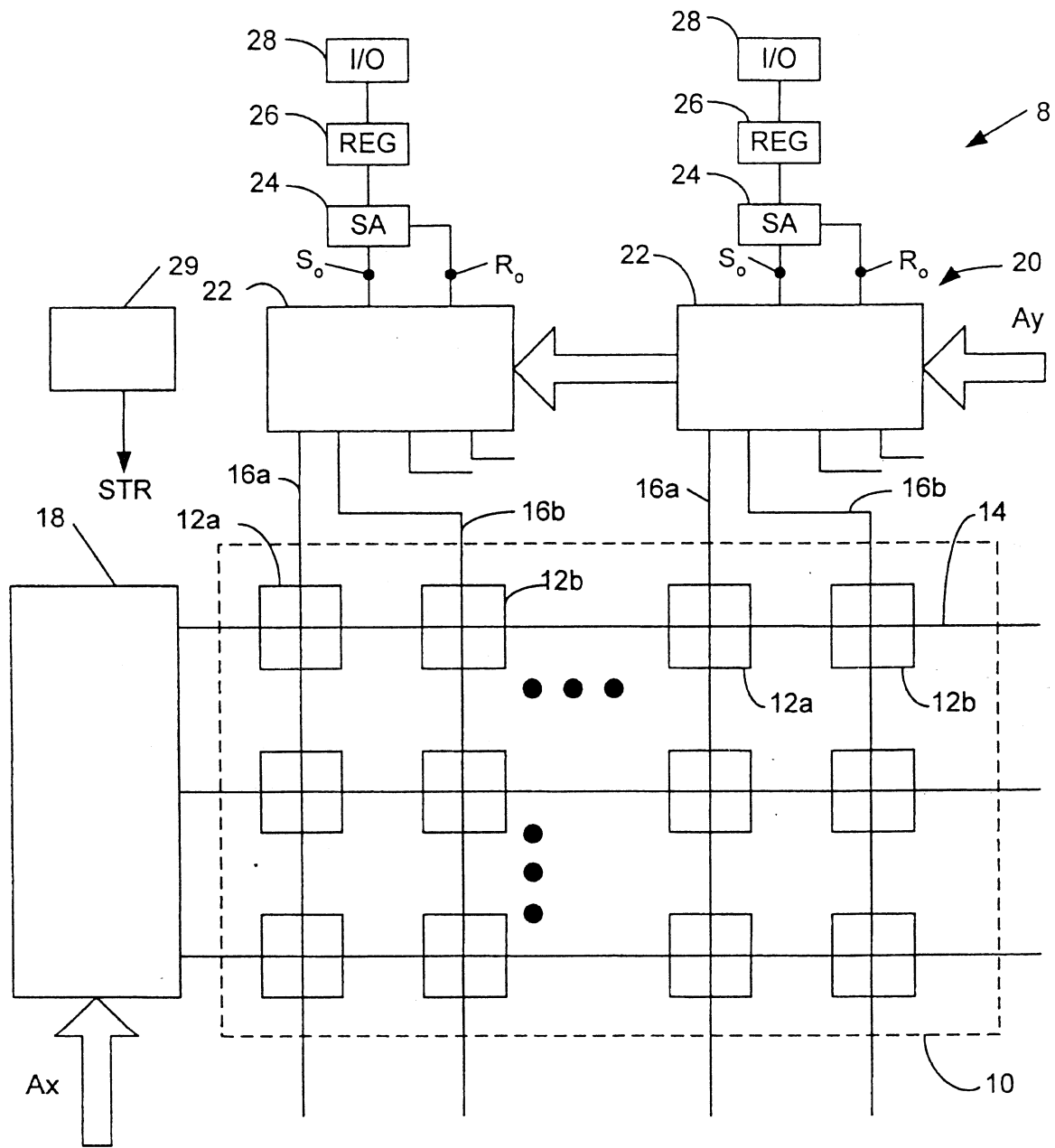
一耦合至其第二前置放大器之預先充電電路，此預先充電電路，可在一讀取運作之前，被充電至一選定之電位；和

一耦合至其預先充電電路和一參考電壓之比較器放大器，其中，在一讀取運作期間，以及隨著受到其預先充電電路上面之電位的修飾，當其第二前置放大

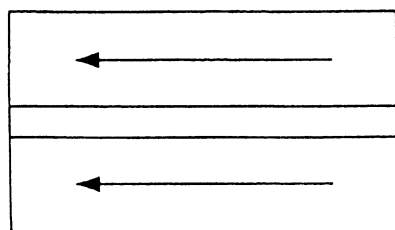
拾、申請專利範圍

器所出之感測電流，大於其第一前置放大器所出之參考電流時，此比較器便會提供一第一輸出，而當該參考電流大於上述之感測電流時，該比較器便會提供一第二輸出。

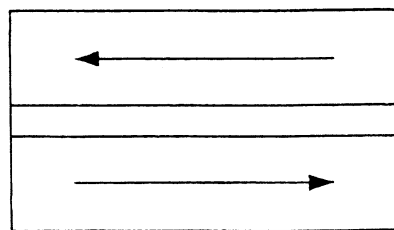
1/5



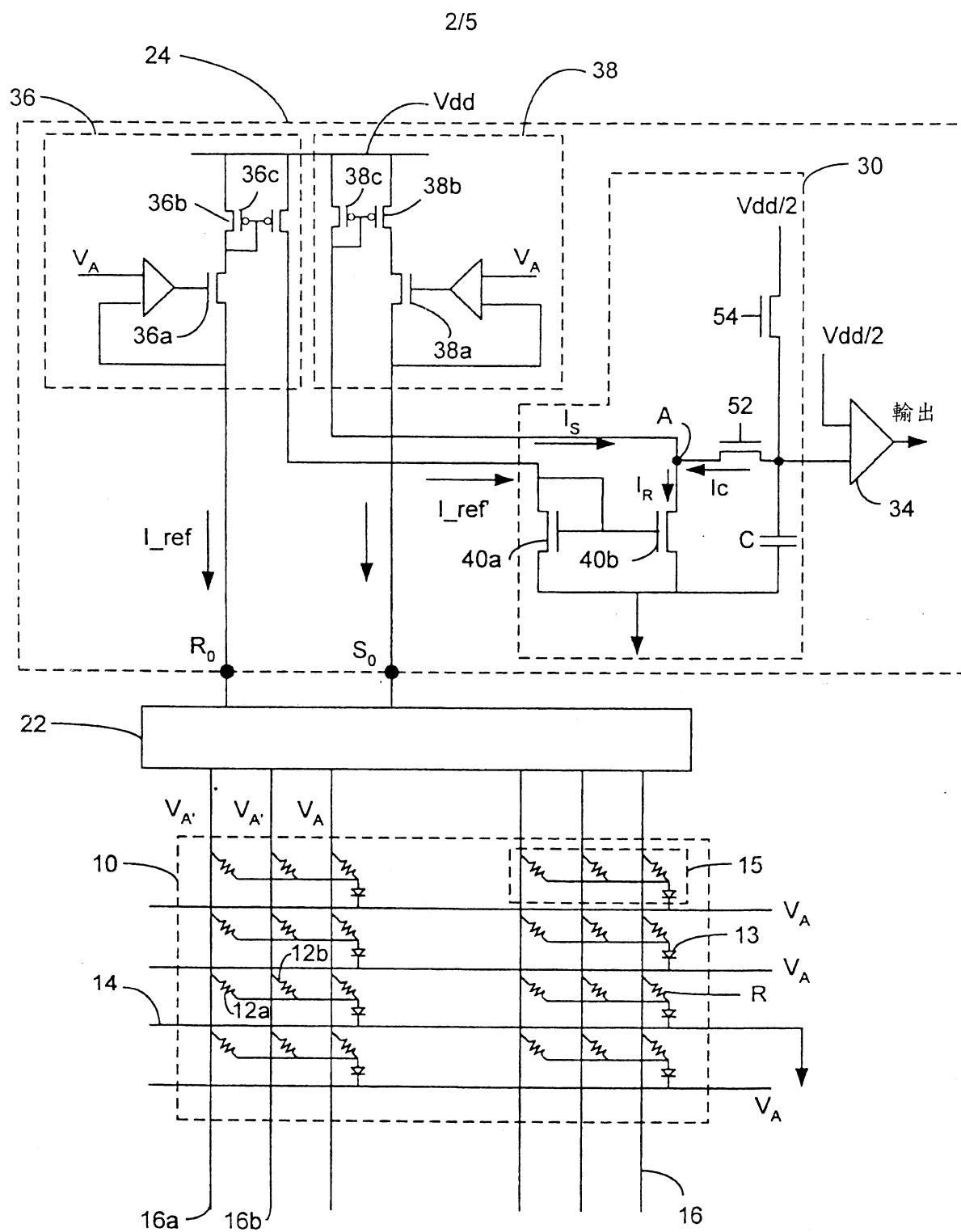
第 1 圖



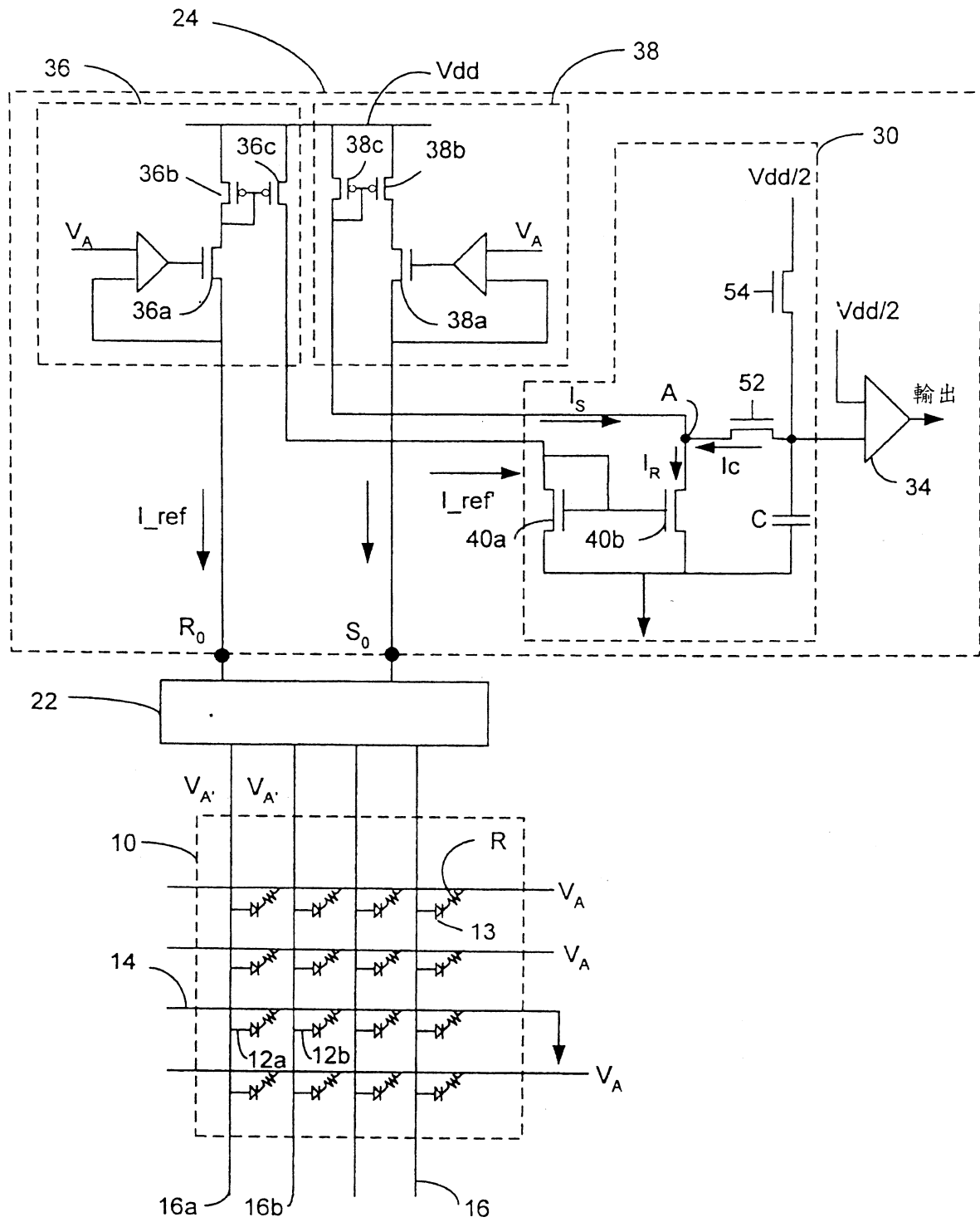
第 2a 圖



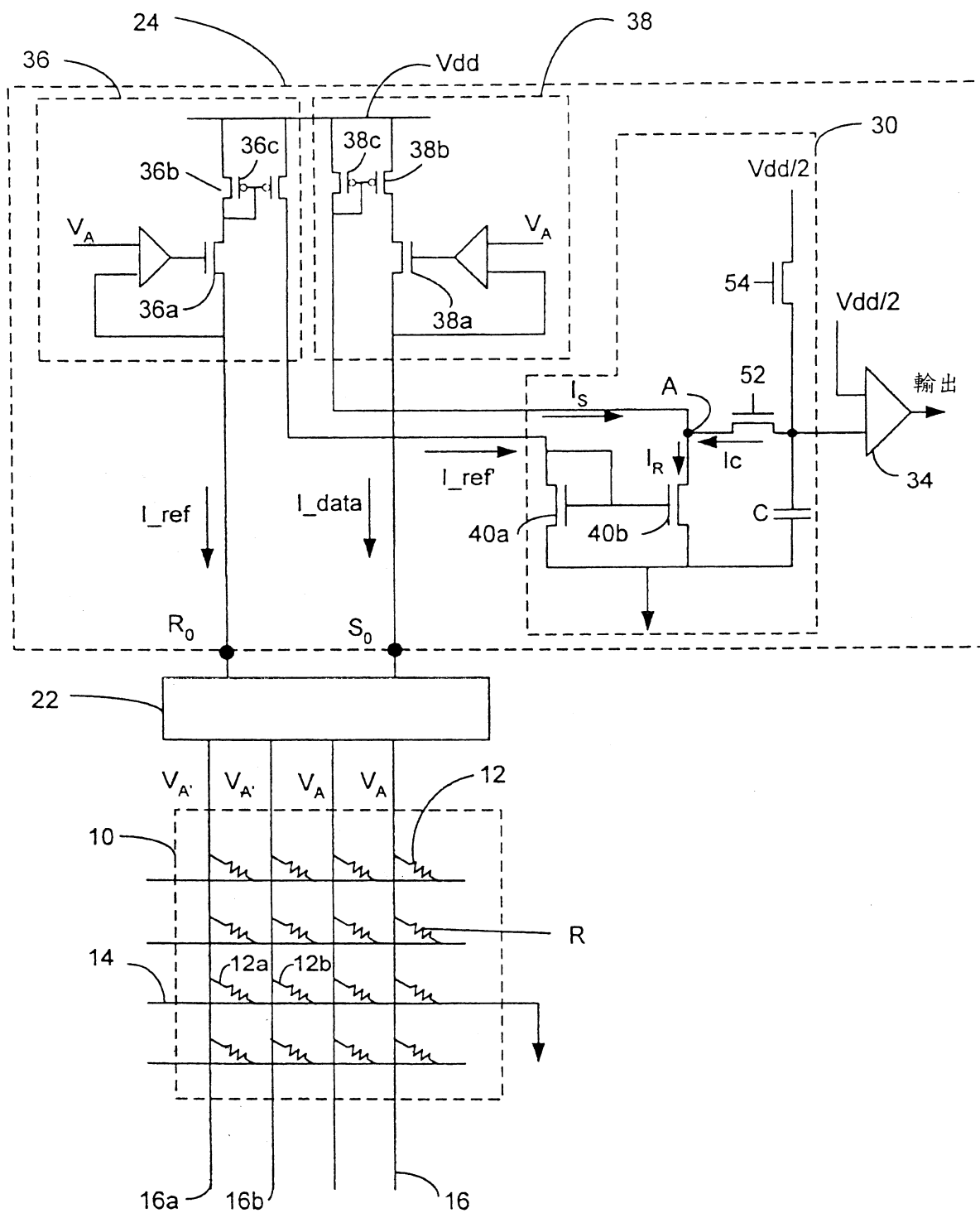
第 2b 圖



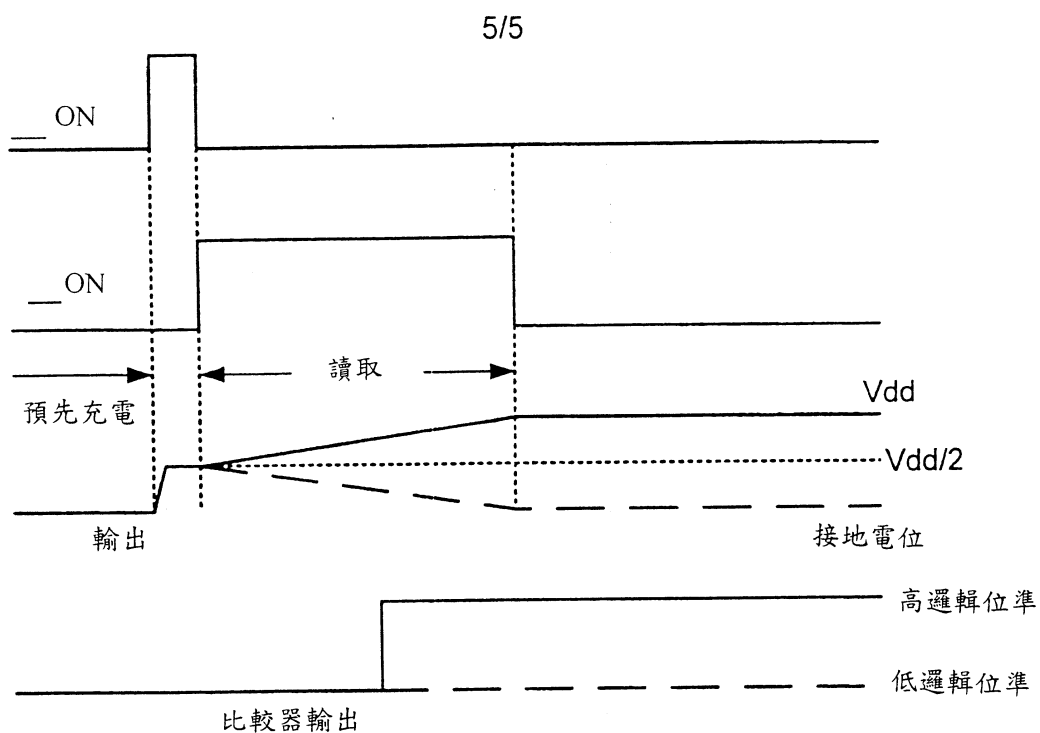
第 3a 圖



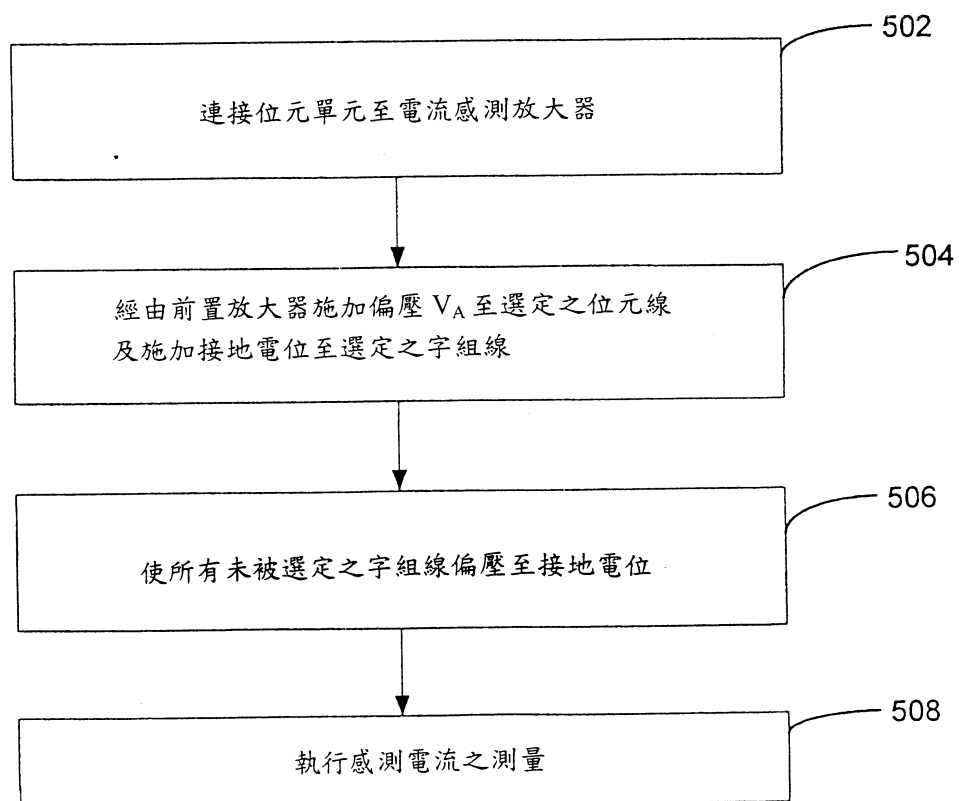
第 3b 圖



第 3c 圖



第 4 圖



第 5 圖

陸、(一)、本案指定代表圖爲：第 3a 圖

(二)、本代表圖之元件代表符號簡單說明：

10...電阻性交叉點陣列

12a,12b...記憶單元元件

13...隔離二極體

14...字組線

15...多重組

16...位元線

16a,16b...位元線

24...感測放大器

30...注入電荷式放大器

34...比較器

36...前置放大器

36a,38a,36b,36c,38b,38c,40a,40b...電晶體

38...前置放大器

52...讀取致能電晶體

54...電晶體

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：