

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009 年 7 月 16 日 (16.07.2009)

PCT

(10) 国際公開番号
WO 2009/087705 A1

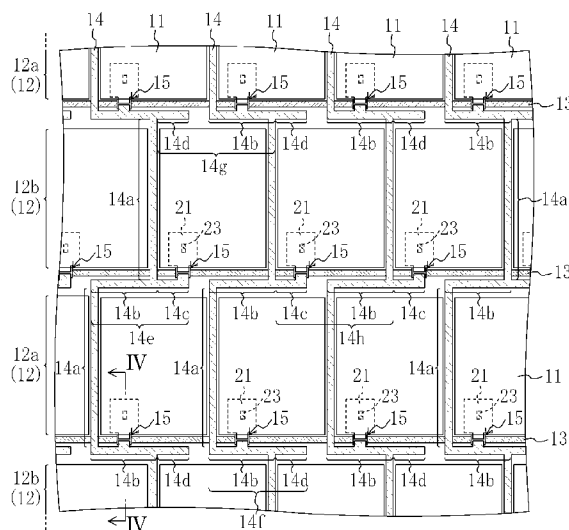
- (51) 国際特許分類: 5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
G09F 9/30 (2006.01) G02F 1/1368 (2006.01)
G02F 1/1343 (2006.01)
- (21) 国際出願番号: PCT/JP2008/002470
- (22) 国際出願日: 2008 年 9 月 8 日 (08.09.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2008-003236 2008 年 1 月 10 日 (10.01.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 浅子功 (ASAKO, Isao). 森永潤一 (MORINAGA, Junichi). 青木直 (AOKI, Sunao). 谷本和憲 (TANIMOTO, Kazunori).
- (74) 代理人: 前田弘, 外 (MAEDA, Hiroshi et al.); 〒 5410053 大阪府大阪市中央区本町 2 丁目 5 番 7 号 大阪丸紅ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA,

[続葉有]

(54) Title: ACTIVE MATRIX SUBSTRATE AND LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称: アクティブマトリクス基板及び液晶表示装置

[図3]



(57) Abstract: A plurality of source lines provided so as to extend in parallel to each other while alternately being bent between a plurality of pixel electrodes provided in a delta arrangement, each of the source lines being configured to have a plurality of first linear portions extending along sides of the respective pixel electrodes, a plurality of second linear portions being connected to the respective first linear portions and extending along sides of the respective pixel electrodes up to middle points of the respective sides, and a plurality of protruding portions extending from one ends of the respective second linear portions along sides of the respective pixel electrodes.

(57) 要約: デルタ配列に設けられた複数の画素電極の間に交互に屈曲しながら互いに平行に延びるように設けられた複数のソース線が、各画素電極の側辺に沿って延びる複数の第 1 線状部、各第 1 線状部に連結して各画素電極の側辺に沿ってその側辺の中間部分まで延びる複数の第 2 線状部、及び各第 2

[続葉有]

WO 2009/087705 A1



MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,
NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE,
SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,
SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

添付公開書類:

— 国際調査報告書

明 細 書

アクティブマトリクス基板及び液晶表示装置

技術分野

[0001] 本発明は、アクティブマトリクス基板及び液晶表示装置に関するものである。

背景技術

[0002] 液晶表示装置は、従来から、薄型で低消費電力であるという特徴を生かして、テレビ、パーソナルコンピュータ、携帯電話及びPDA（Personal Digital Assistant）等のディスプレイとして広く使用されている。

[0003] アクティブマトリクス駆動の液晶表示装置は、複数の画素電極及びTFT（Thin Film Transistor）が形成されたアクティブマトリクス基板と、アクティブマトリクス基板に対向して配置されて共通電極が形成された対向基板と、これら両基板の間で枠状のシール材の内側に封入された液晶層とを備え、複数の画素から構成されて画像表示を行う表示部を有している。

[0004] 表示部を構成する画素の配列として、動画表示に適したデルタ配列が知られている（例えば、特許文献1参照）。図11は、従来のデルタ配列の液晶表示装置におけるアクティブマトリクス基板の一部を拡大して概略的に示す平面図である。尚、図11及び後に参照する図12では、絶縁膜106を透過して各配線103、104及びTFT105を示す。

[0005] デルタ配列の液晶表示装置におけるアクティブマトリクス基板には、図11に示すように、各画素を構成する複数の画素電極101がデルタ配列に設けられている。各画素電極101は、線状に整列した複数の行102を規定し、隣り合う各行102a、102bにおいて、行方向（図中横方向）に互いに半ピッチずれて設けられている。

[0006] また、各画素電極101の間には、各行102a、102bに沿って互いに平行に延びるように設けられた複数のゲート線103と、図中左右交互に屈曲しながら各ゲート線103と交差する方向に延びるように設けられた複

数のソース線 104 とが形成されている。

[0007] 各画素電極 101 には、TFT 105 がそれぞれ接続されている。各 TFT 105 には絶縁膜 106 が積層されており、絶縁膜 106 に形成されたコンタクトホール 106a を介してドレイン電極 107 が画素電極 101 に接続されている。これら各 TFT 105 は、各画素の開口率を高める観点から各ゲート線 103 と各ソース線 104 との交差部付近に設けられている。

[0008] 各ソース線 104 は、各画素電極 101 の図中左側の側辺に沿って延びるように設けられた複数の第 1 線状部 104a と、それら各第 1 線状部 104a に連結して各画素電極 101 の図中上下両側の側辺に沿ってそれら側辺の中間部分まで延びるように設けられた複数の第 2 線状部 104b とを有している。各ソース線 104 に沿って設けられた各第 2 線状部 104b は、1 つおきに、その一方端に各画素電極 101 の図中上側又は図中下側の側辺に沿って延びる複数の突出部 104c が設けられている。そして、上記各 TFT 105 は、各ソース線 104 に沿って、各突出部 104c 及び各第 2 線状部 104b に交互に接続されている。このように、アクティブマトリクス基板は、各画素電極 101 に対して、これら各画素電極 101 に接続された TFT 105 の位置が同一である非反転構造を有している。

[0009] 上述したような非反転構造を有するデルタ配列の液晶表示装置は、アクティブマトリクス基板及び対向基板の各画素を構成する領域が互いにずれたとしても、各カラーフィルタと各画素電極との重なり合う面積の減少が隣り合う行の各画素で同じになるので、画像表示に横縞模様やざらつきが生じにくい。

特許文献1：特開平 11-119254 号公報

発明の開示

発明が解決しようとする課題

[0010] ところで、各画素電極とソース線との間には寄生容量が生じている。寄生容量は、画素電極とソース線との距離が近いほど大きくなり、また画素電極に沿うソース線の長さが長いほど大きくなる。この寄生容量は、その大きさ

に応じて、画素電極と共通電極との間に印加される電圧を低下させ、液晶層の透過率を低下させる。

[0011] 上述したような非反転構造を有するデルタ配列の液晶表示装置では、図 1 に示すように、各ソース線 104 において、隣り合う行 102a, 102b における一方の行 102a の各画素電極 101 の図中上側の側辺に沿う部分 104d と図中下側の側辺に沿う部分 104e との長さに差が生じ、他方の行 102b の各画素電極 101 の図中上側の側辺に沿う部分 104f と図中下側の側辺に沿う部分 104g との長さに差が生じている。具体的には、各ソース線 104 において、上記一方の行 102a の各画素電極 101 に図中上側で沿う部分 104d が図中下側で沿う部分 104e よりも突出部 104c の分長くなっており、上記他方の行 102b の各画素電極 101 に図中下側で沿う部分 104g も図中上側で沿う部分 104f よりも突出部 104c の分長くなっている。

[0012] このアクティブマトリクス基板は、図中に示すように、各画素電極 101 と各ソース線 104 との距離が図中上下方向の両側で一定になるように各画素電極 101 及び各ソース線 104 が所望の位置に形成されている場合に、各画素電極 101 とソース線 104 との間の寄生容量が互いに同じになるように設計されている。

[0013] しかし、図 12 に示すように、各ソース線 104 に対する各画素電極 101 の形成位置が、例えば図中左上方向にずれた場合には、隣り合う行 102a, 102b において、一方の行 102a の各画素電極 101 が、各ソース線 104 における比較的長い部分 104d に近づくと共に比較的短い部分 104e から遠ざかる。また、他方の行 102b の各画素電極 101 が、各ソース線 104 における比較的短い部分 104f に近づくと共に比較的長い部分 104g から遠ざかる。これにより、隣り合う行 102a, 102b における互いの各画素電極 101 とソース線 104 との間の寄生容量に差が生じる。

[0014] このように、隣り合う行における互いの各画素電極とソース線との間の寄

生容量に差が生じると、隣り合う行における一方の行の各画素電極が構成する画素の透過率が他方の行の各画素電極が構成する画素の透過率に対して低下する結果、画像表示に横縞模様やざらつきが生じやすくなり、表示品位が低下してしまう。

- [0015] 本発明は、斯かる諸点に鑑みてなされたものであり、その目的とするところは、デルタ配列に設けられた複数の画素電極の隣り合う行において、互いの各画素電極とソース線との間の寄生容量の差を抑制することにある。

課題を解決するための手段

- [0016] 上記の目的を達成するために、この発明では、デルタ配列に設けられた複数の画素電極の間に交互に屈曲しながら延びるように設けられ、各画素電極の側辺に沿って延びる複数の第1線状部、及び各第1線状部に連結して各画素電極の側辺に沿ってその側辺の中間部分まで延びる複数の第2線状部を有する複数のソース線が、各第2線状部の一方端から各画素電極の側辺に沿って延びる複数の突出部を有するようにした。
- [0017] 具体的に、本発明に係るアクティブマトリクス基板は、デルタ配列に設けられた複数の画素電極と、上記各画素電極の間に互いに平行に延びるように線状に設けられた複数のゲート線と、上記各画素電極の間に交互に屈曲しながら上記各ゲート線と交差する方向に互いに平行に延びるように設けられた複数のソース線と、上記各画素電極にそれぞれ接続された複数の薄膜トランジスタとを備え、上記各ソース線は、上記各画素電極の側辺に沿って延びるように設けられた複数の第1線状部、該各第1線状部に連結して上記各画素電極の側辺に沿って該側辺の中間部分まで延びるように設けられた複数の第2線状部、及び該各第2線状部の一方端から上記各画素電極の側辺に沿って延びるように設けられた複数の突出部を有し、上記各薄膜トランジスタは、上記各ソース線に沿って、上記各第1線状部又は上記各第2線状部と上記各突出部とに交互に接続されている。
- [0018] 上記各突出部は、互いに同じ長さで形成されていることが好ましい。
- [0019] また、本発明に係る液晶表示装置は、上記アクティブマトリクス基板と、

上記アクティブマトリクス基板に対向して配置された対向基板と、上記アクティブマトリクス基板と上記対向基板との間に設けられた液晶層とを有する。

[0020] －作用－

次に、本発明の作用について説明する。

[0021] 本発明に係るアクティブマトリクス基板によると、デルタ配列に設けられた複数の画素電極の間に交互に屈曲しながら延びるように設けられ、画素電極の側辺に沿って延びる複数の第１線状部、各第１線状部に連結して各画素電極の側辺に沿ってその側辺の中間部分まで延びる複数の第２線状部を有する複数のソース線が、各第２線状部の一方端から各画素電極の側辺に沿って延びる複数の突出部を有しているため、各ソース線において、各画素電極における各行の並ぶ方向の両側でそれら各画素電極に沿う部分の長さの差が小さくなる。これによって、各画素電極と各ソース線との形成位置がずれたとしても、隣り合う行において、互いの各画素電極とソース線との間の寄生容量の差が抑制される。

[0022] 特に、各突出部が互いに同じ長さで形成されている場合には、各ソース線において、各画素電極における各行の並ぶ方向の両側でそれら各画素電極に沿う部分の長さに差がなくなるため、隣り合う行において、互いの各画素電極とソース線との間の寄生容量の差が可及的に抑制される。

[0023] また、本発明に係る液晶表示装置によると、上記アクティブマトリクス基板と、そのアクティブマトリクス基板に対向して配置された対向基板と、これら両基板の間に設けられた液晶層とを有しているため、各画素電極と各ソース線との形成位置がずれたとしても、隣り合う行において、互いの各画素電極とソース線との間の寄生容量の差が抑制される。そして、画像表示に横縞模様やざらつきが生じることが抑制され、表示品位が向上する。

発明の効果

[0024] 本発明によれば、デルタ配列に設けられた複数の画素電極の間に交互に屈曲しながら延びるように設けられ、画素電極の側辺に沿って延びる複数の第

１線状部、及び各第１線状部に連結して各画素電極の側辺に沿ってその側辺の中間部分まで延びる複数の第２線状部を有する複数のソース線が、各第２線状部の一方端から各画素電極の側辺に沿って延びる複数の突出部を有しているので、各画素電極と各ソース線との形成位置がずれたとしても、隣り合う行において、互いの各画素電極とソース線との間の寄生容量の差を抑制できる。

図面の簡単な説明

[0025] [図1] 図１は、実施形態１の液晶表示装置を概略的に示す平面図である。

[図2] 図２は、図１のⅡ－Ⅱ線断面を概略的に示す断面図である。

[図3] 図３は、アクティブマトリクス基板の一部を拡大して概略的に示す平面図である。

[図4] 図４は、図３のⅣ－Ⅳ線に沿ってＴＦＴを概略的に示す断面図である。

[図5] 図５は、対向基板の一部を拡大して概略的に示す平面図である。

[図6] 図６は、ゲート線及びゲート絶縁膜が形成された状態のガラス基板を概略的に示す断面図である。

[図7] 図７は、半導体層が形成された状態のガラス基板を概略的に示す断面図である。

[図8] 図８は、ソース電極及びドレイン電極が形成された状態のガラス基板を概略的に示す断面図である。

[図9] 図９は、半導体層にチャネル部が形成された状態のガラス基板を概略的に示す断面図である。

[図10] 図１０は、積層絶縁膜にコンタクトホールが形成された状態のガラス基板を概略的に示す断面図である。

[図11] 図１１は、従来のアクティブマトリクス基板の一部を拡大して概略的に示す平面図である。

[図12] 図１２は、画素電極がずれて形成された場合の従来のアクティブマトリクス基板の一部を拡大して概略的に示す平面図である。

符号の説明

- [0026] (s) 液晶表示装置
- (10) アクティブマトリクス基板
- (11) 画素電極
- (13) ゲート線
- (14) ソース線
- (14a) 第 1 線状部
- (14b) 第 2 線状部
- (14c, 14d) 突出部
- (15) T F T (薄膜トランジスタ)
- (25) 対向基板
- (30) 液晶層
- (31) シール材

発明を実施するための最良の形態

- [0027] 以下、本発明の実施形態を図面に基づいて詳細に説明する。尚、本発明は、以下の各実施形態に限定されるものではない。

- [0028] 《発明の実施形態 1》

図 1 ～図 10 は、本発明の実施形態 1 を示している。図 1 は、液晶表示装置 S を概略的に示す平面図である。図 2 は、図 1 の II-II 線に沿って液晶表示装置 S を概略的に示す断面図である。図 3 及び図 5 は、液晶表示装置 S を構成する一対の基板 10, 25 の一部をそれぞれ拡大して示す図である。図 4 は、図 3 の IV-IV 線に沿って薄膜トランジスタ 15 を概略的に示す断面図である。

- [0029] 液晶表示装置 S は、図 1 及び図 2 に示すように、アクティブマトリクス基板 10 と、アクティブマトリクス基板 10 に対向して配置された対向基板 25 と、これらアクティブマトリクス基板 10 と対向基板 25 との間に設けられた液晶層 30 とを備えている。この液晶表示装置 S は、デルタ配列に設けられた複数の画素（図示省略）から構成されて画像表示を行う表示部 D を有している。

- [0030] アクティブマトリクス基板 10 及び対向基板 25 は、例えば矩形状等に形成され、図示は省略するが、液晶層 30 側の表面に配向膜がそれぞれ設けられていると共に、液晶層 30 とは反対側の表面に偏光板がそれぞれ設けられている。これらアクティブマトリクス基板 10 と対向基板 25 との間には、エポキシ樹脂等からなる枠状のシール材 31 が配置されており、このシール材 31 の内側に液晶材料が封入されていることにより、上記液晶層 30 が構成されている。
- [0031] アクティブマトリクス基板 10 は、図 1 に示すように、一辺側に対向基板 25 よりも外側に突出して対向基板 25 から外部に露出した突出部 10a を実装領域として有している。この突出部 10a には、図示は省略するが、液晶駆動用の集積回路チップと、この集積回路チップへの給電及び画像表示を行うための信号等を外部回路からアクティブマトリクス基板 10 及び対向基板 25 に供給するためのフレキシブルプリント配線基板とが実装されている。
- [0032] また、アクティブマトリクス基板 10 は、図 3 に示すように、表示部 D に、デルタ状に設けられた複数の画素電極 11 と、各画素電極 11 の間に互いに平行に延びるように設けられた複数のゲート線 13 と、各画素電極 11 の間に各ゲート線 13 と直交する方向に互いに平行に延びるように設けられた複数のソース線 14 と、各画素電極 11 にそれぞれ接続された複数の薄膜トランジスタ（TFT：Thin Film Transistor、以下、TFT と称する）15 とを備えている。
- [0033] デルタ状に設けられた各画素電極 11 は、互いに平行に並んで整列した複数の行 12 を規定し、隣り合う各行 12a, 12b において、行方向（図中横方向）に互いに半ピッチずれて設けられている。各画素電極 11 は、例えば矩形状に形成されている。このアクティブマトリクス基板 10 は、各画素電極 11 に対して TFT 15 の位置が同一である非反転構造を有している。
- [0034] 尚、本実施形態では、各画素電極 11 が矩形状に形成されているとしているが、各画素電極 11 は、矩形状の電極を一部切り欠いた形状や一部突出さ

せた形状等の種々の形状に形成することが可能である。

- [0035] 各ゲート線 1 3 は、各画素電極 1 1 の間に行方向へそれぞれ延びるように線状に設けられている。また、各ゲート線 1 3 の間には、これら各ゲート線 1 3 に沿ってそれぞれ延びて各行における後述する T F T 1 5 のドレイン電極 2 1 に重なるように補助容量線（図示省略）が設けられている。各ソース線 1 4 は、各画素電極 1 1 の間に図中左右交互に屈曲しながら、言い換えればクランク状に蛇行しながら各ゲート線 1 3 と交差する方向に互いに平行に延びるように設けられている。
- [0036] 各ソース線 1 4 は、各画素電極 1 1 の図中左側の側辺に沿って延びるように設けられた複数の第 1 線状部 1 4 a と、それら各第 1 線状部 1 4 a に連結して各画素電極 1 1 の図中上下両側の側辺に沿ってそれら側辺の中間部分まで延びるように設けられた複数の第 2 線状部 1 4 b とを有している。各ソース線 1 4 は、これら各第 1 線状部 1 4 a 及び各第 2 線状部 1 4 b が交互に連結されて設けられている。
- [0037] さらに、各ソース線 1 4 は、各第 2 線状部 1 4 b における図中右側の一端から各画素電極 1 1 の図中上下両側の側辺に沿って延びるように設けられた複数の突出部 1 4 c、1 4 d を有している。これら各突出部 1 4 c、1 4 d は、互いに同じ長さで形成されている。
- [0038] 各ソース線 1 4 は、それら各ソース線 1 4 の図中右側に配置された各画素電極 1 1 に T F T 1 5 を介して接続されている。各 T F T 1 5 は、各ソース線 1 4 に沿って、各第 2 線状部 1 4 b と各突出部 1 4 c とに交互に接続されている。
- [0039] 各 T F T 1 5 は、各画素の開口率を高める観点から、各ゲート線 1 3 と各ソース線 1 4 との交差部付近に設けられている。これら各 T F T 1 5 は、図 4 に示すように、ボトムゲート型の T F T であり、各 T F T 1 5 の半導体層 1 9 は、各ゲート線 1 3 及び各補助容量線を覆うように設けられたゲート絶縁膜 1 8 上に形成されている。ゲート絶縁膜 1 8 上には、上記各ソース線 1 4 も形成されている。

- [0040] 各半導体層 19 は、各ゲート線 13 の一部を跨ぐようにゲート絶縁膜 18 上に島状に形成されている。そうして、ゲート絶縁膜 18 を介して各半導体層 19 に重なる各ゲート線 13 の一部が、各 TFT 15 のゲート電極 17 を構成している。
- [0041] 各半導体層 19 は、例えば真性アモルファスシリコン層 19a と n+アモルファスシリコン層 19b とが積層されて構成されている。n+アモルファスシリコン層 19b はゲート電極 17 に重なる領域が一部除去されて 2 つに分断され、n+アモルファスシリコン層 19b から露出した真性アモルファスシリコン層 19a の領域がチャネル部 19c を構成している。
- [0042] そして、一方の n+アモルファスシリコン層 19b 及びゲート絶縁膜 18 上には、ソース線 14 に接続されたソース電極 20 が形成されている。また、他方の n+アモルファスシリコン層 19b 及びゲート絶縁膜 18 上には、画素電極 11 に接続されたドレイン電極 21 が形成されている。
- [0043] 尚、本実施形態では、各 TFT 15 がボトムゲート型の TFT であるとしているが、各 TFT 15 は、トップゲート型の TFT であってもよい。
- [0044] これら各 TFT 15 には、窒化シリコン膜及びアクリル系樹脂膜（共に図示省略）が順に積層されてなる積層絶縁膜 22 が積層されている。積層絶縁膜 22 の表面には、各画素電極 11 が形成されている。この積層絶縁膜 22 には各 TFT 15 におけるドレイン電極 21 の一部を底に露出する複数のコンタクトホール 23 が形成されており、各コンタクトホール 23 を介して各ドレイン電極 21 が各画素電極 11 に接続されている。
- [0045] 上記対向基板 25 は、図 5 に示すように、表示部 D に、上記各画素電極 11 にそれぞれ重なり合うように複数のカラーフィルタ 26 が設けられている。複数のカラーフィルタ 26 は、例えば赤色のカラーフィルタ 26r、緑色のカラーフィルタ 26g 及び青色のカラーフィルタ 26b の三色のカラーフィルタ等によって構成され、上記各画素電極 11 と同様に複数の行 27 を規定している。
- [0046] 具体的には、行方向に赤色、緑色及び青色の各カラーフィルタ 26r, 2

6 g, 26 b が周期的に線状に配列されている。これら各カラーフィルタ 26 は、1 行毎に行方向に 1.5 ピッチずれて同色のカラーフィルタ 26 が配置されるように配列されている。

[0047] また、対向基板 25 には、各カラーフィルタ 26 を区画するようにブラックマトリクス 28 が形成されており、さらに各カラーフィルタ 26 及びブラックマトリクス 28 を覆うように共通電極（図示省略）が形成されている。

[0048] こうして、液晶表示装置 S は、外部回路から入力される所定のゲート信号に応じて、各ゲート線 13 に接続された各 TFT 15 を順次オン状態に切り替え、各ソース線 14 に所定のソース信号を供給することによって、ドレイン電極 21 を介して特定の画素電極 11 に所定の電荷を書き込んで、特定の画素電極 11 と共通電極との間で液晶層 30 に所定の電圧を印加することにより、液晶分子の配向を制御して所望の表示を行うようになっている。

[0049] ー製造方法ー

次に、上記アクティブマトリクス基板 10 の作製方法及び上記液晶表示装置 S の製造方法について説明する。

[0050] 液晶表示装置 S は、アクティブマトリクス基板 10 及び対向基板 25 をそれぞれ作製し、これら両基板 10, 25 をシール材 31 を介して互いに貼り合わせると共に、そのシール材 31 によってアクティブマトリクス基板 10 と対向基板 25 との間に液晶層 30 を封入した後、アクティブマトリクス基板 10 への集積回路チップ及びフレキシブルプリント配線基板の実装、及び両基板 10, 25 に対する偏光板の貼り付けを行うことによって製造する。本発明に係る液晶表示装置 S は、特にアクティブマトリクス基板 10 に特徴があるため、アクティブマトリクス基板 10 の作製方法について、以下に図 6～図 10 を参照しながら詳述する。図 6～図 10 は、アクティブマトリクス基板 10 の作製方法を説明するための図であり、TFT 15 が形成されるガラス基板 16 の領域を拡大して概略的に示す断面図である。

[0051] アクティブマトリクス基板 10 を製造するには、まず、ガラス基板 16 の一方の表面全体に、例えばアルミニウムを含む金属膜（例えば厚さ 50 nm

～500nm程度)をスパッタリング法によって成膜した後、その金属膜をフォトリソグラフィによってパターンニングして、図6に示すように、各ゲート線(各ゲート電極17)13及び各補助容量線を形成する。

[0052] 続いて、各ゲート線(各ゲート電極17)13及び各補助容量線が形成された表面全体に、プラズマCVD(Chemical Vapor Deposition)法によって窒化シリコン膜(例えば厚さ100nm～500nm程度)等を成膜することにより、ゲート絶縁膜18を形成する。

[0053] 次に、各ゲート絶縁膜18の全面に、プラズマCVD法によって真性アモルファスシリコン膜(例えば厚さ50nm～100nm程度)と、リン等のn型不純物元素がドーパされたn+アモルファスシリコン膜(例えば厚さ50nm～100nm程度)とを連続して成膜した後に、これら真性アモルファスシリコン膜及びn+アモルファスシリコン膜をフォトリソグラフィによってゲート電極17上に島状にパターンニングして、図7に示すように、各半導体層19を形成する。

[0054] ここで、各半導体層19は、上述したようにアモルファスシリコン膜から形成してもよいが、ポリシリコン膜から形成してもよい。また、アモルファスシリコン膜又はポリシリコン膜にレーザーアニール処理を行って結晶性を向上させてもよい。

[0055] 続いて、各半導体層19が形成されたゲート絶縁膜18の全面に、例えばアルミニウムを含む金属膜(例えば厚さ50nm～500nm程度)をスパッタリング法によって成膜した後、その金属膜をフォトリソグラフィによってパターンニングすることにより、図8に示すように各ソース電極20及び各ドレイン電極21を形成すると共に、各ソース線14を形成する。このとき、各第1線状部14a及び各第2線状部14bと共に各突出部14c、14dも形成される。

[0056] 次に、各ソース電極20及び各ドレイン電極21をマスクとして、各半導体層19のn+アモルファスシリコン層19bの一部をエッチングによって除去して、図9に示すように、チャネル部19cを形成することにより、各

TFT15を形成する。

[0057] 次に、プラズマCVD法によって各TFT15を覆うように窒化シリコン膜（例えば厚さ100nm～300nm程度）等を成膜した後、スピニング法によってアクリル系樹脂膜（例えば厚さ1000nm～5000nm程度）等を成膜することにより、積層絶縁膜22を形成する。

[0058] 次に、積層絶縁膜22における各ドレイン電極21に重なる領域の一部をエッチングによって除去して、図10に示すように、各コンタクトホール23を形成する。そして、各コンタクトホール23が形成された積層絶縁膜22の全面に、ITO（Indium Tin Oxide）等からなる透明導電膜（例えば厚さ100nm～200nm程度）をスパッタリング法によって成膜した後、その透明導電膜をフォトリソグラフィによってパターニングすることにより、各画素電極11を形成する。

[0059] その後、各画素電極11を覆うように、印刷法によってポリイミド系樹脂を塗布した後、ラビング処理を行って配向膜を形成する。以上のようにして、非反転構造を有するアクティブマトリクス基板10が作製される。

[0060] ー実施形態1の効果ー

したがって、この実施形態1によると、デルタ配列に設けられた複数の画素電極11の間で交互に屈曲しながら延びるように設けられ、各画素電極11の側辺に沿って延びる複数の第1線状部14a、及び各第1線状部14aに連結して各画素電極11の側辺に沿ってその側辺の中間部分まで延びる複数の第2線状部14bを有する複数のソース線14が、各第2線状部14bの一方端から各画素電極11の側辺に沿って延びる複数の突出部14c、14dを有しているため、図3に示すように、各ソース線14において、各画素電極11における各行12の並ぶ方向の両側でそれら各画素電極11に沿う部分14e、14f、14g、14hの長さの差を小さくできる。これによって、各画素電極11と各ソース線14との形成位置がずれたとしても、隣り合う行12a、12bにおいて、互いの各画素電極11とソース線14との間の寄生容量の差を抑制できる。そして、画像表示に横縞模様やざらつ

きが生じることを抑制でき、表示品位を向上させることができる。

[0061] さらに、各突出部 1 4 c, 1 4 d が互いに同じ長さで形成されているため、各ソース線 1 4 において、各画素電極 1 1 における各行 1 2 の並ぶ方向の両側でそれら各画素電極 1 1 に沿う部分 1 4 e, 1 4 f, 1 4 g, 1 4 h の長さに差をなくすることができる。その結果、隣り合う行 1 2 a, 1 2 b において、互いの各画素電極 1 1 とソース線 1 4 との間の寄生容量の差を可及的に抑制できる。

[0062] 《その他の実施形態》

上記実施形態 1 では、各突出部 1 4 c, 1 4 d の互いの長さが同じになっているとしたが、本発明はこれに限られず、各突出部 1 4 c, 1 4 d は、互いの長さが異なってもよい。このように各突出部 1 4 c, 1 4 d の互いの長さが異なっても、各ソース線 1 4 において、各画素電極 1 1 における各行 1 2 の並ぶ方向の両側でそれら各画素電極 1 1 に沿う部分 1 4 e, 1 4 f, 1 4 g, 1 4 h の長さの差を小さくでき、隣り合う行 1 2 a, 1 2 b において、互いの各画素電極 1 1 とソース線 1 4 との間の寄生容量の差を抑制することが可能になる。

[0063] 上記実施形態 1 では、各 T F T 1 5 が各第 2 線状部 1 4 b 及び各突出部 1 4 c に交互に接続されているとしたが、本発明はこれに限られず、各 T F T 1 5 は、各第 1 線状部 1 4 a 及び各突出部 1 4 c に交互に接続されていてもよい。

[0064] 上記実施形態 1 では、アクティブマトリクス基板 1 0 を有する液晶表示装置 S について説明したが、本発明はこれに限られず、有機エレクトロルミネッセンス表示装置等のアクティブマトリクス基板を有する他の表示装置にも適用することが可能である。

[0065] 上記実施形態 1 では、各ゲート線 1 3 が各画素電極 1 1 の間に線状に延びるように設けられ、各ソース線 1 4 が各画素電極 1 1 の間に交互に屈曲しながら延びるように設けられているとしたが、各ソース線が各画素電極の間に線状に延びるように設けられ、各ゲート線が各画素電極の間に交互に屈曲し

ながら各ソース線と交差する方向に延びるように設けられていてもよい。すなわち、各ゲート線が、各画素電極の側辺に沿って延びるように設けられた複数の第1線状部、それら各第1線状部に連結して各画素電極の側辺に沿ってその側辺の中間部分まで延びるように設けられた複数の第2線状部、及び各第2線状部の一方端から各画素電極の側辺に沿って延びるように設けられた複数の突出部を有していてもよい。

- [0066] 上記構成によると、各画素電極と各ゲート線との形成位置がずれたとしても、各ゲート線において、各画素電極における各行の並ぶ方向の両側でそれら各画素電極に沿う部分の長さの差を小さくでき、隣り合う行において、互いの各画素電極とゲート線との間に生じる寄生容量の差を抑制することが可能になる。

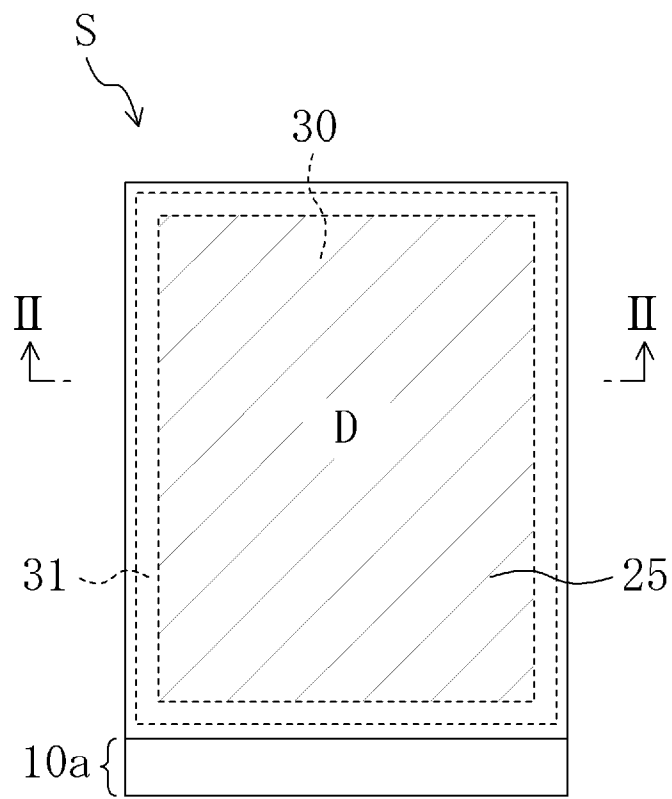
産業上の利用可能性

- [0067] 以上説明したように、本発明は、アクティブマトリクス基板及び液晶表示装置について有用であり、特に、デルタ配列に設けられた複数の画素電極の隣り合う行において、互いの各画素電極とソース線との間の寄生容量の差を抑制することが要望されるアクティブマトリクス基板及び液晶表示装置に適している。

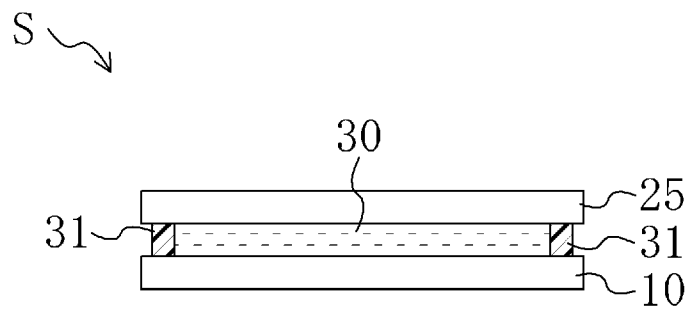
請求の範囲

- [1] デルタ配列に設けられた複数の画素電極と、
 上記各画素電極の間に互いに平行に延びるように線状に設けられた複数のゲート線と、
 上記各画素電極の間に交互に屈曲しながら上記各ゲート線と交差する方向に互いに平行に延びるように設けられた複数のソース線と、
 上記各画素電極にそれぞれ接続された複数の薄膜トランジスタとを備え、
 上記各ソース線は、上記各画素電極の側辺に沿って延びるように設けられた複数の第1線状部、該各第1線状部に連結して上記各画素電極の側辺に沿って該側辺の中間部分まで延びるように設けられた複数の第2線状部、及び該各第2線状部の一方端から上記各画素電極の側辺に沿って延びるように設けられた複数の突出部を有し、
 上記各薄膜トランジスタは、上記各ソース線に沿って、上記各第1線状部又は上記各第2線状部と上記各突出部とに交互に接続されている
 ことを特徴とするアクティブマトリクス基板。
- [2] 請求項1に記載のアクティブマトリクス基板において、
 上記各突出部は、互いに同じ長さで形成されている
 ことを特徴とするアクティブマトリクス基板。
- [3] 請求項1に記載のアクティブマトリクス基板と、
 上記アクティブマトリクス基板に対向して配置された対向基板と、
 上記アクティブマトリクス基板と上記対向基板との間に設けられた液晶層とを有する
 ことを特徴とする液晶表示装置。

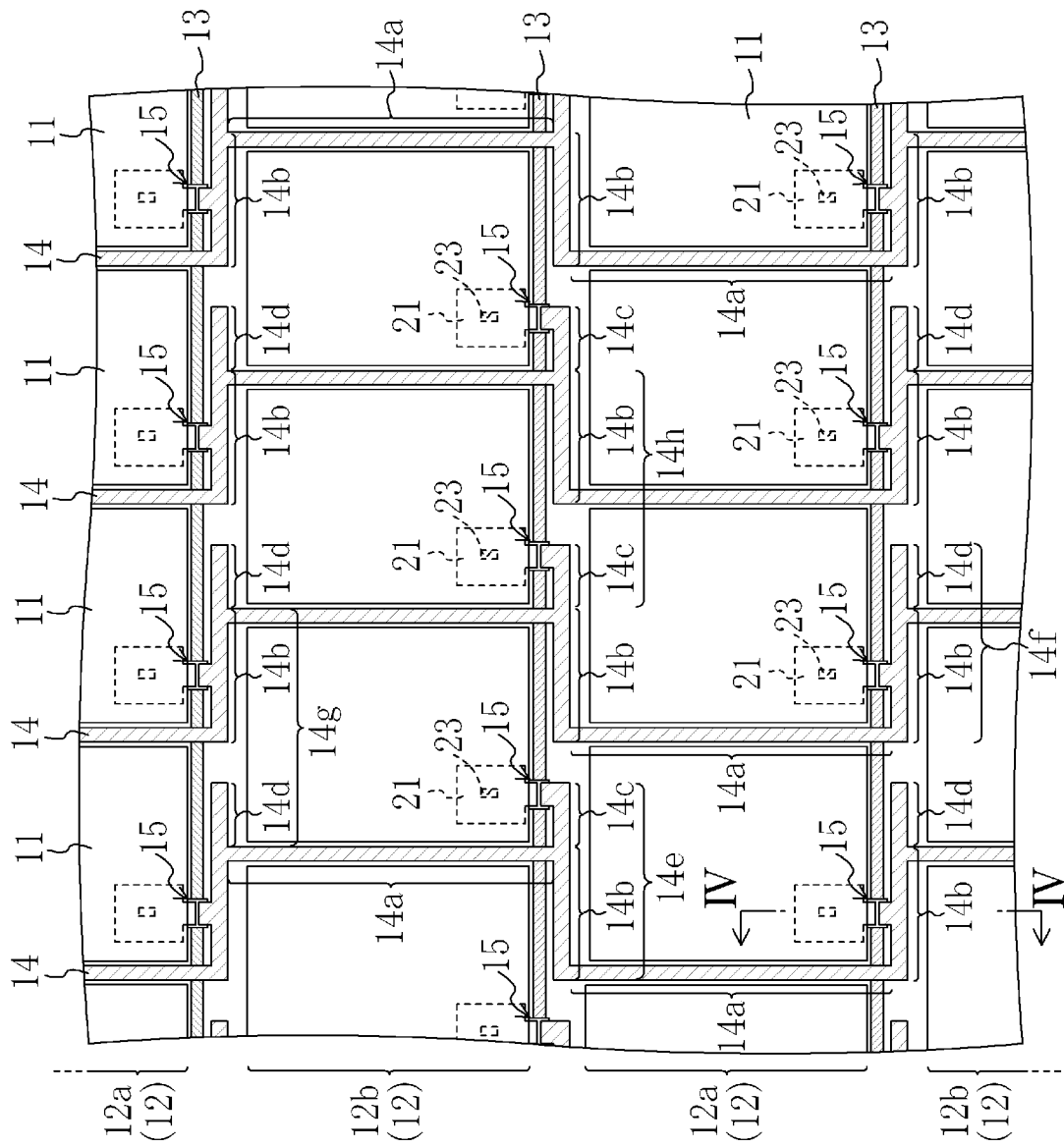
[図1]



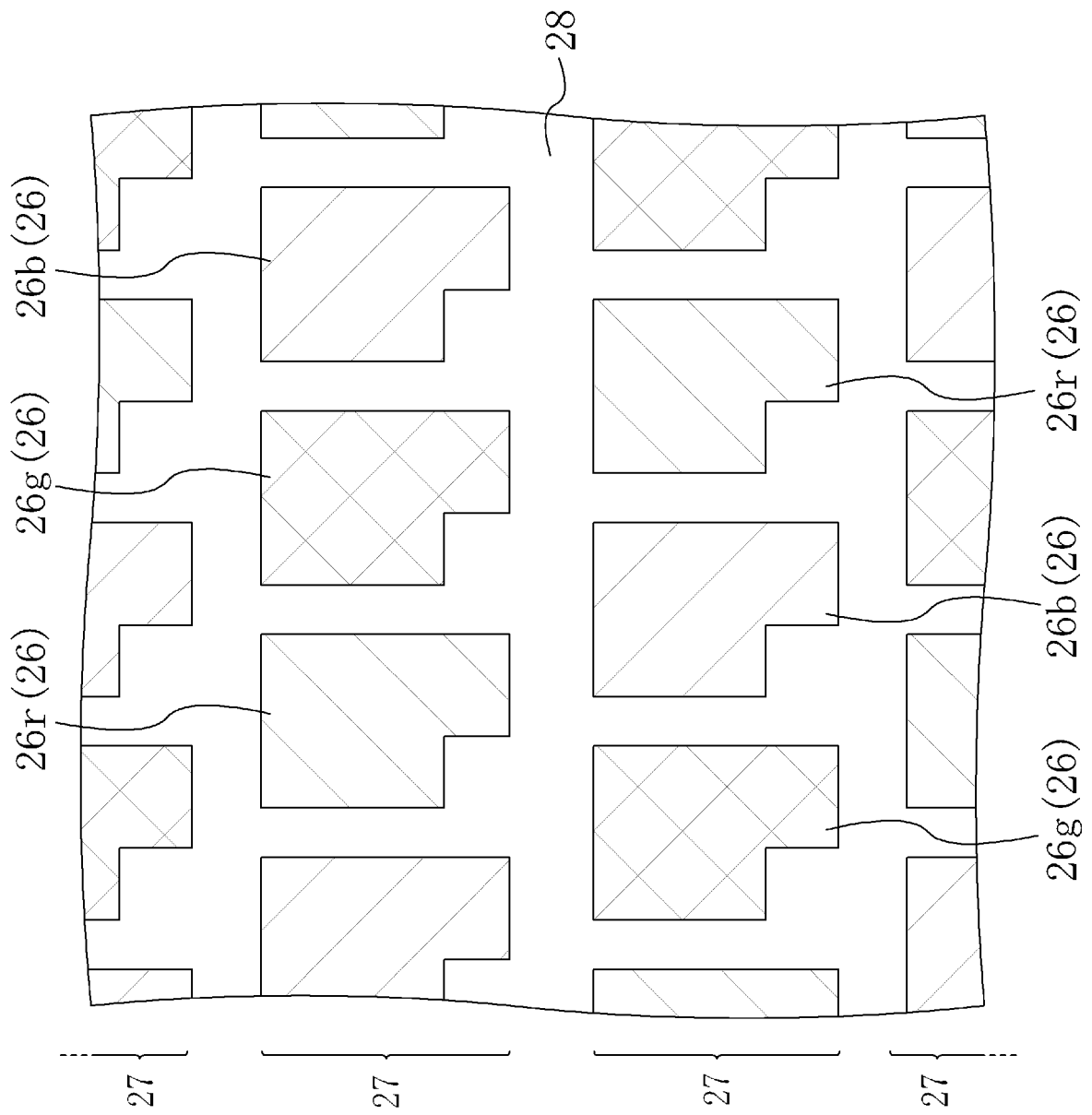
[図2]



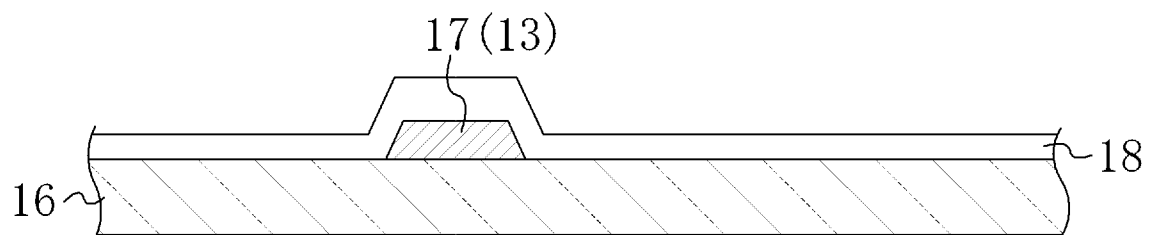
[図3]



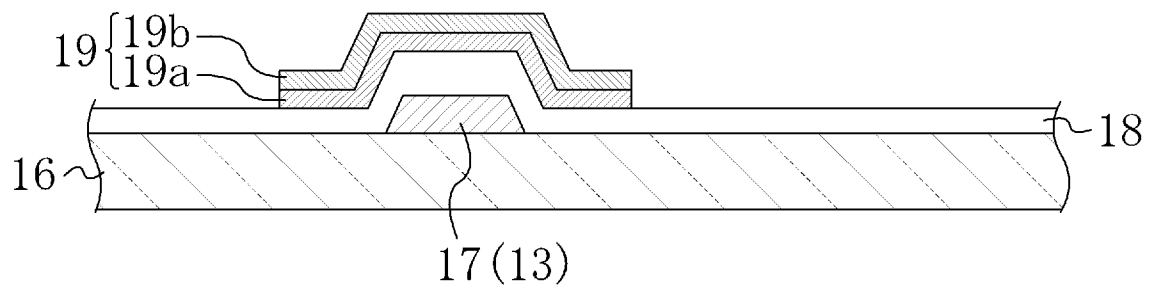
[図5]



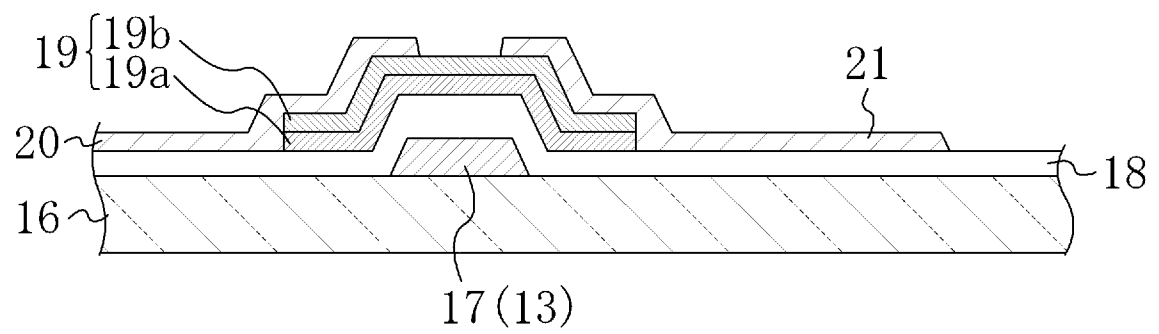
[図6]



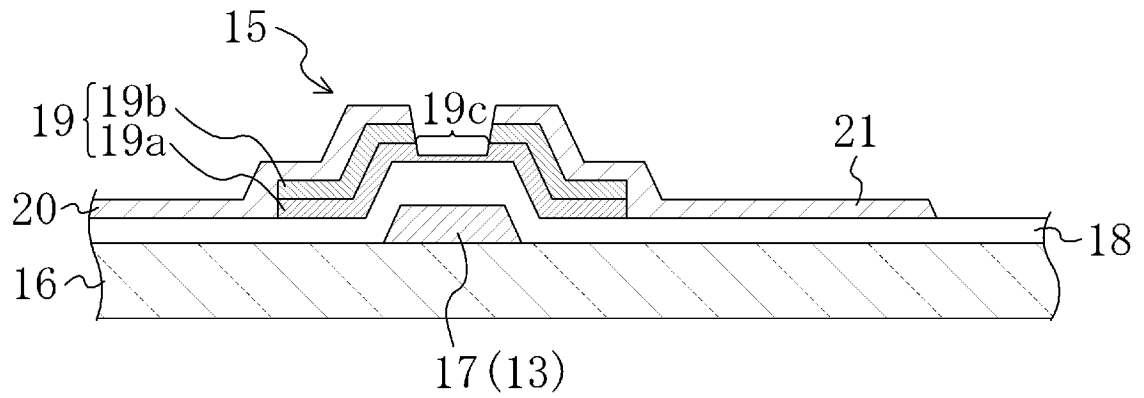
[図7]



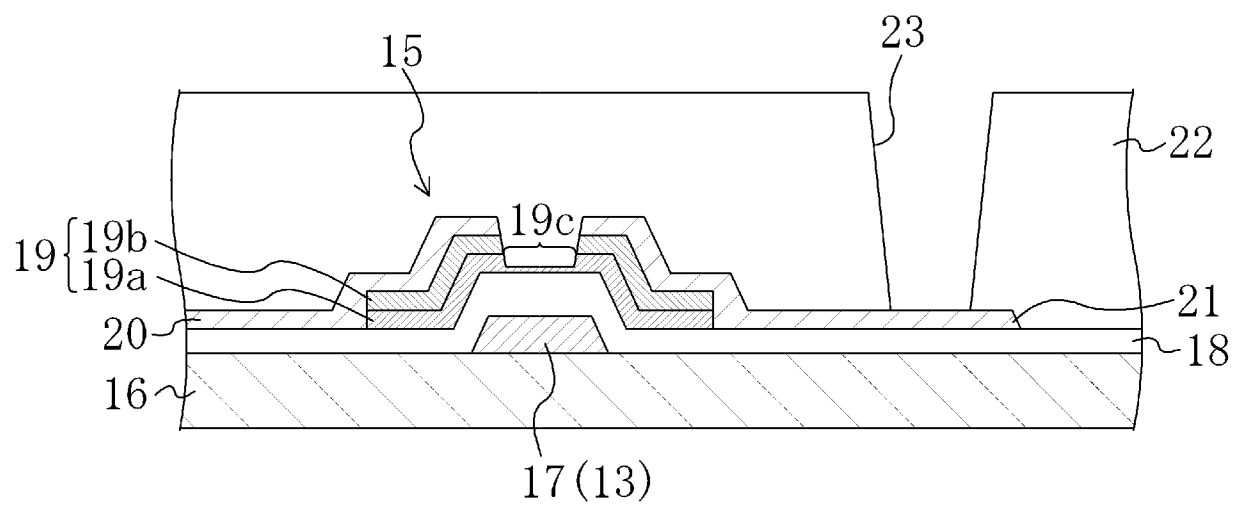
[図8]



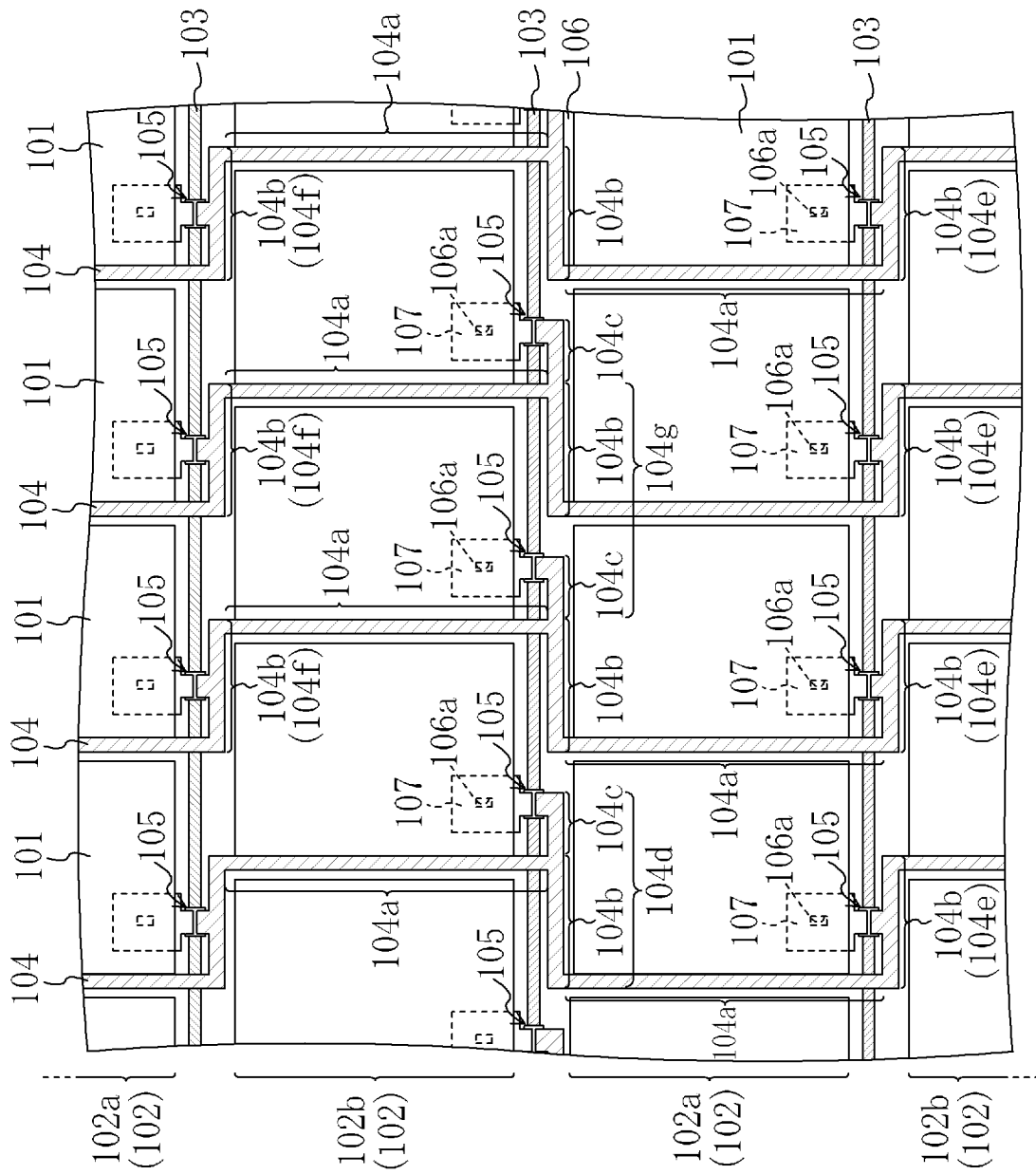
[図9]



[図10]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/002470

A. CLASSIFICATION OF SUBJECT MATTER

G09F9/30(2006.01) i, G02F1/1343(2006.01) i, G02F1/1368(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/30, G02F1/1343, G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 5-80353 A (Toshiba Corp.), 02 April, 1993 (02.04.93), Par. Nos. [0012] to [0018], [0028]; Fig. 3 (Family: none)	1-3
Y	JP 4-184323 A (Sanyo Electric Co., Ltd.), 01 July, 1992 (01.07.92), Fig. 2 (Family: none)	1-3
A	WO 00/20918 A1 (Seiko Epson Corp.), 13 April, 2000 (13.04.00), Full text; all drawings & US 6614498 B1 & TW 554225 B	1-3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 September, 2008 (30.09.08)

Date of mailing of the international search report
07 October, 2008 (07.10.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/002470

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-51286 A (Seiko Epson Corp.), 23 February, 2001 (23.02.01), Full text; all drawings & US 6686985 B1 & TW 500947 B & KR 10-2001-0021217 A	1-3
A	JP 2000-194017 A (Seiko Epson Corp.), 14 July, 2000 (14.07.00), Full text; all drawings (Family: none)	1-3
A	JP 2002-151699 A (Casio Computer Co., Ltd.), 24 May, 2002 (24.05.02), Full text; all drawings & US 2002/0057391 A1 & TW 591315 B & KR 10-2002-0037680 A & CN 1363854 A	1-3
A	JP 2001-154223 A (Casio Computer Co., Ltd.), 08 June, 2001 (08.06.01), Figs. 1, 4 (Family: none)	1-3
A	JP 10-90718 A (Sharp Corp.), 10 April, 1998 (10.04.98), Fig. 4 (Family: none)	1-3
A	JP 3-212621 A (Toshiba Corp.), 18 September, 1991 (18.09.91), Fig. 5 (Family: none)	1-3

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09F9/30(2006.01)i, G02F1/1343(2006.01)i, G02F1/1368(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09F9/30, G02F1/1343, G02F1/1368

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 5-80353 A（株式会社東芝）1993.04.02, 段落0012-0018、0028、図3 （ファミリーなし）	1-3
Y	JP 4-184323 A（三洋電機株式会社）1992.07.01, 第2図 （ファミリーなし）	1-3

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

3 0 . 0 9 . 2 0 0 8

国際調査報告の発送日

0 7 . 1 0 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

田井 伸幸

2 I

3 9 0 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 7 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	WO 00/20918 A1 (セイコーエプソン株式会社) 2000. 04. 13, 全文、全図 & US 6614498 B1 & TW 554225 B	1-3
A	JP 2001-51286 A (セイコーエプソン株式会社) 2001. 02. 23, 全文、全図 & US 6686985 B1 & TW 500947 B & KR 10-2001-0021217 A	1-3
A	JP 2000-194017 A (セイコーエプソン株式会社) 2000. 07. 14, 全文、全図 (ファミリーなし)	1-3
A	JP 2002-151699 A (カシオ計算機株式会社) 2002. 05. 24, 全文、全図 & US 2002/0057391 A1 & TW 591315 B & KR 10-2002-0037680 A & CN 1363854 A	1-3
A	JP 2001-154223 A (カシオ計算機株式会社) 2001. 06. 08, 図 1、4 (ファミリーなし)	1-3
A	JP 10-90718 A (シャープ株式会社) 1998. 04. 10, 図 4 (ファミリーなし)	1-3
A	JP 3-212621 A (株式会社東芝) 1991. 09. 18, 第 5 図 (ファミリーなし)	1-3