

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4167632号  
(P4167632)

(45) 発行日 平成20年10月15日(2008.10.15)

(24) 登録日 平成20年8月8日(2008.8.8)

(51) Int.Cl.		F I			
G 1 1 C	11/406	(2006.01)	G 1 1 C	11/34	3 6 3 L
H O 3 K	3/03	(2006.01)	H O 3 K	3/03	
G 1 1 C	11/403	(2006.01)	G 1 1 C	11/34	3 6 3 M

請求項の数 6 (全 16 頁)

(21) 出願番号	特願2004-210871 (P2004-210871)	(73) 特許権者	500174247 エルピーダメモリ株式会社 東京都中央区八重洲2-2-1
(22) 出願日	平成16年7月16日(2004.7.16)	(73) 特許権者	000233169 株式会社日立超エル・エス・アイ・システムズ 東京都小平市上水本町5丁目22番1号
(65) 公開番号	特開2006-31860 (P2006-31860A)	(74) 代理人	100110881 弁理士 首藤 宏平
(43) 公開日	平成18年2月2日(2006.2.2)	(72) 発明者	大平 信裕 東京都小平市上水本町五丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内
審査請求日	平成17年6月7日(2005.6.7)		

最終頁に続く

(54) 【発明の名称】 リフレッシュ周期発生回路及びそれを備えたDRAM

(57) 【特許請求の範囲】

【請求項1】

DRAMセルをリフレッシュする際のリフレッシュ周期を発生するリフレッシュ周期発生回路であって、

周囲温度に対して温度依存性を持つ周波数で発振する発振回路部と、

前記発振回路部の発振出力を分周する分周回路と、

前記周囲温度を検出する温度検出器と、

前記温度検出器の出力に基づき前記分周回路からの複数の周波数の分周出力を切り替え可能に選択出力し、前記リフレッシュ周期の基準となる信号を出力する選択回路と、

を備え、前記発振回路部の発振周波数の温度依存性は、所定の温度範囲内で正の温度係数を持つ一方、前記所定の温度範囲外では正の温度係数を持たず、前記選択回路は、前記所定の温度範囲外で前記分周出力を切り替えることを特徴とするリフレッシュ周期発生回路。

10

【請求項2】

DRAMセルをリフレッシュする際のリフレッシュ周期を発生するリフレッシュ周期発生回路であって、

周囲温度に対して温度依存性を持つ周波数で発振する発振回路部と、

前記発振回路部の発振出力を分周する分周回路と、

前記周囲温度を検出する温度検出器と、

前記温度検出器の出力に基づき前記分周回路からの複数の周波数の分周出力を切り替え

20

可能に選択出力し、前記リフレッシュ周期の基準となる信号を出力する選択回路と、  
を備え、前記発振回路部の発振周波数の温度依存性は、所定の温度範囲内で正の温度係数を持つ一方、前記所定の温度範囲外では正の温度係数を持たず、前記選択回路は、前記所定の温度範囲外の低温側で前記分周出力を切り替え、前記所定の温度範囲外の高温側で前記分周出力を切り替えないことを特徴とするリフレッシュ周期発生回路。

【請求項 3】

請求項 1 に記載のリフレッシュ周期発生回路において、前記 D R A M セルを含む半導体装置に搭載され、前記選択回路は、前記所定の温度範囲外の低温側で前記分周出力を切り替える際、前記正の温度係数を持つ区間の前記発振回路部の消費電力に比べ、より少ない消費電力となる方向へ切り替えることを特徴とするリフレッシュ周期発生回路。

10

【請求項 4】

請求項 1 に記載のリフレッシュ周期発生回路において、前記 D R A M セルを含む半導体装置に搭載され、前記発振回路部に比べより長い発振周期で発振する第 2 の発振回路部をさらに備え、前記所定の温度範囲外の低温側での前記分周出力の切り替えは、前記発振回路部を前記第 2 の発振回路部に切り替えて行うことを特徴とするリフレッシュ周期発生回路。

【請求項 5】

請求項 1 から 4 のいずれかに記載のリフレッシュ周期発生回路において、前記所定の温度範囲外の高温側は、最高発振周波数の 7 7 % 以上の発振範囲とみなし、前記所定の温度範囲外の低温側は、最低発振周波数の 1 3 0 % 以下の発振範囲とみなしたことを特徴とするリフレッシュ周期発生回路。

20

【請求項 6】

請求項 1 から 5 のいずれかに記載のリフレッシュ周期発生回路を備えることを特徴とする D R A M。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はリフレッシュ動作の必要なダイナミック型メモリセル（以降 D R A M セルという）を搭載し、自動的にリフレッシュ動作を行う機能を持つ D R A M 製品、例えば汎用 D R A M、S D R A M、疑似 S R A M、D R A M 混載のシステム L S I などに関し、特にリフレッシュ周期を発生させるリフレッシュ周期発生回路に関する。

30

【背景技術】

【0002】

D R A M セルは、データとしての電荷を蓄える容量（キャパシタ）とデータの入出力をスイッチングするトランジスタで構成されている。この D R A M セルのデータ保持特性は、他の構成素子、例えば M O S トランジスタなどの電気的特性に比べると温度依存性が非常に大きい。他の構成素子の電気的特性は、概ね電子のモビリティの温度依存によるものであり、温度が 1 0 上がると約 5 % 特性が遅くなることが知られている。一方、D R A M セルのデータ保持特性は主として D R A M セルの一部を構成する P N 拡散層の部分の接合リークによるもので、温度が 1 0 上がると約半分のデータ保持特性（データ保持時間）となることが知られている。

40

【0003】

近年、普及が進んでいる携帯用装置は、その形状が小型化すると共に電池でバックアップ可能に構成することが一般的になっている。そのため、このような携帯用装置は、持ち運びが容易になってきている。この種の携帯用装置に用いる D R A M 製品に関しても、自動的にリフレッシュをするセルフリフレッシュ（自動リフレッシュ）が導入され、これによりシステムの負担を軽くすることができる。セルフリフレッシュは、前記 D R A M 製品が、定期的リフレッシュするためのリフレッシュタイマーを保持しており、指定時間になると、内部でリフレッシュ用のアドレス（ワード線アドレス）やクロックを発生し、自動的にリフレッシュを行うよう構成されている。

50

## 【0004】

特にセルフリフレッシュ時は、携帯用装置は動いていないことが多いので発熱はなく、また持ち運び時などを考慮すると、実際の使用温度または周囲温度は常温程度であることが推測できる。そこで常温時(低温時)はデータの保持時間が長いのでセルフリフレッシュの周期を高温時よりも長くし、リフレッシュ動作に伴う消費電力を下げるようにリフレッシュの温度補償機能を持たせるようになってきた。

## 【0005】

温度補償を持たせる手段として、特許文献1にさまざまな技法が示されている(ただし、本文献は温度依存をなくすための補償例が開示されている)。図4に発振周期が大きな倍率で温度変化をする発振器の従来例を示す。この従来例は、リフレッシュ周期のように大きな温度依存のあるシステムの補償に適している。図4に示す発振器は、バンドギャップ型基準電位発生回路(VREF0)011、比較電圧発生回路(VREF1)012、正の温度特性を持つ電流制御用バイアス発生回路(CSGEN)013、発振器としてのリングオシレータ(R-OSC)014から構成されている。

## 【0006】

この例では、バンドギャップ型基準電位発生回路011より温度依存のない電圧VBGRと温度依存を持つ電圧VBEを取出す。温度依存のない電圧VBGRは比較電圧発生回路012に入力され、比較に適切な温度依存のない電圧VRTROが生成される。電流制御用バイアス発生回路013では、電圧VBE、VRTROをとともに入力して比較し、電流制御信号OSCBP、OSCBNを生成し、この両信号がリングオシレータ014に入力される。リングオシレータ014では、電流制御信号OSCBP、OSCBNにより発振周波数を制御し、出力としてリフレッシュ基準信号REFRQを取出すように構成されている。次に、図4の発振器の具体的回路の構成例を示しながら、動作を説明する。

## 【0007】

図5は図4の発振器に含まれるバンドギャップ型基準電位発生回路011の一例である。この例では、PチャンネルトランジスタQP01、QP02、QP03、NチャンネルトランジスタQN01、QN02、バイポーラトランジスタBP01、BP02、BP03、および抵抗R01、R02による構成を示している。よく知られているようにバイポーラトランジスタBP01、BP02のエミッタ面積の比と抵抗R01、R02の比を適切に選ぶことにより、温度依存のない基準電圧VBGRを得ることができる。また、バイポーラトランジスタBP03のベースエミッタ間電圧に相当する電圧VBEも出力されている。この電圧VBEは、負の温度係数を持ち、温度が上がると電圧が下がる特性を有する。

## 【0008】

図6は図4の発振器に含まれる比較電圧発生回路012の一例を示している。この例では、PチャンネルトランジスタQP04、QP05、QP06、NチャンネルトランジスタQN03、QN04、電流源IS03、および抵抗R03~R08による構成を示している。比較電圧発生回路012の目的は、温度依存のない基準電圧VBGRから、温度依存のない比較電圧VRTROを生成することにある。また多数の抵抗R04~R08が縦続接続される理由は、各抵抗の接続点から目的に合う電圧を選択するためである。

## 【0009】

対を成すPチャンネルおよびNチャンネルトランジスタQP04、QP05、QN03、QN04と電流源IS03とは、一体的に差動増幅器を構成する。PチャンネルトランジスタQP04、QP05のミラー結合されたゲートは、PチャンネルトランジスタQP05のドレインに接続される。PチャンネルトランジスタQP04のドレイン電位は、PチャンネルトランジスタQP06のゲートに入力され、このPチャンネルトランジスタQP06と抵抗R03~R08の縦続接続によりほぼ基準電圧VBGRに等しい電圧を抵抗R03とR04の接点に発生させる。この電圧を、前記差動増幅器で基準電圧VBGRと比較しながら、抵抗R04~R08で分圧することにより、温度依存のない所望の比較電圧VRTROが得られる。

## 【0010】

10

20

30

40

50

差動増幅器のNチャンネルトランジスタQN03のゲートに入力される基準電圧VBGRに対応するNチャンネルトランジスタQN04のゲート電位が下がればPチャンネルおよびNチャンネルトランジスタQP05, QN04を流れる電流は減少し、カレントミラー接続のPチャンネルトランジスタQP04, QP05の共通接続のゲート電位は相対的に上がる。その結果、PチャンネルトランジスタQP04, QP05に流れる電流は低下し、NチャンネルトランジスタQN03のドレイン電位、すなわちPチャンネルトランジスタQP06のゲート電位は下がるため、PチャンネルトランジスタQP06はより強くオンし、それを流れる電流量は増加する。よってPチャンネルトランジスタQP06のドレインと、抵抗R03~R08で抵抗分割された各接点の電位は上昇する。すなわち、差動増幅器の入力(NチャンネルトランジスタQN04のゲート電位)を上昇させるフィードバック機構が働くこと

10

## 【0011】

図7は図4の発振器に含まれる正の温度特性を持つ電流制御用バイアス発生回路013の具体的な回路の一例を示している。この例では、PチャンネルトランジスタQP07~QP10、NチャンネルトランジスタQN05~QN09、および電流源IS01、IS02による構成を示している。電流源IS01と、温度依存のない比較電圧VRTROとベース-エミッタ間電圧VBEとを比較入力とするPチャンネルトランジスタQP07, QP08と、ミラー結合されたNチャンネルトランジスタQN05, QN06とは、一体的に増幅回路を構成する。この増幅回路の出力は、NチャンネルトランジスタQN05と並列に結線

20

## 【0012】

ダイオード結合をしたPチャンネルトランジスタQP09と、前記増幅回路の出力をゲート電位とするNチャンネルトランジスタQN08とは、電源と接地電位間に直列に配置され、さらに定電流源IS02とNチャンネルトランジスタQN08とが並列に配置される。前記PチャンネルトランジスタQP09のゲート/ドレイン電位は、電流制御信号OSCBPとして出力される。また電流制御信号OSCBPをゲート入力とするPチャンネルトランジスタQP10とMOSダイオードQN09とが、電源と接地電位間に直列に配置される。前記NチャンネルトランジスタQN09のゲート/ドレイン電位は、電流制御信号OSCBNとして出力される。ここで定電流源IS02としては、後に詳述するがゲートにハイレベルを与えた極小サイズのNチャンネルトランジスタを用いればよい。NチャンネルトランジスタQN08がカットオフした場合でも、この回路から出力される電流制御信号OSCBP、OSCBNが、常にPチャンネルトランジスタまたはNチャンネルトランジスタをオンするだけのレベルを維持できるように設定されている。

30

## 【0013】

図8は図4の発振器に含まれるリングオシレータ014の一例を示している。この例では、PチャンネルトランジスタQP21~QP2n、NチャンネルトランジスタQN21~QN2n、およびインバータINV21~INV2nによる構成を示している。尚、nは3以上の奇数を意味している。なぜなら、リングオシレータ014は、リング状に接続された構成を備えており、発振が連続するためには、奇数段のインバータが必要なことによる。また以降の説明では、1からnまでの任意段のインバータまたはトランジスタを、iを付記して表現する。

40

## 【0014】

電流制御用バイアス発生回路013から出力される電流制御信号OSCBPがPチャンネルトランジスタQP2iにゲート入力されるとともに、同様に出力される電流制御信号OSCBNがNチャンネルトランジスタQN2iにゲート入力される。これらPチャンネルおよびNチャンネルトランジスタQP2i、QN2iは、電源グランド間に挟まれたインバータINV2iを奇数段リング状に結線することにより、発振器(リングオシレータ)を構成する。PチャンネルトランジスタQP2iとNチャンネルトランジスタQN2iのサイズ比を、前記電流制御用バイアス発生回路013のトランジスタQP10とQN09のサイズ比に

50

等しくし、前記インバータ  $INV2i$  のトランジスタより十分小さく作れば、インバータ  $INV2i$  の充放電能力はトランジスタ  $QP2i$  ,  $QN2i$  の電流量、すなわち電流制御信号  $OSCBP$  ,  $OSCBN$  の電位で決定される。リングオシレータ  $014$  の発振周期はそれを構成するインバータ  $INV2i$  の信号伝達時間  $t_{pd}$  に比例することから、リングオシレータ  $014$  の発振周波数が前記電流制御用バイアス発生回路  $013$  から出力される電流制御信号  $OSCBP$  ,  $OSCBN$  のレベルにより制御されることがわかる。

#### 【0015】

電流制御信号  $OSCBP$  ,  $OSCBN$  の定性的な温度依存を図7の電流制御用バイアス発生回路  $013$  の回路図を使って示す。電圧  $V_{BE}$  と  $V_{RTR0}$  を入力とする差動増幅器において、電圧  $V_{RTR0}$  は温度依存がないよう、すなわち温度が変わっても一定電圧を保つように比較電圧発生回路  $012$  から供給されている。一方よく知られるように電圧  $V_{BE}$  は負の温度特性を持つ。したがって温度が高くなると電圧  $V_{BE}$  は低くなりPチャネルトランジスタ  $QP07$  の電流能力は上がり、比較信号側出力  $N01$  は高く、基準電位側出力  $N02$  は低くなる。逆に温度が低くなると電圧  $V_{BE}$  は高くなりPチャネルトランジスタ  $QP07$  の電流能力は下がり、比較信号側出力  $N01$  は低く、基準電位側出力  $N02$  は高くなる。よってNチャネルトランジスタ  $QN07$  ,  $QN08$  は温度が高くなれば電流が多く流れ、低くなれば電流が少なくなる。

#### 【0016】

よって、Pチャネルトランジスタ  $QP09$  を流れる電流（リングオシレータ制御電流  $I_{SOC}$ ）は温度が低くなると減少してゆき、比較信号側出力  $N01$  がNチャネルトランジスタの閾値  $V_{thn}$  以下になると負荷トランジスタであるNチャネルトランジスタ  $QN07$  の電流はゼロとなり、当然Nチャネルトランジスタ  $QN08$  の電流もゼロとなる。よってトランジスタ  $QP09$  を流れる電流、即ちリングオシレータ制御電流  $I_{SOC}$  は最小（ $I_{SOCmin}$ ）となり、定電流源  $I_{S02}$  に流れる電流  $I_{02}$  のみとなる（ $I_{SOCmin} = I_{02}$ ）。安定した発振を得るには定電流源  $I_{S02}$  に流れる電流  $I_{02}$  を  $0.1 \mu A$  程度に確保しておく必要がある。

#### 【0017】

次にPチャネルトランジスタ  $QP09$  を流れる電流、即ちリングオシレータ制御電流  $I_{SOC}$  の最大値（ $I_{SOCmax}$ ）を考える。図7の電流源  $I_{S01}$  で駆動される差動増幅器においては、電圧  $V_{BE}$  が低く、電圧  $V_{RTR0}$  が高く、Pチャネルトランジスタ  $QP08$  に流れる電流が限りなく小さくなった場合に、Nチャネルトランジスタ  $QN07$  には、トランジスタ  $QP07$  を通って、ほぼ電流源  $I_{S01}$  に近い電流  $I_{01}$  が流れることになる。仮にNチャネルトランジスタ  $QN07$  と  $QN08$  のサイズ比を等しく設定すれば、Pチャネルトランジスタ  $QP09$  に流れる電流の最大値は、電流源  $I_{S01}$  と  $I_{S02}$  に流れる電流の和： $I_{01} + I_{02}$  となる。

#### 【0018】

電流  $I_{01}$  は比較的自由に設定できるが、電流制御信号  $OSCBP$  ,  $OSCBN$  の振れ幅は、図8において電流制御信号  $OSCBP$  ,  $OSCBN$  が接続される電流制御用トランジスタの電流量の対称性を考慮すると  $V_{DD}$  の  $1/2$  以内に設定するのが好ましい。また全体の消費電流の低減などを考慮すると、電流  $I_{02}$  の数倍程度に設定するのが好ましい。従って、仮に電流  $I_{01}$  を電流  $I_{02}$  の5倍と設定すると、リングオシレータ制御電流  $I_{SOC}$  の最大値（ $I_{SOCmax}$ ）は  $6I_{02}$  となり、 $0.6 \mu A$  程度となる。尚この電流は、図7の回路の一部を流れる電流であり、実際にはリフレッシュ周期発生回路  $001$  に含まれる各ブロックが電流を流している。

#### 【0019】

その他の設定される電位などの具体例は次のとおりである。一例として、電圧  $V_{BE}$  は常温（ $25^\circ C$ ）で  $0.7V$  程度に設定され、 $0 \sim 70^\circ C$  で約  $0.4V$  程度変化する（ $-0.15V/25^\circ C$  程度）。また電圧  $V_{RTR0}$  は、どの温度で前記リングオシレータ  $014$  の周波数を最大変化させるかの設計値によるが、一例として  $0.5V$  程度に設定される。この  $0.5V$  は、電圧  $V_{BE}$  の  $60^\circ C$  前後の値に相当する。よって周囲温度  $0 \sim 70^\circ C$  の

10

20

30

40

50

温度範囲では、電圧VBEが最小値の電圧になった場合(70で、約0.4Vと推定される)、前記のように、PチャネルトランジスタQP09に流れる電流を最大とさせる。

【0020】

以上をまとめると、リングオシレータ014の発振周波数は、電流制御用バイアス発生回路013から出力される電流制御信号OSCBP、OSCBNによって制御され、温度が高くなるとその電流制御信号OSCBPは低く、電流制御信号OSCBNは高く、リングオシレータ制御電流ISOCは増加する。その結果、リングオシレータ014の発振周波数は増加する。温度が低くなると電流制御信号OSCBPは高く、電流制御信号OSCBNは低く、リングオシレータ制御電流ISOCは減少する。その結果、リングオシレータ014の発振周波数は減少する。リングオシレータ014の発振周波数、即ち図4のリフレッシュ周期発生回路001の高温/低温の周波数の比は、ISOCmax/ISOCminで決まることとなる。

10

【0021】

またセルフリフレッシュ時の電流Iselfはリフレッシュ周期をTref、リフレッシュができるミニマムサイクルをTrcyc、このミニマムサイクルで連続してリフレッシュを続けたときに流れる電流をIref、スタンバイ電流をIstbとすれば、

$$I_{self} = (I_{ref}) \times (Trcyc / Tref) + Istb$$

で表され、DRAM製品の実力では250μA程度のレベルである。電流スタンバイ電流Istbは概ね20~25μAと低く抑えており、これらの発振回路での消費電流も低く抑えねばならない。

20

【0022】

図9は図4に示すようなアナログ方式でリフレッシュの周波数を変えたときのリフレッシュ周期と温度の関係を示した図である。図9のグラフにおいて、横軸は温度を示し、縦軸は周期を規格化して示す。また、図9のグラフにおいて、直線021は典型的なDRAMセルのデータ保持特性(データ保持に必要なリフレッシュ周期)の温度依存性を示し、曲線022は、図4で示した発振器の周期の温度依存性を示している。高温側および低温側で、温度依存性が低下し飽和状態になっているのは、図7に示すリングオシレータ制御電流IOSCが上限、または下限で一定値になり、変化しないためである。アナログ方式でリフレッシュ周期を変えようとするならば、高温側または低温側での温度依存性が飽和する温度は、設計によりある程度自由に設定できる。

30

【0023】

しかし前述したようなアナログ方式の発振器における周波数の変化量は高々数倍であるため、DRAMセルのデータ保持時間の温度依存性、すなわち0.5倍/10を考慮すれば20~30の範囲をカバーするに過ぎない。明らかに低温部での消費電力の減少が不十分である。さらに低温部において消費電流の交流動作部分(ダイナミック電流)をさらに半減しようとするならば、発振周波数の変化する範囲を特に低温側において、一層低周波にする必要があるが、これは困難である。従って、前記携帯用途に用いるDRAM製品の低電力化に問題があることがわかる。

【0024】

このような温度に対してアナログ的に周波数を変化させる代わりにデジタル的に周波数を変化させる例がある。その一例が特許文献2に開示されている。

40

【0025】

図10は、特許文献2において温度に対してデジタルにリフレッシュ周期を変化させる発振器の例(従来例)を示している。図10に示す発振器は、リングオシレータ(R-OSC)014と、分周回路(DIVIDER)015と、温度センサ部(TEMP-SENSOR)016と、周波数選択回路(SELECTOR)017により構成されている。このように構成された発振器では、リングオシレータ014の出力を分周回路015に入力し、いくつかの分周された周波数(分周出力)を、温度センサ部016で得られた温度を識別する信号を用いて周波数選択回路017により選択し、リフレッシュ基準信号REFRQを出力する。

50

## 【0026】

例えば、ここで分周回路015をバイナリカウンタとし、温度検出の刻みを10ごとにし、検出最低温度のとき前記バイナリカウンタの最上位ビットを選択し以後温度が1ステップ上がるごとにバイナリカウンタの下位ビットを順次選択する構成を考える。このように構成すると温度が10上がるごとにリフレッシュ周期が半減していき、前述したように、DRAMセルのデータの保持時間が10上がるごとに半減するのに対応し都合がよい。ただしどのような温度ステップで変化させるかは、温度検出回路の性能や分周された信号の処理方法に依存するため、設計による選択となる。

## 【0027】

図11は前記デジタル的に周波数を変化させる例を採用したときのリフレッシュ周期と温度の関係を示す。図11のグラフの横軸は温度を示し、縦軸は周期を規格化して示す。また、図11のグラフにおいて、直線021は典型的なDRAMセルのデータ保持特性(データ保持に必要なリフレッシュ周期)の温度依存性(データ保持に必要なリフレッシュ周期)を示し、実線023は図10で示した発振器の周期の温度依存性を示している。ここで、20ごとに1/4倍の周期の変化をするように設定されているとすると、周波数は周期の逆数であるので、20ごとに4倍の周波数となる。また、破線024はこの発振器の温度センサ部016における周波数切り替え精度のばらつきや製造プロセスのばらつきなどにより、発振周波数または周期がばらついた時の様子を示す。

## 【0028】

一般に集積回路では相対値は比較的精度よく出せるが、絶対値は製造条件でかなりばらつくことが知られている。たとえば温度を10のステップで検出すること、あるいは周波数を2倍、半分にすることなどは相対値であり、精度を高く実現できるが、70を検出すること、100KHzの周波数を出すことなどは絶対値であり各々20~30%のばらつきを生じることなどがよくある。また、特にこのリフレッシュ周期を変える発想の源は、温度の低いときの消費電流を下げようという点にあるため、消費電力を増やしてばらつきを抑えるというトレードオフは意味がない。

## 【0029】

言い換えれば、前記図11の破線024で示される部分はプロセスばらつきなどに伴い特性が変動する範囲を示しているため、リフレッシュ周期の切替わり部分、すなわち前記階段状波形のかど部が、前記データ保持特性の限界に近づいており、設計値や製造パラメータの変動などの影響を考えると、リフレッシュが遅れて、DRAMセルのデータが消失してしまう可能性が考えられる。この現象に対処するためには、大きな動作マージンを取っておく必要があり、これはリフレッシュ回数の増加につながるため、電流が増加するという問題がある。

【特許文献1】特開2002-215258号公報

【特許文献2】特開平5-307882号公報

【発明の開示】

【発明が解決しようとする課題】

## 【0030】

DRAM製品をセルフリフレッシュする時の消費電力、特に低温側の消費電力を下げるためにリフレッシュの周波数を下げるとき、周波数に温度依存性を持たせたアナログ方式では周波数の変化量が少なく、周波数の温度変化を大きく取れるデジタル方式では周波数切り替えのかど部が必要とするリフレッシュ周期をオーバーする可能性が生じ、それを防ぐために大きな動作マージンを必要とする欠点があった。

## 【0031】

本発明はこれらの問題を解決するためになされたものであり、周波数が正の温度依存(高温側で周波数上がる方向)を持つ発振回路部と、この発振回路の温度特性が飽和してしまう高温領域、または低温領域から先を発振回路の周波数を分周(高温領域側では倍周と捉えてもよい)して温度検出器の出力に基づき分周された周波数を選択することにより、広い温度範囲で変化するリフレッシュ用の発振周波数(リフレッシュ周波数)が得られ

10

20

30

40

50

る（リフレッシュ周期を発生する）と共に、特に高温側でリフレッシュの実力から大きく動作マージンをとらずに済み、かつ低温側で消費電流の小さいリフレッシュ周期発生回路を提供することを目的とする。

【課題を解決するための手段】

【0032】

上記課題を解決するために、本発明のリフレッシュ周期発生回路は、DRAMセルをリフレッシュする際のリフレッシュ周期を発生するリフレッシュ周期発生回路であって、周囲温度に対して温度依存性を持つ周波数で発振する発振回路部と、前記発振回路部の発振出力を分周する分周回路と、前記周囲温度を検出する温度検出器と、前記温度検出器の出力に基づき前記分周回路からの複数の周波数の分周出力を切り替え可能に選択出力し、前記リフレッシュ周期の基準となる信号を出力する選択回路とを備え、前記発振回路部の発振周波数の温度依存性は、所定の温度範囲内で正の温度係数を持つ一方、前記所定の温度範囲外では正の温度係数を持たず、前記選択回路は、前記所定の温度範囲外で前記分周出力を切り替えることを特徴としている。

10

【0033】

このように構成された本発明によれば、特に正の温度依存を持つ発振回路部を用いるため、従来のデジタル方式で見られたリフレッシュ周期の階段状波形の階段部がDRAMセルのデータ保持特性に近い斜め線状態となり、設定すべき動作マージンの幅を小さくできると共に、併せて低温部においてもリフレッシュ周期をより大きくして、低消費電力化が実現できる。

20

【0034】

また、本発明のリフレッシュ周期発生回路は、前記発振回路部と、前記分周回路と、前記温度検出器とを備え、前記発振回路部の発振周波数の温度依存性は、所定の温度範囲内で正の温度係数を持つ一方、前記所定の温度範囲外では正の温度係数を持たず、前記選択回路は、前記所定の温度範囲外の低温側で前記分周出力を切り替え、前記所定の温度範囲外の高温側で前記分周出力を切り替えないことを特徴としている。

【0035】

本発明において、前記DRAMセルを含む半導体装置に搭載し、前記選択回路は、前記所定の温度範囲外の低温側で前記分周出力を切り替える際、前記正の温度係数を持つ区間の前記発振回路部の消費電力に比べ、より少ない消費電力となる方向へ切り替えるようにしてもよい。

30

【0036】

本発明において、前記DRAMセルを含む半導体装置に搭載され、前記発振回路部に比べより長い発振周期で発振する第2の発振回路部をさらに備え、前記所定の温度範囲外の低温側での前記分周出力の切り替えは、前記発振回路部を前記第2の発振回路部に切り替えて行うようにしてもよい。

【0037】

本発明において、前記所定の温度範囲外の高温側は、最高発振周波数の77%以上の発振範囲とみなし、前記所定の温度範囲外の低温側は、最低発振周波数の130%以下の発振範囲とみなしたことを特徴とするリフレッシュ周期発生回路。

40

【0038】

上記課題を解決するために、本発明のDRAMは、上記いずれかのリフレッシュ周期発生回路を備えて構成される。

【発明の効果】

【0039】

本発明によれば、DRAMセルのリフレッシュ周期を決める発振回路部を、正の温度依存（高温側で発振周波数が増える）を持つアナログ方式の発振回路を用いて構成すると共に、その発振の温度依存がなくなるポイントが高温側および低温側に存在することを利用して、温度変化の概ねなくなるポイント付近より発振周波数をデジタル的に変えるよう

50

にしたので、より広い温度範囲にわたり、DRAMセルのデータ保持時間の温度変化に合わせてリフレッシュ周期を調整でき、より効率よく低消費電流を得ることができる。また特に高温側で、周波数切り替えのかど部で生じる製造ばらつきに対する動作保証のマージンを大きくとらずに済むようにできるので、リフレッシュの効率化と低消費電流化を同時に実現できる。

【発明を実施するための最良の形態】

【0040】

以下、図面を用いて実施形態を示す。図1は本発明の実施形態に係るリフレッシュ周期発生回路の構成を示している。図1に示すリフレッシュ周期発生回路001は、発振周波数がアナログ的温度依存を持つ発振回路部002と、分周回路(DIVIDER)015と、温度センサ部(TEMP-SENSOR)016と、周波数選択回路(SELECTOR)017とを備えている。また、リフレッシュ周期発生回路001からは、リフレッシュ基準信号REFRQが出力される。アナログ発振回路部002は図4で示される発振回路と同様、周波数が大きな正の温度依存性を持つ発振回路であって、バンドギャップ型基準電位発生回路(VREF0)011、比較電圧発生回路(VREF1)012、正の温度特性を持つ電流制御用バイアス発生回路(CSGEN)013、発振器としてのリングオシレータ(R-OSC)014からなる。

【0041】

アナログ発振回路部002の出力は分周回路015に入力される。この分周回路015は、複数個の分周された周波数の信号を出力する。この周波数は、概ね2の $m$ ( $m$ は負の値を含む整数と定義する)乗倍で表される。周波数選択回路017では、温度センサ部016の信号に基づき、複数個の周波数の中の1つの周波数に対応するリフレッシュ基準信号REFRQを出力する。尚、リフレッシュ基準信号REFRQは、DRAMセルに対してリフレッシュを指示する信号(REF信号)の基準となる信号で、リフレッシュ基準信号REFRQをカウンタ等で $k$ 倍( $k$ は正の整数)してREF信号を作ってもよいし、そのままREF信号としてもよい。

【0042】

図2は本実施形態における第1の温度とリフレッシュ周期の関係を示すグラフである。グラフの横軸は温度、縦軸はリフレッシュ周期を規格化して示している。 $t_0$ は規格化したリフレッシュの1周期を示しており、縦軸はその $t_0$ を1目盛進むごとに2倍になるよう記載されている。すなわち縦軸は対数軸となっている。同図において、直線021はDRAMセルのデータ保持特性(保持に必要なリフレッシュ周期)の温度依存性を示し、曲線025はリフレッシュ周期発生回路001の周期の温度依存性を示す。前記温度センサ部016は高温部での周波数の温度依存の飽和が起きる温度 $T_0$ を検出し、温度 $T_0$ 以上では周波数選択回路017によってより少なく分周された(周期が短く周波数が高い)周期を選択してリフレッシュを実行しデータ保持時間の減少に対応する。

【0043】

一方、温度センサ部016は低温部での温度依存の飽和が起きる付近の温度 $T_1$ を検出し、温度が $T_0 \sim T_1$ の間は、前記発振回路部002の周期の温度依存性にしたがってアナログ的に周期を変える。尚、実際の周期は周波数を分周して、リングオシレータ014の何倍かの周期としてもよい。温度が $T_1$ より低くなると周波数選択回路017により長い周期を選択し低電流を実現する。温度依存飽和点の検出温度 $T_0$ 、 $T_1$ 値の設定と周期の切り替えを何倍にするかは設計の選択によるところとなる。さらには温度 $T_1$ より低温領域において温度 $T_2$ 、 $T_3$ を検出し、リフレッシュ周期をより長くし、低消費電力を測ることも可能である。

【0044】

尚、周波数選択回路17において周波数を選択する場合、より低い周波数を得るために、リングオシレータ014の代わりに別の低周波発振器を設け、その信号を分周して選択してもよい。またそのときに、リングオシレータ014の動作は止めてもよい。

【0045】

10

20

30

40

50

図3は本実施形態における第2の温度とリフレッシュ周期の関係を示すグラフである。グラフの横軸は温度、縦軸はリフレッシュ周期を規格化して示している。同図において、直線021はDRAMセルのデータ保持特性(データ保持に必要なリフレッシュ周期)の温度依存性を示し、曲線026はリフレッシュ周期発生回路001におけるリフレッシュ周期の第2の温度依存性を示す。同図ではアナログ発振回路部002が正の周波数の温度依存を示さなくなった低温領域で、温度センサ部016が温度T1を検出し、分周回路015で分周された信号の1つを周波数選択回路017で選択しリフレッシュ基準信号REFRQを生成する。

#### 【0046】

また特に高温領域、例えば周囲温度40～70においてはアナログ発振回路部002の出力をそのまま用いて、リフレッシュ基準信号REFRQを発生している。この例では、アナログ発振回路部002を動作させる温度を高温側に設定し、低温部では温度依存のない定常状態で、その信号を必要に応じて分周し全体の消費電流を低減している。本例では、リフレッシュ周期発生回路001のリフレッシュ周期の温度依存性を示す曲線026が、高温部で必要かつ十分にマージンをとれるようにしておけば発振周期の分周出力の数を低減でき、消費電流の低減と共に、温度センサ部016の温度検出点を少なくできるという利点がある。

#### 【0047】

特にこのようなリフレッシュの消費電力の少ないことが要求されるDRAM製品では、もともとDRAMのデータ保持特性はばらつきが大きいので、製品化する際にDRAM製品のデータ保持特性の実力を測り、その実力に似合った周期にリフレッシュを合わせる技術が用いられることがある。そのような例を図12に示す。図12においては、本発明に係るリフレッシュ周期発生回路001、ヒューズブロック018、第2の分周器019、DRAMセルのデータ保持特性に対応したリフレッシュ周期調整回路020、第2の周波数選択回路027を示している。そして、リフレッシュ周期発生回路001からはリフレッシュ基準信号REFRQが第2の分周器019に出力され、第2の周波数選択回路027からはDRAMセルへのリフレッシュ信号REFが出力される。

#### 【0048】

図12のリフレッシュ周期発生回路001は、図1, 4, 10に示されるリフレッシュ周期発生回路001のいずれを選択してもよい。DRAM製品のデータ保持特性に合わせたリフレッシュ周期は、あらかじめDRAMセルのデータ保持時間、およびヒューズ切断無しで選択されるリフレッシュ信号REFの周波数(またはヒューズを切断しないときのリフレッシュ信号の周期)を測定し、その結果を用いて必要なリフレッシュ周期に合わせてヒューズを切ることを行う。リフレッシュ周期調整回路020は、以上説明したようにヒューズブロック018内のヒューズの切断状況によって、そのDRAM製品のDRAMセルが必要とする最適なリフレッシュ周期を第2の選択回路027で選択しリフレッシュ信号REFを出力する。

#### 【0049】

このように本発明と共に図12に示す技術を利用して、高温側でリフレッシュ周期の調整を行うならば、図3で示す第2の温度とリフレッシュ周期の関係を示すグラフのように高温領域のデータ保持特性の規格を適切に合わせることができる。これに加えて、低温領域ではDC的に流れるスタンバイ電流が大きな割合を占めるので、さほど厳格に周期を決めて低温領域のリフレッシュ消費電流を下げなくても、相対的にスタンバイでリフレッシュを定期間隔で行っているときの消費電流を目標値以下に抑えることができる。なおこのようなDRAM製品のデータ保持特性に対応するリフレッシュ周期調整回路020は、リフレッシュ周期発生回路001の後に設けてもリングオシレータ014と分周回路015の間に設けてもよいことは明白である。

#### 【0050】

上記低温領域において、定時間にDC的に流れるスタンバイ電流の具体例としては、例えばアナログ発振回路部002において、電流源IS01, IS02や、リングオシレー

10

20

30

40

50

タ制御電流 I S O C、バンドギャップ型基準電位発生回路 0 1 1、リングオシレータ 0 1 4 などであり、特に発振周期の温度依存が飽和した温度領域では消費電力の大きい、周波数が正の温度依存を持つ発振回路部を使う必要がない。従って、アナログ発振回路部 0 0 2 の動作を止め（消費電力をゼロとさせ）別の消費電力の少ない発振器に切り替えて使用することも前述のとおり可能である。

【 0 0 5 1 】

またアナログ発振回路部 0 0 2 は、図 7 で示される電流制御用バイアス発生回路 0 1 3 に入力される 2 つの電圧 V B E、V R T R 0 が等しくなる温度において発振周波数の温度変化の変曲点を迎える。この温度よりさらに高温側、またはさらに低温側に行くに従って、その周波数が徐々に温度変化の無い一定値に近づいていく。図 7 に示される差動増幅器の増幅率を調整することにより、前記発振周波数の温度勾配の係数を変えることができる。従って、前記の周波数が正の温度係数を持つ所定の温度範囲は、回路構成やトランジスタのディメンジョンを変えることにより、変化させることができる。よってここでは、正の温度係数を持つ所定の温度範囲を、以下のように定義しておく。

10

【 0 0 5 2 】

図 7 の電流制御用バイアス発生回路 0 1 3 と図 8 のリングオシレータ 0 1 4 において、このリングオシレータ 0 1 4 が最大周波数 F m a x で動作するときには、図 7 の差動増幅器において比較信号側出力 N 0 1 の値が最大値をとるとき（電流源 I S 0 1 に流れる電流がほぼ全て、P チャネルおよび N チャネルトランジスタ Q P 0 7、Q N 0 7 を通り流れる場合）である。比較信号側出力 N 0 1 の値が最大値をとり具体的に定まった場合、電流制御信号 O S C B P と O S C B N は一意に決定される。

20

【 0 0 5 3 】

またリングオシレータ 0 1 4 が最小周波数 F m i n で動作するときには、図 7 の差動増幅器において比較信号側出力 N 0 1 の値が最小値をとるとき（電流源 I S 0 1 に流れる電流がほぼ全て、P チャネルおよび N チャネルトランジスタ Q P 0 8、Q N 0 6 を通り流れ、比較信号側出力 N 0 1 が接地レベル近くになり、N チャネルトランジスタ Q N 0 7、Q N 0 8 がカットオフする場合）である。このときには、N チャネルトランジスタ Q N 0 8 がカットオフするため、P チャネルトランジスタ Q P 0 9 と定電流源 I S 0 2 の値により電流制御信号 O S C B P と O S C B N は一意に決定される。

30

【 0 0 5 4 】

ここでアナログ発振回路部 0 0 2 は、正の温度依存性をもち、前記最小周波数 F m i n を  $f_0$  とすると、最大周波数 F m a x はおよそその数倍程度（例えば 6 倍とおく）となる。すなわち、 $F_{max} = 6 \times (F_{min}) = 6 \times (f_0)$  の関係が成り立つ。従って、図 2 または図 3 の温度とリフレッシュ周期を示すグラフにおいて、周波数（グラフでは周期）の振れ幅が 6 倍に変化するので、縦の対数軸に対して（ $\text{Log } 6 - \text{Log } 1$ ）が全体の振れ幅となる。今この対数軸の周波数（グラフでは周期）の振れ幅において、試験を行った結果、85% ~ 90% 以上の範囲を所定の温度範囲外の高温側とし、同 15% ~ 10% 以下の範囲を所定の温度範囲外の低温側とすることが良好であった。

【 0 0 5 5 】

この対数軸の周波数（グラフでは周期）の振れ幅において、85% 以上の範囲を所定の温度範囲外の高温側とし、同 15% 以下の範囲を所定の温度範囲外の低温側とした場合を考える。このとき、リフレッシュ周期発生回路 0 0 1 では、前記所定の温度範囲外の高温側は、最高発振周波数の 77% 以上の発振範囲とみなすことができる。最高発振周波数の 77% は、 $(10 \text{ の } \text{Log } 1 \text{ 乗}) \div (10 \text{ の } 0.15 \times [\text{Log } 6 - \text{Log } 1] \text{ 乗})$  により算出される。また、前記所定の温度範囲外の低温側は、最低発振周波数の 130% 以下の発振範囲とみなすことができる。この最低発振周波数の 130% は、 $(10 \text{ の } [\text{Log } 6 - \text{Log } 1] \text{ 乗}) \div (10 \text{ の } 0.85 \times [\text{Log } 6 - \text{Log } 1] \text{ 乗})$  により算出される。

40

【 0 0 5 6 】

またこの対数軸の周波数（グラフでは周期）の振れ幅において、90% 以上の範囲を所

50

定の温度範囲外の高温側とし、同10%以下の範囲を所定の温度範囲外の低温側とした場合を考える。このとき、リフレッシュ周期発生回路001では、前記所定の温度範囲外の高温側は、最高発振周波数の84%以上の発振範囲とみなすことができる。この最高発振周波数の84%は、 $(10 \text{ の } \text{Log} 1 \text{ 乗}) \div (10 \text{ の } 0.10 \times [\text{Log} 6 - \text{Log} 1] \text{ 乗})$ により算出される。また、前記所定の温度範囲外の低温側は、最低発振周波数の119%以下の発振範囲とみなすことができる。この最低発振周波数の119%は、 $(10 \text{ の } [\text{Log} 6 - \text{Log} 1] \text{ 乗}) \div (10 \text{ の } 0.90 \times [\text{Log} 6 - \text{Log} 1] \text{ 乗})$ により算出される。

【0057】

以上説明したように本発明によれば、リフレッシュ周期の温度依存の厳しい温度範囲(T0~T1)でアナログ的な温度依存を持たせ、高温部のアナログ発振回路部002の飽和温度付近をDRAM製品の動作保証温度の上限程度にし、さらに高温ではDRAMセルのデータ保持動作の保証という観点からより短い周期にリフレッシュ周期を切り替え(選択回路017において分周回路015でより短い周期を選択する。場合によっては倍周してもよい。)、低温部ではアナログ的な温度依存がなくなった後はDRAMセルのデータ保持時間に比較的余裕があるので、動作マージンを大きめにとることができる。従ってばらつきの大きいデジタル的な温度依存を持たせても安全な動作が可能となった。

【図面の簡単な説明】

【0058】

【図1】本発明の実施形態の構成を示すブロック図である。

【図2】図1における第1の温度とリフレッシュ周期の関係を示すグラフである。

【図3】図1における第2の温度とリフレッシュ周期の関係を示すグラフである。

【図4】発振周期が大きな倍率で温度変化をするアナログ方式の発振器または発振回路部の従来例を示すブロック図である。

【図5】図4の発振器に含まれるバンドギャップ型基準電位発生回路011の回路図である。

【図6】図4の発振器に含まれる比較電圧発生回路012の回路図である。

【図7】図4の発振器に含まれる正の温度特性を持つ電流制御用バイアス発生回路013の回路図である。

【図8】図4の発振器に含まれるリングオシレータ014の回路図である。

【図9】図4に示すようなアナログ制御を採用したときのリフレッシュ周期と温度の関係を示した図である。

【図10】温度に対してデジタル制御を採用したときの従来の発振器のブロック図である。

【図11】図10における温度とリフレッシュ周期の関係を示すグラフである。

【図12】DRAM製品のデータ保持特性に合わせたリフレッシュ周期を得る例を示す図である。

【符号の説明】

【0059】

- 001 リフレッシュ周期発生用のオシレータ回路、
- 002 発振周波数がアナログ的な温度依存を持つ発振回路部
- 011 バンドギャップ型基準電位発生回路
- 012 比較電圧発生回路
- 013 正の温度特性を持つ電流制御用バイアス発生回路
- 014 リングオシレータ
- 015 分周回路
- 016 温度センサ部
- 017 周波数選択回路
- 018 ヒューズブロック
- 019 第2の分周回路

10

20

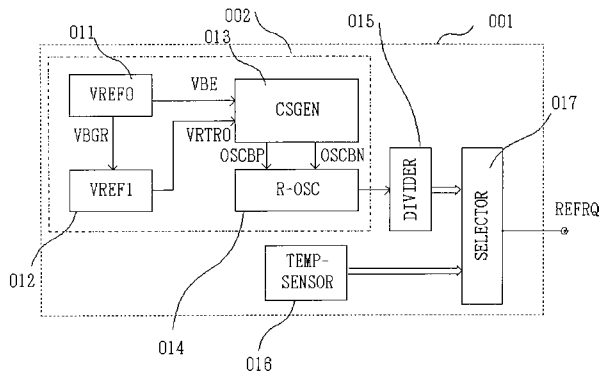
30

40

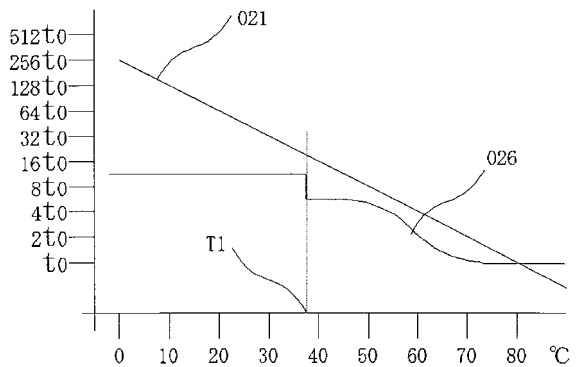
50

- 0 2 0 D R A Mセルのデータ保持特性に対応したリフレッシュ周期調整回路
- 0 2 1 D R A Mセルのデータ保持特性(データ保持に必要なリフレッシュ周期)の温度依存性を示す直線
- 0 2 2 図 4 で示した発振器の周期の温度依存性を示す曲線
- 0 2 3 図 1 0 で示した発振器の周期の温度依存性を示す実線
- 0 2 4 図 1 0 で示した発振器の周期の、温度依存性のばらつき
- 0 2 5 リフレッシュ周期発生回路 0 0 1 の周期の温度依存性を示す曲線
- 0 2 6 リフレッシュ周期発生回路 0 0 1 におけるリフレッシュ周期の第 2 の温度依存性を示す曲線
- 0 2 7 第 2 の周波数選択回路 10
- T 0 ~ T 2 温度センサ部による温度判定ポイント
- Q P 0 1 ~ Q P 1 0 , Q P 2 1 ~ Q P 2 n Pチャネルトランジスタ
- Q N 0 1 ~ Q N 0 9 , Q N 2 1 ~ Q N 2 n Nチャネルトランジスタ
- B P 0 1 ~ B P 0 3 バイポーラトランジスタ
- I N V 2 1 ~ I N V 2 n インバータ
- I S 0 1 ~ I S 0 3 定電流源
- R 0 1 ~ R 0 8 抵抗素子
- N 0 1 ~ N 0 2 接点
- R E F リフレッシュ信号
- R E F R Q リフレッシュの基準信号 20
- O S C B P , O S C B N 電流制御信号

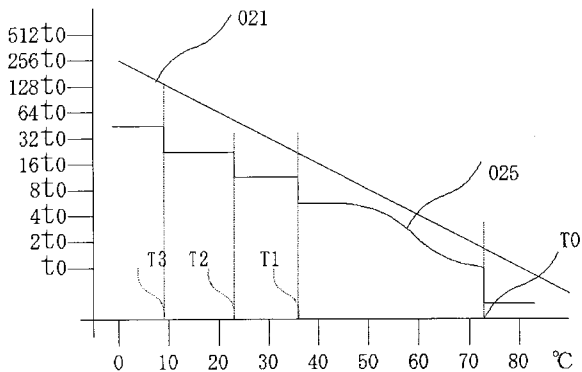
【 図 1 】



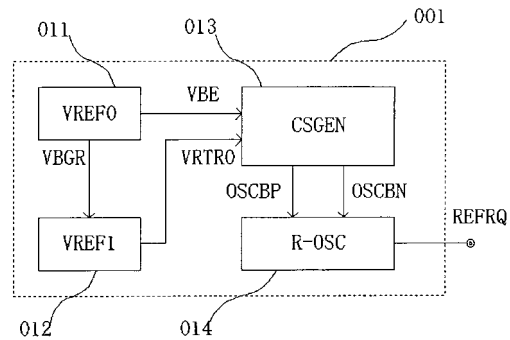
【 図 3 】



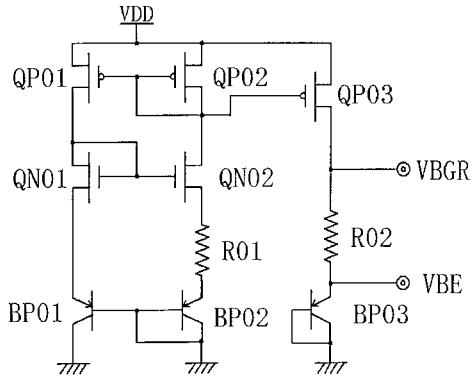
【 図 2 】



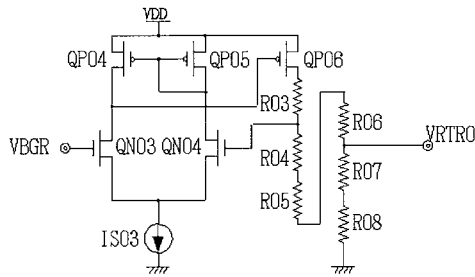
【 図 4 】



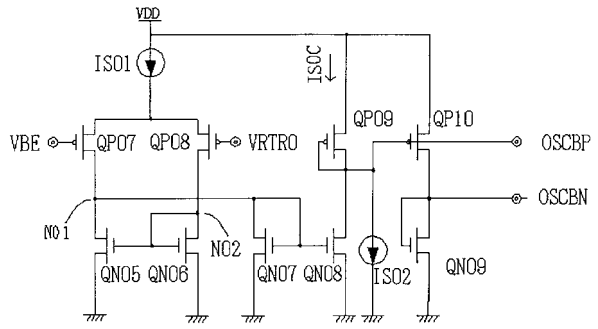
【図5】



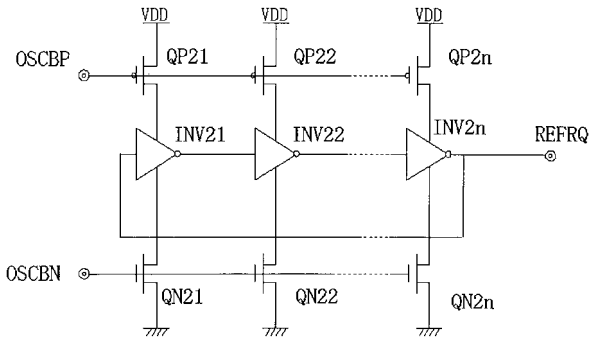
【図6】



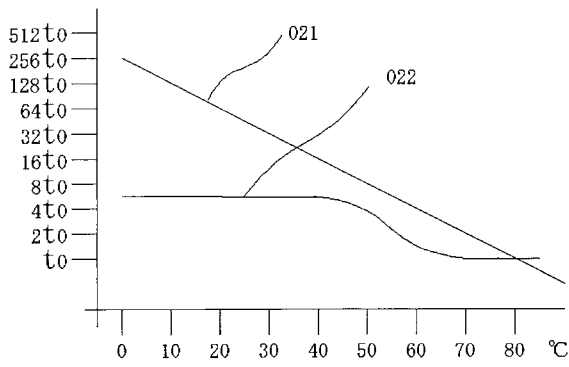
【図7】



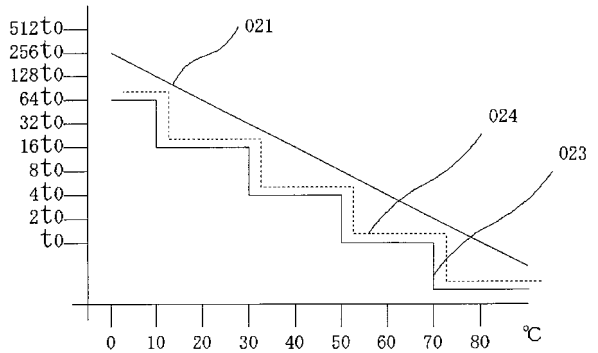
【図8】



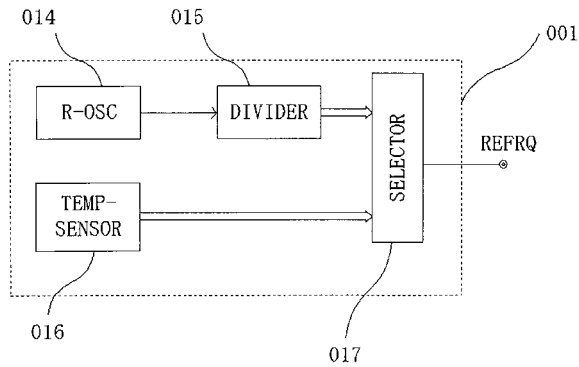
【図9】



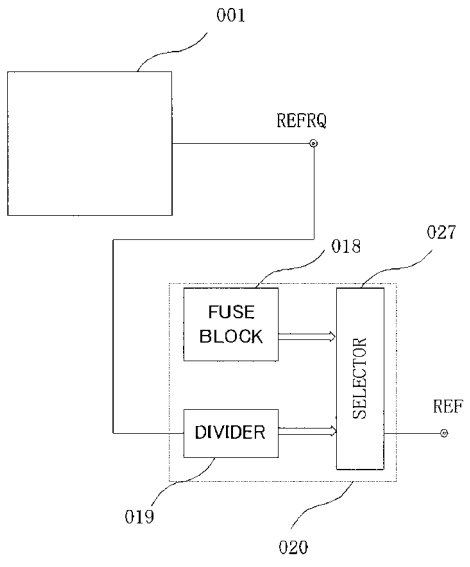
【図11】



【図10】



【 1 2 】



---

フロントページの続き

(72)発明者 伊藤 豊

東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

審査官 園田 康弘

(56)参考文献 特開平07-122064(JP,A)  
特開平07-296582(JP,A)  
特開平05-307882(JP,A)  
特開平07-141865(JP,A)  
特開平03-207084(JP,A)  
特開2000-048561(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/406  
G11C 11/403  
H03K 3/03