

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-512323

(P2005-512323A)

(43) 公表日 平成17年4月28日(2005.4.28)

(51) Int.Cl.⁷

F I

テーマコード (参考)

H O 1 L 21/316

H O 1 L 21/316

G

4 K O 3 O

C 2 3 C 16/40

C 2 3 C 16/40

5 F O 5 8

H O 1 L 21/8242

H O 1 L 27/10

4 4 4 A

5 F O 8 3

H O 1 L 27/105

H O 1 L 27/10

4 4 4 B

H O 1 L 27/108

H O 1 L 27/10

4 4 4 Z

審査請求 未請求 予備審査請求 未請求 (全 37 頁) 最終頁に続く

(21) 出願番号 特願2003-550271 (P2003-550271)

(86) (22) 出願日 平成14年9月17日 (2002.9.17)

(85) 翻訳文提出日 平成16年5月31日 (2004.5.31)

(86) 国際出願番号 PCT/US2002/029325

(87) 国際公開番号 W02003/049172

(87) 国際公開日 平成15年6月12日 (2003.6.12)

(31) 優先権主張番号 09/998,364

(32) 優先日 平成13年11月29日 (2001.11.29)

(33) 優先権主張国 米国 (US)

(71) 出願人 590006468

シメトリックス・コーポレーション

SYMETRIX CORPORATION

アメリカ合衆国コロラド州 80918、
コロラド・スプリングス、マーク・ダブリ
ング・ブルバード 5055

(74) 代理人 100078282

弁理士 山本 秀策

(74) 代理人 100062409

弁理士 安村 高明

(74) 代理人 100113413

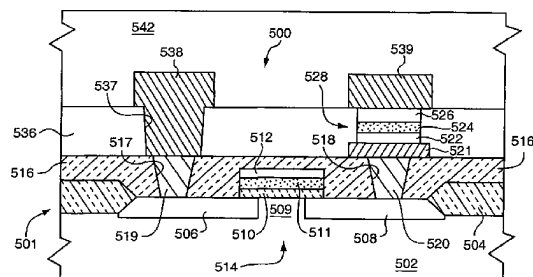
弁理士 森下 夏樹

最終頁に続く

(54) 【発明の名称】 集積回路用途のためのランタン系列の層状超格子材料

(57) 【要約】

集積回路(40)は、セリウム、プラセオジミウム、ネオジミウム、プロメチウム、サマリウム、ユーロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウム、およびルテチウムを含む元素の1つ以上を含む層状超格子材料を含む。これらの元素は、層状超格子材料内のAサイト元素または超格子生成器元素であり得る。ある実施形態において、これらの元素の1つ以上は、ビスマス層を有する材料内のビスマスと置換される。これらの元素の1つ以上は、さらに、好ましくは、ストロンチウム、カルシウム、バリウム、ビスマス、カドミウム、鉛、チタン、タンタル、ハフニウム、タンゲステン、ニオブウム、ジルコニウム、ビスマス、スカンジウム、イットリウム、ランタン、アンチモニー、クロミウム、タリウム、酸素、塩素、およびフッ素を含む元素の1つ以上と合わせて用いられる。



【特許請求の範囲】

【請求項 1】

メモリデバイスを製作する方法であって、該方法は、

基板(41)を提供するステップと、該基板上にメモリセル(500)を形成するステップとを包含し、該方法は、該基板上に該メモリセルを形成するプロセスを特徴とし、該方法は、液体前駆体を提供するステップであって、該液体前駆体は、a)セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、ユーロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウム、およびルテチウムからなる群より選択された元素を含む液体前駆体と、b)化学式 $A_{m-1} (Bi_{1-x} Lan_x) 2 M_m O_{3m+3}$ (ここで、Aは、A-site元素であり、Mは、B-site元素であり、Oは酸素であり、mは、整数または分数であり、Lanは、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、ユーロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウム、およびルテチウムからなる群より選択された材料の1つ以上を表し、かつ、 $0 < x < 1$ である)を有する層状超格子材料を作製するために適切な液体前駆体とからなる群から選択される、ステップと、

10

該基板上に層状超格子材料構造の薄膜を自発的に形成するために該液体前駆体を利用するステップと

を包含する方法であって、

該方法は、該基板上にメモリを完成させるステップをさらに包含する、方法。

20

【請求項 2】

前記利用するステップは、前記基板上に前記前駆体を液体の形態で付与するステップを包含する、請求項 1 に記載の方法。

【請求項 3】

前記利用するステップは、前記基板上に前記前駆体を蒸気の形態で付与するステップを包含する、請求項 1 に記載の方法。

【請求項 4】

前記化学式は、 $(Bi_{1-x} LAN_x)_4 Ti_3 O_{12}$ を含むことを特徴とする、請求項 1 ~ 3 の 1 つに記載の方法。

【請求項 5】

前記化学式は、 $(Bi_{1-x} LAN_x)_2 Ta_{1-y} NbyO_9$ (ただし、 $A = Sr$ 、 Ca 、 Ba または Pb であり、かつ、 $1 \leq y \leq 0$ である)を含むことを特徴とする、請求項 1 ~ 3 の 1 つに記載の方法。

30

【請求項 6】

前記化学式は、 $(Bi_{1-x} LAN_x)_2 Bi_4 Ti_3 O_{15}$ を含むことを特徴とする、請求項 1 ~ 3 の 1 つに記載の方法。

【請求項 7】

前記化学式は、 $A (Bi_{1-x} Lan_x)_4 Ti_4 O_{15}$ (ただし、 $A = Sr$ 、 Ca 、 Ba または Pb である)を含むことを特徴とする、請求項 1 ~ 3 の 1 つに記載の方法。

【請求項 8】

前記層状超格子材料は強誘電体であることを特徴とする、請求項 1 ~ 3 の 1 つに記載のメモリデバイスを製作する方法。

40

【請求項 9】

前記利用するステップは、前記基板に前記前駆体を付与するステップの後、前記層状超格子材料を形成するために該基板を処理するステップを包含する、請求項 1 ~ 3 の 1 つに記載の方法。

【請求項 10】

前記付与するステップおよび前記処理するステップは、金属有機化学気相成長(MOCVD)法を含むことを特徴とする、請求項 9 に記載の方法。

【請求項 11】

50

前記処理するステップは、 $550^{\circ}\text{C} \sim 750^{\circ}\text{C}$ の温度でのRTPを包含することを特徴とする、請求項9に記載の方法。

【請求項12】

前記付与するステップは、ミスト堆積法を包含することを特徴とする、請求項9に記載の方法。

【請求項13】

前記付与するステップは、スピノン堆積法を包含することを特徴とする、請求項9に記載の方法。

【請求項14】

前記利用するステップは、MOCVDを包含する、請求項1に記載の方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

(1. 発明の分野)

本発明は、集積回路(IC)に使用する強誘電体および高誘電率の材料に関し、さらに具体的には層状プロブスカイトなどの層状超格子材料に関する。

【背景技術】

【0002】

(2. 問題点)

少なくとも50年間、メモリ要素が強誘電体電界トランジスタ(FET)であるメモリの設計が可能であり得ると仮定されてきた。1998年7月のPhysics Today、Vol. 51、No. 7の22ページから27ページまでに掲載のOrlando Auciello、James F. Scott、およびRamamoorthy Rameshの「The Physics of Ferroelectric Memories」を参照されたい。10年程前に層状超格子体材料の低疲労性の特性が発見されるまで、機能する強誘電体メモリの製造は、ずっと捉えどころのないものであった。1996年5月21日にPaz de Araujoらによって付与された米国特許第5,519,234号を参照されたい。層状超格子体材料の2つの一般的なサブクラスが公知である。1つの周知のサブクラスは層の1つがプロブスカイトであり、これらはしばしば「層状プロブスカイト」と呼ばれる。もう1つの周知のサブクラスは、ビスマスを含む層状超格子体材料のすべてを含むもので、これらはしばしば「ビスマス層状材料」または「バイレイヤー材料」と呼ばれる。層状超格子体材料は、集積回路において高誘電率材料として有用なことも証明されている。上で引用した特許第5,519,234号およびPaz de Araujoらによって2001年10月に出願された米国特許出願第09/686,552号を参照されたい。

20

30

【0003】

上記の特許およびそれに続く他の特許に開示される層状超格子体材料は、実現性のある商業用の強誘電体メモリへの道を開き、例えばFETおよびDRAMの高誘電率材料として有用なことが証明されているが、これらの材料は一般的に、それらの中の材料が、一般的に層状の材料と組み合わせて使用されるMOSFETなどの従来の集積回路デバイスにおける、半導体およびその他の材料に移動するのを防ぐバリア層およびその他の構造物と共に使用される必要がある。さらに、従来の技術の参考文献に記載される層状超格子体材料は、一般的に、 600°C から 850°C の範囲の比較的高温においてのみ形成され得るが、これらの材料は、誘電率および分極率などの重要な電気的特性において一般的に劣るこの温度範囲のより低い部分で作られ得る。さらに、従来技術の層状超格子体材料の電子的特性は、より優れた商業用デバイスを製造するために十分であるが、その特性は、このより優れた製品を得るために、その製造工程が慎重に制御されなければならないような特性である。例えば、実験室では、従来技術の層状超格子体材料は、最高30マイクロクーロン/ cm^2 ($\mu\text{C}/\text{cm}^2$)までの2Prの分極率を生み出すが、営利的処理の制約のために約 $12\mu\text{C}/\text{cm}^2$ から $18\mu\text{C}/\text{cm}^2$ の分極率という結果になる。実現性のある

40

50

メモリには少なくとも $7 \mu\text{C}/\text{cm}^2$ の分極率が要求され、かつ約 $12 \mu\text{C}/\text{cm}^2$ の分極性を有することが好ましいので、その処理上のエラーに対しそれほど余裕がない。したがって、従来の集積回路の材料および構造物と、さらによく共存し得、より低い温度で形成され得、より優れた電子的特性を有する、層状超格子体材料への要求が依然としてある。

【発明の開示】

【課題を解決するための手段】

【0004】

本発明が、以下の要素を含む層状超格子体材料を提供することによって、上記の問題を解決する。それらの要素は、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd) 10、プロメチウム (Pm)、サマリウム (Sm)、ユーロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb) およびルテチウム (Lu) である。これらの要素は、A-サイト (A-site) の格子点を占めるかまたはビスマスの層状材料の中で、部分的にビスマスの代わりをするのが好ましいが、層状超格子体材料の中で、A-サイト要素かまたは超格子体生成要素のいずれかであり得る。後者の場合、ランタンもまた使用され得る。それらの要素は、好ましくは、以下の1つ以上の要素と組み合わせ使用される。それらは、ストロンチウム、カルシウム、バリウム、ビスマス、カドミウム、鉛、チタン、タンタル、ハフニウム、タングステン、ニオブ、ジルコニウム、 20、ビスマス、スカンジウム、イットリウム、ランタン、アンチモン、クロム、タリウム、酸素、塩素およびフッ素である。

【0005】

本発明による新たな材料は、強誘電体または常誘電体、つまり通常の誘電体であり得る。それらは、好ましくは、メモリ、キャパシタ、および、FET、強誘電性FET、MOSFETを含むトランジスタに使用されるが、ヘテロ接合のバイポーラトランジスタ、BiCMOSデバイス、赤外線感応セルおよびその他ICデバイスなどのその他の集積回路にも使用され得る。

【0006】

本発明が集積回路を提供し、その集積回路は、基板と、その基板上に形成される層状超格子体材料の薄膜とを含み、その薄膜は、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、ユーロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウムおよびルテチウムからなる群から選択される要素を含む。好ましくは、この層状超格子体材料の薄膜はまた、ビスマスを含む。好ましくは、この層状超格子体材料の薄膜はまた、チタンを含む。好ましくは、この要素が、セリウム、ネオジウム、ジスプロシウムまたはガドリニウムを含む。好ましくは、この薄膜は強誘電体である。好ましくは、この薄膜はメモリの部分を形成する。 30

【0007】

別の局面において、本発明が集積回路を提供し、この集積回路が、基板と、その基板上に形成される層状超格子体材料の薄膜とを含み、その層状超格子体材料がA-サイト要素、B-サイト要素、超格子体生成要素および陰イオンを含み、このA-サイト要素は、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、ユーロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウムおよびルテチウムからなる群から選択される要素を含む。 40

【0008】

さらなる局面では、本発明が集積回路を提供し、その集積回路が、基板と、その基板上に形成される層状超格子体材料の薄膜とを含み、その薄膜が、式 $A_{m-1} (Bi_{1-x}La_n)_2 M_m O_{3m+3}$ を有し、ここでAがA-サイト要素、MがB-サイト要素、Oが酸素およびmが整数または分数であり、 La_n が、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、ユーロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウムおよびルテチウムか 50

らなる群から選択される1以上の材料を表し、かつ $0 < x < 1$ である。好ましくは、層状超格子体材料が式 $(Bi_{1-x}La_n)_4Ti_3O_{12}$ を有する。好ましくは、 $0.1 \# x \# 0.9$ である。さらに好ましくは、 $0.1 \# x \# 0.5$ である。好ましくは、この式が、 $A(Bi_{1-x}La_n)_2Ta_{1-y}Nb_yO_9$ を含み、ここで、 $A = Sr, Ca, Ba$ または Pb であり、 $1 \# y \# 0$ である。あるいは、その式が、 $(Bi_{1-x}La_n)_2Bi_4Ti_3O_{15}$ を含む。さらなる実施形態では、その式が、 $A(Bi_{1-x}La_n)_4Ti_4O_{15}$ を含み、ここで、 $A = Sr, Ca, Ba$ または Pb である。さらなる実施形態では、その式が、好ましくは、 $A_2(Bi_{1-x}La_n)_4Ti_5O_{18}$ を含み、ここで、 $A = Sr, Ca, Ba$ 、または Pb である。さらに別の実施形態では、その式が、 $(A_{z-1}La_n[2/3]_z)_{m-1}Bi_2M_mO_{3m+3}$ を含み、こ
 10
 こで、 A はランタン以外のA-サイト要素であり、 M はB-サイト要素、 La_n は1以上のランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、ユーロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウムおよびルテチウムであり、 $0 < z \# 1$ および m は整数または分数である。この実施形態において、好ましくは、 $0.1 \# z \# 0.9$ であり、さらに好ましくは $0.1 \# z \# 0.5$ である。この実施形態において、この式は好ましくは $La_{2/3}Bi_2Ta_yNb_{1-y}O_9$ を含み、ここでは、 $0 \# y \# 1$ である。さらに別の実施形態では、この式が、 $(A_{1-z}La_n[2/3]_z)_{m-1}(Bi_{1-x}La_n)_2M_mO_{3m+3}$ を含み、ここでは、 $0 < z \# 1$ である。この実施形態では、この式は、好ましくは、
 20
 $(Bi_{1-z}La_n)_{2/3}(Bi_{1-x}La_n)_2B_2O_9$ であり、ここで、 B はB-サイト要素である。前述のすべての実施形態において、好ましくは、層状超格子体材料の薄膜はチタンを含む。好ましくは、上記の実施形態において、 La_n が、好ましくは、ランタン、ネオジウム、ジスプロシウム、セリウムまたはガドリニウムを表す。さらに、薄膜は、好ましくは、強誘電体であり、かつ薄膜はメモリの部分を形成する。

【0009】

別の局面において、本発明が集積回路を提供し、その集積回路が、基板と、その基板上に形成されるビスマスの層状材料の薄膜とを含み、ここでは、ランタン要素がビスマスの層状材料において部分的にビスマスの代わりをする。

【0010】

さらに別の局面では、本発明がメモリデバイスの製造の方法を提供し、その方法が、基板を提供する工程と、その基板上にメモリセルを形成する工程であって、その基板上にメモリセルを形成するプロセスが、薄膜の中に層状超格子体材料構造を自己組織的に形成する工程を含み、その層状超格子体材料が、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、ユーロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウムおよびルテチウムからなる群から選択される要素を含む、基板上にメモリセルを形成するプロセスと、その基板上にメモリを完成する工程とを含む。好ましくは、その層状超格子体材料がまた、ビスマスを含む。好ましくは、層状超格子体材料もまた、チタンを含む。好ましくは、その要素が、ランタン、ネオジウム、セリウム、ジスプロシウム、またはガドリニウムを含む。好ましくは、その層状超格子体材料が強誘電体である。
 30
 40

【0011】

さらに別の局面で、本発明がまた、集積回路を製造する方法を提供し、その方法が、基板を提供する工程と、その基板上に層状超格子体材料の薄膜を形成する工程であって、その層状超格子体材料がセリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、ユーロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウムおよびルテチウムからなる群から選択される要素を含む、その基板上に層状超格子体材料の薄膜を形成する工程と、その基板上に集積回路を完成させる工程とを含む。

【0012】

さらに別の局面で、本発明が強誘電体メモリを製造する方法を提供し、その方法が、
 50

基板上に第1の電極を形成する工程と、その第1の電極上に強誘電性層状超格子体材料の薄膜を形成する工程であって、その層状超格子体材料が、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、ユーロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウムおよびルテチウムからなる群から選択される要素を含む、その第1の電極上に強誘電性層状超格子体材料の薄膜を形成する工程と、その強誘電性層状超格子体材料の上に第2の電極を形成する工程とを含む。

【0013】

さらに別の局面では、本発明が、強誘電性層状超格子体材料を製造する方法を提供し、その方法が、基板を提供する工程と、層状超格子材料を形成するのに適した複数の金属を含む液体前駆体を提供する工程であって、その金属が、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、ユーロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウムおよびルテチウムからなる群から選択される要素を含む、液体前駆体を提供する工程と、その基板にその前駆体液を適用する工程と、その第1の基板上に金属を含む層状超格子体材料を形成するためにその前駆体を基板上で処理する工程とを含む。好ましくは、前駆体液が、金属アルコキシドおよび金属カルボン酸からなる群から選択される金属化合物を含む。好ましくは、その前駆体液が、その群の金属の1つであるアルコキシドを含む金属化合物を含む。好ましくは、その液体前駆体がオクタンを含む。好ましくは、その、適用する工程と処理する工程とがMOCVD (metal organic chemical vapor deposition) を含む。好ましくは、そのMOCVDが、500℃から850℃の間の温度で、最も好ましくは、500℃から700℃の間の温度で実行される。好ましくは、その処理する工程が、真空中に曝すこと、紫外線放射に曝すこと、電氣的ポーリング、乾燥、加熱、焼くこと、RTP (rapid thermal processing)、およびアニーリングからなる群から選択される工程を含む。好ましくは、その処理する工程が、300℃以下の温度で乾燥する工程を含む。好ましくは、その処理する工程が、500℃から750℃の間の温度で、炉アニーリングを行う工程を含む。好ましくは、その処理する工程が、500℃から750℃の間の温度でのRTPを含む。あるいは、適用する工程が、スピンプロセスまたはミスト堆積プロセスを含む。好ましくは、その層状超格子体材料がまた、ビスマスを含む。好ましくは、その前駆体が、層状超格子体材料を形成するために必要な化学量よりも多くの量のビスマスを含む。好ましくは、その層状超格子体材料がまた、チタンを含む。好ましくは、その要素が、ランタン、ネオジウム、セリウム、ジスプロシウムまたはガドリニウムを含む。

【0014】

本発明が、従来の集積回路要素とより互換性のある強誘電体メモリを提供するだけでなく、よりよく製造し得、よりよく環境的に互換性のある強誘電体メモリを提供する。本発明のその他の特徴、目的および利点は、添付の図面と共に以下の説明を読むことから明らかとなる。

【発明を実施するための最良の形態】

【0015】

(1. 概略)

上で述べたように、かつ、以下で詳細に説明するように、本明細書において「層状超格子体材料」と呼ばれる材料は、特に、集積回路デバイスでの使用、特に集積回路メモリでの使用に適している。以下の第2節において、発明者らは、本発明の材料に使用される層状超格子体材料および特定の新規の化学要素の一般化された説明を提供する。第2節はまた、本発明の材料が使用される例示的デバイスの説明を含む。第3節において、新規の要素を含む層状超格子体材料の例示的な製造法が開示される。これらの例示的な製造法が従来技術の層状超格子体材料の電子的特性に勝る、特に、任意の従来技術の強誘電体材料より遙かに勝る電子的特性を提供する。第4節において、発明に値する材料を含む集積回路デバイスの製造の実施例が提供される。

10

20

30

40

50

【0016】

(2. 本発明の例示的構造および材料)

図1を見ると、本発明による強誘電体FET40の断面図が示される。FET40は、比較的複雑なFET構造を含むが、これは、典型的な強誘電体FET(FEFET)と関連し得る多数の層を1カ所で例示するために設計されたものである。しかし、ゲート電極58および強誘電体層57以外の全ての層は随意であることが理解されるべきである。FET40は、ガリウム砒素、シリコンゲルマニウムなどの他の任意の適切な半導体であり得る、好ましくはp型シリコンである基板41を含む。好ましくはn型ウェルである深型ウェル43が基板41内に形成され、好ましくはp型ウェルである、深型ウェルより浅いウェル45がウェル43内に形成される。好ましくはn型である、ドーパされた活性領域42および44がウェル45内に形成される。本発明者らが、これらの活性領域42および44を、本明細書において一般的にソース／ドレインと呼ぶ理由は、それらが、その領域に印加される相対電圧に依存するソースまたはドレインのどちらでもあり得るからである。チャンネル領域46もまた、好ましくはn型であるが、ソース／ドレイン42および44ほど高密度にドーパされず、ソース／ドレイン42と44との間に形成される。ゲート構造61がチャンネル領域46の上で基板41上に形成される。好ましい実施形態では、ゲート構造61が多層構造である。しかしゲート構造61は、通常、図1に示す層51から58の全てを含むわけではない。つまり、図1に示すゲート構造61はその構造に含まれ得る層の例示を意図したものである。関与する基本的な層は、絶縁層50、浮遊ゲート層59、強誘電体層状超格子体材料層57、およびゲート電極層58である。しばしば「ゲート酸化物」と呼ばれる絶縁層50は、層51、52および53を含む多層構造として示され、それらの各層は異なる絶縁体である。好ましくは、層51が基板41の材料に親密に関係する絶縁体である。好ましくは、層52がバッファまたは界面層であり、以下の2つの機能の内の1つまたは両方の機能を果たし得る。それらは、層52より上の層と層52の下層との接着を助ける機能、および層52より上の層の要素が層52より下の層へ移動するのを防ぐ機能である。絶縁層53はゲートの第1の絶縁層と考えられ、好ましくは、FETの効果的な動作に適した高誘電性の特質を有する材料である。1つの材料が、層52および53、または、層51、52および53の3層すべての層の機能さえ果たし得ることが理解されるべきである。浮遊導電ゲート59が絶縁層50上に形成される。再度、浮遊ゲートが3つの層、54、55、および56として示される。1つの実施形態では、層54がポリシリコン層であり、層55が接着層、および層56がプラチナなどの金属層である。別の実施形態では、層54が浮遊ゲート59をその下の層に接着する助けをする接着層である。この実施形態では、層55が第1の浮遊ゲート層であると考えられ、層56が、層56より上の層の要素が層56より下の層へ移動するのを防ぐ目的を有する導電性バリア層である。強誘電性層状超格子体材料層57が浮遊ゲート59上に形成される。ゲート電極58が強誘電性層状超格子体材料層57上に形成される。強誘電体層57およびゲート電極58は、通常は多層構造ではないが、多層構造であり得ることが理解されるべきである。配線層がソース／ドレイン42、ソース／ドレイン44および基板41に対する電気接点(コンタクト)62、64および66をそれぞれ形成する。コンタクト66は、好ましくは、深型ウェル43およびウェル45の間の接合で、浅型pウェル47の上に位置する。ゲート58が、好ましくは、その配線層と一体的であり、ゆえに、コンタクトは図示されない。以下にさらに詳細に説明するように、強誘電体FET40では、電荷蓄積要素が強誘電性層状超格子体材料層57である。

【0017】

好ましくは、半導体41がシリコンのとき、絶縁層51が二酸化ケイ素である。好ましくは、絶縁層52がバッファまたは界面層であり、その目的は層52より上の層の中の要素が層52の下層の半導体層へ移動するのを防ぐためである。層52はまた、層52より上の層が層52より下の層に接着するのを助け得る。バッファ層52が、好ましくは、Ta₂O₅を含むが、CeO₂または任意の適したその他の材料でもあり得、これらは、要素が層52より上の層から層52の下層のシリコン層に移動するのを防ぐ、および／または、

層52より上の層を層52の下シリコン層に接着する助けをする。層53がゲート絶縁体であり、好ましくは、 Ta_2O_5 、 SiO_2 、 CeO_2 、 ZrO_2 、 Y_2O_3 、 $YMnO_2$ および $SrTa_2O_6$ から選択される1つ以上の材料を含む。その厚さは、好ましくは4ナノメートル(nm)から50nmである。1つの好ましい実施形態では、ゲート絶縁体50が二酸化ケイ素の層51および Ta_2O_5 の層53を含む。この場合、 Ta_2O_5 の層53が第1のゲート絶縁体としておよびバッファ層として働く。その他の実施形態では、ゲート絶縁体53が本発明による層状超格子体材料を1つ以上含む高誘電率絶縁体である。

【0018】

強誘電性層状超格子体材料が、1996年5月21日にPaz de Araujoらに付与された米国特許第5,519,234号、1998年7月22日にCuchiaroらに付与された米国特許第5,784,310号、1998年11月24日にAzumaraらに付与された米国特許第5,840,110号およびAzumaraらの名前で1995年3月17日に出願された米国特許出願第08/405,885号に記載される。

【0019】

層状超格子体材料がG. A. Smolenskiiその他によってカタログ化されている。G. A. Smolenskiiによって編集された、ISSN 0275-9608のFerroelectrics and Related Materials (Ferroelectrics and Related PhenomenaシリーズV. 3、1984年)の本の15章、特に15.3から15.7節と、Fizika Tverdogo TelaのV1、No. 10 (1959年10月)のG. A. Smolenskii、A. I. Agranovskaya、V. A. Isupovの「Dielectric Polarization of a Number of Complex Compounds」の1562ページから1572ページまでと、Soviet Physics-Technical Physics、(1959年)のG. A. Smolenskii、V. A. Isupov、A. I. Agranovskayaの「New Ferroelectrics of Complex Composition」の907ページから908ページまでと、Soviet Physics-Solid State、V3のNo. 3 (1961年9月)のG. A. Smolenskii、V. A. Isupov、A. I. Agranovskayaの「Ferroelectrics of the Oxygen-Octahedral Type With Layered Structure」の651ページから655ページまでと、J. Chem. Physics、V34 (1961年)のE. C. Subbaraoの「Ferroelectricity in Mixed Bismuth Oxides With Layer-Type Structure」の695ページと、J. Phys. Chem. Solid、V. 23 (1962年)のE. C. Subbaraoの「A Family of Ferroelectric Bismuth Compounds」の665ページから676ページと、M. E. LinesおよびA. M. GlassによるClarendon Press、Oxford、(1977年)のPrinciples and Applications of Ferroelectrics and Related Materialsの第8章、241ページから292ページまでおよび620ページから632ページまでの補遺Fの中の624ページから625ページまでとを参照されたい。これらの材料はSmolenskiiによって概説された以下の式によって表され得る。

【0020】

(I) 式 $A_{m-1}Bi_2M_mO_{3m+3}$ を有する化合物で、ここでAは、 Bi^{3+} 、 Ba^{2+} 、 Sr^{2+} 、 Ca^{2+} 、 Pb^{2+} 、 K^+ 、 Na^+ および互換可能なサイズその他のイオンであり、Mは、 Ti^{4+} 、 Nb^{5+} 、 Ta^{5+} 、 Mo^{6+} 、 W^{6+} 、 Fe^{3+} および8面体酸素を占有するその他のイオンである。この群はビスマスタネイト $Bi_4Ti_3O_{12}$ を含む。これらを本明細書でSmolenskii I型化合物と

呼ぶ。

【0021】

(I I) 式 $A_m + 1 M_m O_{3m+1}$ を有し、ストロンチウムチタネイトの $Sr_2 TiO_4$ 、 $Sr_3 Ti_2 O_7$ および $Sr_4 Ti_3 O_{10}$ などの化合物を含む、化合物。これらを本明細書で Smolenskii I I 型化合物と呼ぶ。

【0022】

(I I I) 式 $A_m M_m O_{3m+2}$ を有し、 $Sr_2 Nb_2 O_7$ 、 $La_2 Ti_2 O_7$ 、 $Sr_5 TiNb_4 O_{17}$ 、および $Sr_6 Ti_2 Nb_4 O_{20}$ などの化合物を含む、化合物。なお、 $Sr_2 Nb_2 O_7$ および $La_2 Ti_2 O_7$ の場合、その式は、一般式に一致させるために2倍にする必要がある。これらを本明細書で Smolenskii I I I 型化合物と呼ぶ。 10

【0023】

本発明の材料は上記の材料の全ておよびその組み合わせと、A-サイト要素または特定のランタンを含む超格子体生成要素を含むこれらの物質の固溶体とを含む。この層状超格子体材料は一般的に以下の式に要約され得る。

【0024】

(1) $A_1^{w_1+a_1} A_2^{w_2+a_2} \dots A_j^{w_j+a_j} S_1^{x_1+s_1} S_2^{x_2+s_2} \dots S_k^{x_k+s_k} B_1^{y_1+b_1} B_2^{y_2+b_2} \dots B_l^{y_l+b_l} Q_z^{-2}$ であり、ここで A_1 、 $A_2 \dots A_j$ が構造の A-サイト要素を表し、その要素はストロンチウム、カルシウム、バリウム、ビスマス、鉛、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、ユーロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウム、およびルテチウムなどであり得、 S_1 、 $S_2 \dots S_k$ が超格子体生成要素を表し、それは通常ビスマスであるが、イッテルビウム、スカンジウム、ランタン、アンチモン、クロム、タリウム、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、ユーロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウム、およびルテチウムおよび+3の価電子数を有するその他の要素などの材料であり得、 B_1 、 $B_2 \dots B_l$ が構造の B-サイト要素を表し、それらは、チタン、タンタル、ハフニウム、タングステン、ニオブ、ジルコニウムおよびその他の要素であり得、 Q が陰イオンを表し、それは一般的に酸素であるが、フッ素、塩素およびそれらの化合物である酸化フッ素、酸塩化物などの他の要素でもあり得る。式(1)の上付き文字はそれぞれの要素の価電子数を示す。例えば Q が酸素の場合、 $q=2$ である。この下付き文字はその化合物の分子の中の材料のモル数、または単一のセルに関しては、その単一セル内の要素の平均的な原子数を示す。この下付き文字は正数または分数であり得る。つまり式(1)は、単一セルがその材料全体で均一に変化し得る場合を含む。例えば、 $Dy_{2/3} Bi_2 (Ta_{0.75} Nb_{0.25})_2 O_9$ では、B-サイトの75%がタンタル原子によって占められ、B-サイトの25%がニオブ原子で占められる。化合物中にただ1つのA-サイト要素がある場合、それは「 A_1 」要素によって表され、 $w_2 \dots w_j$ はすべてゼロに等しい。化合物中にただ1つのB-サイト要素がある場合、それは「 B_1 」要素によって表され、 $y_2 \dots y_l$ はすべてゼロに等しく、超格子体生成要素にとっても同様である。通常の場合、1つのA-サイト要素と1つの超格子体生成要素と1つまたは2つのB-サイト要素とがある。しかし、本発明は、A-サイト、B-サイトおよび超格子体要素生成体が複数の要素を有し得る場合を含むことが意図されるために、式(1)は、より一般的な形式で書かれている。 z 値は次の式から見いだせる。 20 30 40

【0025】

(2) $(a_1 w_1 + a_2 w_2 \dots + a_j w_j) + (s_1 x_1 + s_2 x_2 \dots + s_k x_k) + (b_1 y_1 + b_2 y_2 \dots + b_l y_l) = qz$

式(1)は、上で参照した1996年5月21日に付与された米国特許第5,519,234号で説明される Smolenskii 型の3つの型をすべて含む。層状超格子体材料は式(1)に当てはめられ得るすべての材料を含むわけではなく、明確に区分される交 50

代層を有する結晶構造を形成する材料のみを含む。本発明による層状超格子体材料は以下の要素を含む材料である。それら要素は、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、ユーロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウム、およびルテチウムである。

【0026】

式(1)は、全3つのスモレンスキ(Smolenski)タイプの化合物を含む。タイプIの材料に対して $w_1 = m - 1$ 、 $x_1 = 2$ 、 $y_1 = m$ 、 $z = 3m + 3$ かつ他の添え字はゼロに等しい、タイプIIの材料に対して、 $w_1 = m + 1$ 、 $y_1 = m$ 、 $z = 3m + 1$ および他の添え字はゼロに等しい、タイプIIIの材料に対して、 $w_1 = m$ 、 $y_1 = m$ 、 $z = 3m + 2$ および他の添え字はゼロに等しい。スモレンスキタイプIの式は、 $M = Ti$ 10
および $m = 2$ に対して使えないが、式(1)は使えることに留意されたい。これは、スモレンスキの式が価数を考慮していないためである。層状の超格子材料は、式(1)に適合され得る全ての材料を含まないが、それらのみが、結晶化中に明確な交互の層を有する結晶構造を形成する。一般に、前駆体材料の混合物を熱処理またはアニーリングすることによって結晶化の役に立つ。増大した温度は、熱力学的に有利な構造(例えば、ペロブスカイトのような八面体)に関心を持って、超格子形成する部分の順序付けを促進する。 S_1 、 S_2 ... S_k と付される用語「超格子生成元素」は、混合した層状の超格子金属の全体にわたる、超格子生成金属の一樣乱数分散に対抗されるように、これらの金属が2つのペロブスカイトのような層間に挿入される濃縮した金属酸化物層の形式で特に安定するとい 20
う事実を参照する。特に、ビスマスは、Aサイト金属または超格子生成の一方として機能することを可能にするイオン半径を有する。しかし、閾値化学量論比率よりも少ない量で存在する場合、ビスマスは、非ペロブスカイトのようなビスマスの酸化物層として自然に濃縮する。本明細書中、用語「層状超格子金属」はまた、ドーパされた層状超格子金属を含む。すなわち、式(1)に含まれる任意の材料は、種々の材料(例えば、シリコン、ゲルマニウム、ウラン、ジルコニウム、スズ、またはハフニウム)を用いてドーパされ得る。要約すれば、本発明の材料は、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、ユーロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウム、およびルテチウム、さらに上述の材料の全ての固溶体を含む式(1)、ならびにスモレンスキの式によって記載されるような材料を全て 30
含む。一般に、好適な層状超格子材料は、これらの層状超格子材料の多結晶薄膜を含む。本発明の材料の好適な形成は、以下に詳細に示される。

【0027】

用語「超格子」は、本明細書中、いくつかの物理学のコンテキストの意味とはわずかに異なるものを意味し得る。時には、用語「超格子」は、単結晶構造のみの意味を有する。しかし、本発明による材料は、好ましくは、単結晶ではない。これらの材料の単結晶は作成され得ると考えられるが、実際に、現在のところ作成される材料は、どれ1つとして単結晶ではない。本発明の材料は、好ましくは多結晶である。多結晶状態において、材料の構造は、粒界、点欠陥、転位ループ、および他のミクロ構造の欠陥を含む。しかし、スモレンスキによってカタログ化されるペロブスカイトのような材料および各粒子内のほかの材料に対して、構造は、相互依存の様態で自然にリンクされる1つ以上のペロブスカイト 40
のような層および1つ以上の中間の非ペロブスカイトのような層を含む優勢に再現可能なユニットである。用語「層状超格子材料」が、その材料自体を、第1の層および第2の層(明確に異なる結晶構造を有する第1の層および第2の層)を含む結晶構造に自然に形成する全ての材料を含むことを意図することは当業者により認知される。ペロブスカイトのような結晶構造を形成するこれらの材料の1つには、時には、層状ペロブスカイトと呼ばれ、ビスマスを含むこれらには、時には、二重層状材料と呼ばれる。例えば、合成的な超格子といったヘテロ構造は含まれない。

【0028】

用語「化学量論的」は、本明細書中、材料の固体膜(例えば、層状超格子材料)または材料を形成するための前駆体に適用され得る。それは、固体薄膜に適用される場合、最終 50

的な固体薄膜における各素子の実際の相対量を示す式について言う。前駆体に適用される場合、それは、前駆体における金属のモル比を指し示す。実際の実用面で、室温における結晶にはいくつかの欠点が常にあるが、「平衡状態」化学量論的な式は、占有した結晶格子の全てのサイトを有する材料の完全な結晶構造を形成するために十分なそれぞれの素子がある場合の1つである。例えば、 $\text{Nd}_{2/3}\text{Bi}_2(\text{TaNb})\text{O}_9$ および $\text{Nd}_{2/3}\text{Bi}_2(\text{Ta}_{1.5}\text{Nb}_{0.5})\text{O}_9$ は共に、平衡状態の化学量論的な式である。対照的に、ジスプロシウム、ビスマス、タンタル、およびニオブウムモル比がそれぞれ0.6、2.18、1.5、および0.5の場合、ニオブ酸ジスプロシウムビスマスタンタルの前駆体は、本明細書中、非平衡状態の「化学量論的」式 $\text{Nd}_{0.6}\text{Bi}_{2.18}(\text{Ta}_{1.5}\text{Nb}_{0.5})\text{O}_9$ によって表される。なぜなら、それは、B-サイトの元素であるタンタルおよびニオブウムに関連して余分なビスマスおよび不十分なジスプロシウムを含む。酸素の記号の添字が金属の添字の値を完全に平衡になるように修正されない場合、金属の酸素の非平衡状態の化学量論的な式を書き込むことは、当該分野において一般的なことである。

10

20

【0029】

本明細書中に用いられる用語「前駆体」は、中間前駆体または最終的前駆体を形成するように他の前駆体と混ぜ合わされる1つの金属有機溶媒を含む溶液を意味し、あるいは、それは、最終的な液体前駆体溶液（すなわち、製造中に特定の表面に付加される溶液）と呼ばれ得る。基板に付加されるような前駆体は、通常、「最終的な前駆体」、「前駆体混合物」、または単に「前駆体」と呼ばれる。いずれの場合にせよ、意味するものは文脈から明らかである。

【0030】

用語「薄膜」は、本明細書中、集積回路の分野において使用されるように用いられる。一般に、厚さがミクロンよりも小さい膜を意味する。本明細書に開示される薄膜は、厚さがほとんどの場合0.5ミクロンまたはそれ未満である。集積回路の分野のこれら薄膜は、集積回路の分野と互換性がない完全に異なったプロセスによって形成される、マクロキャパシタの分野の層状キャパシタにおけるいわゆる「薄膜」と混同すべきでない。

【0031】

フローティングゲート59およびゲート58は、それらは任意の他の適切なコンダクタである得るが好ましくは、プラチナから作成される。図1に示されるように、下部電極として当該分野において時として言及されるフローティングゲート59は、実施形態により、接着層54または55を含み得る多層構造であり得る。接着層は、一般に、チタニウムであり、好ましくは、ほぼ20nmの厚さである。接着層上の層は、好ましくは、ほぼ100nm～200nmのプラチナの薄層である。フローティングゲート59はまた、 IrO_2 または他の材料であり得るが、好ましくは、 Ta_2O_5 であるバリア層（好ましくは約4nm～40nmの厚さ）56を含み得る。FET40の本質的な部分は、半導体41、強誘電体層状超格子材料層57、およびゲート58だけである。他の層は、任意である。任意の特定の実施形態において1つ以上の層が省略され得る。さらに、層51～58の順序は、変化してもよいし、更なる層が追加されてもよい。

30

【0032】

集積回路デバイスを示す図1～4が実際の集積回路デバイスの任意の特定の部分の実際の平面図および断面図であることを意味しないのは、理解されるべきである。実際のデバイスにおいて、層は均一ではなく、厚さは一般に異なる非を有する。図は、代わりに、可能であるよりも、より明確にかつ完全に本発明の構造およびプロセスを示すように使用される理想的な表示を示す。例えば、層の多様な厚さは、互いに関連して修正した場合、FETの図は、小さすぎてははっきりと見えない層か、紙に適合しない層の一方を有する。

40

【0033】

例えば、「より上 (above)」、「上 (over)」、「上部 (top)」、「より上 (upper)」、「より下 (below)」、「下部 (bottom)」、および「より下 (lower)」といった方向の用語は、本明細書中、半導体基板41に関して意

50

味する。すなわち、第2の素子が第1の素子「より上 (above)」である場合、それは基板41からより遠いことを意味し、それが別の素子「より下 (below)」である場合、それは、他の素子よりも基板41に近いことを意味する。基板41の長さは、水平方向、ならびに、図1の紙の内側および紙の外側への方向によって定義される基板平面を定義する。この平面に沿う平面は、本明細書中「水平方向の」平面と呼ばれ、この平面に垂直な方向は、「垂直方向」になるようと考えられる。メモリセルは、一般に、比較的平坦な層を含む。用語「横方向」または「横方向に」は、薄膜層の平坦面の方向について言う。図1において、横方向は、水平方向である。用語「下にある (underlie)」および「上にある (overlie)」は、基板41に関して定義される。すなわち、第1の素子は、第2の「上にある」素子よりも「下にある」場合、第1の素子を通る、基板面に垂直な線が、さらに第2の素子を通ることを意味する。 10

【0034】

本明細書は、半導体と強誘電体または誘電体材料の薄膜との間に配置されるバッファおよび／またはバリア層について言う。用語「間 (between)」は、バッファおよび／またはバリア層が強誘電体材料の薄膜または半導体と直接接触していることを意味する。バッファおよび／またはバリア層は、強誘電体または半導体と接触し得るが、一般的には接触しない。下にある基板または層上に集積回路層の堆積または形成について言及するとき、用語「に (on)」はまた、時には、同様に本明細書中に用いられる。「間 (between)」または「に (on)」とは対照的に、用語「に直接 (directly on)」は、それが利用される多様なコンテキストにおいて明らかである場合、直接的な接触を意味する。 20

【0035】

この開示において、用語「行 (row)」および「列 (column)」は、開示を容易にするように利用される相対的な用語である。すなわち、慣習的に、行は水平な線または配列であり、列は垂直な線または配列である。しかし、本は、任意のアレイにおいて、90度、270度等回転される観点からアレイを見ることによって、単に、行は列になり得、列は行になり得る。従って、メモリアーキテクチャが、本発明の要旨、明細書、または特許請求の範囲に記載される発明から90度、270度等回転（その他の点では同じである）されるので、本発明によって検討されるアーキテクチャ外として解釈されない。 30

【0036】

用語「高い誘電率」は、10以上の誘電率を意味する。集積回路のキャパシタおよびトランジスタにおける従来の強誘電体は、約4または5の誘電率を有する。従って、高い誘電率の材料は、集積回路にしようされる従来の誘電体材料の誘電率の少なくとも2倍の誘電率を有する。

【0037】

図1を参照すると、動作中、電圧 V_s はソース42に印加され、電圧 V_b は基板41に印加され、電圧 V_d はドレイン44に印加され、ゲート電圧 V_g はゲート58に印加される。これらの電圧は、高いまたは論理「1」の電圧、低いまたは論理「0」の電圧、本明細書中「Z」として一般に示されるオープンまたは高い抵抗状態、あるいは、論理「0」と論理「1」の間の小さい正または負の電圧状態のいずれかであり得る。読み出しプロセスの好適な実施形態において、ドレイン電圧 V_d は、一般に高い電圧よりも著しく低い小さい正の電圧を持つ。 40

【0038】

例えば、正がバイアス電圧を書き込む場合、 V_g は、ゲート58に印加され、強誘電体薄膜57に及ぼす結果として生じる電場により、強誘電体薄膜57は電圧および電場がすでに印加されないとしても分極される。強誘電体薄膜57における残留分極は、チャンネル領域46中の境界絶縁層50を介して電場に及ぼし、電子をチャンネル領域46に引きつけて、それにより、電流の伝導に利用可能な自由電子の増加を引き起こす。結果として、ドレイン電圧 V_d が読み出し動作中にドレイン領域44に印加されると、電流センサはチャンネル領域46を通る高電流を感知し、バイナリ「1」状態を読み出す。負の V_g が書き込 50

み動作中にゲート58に印加される場合、結果として生じる強誘電体薄膜57における残留分極は、チャネル領域46から電流伝搬電子を跳ね除け、すなわち、チャネル領域46内に正孔を引き付け、結果として生じる低電流は、 V_d が読み出し動作中にドレイン42に印加される場合、バイナリ「0」状態として感知される。書き込みバイアス電圧 V_g および読み出しバイアス電圧 V_d は、一般に、1ボルト～15ボルトの範囲であり、最適には、約2ボルト～5ボルトの範囲である。好ましくは、低いまたは論理「0」電圧は、ゼロかまたはグランド状態である。強誘電体57を通る電圧が、高電圧（coercive voltage）と等しいかまたはそれ以上である場合、材料57における強誘電体領域の全ては、基本的に、分極状態になるが、例えば、1.0ボルトの小さい電圧でさえも、いくつかの領域が切換えられる。

10

【0039】

上述から、強誘電体FET40に格納されるデータは、強誘電層状の超高氏材料層57において分極電荷として格納される。従って、強誘電層57は、FeFETの電荷格納素子である。

【0040】

当該分野において公知であるように、強誘電体FETが機能するメモリを提供することである場合、ゲート電圧対ドレイン電流のグラフは、ヒステリシス曲線に従う必要がある。ゼロのゲート電圧で始めると、ドレイン電流は本質的に存在しない。なぜなら、チャネル46における抵抗は非常に高くなる。ゲート電圧が増加するにつれて、正の閾値電圧 $+V_{th}$ に達するまでドレイン電流はないままである。この電圧において、強誘電体57は、ON状態にスイッチし、ドレイン電流を生じるチャネル46にキャリアを伝搬する。次に、ゲート電圧が増加しつづけると、ドレイン電流は、電流が飽和電流 I_{sat} に近づくまで、線形的に増加する。飽和後、ゲート電圧が増加するにつれて、電流は増加せず、曲線は平らになる。ゲート電圧が減少するにつれて、ドレイン電流は、負の閾値電圧 $-V_{th}$ に達するまで同じままである。次に、ドレイン電流は、ドレイン電流がゼロに行く点において、強誘電体がOFF状態にスイッチする点に達するまで、線形に減少する。どんなに大きな負の電圧が印加されても、電圧が増加しても、ドレイン電流はゼロのままであり、正の閾値電圧に達するまで、ゼロより上には行かない。ヒステリシス曲線の範囲は、「メモリウィンドウ」と呼ばれる。実行可能なメモリデバイスを得るために、メモリウィンドウの幅（すなわち、 $+V_{th} \sim -V_{th}$ ）は、ゲート電極58におけるノイズより大きくなる必要がある。メモリウィンドウの高さ（すなわち I_{sat} ）は、ドレインおよび関連したセンス回路におけるノイズよりも大きくなる必要がある。不揮発性メモリに対して、ゼロ電圧線は、メモリウィンドウにおいて理想的に集中されるか、またはノイズマージン内で少なくとも良くなるべきである。なぜなら、デバイスは、外部電源内のデータを保持するべきである。ON状態における I_{sat} とOFF状態における I_{sat} との高い比はまた、センシング回路による2つの状態の区別を容易にできることが望まれる。

20

30

【0041】

DCゲートバイアスが-10ボルトから+10ボルトまでおよび+10ボルトから-10ボルトまで掃引された本発明による層状超格子材料を含む例示の強誘電体FETのメモリウィンドウは、ほぼ4.3ボルトで測定され、ウィンドウの中心はほぼ1ボルトであった。ON電流とOFF電流との間の差は、10進法（ten decade）であり、従って、分極は容易に区別される。

40

【0042】

本発明は、本発明の材料が任意のFET構造で使用され得ることを検討する。図1～4は、様々なFETゲートおよびキャパシタ構成および本発明による材料が使用され得る関連のある構造を示す。より簡単に理解するために、基板のアーキテクチャの詳細は、これらの図に示されない。しかし、好適な実施形態において、これらは図1に示されるようなdeep-および/またはp-ウェルを含むことが理解されるべきである。代替の実施形態において、これらは、その上、他の基板アーキテクチャと組み合わせられ得る。

【0043】

50

図 2 は、本発明をインプリメントするための F E T として役立ち得る M F S F E T 3 7 0 を示す。この F E T は、半導体 3 7 1 上に再び形成され、ソース／ドレイン 3 7 3 および 3 7 4、チャネル 3 7 5、強誘電体 3 7 7、ならびに電極 3 7 9 を含む。コンタクト、ワイヤリング層、および他のアーキテクチャは、上記または以下に示されるかまたは開示される任意の形式を獲得し得る。

【0044】

図 3 は、本発明による材料はゲート絶縁体 5 1 1、キャパシタ誘電体 5 2 4 として使用され、かつ、いくつかの実施形態において I L D 5 3 6 にさらに使用され得る電荷格納デバイス（すなわち、メモリセル 5 0 0）を示す。メモリセル 5 0 0 は、半導体基板 5 0 2 を含むウェハ 5 0 1 状に形成されるトランジスタ 5 1 4 およびキャパシタ 5 2 8 を含む。半導体基板 5 0 2 は、シリコン、ガリウムヒ素、シリコンゲルマニウム、または他の半導体を含み得、かつ、例えば、ルビー、ガラス、または酸化マグネシウムといった他の基板をさらに含み得る。好適な実施形態においてそれはシリコンである。フィールド酸化膜領域 5 0 4 は、半導体基板 5 0 2 の表面上に形成される。半導体基板 5 0 2 は、高ドーパされたソース領域 5 0 6 および高ドーパされたドレイン領域 5 0 8 を含む。これらはドーパされたチャネル領域 5 0 9 のまわりに形成される。ドーパされたソース領域 5 0 6、ドレイン領域 5 0 8、およびチャネル領域 5 0 9 は、好ましくは、n 型ドーパされた領域であるが、さらに p 型であり得る。本発明による電気的な非伝導材料の薄膜を含むバッファ／拡散バリア層 5 1 0 は、チャネル領域 5 0 9 上の半導体基板 5 0 2 に位置される。バッファ／拡散バリア層 5 1 0 は、1 nm～30 nm（好ましくは 1 nm～5 nm）の範囲の厚さを有する。本発明による高誘電率絶縁体の薄膜を含むゲート絶縁体 5 1 1 は、バッファ／拡散バリア層 5 1 0 上に配置される。さらに、ゲート電極 5 1 2 は、ゲート絶縁体 5 1 1 上に位置される。ゲート絶縁体 5 1 1 は、1 nm～50 nm（好ましくは 5 nm～20 nm）の範囲の厚さを有する。これらのソース領域 5 0 6、ドレイン領域 5 0 8、チャネル領域 5 0 9、バッファ／拡散バリア層 5 1 0、ゲート絶縁体 5 1 1、およびゲート電極 5 1 2 は共に、M O S F E T 5 1 4 を形成する。

【0045】

好ましくは B P S G（ボロンドープされるホスホーケイ酸塩ガラス）から作成される、第 1 の中間（「I L D」）層 5 1 6 は、半導体基板 5 0 2 およびフィールド酸化領域 5 0 4 に位置される。I L D 5 1 6 は、バイアス 5 1 7、5 1 8 をソース領域 5 0 6 およびドレイン領域 5 0 8 にそれぞれ形成するようにパターニングされる。バイアス 5 1 7、5 1 8 は、プラグ 5 1 9、5 2 0 にそれぞれ形成するように満たされる。プラグ 5 1 9、5 2 0 は、電気的に伝導性があり、一般に、多結晶シリコン、タングステン、またはタンタル（任意の他の適切な導体であり得る）を含む。本発明による電気的に伝導性のバッファ／拡散バリア層 5 2 1 は、プラグ 5 2 0 との電気的な接触にある I L D 5 1 6 に位置される。伝導性拡散バリア層 5 2 1 は、一般に I r O₂ から作成されるが、他の材料から作成され得、典型的には、1 nm～30 nm（好ましくは 1 nm～5 nm）の厚さを有する。

【0046】

図 3 に記載されるように、下部電極層 5 2 2 は、拡散バリア層 5 2 1 に位置される。下部電極は非酸化物の貴金属（例えば、プラチナ、パラジウム、銀、および金）を含むことが好ましい。貴金属に加えて、例えば、アルミニウム、アルミニウム合金、アルミニウムシリコン、アルミニウムニッケル、ニッケル合金、銅合金、およびアルミニウム銅といった金属は、強誘電体または強誘電体メモリの電極に使用され得る。好適な実施形態において、下部電極 5 2 2 は、プラチナから作成され、100 nm の厚さを有する。好ましくは、回路の隣接した下にある層または上にある層と電極との接着を強めるために、例えば、チタニウムといった少なくとも 1 つの接着層（図示せず）をさらに含む。本発明による高誘電率の節延滞の薄膜を含むキャパシタ誘電体 5 2 4 は、下部電極層 5 2 2 上に位置される。キャパシタ誘電体 5 2 4 は、5 nm～500 nm（好ましくは、30 nm～100 nm）の範囲の厚さを有する。プラチナから作成され、100 nm の厚さを有する上部電極層 5 2 6 は、キャパシタ誘電体 5 2 4 上に形成される。下部電極 5 2 2、薄膜キャパシタ

誘電体 524、および上部電極層 526 は共に、メモリキャパシタ 528 を形成する。拡散バリア層 521 は、キャパシタ誘電体 524 および下部電極 522 から半導体基板への金属原子および酸素の拡散を抑制する。好ましくは NSG（非ドーブのケイ酸塩ガラス）から作成される第 2 の中間層の誘電体層（ILD）536 は、ILD 516、バッファ／拡散バリア層 521、および誘電体メモリキャパシタ 528 を覆うように堆積される。PSG（ホスホーケイ酸塩ガラス）膜または BPSG（ボロンホスホーケイ酸塩ガラス）膜または他の絶縁体はまた、層 536 に使用され得る。ILD 516 および詳細には ILD 536 はまた、本発明による層状超格子材料から作成されるが、しかし、高誘電率のため、容量性構造の作成を避けるために金属化の配置に配慮が為されるべきである。このような配慮が為されると、ILD として使用される本発明の材料は、例えば、分解から水素および他のプロセスガスへの重大な層状超格子素子 511 および 524 を保護するように機能するといった、多くの利点を有し得る。ILD 536 は、プラグ 519 にバイア 537 を形成するようにパターンニングされる。金属化ワイアリング膜は、ILD 536 を覆い、バイア 537 を満たすように堆積され、ソース電極ワイアリング 538 および上部電極ワイアリング 539 を形成するようにパターンニングされる。ワイアリング 538、539 は、好ましくは、約 200 nm～300 nm の厚さを有する Al-Si-Cu 標準相互接続金属を含むが、上述の他の金属を含んでもよい。

【0047】

キャパシタ 528 が ILD 536 の上部でスタックされ、従って、トランジスタ 514 から分離される場合、図 3 に示される構造は、従来、「スタックされたキャパシタ」構造と呼ばれ、例えば当業者に周知の構造を作成するプロセスである。層 524 が高い誘電率材料である場合、集積回路電荷格納デバイス 500 は DRAM セルであり、層 524 が強誘電体である場合、デバイス 500 は FERAM セルである。本発明の非強誘電体の高誘電率材料は、ゲート誘電体 511、キャパシタ誘電体材料 524、あるいは中間層誘電体 516 または 536 として用いられ得る。

【0048】

当該分野において公知であるように、トランジスタ 514 が「オン」か「オフ」かどうかは、十分な電荷がゲート絶縁体 511 またはゲートおよびチャネルに対応する絶縁体のインタフェースに格納されるかどうかによって決定され、従って、絶縁体 511 はまた FET の電荷格納素子と呼ばれ得る。

【0049】

図 4 は、本発明の好適な実施形態による MEM-MIS FET メモリセル 550 の部分の断面図を示す。MFM-MIS FET メモリセル 550 は、電界効果トランジスタ（「FET」）551、金属-強誘電体-金属（「MFM」）キャパシタ 552、および相互接続 554 により MFM キャパシタ 552 と直列に接続される金属-絶縁体-半導体（「MIS」）キャパシタ 553 を含む。MFM-MIS メモリにおいて、MIS キャパシタ 553 は FET 551 の一部である。MFM-MIS FET メモリセル 550 は、高ドーブのソース領域 562、高ドーブのドレイン領域 564、およびチャネル領域 566 を含む半導体基板 561 上に形成される。FET 551 は、562 によるソース領域、564 によるドレイン領域、566 によるチャネル領域、ゲート酸化物層 31、およびゲート電極 570 を含む。MIS キャパシタ 553 は、ゲート電極 570、ゲート酸化物 568、および半導体基板 561 を含む。FET 551 および MIS 553 は、ガラス状の酸化物（好ましくはボロンドープのホスホシリケート（「BPSG」））、を含む標準中間層誘電体（「ILD」）572 によって覆われる。ゲート電極 570 の表面にまで下がる ILD 572 の上部からのバイア 574 は、相互接続 554 で満たされ、一般に伝導性プラグと呼ばれる。下部電極 580 は ILD 572 上に配置され、相互接続 554 を覆う。強誘電体薄膜 582 は、下部電極 580 上に配置され、上部電極 584 は、強誘電体層状の超格子材料薄膜 582 上に配置される。下部電極 580、強誘電体薄膜 582、および上部電極 584 は共に、強誘電体 MFM キャパシタ 552 を形成する。第 2 の中間層誘

電体、I L D 5 8 6 は I L D 5 7 2 および M F M 5 5 2 を覆う。ワイヤリングホール 5 9 0 は、上部電極 5 8 4 まで I L D 5 8 6 を介して伸びる。ローカル相互接続 5 9 2 は、ワイヤリングホール 5 9 0 を満たす。

【0050】

図 5 は、強誘電体 F E T メモリ 7 0 0 の代替の実施形態を示す。メモリ 7 0 0 は、直列に接続されるメモリセル 7 0 3 および 7 0 7 のグループ、読み出しトランジスタ 7 1 5、セットトランジスタ 7 1 8、およびリセットトランジスタ 7 1 9 を含む。メモリセル 7 0 3 は、キャパシタ 7 0 4 の 1 つの電極 7 0 6 A に接続されるトランジスタ 7 0 5 のソースドレイン 7 0 1 およびキャパシタ 7 0 4 の他の電極 7 0 6 B に接続されるトランジスタ 7 0 5 の他のソースドレイン 7 0 2 と共に強誘電体キャパシタ 7 0 4 およびトランジスタ 7 0 5 を含む。メモリセル 7 0 7 は、トランジスタ 7 0 9 に同様に接続される強誘電体キャパシタ 7 0 8 を含む。グループ 7 2 0 のある末端 7 1 2 は、トランジスタ 7 1 5 のゲート 7 1 3 に接続され、他の末端 7 3 0 は、トランジスタ 7 1 8 を介してセット信号ライン 7 2 2 に接続される。ノード 7 1 2 はまた、リセットトランジスタ 7 1 9 を介してリセット信号ライン 7 2 4 に接続される。トランジスタ 7 1 5 のあるソースドレイン 7 3 3 は、リセットライン 7 2 4 に接続され、他のソースドレイン 7 3 4 はビットライン 7 2 6 に接続される。

10

【0051】

メモリ 7 0 0 は、例えば、図 4 に示されるように、基本的に M F M - M I S F E T メモリであるが、F E T 7 1 5 に接続される 2 つの M F M セクション 7 0 4 および 7 0 7 を有する。セルが書き出されるか、読み出されることを選択されない場合、トランジスタ 7 0 5 および 7 0 9 は、それらのそれぞれの M F M セクションをショートアウト (s h o r t o u t) する。2 つのセル 7 0 4 および 7 0 7 は図 5 の実施形態において示され、グループ 7 2 0 は 5、10、または 20 以上のセルを含み得る。メモリ 7 0 0 の機能の完全な記載は、2000 年 9 月 25 日に出願された米国仮特許出願第 60 / 235, 241 号に提供される。さらに、メモリの構造は、キャパシタ 7 0 4、7 0 6 等がある層の上部の層にスタックされる。この構造は、層状超格子材料と共に可能である電氣的に上質の薄い強誘電体膜と共にとても実用的かつ緻密である。

20

【0052】

さらに、本発明による層状超格子材料は、このメモリに対しそれ自体が役立つ。従来の強誘電体材料と比較して、層状超格子材料の非常に薄い機能的な強誘電体薄膜が作成され得るので、強誘電体 F E T は、従来の F E T よりもかなりの領域を利用する。さらに、本発明による材料のより低い結晶化温度は、I C コンポーネント間の拡散および分解がほとんどないためより高密度な構造になることが可能になる。

30

【0053】

上記 F E T 40、370、514 および 550 ならびにキャパシタ 528 および 552 は、本発明の材料が用いられ得る場合にいくつかの多電荷格納構成のみを例示する。上述の実施形態のいずれかにおいて示される多様な層の任意の組み合わせおよび特徴を用いる電荷格納構成がさらに利用され得る。

【0054】

図 1 ~ 5 は、本発明の方法を用いて製造され得るメモリセルの多くのバリエーションのうちのいくつかのみを示す。本発明による材料は、実際、誘電体または強誘電体材料が用いられ得る任意の容量を有する任意のメモリセルで用いられ得る。

40

【0055】

上記の実施形態のうちのいくつかにおいて、導電性バリア層は、好ましくは、 IrO_2 である。ゲート絶縁層およびまたは誘電体バッファ層は、好ましくは、五酸化タンタル (Ta_2O_5) であるが、 SiO_2 、 CeO_2 、 ZrO_2 、 Y_2O_3 、 YMnO_2 、 SrTa_2O_6 および本発明に従う層状超格子材料から選択されてもよい。この絶縁体が SiO_2 である場合、その厚さは、好ましくは、4 nm ~ 20 nm である。他の材料にとっては、その厚さは、4 nm ~ 50 nm であることが好ましい。

50

【0056】

図6は、例示的な集積回路メモリ636を示すブロック図である。このブロック図では、本発明の材料によって作られた図1～5のメモリセルが利用される。簡単にするために、示される実施形態は、16K×1DRAMである。しかし、この材料は、揮発性および不揮発性両方の、種々の大きさおよびタイプのメモリで利用されてもよい。示された16Kの実施形態では、7つのアドレス入力ライン638がある。このアドレス入力ライン638は、行アドレスレジスタ639および列アドレスレジスタ640に接続している。この行アドレスレジスタ639は、7つのライン642を介して行デコーダ641に接続され、この列アドレスレジスタ640は、7つのライン644を介してからムデコーダ／データ入出力マルチプレクサ643に接続される。行デコーダ641は、128のライン646を介して128×128のメモリセルアレイ645に接続され、列デコーダ／データ入出力マルチプレクサ643は、128のライン647を介してセンス増幅器79およびメモリセルアレイ645に接続される。RAS*信号ライン648は、行アドレスレジスタ639、行デコーダ641および列デコーダ／データ入力／出力マルチプレクサ643に接続される。一方で、CAS*信号ライン649は、列アドレスレジスタ640および列デコーダ／データ入力出力マルチプレクサ643に接続される。（本明細書中の説明において、 $\overline{}$ は、信号の逆数を示す。）入力／出力データライン645は、列デコーダ／データ入力出力マルチプレクサ643に接続される。

【0057】

メモリセルアレイ645は、128×128=16,384のメモリセルを含む。このメモリセルは、従来は16Kとして指定されている。これらのセルは、図1、2および4で示されたような強誘電体FET、図3で示されたようなFeRAMまたはDRAM、図3～4で示されたようなスタックセル、図5で示されたようなセル群、あるいは、集積回路メモリで効果的な任意の他のメモリセルであってもよい。このようなセルの詳細なメモリアーキテクチャは、2000年8月30日に出願された米国特許出願第09/385,308号、および、2000年3月10日に出願された米国特許出願第09/523,492号に示される。これらはまた、強誘電体スイッチングキャパシタベースのセル、誘電体キャパシタベースのセル、あるいは、本発明の材料を利用する任意の他のメモリセルであってもよい。

【0058】

図6に示されるメモリの動作を以下に示す。ライン638の行アドレス信号A₀～A₆および列アドレス信号A₇～A₁₃は、それぞれ、アドレスレジスタ639、640を介して、行デコーダ641および列デコーダ／データ入力／出力マルチプレクサ643へのRAS*およびCAS*とマルチプレクサされる。行デコーダ641は、アドレスされているワードライン636のうちの1つにハイ信号を設定する。列デコーダ／データ入出力マルチプレクサ643は、その機能が書き込み機能か、読み出し機能かのいずれかであるかに依存して、列アドレスに対応するビットライン647のうちの1つのライン645にデータ信号を設定するか、列アドレスに対応するビットライン647のうちの1つの信号をデータライン645に出力するかのいずれかである。当業者に公知であるように、RAS*信号がCAS*信号よりも先行する場合は読み出し機能がトリガされ、CAS*信号がRAS*信号より前に来る場合には書き込み機能がトリガされる。当業者に公知であるように、センス増幅器79は、ライン647に沿って配置され、ラインの信号を増幅する。上に概要を説明した機能、および、他の公知のメモリ機能を実行するために有効な、または、必要とされる他のロジックがメモリ636に含まれてもよいが、本発明に直接適用可能ではない場合、図示も説明もされない。上記されたように、RAS*ライン638およびCAS*ライン639、レジスタ639、640、およびデコーダ641、642は、データライン645のメモリに入力された情報に基づいて、メモリセル（例えば、図1の40）を第1のメモリ状態または第2のメモリ状態に設定する情報書き込み手段680を含む。ここで、第1のメモリセル状態は、第1の分極状態である強誘電体材料の層57に対応し、第2のメモリセル状態は、第2の分極状態である層57に対応する。これらの

素子に加えて、センス増幅器 679 は、メモリセル（例えば、40）の状態を検知して状態に対応する電気信号を提供する情報読み出し手段 682 を含む。

【0059】

上記されたメモリ 436 は、このようなあるメモリのうちの例にすぎないことが理解されるべきである。他のアーキテクチャ（例えば、データが行に接続されているラインで入力され、列に接続されたラインで出力されるアーキテクチャ、または、各セルに関連するいくつかの異なる列ラインおよび／またはいくつかの異なる行ラインが存在するアーキテクチャ）が用いられてもよい。

【0060】

上記されたメモリセルの様々な実施形態のいくつかのおよび全ての特徴が互いに組み合わせられ得ることを本発明が検討することが理解されるべきである。つまり、示された実施形態は例示的であり、それぞれの特徴を示すように選択され、示された特定のいくつを見合わせに制限されないことが意図される。

【0061】

FET の荷電格納素子用の層状超格子材料の別の重要な利点は、それらが 60～200 の範囲の誘電率を概して有するという事実にある。PZT 等の従来の強誘電体材料は、300 をゆうに越える誘電率を有している。FET がシリコン基板上に金属酸化物を有して製造される場合、二酸化シリコンの薄膜は、強誘電体金属とシリコン基板との間に形成される。この薄膜は、比較的低い誘電率（すなわち、約 4）で強誘電体キャパシタと直列に形成される。他の場合、図 1 に示されるように、バッファまたは粘着性誘電体材料 52、53 は、強誘電体材料と基板との間に意図的に形成される。このバッファ材料は、通常、4 より大きい、200 よりも小さい誘電率を有する。従来技術で公知のように、電圧が直列に多くのキャパシタに印加される場合、各キャパシタの電圧効果は、その電気容量に反比例する。この電気容量は、通常、誘電率に比例する。従って、PZT 等の従来技術の材料を用いて、FET のゲート電極 58（図 1）に電圧が印加された場合、大部分の電圧降下は、寄生キャパシタンス、バッファまたは粘着性層を介して起こる。本発明の層状超格子材料は、通常 FET で用いられた従来技術の強誘電体材料の誘電率よりも小さいか、約 1/3 よりも小さい誘電率を有するため、層状超格子材料に印加された電圧降下は、従来の強誘電体材料 FET の電圧降下の 3 倍よりも大きい。同様に、層状超格子材料は、DRAM 内で電荷格納素子の役割を果たす。なぜなら、その誘電率は、従来の DRAM 格納素子材料（例えば、二酸化シリコン等）よりも非常に大きい、直列の寄生キャパシタンスに起因して効果がなくなる程高くないからである。

【0062】

（3. 好ましい定式化の説明）

本発明の重要な局面は、層状超格子材料の公知の定式における A サイト元素および超格子生成元素とランタノイド系元素を置換することによって形成される材料の分野である。

【0063】

（実施例 1—スメア（smeared）ビスマス化合物）

特別に効果的な置換は、ランタノイド系元素をビスマス層材料のビスマスと部分的に置換することである。本発明者らは、本明細書中でこの材料をスメアビスマス材料と呼ぶ。「部分的に置換する」ことによって、用語「ドーピング」よりも多量の材料を置換することを意味するが、ビスマスを完全に置き換えるほどではない。概して、元素の 1% 以下が別の元素によって交換される場合、置換は、ドーピングとして考えられる。本発明による材料では、置換は、5% 以上、好ましくは 10%～80% である。最も好ましくは、ビスマス部位の 10%～30% がランタノイド系元素と交換される。

【0064】

Smolenskii は、スメアビスマス化合物を「タイプ I」化合物と呼んでいる。本発明による材料は、通常、化学式 $A_{m-1}Bi_2M_mO_{3m+3}$ を有している。ここで、A は A サイト元素、M は B サイト元素、そして m は通常整数であるが、分数であってもよい。本発明による材料のクラスは、化学式 $A_{m-1}(Bi_{1-x}La_n)_2M_mO_3$

$m + 3$ を有する。ここで、A、Mおよびmは、SmolenskiiタイプI化学式と同じである。Lanはランタノイドを表す。すなわち、ランサナム、セリウム、プラセオジミウム、ネオジミウム、プロメチウム、サマリウム、ユーロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウムおよびルテチウムのうちの1つ以上である。

【0065】

基本的なスメアビスマス／ランタノイド化合物は、 $(Bi_{1-x} Lan_x)_4 Ti_3 O_{12}$ である。ここで、 $0 < x < 1$ である。好ましくは、 $0.1 \# \times \# 0.9$ であり、最も好ましくは、 $0.1 \# \times \# 0.5$ である。この化合物は、それ自体で良好な電気的特性を有していることが発見されている。このスメアビスマス／ランタノイド化合物の例は、 $(Bi_{1-x} Nd_x)_4 Ti_3 O_{12}$ 、 $(Bi_{1-x} Yb_x)_4 Ti_3 O_{12}$ 、 $(Bi_{1-x} Pr_x)_4 Ti_3 O_{12}$ 、 $(Bi_{1-x} Gd_x)_4 Ti_3 O_{12}$ および $(Bi_{1-x} La_x)_4 Ti_3 O_{12}$ である。ここで、xは既に与えられている。 $(Bi_{1-x} La_x)_4 Ti_3 O_{12}$ は、当該分野ではBLTと呼ばれている場合もある。これらの化合物の薄膜は、Alpha Aesar（米国マサチューセッツ州01835、Ward Hill、Bond Street 30、Tel: 1-978-521-6300、Fax: 1-978-521-6350、Eメール: Info@alfa.com、およびウェブサイト: www.alfa.com）から商業的に入手可能な前駆体を用いて容易に製造することができる。イソプロポキサイド前駆体が好ましい。 $(Bi_{1-x} Dy_x)_4 Ti_3 O_{12}$ 、 $(Bi_{1-x} Ce_x)_4 Ti_3 O_{12}$ 、 $(Bi_{1-x} Pm_x)_4 Ti_3 O_{12}$ 、 $(Bi_{1-x} Sm_x)_4 Ti_3 O_{12}$ 、 $(Bi_{1-x} Eu_x)_4 Ti_3 O_{12}$ 、 $(Bi_{1-x} Tb_x)_4 Ti_3 O_{12}$ 、 $(Bi_{1-x} Ho_x)_4 Ti_3 O_{12}$ 、 $(Bi_{1-x} Er_x)_4 Ti_3 O_{12}$ 、 $(Bi_{1-x} Tm_x)_4 Ti_3 O_{12}$ 、および $(Bi_{1-x} Lu_x)_4 Ti_3 O_{12}$ 、が以下の表1で与えられている。

【0066】

別のスメアビスマス／ランタノイド化合物は、 $(Bi_{1-x} Lan_x)_2 O_3$ である。ここで、Lanはランタノイドを表す。すなわち、ランサナム、セリウム、プラセオジミウム、ネオジミウム、プロメチウム、サマリウム、ユーロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウムおよびルテチウムのうちの1つ以上であり、 $0 < x < 1$ である。好ましくは、 $0.1 \# \times \# 0.9$ であり、最も好ましくは $0.1 \# \times \# 0.5$ である。これらの化合物は、概して、それ自体で層状超格子材料ではない。しかし、これらの化合物用の前駆体を他の金属酸化物前駆体と組み合わせることによって、以下に記載されるように、良好な電気的特性を有する層状超格子材料が製造され得る。

【0067】

上記にリストアップされた基本的なスメアビスマス／ランタノイド化合物は、単純な金属酸化物用の前駆体と組み合わせられ得て、他のスメアビスマス／ランタノイド層状超格子材料を製造し得る。例えば、ストロンチウム酸化物 SrO 、およびタンタル酸化物 $Ta_2 O_5$ 用の前駆体は、スメアビスマス／ランタノイド化合物は、 $(Bi_{1-x} Lan_x)_2 O_3$ 用の前駆体と混合すると、層状超格子材料 $Sr (Bi_{1-x} Lan_x)_2 Ta_2 O_9$ 用の前駆体を形成する。この材料の例は、 $Sr (Bi_{1-x} Dy_x)_2 Ta_2 O_9$ であり、 $0 < x < 1$ である。好ましくは、 $0.1 \# \times \# 0.9$ であり、最も好ましくは、 $0.1 \# \times \# 0.5$ である。このような材料の他の例は、 $Pb (Bi_{1-x} Lan_x)_2 Nb_2 O_9$ 、 $Ca (Bi_{1-x} Lan_x)_2 Ta_2 O_9$ 、 $Ba (Bi_{1-x} Lan_x)_2 Ta_2 O_9$ 、および $A (Bi_{1-x} Lan_x)_2 Ta_{1-y} Nb_y O_9$ であり、概して、 $A = Sr, Ca, Ba$ または Pb 、 $1 \# y \# 0$ であり、xおよびLanは以前に与えられている。これらは、全て、 $m = 2$ のSmolenskiiタイプI化合物である。

【0068】

別の例として、基本的な $(Bi_{1-x} Lan_x)_2 O_3$ 前駆体は、 $Bi_4 Ti_3 O_{12}$ 用の前駆体と混合して、化学式 $(Bi_{1-x} Lan_x)_2 Bi_4 Ti_3 O_{15}$ 、によって

材料の汎用クラスを作る。ここで、 Lan は上記のランタノイドのうちの1つであり、 $0 < x \leq 1$ である。好ましくは、 $0.1 \# x \# 0.9$ であり、最も好ましくは、 $0.1 \# x \# 0.5$ である。 $x = 5$ のとき、これは、 $\text{Bi}_5 \text{LanTi}_3 \text{O}_{15}$ に減少する。ここで、さらに Lan は、ランタノイドのうちのいずれかであり得る。これらは、全て、 $m = 4$ の Smolenskii タイプI化合物である。

【0069】

ABO_3 金属酸化物用の前駆体は、商業的に通常ペロブスカイトと呼ばれ、基本的なスメアピスマランタノイド化合物と混合して、良い電気的特性を有する層状超格子材料を作成する。このような材料のうちの1つのサブクラスは、 ABO_3 型金属酸化物前駆体の一部と $(\text{Bi}_{1-x} \text{Lan}_x)_4 \text{Ti}_3 \text{O}_{12}$ スメア金属酸化物前駆体とを混合することによって製造される。このような材料の基本的な化学式は、 $\text{A}(\text{Bi}_{1-x} \text{Lan}_x)_4 \text{Ti}_4 \text{O}_{15}$ である。このような化合物の特定の例は、 SrTiO_3 前駆体と $(\text{Bi}_{1-x} \text{Lan}_x)_4 \text{Ti}_3 \text{O}_{12}$ 前駆体との組み合わせから製造される $\text{Sr}(\text{Bi}_{1-x} \text{Lan}_x)_4 \text{Ti}_4 \text{O}_{15}$ 、 CaTiO_3 前駆体と $(\text{Bi}_{1-x} \text{Lan}_x)_4 \text{Ti}_3 \text{O}_{12}$ 前駆体との組み合わせから製造される $\text{Ca}(\text{Bi}_{1-x} \text{Lan}_x)_4 \text{Ti}_4 \text{O}_{15}$ 、 PbTiO_3 前駆体と $(\text{Bi}_{1-x} \text{Lan}_x)_4 \text{Ti}_3 \text{O}_{12}$ 前駆体との組み合わせから製造される $\text{Pb}(\text{Bi}_{1-x} \text{Lan}_x)_4 \text{Ti}_4 \text{O}_{15}$ である。同様に、 A はバリウムであり得る。これらは全て、 $m = 4$ の Smolenskii タイプI化合物である。

10

【0070】

このような材料の別のサブクラスは、 ABO_3 型金属酸化物前駆体と $(\text{Bi}_{1-x} \text{Lan}_x)_4 \text{Ti}_3 \text{O}_{12}$ スメア金属酸化物前駆体の一部とを混合することによって製造される。このような金属の基本的な化学式は、 $\text{A}_2(\text{Bi}_{1-x} \text{Lan}_x)_4 \text{Ti}_5 \text{O}_{18}$ である。このような化合物の特定の例は、 SrTiO_3 前駆体の二部と $(\text{Bi}_{1-x} \text{Lan}_x)_4 \text{Ti}_3 \text{O}_{12}$ 前駆体との組み合わせから製造される $\text{Sr}_2(\text{Bi}_{1-x} \text{Lan}_x)_4 \text{Ti}_5 \text{O}_{18}$ 、 BaTiO_3 前駆体の二部と $(\text{Bi}_{1-x} \text{Lan}_x)_4 \text{Ti}_3 \text{O}_{12}$ 前駆体との組み合わせから製造される $\text{Ba}_2(\text{Bi}_{1-x} \text{Lan}_x)_4 \text{Ti}_5 \text{O}_{18}$ 、および、 PbTiO_3 前駆体の二部と $(\text{Bi}_{1-x} \text{Lan}_x)_4 \text{Ti}_3 \text{O}_{12}$ 前駆体との組み合わせから製造される $\text{Ba}_2(\text{Bi}_{1-x} \text{Lan}_x)_4 \text{Ti}_5 \text{O}_{18}$ である。同様に、 A はカリウムであり得る。これらは、全て、 $m = 5$ の Smolenskii タイプI元素である。他の ABO_3 型元素では、 Franco Jona および G. Shirane による、「*Ferroelectric Crystals*」、 $\text{Dover Publications, Inc. New York, N. Y., Chapter V, pp. 216} \sim 261$ を参照されたい。

20

30

【0071】

(実施例2—ランタノイドAサイト材料)

材料の別のクラスは、層状超格子化合物のAサイトにランタノイドを有する材料のクラスである。本発明による材料の化学式は、 $(\text{A}_{z-1} \text{Lan}_{[2/3]}^z)_m \text{Bi}_2 \text{M}_m \text{O}_{3m+3}$ である。ここで、 A は、ランタノイド以外のAサイト元素であり、 M はBサイト元素であり、 Lan はランタノイドである。すなわち、ランサナム、セリウム、プラセオジミウム、ネオジミウム、プロメチウム、サマリウム、ユーロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウムおよびルテチウムのうちの1つ以上であり、 $0 < z \leq 1$ である。 m は通常整数であるが、分数であってもよい。好ましくは、 $0.1 \leq z \leq 0.9$ であり、最も好ましくは $0.1 \# z \# 0.5$ である。これらの化合物のいくつかの例は、通常、 $\text{Lan}_{2/3} \text{Bi}_2 \text{Ta}_2 \text{O}_9$ 、 $\text{Lan}_{2/3} \text{Bi}_2 \text{Nb}_2 \text{O}_9$ および $\text{Lan}_{2/3} \text{Bi}_2 \text{Ta}_y \text{Nb}_{1-y} \text{O}_9$ である。ここで、 Lan は上記のランタノイドであり、 $0 \# y \# 1$ である。

40

【0072】

(実施例3—組み合わせ材料)

Aサイトおよびスメアピスマスのランタノイドが組み合わせされた材料も良好な電気的特性を有する。これらの材料は、概して $(\text{A}_{1-z} \text{Lan}_{[2/3]}^z)_m \text{Bi}_2 \text{M}_m \text{O}_{3m+3}$ である。

50

$x \text{La} \text{an}_x)_2 \text{M}_m \text{O}_{3m+3}$ として記述され得る。ここで、 $0 < z \neq 1$ 、 $0 < x < 1$ である。 m は通常整数であるが、分数であってもよい。これらの材料のサブクラスは、A サイトがビスマスとランタノイドによって共有されている材料である。これらの材料は、 $(\text{Bi}_{1-z} \text{La} \text{an}_z)_2 / 3 (\text{Bi}_{1-x} \text{La} \text{an}_x)_2 \text{B}_2 \text{O}_9$ として記述されてもよい。ここで、 La はランタノイドであり、 B はBサイト元素である。

【0073】

上記のことから、本発明の材料が他の化学式で記述されてもよいことが明らかとなる。他の化学式は、ドーパント、 m を分数とした化学式、および他の元素を加えることであってもよい。本発明のキーの局面は、層状超格子材料にビスマスを組み合わせてランタノイドを使用することである。本発明の他の局面は、層状超格子材料にAサイト元素としてランタノイドを使用することである。

【0074】

(4. 好ましい製造方法の記載)

概して、所望の層状超格子材料の形成および結晶化には、高い温度の酸素中で堆積金属含有膜を加熱およびアニーリングするといったいくつかの形式が必要である。本発明の実施形態の重要な特徴は、従来技術と比べて、最小温度、および高い温度での全加熱時間が最小化されるということである。明細書中に詳細に記載された実施形態では、RTPおよびアニーリング処理は、酸素含有ガス中で行われる。しかし、本発明は、全時間のうちの一部の時間を酸素含有ガス中でアニーリングした後に、不活性ガス中でアニーリングする実施形態も含む。

【0075】

層状超格子材料を製造するための前駆体溶液のそれぞれの前駆体化合物は、金属アルコキシド、金属ポリアルコキシド、金属ベータジケトネート、金属ジピバロイルメタネート、金属シクロペンタジエニル、金属アルコキシカーボキシレート、金属カルボキシレート、金属エチルヘキサノエート、オクタノエートおよびネオデカノエートを含む群から選択されてもよい。本発明のキーとなる局面は、前駆体、特に最終前駆体として遷移金属のアルコキシドを用いることである。用いられ得るアルコールは、イソプロパノール、 n -プロポキシド、2-メトキシエタノール、1-ブタノール、ならびに2-ペンタノールおよび2, 4-ペンタノールを含む。金属前駆体化合物は、金属2-エチルヘキサノエートを含むでもよい。この化合物は、液体ミスト化学堆積(「LSMCD」)技術での使用に非常に適している。それぞれの金属有機分解(「MOD」)前駆体化合物は、所望の化合物のそれぞれの金属(例えば、ジスプロシウム、ネオジミウム、ランサナム、ストロンチウム、ビスマス、タンタルまたはニオブ、あるいは金属のアルコキシド)をカルボン酸またはカルボン酸アルコールと相互作用させることによって、および、溶媒中で反応生成物を溶解することによって形成される。上記のアルコールは、このプロセスによっても用いられ得る。用いられ得るカルボン酸は、2-エチルヘキサノール酸、オクタノール酸、およびネオジケノール酸、好ましくは2-エチルヘキサノール酸を含む。用いられ得る溶媒は、キシレン、 n -オクテン、 n -ブチルアセテート、 n -ジメチルホルムアミド、2-メトキシエチルアセテート、メチルイソブチルケトン、およびメチルイソアミルケトンならびに他の溶媒を含んでもよい。金属、金属アルコキシド、酸およびアルコールは、反応して、金属アルコキシカルボキシレート、金属カルボキシレート、および/または金属アルコキシドの混合物を形成する。これらの混合物は、金属-酸素-金属結合を形成するために必要な加熱および攪拌がなされて、沸騰されて、沸点が低い任意の有機物が反応によって製造される。最初のMOD前駆体は、通常それらを用いる前に、まとめて作られるか、購入される。最後の前駆体混合物は、通常、基板に付与した直後に調合される。最後の処理工程は、混合、溶媒交換、および希釈を含む。有機金属前駆体化合物は、キシレンまたは n -オクタン中で溶解したときに数ヶ月間格納されてもよい。表1は、本発明による集積回路薄膜を製作する際に用いられている様々なランタノイド用の前駆体をまとめたものである。

【0076】

10

20

30

40

50

(表 1)

金属	化合物名 (単数または複数)	
ランサナム	ランサナムイソプロポキシド ランサナムエトキシド ランサナム 2-エチルヘキサノエート ランサナム 2, 4-ペンタネジオネート	
ネオジミウム	ネオジミウムイソプロポキシド ネオジミウムヘキサフルオロー 2, 4-ペンタネジオネート ネオジミウム 1, 1, 1-トリフルオロー 2, 4-ペンタネジオネ	10
ート		
プラセオジミウム	プラセオジミウムイソプロポキシド プラセオジミウムヘキサフルオロー 2, 4-ペンタネジオネート	
ジスプロシウム	ジスプロシウムイソプロポキシド ジスプロシウムオクタノエート	
イッテルビウム	イッテルビウムイソプロポキシド イッテルビウムヘキサフルオロー 2, 4-ペンタネジオネート イッテルビウム DPM	
ガドリニウム	ガドリニウムイソプロポキシド ガドリニウム 2, 4-ペンタネジオネート	
セリウム	セリウムイソプロポキシド	20
プロメチウム	プロメチウムイソプロポキシド	
サマリウム	サマリウムイソプロポキシド	
ユーロピウム	ユーロピウムイソプロポキシド	
テルビウム	テルビウムイソプロポキシド	
ホルミウム	ホルミウムイソプロポキシド	
エルビウム	エルビウムイソプロポキシド	
ツリウム	ツリウムイソプロポキシド	
ルテチウム	ルテチウムイソプロポキシド	
ビスマス	トリフェニルビスマス トリイソプロポキシドビスマス ビスマスジピバロイルメタネート	30
チタン	チタンイソプロポキシド ジイソプロポキシジピバロイルメタネートチタン	
ストロンチウム	ストロンチウムイソプロポキシド ジピバロイルメタネートストロンチウムまたはビス (2, 2, 6, 6, 1-テトラメチル-3, 5-ヘプタネジオネート) -ストロンチウムまたはストロンチウムジピバロイルメタネート ビス (ペンタメチル-シクロペンタジエニル) -ビス (テトラヒドロフラン) ストロンチウム ビス (2, 2, 6, 6, 1-テトラメチル-3, 5-ヘプタネジオネート) -ビス (1, 10-フェナントロリン) ストロンチウム	40
タンタル	タンタルイソプロポキシド ペンタメトキシタンタル ペンタエトキシタンタル ペンタプロポキシタンタル	
ニオブ	ニオブイソプロポキシド ペンタクロロニオブ ジピバロイルメタネートトリクロロニオブ	50

ペンタエトキシニオブ

表1では、DPMは $C_{11}H_{19}O_2$ であり、通常2, 2, 6, 6-テトラメチルー3, 5-ヘプタネジオンと呼ばれる。

【0077】

本発明によると、前駆体は、従来の液体堆積技術を用いて基板に付与され得る。これらの液体堆積技術は、例えば、1997年7月15日に公表されたPaz de Araujoらによる米国特許第5, 648, 114号、または1999年1月21日に公開された国際公開第99/02756号の有機金属化学気相成長法(MOCVD)、1999年12月7日に公開されたSolayappanらによる米国特許第5, 997, 642号のミスト堆積法、1996年5月21日に公開されたPaz de Araujoらによる米国特許第5, 519, 234号に記載されたスピンコーティング法、あるいは、2000年5月2日にPaz de Araujoらにより公開された米国特許第6, 056, 994号に記載された任意のプロセスである。以下の実施例4では、液体前駆体は、MOCVD法を用いて付与された。以下の実施例5では、液体前駆体は、スピンオンプロセスを用いて付与された。以下の実施例6では、液体堆積プロセスは、液体ミスト堆積が用いられた。

【0078】

図7は、図3に示された強誘電体メモリを製造するための、本発明による方法の製造ステップのフローシートである。図7の好ましい方法310は、MOCVD法を用いるが、この図は、同様に他の実施形態を含む。他の方法が用いられてもよい。方法310は図3を参照して説明されるが、図7の方法、および本発明による数多くの方法の改変が、集積回路技術の多くのタイプの強誘電体構造において、本発明による他の構成を有する多結晶層状超格子材料の薄膜を製造するために用いられてもよいことは明確である。

【0079】

図7の工程312では、基板上にスイッチが工程314で形成される半導体基板が提供される。このスイッチは、通常MOSFETである。工程316では、従来の技術を用いて絶縁層が形成され、スイッチング素子と強誘電体素子とを分離する。従来のプロセスを用いて、絶縁層はパターニングされて、ビアを形成する。このビアは、導電性プラグで充填され、スイッチをメモリキャパシタおよび集積回路の他の素子に電気的に接続する。工程318では、拡散バリア層が絶縁層の上に堆積されて、パターニングされる。好ましくは、この拡散バリア層は、10nm~20nmの厚さを有する窒化チタンを含む。好ましくは、この拡散バリア層は、窒化チタンターゲットを用いて、従来のスパッタリング法により堆積されるが、窒素含有スパッタガスによるチタンターゲットが用いられてもよい。工程320では、底部電極が形成される。好ましくは、この電極は、プラチナから製造され、約200nmの厚さを有する層を形成するためにスパッタ堆積される。工程322では、所望の強誘電体薄膜を形成する層状超格子材料の化学前駆体が調合される。通常、前駆体溶液は、化学前駆体化合物を含む市販の溶液から調合される。このような市販の溶液は、上記のAlfa Aesar (日本、東京、Kojundo Chemical) 等から入手可能である。必要ならば、特定の操作または処理条件を満たすように、市販の溶液によって供給された様々な前駆体の濃度がステップ322で調節される。本発明の好ましい実施形態は、ランサナム、セリウム、プラセオジミウム、ネオジミウム、プロメチウム、サマリウム、ユーロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウムおよびルテチウムのうちの1つ以上の元素の相対モル比を有する最後の前駆体溶液を利用する。

【0080】

好ましい実施形態において、例えば、Paz de Araujoらによる米国特許第5, 648, 114号(1997年7月15日)、または1999年1月21日に公開された国際公報第99/02756号に記載されるように、前駆体の付与はMOCVDを介する。MOCVD技術が用いられた場合、プロセスは、図7における第2のカラムに直接進む。MOCVDプロセスの後、選択的にRTPプロセスが実行され得る。RTPステッ

10

20

30

40

50

プは、400℃～750℃、および、好ましくは600℃～700℃の範囲で保持された温度で、10秒～5分の間、好ましくは、約30秒～2分間行われる。いくつかのRTPパルスが用いられ得る。炉アニーリングステップは、選択的にRTPプロセスに従うか、または、付与プロセス324に直接従い得る。炉アニーリングステップが実行された場合、好ましくは、650℃～750℃の範囲の温度で30分～90分間、好ましくは、約650℃で約60分間行われる。

【0081】

MOCVDプロセスにおいて、前駆体内のビスマスが過剰に用いることが重要である。ミストの形成、および気化、ならびに堆積プロセスにおいて、ビスマスは、前駆体内の他の材料によって形成される化合物よりも気化し易い化合物を形成する傾向がある。高揮発性化合物は、ミスチング、気化、および堆積プロセスの間に漏れ出し得る。従って、最終的な薄膜が適切な化学量論比を取得するために、前駆体に過剰なビスマスが追加されなければならない。

10

【0082】

これに代わるプロセスにおいて、プロセス324は、ミスト堆積法またはスピンオン法等、基板上に液体コーティングを形成するプロセスであり、このプロセスは、その後、好ましくは、乾燥ステップ326に進み、ここから、RTPプロセス336か、アニーリングプロセス338か、またはこれらの両方に直接進む。乾燥ステップは、好ましくは、300℃未満の温度で、実質的に純粋なO₂ガス内か、または、少なくとも酸素含有ガス内で、ホットプレート上で15分未満の期間の間行われる。RTPプロセスおよび炉アニーリングは、好ましくは、上述の温度および時間である。

20

【0083】

第2の代替プロセスにおいて、ステップ324にて、前駆体溶液の液体コーティングが基板上に付与され、この後、乾燥プロセス326および酸化プロセス328が続く。この場合、乾燥ステップ326において、液体前駆体のコーティングを有する基板が、好ましくは、300℃を越えない、かつ、好ましくは、100℃よりも高い低温でベークおよび乾燥される。好ましくは、乾燥ステップは、実質的に純粋なO₂ガス内か、または、少なくとも酸素含有ガス内で15分未満の期間の間行われる。例えば、用いられる実際のプロセスにおいて、スピンコーティング技術を用いた後、ホットプレートを用いて、液体前駆体薄膜が160℃で1分間乾燥され、固体前駆体薄膜を形成する。ステップ328において、本発明による液体強酸化剤が固体前駆体薄膜に付与される。好ましいスピンオン法において、水中の5%の過酸化水素溶液(H₂O₂)がスピンコーティングによって付与される。乾燥およびベークステップ330において、固体前駆体薄膜および強酸化剤を含む基板が、300℃未満の低温で、好ましくは、ホットプレート上で160℃で1分間乾燥およびベークされ、固体金属酸化物薄膜を形成する。前駆体薄膜を強酸化剤に露出するステップは、ステップ328および330の組み合わせを包含する。ステップ332において、選択的UV処理が行われる。固体金属酸化物薄膜は、好ましくは、150nm～350nmの波長、好ましくは、約260nmの波長の紫外線(「UV」)で5分間処理される。加熱ステップ334において、固体金属酸化物薄膜が、低温の酸素含有ガス内でベークされる。選択的UVステップ332が行われた場合、加熱ステップ334は、好ましくは、160℃で1分間のホットプレートでのベーク、次に、260℃で4分間のホットプレートでのベークを包含する。選択的ステップ332が実行された場合、好ましくは、ステップ224において、160℃のベークが行われず、RTP処理は、従来のRTP装置内で行われ得る。RTPは、500℃～700℃の範囲の温度で、5秒～5分の範囲の期間の間行われる。好ましくは、RTPは、650℃の温度で30秒間、毎秒10℃～100℃の範囲の、好ましくは、毎秒約50℃のランピングレートで行われる。ハロゲンランプ、赤外線、または紫外線ランプからの放射は、RTPステップの熱源を提供する。以下の例において、周囲大気圧でハロゲンを利用するAG Associates Model 410 Heat Pulsarが用いられる。RTPは、酸素含有ガス、好ましくは、実質的に純粋なO₂ガス内で実行される。任意の残留有機体がR

30

40

50

T Pプロセスの間に燃え尽き、かつ気化する。同時に、R T Pの急激な温度の上昇は、核形成、すなわち、ステップ3 2 6～3 3 4から生じた固体膜で層状超格子材料の多数の結晶粒子の生成を促す。これらの粒子は、さらなる結晶化が生じ得る核として機能する。R T Pプロセスにおける酸素の存在がこれらの粒子の形成を強化する。

【0084】

アニーリングステップ3 3 8は、通常、高温、好ましくは、6 5 0℃での固体金属酸化物薄膜の炉アニーリングを包含する。ステップ3 3 8における炉アニーリングは、酸素含有ガス、通常、O₂内で実行される。好ましくは、酸素中でのステップ3 3 8のアニーリング時間は、90分を越えない。ステップ3 3 6のR T P、およびステップ3 3 8の酸素アニーリングは、空気中で、空気の酸素含有率よりも酸素含有率が高い酸素豊富なガス中、または、空気中の相対酸素量よりも相対酸素量が少ない「酸素欠乏 (oxygen-deficient)」ガス中で行われ得る。好ましくは、これらは、O₂ガス中で実行される。

10

【0085】

ステップ3 4 0において、層状超格子材料薄膜を形成するプロセスが用いられたときはいつも、上部電極が形成される。好ましくは、電極は、プラチナ単層のR Fスパッタリングによって形成されるが、D Cスパッタリング、イオンビームスパッタリング、真空堆積、または他の適切な従来の堆積プロセスによって形成されてもよい。電子デバイス設計するために好ましいならば、金属堆積の前に、強誘電体層状超格子材料が従来のフォトリソグラフィおよびエッチングを用いてパターンニングされ得、堆積の後、第2のプロセスで上部電極がパターンニングされる。後述される例において、従来のフォトリソグラフィ技術およびイオンビームミリングを用いて、上部電極および層状超格子材料がともにパターンニングされる。

20

【0086】

堆積されると、層状超格子材料の薄膜への上部電極の接着性は、通常、弱い。ステップ3において、この接着性は、ポストアニーリングによって改善される。ポストアニーリングは、電気炉内5 0 0℃～7 0 0℃の温度で実行され得る。5 0 0℃未満のポストアニーリングは、電極の接着性を改善せず、結果としてのキャパシタデバイスは、大いに漏れ、かつ、最悪の場合、短絡する傾向がある。好ましくは、ステップ3 4 2におけるポストアニーリングは6 5 0℃で実行される。

30

【0087】

ポストアニーリング（従来の炉を用いたポストアニーリングで約30分～60分間か、または、R T Pポストアニーリングで5秒～5分間、あるいは、これらの両方）は、上部電極において、および、電極と強誘電体薄膜との間の界面において内部応力を解放する。同時に、ポストアニーリングステップ3 4 2は、上部電極のスパッタリングの結果生じた層状超格子材料において微細構造を再構築し、その結果、材料特性が改善される。この効果は、ポストアニーリングが、後述されるステップ3 4 4との関連で触れられるパターンニングステップの前に実行されても、後で実行されても同じである。ほとんどの電気特性に対して、ヘリウム、アルゴン、および窒素等の不活性ガスが用いられ、酸素を用いた場合とほぼ同じ結果になり、これにより、高温の酸素への集積回路の露出が少なくなる。

40

【0088】

この巡回は、通常、ステップ3 4 4で完了する。ステップ3 4 4は、例えば、I L Dの堆積、配線層のパターンニング、ミリングおよび堆積等の複数のサブステップを有する。

【0089】

さらなる実施形態において、従来のM O C V D装置およびM O C V D薄膜堆積技術は、本発明による薄膜を製作するように改変され得る。ある変形例において、前駆体薄膜を堆積する間に、C V D反応チャンバに強酸化ガスが加えられ得る。好ましくは、オゾンの約20容量パーセントが、C V D反応チャンバ内で維持される一方で、基板は、高温で、好ましくは、約6 5 0℃で加熱される。別の変形例において、反応チャンバ内で強酸化ガスを用いる代わりに、上述のように、前駆体薄膜のC V D法による堆積の後、液体または気

50

体強酸化剤を用いて、前駆体薄膜が酸化され得る。

【0090】

さらに別の実施形態において、薄膜は、大気圧よりも高い圧力下で酸素含有ガスに曝される。堆積、乾燥、またはアニーリング中に圧力に曝され得る。好ましくは、圧力は、2～10気圧であり、最も好ましくは、2～5気圧である。

【0091】

(実施例4)

この実施例において、ビスマス、ランタニド、およびチタンを含有する前駆体溶液から $(Bi_{1-x}LaN_x)_4Ti_3O_{12}$ キャパシタを作製した。ネオジウム、ガドリニウム、イッテルビウム、プラセオジウム、およびランタンを含む、0.1#×#0.9からのランタニドの種々の濃度の種々のランタニドを用いた。すべての例において、ランタニドおよびチタン前駆体はイソプロポキシドであり、ビスマス前駆体はトリフェニルビスマスであり、溶剤はオクタンであった。堆積プロセスは、650℃でのMOCVD、次に、675℃でのRTP、および650℃の酸素中での炉アニーリングであった。この例において形成されたキャパシタは、図4のものと類似であるが、FET551、相互接続部554および592、ならびにILD572を有さない。二酸化ケイ素572の層を形成するために一連のp型Siウェハの基板561を酸化した。約200nmの厚さを有する下部プラチナ電極580を酸化層572上にスパッタリングで堆積した。これらを、650℃のO₂中で30分アニールし、180℃で30分間低真空中で脱水した。 $(Bi_{1-x}LaN_x)_4Ti_3O_{12}$ の薄膜を上述のように形成し、プラチナをスパッタリングで堆積して、約200nmの厚さを有する上部電極層584を作製した。キャパシタを形成するためにプラチナおよびランタニドビスマスチタネート層をミリングし、その後、アッシングを実行し、続いて、650℃で30分間O₂ガス中でポストアニールした。キャパシタは、約110ナノメートルの厚さ、および8000μm²未満の表面積を有した。予備結果は、最適な結果を得るために、堆積およびアニーリング温度を調整することが必要であるが、ほとんどの場合、有用なキャパシタが作製され得ることを示す。いずれの従来の層状超格子材料よりも高い40μC/cm²の高さの分極率を有するキャパシタをもたらすと思われるネオジウムの場合は最良の結果であった。

【0092】

(実施例5)

この実施例において、ミスト堆積法によってビスマスランタンチタネート(BLT)集積回路薄膜キャパシタを作製した。上述のように、BLTの一般的化学式は、好ましくは、 $(Bi_{1-x}LaN_x)_4Ti_3O_{12}$ であるが、当該技術において、他の等価の化学式を用いることもある。この実施例において、前駆体は、化学式 $(Bi_{0.25}La_{0.75})_4Ti_3O_{12}$ を有するBLT材料が生成されるような比率でのランタンイソプロポキシド、トリフェニルビスマス、およびチタンイソプロポキシドの混合物であった。この実施例において形成されたキャパシタは、図4のものと類似であるが、FET551、相互接続部554および592、ならびにILD586を有さない。二酸化ケイ素572の層を形成するために一連のp型Siウェハの基板561を酸化した。約200nmの厚さを有する下部プラチナ電極580を酸化層572上にスパッタリングで堆積した。これらを650℃のO₂中で30分間アニールし、180℃で30分間低真空中で脱水した。上述のように、前駆体を用いて、スピンオン堆積によってBLTの薄膜を形成し、次に、ホットプレート上で300℃で5分間乾燥させ、657℃で30秒間急速熱アニール(RTA)し、650℃で60分間酸素中での炉アニールした。プラチナは、約200nmの厚さを有する上部電極層584を作製するために、プラチナをスパッタリングで堆積する。プラチナおよびビスマスチタネート酸塩をミリングしてキャパシタを形成し、その後、アッシングを実行し、続いて、650℃で30分間O₂ガス中でポストアニールした。キャパシタは、約110nmおよび7850μm²の表面積を有する。分極率2Prは、3ボルトで12.65μC/cm²であり、10ボルトで18.10μC/cm²に上昇した。抗電圧は、3ボルトで175.4であり、10ボルトで235.12に上昇した。漏れ電流

は、5ボルトまでは、 cm^2 ごとに 10^{-6} アンペア以下であった。

【0093】

炉アニーリングが700℃に上昇したことを除いて、同じプロセスを実行した。分極率2Prは、ここで、3ボルトで $17.60 \mu\text{C}/\text{cm}^2$ であり、10ボルトで $22.32 \mu\text{C}/\text{cm}^2$ に上昇した。抗電圧が3ボルトで177.95であり、10ボルトで216.79に上昇した。漏れ電流は、4ボルトまでは cm^2 ごとに 10^{-6} アンペア以下であった。

【0094】

(実施例6)

この実施例において、集積回路薄膜キャパシタをジスプロシウムビスマスタントル (DBT) 液体前駆体溶液から製作した。この溶液の成分は表2に示される。

【0095】

(表2)

【表1】

化合物	FW	g	Mmcle	平衡	ベンダー	Lot #
キシレン中のジスプロシウムオクタノエート	9,017.1	5.5834	0.6192	0.6667	Symetrix	9/27/93
キシレン中の $\text{Bi}_2\text{Ta}_2\text{O}_8$ 溶液	5,000	4.6439	0.9288	1.000	Symetrix	7/26/93
ビスマス-2-エチルヘキサノエート	753.080	.0700	0.0930	0.1001	Strem	135617-S

化学的前駆体の溶液含有量は、化学量論式 $\text{Dy}_{2/3}\text{Bi}_{2/2}\text{Ta}_2\text{O}_9$ に対応する。前駆体溶液は、キシレン中のジスプロシウムオクタノエート、キシレン中のビスマスタントレート溶液、および2-エチルヘキサノエートの初期前駆体を含む。化学物質をフラスコ内と合わせ、加熱および攪拌する一方で、体積を約10mlから約5mlに低減した。溶液は、その後、キシレンで6.0mlまで希釈して、約0.155mol/lの最終前駆体を生成した。キャパシタは、対応する加熱ステップを用いて、前駆体コーティングおよび強力な酸化剤を用いて形成した。強誘電体薄膜は約100nmの厚さを有した。

【0096】

この実施例において形成されたキャパシタは、図4のキャパシタと類似であったが、FET551、相互接続554および592、ならびにILD586を有さない。一連のp型Siウェハ基板561を酸化して二酸化シリコン572の層を形成した。約200nmの厚さを有する下部プラチナ電極580を酸化物層572上にスパッタリングで堆積した。これらを650℃で30分間 O_2 中でアニールし、180°で30分間低真空中で脱水した。DBT前駆体の0.12モルの溶液のスピンコートで1800rpmで30秒間ボトム電極580上に堆積した。これを、160℃で1分間 O_2 ガス中でホットプレート上で加熱することによって乾燥させ、固体前駆体薄膜を形成した。スピンコーティングによってウェハ上の前駆体薄膜に液体の強力酸化剤を付与した。約20mlの水中5%の H_2O_2 を水の中心に付与し、500rpmで5秒間、その後、1500rpmで30秒間スピンドした。強力酸化剤のスピンコーティングを乾燥させ、160℃で1分間 O_2 ガス中で、その後、260℃で4分間ホットプレート上でベークした。結果としてウェハ上に生じた金属酸化物薄膜を、その後、650℃で30分間 O_2 ガス中での急速熱処理(RTP)を用いて毎秒100℃のランピングレートで処理した。ウェハおよびコーティングを625℃で90分間「ウェット(wet)」 O_2 ガス中でアニールした。95℃の水中で O_2 ガスをバブリングすることによって、この「湿った」酸素ガスを生成し、その後、このガスをアニールする表面に流し込む。これらのステップは、約90nmの厚さを有し、かつ、ジスプロシウムビスマスタントレートの層状超格子材料を含む強誘電体薄膜582を形成した。プラチナをスパッタリングで堆積して約200nmの厚さを有する上部電極層584を作製した。プラチナおよびジスプロシウムビスマスタントレート層をミリングして

キャパシタを形成し、その後、アッシングを行い、次に、 650°C で30分間 O_2 ガス中でポストアニールした。キャパシタは、約 $8000\mu\text{m}^2$ の表面積を有した。本発明により作製されたジスプロシウムビスマスタントレートキャパシタの誘電特性および電気特性を、ヒステリシス曲線、分極率、漏れ電流、および抗電界を測定することによって検討した。測定された残留分極 P_r (2P4値として表される)は、5ボルトで約 $16\mu\text{C}/\text{cm}^2$ であった。他のパラメータを従来技術の層状超格子材料の範囲内であった。

【0097】

本発明の主要な特徴は、すべてのランタニドの前駆体にイソプロポキシドを用いることが可能であるという事実である。チタン等の上述のコンポーネントにおいて有用な他の元素と同様に、すべてのランタンがイソプロポキシドを形成した。これは、ビスマス以外のすべての金属がイソプロポキシドである前駆体を形成することを可能にした。これは、商業生産プロセスにおいて前駆体を貯蔵、混合、および一般的に処理することをはるかに簡単にする。

【0098】

本発明の別の特徴は、カルボキシレートを含むスピンオン、およびミスト堆積プロセスにおける溶剤としてオクタンを用いることである。ランタニド前駆体は、すべて、オクタニド中で可溶性であり、これは、毒性を有するものとして使用されるのではないので、多くの従来の溶剤よりも、用いることがはるかに容易な溶剤である。

【0099】

現在本発明の好ましい実施形態であると考えられることが記載された。本発明は、その主旨または不可欠な特徴から逸脱することなく、他の特定の形態で具現化され得ることが理解される。例えば、本発明は、シリコン基板に関して記載されたが、ガリウムヒ素、ゲルマニウム、シリコンゲルマニウム、および他の基板等の他の基板が用いられ得る。多くの他の強誘電体および誘電体構造が用いられ得る。多くの他の強誘電体または誘電体構造が用いられ得る。さらに、ここで、層状超格子材料で作製された強誘電体または誘電体の利点および加工性がランタニドを利用することが示され、多くの他の層状超格子材料がランタニドを利用することが考案され得る。従って、本実施形態は、例示的であり、制限的ではないと考えられるべきである。本発明の範囲は、上記の請求項の範囲によって示される。

【図面の簡単な説明】

【0100】

【図1】図1は、本発明による好適な実施形態の、強誘電体FETメモリセルの断面図を示す。

【図2】図2は、本発明による、FETのゲート構造の別の1つの実施形態を示す。

【図3】図3は、本発明による、電界効果トランジスタおよびキャパシタを有するDRAMまたはFERAMの断面図である。

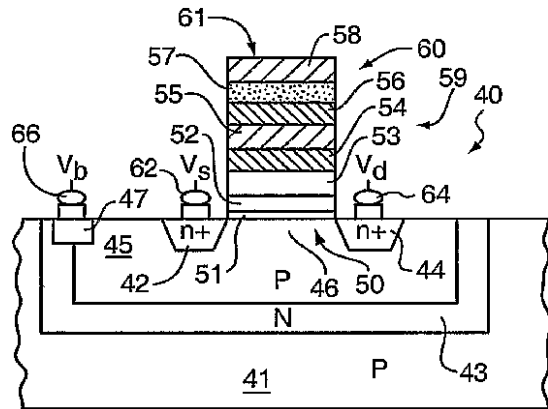
【図4】図4は、本発明による別の好適な実施形態の、MFM-MIS FETの断面図である。

【図5】図5は、メモリセルの群が直列に接続される強誘電体メモリの、別の実施形態の一部である。

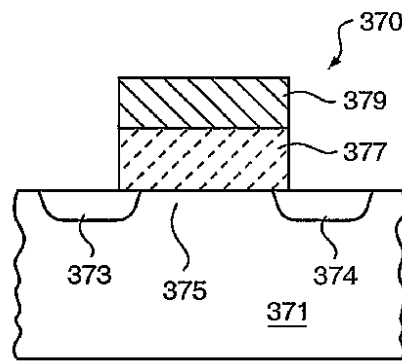
【図6】図6は、図1から図4に示すようなメモリセルまたは図5に示すようなメモリセルを使用する、本発明による集積回路メモリのブロック回路図である。

【図7】図7は、強誘電体メモリの製造のための、本発明による方法310の、製造工程のフローシートである。

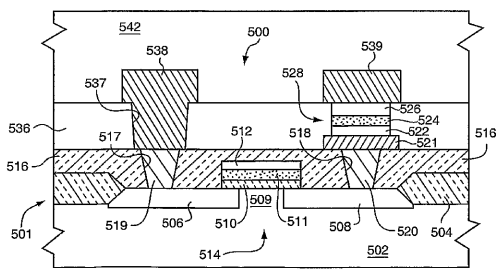
【図 1】

**FIG. 1**

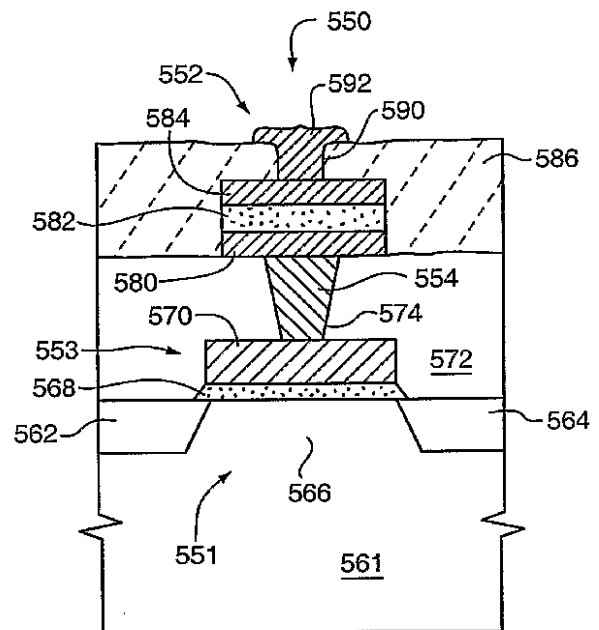
【図 2】

**FIG. 2**

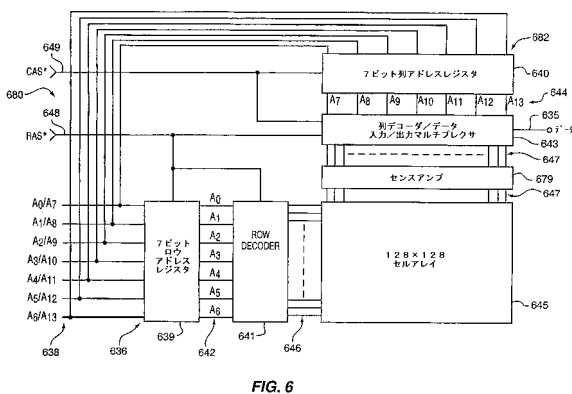
【図 3】

**FIG. 3**

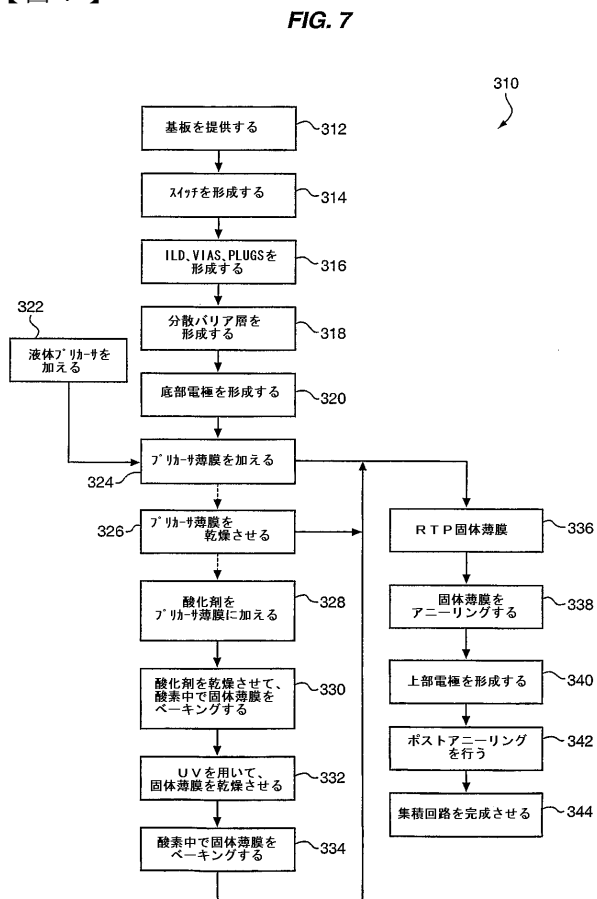
【図 4】

**FIG. 4**

【图 6】



【图 7】



【手続補正書】

【提出日】平成16年6月1日(2004.6.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリデバイスを製作する方法であって、該方法は、

基板(41)を提供するステップと、該基板上にメモリセル(500)を形成するステップとを包含し、該方法は、該基板上に該メモリセルを形成するプロセスを特徴とし、該方法は、液体前駆体を提供するステップであって、該液体前駆体は、a)セリウム、プラセオジミウム、ネオジミウム、プロメチウム、サマリウム、ユーロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウム、およびルテチウムからなる群より選択された元素を含む液体前駆体と、b)化学式 $A_m - 1 (B i_{1-x} L a_n x)_2 M_m O_{3m+3}$ (ここで、Aは、1つ以上のA-site元素であり、Mは、1つ以上のB-site元素であり、Oは酸素であり、mは、整数または分数であり、L a nは、ランタン、セリウム、プラセオジミウム、ネオジミウム、プロメチウム、サマリウム、ユーロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウム、およびルテチウムからなる群より選択された材料の1つ以上を表し、かつ、 $0 < x < 1$ である)を有する層状超格子材料を作製するために適切な液体前駆体とからなる群から選択される、ステップと、

該基板上に層状超格子材料構造の薄膜を自発的に形成するために該液体前駆体を利用するステップと

を包含する方法であって、

該方法は、該基板上にメモリを完成させるステップをさらに包含する、方法。

【請求項2】

前記利用するステップは、前記基板上に前記前駆体を液体の形態で付与するステップを包含する、請求項1に記載の方法。

【請求項3】

前記利用するステップは、前記基板上に前記前駆体を蒸気の形態で付与するステップを包含する、請求項1に記載の方法。

【請求項4】

前記化学式は、 $(B i_{1-x} L a_n x)_4 T i_3 O_{12}$ を含むことを特徴とする、請求項1～3の1つに記載の方法。

【請求項5】

前記化学式は、 $(B i_{1-x} L a_n x)_2 T a_{1-y} N b_y O_9$ (ただし、 $A = S r$ 、 $C a$ 、 $B a$ または $P b$ であり、かつ、 $1 \leq y \leq 0$ である)を含むことを特徴とする、請求項1～3の1つに記載の方法。

【請求項6】

前記化学式は、 $(B i_{1-x} L a_n x)_2 B i_4 T i_3 O_{15}$ を含むことを特徴とする、請求項1～3の1つに記載の方法。

【請求項7】

前記化学式は、 $A (B i_{1-x} L a_n x)_4 T i_4 O_{15}$ (ただし、 $A = S r$ 、 $C a$ 、 $B a$ または $P b$ である)を含むことを特徴とする、請求項1～3の1つに記載の方法。

【請求項8】

前記層状超格子材料は強誘電体であることを特徴とする、請求項1～3の1つに記載のメモリデバイスを製作する方法。

【請求項9】

前記利用するステップは、前記基板に前記前駆体を付与するステップの後、前記層状超格子材料を形成するために該基板を処理するステップを包含する、請求項 1～3 の 1 つに記載の方法。

【請求項 10】

前記付与するステップおよび前記処理するステップは、金属有機化学気相成長（MOCVD）法を含むことを特徴とする、請求項 9 に記載の方法。

【請求項 11】

前記処理するステップは、550℃～750℃の温度での RTP を包含することを特徴とする、請求項 9 に記載の方法。

【請求項 12】

前記付与するステップは、ミスト堆積法を包含することを特徴とする、請求項 9 に記載の方法。

【請求項 13】

前記付与するステップは、スピノン堆積法を包含することを特徴とする、請求項 9 に記載の方法。

【請求項 14】

前記利用するステップは、MOCVD を包含する、請求項 1 に記載の方法。

【請求項 15】

集積回路メモリを製作する方法であって、該方法は、基板（41、502、561）を提供するステップと、該基板上に層状超格子材料薄膜（57、511、524、582）を形成するステップと、該集積回路メモリ内に該層状超格子薄膜を備えるために、該基板上に該集積回路メモリを完成させるステップとを包含する方法であって、該方法は、該層格子材料のプロセスを特徴とし、該方法は、

薄膜に該層状超格子材料構造を形成するために MOCVD を利用するステップであって、該層状超格子材料構造は、 $A_{m-1} (Bi_{1-x} Lan_x)_2 M_m O_{3m+3}$ （ここで、A は、1 つ以上の A-site 元素であり、M は、1 つ以上の B-site 元素であり、O は酸素であり、m は、整数または分数であり、Lan は、ランタン、セリウム、プラセオジミウム、ネオジミウム、プロメチウム、サマリウム、ユーロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウム、およびルテチウムからなる群より選択された材料の 1 つ以上を表し、かつ、 $0 < x < 1$ である）を有する、ステップを包含する、方法。

【請求項 16】

前記 B-site 元素は、チタンである、請求項 15 に記載の集積回路メモリを製作する、方法。

【請求項 17】

前記 B-site 元素は、ランタンを含む、請求項 15 に記載のメモリデバイスを製作する方法。

【請求項 18】

前記 Lan は、ランタンを含む、請求項 15 に記載のメモリデバイスを製作する方法。

【請求項 19】

前記 Lan は、ネオジミウムを含む、請求項 15 に記載のメモリデバイスを製作する方法。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

national Application No
PCT/US 02/29325

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L21/316

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1 035 590 A (NOH TAE WON) 13 September 2000 (2000-09-13) the whole document	1-34
Y	---	35-41
Y	US 6 056 994 A (CUCHIARO JOSEPH D ET AL) 2 May 2000 (2000-05-02) cited in the application column 7, line 24 - column 9, line 50 column 5, line 17 - line 29	35-41
A	---	25
A	WO 00 77832 A (MATSUSHITA ELECTRONICS CORP; SYMETRIX CORP (US)) 21 December 2000 (2000-12-21) page 17, line 24 - page 22, line 8; figure 5	35-41

	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *I* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *G* document member of the same patent family

Date of the actual completion of the international search

4 March 2003

Date of mailing of the international search report

12/03/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5816 Patentplan 2
NL - 2280 HV Rijswijk
Tel: (+31-70) 340-2040, Tx 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Götz, A

INTERNATIONAL SEARCH REPORT

International Application No
PCT/US 02/29325

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	ICHINOSE N ET AL: "ELECTRICAL PROPERTIES OF (BI, LA)4TI3O12 BASED THIN FILMS PREPARED BY RF SPUTTERING" JAPANESE JOURNAL OF APPLIED PHYSICS, PUBLICATION OFFICE JAPANESE JOURNAL OF APPLIED PHYSICS. TOKYO, JP, vol. 35, no. 9B, PART 1, 1 September 1996 (1996-09-01), pages 4960-4962, XP000703048 ISSN: 0021-4922 the whole document ----	
A	US 6 121 647 A (NOGUCHI TAKAO ET AL) 19 September 2000 (2000-09-19) column 14, line 18 -column 29, line 33 -----	1-41

INTERNATIONAL SEARCH REPORT
 Information on patent family members

 International Application No
 PCT/US 02/29325

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 1035590 A	13-09-2000	KR 2000060014 A	16-10-2000
		DE 1035590 T1	23-05-2001
		EP 1035590 A2	13-09-2000
		ES 2154248 T1	01-04-2001
		JP 2000260960 A	22-09-2000
		TW 462124 B	01-11-2001
		US 6323512 B1	27-11-2001
US 6056994 A	02-05-2000	US 5519234 A	21-05-1996
		US 5456945 A	10-10-1995
		US 5759923 A	02-06-1998
		US 5723171 A	03-03-1998
		US 6080592 A	27-06-2000
		US 5688565 A	18-11-1997
		US 6110531 A	29-08-2000
		CA 2145878 A1	11-05-1994
		DE 69307533 D1	27-02-1997
		EP 0665814 A1	09-08-1995
		JP 8502946 T	02-04-1996
		JP 3113281 B2	27-11-2000
		WO 9410084 A1	11-05-1994
		US 5514822 A	07-05-1996
		US 6285048 B1	04-09-2001
		US 5620739 A	15-04-1997
		US 5723361 A	03-03-1998
		US 5624707 A	29-04-1997
		US 5614018 A	25-03-1997
		US 6372286 B1	16-04-2002
		US 5516363 A	14-05-1996
		US 5540772 A	30-07-1996
		US 5888583 A	30-03-1999
		US 6133050 A	17-10-2000
		US 6327135 B1	04-12-2001
		US 5559260 A	24-09-1996
		US 5614252 A	25-03-1997
		US 5654456 A	05-08-1997
		US 5965219 A	12-10-1999
		US 5962085 A	05-10-1999
		US 5909042 A	01-06-1999
		US 5871853 A	16-02-1999
		US 5814849 A	29-09-1998
		US 5690727 A	25-11-1997
		US 6025619 A	15-02-2000
		AU 2013992 A	15-09-1992
		JP 3238663 B2	17-12-2001
		JP 11131247 A	18-05-1999
		JP 2860505 B2	24-02-1999
		JP 6508659 T	29-09-1994
		KR 202532 B1	15-06-1999
		US 5434102 A	18-07-1995
		WO 9215112 A1	03-09-1992
		US 5468679 A	21-11-1995
		US 5825057 A	20-10-1998
		US 5439845 A	08-08-1995
		US 6072207 A	06-06-2000
		US 5316579 A	31-05-1994
		US 5423285 A	13-06-1995
		AU 636818 B2	06-05-1993

INTERNATIONAL SEARCH REPORT
 Information on patent family members

 International Application No
 PCT/US 02/29325

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 0077832 A	21-12-2000	US 6339238 B1	15-01-2002
		US 6495878 B1	17-12-2002
		CN 1358326 T	10-07-2002
		EP 1192648 A2	03-04-2002
		JP 2003502837 T	21-01-2003
		WO 0077832 A2	21-12-2000
		WO 0077855 A1	21-12-2000
		US 2001012698 A1	09-08-2001
US 6121647 A	19-09-2000	JP 3193302 B2	30-07-2001
		JP 10017394 A	20-01-1998
		US 6387712 B1	14-05-2002

フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード (参考)

H 0 1 L 27/10 6 5 1

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,N O,NZ,OM,PH,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,UZ,VC,VN,YU,ZA,ZM,ZW

(72)発明者 パズ デ アラウジョ, カルロス エー.

アメリカ合衆国 カリフォルニア 8 0 9 1 9, コロラド スプリングス, ダブリュー. サ
ンバード クリフス レーン 3 1 7

(72)発明者 マクミラン, ラリー ディー.

アメリカ合衆国 コロラド 8 0 9 1 9, コロラド スプリングス, ブロドジェクト ドライ
ブ 3 0 0 5

(72)発明者 ソラヤッパン, ナラヤン

アメリカ合衆国 コロラド 8 0 9 2 0, コロラド スプリングス, ストーン グレン ドラ
イブ 9 6 0 7

F ターム(参考) 4K030 AA11 BA04 BA17 BA18 BA42 BA59 JA10 LA15 LA19

5F058 BA11 BC03 BF06 BF27 BF46 BH01 BJ04

5F083 AD21 FR01 FR02 FR05 FR07 GA27 HA02 HA06 JA02 JA06

JA13 JA14 JA15 JA17 JA36 JA37 JA38 JA39 JA43 MA06

MA17 MA19 PR21 PR23 PR34