

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成28年6月30日(2016.6.30)

【公開番号】特開2013-239228(P2013-239228A)

【公開日】平成25年11月28日(2013.11.28)

【年通号数】公開・登録公報2013-064

【出願番号】特願2013-102136(P2013-102136)

【国際特許分類】

**G 11 C 11/406 (2006.01)**

【F I】

G 11 C 11/34 3 6 3 K

G 11 C 11/34 3 6 3 N

【手続補正書】

【提出日】平成28年5月13日(2016.5.13)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1メモリセルと前記第1メモリセルに隣接した第2メモリセルとを含む複数のメモリセルを含むメモリ装置の動作方法において、

前記第1メモリセルをアクセスする度に、前記第2メモリセルに関連するディスターブ数をカウントする段階と、

前記カウントに基づいて、前記第2メモリセルに対するディスターブカウント値をアップデートする段階と、

前記第2メモリセルのディスターブカウント値、既定のスレッシュルド値及び最大ディスターブカウント値に基づいてリフレッシュスケジュールを調整する段階であって、前記調整されたリフレッシュスケジュールは、前記第2メモリセルがフラグ付けされている場合、前記第1メモリセル及び前記第2メモリセルに対する正規リフレッシュ動作を行う前に、非正規リフレッシュ動作が前記第2メモリセルに対して行われることを少なくとも示し、前記第2メモリセルは、前記第2メモリセルに関連する前記ディスターブカウント値が前記既定のスレッシュルド値または前記最大ディスターブカウント値を超過したときにフラグ付けされる段階と、

前記調整されたスケジュールによって、前記第2メモリセルをリフレッシュした場合、前記第2メモリセルのディスターブカウント値及び前記最大ディスターブカウント値をリセットする段階と、

を含むメモリ装置の動作方法。

【請求項2】

前記第2メモリセルに関連する前記ディスターブ数は、

前記第1メモリセルに対する累積アクセスタイム(Access time)を単位時間で割った値である請求項1に記載のメモリ装置の動作方法。

【請求項3】

前記アップデートする段階は、

前記第1メモリセルがアクセスされる度に、以前にアクセスタイムに保存されたディスターブカウント値に、前記第1メモリセルの現在アクセスタイムの間にカウントされるディスターブ数を加える段階を含む請求項1に記載のメモリ装置の動作方法。

**【請求項 4】**

前記リフレッシュスケジュールを調整する段階は、

前記第2メモリセルのディスターブカウント値が、前記スレッショルド値以上であり、前記最大ディスターブカウント値を超過する場合、前記リフレッシュスケジュール内の前記第2メモリセルに対する前記非正規リフレッシュ動作順序を繰り上げる段階と、

前記最大ディスターブカウント値を前記第2メモリセルのディスターブカウント値にアップデートする段階と、

を含む請求項1に記載のメモリ装置の動作方法。

**【請求項 5】**

前記ディスターブカウント値をリセットする段階は、

前記メモリ装置が、パワーアップ(Power Up)された後、非正規リフレッシュフラグを活性化して、前記リフレッシュスケジュールによって前記非正規リフレッシュ動作を行うように前記メモリ装置を制御する段階と、

前記メモリ装置が、テストモードである場合、前記非正規リフレッシュフラグを非活性化して、前記非正規リフレッシュ動作を停止させる段階と、

を含む請求項1に記載のメモリ装置の動作方法。

**【請求項 6】**

前記第2メモリセルをリフレッシュする場合、前記非正規リフレッシュフラグは、リセットされる請求項5に記載のメモリ装置の動作方法。

**【請求項 7】**

前記動作方法は、

前記メモリ装置が、パワーアップされる場合、前記ディスターブカウント値を初期化する段階をさらに含む請求項1に記載のメモリ装置の動作方法。

**【請求項 8】**

第1メモリセルと前記第1メモリセルに隣接した第2メモリセルとを含む複数のメモリセルを含むメモリセルアレイと、

コントロールロジックであって、

前記第1メモリセルにアクセスする時、前記第2メモリセルに対するディスターブカウント値をリードし、

前記ディスターブカウント値を、既定のスレッショルド値及び最大ディスターブカウント値と比較し、

前記第1メモリセルの現在アクセスタイムの間に、前記第2メモリセルに関連するディスターブ数をカウントし、

前記カウントに基づいて、前記ディスターブカウント値をアップデートするように構成されるコントロールロジックと、

リフレッシュユニットであって、

前記第2メモリセルのワードラインアドレスを計算し、

前記第2メモリセルがフラグ付けされている場合、調整されたリフレッシュスケジュールは、前記第1メモリセル及び前記第2メモリセルに対する正規リフレッシュ動作を行う前に、非正規リフレッシュ動作が前記第2メモリセルに対して行われることを少なくとも示し、前記第2メモリセルは、前記第2メモリセルに関連する前記ディスターブカウント値が前記既定のスレッショルド値または前記最大ディスターブカウント値を超過したときにフラグ付けされるように、前記ディスターブカウント値の比較結果によって、前記第2メモリセルに対する現在リフレッシュスケジュールを調整し、

前記調整されたリフレッシュスケジュールによって前記第1メモリセル及び前記第2メモリセルの前記非正規リフレッシュ動作及び前記正規リフレッシュ動作を行い、

パワーアップ信号に基づいて前記ディスターブカウント値の初期化有無を制御するように構成されるリフレッシュユニットと、

を含むメモリ装置。

**【請求項 9】**

前記メモリセルアレイは、  
データを保存するように構成される複数のデータメモリセルを含むノーマルセルアレイと、

前記ディスターブカウント値を保存するように構成される複数のディスターブカウントセルを含むディスターブカウントセルアレイと、を含み、

前記複数のデータメモリセルは、前記第1メモリセル及び前記第2メモリセルを含み、少なくとも1つの前記ディスターブカウントセルは、前記第1メモリセルと同一ワードラインに属した請求項8に記載のメモリ装置。

#### 【請求項10】

前記コントロールロジックは、  
アドレスコマンドデコーダであって、  
ホストからクロック信号、アクティブ命令及びアドレスを受信し、  
前記クロック信号に基づいて、前記アクティブ命令及びアドレスをデコーディングして前記アクティブ命令に相応する制御信号を生成し、  
前記第1メモリセルにアクセスするためのローアドレスとカラムアドレスとを生成する

ように構成されるアドレスコマンドデコーダと、

前記ディスターブカウント値を、前記既定のスレッショルド値及び前記最大ディスターブカウント値と比較するように構成されるカウント値比較部と、

前記第1メモリセルがアクセスされる度に、以前にアクセスタイムに保存されたディスターブカウント値に、前記第1メモリセルの前記現在アクセスタイムの間にカウントされる前記ディスターブ数を加えて、前記ディスターブカウント値をアップデートするように構成されるカウント値アップデート部と、

最大ディスターブカウント値保存部であって、

前記メモリ装置の初期化時点から現在動作時点までの前記第2メモリセルに対する前記ディスターブカウント値のうち、最大ディスターブカウント値を保存し、

前記アップデートされたディスターブカウント値が、前記最大ディスターブカウント値よりも大きければ、前記アップデートされたディスターブカウント値を最大ディスターブカウント値にアップデートする

ように構成される最大ディスターブカウント値保存部と、

を含む請求項8に記載のメモリ装置。

#### 【請求項11】

前記リフレッシュユニットは、  
前記コントロールロジックから受信した前記第1メモリセルに対するアドレスに基づいて、前記第2メモリセルに対するアドレスを計算するように構成される隣接アドレス計算部と、

次の非正規リフレッシュアドレス及び非正規リフレッシュフラグ保存部であって、

前記第2メモリセルに対する前記ディスターブカウント値が、前記既定のスレッショルド値以上であるか、または、前記最大ディスターブカウント値を超過した場合、前記第2メモリセルの前記アドレスを次の非正規リフレッシュアドレスとして保存し、

前記第2メモリセルに対する前記非正規リフレッシュ動作を実行するかどうかを表わす非正規リフレッシュフラグ(Refresh Flag)を保存する

ように構成される次の非正規リフレッシュアドレス及び非正規リフレッシュフラグ保存部と、

前記非正規リフレッシュフラグによって、前記第2メモリセルの非正規リフレッシュ動作を優先的に行うように、前記リフレッシュスケジュールを調整するように構成されるリフレッシュコントローラと、

を含む請求項8に記載のメモリ装置。

#### 【請求項12】

前記リフレッシュユニットは、

前記パワーアップ信号に基づいて、前記メモリセルアレイ全体をいずれもリフレッシュし、前記ディスターブカウント値を初期化するように制御する内部リフレッシュ信号を出力するように構成される周期的内部リフレッシュコマンド生成部をさらに含み、

前記コントロールロジックは、

前記内部リフレッシュ信号によってカウント有効フラグを活性化して、カウント値アップデート部、カウント値比較部、及び最大ディスターブカウント値保存部をリセットするように構成されるカウント有効フラグユニットを含む請求項11に記載のメモリ装置。

#### 【請求項13】

前記カウント値アップデート部は、

前記第2メモリセルに対する前記非正規リフレッシュ動作遂行後、前記第2メモリセルに対する前記ディスターブカウント値をリセットするように構成される請求項10に記載のメモリ装置。

#### 【請求項14】

前記リフレッシュコントローラは、

前記第2メモリセルに対する前記ディスターブカウント値が、前記既定のスレッショルド値以上であり、前記最大ディスターブカウント値を超過した場合、前記第2メモリセルに対する前記非正規リフレッシュ動作を前記リフレッシュスケジュールの間に挿入して優先処理するように構成される請求項11に記載のメモリ装置。

#### 【請求項15】

前記リフレッシュコントローラは、

前記第2メモリセルに対する前記ディスターブカウント値が、前記既定のスレッショルド値以上であり、前記最大ディスターブカウント値を超過した場合、前記第2メモリセルに対する非正規リフレッシュ動作が前記現在リフレッシュスケジュールと並行処理されるように前記リフレッシュスケジュールを調整するように構成される請求項11に記載のメモリ装置。

#### 【請求項16】

前記カウント有効フラグユニットは、

前記メモリ装置が、テストモードである場合、前記第2メモリセルに対する前記非正規リフレッシュ動作を行わないように、前記カウント有効フラグを非活性化するように構成される請求項12に記載のメモリ装置。

#### 【請求項17】

前記第2メモリセルに対する前記ディスターブカウント値を前記ディスターブカウントセルからリード(Read)し、

前記アップデートされたディスターブカウント値を前記ディスターブカウントセルにライト(Write)する

ように構成されるカウントライトリードロックをさらに含む請求項9に記載のメモリ装置。

#### 【請求項18】

少なくとも1つの第1メモリセルと前記少なくとも1つの第1メモリセルのワードラインに隣接した第2メモリセルとを含む複数のメモリセルを含むメモリシステムの動作方法において、

前記少なくとも1つの第1メモリセルにアクセス(Access)する度に、前記第2メモリセルに関連するディスターブ数をカウントする段階であって、前記ディスターブ数は、前記少なくとも1つの第1メモリセルに対する累積アクセスタイムの間にカウンターを周期的に増加させることによって取得されることによって得られる段階と、

前記カウントに基づいて、前記第2メモリセルのディスターブカウント値をアップデート(Update)する段階と、

前記アップデートされたディスターブカウント値、最大ディスターブカウント値及び既定のスレッショルド値に基づいて、前記第2メモリセルに対するリフレッシュ(Refresh)動作の順序を調整する段階であって、前記第2メモリセルがフラグ付けされてい

る場合、前記少なくとも 1 つの第 1 メモリセル及び前記第 2 メモリセルに対する正規リフレッシュ動作を行う前に、非正規リフレッシュ動作が前記第 2 メモリセルに対して行われ、前記第 2 メモリセルは、前記第 2 メモリセルに関連する前記ディスターブカウント値が前記既定のスレッショルド値または前記最大ディスターブカウント値を超過したときにフラグ付けされる段階と、

前記順序によって、前記第 2 メモリセルに対する前記非正規リフレッシュ動作及び前記正規リフレッシュ動作を含むリフレッシュ動作が行われれば、前記第 2 メモリセルの前記ディスターブカウント値をリセット(Reset)する段階と、  
を含むメモリシステムの動作方法。

#### 【請求項 19】

前記順序を調整する段階は、

前記第 2 メモリセルの前記ディスターブカウント値が、前記既定のスレッショルド値と同一または大きく、前記最大ディスターブカウント値よりも大きな場合、前記第 2 メモリセルの前記非正規リフレッシュ動作を優先処理するようにスケジューリングする段階と、

前記第 2 メモリセルの前記ディスターブカウント値を前記最大ディスターブカウント値にアップデートする段階と、

前記第 2 メモリセルに対する前記非正規リフレッシュ動作を行うか否かを表わす非正規リフレッシュフラグをアップデートする段階と、

を含む請求項 18 に記載のメモリシステムの動作方法。

#### 【請求項 20】

前記非正規リフレッシュフラグが活性化された場合、前記動作方法は、

前記第 2 メモリセルに対する前記非正規リフレッシュ動作を行う段階と、

前記第 2 メモリセルの前記最大ディスターブカウント値及び前記第 2 メモリセルの前記ディスターブカウント値をリセットした後、前記非正規リフレッシュフラグをリセットする段階と、

をさらに含む請求項 19 に記載のメモリシステムの動作方法。

#### 【請求項 21】

前記動作方法は、

前記メモリシステムをパワーアップした場合、前記メモリシステムのあらゆるワードラインをイネーブルして、あらゆる前記ディスターブカウント値をリセットする段階をさらに含む請求項 18 に記載のメモリシステムの動作方法。

#### 【請求項 22】

少なくとも 1 つの対象メモリセルと残りのメモリセルとを含む複数のメモリセルを含むメモリ装置の動作方法において、

前記少なくとも 1 つの対象メモリセルにアクセスする間に、前記残りのメモリセルのそれぞれに関連するディスターブ数をディスターブカウント値としてカウントする段階と、

前記ディスターブカウント値に基づいて、前記残りのメモリセルのそれぞれに対する非正規リフレッシュ動作及び正規リフレッシュ動作を含むリフレッシュ動作の順序を変更する段階であって、前記リフレッシュ動作の前記順序は、フラグ付けされた前記残りのメモリセルのそれぞれの 1 つに対して、前記少なくとも 1 つの対象メモリセル及び前記残りのメモリセルに対する前記正規リフレッシュ動作を行う前に、前記非正規リフレッシュ動作が行われることを少なくとも示し、前記残りのメモリセルは、前記残りのメモリセルに関連する前記ディスターブカウント値が既定のスレッショルド値または前記最大ディスターブカウント値を超過したときにフラグ付けされる段階と、

前記リフレッシュ動作が行われた前記残りのメモリセルの前記ディスターブカウント値をリセットする段階と、

を含むメモリ装置の動作方法。

#### 【請求項 23】

前記残りのメモリセルのそれぞれに対して、前記ディスターブ数をカウントする段階は

前記対象メモリセルへのアクセスタイムをカウントした値を前記残りのメモリセルのそれぞれの1つへの以前のリフレッシュ動作以後に累積する段階を含む請求項22に記載のメモリ装置の動作方法。

【請求項24】

前記リフレッシュ動作の前記順序を変更する段階は、

前記ディスターブカウント値のうちの1つが前記既定のスレッショルド値と等しく、前記最大ディスターブカウント値よりも大きな場合、

前記ディスターブカウント値によって前記残りのメモリセルのうちの1つに対する前記非正規リフレッシュ動作を優先処理するようにスケジューリングする段階と、

前記ディスターブカウント値を前記最大ディスターブカウント値にアップデートする段階と、

前記残りのメモリセルのうちの1つに対する非正規リフレッシュフラグをアップデートする段階と、

を含む請求項22に記載のメモリ装置の動作方法。

【請求項25】

前記ディスターブカウント値をリセットする段階は、

前記スケジューリングによって、前記非正規リフレッシュフラグが活性化されれば、前記残りのメモリセルのそれぞれに対する前記リフレッシュ動作を行う段階と、

前記最大ディスターブカウント値及び前記残りのメモリセルのそれぞれのディスターブカウント値をリセットした後、前記残りのメモリセルのそれぞれに対する前記非正規リフレッシュフラグを非活性化する段階と、

を含む請求項24に記載のメモリ装置の動作方法。

【請求項26】

第1メモリセルと1つ以上の第2メモリセルとを含む複数のメモリセルを含むメモリ装置の動作方法において、

前記1つ以上の第2メモリセルのワードラインに隣接した前記第1メモリセルに関連するディスターブ(d i s t u r b)数を算出する段階であって、前記ディスターブ数は、前記1つ以上の第2メモリセルのアクセスによる前記第1メモリセルのディスターブ値を表す段階と、

前記1つ以上の第2メモリセルがアクセスされる度に、前記第1メモリセルに関連する前記ディスターブ数をディスターブカウント値に加えることによって、前記第1メモリセルの前記ディスターブカウント値をアップデートする段階と、

前記ディスターブカウント値が、既定のスレッショルド値または最大ディスターブカウント値を超過した場合、非正規リフレッシュ動作を介して前記第1メモリセルをリフレッシュが必要であるとしてフラグ付けする段階と、

前記非正規リフレッシュ動作及び前記複数のメモリセルに対する非正規リフレッシュ動作を行うように、リフレッシュスケジュールを調整する段階であって、前記第1メモリセルがフラグ付けされている場合、前記リフレッシュスケジュールが、前記第1メモリセル及び前記1つ以上の第2メモリセルに対する前記正規リフレッシュ動作を行う前に、前記非正規リフレッシュ動作が前記第1メモリセルに対して行われることを示すように調整する段階と、

を含むメモリ装置の動作方法。

【請求項27】

前記第1メモリセルに関連する前記ディスターブ数は、前記1つ以上の第2メモリセルの累積アクセス時間を単位時間で割った値である請求項26に記載のメモリ装置の動作方法。

【請求項28】

前記フラグ付けする段階は、

前記ディスターブカウント値が、前記最大ディスターブカウント値を超過した場合、前記第1メモリセルをリフレッシュが必要なセルとしてフラグ付けする段階と、

前記最大ディスターブカウント値を前記第1メモリセルの前記ディスターブカウント値にアップデートする段階と、

をさらに含む請求項26に記載のメモリ装置の動作方法。

【請求項29】

前記第1メモリセルがフラグ付けされた場合、前記第1メモリセルに対する前記非正規リフレッシュ動作を行う段階と、

前記第1メモリセルに対する前記非正規リフレッシュ動作を行った後、前記第1メモリセルの前記ディスターブカウント値をリセットする段階と、

前記最大ディスターブカウント値が、前記第1メモリセルの前記ディスターブカウント値にアップデートされた場合、前記第1メモリセルに対する非正規リフレッシュ動作を行った後、前記最大ディスターブカウント値をリセットする段階と、

を含む請求項28に記載のメモリ装置の動作方法。