

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月3日(03.10.2024)



(10) 国際公開番号

WO 2024/201807 A1

- (51) 国際特許分類:
G02B 6/42 (2006.01) *G02B 6/122* (2006.01)
- (21) 国際出願番号: PCT/JP2023/012876
- (22) 国際出願日: 2023年3月29日(29.03.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 日本電信電話株式会社 (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) [JP/JP]; 〒1008116 東京都千代田区大手町一丁目5番1号 Tokyo (JP).
- (72) 発明者: 倉田 優生(KURATA Yu); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP). 川村 百合子

(KAWAMURA Yuriko); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP). 柳原 藍(YANAGIHARA Ai); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP).

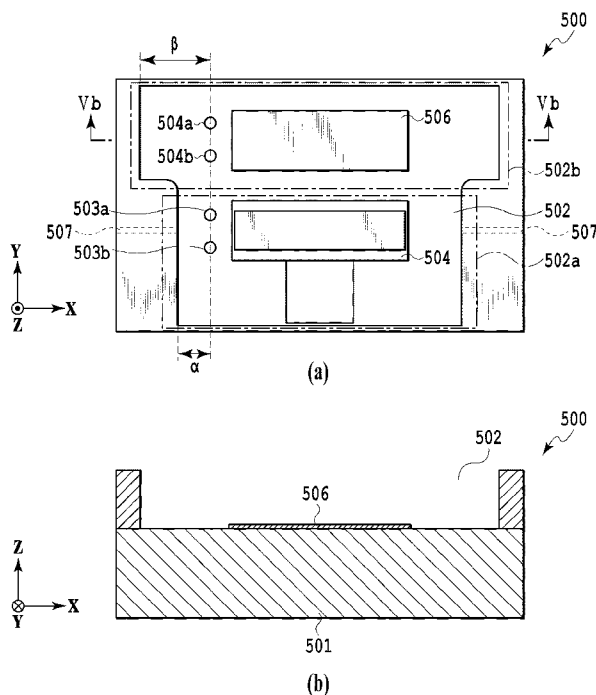
(74) 代理人: 弁理士法人谷・阿部特許事務所 (TANI & ABE, P.C.); 〒1070052 東京都港区赤坂2丁目6番20号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,

(54) Title: OPTICAL CIRCUIT ELEMENT

(54) 発明の名称: 光回路素子

[図5]



(57) Abstract: Provided is an optical circuit element (500) whereby convenient integration can be achieved without collision between the optical circuit element (500) and an optical semiconductor element when the optical semiconductor element is mounted on the optical circuit element (500). An optical circuit element (500) according to the present disclosure comprises: a substrate (501); a waveguide (507) on the substrate (501); and a mounting groove (502) for mounting of an optical semiconductor element on the substrate (501), the mounting groove (502) having an optical semiconductor

KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

element mounting region (502a) and a pre-alignment region (502b) communicating with the optical semiconductor element mounting region (502a), the optical semiconductor element mounting region (502a) including, on at least one side surface thereof, an end surface of the waveguide (507) and alignment marks (503a, 503b) on the substrate (501), the pre-alignment region (502b) including pre-alignment marks (505a, 505b) on the substrate (501), the pre-alignment marks (505a, 505b) corresponding to the alignment marks (503a, 503b), and the interval between the edge of the mounting groove (502) in the pre-alignment region (502b) and the pre-alignment marks (505a, 505b) being greater than the interval between the edge of the mounting groove (502) in the optical semiconductor element mounting region (502a) and the alignment marks (503a, 503b).

(57) 要約: 光回路素子 (500) 上へ光半導体素子を搭載する際に、互いを衝突させることなく、簡便な集積を実現することが可能な光回路素子 (500) を提供する。本開示による光回路素子 (500) は、基板 (501) と、基板 (501) 上の導波路 (507) と、基板 (501) 上の光半導体素子を搭載するための搭載溝 (502) であって、光半導体素子搭載領域 (502a)、及び光半導体素子搭載領域 (502a) と連通するプリアライメント領域 (502b) を有する搭載溝 (502) とを備え、光半導体素子搭載領域 (502a) は、少なくとも一方の側面に導波路 (507) の端面と、基板上 (501) のアライメントマーク (503a, 503b) と、を含み、プリアライメント領域 (502b) は、基板 (501) 上のプリアライメントマーク (505a, 505b) であって、アライメントマーク (503a, 503b) と対応するプリアライメントマーク (505a, 505b) を含み、プリアライメント領域 (502b) における搭載溝 (502) の縁とプリアライメントマーク (505a, 505b) との間隔は、光半導体素子搭載領域 (502a) における搭載溝 (502) の縁とアライメントマーク (503a, 503b) との間隔よりも大きい。

明 細 書

発明の名称：光回路素子

技術分野

[0001] 本開示は、光回路素子に関し、より詳細には、光半導体素子を実装するための搭載溝を有する光回路素子に関する。

背景技術

[0002] 近年、光ファイバ伝送の普及に伴い、多数の光回路を高密度に集積する技術が求められており、その集積技術の例として、石英系の平面光波回路（以下、Planar Lightwave CIRCUIT：以下、PLCという）やシリコンフォトニクスによる光回路（以下、SiPという）が挙げられる。PLCは低損失、高信頼性、高い設計自由度等の優れた特徴を有する導波路型光デバイスであり、実際に光通信伝送端における伝送装置には、合分波器、分岐・結合器等の機能を集積したPLCが搭載されている。一方、SiPは低損失性ではPLCに及ばないものの、高い設計自由度を有することから、さらに小型の光回路を実現することが可能な光デバイスである。また、伝送装置内にはPLCやSiP以外の光デバイスとして、光と電気の信号を変換するフォトダイオード（以下、PDという）、レーザーダイオード（以下、LDという）、光変調器などの光機能素子も搭載され得る。

[0003] 光通信の分野においては、さらなる通信容量の拡大に向け、光信号処理を行うPLC等の光導波路と、インジウムリン（InP）系の材料により構成された高速な光電変換を行うPD等の光デバイスを集積した高機能な光電子集積型光デバイスが求められている。このような集積型光デバイスのプラットフォームとしてPLCやSiPは有望であり、InP光変調器チップとPLCチップをハイブリッドに集積した集積型光デバイスが、既に提案されている（例えば、非特許文献1参照）。このような形態の集積型光デバイスでは、位相変調器をInPチップ上、偏波ローテータと偏波ビームコンバイナをPLC上に集積し、レンズを介して両チップを光結合する方法が採用され

ている。

[0004] また、PLCを偏波合波器（以下、偏波Muxという）チップとして用いる方法は、従来の偏波合成を空間光学系で構築する方法と比較して、実装面積が小さく、光回路に集積されることで光軸合わせを簡略化することが可能である。このようなPLCとInP等の光回路素子を組み合わせて光結合する形態は、デバイスの小型化、及び光回路の設計自由度の面で利点があり、通信容量の拡大に向けて、InP系材料による広帯域化に適した導波路構造を有するPDや、高速な位相変調機能を有する光位相変調器等を含む集積型光デバイスが開発されている。さらに、近年では、デバイスの更なる小型化に向け、レンズを介すことなく光回路素子同士を直接接続した集積型光デバイスが求められている。

[0005] 図1は、位相変調器チップ101と偏波Muxチップ102を突き合わせて直接接続した集積型光デバイス100の構造を概念的に示す図である。ここでは、位相変調器チップ101はInP光位相変調器チップであり、偏波Muxチップ102はPLCである。集積型光デバイス100のように、PLCとInP系の光機能素子のそれぞれの入出力導波路を突き合わせて直接接続する場合、一方の光素子に光入力して接続面を経由した光の強度をモニタしながら各々の導波路同士を調心した上で、固定する必要がある（例えば、光ファイバとPLCの突合せ接続では、光ファイバを固定したガラス製ファイバブロックの端面とPLC端面とを平行に調整した後、光ファイバに光入力しながら光ファイバからの光出力位置をPLCの入力導波路に合わせ、その入力導波路と接続される出力導波路からの出力をモニタしながら最適な光結合が得られるように位置調整することで調心され、その後、UV硬化接着剤を充填し、UVを照射することにより短時間で接着剤を硬化させることによって光ファイバは接着固定される）。このような突合せ結合方法を用いて、PLCの光回路をプラットフォームとしたSiまたはInP系の光機能素子の集積、或いはSiPを光回路プラットフォームとしたInP系の光機能素子との集積が実現できれば、より小型な集積型光デバイスを提供するこ

とが可能になる。

[0006] しかしながら、PLCとInP系の光機能素子、或いはSiPとInP系の光機能素子のような異種材料同士の組み合わせでは、導波路に用いられる材料の違いにより、導波路の屈折率や形状が各々で異なる。このため、伝搬光のモードフィールドが大きく異なる導波路同士を接続することとなり、それに伴って大きな結合損失が発生する。

[0007] このようなモードフィールドのミスマッチによる結合損失を解消する方法として、例えば、入出力導波路部へスポットサイズコンバータを導入し、モードフィールド形状を近づけることが挙げられる。しかしながら、このような方法では、ある程度まで損失低減を図ることは可能だが、材料や構造が異なる導波路同士で完全にモードフィールド形状を合わせることは困難である。そこで、半導体光増幅器（Semiconductor Optical Amplifier：以下、SOAという）チップを光回路素子上に実装し、伝搬する信号光強度を増幅する機能を集積した光増幅光回路チップが検討されている。

[0008] 図2は、位相変調器チップ101とSOA搭載偏波Muxチップ201とを突き合わせて直接結合した集積型光デバイス200の構造を概念的に示す図である。集積型光デバイス200は、図1に示される集積型光デバイス100において、偏波Muxチップ102が光増幅のためのSOA202a、bをさらに含んだ構造を有する。このような形態の集積型光デバイス200では、上記の異なる素子同士の端面接続で発生する結合損失がSOA202a、bによる光増幅で補償される。さらに、デバイスそのものの出力も増加させることができるため、端面接続による小型化と光学特性向上を両立することができる。また、SOA202a、bを光回路素子上に直接実装すれば、集積型光デバイスのサイズを大きくすることなく、光増幅機能を集積することもできる。

[0009] このようなSOAチップを光回路素子上に実装する上で必要になるのが、SOAチップと光回路素子との間で導波路同士を調心し、固定すること、S

OAを電流駆動させるための電極を接続すること、並びに、光回路素子上へSOAチップをフリップチップ実装すること、の3点である。これらの事項は、光回路素子上に、SOAチップを搭載して導波路間高さを調整する搭載溝を設けること、SOAチップを駆動させるために当該搭載溝の底面で電極同士をはんだ付けすること、SOAチップの位置合わせをするために溝底面にアライメントマークを設け、アライメントマークを基準にSOAチップをフリップチップ実装すること、により実現される。

[0010] 図3は、実装前における光回路素子301及びSOAチップ302の各々の構造を概念的に示した図であり、(a)は実装前の光回路素子301の上面図を、(b)は実装前のSOAチップ302の上面図を、(c)はIIIc-II Ic断面線における断面図を、(d)はIIId-IIId断面線における断面図を、それぞれ示している。光回路素子301は、基板3011上に形成された導波路3012と、SOAチップ302を搭載するための搭載溝3013とを含む。さらに導波路3012は、アンダークラッド3012aと、コア3012bと、オーバークラッド3012cとを含み、搭載溝3013の内側には、基板3011上に形成された電極3015及びパッド3016と、電極3015上に配置されたはんだ3017と、SOAチップ302のアライメントのためのアライメントマーク3018a、bとが配置されている。一方、SOAチップ302は、基板3021上に形成され、コア3022a及びクラッド3022bを含む導波路3022と、クラッド3022b上に形成された表面電極3023と、表面電極3023上に形成されたアライメントマーク3024a、bとを含む。光回路素子301にSOA302をフリップチップ実装により搭載させる際は、アライメントマーク3018a、bとアライメントマーク3024a、bを基準に、SOA302のアライメント（位置合わせ）が行われる。そして、光回路素子301の導波路3012とSOAチップ302の導波路3022が調心された上で、光回路素子301の電極3015とSOAチップ302の表面電極3023とが、はんだ3017を介して電氣的に接続される。

[0011] 一般に、SOAやLDといった光半導体素子と光回路素子を低損失に光接続するためには、導波路間距離 $3\mu\text{m}$ 以下、軸ずれ $1\mu\text{m}$ 以下の精度でのアライメントが求められる。そのため、SOAと光入出力するための光回路素子上の搭載溝の端面と、SOAの入出力端面の距離は、非常に狭く $3\mu\text{m}$ 以下となる。したがって、フリップチップ実装において、搭載溝とSOAの衝突を防ぐためには、ある程度位置合わせがされた状態でSOAを搭載溝へ移動させる必要がある。

[0012] 一方で、光半導体素子、特にLDやSOAは化合物半導体が主であるため、脆性が高く、破損しやすいという特徴がある。この光半導体素子の破損は、デバイス製造の歩留まりを低下させる要因となり得、結果として、コストの増加や実装効率の低下を引き起こし得る。そのため、SOAを搭載する際には、最初からSOAを搭載溝の内側に移動してアライメントするのではなく、搭載溝とSOAを離れた状態で、赤外透過によりそれぞれのアライメントマークをデフォーカス位置で確認する粗アライメントという手順が含まれ得る。代替的に、粗アライメントは、各アライメントマークを上下カメラで確認することでも行われ得る。この粗アライメントの後、両アライメントマークを赤外透過により確認しながら細アライメントすることで精密にアライメントが行われる。

[0013] しかしながら、上記の粗アライメントではデフォーカス位置や、上下カメラのため離れた位置でのアライメントマーク確認となるため、精度の高いアライメントが難しく、図4(a)に示されるように、アライメントマークの位置ずれやSOAの回転が生じ得る。そして、このような位置・回転ずれが発生すると、図4(b)に示されるように、SOA降下時にSOAと光回路素子が衝突し得る。このような要因により、従来では、SOAを光回路素子への実装において、歩留まりが低下しており、コスト低減や実装効率向上の妨げになっていた。

[0014] このようにPLCやSiP等の光回路素子をプラットフォームとして、SOAチップなどの光半導体素子を搭載するハイブリッド集積において、簡便

かつ歩留まり良く光半導体素子を搭載可能な光導波路部品の実現に課題があった。

先行技術文献

非特許文献

- [0015] 非特許文献1: E. Yamada et al., "112-Gb/s InP DP-QPSK modulator integrated with a silica-PLC polarization multiplexing circuit", Proc. Opt. Fiber Commun. Conf. Expo. Nat. Fiber Opt. Eng. Conf., (2012).

発明の概要

- [0016] 本開示は、上記のような課題に対して鑑みてなされたものであり、その目的とするところは、光回路素子上への光半導体素子のハイブリッド集積において、光回路素子上へ光半導体素子を搭載する際に、互いを衝突させることなく、簡便な集積を実現することが可能な光回路素子を提供することにある。

- [0017] 上記のような課題に対し、本開示では、光回路素子であって、基板と、基板上の導波路と、基板上の光半導体素子を搭載するための搭載溝であって、光半導体素子搭載領域、及び光半導体素子搭載領域と連通するプリアライメント領域を有する搭載溝とを備え、光半導体素子搭載領域は、少なくとも一方の側面に導波路の端面と、基板上のアライメントマークと、を含み、プリアライメント領域は、基板上のプリアライメントマークであって、アライメントマークと対応するプリアライメントマークを含み、プリアライメント領域における搭載溝の縁とプリアライメントマークとの間隔は、光半導体素子搭載領域における搭載溝の縁とアライメントマークとの間隔よりも大きい、光回路素子を提供する。

図面の簡単な説明

- [0018] [図1]位相変調器チップ101と偏波Muxチップ102を突き合わせて直接接続した集積型光デバイス100の構造を概念的に示す図である。

[図2]位相変調器チップ101とSOA搭載偏波Muxチップ201とを突き

合わせて直接結合した集積型光デバイス200の構造を概念的に示す図である。

[図3]実装前における光回路素子301及びSOAチップ302の各々の構造を概念的に示した図であり、(a)は実装前の光回路素子301の上面図を、(b)は実装前のSOAチップ302の上面図を、(c)はIIIc-IIIc断面線における断面図を、(d)はIIId-IIId断面線における断面図を、それぞれ示している。

[図4]従来技術によるフリップチップ実装の際における歩留まり低下の要因を概念的に示す図であり、(a)は位置ずれ及び回転を、(b)は衝突を、それぞれ説明する図である。

[図5]本開示による光回路素子500の構造を概念的に示す図であり、(a)は上面図を、(b)はVb-Vb断面線における断面図を、それぞれ示している。

[図6]本開示による光回路素子601にSOA602を搭載した集積型光デバイス600の構造を概念的に示す上面図である。

[図7]実施例1による、光回路素子601へのSOA602の搭載方法700を示すフローチャートである。

[図8]従来技術によるSOA搭載SiPhである集積型光デバイス800の構造を概念的に示す上面図である。

[図9]本開示による光回路素子901に光半導体素子としてLD902を搭載させた集積型光デバイス900の構造を概念的に示す上面図である。

発明を実施するための形態

[0019] 以下に、図面を参照しながら本開示の種々の実施形態について詳細に説明する。同一又は類似の参照符号は同一又は類似の要素を示し重複する説明を省略する場合がある。材料及び数値は例示を目的としており本開示の技術的範囲の限定を意図していない。以下の説明は、一例であって本開示の一実施形態の要旨を逸脱しない限り、一部の構成を省略若しくは変形し、又は追加の構成とともに実施することができる。

[0020] 図5は、本開示による光回路素子500の構造を概念的に示す図であり、

(a) は上面図を、(b) はVb-Vb断面線における断面図を、それぞれ示している。本開示による光回路素子500は、基板501上に搭載溝502を含み、搭載溝502は、導波路507を分断する位置に設けられる光半導体素子搭載領域502aと、光半導体素子搭載領域502aと連通するプリアライメント領域502bと、を含む。また、光半導体素子搭載領域502aは、基板501上にアライメントマーク503a、bと、電極504と、を含み、プリアライメント領域502bは、基板501上にプリアライメントマーク505a、bと、ダミー電極506と、を含む。さらに、プリアライメント領域502bにおける搭載溝502の縁とプリアライメントマーク504a、bとの間隔 β は、光半導体素子搭載領域502aにおける搭載溝502の縁とアライメントマーク503a、bとの間隔 α よりも大きくなるように構成される。

[0021] また、プリアライメント領域502bに配置されるプリアライメントマーク505a、bとダミー電極506のは、光半導体素子搭載領域502aに配置されるアライメントマーク503a、bと電極504と対応するように配置される。例えば、図5に示されるように、プリアライメントマーク505a、bとダミー電極506は、アライメントマーク503a、bと電極504の位置関係を、そのまま光回路素子の幅方向（図5におけるY方向）に平行移動した位置に配置され得る。

[0022] 尚、図5では、搭載溝502の光半導体素子搭載領域502aは、導波路507を分断するように配置される形態として描写されている、換言すれば、光半導体素子搭載領域502aに対応する搭載溝502の両端面に導波路507の端面が含まれるような形態が示されているが、これは例示を目的としており、導波路507の端面は光半導体素子搭載領域502aに対応する搭載溝502の一方のみに含まれる形態であってもよい。例えば、光半導体素子搭載領域502aに搭載される光半導体素子が、光を出力しない素子である場合、光回路素子500は、このような形態となり得る。

[0023] このような光回路素子500において、プリアライメント領域502b内

で、光半導体素子を用いてアライメントすれば、当該プリアライメント領域502b内で、細アライメントまで行うことが可能となる。上述の通り、プリアライメント領域502bは、光半導体素子搭載領域502aよりもクリアランスが大きくなるように構成されているため、従来技術に比べて光半導体素子の搭載時における衝突の可能性が低減される。

[0024] その後、光半導体素子を電極504に接触しない程度に上昇させ、光半導体素子搭載領域502aへ移動（図5に示される形態では、Y方向に平行移動）させた後、再度アライメントを行うことにより、光半導体素子を光回路素子500に衝突させることなく、且つ従来よりも精密にアライメントして搭載することが可能となる。

[0025] 以上説明したように、本開示による光回路素子500は、光半導体素子搭載領域502aに隣接する位置にプリアライメント領域502bを含む。このプリアライメント領域502bで、光半導体組織を光半導体素子搭載領域502aへ移動させる前に、細アライメントまで行うことができるという点が最大の特徴である。また、光回路素子500は、プリアライメント領域502bのサイズが光半導体素子より十分大きいことで、粗アライメント時にわずかな位置・回転ずれがあったとしても、光半導体素子を光回路素子500に衝突させることなくプリアライメント領域502bに降下させることができる。また、プリアライメント領域502bで予め細アライメントを行うことで、フォーカス位置で両アライメントマークを確認しながら細アライメントすることができるため、光半導体素子をプリアライメント領域502bから光半導体素子搭載領域502aへ移動させる際においても、搭載溝502の側面に光半導体素子が衝突することを避けることができる。さらに光半導体素子搭載領域502aにおけるアライメント時の位置・回転ずれ修正も最小限に抑え、修正の微動時における溝への衝突による更なる位置ずれを避けることができ、精度よく最小限の修正微動でアライメントを行うことができるようになる。結果として、光回路素子500への光半導体素子のフリップチップ集積を簡便かつ歩留まりよく実現することが可能となる。

[0026] 一般に、PLCはSiやSiO₂の基板上に、SiO₂の薄膜が、アンダークラッドとして約20μm、コアとして3~10μm、オーバークラッドとして約20μm堆積されている。また、Siフォトリソ（以下、SiPhという）の光回路素子では、Si基板上に、アンダークラッドとしてSiO₂層をなすSiO₂が数μm、コアとしてSiが数百nm、オーバークラッドとして、SiO₂が数μm堆積されている。また、InPを基板とするSOAやLD等の光機能素子では、InP基板をアンダークラッドとし、コアとして化合物半導体が数百nm、オーバークラッドとしてInPやパッシベーションとしてSiNあるいはSiO₂が堆積されており、表面や裏面に電極となる金属パターンが設けられている。

[0027] 基板501上、且つ搭載溝502の端面領域に形成された導波路507は、光信号の入出力を行う入出力導波路であり、搭載溝502の端面において、搭載される光半導体素子の導波路とモードフィールドをもって光結合される。当該光半導体素子の搭載は、光回路素子500における搭載溝502の内部に光半導体素子を固定することで行われる。搭載溝502の端面に設けられた光回路素子500側の導波路507と、光半導体素子側の導波路を介して光信号を入出力し、光半導体素子を動作させる。したがって、搭載溝502の深さ（Z方向の長さ）は、光回路素子500と光半導体素子の導波路高さを一致させるという観点から、少なくとも光回路素子500の導波路507のコアより深く構成される必要がある。尚、光半導体素子の表面電極との導通と搭載溝502への固定には、AuSn等のはんだや導電性接着剤が用いられ得る。

[0028] 搭載溝502内に配置される電極504は、光半導体素子を搭載すると隠れてしまうため、電極504と配線（図示せず）を容易に電氣的に接続するためのパッドが基板501上にさらに設けられてもよい。

[0029] また、仮に設計より長くなっている光半導体素子をプリアライメント領域502bから光半導体素子搭載領域502aへ移動させたとしても、当該光半導体素子が搭載溝502の側壁面に接触して破壊されるリスクを低減する

ことを考慮し、プリアライメント領域と搭載領域との境界に形成される角部は、図5に示される通り、曲率を有してもよい。また、代替的に、当該角部はテーパ形状を有してもよい。

[0030] プリアライメントマーク505a、bは、光半導体素子をプリアライメント領域で細アライメントしたのち、光半導体素子搭載領域502aへ短い距離で移動でき、且つアライメント時の隣のアライメントマークを誤認識しないような位置に配置されることが望ましい。このような観点から、プリアライメントマーク505a、bは、光半導体素子搭載領域502aのアライメントマーク503a、bから光半導体素子短辺長さの2～3倍程度までの位置に設けることが望ましい。

[0031] 一方、ダミー電極506は、光半導体素子搭載領域502aのアライメントマーク503a、bへ光半導体素子のアライメントマークを合わせた際のフォーカス位置と同等になるよう、電極594と同程度の厚みで、同様の電極形状を有することが望ましい。また、ダミー電極506は、光半導体素子の表面と導通する上述のパッドを兼ねるように、電極504と接続されてもよい。

[0032] 以下に、図面を参照しながら本開示による光回路素子の実施例について、詳細に説明する。

[0033] (実施例1)

以下に、本開示による光回路素子をプラットフォームとした集積型光デバイスの一例として、SOAを搭載したSiPhの形態に関する説明を述べる。ここでは例として、1ch分の入出力とSOA搭載のための搭載溝を有するSiPhチップを用い、プリアライメント領域の有無によりSOAの搭載において、衝突によるSOA破損や接触による位置ずれで生じるSOA搭載の可否を評価した結果まで述べる。

[0034] 図6は、本開示による光回路素子601にSOA602を搭載した集積型光デバイス600の構造を概念的に示す上面図である。ここでは、光回路素子601はSiPであり、集積型光デバイス600は、SiPをプラットフ

ォームとするS i P hである。光回路素子601は、厚さ（図6におけるZ方向の長さ）0.625mmのS i 基板上に形成された長手方向長さ（図6におけるX方向の長さ）2.0mm、幅（図6におけるY方向の長さ）5.0mm、厚さ、0 μ mのS i O₂アンダークラッドと、厚さ0.22 μ m、幅0.5 μ mのS i コアと、厚さ1.5 μ mのS i O₂オーバークラッドと、を含み、SOA602が搭載されるための搭載溝603、をさらに含む。搭載溝603は、上述した図5における搭載溝502と同じ構成を有する。

[0035] このような構成を有する集積型光デバイス600には、入力端から出力端に至るまでにS字型の構造を有する導波路604が設けられている。また、搭載溝603の深さは6 μ mであり、底面にはアライメントマークと、電極と、パッドが金属パターンで形成されており、SOA602の電極と接続するためのはんだ（AuSn）が電極上にさらに設けられている。

[0036] SOA602は、長手方向長さ0.4mm、幅1.5mm、厚さ0.2mmであり、搭載溝607の底面の電極とSOAの表面電極がはんだ（AuSn）により接続されることにより、フリップチップ実装されている。

[0037] このとき、搭載溝603の端面における導波路604の高さは、SOA602の導波路と光結合する位置に調整されている。搭載溝603の光半導体素子搭載領域のサイズは、SOA602の幅及び長手方向長さの各々の長さに片面のギャップ3 μ mを加味した長手方向長さ1.506mm、幅0.8mmとした。一方、搭載溝603のプリアライメント領域は、光半導体素子搭載領域の一回り大きいサイズとし、長手方向長さ1.7mm、幅0.5mmとした。また、当該プリアライメント領域の底面（基板上）にはプリアライメントマークとダミー電極が設けられている。プリアライメントマークは光半導体素子搭載領域に配置されるアライメントマークの幅方向（図6のY方向）に0.425mm平行移動した位置に設けられており、プリアライメント領域でSOA602チップを細アライメントまでした後、幅方向に平行移動させることで、光半導体素子搭載領域のアライメントマークに一致させるように構成されている。また、当該平行移動の距離をSOAの幅の1～2

倍とすることで、プリアライメント領域のアライメントマークと搭載領域のアライメントマークとの誤認識を抑制しつつ、移動距離を短くすることができるように構成されている。また、光半導体素子搭載領域とプリアライメント領域の境界における角部は曲率半径 $50\ \mu\text{m}$ で仕上げられている。

[0038] 図7は、実施例1による、光回路素子601へのSOA602の搭載方法700を示すフローチャートである。SOA602のフリップチップ実装におけるプリアライメント領域でのアライメントは、粗アライメントと細アライメントとを含む。粗アライメントは、光回路素子601の裏面から赤外カメラで透過して、光回路素子601のプリアライメント領域内に配置されるプリアライメントマークの位置を確認すること(S701)と、表面電極を光回路素子601のプリアライメント領域の底面側に反転させたSOA602をプリアライメント領域内に搬送し、当該赤外カメラのフォーカス位置をSOA602に形成されたアライメントマークに合わせ、プリアライメント領域内に配置されるプリアライメントマークの位置に一致するようにSOA602を粗アライメントすること(S702)と、を含む。一方、細アライメントは、SOA602をプリアライメント領域の底面にタッチダウンした後、当該底面から数 μm 離して、再び赤外カメラで両チップのマーク位置を確認することで同じフォーカス位置で精密アライメントすること(S703)を含む。その後、SOA602は、光半導体素子搭載領域へ移動される。この際、光回路素子601が座標軸に対して斜めになっていた場合を考慮して、光半導体素子搭載領域のアライメントマーク位置を確認し、SOA602のアライメントマーク位置との相対位置を算出すること(S704)が含まれてもよい。このような手順とすることで、SOA602を衝突させることなく光半導体素子搭載領域へ搬送することができる。その後、最終的なアライメントが光半導体素子搭載領域で行われる。最終的なアライメントは、光半導体素子搭載領域内に設置されるアライメントマークとSOA602に配置されるアライメントマーク位置を確認して位置合わせし、SOA602をタッチダウンして位置ずれ量が規定の範囲内(例えば、 $1\ \mu\text{m}$ 以内)とな

るまで再び数 μm リフトアップしてアライメントを再試行すること（S705）を含む。最後に接続（S706）が実行される。接続は、例えば、光回路素子601の電極とSOA602との間に挿入されたはんだを融点以上（AuSnの場合、350℃）に加熱することで行われる。

[0039] 以上の手順により、SOA602のフリップチップ実装が完了し、光回路素子601の導波路608の入力端から入力された光信号が、電流駆動したSOA602に光結合、光増幅され、再び光回路素子601の導波路604に光結合し、増幅された光信号を出力導波路から取り出すことが可能となる。

[0040] 図8は、従来技術によるSOA搭載SiPhである集積型光デバイス800の構造を概念的に示す上面図である。上述した集積型光デバイス600と同様に集積型光デバイス800を用いてSOAチップを集積し、衝突の有無を比較評価した。図8に示される通り、従来技術による集積型光デバイス800は、プリアライメント領域を有さないSiPの光回路素子801へSOA602をフリップチップ実装することによって製造される。光回路素子801へのSOA602のフリップチップ実装は、粗アライメントとして、光回路素子801の裏面から赤外カメラで透過して光回路素子801に配置されるアライメントマーク位置を確認し、表面を光回路素子801の電極側に反転させたSOA602を搭載溝に搬送することと、フォーカス位置をSOA602上のアライメントマークに移動してマーク位置を確認して一致するようにSOA602を位置合わせすることと、を含む。次いで、光回路素子801へのSOA602のフリップチップ実装では、細アライメント工程として、SOA602を搭載溝の底面にタッチダウンし、光回路素子801に配置されたアライメントマークとSOA602に配置されたアライメントマークの各々位置を確認することと、位置ずれ量が規定の範囲内（例えば、1 μm 以内）となるまで数 μm リフトアップして精密アライメントすることと、を含む。その後、接続が行われる。接続は、上述したAuSnのはんだ付けにより行われ得る。

[0041] 本開示による光回路素子601と、従来技術による光回路素子801をそれぞれ20チップに対して、SOA602をフリップチップ集積し、SOA602をタッチダウンする際の衝突の有無と、衝突時の破損有無によるチップ再利用の可否を確認した。光回路素子601では20チップ中20チップで衝突無くSOA602を集積できたのに対し、光回路素子801では20チップ中8チップで衝突が発生し、衝突した8チップ中4チップはSOA602が破損し、再利用できない状態となった。この結果から、従来技術による光回路素子801に比べ、本開示による光回路素子601は、簡便な構造で安定的に集積することが可能であることが確認された。

[0042] (実施例2)

以下に、本開示による光回路素子をプラットフォームとした集積型光デバイスの別の例として、LDをPLCに集積したことによる、多波長光源PLCチップの形態に関する説明を述べる。ここでは例として、1ch分の入出力とプリアライメント領域を有する搭載溝を含んだPLCチップを用い、LD搭載の可否を評価した結果まで述べる。

[0043] 図9は、本開示による光回路素子901に光半導体素子としてLD902を搭載させた集積型光デバイス900の構造を概念的に示す上面図である。ここでは、光回路素子901は石英系PLCであり、上述した搭載溝502と同様に、光半導体素子搭載領域とプリアライメント領域を有する搭載溝903を含む。

[0044] プラットフォームである光回路素子901は、幅5mm、長手方向長さ10mm、コア径4.5 μ m、コア上面からみたオーバークラッドの厚さ15.5 μ m、コア下面のアンダークラッドの厚さ10 μ m、コアとクラッドの屈折率差2.0%の導波路が、板厚1mmのSi基板上に形成された石英系PLCである。一方、LD902は、幅0.25mm、長手方向長さ1.0mm、厚さ0.2mmで、InP基板をアンダークラッドとし、幅2.0 μ m、厚さ0.3 μ mの化合物半導体をコアとし、厚さ2.0 μ mのInPがオーバークラッドとして堆積されている。集積型光デバイス900では、LD

902で生じる光パワーのほとんどは、導波路の出力端から出力されるが、一部をモニタ出力導波路から出力するように構成することで、モニタ出力の光強度を測定により、メインの出力光強度を推定することも可能である。

[0045] 搭載溝903の深さは21 μm であり、搭載溝903の底面にはアライメントマークと、電極とパッドが金属パターンで配置されている。光回路素子901とLD902の各々の電極は、はんだ付けにより接続され、当該はんだにはAuSnが用いられる。また、搭載溝903の端面における光回路素子901の導波路は、LD902の導波路と光結合する位置となるように高さ調整されている。

[0046] 光回路素子901のプリアライメント領域には、ダミー電極が配置される。ダミー電極は、光半導体素子搭載領域に配置される電極と電氣的に接続されており、LD902を光半導体素子搭載領域に搭載した後にパッドとして機能するように構成されている。このような構成とすることにより、搭載溝903のサイズを小型化する効果が得られる。

[0047] 搭載溝903における光半導体素子搭載領域のサイズは、LD902のサイズに片面のギャップ3 μm を加味し、長手方向長さ1.006 mm、幅0.3 mmとしている。一方、プリアライメント領域のサイズは、光半導体素子搭載領域のサイズより一回り大きく設定されており、長手方向長さ1.2 mm、幅0.35 mmとしている。実施例1と同様に、プリアライメント領域は、底面にプリアライメントマークを含む。当該プリアライメントマークは、光半導体素子搭載領域のアライメントマークから幅方向に0.3 mm離れた位置に設けられており、プリアライメントマークを用いてLD902を粗アライメント及び細アライメントした後、LD902を幅方向に平行移動させることで、光半導体素子搭載領域のアライメントマークに一致するような位置関係となっている。また、この平行移動の距離をLD902の幅の1～2倍とすることで、プリアライメント領域のアライメントマークと搭載領域のアライメントマークとの誤認識を抑制しつつ、移動距離短くすることができる。

- [0048] LD902のプリアライメント領域へのフリップチップ実装は、実施例1と同様に、粗アライメントと細かいアライメントを含む。粗アライメントは、光回路素子901の裏面から赤外カメラで透過して光回路素子901上のプリアライメントマーク位置を確認することと、表面電極を光回路素子901側に向けて反転させたLD902をプリアライメント領域に搬送し、フォーカス位置をLD902上のアライメントマークに移動してLD902を位置合わせすることと、を含む。一方、細アライメントは、LD902をプリアライメント領域の底面にタッチダウンした後、底面から数 μm 離して、再び赤外カメラでプリアライメント領域のプリアライメントマークとLD902に配置されたアライメントマークの位置を確認することで、同じフォーカス位置で精密アライメントすることを含む。次いで、LD902は、光半導体素子搭載領域へ平行移動される。当該移動では、LD902が座標軸に対して斜めになっていた場合を考慮して、光半導体素子搭載領域のアライメントマーク位置を確認し、LD902のアライメントマーク位置との相対位置を算出することが含まれてもよい。このような手順とすることで、LD902を衝突させることなく、光半導体素子搭載領域へ搬送することができる。その後、最終的なアライメントが行われる。最終的なアライメントは、光回路素子901のアライメントマークとLD902のアライメントマークの各々の位置を確認して位置合わせし、LD902をタッチダウンして位置ずれ量が規定の範囲内（例えば、 $1\mu\text{m}$ 以内）となるまで再び数 μm リフトアップしてアライメントを再試行する。最後に接続が実行される。接続は、例えば、光回路素子601の電極とSOA602との間に挿入されたはんだを融点以上（AuSnの場合、 350°C ）に加熱することで行われる。
- [0049] 以上の手順により、LD902のフリップチップ実装が完了し、LD902を電流駆動することでモニタ光を出力される光強度を確認しながらLD902から出力された光を出力導波路から取り出すことが可能となる。
- [0050] 実際に本開示による光回路素子901の20チップに対して、LD902をフリップチップ実装し、衝突の有無を確認したところ。20チップ中20

チップで衝突無くLD902を集積できており、簡便な構造で安定的に集積することが可能であることが確認された。

産業上の利用可能性

[0051] 以上述べた通り、本開示による光回路素子では、光機能素子を搭載する搭載溝がプリアライメント領域をさらに備え、それにより、光機能素子と光回路素子の衝突による歩留まり低下を抑制が可能になる。このような光回路素子は、簡便かつ安定的に搭載することが可能な光導波路部品として、光通信の分野における集積型光デバイスへの適用が見込まれる。

請求の範囲

[請求項1]

光回路素子であって、
基板と、
前記基板上の導波路と、
前記基板上の光半導体素子を搭載するための搭載溝であって、光半導体素子搭載領域、及び前記光半導体素子搭載領域と連通するプリアライメント領域を有する搭載溝と
を備え、
前記光半導体素子搭載領域は、
少なくとも一方の側面に前記導波路の端面と、
前記基板上のアライメントマークと、
を含み、
前記プリアライメント領域は、
前記基板上のプリアライメントマークであって、前記アライメントマークと対応するプリアライメントマーク
を含み、
前記プリアライメント領域における前記搭載溝の縁と前記プリアライメントマークとの間隔は、前記光半導体素子搭載領域における前記搭載溝の縁と前記アライメントマークとの間隔よりも大きい、光回路素子。

[請求項2]

前記プリアライメントマークが配置される位置は、前記アライメントマークの位置をそのまま幅方向に平行移動させた位置に相当し、前記平行移動させた距離が、前記光半導体素子の幅の1－2倍である、請求項1に記載の光回路素子。

[請求項3]

前記プリアライメント領域は、前記基板上のダミー電極をさらに備え、
前記光半導体素子搭載領域は、前記基板上の電極をさらに備え、
前記ダミー電極は前記電極と電氣的に接続されている、請求項1に

記載の光回路素子。

[請求項4] 前記導波路は、光結合される前記光半導体素子の導波路との間の距離が3 μm 以下となるように構成される、請求項1に記載の光回路素子。

[請求項5] 請求項1から4のいずれか一項に記載される前記光回路素子の前記搭載溝に、前記光半導体素子を搭載する集積方法であって、

前記光回路素子の裏面から赤外カメラで透過して、前記光回路素子の前記プリアライメント領域内に配置される前記プリアライメントマークの位置を確認することと、

表面電極を前記光回路素子の前記プリアライメント領域の底面側に反転させた前記光半導体素子を前記プリアライメント領域内に搬送し、前記赤外カメラのフォーカス位置を前記光半導体素子に形成されたアライメントマークに合わせ、前記光半導体素子に形成されたアライメントマークの位置が前記プリアライメント領域内に配置される前記プリアライメントマークの位置に一致するように前記光半導体素子を粗アライメントすることと、

前記光半導体素子を前記プリアライメント領域の前記底面にタッチダウンした後、前記底面から離して、再び前記赤外カメラで前記プリアライメントマーク及び前記光半導体素子に形成されたアライメントマークの位置を確認することで同じフォーカス位置で精密にアライメントすることと、

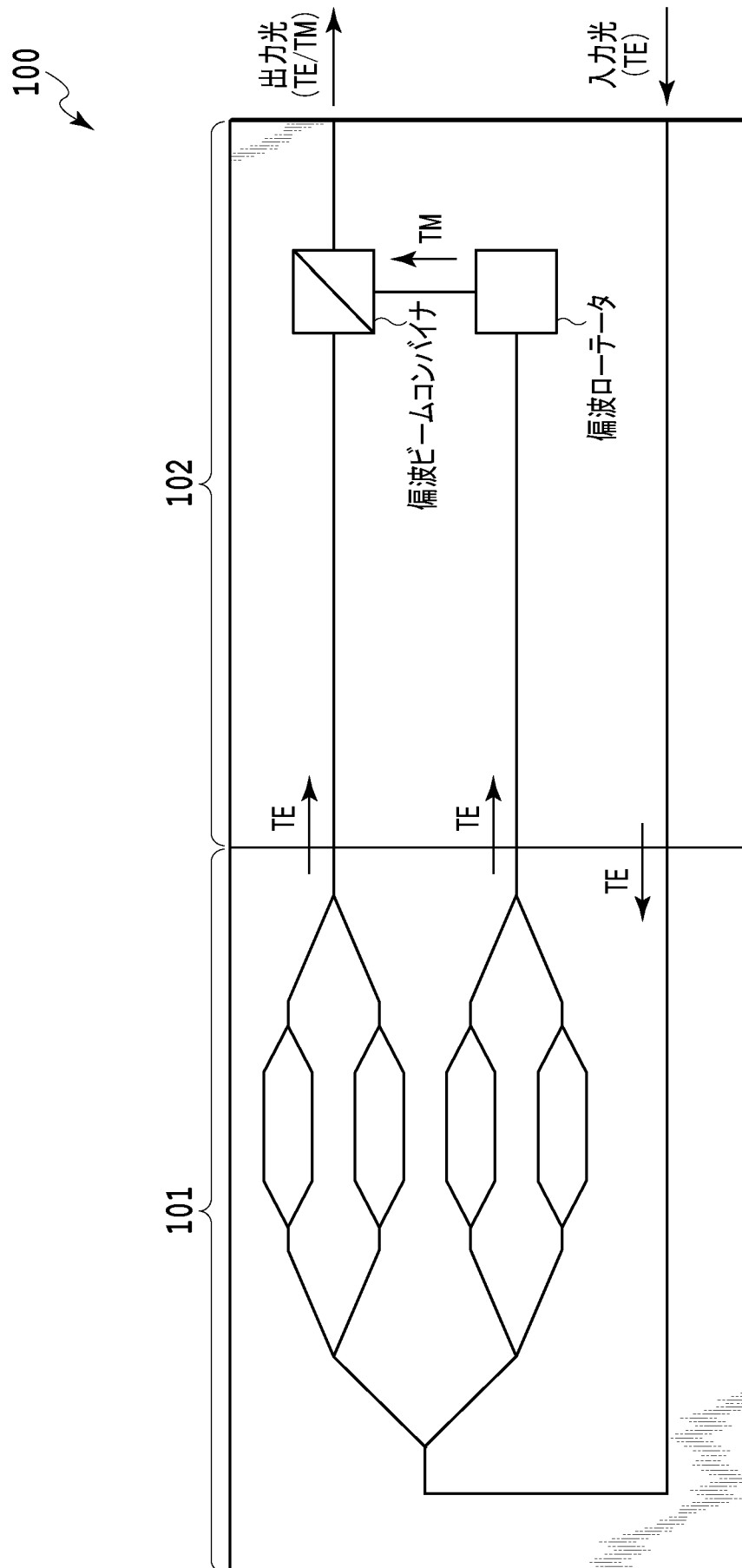
前記光半導体素子を前記光半導体素子搭載領域へ移動させることであって、前記光半導体素子搭載領域の前記アライメントマークの位置を確認し、前記光半導体素子のアライメントマーク位置との相対位置を算出することを含むことと、

前記光半導体素子搭載領域内に設置される前記アライメントマークの位置と前記光半導体素子に配置されるアライメントマークの位置を確認して位置合わせし、前記光半導体素子をタッチダウンして位置ず

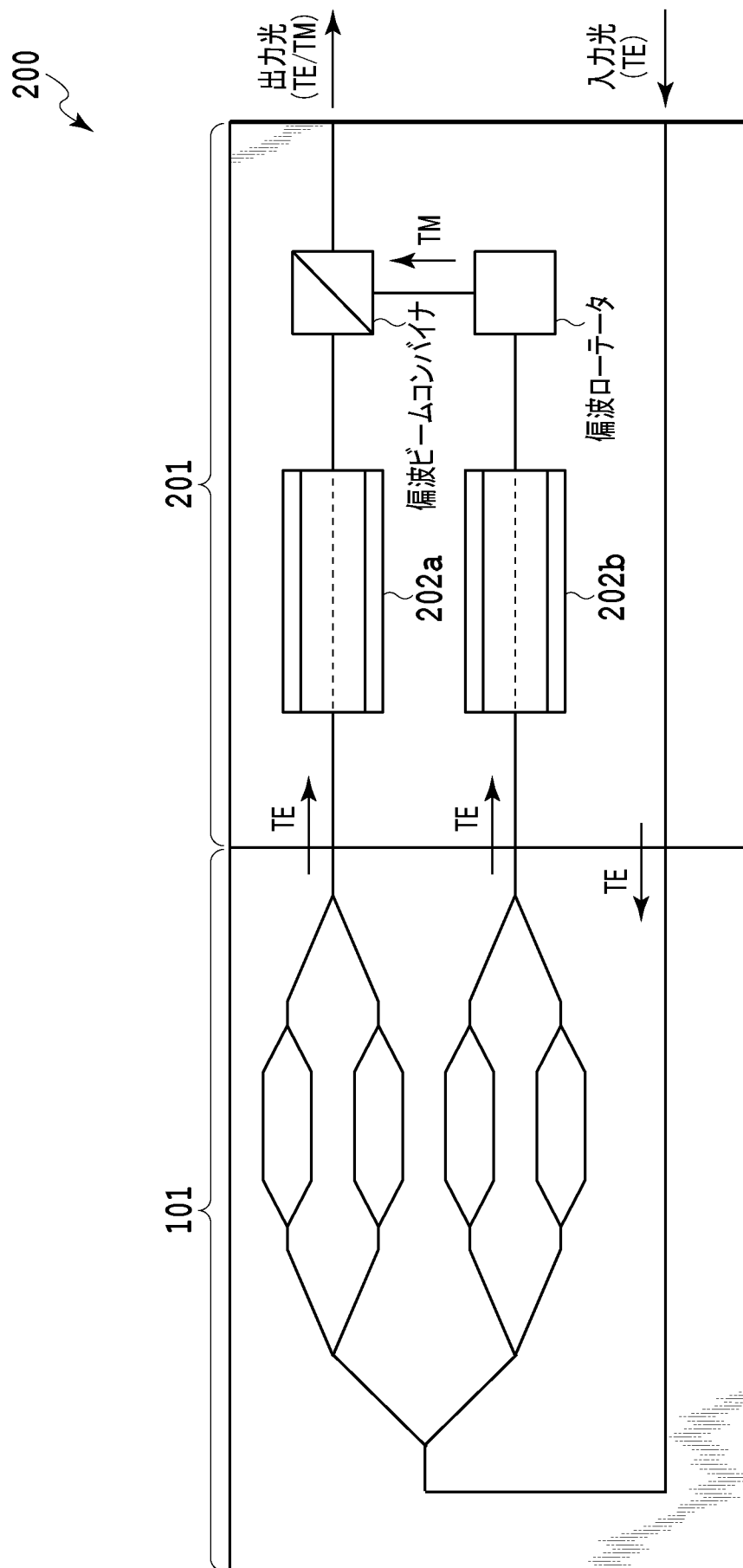
れ量が規定の範囲内となるまで再び数 μm リフトアップしてアライメントを再試行することと、

前記光回路素子の前記電極と前記光半導体素子の前記表面電極との間を電氣的に接続することと、
を備える、集積方法。

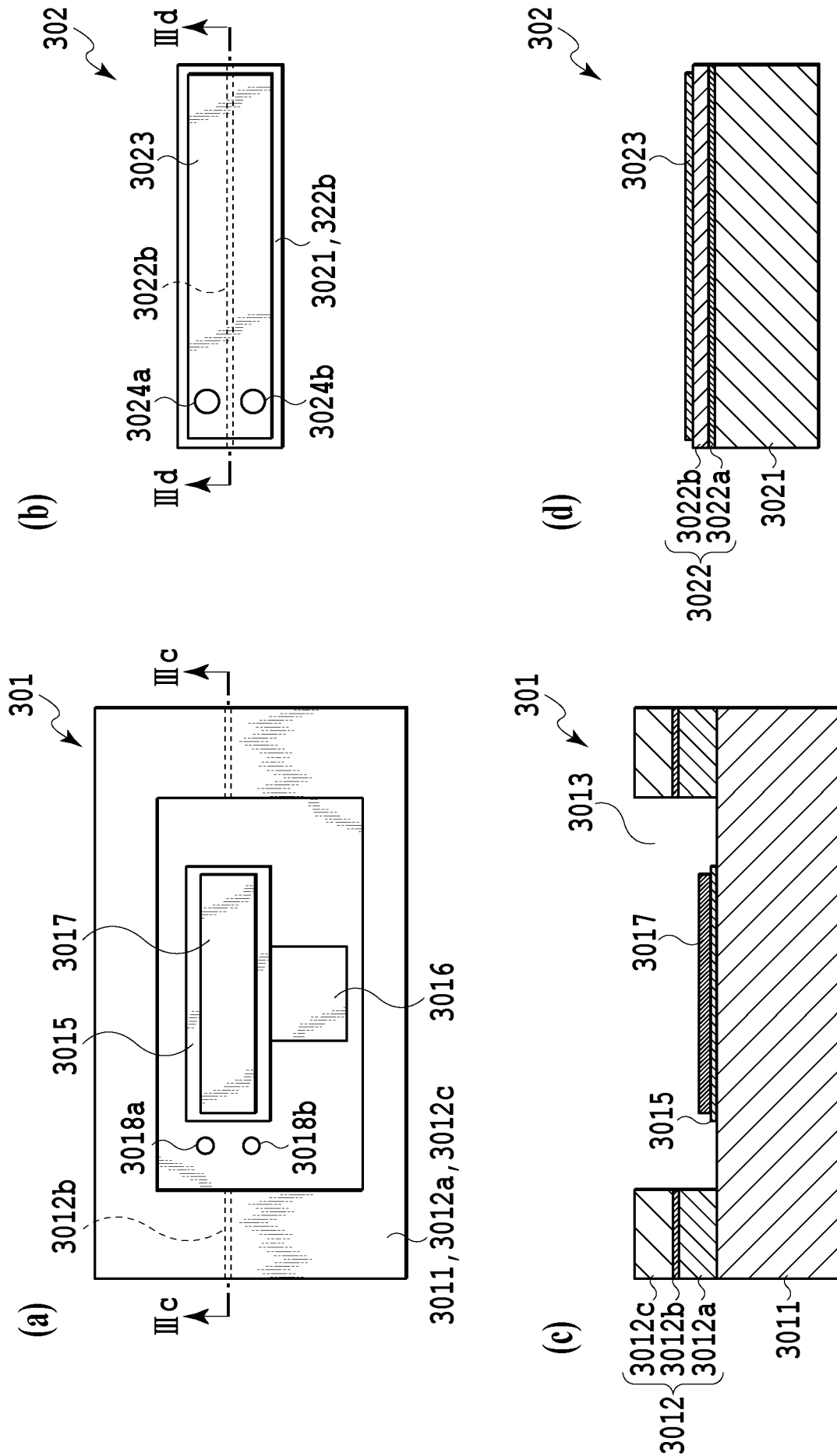
[図1]



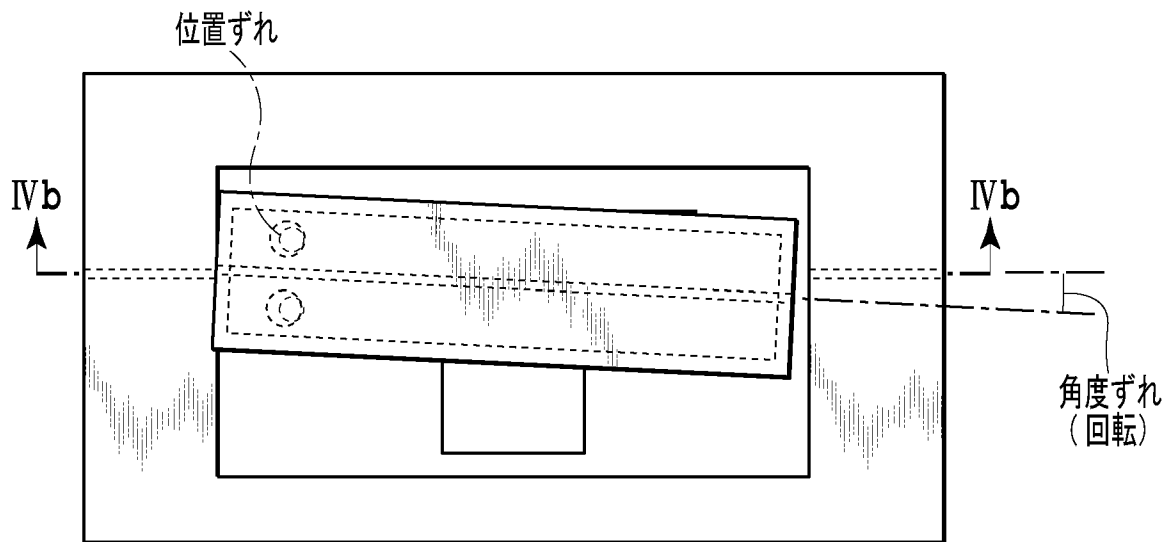
[図2]



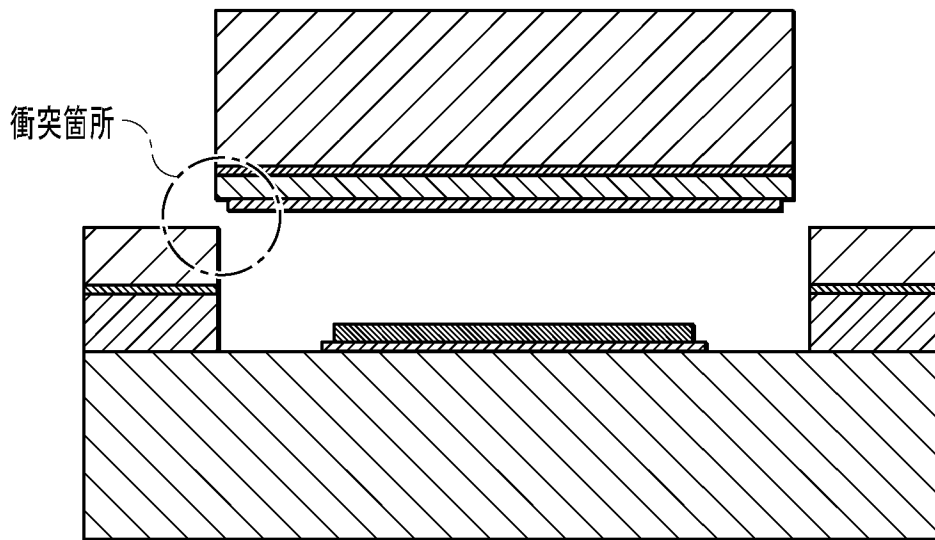
[図3]



[図4]

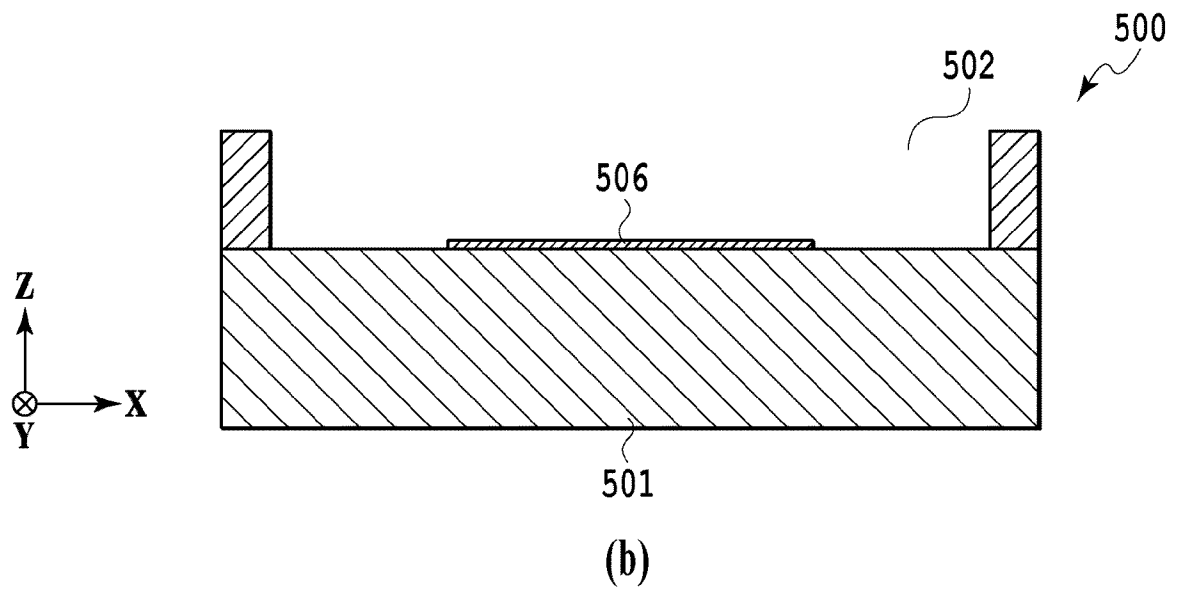
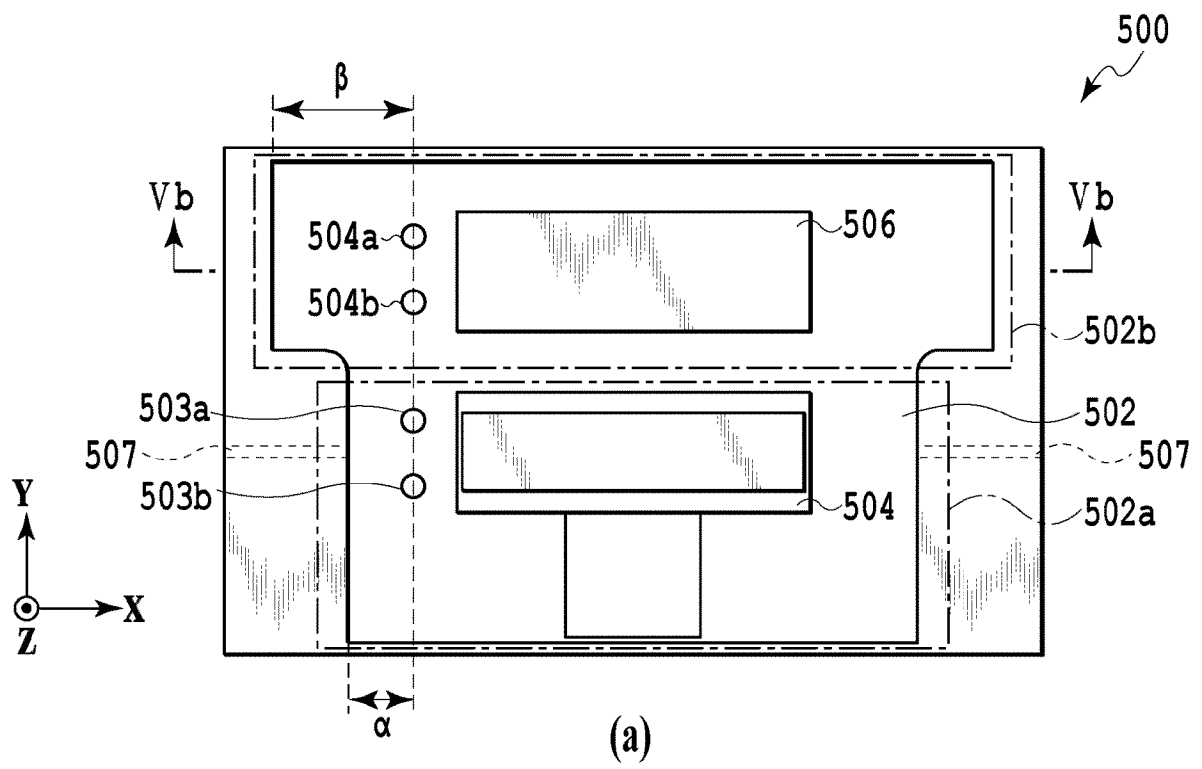


(a)

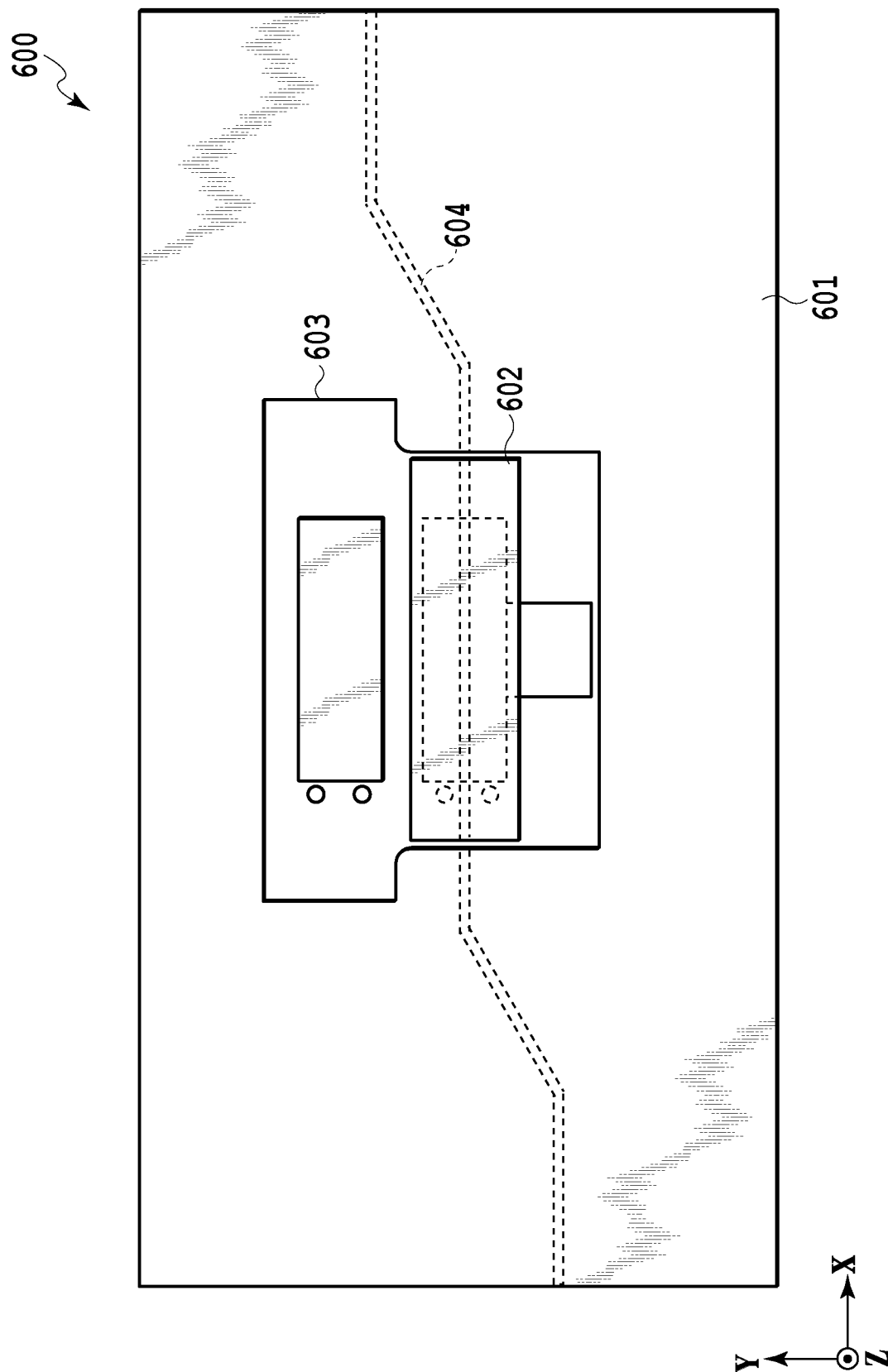


(b)

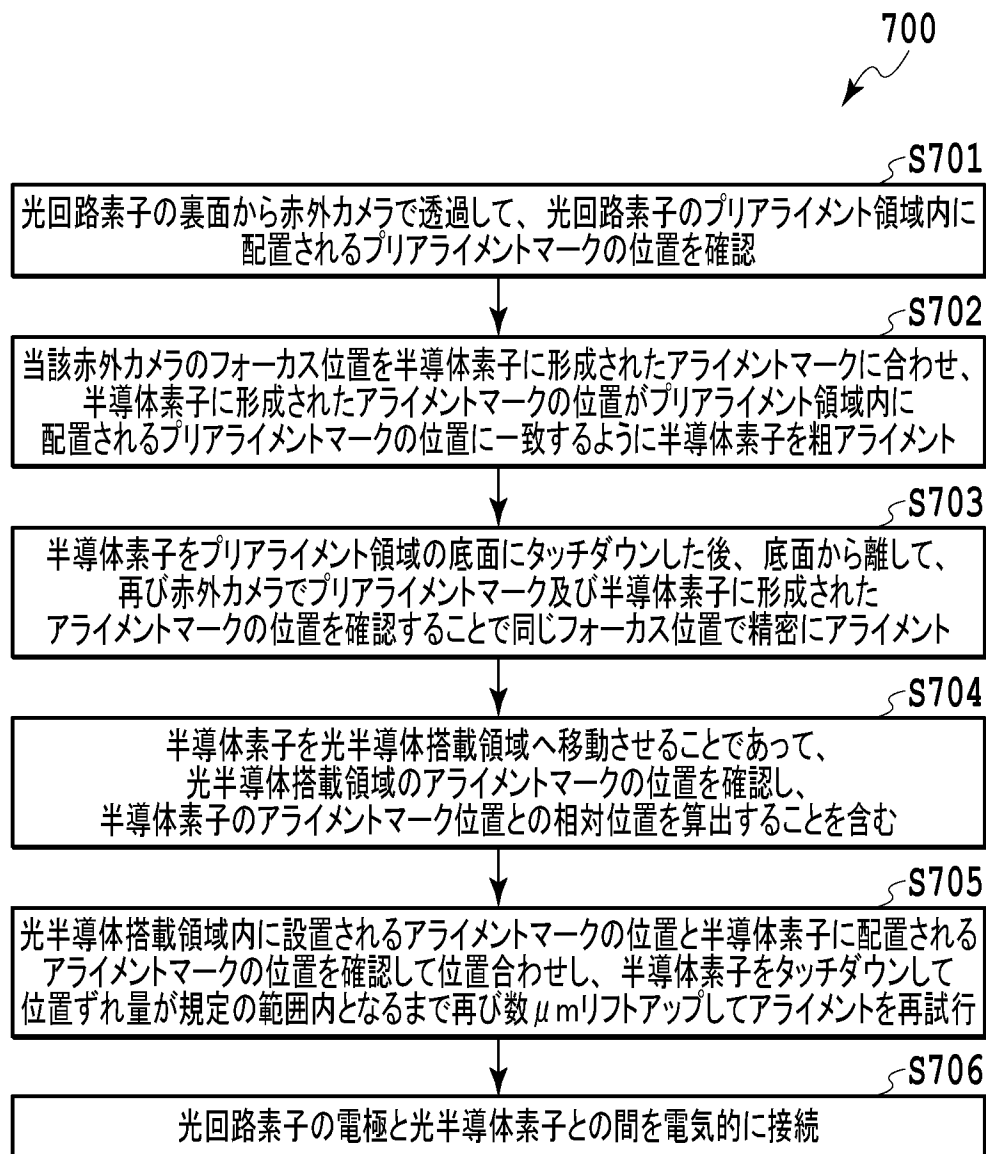
[図5]



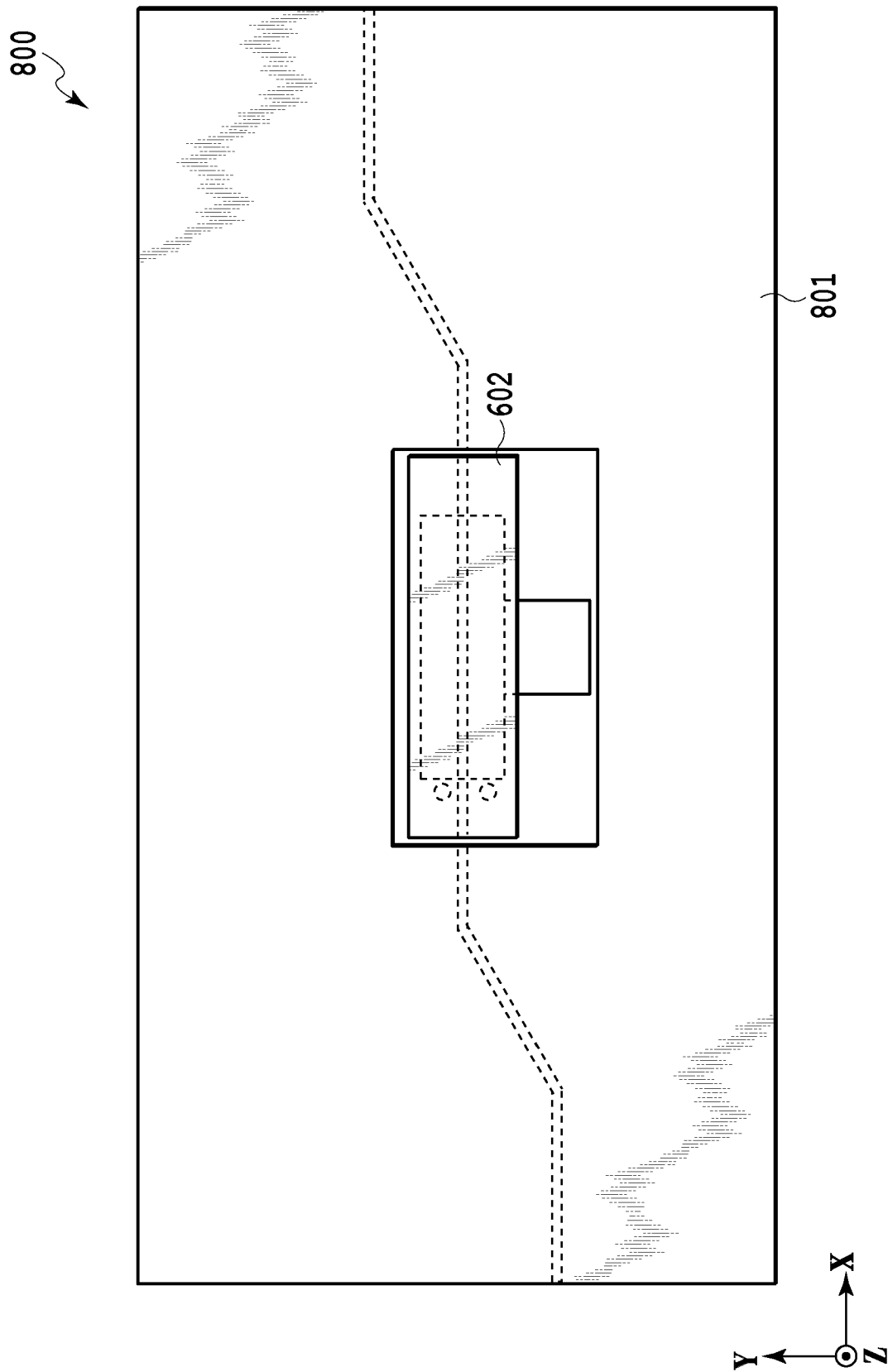
[図6]



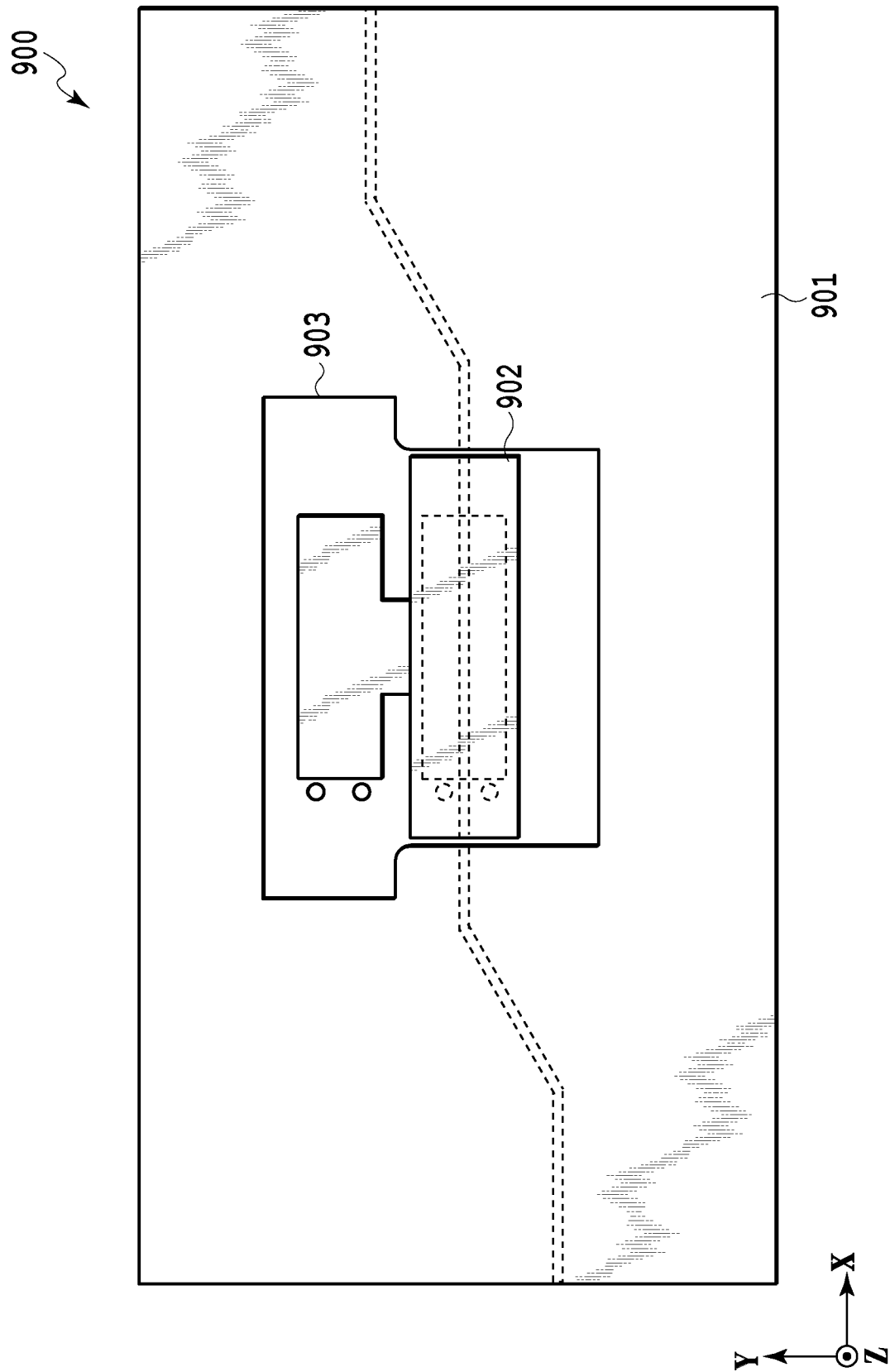
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/012876

A. CLASSIFICATION OF SUBJECT MATTER**G02B 6/42**(2006.01)i; **G02B 6/122**(2006.01)i

FI: G02B6/42; G02B6/122

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02B6/12-6/14; G02B6/26-6/27; G02B6/30-6/34; G02B6/42-6/43

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2014/0348461 A1 (INTERNATIONAL BUSINESS MACHINES CORP.) 27 November 2014 (2014-11-27) paragraphs [0035]-[0039], [0045]-[0047], fig. 4, 6, 7	1-5
Y	JP 2019-53204 A (FUJITSU LIMITED) 04 April 2019 (2019-04-04) paragraphs [0013]-[0052], fig. 1-8	1-5
Y	JP 2020-60734 A (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) 16 April 2020 (2020-04-16) paragraphs [0018]-[0021], fig. 1-3	3
Y	JP 2018-93033 A (FUJITSU LIMITED) 14 June 2018 (2018-06-14) paragraphs [0010]-[0021], fig. 1, 2	5
A	JP 2020-533632 A (TEKNOLOGIAN TUTKIMUSKESKUS VTT OY) 19 November 2020 (2020-11-19) paragraphs [0022]-[0026], fig. 8-10	1-5
A	US 2020/0041721 A1 (ROCKLEY PHOTONICS LIMITED) 06 February 2020 (2020-02-06) entire text, all drawings	1-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

30 May 2023

Date of mailing of the international search report

13 June 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/012876

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2014/0348461	A1	27 November 2014	US 2017/0082798 A1	
JP	2019-53204	A	04 April 2019	(Family: none)	
JP	2020-60734	A	16 April 2020	US 2021/0349260 A1	
				paragraphs [0039]-[0042], fig. 1-3	
				WO 2020/075530 A1	
JP	2018-93033	A	14 June 2018	US 2018/0159300 A1	
				paragraphs [0028]-[0039], fig. 1, 2	
JP	2020-533632	A	19 November 2020	US 2020/0278506 A1	
				paragraphs [0031]-[0035], fig. 8-10	
				WO 2019/048740 A1	
				EP 3679411 A1	
				CN 111316149 A	
US	2020/0041721	A1	06 February 2020	GB 2577608 A	
				WO 2020/030641 A1	
				CN 112771426 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G02B 6/42(2006.01)i; G02B 6/122(2006.01)i FI: G02B6/42; G02B6/122										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） G02B6/12-6/14; G02B6/26-6/27; G02B6/30-6/34; G02B6/42-6/43										
最小限資料以外の資料で調査を行った分野に含まれるもの										
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2023年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2023年	日本国実用新案登録公報	1996-2023年	日本国登録実用新案公報	1994-2023年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2023年									
日本国実用新案登録公報	1996-2023年									
日本国登録実用新案公報	1994-2023年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
Y	US 2014/0348461 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 27.11.2014 (2014-11-27) 段落 [0035] - [0039], [0045] - [0047], 第4, 6-7図	1-5								
Y	JP 2019-53204 A (富士通株式会社) 04.04.2019 (2019-04-04) 段落 [0013] - [0052], 第1-8図	1-5								
Y	JP 2020-60734 A (日本電信電話株式会社) 16.04.2020 (2020-04-16) 段落 [0018] - [0021], 第1-3図	3								
Y	JP 2018-93033 A (富士通株式会社) 14.06.2018 (2018-06-14) 段落 [0010] - [0021], 第1-2図	5								
A	JP 2020-533632 A (テクノロギアン トウトキムスケスクス ヴェーテーテー オイ) 19.11.2020 (2020-11-19) 段落 [0022] - [0026], 第8-10図	1-5								
A	US 2020/0041721 A1 (ROCKLEY PHOTONICS LIMITED) 06.02.2020 (2020-02-06) 全文, 全図	1-5								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
<table border="0"> <tr> <td> * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 </td> <td> “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献						
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献									
国際調査を完了した日 30.05.2023	国際調査報告の発送日 13.06.2023									
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 山本 元彦 2L 3914 電話番号 03-3581-1101 内線 3295									

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/012876

引用文献			公表日	パテントファミリー文献			公表日
US	2014/0348461	A1	27.11.2014	US	2017/0082798	A1	
JP	2019-53204	A	04.04.2019	(ファミリーなし)			
JP	2020-60734	A	16.04.2020	US	2021/0349260	A1	
				段落 [0039] - [0042] , 第			
				1-3図			
				WO	2020/075530	A1	
JP	2018-93033	A	14.06.2018	US	2018/0159300	A1	
				段落 [0028] - [0039] , 第			
				1-2図			
JP	2020-533632	A	19.11.2020	US	2020/0278506	A1	
				段落 [0031] - [0035] , 第			
				8-10図			
				WO	2019/048740	A1	
				EP	3679411	A1	
				CN	111316149	A	
US	2020/0041721	A1	06.02.2020	GB	2577608	A	
				WO	2020/030641	A1	
				CN	112771426	A	