(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H01L 25/065

(11) 공개번호 특2001-0070014
(43) 공개일자 2001년07월25일

(21) 출원번호 10-2000-0044989
(22) 출원일자 2000년08월03일

(30) 우선권주장 1999-224122 1999년08월06일 일본(JP)

(71) 출원인 가부시키가이샤 히타치세이사쿠쇼
가나이 쓰토무
일본 도쿄토 치요다쿠 간다스루가다이 4쪼메 6반치
가부시기가이샤 히다치초엘에스아이시스템즈
스즈키 진이치로
일본국 도쿄도 고다이라시 죠스이혼쵸5-22-1
히타치 토부 세미콘덕터 가부시키가이샤
오기소 나쯔키
일본국 군마켄 타카사키시 니시요코테마치 1 반치 1

(72) 발명자 가와무라마사야스
일본도꾜도지요다꾸마루노우찌1쪼메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지떼끼쇼유껭혼브내
나까무라아쯔시
일본군마껭다까사끼시니시요꼬떼마찌1반지1히타치토부세미콘덕터가부시키가이샤내
사까구찌요시히로
일본군마껭다까사끼시니시요꼬떼마찌1반지1히타치토부세미콘덕터가부시키가이샤내
기노시따요시따까
일본도꾜도지요다꾸마루노우찌1쪼메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지떼끼쇼유껭혼브내
다까하시야스시
일본군마껭다까사끼시니시요꼬떼마찌1반지1히타치토부세미콘덕터가부시키가이샤내
이노우에요시히꼬
일본도꾜도고다이라시조스이혼쪼5쪼메22-1가부시기가이샤히다치초엘에스아이시스템즈내

(74) 대리인 장수길
구영창

심사청구 : 없음

(54) 반도체 장치와 메모리 모듈

요약

2 비트 단위로 메모리 액세스가 행해지는 2개의 메모리칩의 이면을 중첩시켜 적층 구조로 조립하여 4비트 단위의 메모리 액세스를 행하도록 한다. 상기 2비트 단위로 메모리 액세스가 행해지는 2개의 메모리칩의 이면을 중첩시켜 적층 구조로 조립하여 4비트 단위의 메모리 액세스를 행하도록 이루어지는 반도체 기억 장치의 여러개가 사각형으로 이루어지고, 그 1개의 변을 따라 전극이 형성되어 이루어지는 실장 기판 상에 탑재하여 메모리 모듈을 구성한다.

대표도

도 5

색인어

메모리 모듈, 반도체, 기억 장치, 적층 구조, 4비트 단위

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 반도체 기억 장치의 일 실시예를 나타내는 주요부 개략 투시도.

도 2a 및 도 2b는 본 발명에 따른 반도체 기억 장치의 적층 구조가 되는 2개의 메모리칩의 일 실시예를 나타내는 개략 패턴도.

도 3은 본 발명에 따른 반도체 기억 장치의 일 실시예를 나타내는 상면도.

도 4는 본 발명에 따른 반도체 기억 장치의 일 실시예를 나타내는 출력 계통도.

도 5는 본 발명에 따른 반도체 기억 장치를 이용한 메모리 모듈의 일 실시예를 나타내는 주요부 단면도.

도 6은 본 발명에 따른 메모리 모듈의 일 실시예를 나타내는 표면도.

도 7은 본 발명에 따른 메모리 모듈의 일 실시예를 나타내는 이면도.

도 8은 도 6 및 도 7에 도시한 메모리 모듈의 일 실시예를 나타내는 블록도.

도 9는 본 발명에 따른 메모리 모듈을 이용한 메모리 장치를 설명하기 위한 개략 구성도.

도 10은 본 발명에 따른 반도체 기억 장치를 이용한 메모리 모듈의 다른 일 실시예를 나타내는 주요부 단면도.

도 11은 본 발명에 따른 반도체 기억 장치를 이용한 메모리 모듈의 다른 일 실시예를 나타내는 주요부 단면도.

도 12는 본 발명이 적용되는 다이내믹형 RAM의 실시예를 나타내는 개략 레이아웃도.

도 13은 본 발명에 따른 다이내믹형 RAM의 일 실시예를 나타내는 회로도.

도 14는 본 발명이 적용되는 싱크로너스 DRAM의 일 실시예를 나타내는 전체 블록도.

도 15는 본 발명에 따른 반도체 기억 장치를 이용한 메모리 모듈의 더욱 일 실시예를 나타내는 주요부 단면도.

도 16은 본 발명에 따른 반도체 기억 장치에 있어서의 한 쪽의 메모리칩과 리드 프레임과의 관계를 설명하기 위한 평면도.

< 도면의 주요 부분에 대한 부호의 설명>

YDC : Y 디코더

MA : 메인 증폭기

COLRED : Y계 구제 회로

COLPDC : Y계 프리디코더

ROWRED : X계 구제 회로

ROWPDC : X계 프리디코더

SA : 센스 증폭기

SWD : 서브 워드 드라이버

MWD : 메인 워드 드라이버

11, 12 : 디코더, 메인 워드 드라이버

15 : 서브 어레이

16 : 센스 증폭기

17 : 서브 워드 드라이버

18 : 크로스 영역

51 : 어드레스 버퍼

52 : 프리디코더

53 : 디코더

61 : 메인 증폭기

62 : 출력 버퍼

63 : 입력 버퍼

10 : 모드 레지스터

20 : 커맨드 디코더

30 : 타이밍 발생 회로

30 : 클럭 버퍼

200A 200D : 메모리 어레이

201A 201D : 로우 디코더

202A 202D : 센스 증폭기 및 컬럼 선택 회로

203A 203D : 컬럼 디코더

205 : 컬럼 어드레스 버퍼

206 : 로우 어드레스 버퍼

207 : 컬럼 어드레스 카운터

208 : 리프레시 카운터

209 : 컨트롤러

210 : 입력 버퍼

211 : 출력 버퍼

212A D : 메인 증폭기

213 : 래치/레지스터

214A D : 라이트 버퍼

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체 기억 장치와 메모리 모듈에 관한 것으로, 주로 다이내믹형 RAM(랜덤 액세스 메모리)과 같은 범용 반도체 기억 장치와 그것을 이용한 메모리 모듈에 이용하여 유효한 기술에 관한 것이다.

본 발명을 이룬 후의 조사에 의해, 나중에 설명하는 본 발명에 관련되었다고 생각되는 것으로서, 특개평4-222989호 공보가 있는 것이 판명되었다. 이 공보에서는, 1개의 패키지에 여러개의 칩을 실링한 반도체 집적 회로 장치의 동작시의 발열에 의해 칩 내부에 발생하는 응력-왜곡 상태를 각 칩에서 균등화하도록 고안된 것이지만, 그 중의 단락(0031)에 있어서, 2개의 메모리칩을 2개 이용하여 2배의 기억 용량을 실현하는 예가 개시되어 있다. 나중에 설명하는 본원 발명과 같이 1개의 반도체 기억 장치로서 보았을 때의 두께(높이 방향)를, 그것과 동등한 기억 용량을 갖는 범용의 반도체 기억 장치와 동등하게 하던지 그 이하로 한다는 기재는 일체 발견되지 않는다.

또한, 출력 단자가 2비트 구성의 메모리에 대해서는, 특개소60-20387, 특개소60-130139, 특개소60-171687, 특개소62-146495, 특개소62-262291에 기재되어 있다.

발명이 이루고자 하는 기술적 과제

복수의 칩을 1개의 패키지로 실링한 경우에, 단순히 실링한 것만으로는 특수한 반도체 기억 장치가 되어 용도가 한정되어 버린다. 반도체 기억 장치로서 널리 이용할 수 있도록 하기 위해서는, 기존의 반도체 기억 장치와 호환성을 갖게 하는 것이 중요하다. 상기 공보의 반도체 집적 회로 장치에서는, 메모리칩의 표면(주요면)이 상호 마주 보도록 적층 구조로 하는 것으로, 2개의 칩의 표면에 있어서 각각이 리드와의 접속을 행하는 와이어 본딩을 행하기 위한 높이를 필요로 하기 때문에 필연적으로 패키지의 두께가 두꺼워진다.

범용의 반도체 기억 장치에서는, 패키지의 박형화가 진행되는 경향에 있기 때문에, 상기된 공보 기재의 기술로는 그것과 동등한 기억 용량을 갖는 범용의 반도체 기억 장치의 두께와 동등한 두께를 실현하는 것은 어렵다. 반도체 기억 장치에 있어서, 큰 기억 용량을 작은 용적 내에서 실현하기 위해, 실장 기판의 양면에 반도체 기억 장치를 실장하여 메모리 모듈을 구성하고, 이러한 메모리 모듈의 여러개를 주보드 상에 평행하게 배치되는 복수의 커넥터에 삽입하도록 하여 이용되는 경우가 많다. 이 경우, 상기 여러개의 커넥터의 간격은, 가능한 한 접근하여 배치된다. 그 때문에, 그 메모리 모듈은, 그 전체의 두께가 적어도 상기 커넥터의 피치에 맞추어 형성될 필요가 있고, 메모리 동작시의 열 방출을 고려하면 상기 메모리 모듈사이에서 조금이라도 간격이 있는 것이 바람직하다.

본원 발명자 등에서는, 상기된 바와 같은 검토의 결과, 2개의 메모리칩을 1개의 패키지에 탑재하여 2배의 기억 용량을 실현할 때, 이러한 패키지의 두께가 1개의 메모리칩을 탑재한 기존의 반도체 기억 장치와 동등하던지 그 이하로 하는 것이 매우 중요한 것을 알 수 있는 것이다.

본 발명의 목적은, 2개의 메모리칩을 이용하면서, 그 두께를 얇게 형성할 수 있는 반도체 기억 장치를 제공하는 것에 있다. 본 발명의 다른 목적은, 2개의 메모리칩을 이용하면서, 범용성에 우수한 반도체 기억 장치를 제공하는 것에 있다. 본 발명의 또 다른 목적은, 단위 체적당 기억 용량의 증대와, 고밀도 실장이 가능한 메모리 모듈을 제공하는 것에 있다. 본 발명의 다른 목적은, 사용성이 좋은 메모리 모듈을 제공하는 것에 있다. 본 발명의 상기 및 그 밖의 목적과 신규 특징은, 본 명세서의 기술 및 첨부 도면으로부터 분명해질 것이다.

본 원에서 개시되는 발명 중 대표적이지만 개요를 간단히 설명하면, 아래와 같다. 즉, 2 비트 단위로 메모리 액세스가 행해지는 2개의 메모리칩의 이면을 중첩시켜 적층 구조로 조립하여 4 비트 단위의 메모리 액세스를 행하도록 한다.

본 원에서 개시되는 발명 중 다른 대표적이지만 개요를 간단히 설명하면, 아래와 같다. 즉, 2 비트 단위로 메모리 액세스가 행해지는 2개의 메모리칩의 이면을 중첩시켜 적층 구조로 조립하여 4 비트 단위의 메모리 액세스를 행하도록 하여 이루어지는 반도체 기억 장치의 여러개를 사각형으로 이루어지고, 그 1개의 변을 따라 전극(커넥터)이 형성되어 이루어지는 실장 기판 상에 탑재하여 메모리 모듈을 구성한다.

발명의 구성 및 작용

도 1에는, 본 발명에 따른 반도체 기억 장치의 일 실시예의 주요부 투시도가 도시되어 있다. 이 실시예에서는, 동일한 패키지에 2개의 메모리칩이 표리 관계로 적층 구조가 된다. 즉, 메모리칩의 이면측이 상호 마주 보도록 하고, 본딩 패드 등이 형성되는 표면이 외측을 향하도록 중첩된다. 동일 도면에는, 발명의 이해를 쉽게 하기 위해, 패키지나, 메모리칩에 필요한 다수의 리드 중, 데이터 단자에 관련된 일부가 대표로 예시적으로 도시되어 있다.

반도체 기억 장치를 간단히 증대시키는 수법으로서, 상기 공보에 기재된 바와 같이 2개의 메모리칩을 1개의 패키지에 탑재하는 기술이 있다. 지금까지 64M 비트 DRAM에서는 ×4, ×8, ×16 비트가 존재한 64M 칩을 2칩을 적층하여 1 패키지로 조립하면 128M 비트를 실현할 수 있고, 또한 마찬가지로 256M 비트를 2칩을 패키지로 조립하면 512M 비트를 실현할 수 있다. 이들 적층 방식은 128M 비트 혹은 512M 비트의 싱글 칩을 새롭게 개발하는 것보다도 개발 기간

을 단축할 수 있으므로, 저가격 용도로 주목받고 있다. 그러나, 종래의 ×4 이상의 싱글 칩의 비트 구성으로는 적층해도 비트수는 ×8 이상밖에 실현할 수 없었다. 이 때문에, 상기된 바와 같은 적층 방식으로는, 128M 비트 혹은 512M 비트로 ×4 비트품을 만들 수 없었다.

또한, 상기 공보와 같이 2개의 메모리칩을 1개의 패키지로 조립하면, 그것과 동등한 기억 용량을 갖는 반도체 기억 장치에 비교하여 패키지 전체의 두께가 두꺼워져, 외부 단자를 동등한 배열로 했다고 해도, 후술된 바와 같은 메모리 모듈에 탑재하는 경우, 고밀도로 조립된 커넥터의 피치에 맞출 수 있게 되는데, 즉 1개의 패키지에 1개의 메모리칩을 탑재한 반도체 기억 장치와의 호환성이 없어진다는 문제가 생긴다.

본원 발명에서는, 메모리칩으로서 ×2 비트 구성으로 할 수 있는 것을 2개 적층 구조로 하고, ×4 비트 구성의 반도체 기억 장치를 구성하는 것이다. 이 경우, 상기 1개의 패키지에 조립할 때의 두께를 1개의 칩을 탑재한 패키지와 동등한 것으로 하기 위해, 2개의 메모리칩의 이면을 접합시킨다고 하는 연구가 이루어지고 있다. 이 구조에서는, 메모리칩의 이면이 패키지를 구성하는 실링 수지와 아주 접촉하지 않도록 이루어진다. 이것은, 종래의 반도체 집적 회로 장치에서는, 실링의 목적으로 반도체 칩의 이면 및 표면을 포함하는 전체가 실링 수지와 접촉하도록 구성되는 것과 비교하면 크게 다르고, 이러한 연구에 의해 적층 구조를 채용하면서, 반도체집 기억 장치로서의 박형화를 도모하도록 하는 것이다.

즉, 이 실시예에서는, 상기된 바와 같이 메모리칩을 표리 관계로 함으로써, 종래의 반도체 집적 회로 장치와 같이 이면 부분의 실링 수지를 적게 하고, 그 만큼 패키지의 두께를 얇게 할 수 있다. 이 결과, 동일 도면과 같이 상하 양면에 LOC(리드 · 온 · 칩) 구조의 리드를 배치하고, 그것과 메모리칩의 본딩 패드를 본딩 와이어에 의해 접속하고, 2개의 메모리칩을 1개의 패키지에 넣어도, 그 패키지의 두께를 기존의 동등한 기억 용량을 갖는 반도체 기억 장치에 있어서의 패키지의 두께와 동등하게 할 수 있다.

이러한 적층 구조에서는, 표리 관계로 각각의 메모리칩에 설치되는 어드레스 단자나 제어 단자는, 대응하는 리드가 외부에서 공통으로 접속될 필요가 있다. 이 때문에, 2개의 메모리칩에서는, 리드와 본딩 패드와의 관계가 좌우 반대로 구성된다. 이에 대해, 데이터 단자는, 상기된 바와 같은 어드레스 단자와 마찬가지로 외부에서 대응하는 것을 공통으로 접속하면, ×2 비트씩의 데이터가 외부 단자로 충돌한다.

그래서, 이 실시예에서는, 어드레스 단자 등에 대해서는 상기 적층 구조의 상측 메모리칩과 하측 메모리칩으로는 미러 반전시켜 리드와 본딩 패드를 접속한다. 이에 대해, 2개의 데이터 단자는, 메모리칩의 주요면으로부터 본 경우에는 동일 측의 2개의 리드와 접속시킨다. 즉, 동일 도면의 예에서는, 외부 단자 DQ0 및 DQ1이 되는 데이터용 리드는, 상측 메모리칩과 하측 메모리칩의 양방으로 연장되고, 상측 리드가 상측 메모리칩의 패드 DQ(a)와 DQ(c)에 와이어를 통해 접속되고, 하측 리드는 하측 메모리칩의 모든 패드와도 접속되지 않는다.

외부 단자 DQ3과 DQ2가 되는 데이터용 리드는, 상측 메모리칩과 하측 메모리칩의 양방으로 연장되고, 하측 리드가 하측 메모리칩의 패드 DQ(a)와 DQ(c)에 와이어를 통해 접속되고, 상측 리드는 하측 메모리칩의 모든 패드와도 접속되지 않는다. 상기 하측 메모리칩의 패드 배치와 상측 메모리칩의 패드 배치는 마찬가지이며, 상측 메모리칩에 대표적으로 도시된 패드 DQ(b)와 DQ(d)는, 1개의 메모리칩으로부터 4비트 단위로 데이터 출력을 행하는 경우에, 상기 DQ(a)와 DQ(c)와 함께 이용되는 것이다.

따라서, 도 1의 실시예에서는 DQ(b)와 DQ(d)는 이용되지 않는다. A 신호의 리드는, 상측 메모리칩 및 하측 메모리칩으로 연장되는 양 리드의 선단에서 각각의 메모리칩에 형성되는 패드 A-PAD 및 B-PAD에 접속되고, 동일 A 신호가 양 메모리칩에 공통으로 공급된다. 데이터용 리드는, 후술된 바와 같이 입출력 용량 저감을 위해, 접속되지 않은 측의 리드를 절단해도 좋다.

도 2A, 도 2B에는, 본 발명에 따른 반도체 기억 장치의 적층 구조에 되는 2개의 메모리칩의 일 실시예의 개략 패턴도가 도시되어 있다. 동일 도 2의 a는, 상측(UPPER)의 메모리칩과 그것에 대응한 리드 및 본딩 와이어가 도시되고, 동일 도 2의 b에는 하측(LOWER)의 메모리칩과 그것에 대응한 리드 및 본딩 와이어가 도시되어 있다.

이 실시예의 메모리칩은, 후술된 바와 같은 메탈 옵션 또는 본딩 옵션 혹은 그 조합에 따라, ×2 비트 구성, ×4 비트 구성, ×8 비트 구성 및 ×16 비트 구성을 선택할 수 있도록 이루어진다. 이들 복수가지의 비트 구성에 대응할 수 있도록, 리드는 최대수가 도시되어 있다. 이 실시예에서는, ×2 비트 구성으로, 각각의 메모리칩이 256M 비트의 기억 용량을 갖는 경우의 리드 및 본딩 와이어의 예가 나타내어져 있다. 따라서, 신호명이 첨부되지 않은 리드는, 상기한 ×2 비트 구성의 메모리로는 존재하지 않은 리드라고 이해할 수 있다.

메모리칩은, 그 길이 방향의 거의 중심선 상에 본딩 패드가 거의 일직선형으로 배치된다. 이러한 본딩 패드를 1열로 배열하는 구성은, 후술된 2개의 메모리칩을 상기된 바와 같이 표리 관계로 적층 구조로 하고, 어드레스 단자나 제어 단자 등과 같은 리드를 외부에서 공통화하여 1개의 패키지에 탑재하는 경우에 매우 유익한 본딩 패드의 배열이 된다.

상측의 메모리칩 및 하측의 메모리칩의 리드 단자의 신호명은, 사각으로 둘러싼 데이터용 리드 DQ0 DQ3을 제외하고, 도면 상에서는 좌우 대칭적으로 배치된다. 예를 들면 상측 메모리칩 UPPER의 우측에 배치되는 각 리드는, 하측의 메모리칩 LOWER에서는, 메모리칩의 길이 방향의 중심선을 기준으로 하여 미러 반전시킨 좌측에 배치되는 리드와 일치하고 있다. 반대로, 상측 메모리칩 UPPER의 좌측에 배치되는 각 리드는, 하측의 메모리칩 LOWER에서는, 메모리칩의 길이 방향의 중심선을 기준으로 하여 미러 반전시킨 우측에 배치된 리드와 일치하고 있다.

상기된 바와 같이 상측 메모리칩 UPPER와 하측 메모리칩 LOWER와의 동일 신호가 공급되는 리드가 좌우 반대로 배치되지만, 상기된 바와 같이 본딩 패드가 1열로 배열하는 경우에는, 리드에 대해 상측과 하측에서는 좌우 역회전시켜 본딩 와이어를 배치시키면 좋다. 도 2에서, 메모리칩 UPPER와 그 리드 및 본딩 와이어에 대해, 메모리칩 LOWER와 그 리드 및 본딩 와이어의 배열은, 상기 메모리칩 UPPER의 우측에 거울(미러)을 두어 비추어진 것과 일치한다. 단, 상기 데이터용 리드 DQ0 DQ3에 대해서는, 상측 메모리칩 UPPER에서는, 우측의 리드 DQ3과 DQ2에 접속되고, 하측 메모리칩 LOWER에서는, 우측의 리드 DQ0과 DQ1에 접속된다. 즉, 메모리칩측의 본딩 패드와 그것에 접속되는 리드의 위치는 동일하지만, 리드명이 상기된 바와 같이 다르도록 이루어진다.

이 실시예에서는, 메모리칩의 길이 방향으로 한쌍의 리드가 연장되어 칩의 상하단에서 전원 전압 VDD와 회로의 접지 전위 VSS의 리드에 접속된다. 이 리드는, 버스바가 되어 저전원 임피던스에 의해 메모리칩에 대해 적절히 전원 전압 VDD, 회로의 접지 전위 VSS를 공급하는 것이 이용된다. 이 버스바 VDD 및 VSS도, 상측 메모리칩 UPPER와 하측 메모리칩 LOWER에서는 상기 미러 반전한 형태로 배치된다.

상기된 바와 같은 2개의 메모리칩을 이면이 접합하도록 표리 관계로 적층 구조로 한 경우, 어드레스 단자나 제어 단자는 각각 대응하는 리드가 상하 중첩되어 공통 접속된다. 이에 대해, 데이터 단자는 2개씩의 리드가 상기 적층 구조로 했을 때에 상호 좌우로 분리되어, 상호 전기적으로 분리되어 ×4비트의 데이터 단자 DQ0 DQ3과 같이 되는 것이다.

도 3에는, 본 발명에 따른 반도체 기억 장치의 일 실시예의 상면도가 도시되어 있다. 이 실시예에서는, 256M 비트의 메모리칩을 상기된 바와 같이 곱 구조로서 1개의 패키지에 탑재하고, 전체적으로 512M 비트의 기억 용량을 갖도록 된다. 이 실시예에서는, 2개의 메모리칩을 각각 ×2, ×4 및 ×8 비트 구성으로 함으로써, ×4 비트, ×8 비트 및 ×16 비트로 이루어지는 3가지의 비트 구성으로 하는 경우의 핀 배열이 도시되어 있다.

이 실시예에서, 전원 단자 VCC는 상기 전원 리드 VDD에 대응하고, 전원 단자 VCCQ나 VSSQ는, 상기 버스바에는 접속되지 않고, 이들 외부 단자로부터 전원 전압 VCC 및 회로의 접지 전위 VSS를 공급하는 것으로서 이용된다. 이들 전원 전압 VCCQ, VSSQ는 출력 버퍼용의 동작 전압을 공급하는 것으로서 이용된다. 이에 따라, 출력 버퍼로 발생하는 전원 노이즈가 반도체 기억 장치의 내부에서 상기 버스바를 통해 다른 내부 회로로 전파하는 것을 방지하는 것이다. 이에 따라, 내부 회로의 동작을 안정화를 도모할 수 있게 된다.

이 실시예에서는, 54핀의 표준 패키지에 256M 비트의 2개의 메모리칩을 표리 관계로 탑재한 것이고, 물론 패키지의 두께도 표준 패키지의 두께가 된다.

도 4에는, 본 발명에 따른 반도체 기억 장치의 일 실시예의 출력 계통도가 도시되어 있다. 이 실시예에서는, 특별히 제한되지 않지만, 64M 비트의 기억 용량의 메모리칩을 이용한 예가 도시되고, 노멀 모드에서의 메모리 어레이 위치와 DQ 번호의 관계가 나타내어져 있다. 이 실시예에서는, ×2 비트품, ×4 비트품, ×8 비트품 및 ×16 비트품의 4가지의 비트 구성 중에서 1개를 선택할 수 있도록 된다. 메모리 어레이는, 후술된 바와 같이 1개의 메모리 뱅크에 대응한 메모리 어레이가 16개의 서브 어레이로 분할되고, 각 서브 어레이로부터 2쌍의 메인 입출력선(MIO)이 설치되고, 상기 MIO에 대응하여 32개의 메인 증폭기가 설치된다. 상기 16개의 서브 어레이는, 8개씩 좌우(L/R)로 분할된다.

×2 비트품으로는 기호 L과 R로 나타낸 바와 같이 메모리 어레이의 좌우반씩이 각각 DQ0, DQ1에 대응한다. 이 실시예에서는, 어드레스 신호 A0 A7에 의해 선택 신호 YS가 발생되어, 1개의 메모리 뱅크로부터 32쌍의 MIO(메인 입출력선)에 신호가 출력된다. 상기 32쌍의 MIO는, 상기된 바와 같이 16개씩이 좌측 L, 우측 R의 2세트로 분리된다. ×2 비트품에서는, 메인 증폭기 MA에 대응하여 32개 설치되는 버퍼 회로 BC가 상기 L과 R에 대응한 2세트로 분리되어 데이터 단자 DQ3(0)과 DQ15(1)에 공통으로 접속된다.

어드레스 신호 A8에 의해 형성된 컬럼 선택 신호 Y8 또는 Y8B에 의해, 상기 16개씩의 메인 증폭기 내의 8개가 선택되고, 더욱 도시하지 않은 어드레스 신호 A9, A10 및 A11에 의해 최종적으로 상기 L과 R로부터 1개씩의 메인 증폭기 MA가 선택되어 상기 선택된 메인 증폭기 MA에 대응한 버퍼 회로 CB를 통해 출력 단자 DQ3(0)과 DQ15(1)로부터 2비트의 데이터가 출력된다. 여기서, (0)과 (1)은, ×2 비트 구성일 때의 단자 번호를 나타내고 있다. 이하, 이것은 다른 비트 구성이라도 마찬가지다.

×4 비트품에서는, 상기 버퍼 회로 CB의 출력선이 4세트로 분리된다. 그것에 대응하여, 메인 증폭기 MA를 선택하는 어드레스 신호 A11이 무효(축퇴)되어, 4 비트 단위의 데이터 판독이 행해진다. ×8 비트품에서는, 버퍼 회로 CB의 출력선이 8세트로 분리되고, 메인 증폭기 MA를 선택하는 어드레스 신호 A11과 A10이 무효(축퇴)되어 8비트 단위의 데이터 판독이 행해진다. 그리고, ×16 비트품에서는, 버퍼 회로 CB의 출력선이 16세트로 분리되고, 메인 증폭기 MA를 선택하는 어드레스 신호 A11과 A10 및 A9가 무효(축퇴)되어 8 비트 단위의 데이터 판독이 행해진다.

도 5에는, 본 발명에 따른 반도체 기억 장치를 이용한 메모리 모듈의 일 실시예의 주요부 단면도가 도시되어 있다. 표리 관계의 메모리칩을 갖는 반도체 기억 장치가, 모듈 기판의 양면에 탑재되어 있다. 리드는 메모리칩 상에 접착층을 통해 접착된다. 이들 리드의 연장 방향과는 직각 방향으로 연장되는 버스바는, 접착층이 얇게 형성되어, 그 높이가 상기 리드보다 낮게 이루어진다. 이에 따라, 리드의 선택과 메모리칩의 표면에 설치되는 본딩 패드사이를 접속하는 와이어가 상기 버스바와 접촉하지 않도록 높이 방향의 마진을 크게 할 수 있다.

모듈 기판의 양면에 탑재되는 반도체 기억 장치는, 상기된 바와 같이 2개의 메모리칩이 적층 구조로 되어 있지만, 이면이 중첩하도록 형성되어 있으므로, 실링 수지의 두께를 얇게 형성할 수 있다. 즉, 이 실시예의 반도체 기억 장치는, 1개의 메모리칩밖에 탑재되지 않은 통상의 반도체 기억 장치로서, 그 절반의 기억 용량을 갖는 반도체 기억 장치와 동일 두께의 패키지로 형성할 수 있고, 상기 반도체 기억 장치를 이용한 메모리 모듈과의 치환이 가능해진다. 이러한 메모리 모듈의 치환에 의해, 동일 실장 체적이면 기억 용량이 2배로 할 수 있어, 동일 기억 용량이면 실장 면적을 반으로 저감시킬 수 있다.

본 발명에 따른 반도체 기억 장치는, 상기 도 1, 도 2에 및 도 5에 도시된 바와 같이, 제1 및 제2 메모리칩(즉, 상측과 하측의 메모리칩)의 이면끼리 중첩한 상태에서 실링되고, 실링체의 제1변으로부터 상기 실링체 내외로 연장되는 제1 리드 DQ0 및 제2 리드 DQ1과, 상기 제1변과 대향하는 상기 실링체의 제2변으로부터 상기 실링체의 내외로 연장되는 제3 리드 DQ2 및 제4 리드 DQ3을 구비한다.

상기 제1 및 제2 메모리칩은, 각각의 회로 형성면에 있어서, 각 메모리칩의 긴 변과 평행한 직선으로서 짧은 변의 중앙부를 통하는 직선을 따라 배치된 데이터 출력용의 제1 단자 DQ(a), 제2 단자 DQ(b), 제3 단자 DQ(c) 및 제4 단자 DQ(d)를 포함하는, 상기 제2 단자 DQ(b)는 상기 제1 단자 DQ(a)와 제3 단자 DQ(c)사이의 상기 제1 단자 DQ(a)에 가까운 위치에 배치되고, 상기 제3 단자 DQ(c)는 상기 제2 단자 DQ(b)와 제4 단자 DQ(d)사이의 상기 제4 단자 DQ(d)에 가까운 위치에 배치된다.

상기 제1 리드 DQ0과 상기 제4 리드 DQ3은 상기 직선을 끼워 대향하는 위치에 배치되고, 상기 제2 리드 DQ1과 상기 제3 리드 DQ2는 상기 직선을 끼워 대향하는 위치에 배치된다. 상기 제1 및 제2 메모리칩은 각각, 상기 제1 및 제2 단자 중 어느 한쪽, 예를 들면 제1 단자 DQ(a)와, 제3 및 제4 단자 중 어느 하나, 예를 들면 제3 단자 DQ(c)를 이용하여 2 비트 단위로 데이터 출력을 행함에 따라, 합계 4 비트 단위로 상기 제1, 제2, 제3 및 제4 리드로부터 데이터 출력을 행한다. 또, 도 1에서 하측의 메모리칩에는 제2 단자 DQ(b) 및 제4 단자 DQ(d)에 대응하는 단자가 그려지지 않았지만, 도면이 번잡함을 피하기 위해 기재를 생략한 것으로, 실제는 상측의 칩과 하측의 칩은 동일한 구성이 되어, 각 단자도 대응하여 존재한다.

여기서 제1 및 제2 메모리칩은 각각, 2 비트 단위의 데이터 출력과 4 비트 단위의 데이터 출력을 선택하는 것이 가능하고, 4 비트 단위로 데이터 출력을 행하는 경우에는, 상술된 바와 같이, 제1 단자 DQ(a), 제2 단자 DQ(b), 제3 단자 DQ(c) 및 제4 단자 DQ(d)가 이용되는, 이들 단자의 상기된 위치 관계는, 대응하는 리드의 규격화된 위치에 따라 정해져 있다. 즉, 상호 대응하는 리드와 단자사이를 와이어로 접속할 때, 와이어의 길이를 짧게 할 수 있는 위치 관계에 각 단자가 배치되어 있다. 다시 말해, 제1 리드 DQ0과 제4 리드 DQ3의 근처에 각 메모리칩의 제1 단자 DQ(a)와 제2 단자 DQ(b)가 배치되고, 제2 리드 DQ1과 제3 리드 DQ2 근처에 각 메모리칩의 제3 단자 DQ(c) 및 제4 단자 DQ(d)가 배치되어 있다.

2 비트 단위의 데이터 출력의 경우에는, 각 메모리칩은 상기 4개의 데이터 단자 중 어느 2개를 임의의 조합으로 이용할 수 있지만, 본 발명자의 검토에 따르면, 본 실시예에 도시된 바와 같이 상기 제1 및 제2 메모리칩은 각각, 상기 제1 및 제2 단자 중 어느 하나(예를 들면 제1 단자 DQ(a))와, 제3 및 제4 단자 중 어느 한쪽(예를 들면 제3 단자 DQ(c))을 이용하여 2 비트 단위의 출력을 행하는 것이 바람직한 것을 발견하였다.

즉, 제1 메모리칩의 제1 단자 DQ(a)와 제3 단자 DQ(c)는, 각각 이들 단자의 근처로 연장되는 제1 리드 DQ0과 제2 리드 DQ1에 각각 와이어를 이용하여 용이하게 접속할 수 있다. 또한, 제1 메모리칩의 제1 단자 DQ(a)와 제3 단자 DQ(c)는, 각각 이들 단자의 근처로 연장되어 있는 제4 리드 DQ3과 제3 리드 DQ2에 각각 와이어를 이용하여 용이하게 접속할 수 있다.

이에 대해, 제1 단자 DQ(a)와 제2 단자 DQ(b)를 이용하여 각 메모리칩으로부터 2 비트 단위의 출력을 행하면, 제1 메모리칩에 대해서는, 이들 단자의 근처로 연장되어 있는 제1 리드 DQ0과 제4 리드 DQ3에 각각 와이어를 이용하여 용이하게 접속할 수 있다. 그러나, 제2 메모리칩에 대해서는, 제1 단자 DQ(a)와 제2 단자 DQ(b)로부터 멀리 떨어진 제2 리드 DQ1과 제3 리드 DQ2에 접속해야 한다. 이와 같이 멀리 떨어진 리드와 단자를 와이어로 접속하는 것은, 다른 와이어와의 쇼트나, 와이어의 기생 용량의 증가를 초래하므로 바람직하지 못하다.

신호선의 기생 용량을 저감하는 것은, 신호 전달 속도를 개선하기 때문에 중요하다. 그래서, 도 15에 나타낸 실시예와 같이, 접속되지 않은 메모리칩으로의 데이터용 리드를 짧게 함으로써, 리드의 기생 용량을 저감하는 것이 가능하다. 이 실시예에서, 접속되지 않은 데이터용 리드는, 메모리칩의 단부로 절단되지만, 이러한 접속되지 않은 데이터용 리드 그 자체를 생략하는 것도 가능하다. 도 16에는, 상기 메모리칩과 리드 프레임과의 관계를 설명하는 평면도가 도시되어 있고, 메모리칩과 각 리드는, 2개의 메모리칩 중 한 쪽을 나타내는 것이다. 복수의 리드 중 상기 절단되는 리드는, 점선으로 둘러싸인 리드와 같이 외장 이탈을 방지하기 위해 메모리칩을 향해 알파벳의 T 자형으로 형성된다.

상기 도 1에서는, 제1 리드 DQ0이 상측의 메모리칩과 하측의 메모리칩을 향해 분기하는 곳 또는 그 앞에서 절단하는 것이 바람직하다. 또한, 제조 당초부터 절단 후의 형상을 포함하는 리드를 이용해도 좋다. 즉, 각 데이터용 리드는, 상기 제1 및 제2 메모리칩에 대한 연장 길이에 있어서 비대칭인 구성은, 상기 연장 길이에서 대칭적인 구성에 대해, 기생 용량 저감에 따른 신호 전달 속도의 개선을 도모할 수 있다.

도 6에는, 본 발명에 따른 메모리 모듈의 일 실시예의 표면도가 도시되고, 도 7에는, 상기 메모리 모듈의 이면도가 도시되어 있다. 모듈 기판의 표면측 및 이면측에는, 9×2(="18개)와" 같이 매트릭스형으로 배열되어 반도체 기억 장치가 탑재된다. 이들 메모리 모듈 기판의 양면에 탑재된 전체적으로 36개로 이루어지는 반도체 기억 장치의 각각은, 상기 도 1 또는 도 5에 도시된 바와 같은 2개의 메모리칩이 적층 구조로 구성된다.

상기 9×2와 같이 매트릭스형으로 배열된 반도체 기억 장치와, 메모리 모듈의 길이 방향의 일단측에 설치된 커넥터(접속 전극)사이에는, 레지스터, 신호 변환용의 반도체 집적 회로 장치 및 안정화 전원용의 캐패시터, 각종 저항 소자 등이 탑재된다.

도 8에는, 도 6 및 도 7의 메모리 모듈의 일 실시예를 나타내는 블록도가 도시되어 있다. 이 실시예의 메모리 모듈은, ×2 비트의 메모리칩이 적층 구조가 되어 등가적으로 ×4 비트 구성으로 이루어진 반도체 기억 장치를 여러개 모듈 기판에 탑재하여 64 비트의 메모리 장치를 구성한다. 즉, 모듈 기판을 끼워 양면에 상기된 반도체 기억 장치가 설치되고, 메모리 뱅크(BANK)0과 1을 포함하는 메모리 장치가 구성된다.

메모리 뱅크(0와 1)는, 상기 도 6과 도 7에 도시된 9개의 반도체 기억 장치의 각각에 대응하고 있다. 즉, 메모리 뱅크(0와 1)의 데이터 단자 DQ0 DQ31 및 패리티 비트 CB0 CB3을 담당하는 9개의 반도체 기억 장치는, 도 6에 도시된 9×2개에 대응하고, 메모리 뱅크(0과 1)의 데이터 단자 DQ32 DQ64 및 패리티 비트 CB4 CB7을 담당하는 9개의

반도체 기억 장치는, 도 7에 도시된 9×2개에 대응하고 있다. 이와 같이, 데이터 단자는, DQ0 DQ63의 64 비트 구성의 메모리 모듈이 된다. 패리티 비트로서 CB0 CB7의 8 비트가 설치된다. 이 때문에, 이 실시예에 따르는 메모리 모듈이 탑재되는 주기판에 있어서, 상기 메모리 모듈의 커넥터가 삽입되는 소켓에 접속되는 데이터 버스는, 72 비트 구성이 된다.

도 9에는, 본 발명에 따른 메모리 모듈을 이용한 메모리 장치를 설명하기 위한 개략 구성도가 도시되어 있다. 동일 도면에서는, 복수의 메모리 모듈을 구성하는 실장 기판의 1개의 변에 나열되어 형성된 컨텍터(접속 전극)가 도시하지 않은 주기판에 설치된 소켓에 삽입되는 상태로 나열되는 모습을 나타내고 있다. 복수의 메모리 모듈은, 상기 소켓에 대응하여 좁은 간격으로 배열될 필요가 있고, 그 때문에 메모리 모듈에 실장되는 반도체 기억 장치의 두께를 얇게 형성하는 것이 중요한 것이다. 이 실시예에서는, 도 6 및 도 7의 실시예의 메모리 모듈과는 달리, 모듈 기판에 메모리칩 SDRAM이 일렬로 나열된 예가 나타내어져 있다.

도 10에는, 본 발명에 따른 반도체 기억 장치를 이용한 메모리 모듈의 다른 일 실시예의 주요부 단면도가 도시되어 있다. 이 실시예에서는, 2개의 메모리칩을 적층 구조로 하고, 또한 실링 수지의 두께를 얇게 하기 위해, 도 5의 실시예와는 반대로 메모리칩의 이면이 외측을 향하도록 적층 구조가 된다. 이 때문에, 메모리칩의 이면은, 실링의 목적으로는 몰드 수지는 형성되지 않는다. 이것은, 반도체 기억 장치의 제조의 과정에서 메모리칩의 이면의 일부 또는 전체에 얇은 실링 수지가 형성되는 것은 무방하다. 즉, 실링으로서의 역할을 갖게 하기 위해 종래와 같이 두껍게 실링 수지를 이면으로까지 형성되지 않으면 된다.

본원 발명에서, 반도체 기억 장치를 얇게 하기 위해, 메모리칩의 이면을 완전히 노출시킨 상태로 해야하는 것은 아니다. 적층 구조로 된 메모리칩의 이면은, 전체의 두께가 얇게 형성되면 그 제조의 과정에서 실링 수지가 이면까지 얇게 형성되는 것은 무방하고, 적당한 절연성의 도료 등을 도포하는 것이라도 좋다. 혹은, 메모리칩의 이면에 산화막을 형성하여 절연성을 갖게 하는 것이라도 좋다. 반도체 기판의 이면을 그대로 노출시켜 두는 것은, 반도체 기억 장치 그 자체는 문제가 없지만, 전자 장치에 실장했을 때나, 조립 시에 원하지 않은 전기적인 접촉을 생기게 할 가능성이 있으므로, 상기된 바와 같이 전기적으로 절연시켜 두도록 하는 것이 바람직하다.

이 실시예의 반도체 기억 장치는, 메모리칩의 이면을 외측으로 하여 소자가 형성되는 표면측을 상호 마주 보는 형태로 하여 적층 구조로 되어 있다. 이와 같이 도 5의 실시예와는 메모리칩의 방향을 각각 반대로 해도 이면의 실링 수지를 생략할 수 있는 것에 의해서도, 실질적으로는 도 5의 실시예와 마찬가지로 반도체 기억 장치의 두께를 얇게 할 수 있다.

도 11에는, 본 발명에 따른 반도체 기억 장치의 다른 일 실시예의 주요부 단면도가 도시되어 있다. 이 실시예의 반도체 기억 장치는, 테이프(플렉시블 기판)에 리드가 프린트되고, 그것이 메모리칩의 표면에 접착되고, 와이어 범프에 의해 본딩 패드에 접속된다. 특별히 제한받지 않았지만, 표면으로부터 측면에 걸쳐 실링 수지가 설치되고, 이면은 상기 도 10에서 설명된 바와 같은 의미에 있어서 실질적으로 수지 실링되지 않고 노출하여, 전체적인 두께가 얇게 형성된다. 그 때문에, 2개의 반도체 기억 장치를 독립시킨 상태에서 모듈 기판 상에서 적층 구조가 된다.

이상과 같이, 본 발명에 따른 반도체 기억 장치에서는, 메모리칩에서 ×2 구성을 더함에 따라 적층품으로 ×4 비트로부터의 비트 구성을 가능하게 하는 것이다. 또한 본 발명에서는 ×2, ×4, ×8, ×16을 전부 본드 옵션으로 함으로써, 동일한 웨이퍼 전 공정으로 제작된 칩을 조립 단계의 일부 패드의 조립을 다르게 할 뿐으로 전개 가능하게 하는 것이다. 이러한 본드 옵션으로 함으로써, 웨이퍼 전 공정으로 작성된 메모리칩의 양산화를 도모할 수 있어, 저비용화를 촉진할

수 있다.

[표 1]

	BOP0B	BOP1B	BOP2B	BOP3B
×2	VSS	Floating	-	-
×4	Flating	Floating	-	-
×8	VSS	VSS	-	-
×16	Floating	VSS	-	-
EDO	-	-	Floating	-
FP	-	-	VSS	-
4KR	-	-	-	Floating
8KR	-	-	-	VSS

표 1은, 본원 발명에 따른 반도체 기억 장치가 약 64M 비트와 같은 기억 용량을 갖고, EDO/FP품에 적용한 경우의 본딩 옵션을 행하기 위한 패드 입력과 기능의 관계예이다. 4개의 옵션 패드 중, 2 패드 BOP0B, BOP1B를 이용하여 4가지의 비트 구성을 전환하고, 1 패드 BOP2B를 이용하여 EDO와 퍼스트 페이지(FP)의 전환을 행하고, 나머지 1 패드 BOP3B를 이용하여 4K 리프레시(4KR)와 8K 리프레시(8KR)의 전환을 행한다.

[표 2]

	EDO-F의 DQ패드의 배열															
×16	8	7	9	6	10	5	11	4	12	3	13	2	14	1	15	0
×8		3	4			2	5			1	6			0	7	
×4										1	2			0	3	
×2										0					1	

표 2는, DQ 핀의 역할의 관계이다. ×16 비트까지 서포트하기 위해 16개의 DQ핀을 갖는다. 이들은 ×8, ×4, ×2가 됨에 따라 사용하지 않은 핀이 증가하지만, 이들 경우에는 개방(오픈)으로 하면 좋다. DQ1, DQ3, DQ13, DQ15는 ×4로 이용함과 함께, 4DQ 사용의 병렬 테스트의 입출력 핀으로 이용된다. DQ15는 모든 경우에 사용된다. 즉 ×2 비트에서도, EIAJ 테스트에서도 사용된다.

표 1에서, 상기된 옵션 패드 중, 2 패드 BOP0B, BOP1B 및 필요에 따라 2 패드 BOP2B, BOP3B도 외부 단자에 접속하도록 해도 좋다. 이 경우에는, 상기 메모리 모듈에 탑재했을 때, 이들 외부 단자에 표 1과 같은 전압을 공급함으로써, 상기된 바와 같이 비트 구성의 설정이 가능해진다. 이에 따라, 사용자에 있어서 메모리 모듈에 탑재할 때에 데이터 단자의 비트 구성을 선택할 수 있다.

도 12에는, 본 발명이 적용되는 다이내믹형 RAM의 실시예의 개략 레이아웃도가 도시되어 있다. 동일 도면의 각 회로 블록은, 공지의 반도체 집적 회로의 제조 기술에 의해, 단결정 실리콘과 같은 1개의 반도체 기판 상에서 형성된다. 동일 도면의 각 회로는, 상기 반도체 기판 상에서의 기하학적인 배치에 거의 맞추어 그려져 있다. 이 실시예에서는, 메모리 어레이는, 전체 4개로 분리하여, 메모리 뱅크(Bank : 0 3)를 구성하도록 이루어진다.

상기 메모리 뱅크(0 3)는, 반도체 칩의 길이 방향을 따른 상하 2개, 좌우로 2개씩 분할된 메모리 어레이에 대응된다. 상기 칩의 길이 방향에 따른 중앙 부분에 어드레스 입력 회로, 데이터 입출력 회로 및 본딩 패드 열로 이루어지는 주변 회로 PERI가 설치된다.

도시하지 않았지만 주변 회로 PERI의 예로서는, 승압 전압 발생 회로와 그 동작을 제어하는 제어 회로, SSTL의 인터페이스인 경우에는, 외부 전원 전압 VDDQ를 1/2로 분압하여, 차동 회로로 구성된 입력 회로의 참조 전압을 형성하는

분압 회로, 입출력 회로와 그 클럭 컨트롤 회로, Y 프리디코더와 리드/라이트 버퍼, 주변 회로의 동작 전압을 형성하는 강압 회로, VPP 전압이 원하는 전압인지의 여부를 검출하는 VPP 센서, X어드레스 래치 회로, Y클럭 회로, 모드 디코더/클럭 버퍼와 커맨드 회로, Y카운터와 그 제어 회로, 리프레시 제어 회로, 본딩 옵션 회로, 전원 투입 검출 회로 등으로 이루어진다.

상술된 바와 같이 반도체 칩의 길이 방향에 따른 상하로 2개와, 좌우로 2개씩 분리되어 합계 4개로 이루어지는 각 메모리 어레이에 있어서, 길이 방향에 대해 좌우 방향의 중간부에 X계 프리디코더 회로 ROWPDC 및 구제 회로 ROWRED, Y계 프리디코더 회로 COLPDC 및 구제 회로 COLRED가 통합되어 배치된다. 즉, 상기 4개의 메모리 어레이에 각각 대응하고, 상기 X계 프리디코더 회로 ROWPDC 및 구제 회로 ROWRED, Y계 프리디코더 회로 COLPDC 및 구제 회로 COLRED가 상기 좌우 2개씩 설치된 메모리 어레이에 대응하여 2세트씩 분류하여 설치된다.

상기 메모리 어레이의 상기 중간 부분에 따라 상기 마찬가지로 메인 워드 드라이버 영역 MWD가 형성되어, 각각의 메모리 어레이에 대응하여 하, 상측으로 연장하도록 설치된 메인 워드선을 각각 구동하도록 이루어진다. 이 구성에서는, 상기 동일한 서브 어레이를 이용한 경우에는, 16개의 서브 어레이를 관통하도록 메인 워드선이 연장된다. 특별히 제한받지 않았지만, 상기 메모리 어레이에 있어서, 상기 칩 중앙 부분과는 반대측의 칩 주변측에 Y 디코더 YDC가 설치된다. 즉, 상기 중앙측에 배치된 메인 증폭기 MA와 주변측에 배치된 Y 디코더 YDC에 의해 상기 4분할되어 이루어지는 각 메모리 어레이가 각각 삽입되도록 배치되는 것이다. 이들 4개의 메모리 어레이가, 4개의 메모리 뱅크에 대응하고 있다.

상기된 바와 같이 메모리 뱅크에 대응한 1개의 메모리 어레이가 워드선 방향으로 16개의 서브 어레이를 갖고, 각각으로부터 2쌍의 메인 입출력선이 서브 어레이사이를 비트선 방향으로 연장되어, 상기된 바와 같이 32개의 메인 증폭기 MA의 입력 단자로 유도된다. 이에 따라, 상기된 바와 같은 ×2, ×4, ×8 및 ×16가지의 비트 구성의 전환이 가능해진다.

이 실시예에서는, 상기 중앙측에 배치된 메인 증폭기 MA와 주변측에 배치된 Y디코더 YDC에 의해 상기 4 분할되어 이루어지는 각 메모리 어레이가 삽입되도록 배치된다. 상기 메모리 어레이는, 그 1개가 확대되어 나타낸 바와 같이, 복수의 서브 어레이(15)로 분할된다. 이러한 서브 어레이(15)는, 그것을 끼우도록 배치된 센스 증폭기 영역(16), 서브 워드 드라이버 영역(17)에 둘러싸여 형성된다. 상기 센스 증폭기 영역(16)과, 상기 서브 워드 드라이버 영역(17)의 교차부는 교차 영역(18)이 된다. 상기 센스 증폭기 영역(16)에 설치되는 센스 증폭기는, 공유 감지 방식에 따라 구성되고, 메모리셀 어레이의 양단에 배치되는 센스 증폭기를 제외하여, 센스 증폭기를 중심으로 하여 좌우로 상보 비트선이 설치되고, 좌우 어느 하나의 메모리셀 어레이의 상보 비트선에 선택적으로 접속된다.

1개의 서브 어레이(15)는, 도시하지 않았지만 예를 들면 256개의 서브 워드선과, 그것과 직교하는 256쌍으로 이루어지는 상보 비트선(또는 데이터선)으로 구성된다. 또, 서브 어레이에는 불량 워드선 또는 불량 비트선의 구제를 위해 예비의 워드선 및 예비의 상보 비트선도 설치되는 것이다. 상기 1개의 메모리 어레이에 있어서, 상기 서브 어레이가 워드선의 배열 방향으로 16개 설치되므로, 전체적인 상기 서브 워드선은 약 4K분 설치되고, 비트선의 배열 방향으로 16개 설치되기 때문에, 상보 비트선은 전체적으로 약 4K분 설치된다. 이러한 메모리 어레이가 전체적으로 4개 설치되기 때문에, 전체적으로는 4×4K×4K="64M" 비트와 같은 기억 용량을 갖도록 이루어진다.

다른 예로서, 1개의 서브 어레이(15)는, 도시하지 않았지만 예를 들면 512개의 서브 워드선과, 그것과 직교하는 512쌍으로 이루어지는 상보 비트선(또는 데이터선)으로 구성해도 좋다. 상기 마찬가지로 서브 어레이에는 불량 워드선 또는 불량 비트선의 구제를 위해 예비의 워드선 및 예비의 상보 비트선도 설치된다. 상기 1개의 메모리 어레이에서, 상기

서브 어레이가 워드선의 배열 방향으로 16개 설치되기 때문에, 전체적인 상기 서브 워드선은 약 8K분 설치되고, 비트선의 배열 방향으로 16개 설치되므로, 상보 비트선은 전체 약 8K분 설치된다. 이러한 메모리 어레이가 전체 4개 설치되기 때문에, 전체 8×8K×4K="256M" 비트와 같은 기억 용량을 갖도록 이루어진다.

상기된 바와 같은 계층 워드선 방식을 채용함에 따라, 상기 모든 경우에도 상보 비트선의 길이가, 상기 16개의 서브 어레이에 대응하여 1/16의 길이로 분할된다. 서브 워드선은, 상기 16개의 서브 어레이에 대응하여 1/16의 길이로 분할된다. 상기 1개의 메모리 어레이의 분할된 서브 어레이(15)마다 서브 워드 드라이버(서브 워드선 구동 회로 : 17)가 설치된다. 서브 워드 드라이버(17)는, 상기된 바와 같이 메인 워드선에 대해 1/16의 길이로 분할되고, 그것과 평행하게 연장되는 서브 워드선의 선택 신호를 형성한다.

이 실시예에서는, 메인 워드선의 수를 줄이기 위해, 환언하면, 메인 워드선의 배선 피치를 완만하게 하기 위해, 특별히 제한받지 않지만, 1개의 메인 워드선에 대해, 상보 비트선 방향으로 4개로 이루어지는 서브 워드선을 배치시킨다. 이와 같이 메인 워드선 방향으로는 8개로 분할되고, 및 상보 비트선 방향에 대해 4개씩이 할당된 서브 워드선 중에서 1개의 서브 워드선을 선택하기 위해, 메인 워드 드라이버 MWD에는 도시하지 않은 서브 워드 선택 드라이버가 배치된다. 이 서브 워드 선택 드라이버는, 상기 서브 워드 드라이버의 배열 방향으로 연장되는 4개의 서브 워드 선택선 중에서 1개를 선택하는 선택 신호를 형성한다.

도 12와 같은 레이아웃을 채용한 경우에, Y 어드레스가 입력되면, 어드레스 버퍼 ADDBUP를 통해 상기 메모리 어레이의 중간부에 설치된 구제 회로, 프리디코더를 통해 칩의 주변측에 배치된 Y 디코더 YDC로 전해지고, 여기서 Y 선택 신호가 형성된다. 상기 Y 선택 신호로부터 1개의 서브 어레이의 상보 비트선이 선택되어, 그것과 반대측의 칩 중앙부측의 메인 증폭기 MA로 전해지고, 증폭되어 도시하지 않은 출력 회로를 통해 출력된다.

이 구성은, 겉으로는 신호가 칩을 빙빙 돌아 판독 신호가 출력되기까지의 시간이 길어지는 것처럼 판단된다. 그러나, 구제 회로에는, 어드레스 신호를 그대로 입력할 필요가 있으므로, 구제 회로를 칩 중앙 중 어느 하나에 배치되면, 불량 어드레스인지의 여부의 판정 결과에 따라 프리디코더의 출력 시간이 결정된다. 즉, 프리디코더와 구제 회로가 분리되어 있으면, 거기에서의 신호 지연이 실제의 Y 선택 동작을 늦추는 원인이 된다.

이 실시예에서는, 메모리 어레이를 삽입하여 메인 증폭기 MA와 Y 디코더 YDC가 양측에 배치되기 때문에, 서브 어레이의 상보 비트선을 선택하기 위한 신호 전달 경로와, 선택된 상보 비트선으로부터 입출력선을 통해 메인 증폭기 MA의 입력에 이르는 신호 전달 경로와의 합은, 모두 상보 비트선을 선택해도 메모리 어레이를 횡단하는 신호 전달 경로만 되어 상기된 바와 같이 1왕복하지만 반으로 단축할 수 있는 것이다. 이에 따라, 메모리 액세스의 고속화가 가능하게 되는 것이다.

상기된 바와 같이 4개의 메모리 어레이를 각각 메모리 뱅크에 대응시킨 경우, 상기 도 5의 실시예와 같이 표리 관계에서 적층 구조로 했을 때, 2개의 메모리칩에 있어서 동시에 동작되는 메모리 어레이의 위치가 다르도록 이루어진다. 즉, 상기 메모리칩의 세로 중앙부에 설치되는 주변 회로 PERI를 삽입하여 두개의 메모리 어레이가 선택된다. 이에 따라, 발열 개소를 분산시킬 수 있게 이루어진다.

도 13에는, 본 발명에 따른 다이내믹형 RAM의 센스 증폭기부를 중심으로 하여, 어드레스 입력으로부터 데이터 출력까지의 간략화된 한 실시예의 회로도가 도시되어 있다. 동일 도면에서는, 2개의 서브 어레이(15)에 상하로부터 삽입되도록 이루어진 센스 증폭기(16)와 교차 영역(18)에 설치되는 회로가 예시적으로 도시되고, 다른 것은 블록도로 하여 나타내고 있다.

다이내믹형 메모리셀은, 상기 1개의 서브 어레이(15)에 설치된 서브 워드선 SWL과, 상보 비트선 BL, BLB 중 한쪽의 비트선 BL사이에 설치된 1개가 대표로서 예시적으로 도시되어 있다. 다이내믹형 메모리셀은, 어드레스 선택 MOSFETQm과 기억 캐패시터 Cs로 구성된다. 어드레스 선택 MOSFETQm의 게이트는, 서브 워드선 SWL에 접속되고, 이 MOSFETQm의 드레인이 비트선 BL에 접속되고, 소스에 기억 캐패시터 Cs가 접속된다. 기억 캐패시터 Cs의 다른 전극은 공통화되어 플레이트 전압 VPLT가 제공된다. 상기 MOSFETQm의 기판(채널)에는 마이너스의 백 바이어스 전압 VBB가 인가된다. 특별히 제한받지 않지만, 상기 백 바이어스 전압 VBB는, -1V와 같은 전압으로 설정된다. 상기 서브 워드선 SWL의 선택 레벨은, 상기 비트선의 하이 레벨에 대해 상기 어드레스 선택 MOSFETQm의 임계치 전압만큼 높아진 고전압 VPP가 된다.

센스 증폭기를 내부 강압 전압 VDL로 동작시키도록 한 경우, 센스 증폭기에 의해 증폭되어 비트선에 제공되는 하이 레벨은, 상기 내부 전압 VDL 레벨이 된다. 따라서, 상기의 워드선의 선택 레벨에 대응한 고전압 VPP는 VDL+Vth+α가 된다. 센스 증폭기의 좌측에 설치된 서브 어레이의 한쌍의 상보 비트선 BL과 BLB는, 동일 도면에 도시된 바와 같이 평행하게 배치된다. 이러한 상보 비트선 BL과 BLB는, 공유 스위치 MOSFETQ1과 Q2에 의해 센스 증폭기의 단위 회로의 입출력 노드와 접속된다.

센스 증폭기의 단위 회로는, 게이트와 드레인이 교차 접속되어 래치 형태가 된 N 채널형의 증폭 MOSFETQ5, Q6 및 P채널형의 증폭 MOSFETMOSFETQ7, Q8로 이루어지는 CMOS 래치 회로로 구성된다. N 채널형 MOSFETQ5와 Q6의 소스는, 공통 소스선 CSN에 접속된다. p 채널형 MOSFETQ7과 Q8의 소스는, 공통 소스선 CSP에 접속된다. 상기 공통 소스선 CSN과 CSP에는, 각각 파워 스위치 MOSFET가 접속된다.

특별히 제한받지 않지만, N 채널형의 증폭 MOSFETQ5와 Q6의 소스가 접속된 공통 소스선 CSN에는, 특별히 제한받지 않지만, 상기 크로스 영역(18)에 설치된 N 채널형의 파워 스위치 MOSFETQ14에 의해 접지 전위에 대응한 동작 전압이 제공된다. 마찬가지로 상기 P 채널형의 증폭 MOSFETQ7과 Q8의 소스가 접속된 공통 소스선 CSP에는, 상기 내부 전압 VDL을 공급하는 N 채널형의 파워 MOSFETQ15가 설치된다. 상기된 파워 스위치 MOSFET는, 각 단위 회로로 분산하여 설치하도록 해도 좋다.

상기 N 채널형의 파워 MOSFETQ14와 Q15의 게이트로 공급되는 센스 증폭기용 활성화 신호 SAN과 SAP는, 센스 증폭기의 활성시에 하이 레벨이 되는 동상의 신호가 된다. 신호 SAP의 하이 레벨은 승압 전압 VPP 레벨의 신호가 된다. 승압 전압 VPP는, VDL이 1.8V일 때, 약 3.6V가 되므로, 상기 N 채널형 MOSFETQ15를 충분히 온 상태로 하여 공통 소스선 CSP를 내부 전압 VDL 레벨로 할 수 있다.

상기 센스 증폭기의 단위 회로의 입출력 노드에는, 상보 비트선을 단락시키는 이퀄라이즈 MOSFETQ11과, 상보 비트선에 하프 프리차지 전압 VBLR을 공급하는 스위치 MOSFETQ9와 Q10으로 이루어지는 프리차지(이퀄라이즈) 회로가 설치된다. 이들 MOSFETQ9 Q11의 게이트는, 공통으로 프리차지 신호 PCB가 공급된다. 이 프리차지 신호 PCB를 형성하는 드라이버 회로는, 도시하지 않지만, 상기 크로스 영역에 인버터 회로를 설치하여, 그 상승이나 하강을 고속으로 한다. 즉, 메모리 액세스의 개시시에 워드선 선택 타이밍에 선행하여, 각 크로스 영역으로 분산하여 설치된 인버터 회로를 통해 상기 프리차지 회로를 구성하는 MOSFETQ9 Q11을 고속으로 전환하도록 하는 것이다.

상기 크로스 영역(18)에는, IO 스위치 회로 IOSW(로컬 IO와 메인 IO를 접속하는 스위치 MOSFETQ19, Q20)이 놓인다. 또한, 도 3에 도시된 회로외에도, 필요에 따라 센스 증폭기의 공통 소스선 CSP와 CSN의 하프 프리차지 회로, 로컬 입출력선 LIO의 하프 프리차지 회로, 메인 입출력선의 VDL 프리차지 회로, 공유 선택 신호선 SHR과 SHL의 분산 드라이버 회로 등도 설치된다.

센스 증폭기의 단위 회로는, 공유 스위치 MOSFETQ3과 Q4를 통해 도면의 하측의 서브 어레이(15)의 동일한 상보 비트선 BL, BLB에 접속된다. 예를 들면, 상측의 서브 어레이의 서브 워드선 SWL이 선택되었을 때에는, 센스 증폭기의 상측 공유 스위치 MOSFETQ1과 Q2는 온 상태로, 하측 공유 스위치 MOSFETQ3과 Q4가 오프 상태가 된다. 스위치 MOSFETQ12와 Q13은, 컬럼(Y) 스위치 회로를 구성하는 것이고, 상기 선택 신호 YS가 선택 레벨(하이 레벨)이 되면 온 상태가 되고, 상기 센스 증폭기의 단위 회로의 입출력 노드와 로컬 입출력선 LIO1과 LIO1B, LIO2, LIO2B 등을 접속시킨다.

이에 따라, 센스 증폭기의 입출력 노드는, 상기 상측의 상보 비트선 BL, BLB에 접속되어, 선택된 서브 워드선 SWL에 접속된 메모리셀의 미소 신호를 증폭시키고, 상기 컬럼 스위치 회로(Q12와 Q13)를 통해 로컬 입출력선 LIO1, LIO1B로 전한다. 상기 로컬 입출력선 LIO1, LIO1B는, 상기 센스 증폭기 열을 따라, 즉 동일 도면에서는 가로 방향으로 연장된다. 상기 로컬 입출력선 LIO1, LIO1B는, 크로스 영역(18)에 설치된 N 채널형 MOSFETQ19와 Q20으로 이루어지는 IO 스위치 회로를 통해 메인 증폭기(61)의 입력 단자가 접속되는 메인 입출력선 MIO, MIOB에 접속된다.

상기 IO 스위치 회로는, X계의 어드레스 신호를 해독하여 형성된 선택 신호로부터 스위치 제어될 수 있다. 또, IO 스위치 회로는, 상기 N 채널형 MOSFETQ19와 Q20 각각에 P 채널형 MOSFET를 병렬로 접속한 CMOS 스위치 구성으로 해도 좋다. 싱크로너스 DRAM의 버스트 모드로는, 상기 컬럼 선택 신호 YS가 카운터 동작에 의해 전환되고, 상기 로컬 입출력선 LIO1, LIO1B 및 LIO2, LIO2B와 서브 어레이의 2세트씩의 상보 비트선 BL, BLB와의 접속이 순차적으로 전환된다.

어드레스 신호 Ai는, 어드레스 버퍼(51)로 공급된다. 이 어드레스 버퍼는, 시분할적으로 동작하여 X 어드레스 신호와 Y 어드레스 신호를 수신한다. X 어드레스 신호는, 프리디코더(52)로 공급되고, 메인 로우 디코더(11)와 메인 워드 드라이버(12)를 통해 메인 워드선 MWL의 선택 신호가 형성된다. 상기 어드레스 버퍼(51)는, 외부 단자로부터 공급되는 어드레스 신호 Ai를 수신하는 것으로, 외부 단자로부터 공급되는 전원 전압 VDDQ에 의해 동작되고, 상기 프리디코더는, 그것을 강압한 강압 전압 VPERI(VDD)에 의해 동작되고, 상기 메인 워드 드라이버(12)는, 승압 전압 VPP에 의해 동작된다. 이 메인 워드 드라이버(12)로서, 상기 프리디코드 신호를 수신하는 레벨 변환 기능이 있는 논리 회로가 이용된다. 컬럼 디코더(드라이버 :53)는, 상기 VCLP 발생 회로를 구성하는 MOSFETQ23에 의해 동작 전압이 형성되는 구동 회로를 포함하고, 상기 어드레스 버퍼(51)의 시분할적인 동작에 따라 공급되는 Y 어드레스 신호를 수신하여, 상기 선택 신호 YS를 형성한다.

상기 메인 증폭기(61)는, 상기 강압 전압 VPERI(VDD)에 의해 동작되고, 외부 단자로부터 공급되는 전원 전압 VDDQ로 동작되는 출력 버퍼(62)를 통해 외부 단자 Dout로부터 출력된다. 외부 단자 Din로부터 입력되는 기입 신호는, 입력 버퍼(63)를 통해 수신되고, 동일 도면에서 메인 증폭기(61)에 포함되는 라이트 앰프(라이트 드라이버)를 통해 상기 메인 입출력선 MIO와 MIOB에 기입 신호를 공급한다. 상기 출력 버퍼(62)의 입력부에는, 레벨 변환 회로와 그 출력 신호를 상기 클럭 신호에 대응한 타이밍 신호에 동기시켜 출력시키기 위한 논리부가 설치된다.

특별히 제한받지 않지만, 상기 외부 단자로부터 공급되는 전원 전압 VDDQ는, 제1 형태에서는 3.3V가 되고, 내부 회로로 공급되는 강압 전압 VPERI(VDD)는 2.5V로 설정되고, 상기 센스 증폭기의 동작 전압 VDL은 1.8V가 된다. 그리고, 워드선의 선택 신호(승압 전압)는, 3.6V가 된다. 비트선의 프리차지 전압 VBLR은, VDL/2에 대응한 0.9V가 되고, 플레이트 전압 VPLT도 0.9V가 된다. 그리고, 기판 전압 VBB는 -1.0V가 된다. 상기 외부 단자로부터 공급되는 전원 전

압 VDDQ는, 제2 형태로서 2.5V와 같은 저전압이 되어도 된다. 이와 같이 낮은 전원 전압 VDDQ일 때에는, 강압 전압 VPERI(VDD)와, 강압 전압 VDL을 1.8V정도와 동일하게 해도 좋다.

또는, 외부 단자로부터 공급되는 전원 전압 VDDQ는 3.3V가 되고, 내부 회로로 공급되는 강압 전압 VPERI(VDD)와 센스 증폭기의 동작 전압 VDL을 동일하게 2.0V 또는 1.8V와 같이 해도 좋다. 이와 같이 외부 전원 전압 VDDQ에 대해 내부 전압은, 여러 실시 형태를 취할 수 있다.

도 14에는, 본 발명이 적용되는 약 256M 비트의 싱크로너스 DRAM(이하, 단순히 SDRAM이라고 함)의 일 실시예의 전체 블록도가 도시되어 있다. 이 실시예의 SDRAM은, 특별히 제한받지 않지만, 4개의 메모리 뱅크 중 메모리 뱅크(0)를 구성하는 메모리 어레이(200A)와 메모리 뱅크(3)를 구성하는 메모리 어레이(200D)가 예시적으로 나타내어져 있다.

즉, 4개의 메모리 뱅크 중 2개의 메모리 뱅크(1와 2)에 대응한 메모리 어레이(200B, 200C)가 생략되어 있다. 4개의 메모리 뱅크(0 3)에 각각 대응된 메모리 어레이(200A 200D)는, 동일 도면에 예시적으로 도시되어 있는 메모리 어레이(200A와 200D)와 같이 매트릭스 배치된 다이내믹형 메모리셀을 구비하고, 도면에 따르면 동일 열에 배치된 메모리셀의 선택 단자는 열마다 워드선(도시하지 않음)에 결합되고, 동일 행에 배치된 메모리셀의 데이터 입출력 단자는 행마다 상보 데이터선(도시하지 않음)에 결합된다.

상기 메모리 어레이(200A)의 도시하지 않은 워드선은 행(로우) 디코더(201A)에 의한 로우 어드레스 신호의 디코드 결과에 따라 1개가 선택 레벨로 구동된다. 메모리 어레이(200A)의 도시하지 않은 상보 데이터선은 센스 증폭기 및 컬럼 선택 회로를 포함하는 I/O선(202A)에 결합된다. 센스 증폭기 및 컬럼 선택 회로를 포함하는 I/O선(202A)에서의 센스 증폭기는, 메모리셀로부터의 데이터 판독에 의해 각각의 상보 데이터선에 나타나는 미소 전위차를 검출하여 증폭하는 증폭 회로이다. 그것에 있어서의 컬럼 스위치 회로는, 상보 데이터선을 각별하게 선택하여 상보 I/O선으로 도통시키기 위한 스위치 회로이다. 컬럼 스위치 회로는 컬럼 디코더(203A)에 의한 컬럼 어드레스 신호의 디코드 결과에 따라 선택 동작된다.

메모리 어레이(200B 내지 200D)도 마찬가지로, 메모리 어레이(200D)에 예시적으로 도시된 바와 같이 로우 디코더(201D), 센스 증폭기 및 컬럼 선택 회로를 포함하는 I/O선(202D), 컬럼 디코더(203D)가 설치된다. 상기 상보 I/O선은 라이트 버퍼(214A, B)의 출력 단자 및 메인 증폭기(212A, D)의 입력 단자에 접속된다. 상기 메인 증폭기(212A, D)의 출력 신호는, 래치/레지스터(213)의 입력 단자로 이송되고, 이 래치/레지스터(213)의 출력 신호는, 출력 버퍼(211)를 통해 외부 단자로부터 출력된다.

외부 단자로부터 입력된 기입 신호는, 입력 버퍼(210)를 통해 상기 라이트 버퍼(214A, D)의 입력 단자로 이송된다. 상기 외부 단자는, 특별히 제한받지 않지만, 16 비트로 이루어지는 데이터 D0-D15를 출력하는 데이터 입출력 단자가 된다. 또, 상기 생략된 메모리 어레이(200B와 C)에 대응하여, 각각 상기 동일한 메인 증폭기, 라이트 버퍼가 설치된다.

어드레스 입력 단자로부터 공급되는 어드레스 신호 A0 A13은 컬럼 어드레스 버퍼(205)와 로우 어드레스 버퍼(206)에 어드레스 멀티플렉스 형식으로 수취된다. 256M 비트와 같은 기억 용량을 갖는 경우, 상기된 바와 같이 2 비트 단위의 메모리 액세스를 행하도록 하는 경우에는, 어드레스 신호 A14를 입력하는 어드레스 단자가 설치된다. C×4 비트 구성에서는, 어드레스 신호 A11까지 유효가 되고, ×8 비트 구성으로는 어드레스 신호 A10까지 유효가 되고, ×16 비트 구성에서는 어드레스 신호 A9까지 유효가 된다. 64M 비트와 같은 기억 용량인 경우에는, ×4 비트 구성에서는, 어드레스 신호 A10까지 유효가 되고, ×8 비트 구성에서는 어드레스 신호 A9까지 유효해지고, 그리고 도면과 같이 ×16

비트 구성에서는 어드레스 신호 A8까지 유효해진다.

어드레스 입력 단자로부터 공급된 어드레스 신호는 각각의 버퍼가 유지된다. 로우 어드레스 버퍼(206)는 리프레시 동작 모드에서는 리프레시 카운터(208)로부터 출력되는 리프레시 어드레스 신호를 로우 어드레스 신호로서 수신된다. 컬럼 어드레스 버퍼(205)의 출력은 컬럼 어드레스 카운터(207)의 프리셋트 데이터로서 공급되고, 열(컬럼) 어드레스 카운터(207)는 후술된 커맨드등으로 지정되는 동작 모드에 따라, 상기 프리셋트 데이터로서의 컬럼 어드레스 신호, 또는 그 컬럼 어드레스 신호를 순차적으로 인크리먼트한 값을, 컬럼 디코더(203A 203D)를 향해 출력한다.

동일 도면에서 점선으로 나타낸 컨트롤러(209)는, 특별히 제한받지 않지만, 클럭 신호 CLK, 클럭 인에이블 신호 CKE, 칩 셀렉트 신호/CS, 컬럼 어드레스 스트로브 신호/CAS(기호/는 이것이 첨부된 신호가 로우 인에이블의 신호인 것을 의미함), 로우 어드레스 스트로브 신호/RAS, 및 기록 인에이블 신호/WE 등의 외부 제어 신호와, 어드레스 입력 단자 A0 A11로부터의 제어 데이터가 공급되고, 이들 신호의 레벨의 변화나 타이밍등에 기초하여 SDRAM의 동작 모드 및 상기 회로 블록의 동작을 제어하기 위한 내부 타이밍 신호를 형성하는 것으로, 모드 레지스터(10), 커맨드 디코더(20), 타이밍 발생 회로(30) 및 클럭 버퍼(40) 등을 구비한다.

클럭 신호 CLK는, 클럭 버퍼(40)을 통해 상기 설명된 바와 같은 클럭 동기 회로(50)로 입력되고, 내부 클럭이 발생된다. 상기 내부 클럭은, 특별히 제한받지 않지만, 출력 버퍼(211), 입력 버퍼(210)를 활성화하는 타이밍 신호로서 이용됨과 함께, 타이밍 발생 회로(30)로 공급되고, 이러한 클럭 신호에 기초하여 열 어드레스 버퍼(205), 행 어드레스 버퍼(206) 및 열 어드레스 카운터(207)로 공급되는 타이밍 신호가 형성된다.

다른 외부 입력 신호는 상기 내부 클럭 신호의 상승 엣지에 동기하여 유의가 된다. 칩 셀렉트 신호 /CS는 그 로우 레벨에 의해 커맨드 입력 사이클의 개시를 지시한다. 칩 셀렉트 신호 /CS가 하이 레벨일 때(칩 비선택 상태)나 그 밖의 입력은 의미를 갖지 않는다. 단, 후술된 메모리 뱅크의 선택 상태나 버스트 동작등의 내부 동작은 칩 비선택 상태로의 변화에 따라 영향받지 않는다. /RAS, /CAS, /WE의 각 신호는 통상의 DRAM에서의 대응 신호와는 기능이 서로 다르고, 후술된 커맨드 사이클을 정의할 때에 유의의 신호가 된다.

클럭 인에이블 신호 CKE는 다음의 클럭 신호의 유효성을 지시하는 신호이고, 상기 신호 CKE가 하이 레벨이면 다음의 클럭 신호 CLK의 상승 엣지가 유효해지고, 로우 레벨일 때에는 무효가 된다. 또, 리드 모드에서, 출력 버퍼(211)에 대한 아웃 인에이블의 제어를 행하는 외부 제어 신호 /OE를 설치한 경우에는, 이러한 신호 /OE도 컨트롤러(209)로 공급되고, 그 신호의 예를 들면 하이 레벨일 때에는 출력 버퍼(211)는 고출력 임피던스 상태가 된다.

상기 로우 어드레스 신호는, 클럭 신호 CLK(내부 클럭 신호)의 상승 엣지에 동기하는 후술된 로우 어드레스 스트로브 · 뱅크 액티브 커맨드 사이클에서의 A0 A11의 레벨에 따라 정의된다.

어드레스 신호 A12와 A13은, 상기 로우 어드레스 스트로브 · 뱅크 액티브 커맨드 사이클에서 뱅크 선택 신호로 간주된다. 즉, A12와 A13의 조합에 따라, 4개의 메모리 뱅크(0 3) 중 1개가 선택된다. 메모리 뱅크의 선택 제어는, 특별히 제한받지 않지만, 선택 메모리 뱅크측의 로우 디코더만의 활성화, 비선택 메모리 뱅크측의 컬럼 스위치 회로의 전 비선택, 선택 메모리 뱅크측만의 입력 버퍼(210) 및 출력 버퍼(211)에의 접속등의 처리에 따라 행할 수 있다.

상기 컬럼 어드레스 신호는, 상기된 바와 같이 256M 비트로 ×16 비트 구성인 경우에는, 클럭 신호 CLK(내부 클럭)의 상승 엣지에 동기하는 리드 또는 라이트 커맨드(후술된 컬럼 어드레스 · 리드 커맨드, 컬럼 어드레스 · 라이트 커맨드) 사이클에서의 A0 A9의 레벨에 따라 정의된다. 그리고, 이렇게 함으로써 정의된 컬럼 어드레스는 버스트 액세스의 스타트 어드레스가 된다.

이어서, 커맨드에 의해 지시되는 SDRAM의 주된 동작 모드를 설명한다.

(1) 모드 레지스터 셋트 커맨드(Mo)

상기 모드 레지스터(30)를 세트하기 위한 커맨드이고, /CS, /RAS, /CAS, /WE="로우" 레벨에 따라 상기 커맨드 지정되고, 세트해야 할 데이터(레지스터 셋트 데이터)는 A0 A11을 통해 제공된다. 레지스터 셋트 데이터는, 특별히 제한받지 않지만, 버스트 길이, CAS 레이턴시, 라이트 모드등이 된다. 특별히 제한받지 않지만, 설정 가능한 버스트 길이는, 1, 2, 4, 8, 풀페이지가 되고, 설정 가능한 CAS 레이턴시는 1, 2, 3이 되고, 설정 가능한 라이트 모드는, 버스트 라이트와 싱글 라이트가 된다.

상기 CAS 레이턴시는, 후술된 컬럼 어드레스·리드 커맨드에 의해 지시되는 리드 동작에 있어서 /CAS의 하강으로부터 출력 버퍼(211)의 출력 동작까지 내부 클럭 신호의 몇 사이클분을 소비할지를 지시하는 것이다. 판독 데이터가 확정할 때까지는 데이터 판독을 위한 내부 동작 시간이 필요해지고, 그것을 내부 클럭 신호의 사용 주파수에 따라 설정하기 위한 것이다. 환언하면, 주파수가 높은 내부 클럭 신호를 이용하는 경우에는 CAS 레이턴시를 상대적으로 큰 값으로 설정하고, 주파수가 낮은 내부 클럭 신호를 이용하는 경우에는 CAS 레이턴시를 상대적으로 작은 값으로 설정한다.

(2) 로우 어드레스 스트로브·뱅크 액티브 커맨드(Ac)

이것은, 로우 어드레스 스토로브의 지시와 A12와 A13에 의한 메모리 뱅크의 선택을 유효하게 하는 커맨드이고, /CS, /RAS="로우" 레벨, /CAS, /WE="하이" 레벨에 따라 지시되고, 이 때 A0 A9로 공급되는 어드레스가 로우 어드레스 신호로서, A12와 A13으로 공급되는 신호가 메모리 뱅크의 선택 신호로서 수신된다. 수신 동작은 상술된 바와 같이 내부 클럭 신호의 상승 엣지에 동기하여 행해진다. 예를 들면, 상기 커맨드가 지정되면, 그에 따라 지정되는 메모리 뱅크에서의 워드선이 선택되고, 상기 워드선에 접속된 메모리셀이 각각 대응하는 상보 데이터선으로 도통된다.

(3) 컬럼 어드레스·리드 커맨드(Re)

이 커맨드는, 버스트 리드 동작을 개시하기 위해 필요한 커맨드와 함께, 컬럼 어드레스 스트로브의 지시를 하는 커맨드이고, /CS, /CAS="로우" 레벨, /RAS, /WE="하이" 레벨에 따라 지시되고, 이 때 A0 A9(×16 비트 구성의 경우)로 공급되는 컬럼 어드레스가 컬럼 어드레스 신호로서 수신된다. 이에 따라 수취된 컬럼 어드레스 신호는 버스트 스타트 어드레스로서 컬럼 어드레스 카운터(207)로 공급된다.

이에 따라 지시된 버스트 리드 동작에서는, 그 전에 로우 어드레스 스트로브·뱅크 액티브 커맨드 사이클에서 메모리 뱅크와 그것에 있어서의 워드선의 선택이 행해지고, 상기 선택 워드선의 메모리셀은, 내부 클럭 신호에 동기하여 컬럼 어드레스 카운터(207)로부터 출력되는 어드레스 신호에 따라 순차 선택되어 연속적으로 판독된다. 연속적으로 판독되는 데이터수는 상기 버스트 길이에 따라 지정된 개수가 된다. 또한, 출력 버퍼(211)로부터의 데이터 판독 개시는 상기 CAS 레이턴시로 규정되는 내부 클럭 신호의 사이클수를 대기하여 행할 수 있다.

(4) 컬럼 어드레스·라이트 커맨드(Wr)

라이트 동작의 형태로서 모드 레지스터(10)에 버스트 라이트가 설정되어 있을 때는 상기 버스트 라이트 동작을 개시하기 위해 필요한 커맨드가 되고, 라이트 동작의 형태로 하여 모드 레지스터(10)에 싱글 라이트가 설정되어 있을 때는 상기 싱글 라이트 동작을 개시하기 위해 필요한 커맨드가 된다. 또한 상기 커맨드는, 싱글 라이트 및 버스트 라이트에서의 컬럼 어드레스 스트로브의 지시를 한다.

상기 커맨드는, /CS, /CAS, /WE="로우" 레벨, /RAS="하이" 레벨에 따라 지시되고, 이 때 A0 A9로 공급되는 어드레스가 컬럼 어드레스 신호로서 수신된다. 이에 따라 수신된 컬럼 어드레스 신호는 버스트 라이트에서는 버스트 스타트 어드레스로서 컬럼 어드레스 카운터(207)로 공급된다. 이에 따라 지시된 버스트 라이트 동작의 순서도 버스트 리드 동작과 마찬가지로 행해진다. 단, 라이트 동작에는 CAS 레이턴시는 없어, 라이트 데이터의 수신은 상기 컬럼 어드레스·라이트 커맨드 사이클로부터 개시된다.

(5) 프리차지 커맨드(Pr)

이것은 A12와 A13에 의해 선택된 메모리 뱅크에 대한 프리차지 동작의 개시 커맨드가 되고, /CS, /RAS, /WE="로우" 레벨, /CAS="하이" 레벨에 따라 지시된다.

(6)자동 리프레시 옵션 커맨드

이 커맨드는 자동 리프레시를 개시하기 위해 필요해지는 커맨드이고, /CS, /RAS, /CAS="로우" 레벨, /WE, CKE="하이" 레벨에 따라 지시된다.

(7)버스트 스톱·인·풀페이지 커맨드

풀페이지에 대한 버스트 동작을 모든 메모리 뱅크에 대해 정지시키기 위해 필요한 커맨드이고, 풀페이지 외의 버스트 동작에서는 무시된다. 이 커맨드는, /CS, /WE="로우" 레벨, /RAS, /CAS="하이" 레벨에 따라 지시된다.

(8) 노오퍼레이션 커맨드(Nop)

이것은 실질적인 동작을 행하지 않는 것을 지시하는 커맨드이고, /CS="로우" 레벨, /RAS, /CAS, /WE의 하이 레벨에 따라 지시된다.

SDRAM에서는, 1개의 메모리 뱅크에서 버스트 동작이 행해질 때, 그 도중에 다른 메모리 뱅크를 지정하여, 로우 어드레스 스트로브·뱅크 액티브 커맨드가 공급되면, 상기 실행 중인 한쪽의 메모리 뱅크에서의 동작에는 아무런 영향을 주지 않고, 상기 다른 메모리 뱅크에서의 로우 어드레스계의 동작이 가능해진다. 예를 들면, SDRAM은 외부로부터 공급되는 데이터, 어드레스, 및 제어 신호를 내부에 보유하는 수단을 포함하고, 그 보유 내용, 특히 어드레스 및 제어 신호는, 특별히 제한받지 않지만, 메모리 뱅크마다 보유되도록 이루어져 있다. 혹은, 로우 어드레스 스트로브·뱅크 액티브 커맨드 사이클에 의해 선택된 메모리 블록에서의 워드선 1개분의 데이터가 컬럼계 동작전에 미리 판독 동작을 위해 래치/레지스터(213)에 보유되도록 이루어져 있다.

따라서, 예를 들면 16비트로 이루어지는 데이터 입출력 단자에 있어서 데이터 D0-D15가 충돌하지 않는 한, 처리가 종료하지 않은 커맨드 실행 중에, 상기 실행 중의 커맨드가 처리 대상으로 하는 메모리 뱅크와는 다른 메모리 뱅크에 대한 프리차지 커맨드, 로우 어드레스 스트로브·뱅크 액티브 커맨드를 발행하여, 내부 동작을 미리 시작시키는 것이 가능하다. 이 실시예의 SDRAM은, 상기된 바와 같이 16비트 단위의 메모리 액세스를 행하고, A0 A11의 어드레스에 의해 약 4M의 어드레스를 갖고, 4개의 메모리 뱅크로 구성되기 때문에, 전체적으로는 약 256M 비트(4M×4뱅크×16비트)와 같은 기억 용량을 갖도록 이루어진다.

상기된 실시예로부터 얻어지는 작용 효과는, 하기와 같다.

(1) 2 비트 단위로 메모리 액세스가 행해지는 2개의 메모리칩의 이면을 중첩시킨 상태에서 적층 구조로 조립하여 4 비트 단위의 메모리 액세스를 행하도록 함에 따라, 얇은 패키지를 이용하면서, 사용성이 좋은 반도체 기억 장치를 얻을 수 있다는 효과를 얻을 수 있다.

(2) 상기 2개의 메모리칩은, 상호 이면이 접촉하도록 중첩시킴에 따라, 이면의 실링 수지를 실링의 목적을 위해서는 불필요하고, 아주 배제할 수 있으므로 패키지의 박형화를 실현할 수 있다는 효과를 얻을 수 있다.

(3) 상기 메모리칩은, 복수의 메모리 뱅크로 나누어져 있고, 상기 이면이 접촉하도록 중첩됐을 때, 동일한 어드레스가 할당된 메모리 뱅크의 메모리칩 이면에서의 위치가 달라짐으로써, 발열 개소를 분산시킬 수 있다는 효과를 얻을 수 있다.

(4) 상기 2개의 메모리칩은, 상호 표면이 마주 보도록 중첩되어 상기 실링 수지가 2개의 메모리칩으로 삽입된 적어도 표면과 접촉하도록 형성함으로써, 패키지의 박형화를 실현할 수 있다는 효과를 얻을 수 있다.

(5) 상기 2개의 메모리칩은, 각각이 표면에 테이프 상태의 리드가 설치되고, 이면을 제외하여 적어도 상기 표면부가 상기 실링 수지와 접촉하도록 함으로써 적층으로 하면서, 그 두께를 얇게 할 수 있다는 효과를 얻을 수 있다.

(6) 상기 적층 구조가 된 2개의 메모리칩을 구비한 반도체 기억 장치의 두께는, 그것의 절반 또는 동등한 기억 용량을 갖는 1개 메모리칩을 갖는 반도체 기억 장치의 두께와 동등하던지 그 이하로 함으로써, 기존(범용)의 반도체 기억 장치와의 치환을 행하도록 하는 효과를 얻을 수 있다.

(7) 상기 메모리칩은, 배선 수단 또는 본딩 와이어를 이용하여, 그 신호 전달 경로 또는 그것과 함께 신호 레벨의 설정에 따라, 2 비트 단위의 메모리 액세스를 포함한 복수 비트 단위에 의한 복수가지의 데이터 입출력을 가능하게 하는 기능을 갖도록 함으로써, 다품종으로 이루어지는 메모리칩을 동일 공정으로 형성할 수 있기 때문에 양산화를 도모할 수 있다는 효과를 얻을 수 있다.

(8) 상기 복수 비트 단위를, 2 비트 단위, 4 비트 단위, 8 비트 단위 및 16 비트 단위의 4가지로 함으로써, 2 칩의 적층 구조를 포함하여 일반적으로 널리 이용되는 4, 8, 16 및 32 비트 구성의 반도체 기억 장치를 실질적으로 1 종류의 메모리칩으로 실현할 수 있고, 또한 최대로 1개의 메모리칩의 2배의 기억 용량을 얻을 수 있다는 효과를 얻을 수 있다.

(9) 상기 반도체 기억 장치는, 사각형의 수지 실링 패키지의 길이 방향의 양측면으로부터 연장되도록 리드를 형성하고, 상기 4비트를 제1 단자 내지 제4 단자로 이루어지는 데이터 단자로서, 상기 제1과 제2 단자와 제3과 제4 단자를 사각형의 수지 실링 패키지의 양측에 상기 길이 방향과 평행한 중심선에 대해 대칭적인 위치로 나눠 설치하고, 상기 2개의 메모리칩을 상기 2 비트의 데이터 단자에 대응된 전극을 상기 제1 단자와 제2 단자에 대해 전기적으로 접속함으로써, 2개의 메모리칩 각각의 데이터 단자를 분리시켜 상기 4개의 데이터 단자에 대응시킬 수 있다는 효과를 얻을 수 있다.

(10) 2 비트 단위로 메모리 액세스가 행해지는 2개의 메모리칩의 이면에 실링 수지가 닿지 않은 상태에서 적층 구조로 조립하여 4 비트 단위의 메모리 액세스를 행하도록 함으로써 이루어지는 반도체 기억 장치의 여러개를, 사각형으로 이루어지는 1개의 변을 따라 전극이 형성되어 이루어지는 실장 기판 상에 설치함에 따라, 단위 체적당의 기억 용량의 증대와, 고밀도 실장이 가능한 메모리 모듈을 얻을 수 있다는 효과를 얻을 수 있다.

(11) 상기 메모리 모듈의 여러개를 주기판 상에 평행하게 나열되어 배치되는 여러개의 커넥터에 상기 전극을 삽입하도록 함으로써 이용하는 것으로 함으로써, 단위 체적당의 기억 용량의 증대와, 고밀도 실장을 가능하게 할 수 있다는 효과를 얻을 수 있다.

(12) 상기 2개의 메모리칩은, 상호 이면이 접촉하도록 중첩되어 2개의 메모리칩 중 적어도 표면에 상기 실링 수지에 접촉하도록 형성함으로써, 범용의 반도체 기억 장치와 치환이 가능하고, 또한 단위 체적당 기억 용량의 증대와, 고밀도 실장을 가능하게 할 수 있다는 효과를 얻을 수 있다.

(13) 상기 2개의 메모리칩은, 상호 표면이 마주 보도록 중첩되어 상기 실링 수지가 2개의 메모리칩 중 적어도 표면에 접촉하도록 형성됨으로써, 범용의 반도체 기억 장치와 치환이 가능하고, 또한 단위 체적당 기억 용량의 증대와, 고밀도 실장을 가능하게 할 수 있다는 효과를 얻을 수 있다.

(14) 상기 적층 구조가 된 2개의 메모리칩의 두께를, 그것의 반 또는 동등한 기억 용량을 갖는 범용의 1개의 반도체 기억 장치의 두께와 동등하던지 그 이하로 함에 따라, 범용의 반도체 기억 장치를 이용한 것과의 치환이 가능하고, 또한 기억 용량의 증대와, 고밀도 실장을 가능하게 할 수 있다는 효과를 얻을 수 있다.

(15) 상기 반도체 기억 장치는, 외부 단자에 제공되는 전압의 설정에 따라, 2 비트 단위의 메모리 액세스를 포함한 복수 비트 단위에 의한 복수가지의 데이터 입출력을 가능하게 하는 기능을 설치함에 따라, 메모리 모듈에 탑재할 때에 데이터 단자의 비트 구성을 선택할 수 있다는 효과를 얻을 수 있다.

(16) 상기 복수 비트 단위는, 2 비트 단위, 4 비트 단위, 8 비트 단위 및 16 비트 단위의 4가지로 함으로써, 2 칩의 적층 구조를 포함하여 일반적으로 널리 이용되는 4, 8, 16 및 32 비트 구성의 메모리 모듈을 얻을 수 있다. 라고 하는 효과를 얻을 수 있다.

이상 본 발명자에 의해 이루어진 발명을 실시예에 기초하여 구체적으로 설명했지만, 본원 발명은 상기 실시예에 한정되는 것은 아니고, 그 요지를 일탈하지 않은 범위에서 여러가지 변경 가능한 것은 물론이다. 예를 들면, 도 12에 도시된 다이내믹형 RAM에서 메모리 어레이, 서브 어레이 및 서브 워드 드라이버의 구성은, 여러가지의 실시 형태를 취할 수 있고, 다이내믹형 RAM의 입출력 인터페이스는, 싱크로너스 사양 외에 램버스 사양 등에 적합한 것 등 여러가지의 실시 형태를 취할 수 있는 것이다. 워드선은, 상기된 바와 같은 계층 워드선 방식 외에 워드 분로 방식을 취하는 것이어도 좋다.

2개의 메모리칩은, 각각 절반의 기억 영역이 유효해진, 소위 퍼셜 칩의 조합으로 구성되어도 좋다. 즉, 일부에 불량이 존재하고, 반의 기억 영역에 대해서만 메모리 액세스가 가능해진 2개의 메모리칩을, 상기된 바와 같이 적층 구조에 조합하여, 1개의 반도체 기억 장치를 구성하도록 해도 된다. 이 경우에, 1개의 메모리칩으로 구성된 양품의 반도체 기억 장치와, 상기 반의 기억 영역밖에 메모리 액세스를 할 수 없는 2개의 메모리칩을 조합하여, 상기 1개의 메모리칩과 외관적으로는 동일한 반도체 기억 장치를 구성할 수 있다.

상기된 바와 같이 상기 반의 기억 영역밖에 메모리 액세스를 할 수 없는 2개의 메모리칩을 조합하여, 상기 1개의 메모리칩과 외관적으로는 동일한 반도체 기억 장치를 구성하는 경우에도, 상기 2 비트의 단위로 메모리 액세스를 행하는 기능은 유효하게 이용할 수 있다. 즉, 상기 유효해지는 반도체 기억 장치 중, 동일한 어드레스가 할당되는 기억 영역이 유효해지는 2개의 메모리칩을 조합하여, 4 비트 단위의 메모리 액세스가 가능한 반도체 기억 장치로서 동작시킬 수 있기 때문이다. 또, 8 비트나 16 비트 단위의 메모리 액세스가 필요하면, 상기 2개의 메모리칩은 각각이 4 비트 구성 혹은 8비트 구성으로 하면 좋다.

이것과는 반대로, 상기 유효해지는 반도체 기억 장치 중, 다른 어드레스가 할당되는 기억 영역이 유효해지는 2개의 메모리칩을 조합한 경우에, 어드레스 신호에 의해 2개의 메모리칩 중 어느 한쪽에 메모리 액세스가 행해지므로, 상기 2비트 단위의 메모리 액세스가 아니고, 반도체 기억 장치가 접속되는 메모리 모듈 등의 버스 폭에 대응한 4비트, 8비트 혹은 16비트와 같은 복수 비트 단위로 메모리 액세스가 행해지도록 하면 된다.

반도체 기억 장치는, 상기된 바와 같은 DRAM 외에 스태틱형 RAM이나 EPROM, 혹은 EEPROM과 같은 판독 전용 메모리라도 좋다. 본 발명은, 적층 구조로 이루어지는 각종 반도체 기억 장치 및 메모리 모듈에 널리 이용할 수 있다.

발명의 효과

본 원에서 개시되는 발명 중 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면, 하기와 같다. 즉, 2 비트 단위로 메모리 액세스가 행해지는 2개의 메모리칩의 이면을 중첩시켜 적층 구조로 조립하여 4 비트 단위의 메모리 액세스를 행하도록 함에 따라, 얇은 패키지를 이용하면서, 사용성이 좋은 반도체 기억 장치를 얻을 수 있다.

본 원에서 개시되는 발명 중 다른 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면, 하기된 바와 같다. 즉, 2 비트 단위로 메모리 액세스가 행해지는 2개의 메모리칩의 이면을 중첩시켜 적층 구조로 조립하여 4 비트 단위의 메모리 액세스를 행하도록 함으로써 이루어지는 반도체 기억 장치의 여러개를, 사각형으로 이루어지는 1개의 변을 따라 커넥터 전극이 형성되어 이루어지는 실장 기판 상에 설치함에 따라, 단위 체적당 기억 용량의 증대와, 고밀도 실장이 가능한 메모리 모듈을 얻을 수 있다는 효과를 얻을 수 있다.

(57) 청구의 범위

청구항 1.

2 비트 단위로 메모리 액세스가 행해지는 2개의 메모리칩을 상호 이면이 대향하는 상태에서 실링하여 4 비트 단위의 메모리 액세스를 행하도록 하여 이루어지는 것을 특징으로 하는 반도체 기억 장치.

청구항 2.

제1항에 있어서, 상기 2개의 메모리칩은 상호 이면이 접촉하도록 중첩되어 이루어지고, 2개의 메모리칩 중 적어도 표면이 실링용 수지에 접촉하는 것을 특징으로 하는 반도체 기억 장치.

청구항 3.

제2항에 있어서, 상기 메모리칩은 복수의 메모리 뱅크로 분리되어 있고, 상기 이면이 접촉하도록 중첩된 경우, 동일한 어드레스가 할당된 메모리 뱅크의 메모리칩의 이면에서의 위치가 다르게 이루어지는 것을 특징으로 하는 반도체 기억 장치.

청구항 4.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 2개의 메모리칩이 적층되어 실링된 반도체 기억 장치의 두께는, 그것의 반 또는 동등한 기억 용량을 포함하는 1개의 메모리칩이 실링된 반도체 기억 장치의 두께와 동등 또는 그 이하인 것을 특징으로 하는 반도체 기억 장치.

청구항 5.

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 적층된 메모리칩은 배선 수단 또는 본딩 와이어를 이용하여, 그 신호 전달 경로 또는 신호 레벨의 설정에 따라, 2 비트 단위의 메모리 액세스를 포함한 복수 비트 단위에 의한 복수 경로의 데이터 입출력을 가능하게 하는 기능을 포함하여 이루어지는 것을 특징으로 하는 반도체 기억 장치.

청구항 6.

제5항에 있어서, 상기 복수 비트 단위는 2 비트 단위, 4 비트 단위, 8 비트 단위 및 16 비트 단위의 4가지인 것을 특징으로 하는 반도체 기억 장치.

청구항 7.

제2항 또는 제3항에 있어서,

상기 반도체 기억 장치는 사각형의 수지 실링 패키지의 길이 방향의 양측면으로부터 연장되도록 리드가 형성되고,

상기 4 비트는 제1 리드 내지 제4 리드로 이루어지는 데이터용 리드에 대응되며,

상기 제1과 제2 리드의 쌍과 제3과 제4 리드의 쌍은, 사각형의 수지 실링 패키지 양측에 상기 길이 방향과 평행한 중심선에 대해 대칭적인 위치로 분리되어 설치되고,

상기 2개의 메모리칩의 한쪽의 메모리칩은, 2 비트의 데이터 단자에 대응된 전극이 상기 제1 리드와 제2 리드에 대해 전기적으로 접속되며, 다른 메모리칩은, 2 비트의 데이터 단자에 대응된 전극이 상기 제3 리드와 제4 리드에 대해 전기적으로 접속되어 이루어지는 것을 특징으로 하는 반도체 기억 장치.

청구항 8.

2 비트 단위로 메모리 액세스가 행해지는 2개의 메모리칩을 적층 구조로 조립하여 4 비트 단위의 메모리 액세스를 행하도록 이루어지고,

상기 2개의 메모리칩은 각각이 표면에 테이프 상태의 리드가 설치되고, 이면을 제외하여 적어도 상기 표면부가 실링 수지와 접촉하는 것을 특징으로 하는 반도체 기억 장치.

청구항 9.

제8항에 있어서,

상기 적층 구조로 이루어진 반도체 기억 장치의 두께는, 그것의 반 또는 동등한 기억 용량을 갖는 1개의 메모리칩으로 이루어지는 반도체 기억 장치의 두께와 동등하거나 그 이하인 것을 특징으로 하는 반도체 기억 장치.

청구항 10.

제8항에 있어서,

상기 각 메모리칩은 배선 수단 또는 본딩 와이어를 이용하여, 그 신호 전달 경로 또는 신호 레벨의 설정에 따라, 2 비트 단위의 메모리 액세스를 포함한 복수 비트 단위에 의한 복수 경로의 데이터 입출력을 가능하게 하는 기능을 구비하여 이루어지는 것을 특징으로 하는 반도체 기억 장치.

청구항 11.

제10항에 있어서,

상기 복수 비트 단위는 2 비트 단위, 4 비트 단위, 8 비트 단위 및 16 비트 단위의 4가지인 것을 특징으로 하는 반도체 기억 장치.

청구항 12.

이면끼리 중첩시킨 상태에서 실링체에 의해 실링된 2개의 메모리칩을 포함하고,

상기 2개의 메모리칩은 각각 복수의 메모리 영역으로 분할되며,

상기 2개의 메모리칩은 각각 활성화된 메모리 영역으로부터 2 비트 단위로 메모리 액세스가 행해짐으로써 4 비트 단위로 메모리 액세스가 행해지고,

상기 2개의 메모리칩의 중첩시킨 면에서 상기 활성화된 메모리 영역의 위치가 다른 것을 특징으로 하는 반도체 기억 장치.

청구항 13.

제1 및 제2 메모리칩과,

상기 제1 및 제2 메모리칩의 이면끼리 중첩한 상태에서 실링하는 실링체와,

상기 실링체의 제1변으로부터 상기 실링체의 내외로 연장되는 제1 및 제2 리드와,

상기 제1변과 대향하는 상기 실링체의 제2변으로부터 상기 실링체의 내외로 연장되는 제3 및 제4 리드

를 구비하고,

상기 제1 및 제2 메모리칩은, 각각의 회로 형성면에서, 각 메모리칩의 긴 변과 평행하고 짧은 변의 중앙부를 통과하는 직선에 연하여 배치된 데이터 출력용 제1, 제2, 제3 및 제4 단자를 포함하며,

상기 제2 단자는 상기 제1 단자와 제3 단자 사이의 상기 제1 단자에 가까운 위치에 배치되고,

상기 제3 단자는 상기 제2 단자와 제4 단자 사이의 상기 제4 단자에 가까운 위치에 배치되며,

상기 제1 리드와 상기 제4 리드는 상기 직선을 개재하여 대향하는 위치에 배치되고,

상기 제2 리드와 상기 제3 리드는 상기 직선을 개재하여 대향하는 위치에 배치되며,

상기 제1 및 제2 메모리칩은, 각각 상기 제1 및 제2 단자 중 어느 한쪽과 제3 및 제4 단자 중 어느 한쪽을 이용하여 2 비트 단위로 데이터 출력을 행함으로써, 4 비트 단위로 상기 제1, 제2, 제3 및 제4 리드로부터 데이터 출력을 행하는 것을 특징으로 하는 반도체 기억 장치.

청구항 14.

제13항에 있어서,

상기 제1 메모리칩의 상기 제1 및 제2 단자 중 어느 한쪽 단자와 상기 제2 메모리칩의 상기 제1 및 제2 단자 중 어느 한쪽 단자가 각각 상기 제1 리드와 상기 제4 리드에 와이어를 통해 선택적으로 접속되고,

상기 제1 메모리칩의 상기 제3 및 제4 단자 중 어느 한쪽 단자와 상기 제2 메모리칩의 상기 제3 및 제4 단자 중 어느 한쪽 단자가, 각각 상기 제2 리드와 상기 제3 리드에 와이어를 통해 선택적으로 접속되는 것을 특징으로 하는 반도체 기억 장치.

청구항 15.

제14항에 있어서,

제1 및 제2 메모리칩은 각각 4 비트 단위의 데이터 출력이 가능한 구성을 구비하고, 상기 4 비트의 데이터는 상기 제1, 제2, 제3 및 제4 단자로부터 얻어지는 것을 특징으로 하는 반도체 기억 장치.

청구항 16.

제1 및 제2 메모리칩과,

상기 제1 및 제2 메모리칩의 이면끼리 중첩한 상태에서 실링하는 실링체와,

상기 실링체의 내외로 연장되는 복수의 어드레스용 리드와,

상기 실링체의 내외로 연장되는 복수의 데이터용 리드

를 포함하고,

각 어드레스용 리드는 실링체 내에서 2개로 분기되며, 분기된 각각의 리드가 상기 제1 및 제2 메모리칩의 표면 상에 각각 연장되고,

각 데이터용 리드는 각각 상기 제1 및 제2 메모리칩 중 적어도 한쪽의 표면 상에 연장되며,

상기 제1 및 제2 메모리칩은 각각의 표면에 복수의 어드레스 단자와 복수의 데이터 단자를 포함하고,

상기 제1 및 제2 메모리칩의 대응하는 각 어드레스 단자끼리는 각각 분기된 어드레스용 리드와 와이어를 통해 공통 접속되며,

상기 제1 메모리칩 상의 각 데이터 단자와 상기 제2 메모리칩 상의 각 데이터 단자와는 분리하여 각 데이터용 리드에 와이어를 통해 접속되고,

상기 제1 및 제2 메모리칩으로부터 각각2 비트 단위로 데이터 출력을 행함으로써, 4 비트 단위로 상기 데이터용 리드로부터 데이터 출력을 행하는 것을 특징으로 하는 반도체 기억 장치.

청구항 17.

제16항에 있어서, 각 데이터용 리드는 상기 제1 및 제2 메모리칩에 대한 연장 길이가 비대칭인 것을 특징으로 하는 반도체 기억 장치.

청구항 18.

배선 수단 또는 본딩 와이어를 이용하여, 그 신호 전달 경로 또는 신호 레벨의 설정에 따라, 2 비트 단위, 4 비트 단위, 8 비트 단위 및 16 비트 단위의 4가지 경로의 데이터 출력을 선택 가능한 메모리칩을 구비하여 이루어지는 것을 특징으로 하는 반도체 기억 장치.

청구항 19.

2 비트 단위로 메모리 액세스가 행해지는 2개의 메모리칩을 상호 이면이 대향하는 상태로 실링하여 4 비트 단위의 메모리 액세스를 행하도록 하여 이루어지는 복수의 반도체 기억 장치를, 그 1개의 변을 따라 전극이 형성되어 이루어지는 사각형의 실장 기판 상에 설치하여 이루어지는 것을 특징으로 하는 메모리 모듈.

청구항 20.

제19항에 있어서,

상기 2개의 메모리칩은 상호 이면이 접촉하도록 중첩되어 이루어지고, 상기 2개의 메모리칩 중 적어도 표면에 실링 수지가 접촉하도록 이루어지는 것을 특징으로 하는 메모리 모듈.

청구항 21.

제19항 또는 제20항에 있어서,

상기 2개의 메모리칩이 적층되어 실링된 반도체 기억 장치의 두께는, 그것의 반 또는 동등한 기억 용량을 포함하는 1개의 메모리칩이 실링된 반도체 기억 장치의 두께와 동등하거나 그 이하인 것을 특징으로 하는 메모리 모듈.

청구항 22.

제19항 또는 제20항에 있어서,

상기 반도체 기억 장치는 외부 단자에 제공되는 전압 설정에 따라, 2 비트 단위의 메모리 액세스를 포함한 복수 비트 단위에 의한 복수 경로의 데이터 입출력을 가능하게 하는 기능을 구비하여 이루어지는 것을 특징으로 하는 메모리 모듈.

청구항 23.

제22항에 있어서,

상기 복수 비트 단위는 2 비트 단위, 4 비트 단위, 8 비트 단위 및 16 비트 단위의 4가지인 것을 특징으로 하는 메모리 모듈.

청구항 24.

제19항 내지 제23항 중 어느 한 항에 있어서,

상기 메모리 모듈의 복수 개는 각각의 커넥터가 기판 상에 평행하여 나열되어 배치되는 여러개의 소켓에 각각 삽입되어 실장되는 것을 특징으로 하는 메모리 모듈.

청구항 25.

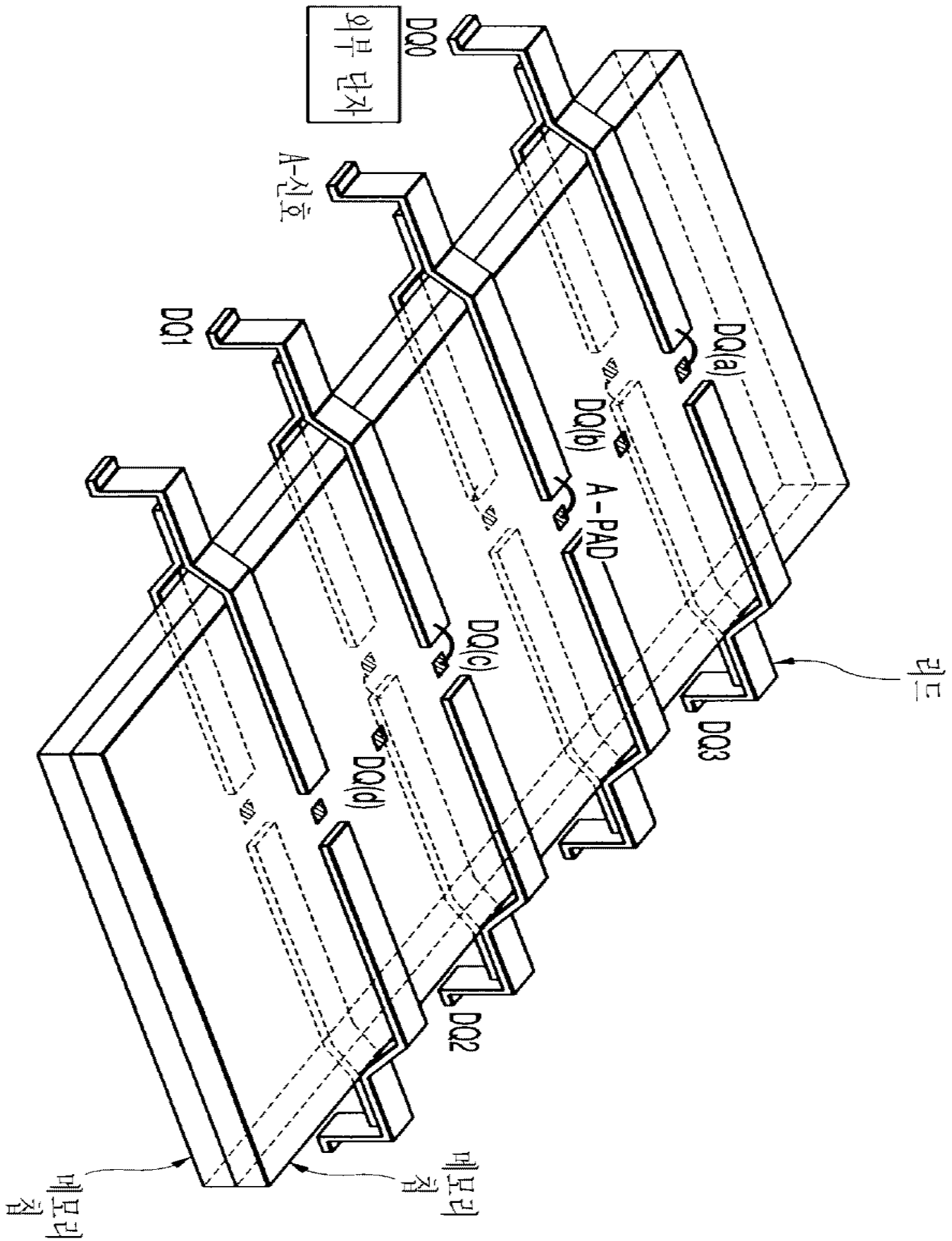
복수의 반도체 기억 장치가 실장된 메모리 모듈에 있어서,

2 비트 단위의 메모리 액세스가 행해지는 2개의 메모리칩을 적층 구조로 조립하여 4비트 단위의 메모리 액세스를 행하도록 하여 이루어지고,

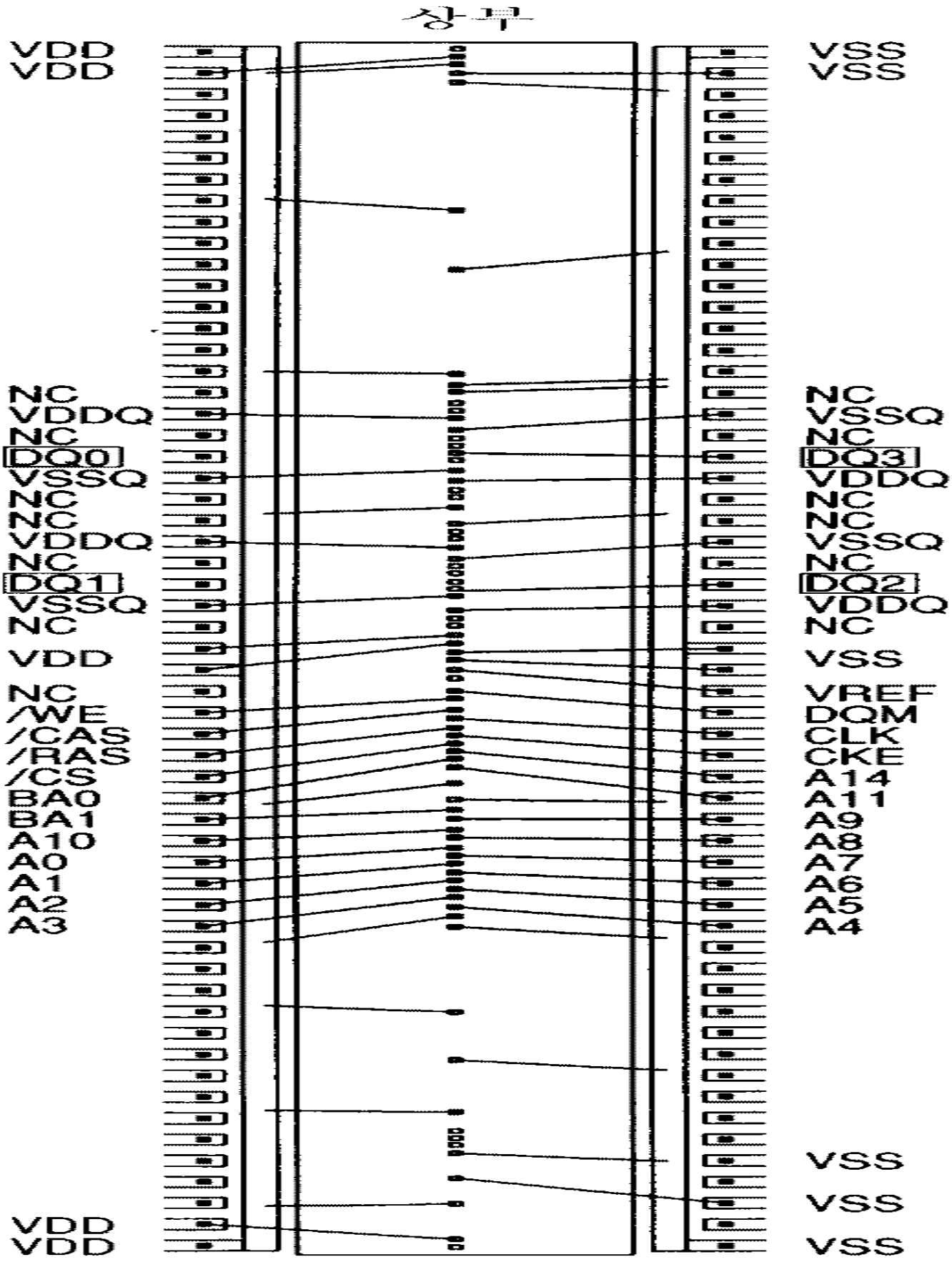
상기 2개의 메모리칩은 각각이 표면에 테이프형의 리드가 설치되고, 이면을 제외한 적어도 상기 표면부가 실링 수지와 접촉하는 것을 특징으로 하는 메모리 모듈.

도면

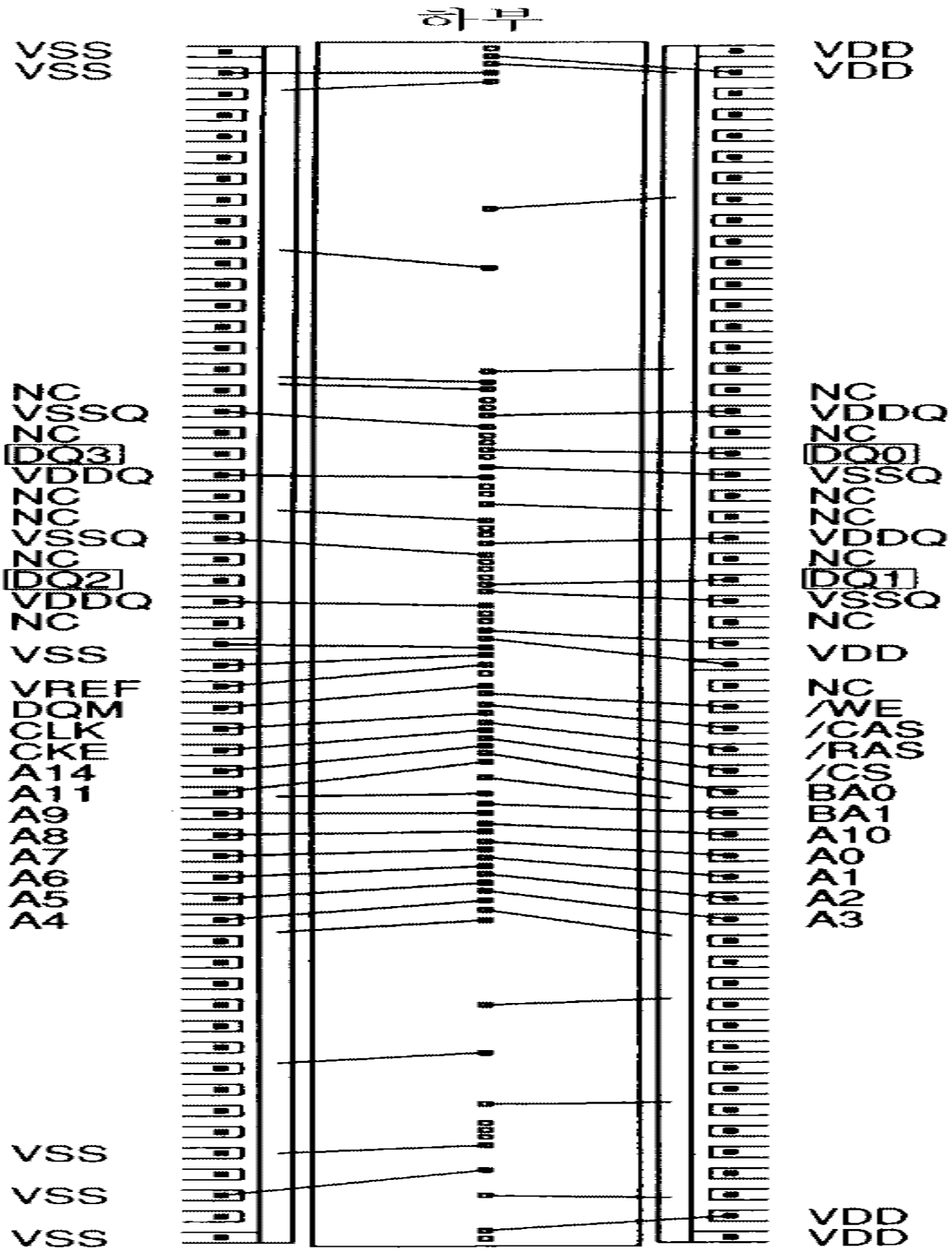
도면 1



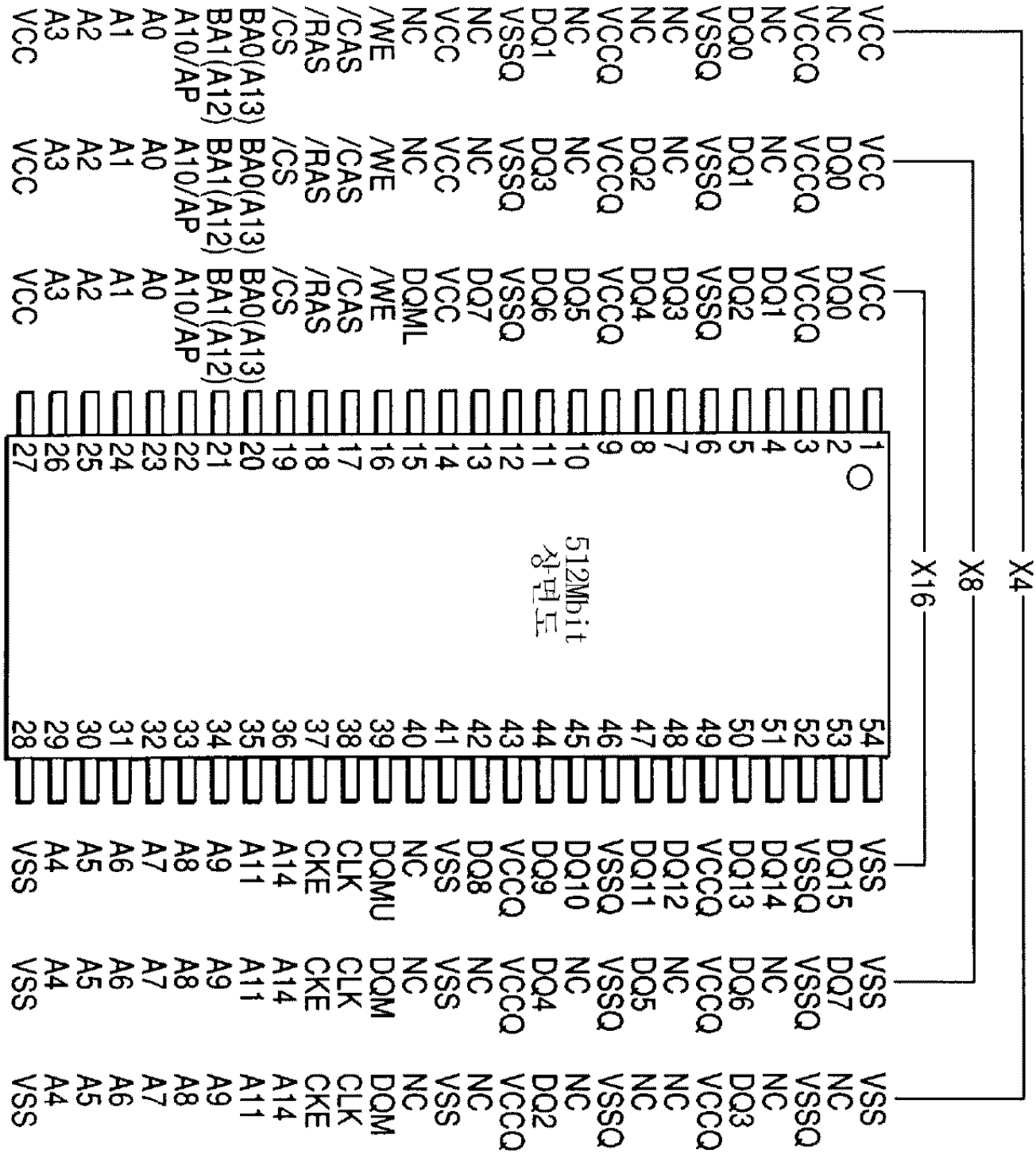
도면 2a


상부
VDD
VDD
NC
VDDQ
NC
DQ0
VSSQ
NC
NC
VDDQ
NC
DQ1
VSSQ
NC
VDD
NC
/WE
/CAS
/RAS
/CS
BA0
BA1
A10
A0
A1
A2
A3
VDD
VDD
VSS
VSS
NC
VSSQ
NC
DQ3
VDDQ
NC
NC
VSSQ
NC
DQ2
VDDQ
NC
VSS
VREF
DQM
CLK
CKE
A14
A11
A9
A8
A7
A6
A5
A4
VSS
VSS
VSS

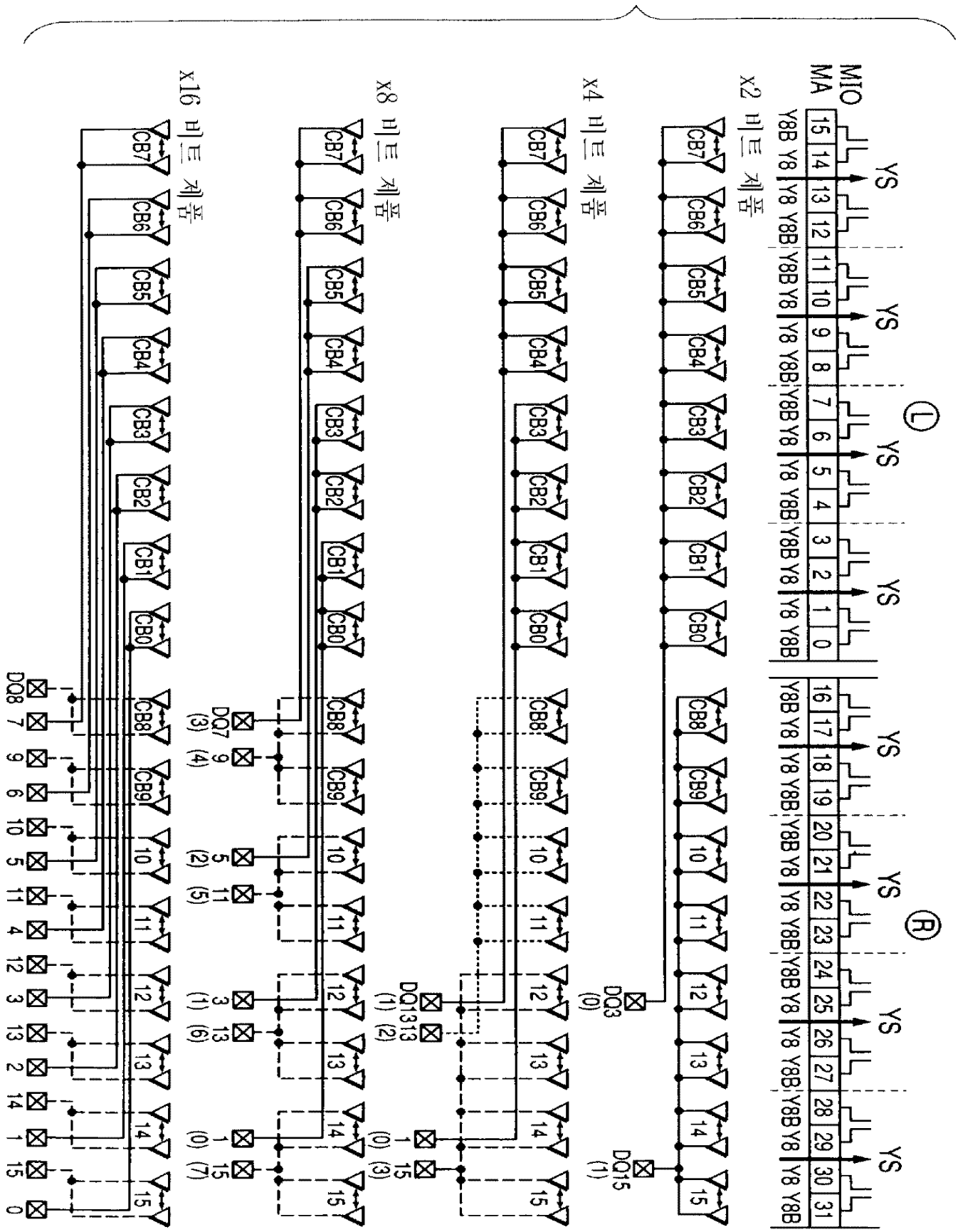
도면 2b


하부
VSS
VSS
NC
VSSQ
NC
[DQ3]
VDDQ
NC
NC
VSSQ
NC
[DQ2]
VDDQ
NC
VSS
VREF
DQM
CLK
CKE
A14
A11
A9
A8
A7
A6
A5
A4
VSS
VSS
VSS
VDD
VDD
NC
VDDQ
NC
[DQ0]
VSSQ
NC
NC
VDDQ
NC
[DQ1]
VSSQ
NC
VDD
NC
/WE
/CAS
/RAS
/CS
BA0
BA1
A10
A0
A1
A2
A3
VDD
VDD

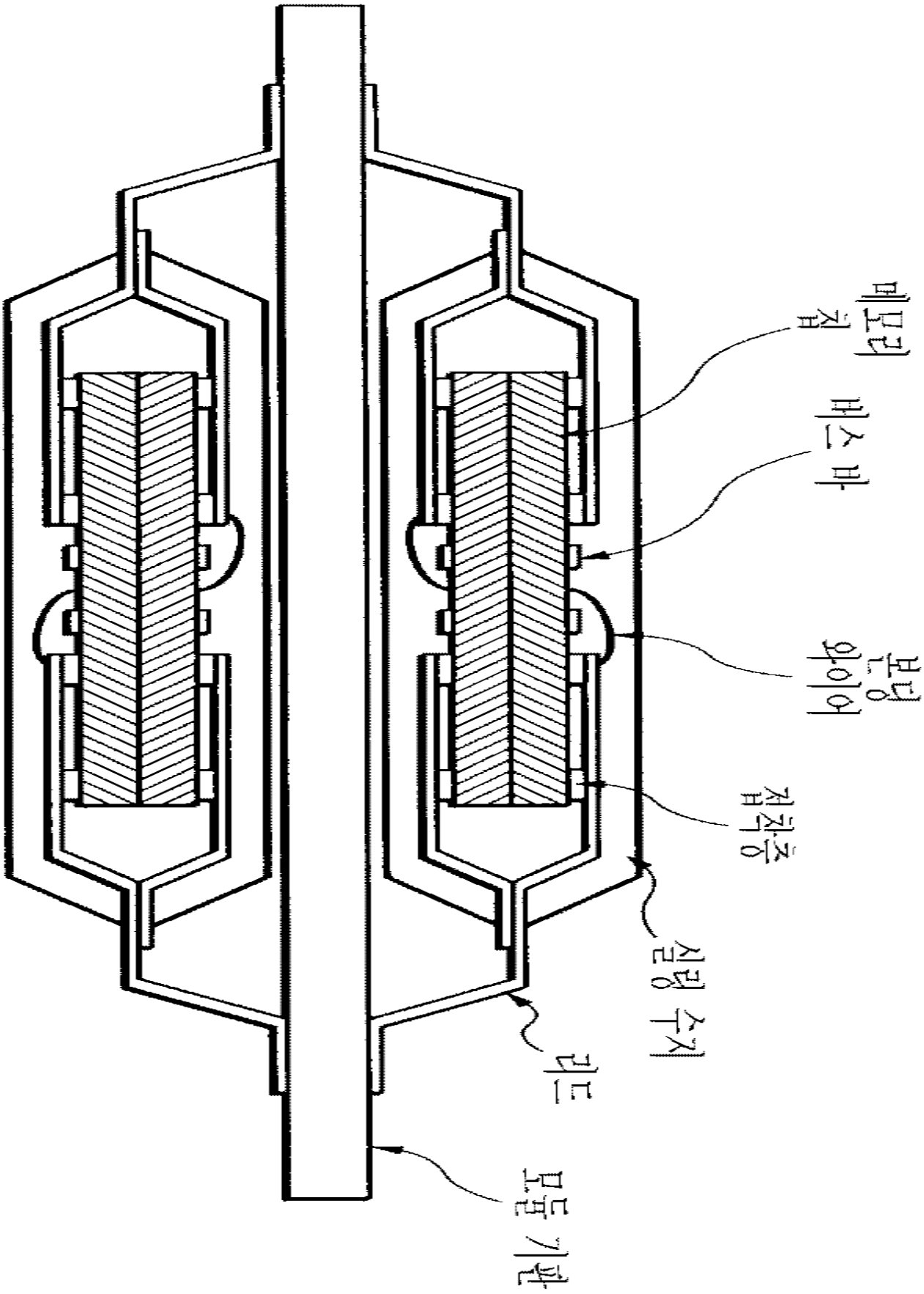
도면 3


512Mbit
상면도
X4
X8
X16
VCC NC VCCQ NC DQ0 VSSQ NC NC VCCQ NC DQ1 VSSQ NC VCC NC /WE /CAS /RAS /CS BA0(A13) BA1(A12) A10/AP A0 A1 A2 A3 VCC
VCC DQ0 VCCQ NC DQ1 VSSQ NC DQ2 VCCQ NC DQ3 VSSQ NC VCC NC /WE /CAS /RAS /CS BA0(A13) BA1(A12) A10/AP A0 A1 A2 A3 VCC
VCC DQ0 VCCQ DQ1 DQ2 VSSQ DQ3 DQ4 VCCQ DQ5 DQ6 VSSQ DQ7 VCC DQML /WE /CAS /RAS /CS BA0(A13) BA1(A12) A10/AP A0 A1 A2 A3 VCC
1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27
54 53 52 51 50 49 48 47 46 45 44 43 42 41 40 39 38 37 36 35 34 33 32 31 30 29 28
VSS DQ15 VSSQ DQ14 DQ13 VCCQ DQ12 DQ11 VSSQ DQ10 DQ9 VCCQ DQ8 VSS NC DQMU CLK CKE A14 A11 A9 A8 A7 A6 A5 A4 VSS
VSS DQ7 VSSQ NC DQ6 VCCQ NC DQ5 VSSQ NC DQ4 VCCQ NC VSS NC DQM CLK CKE A14 A11 A9 A8 A7 A6 A5 A4 VSS
VSS NC VSSQ NC DQ3 VCCQ NC NC VSSQ NC DQ2 VCCQ NC VSS NC DQM CLK CKE A14 A11 A9 A8 A7 A6 A5 A4 VSS

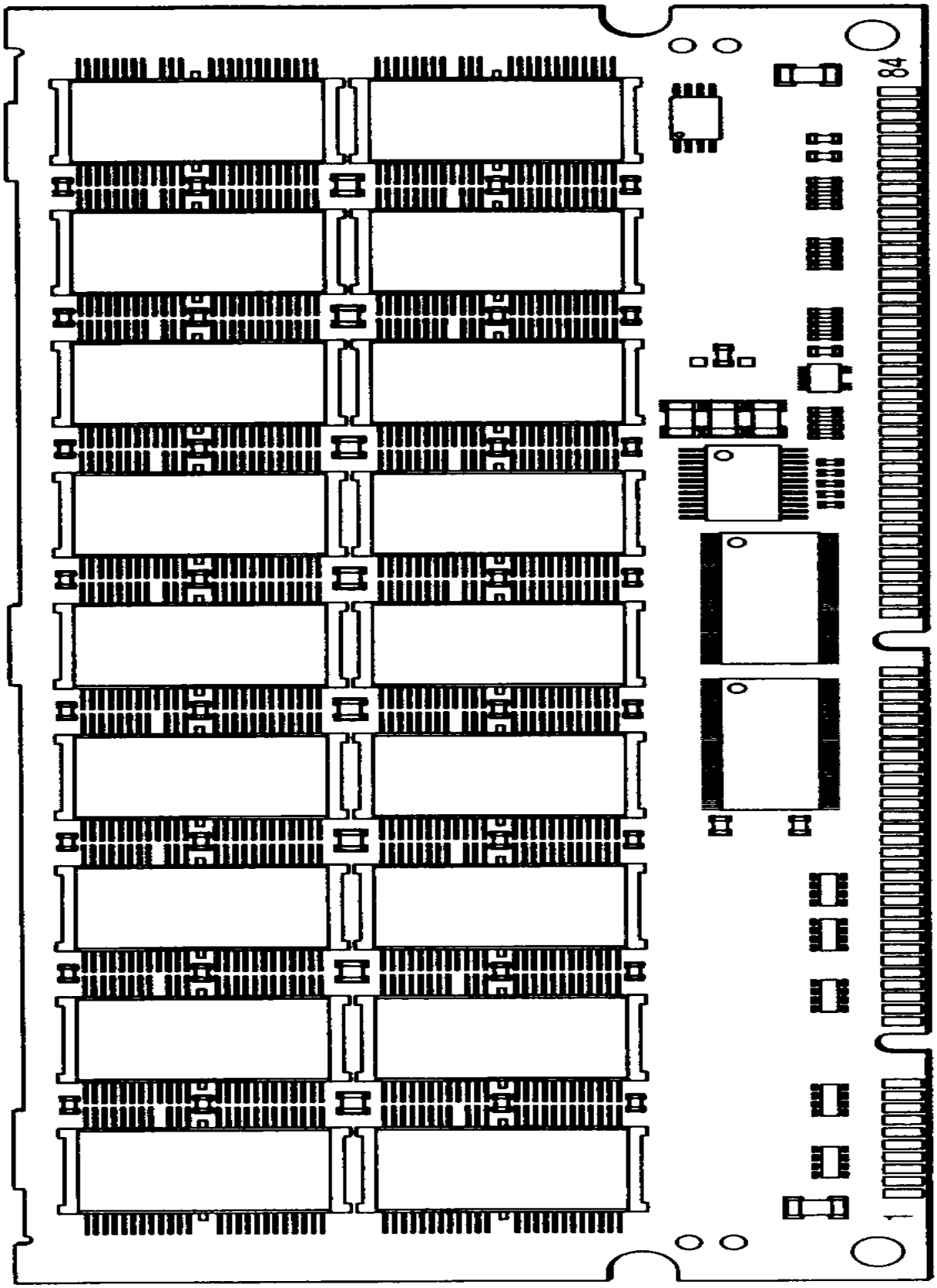
도면 4


MIO
MA
YS
Y8B Y8
Y8 Y8B
Y8B Y8
Y8 Y8B
Y8B Y8
Y8 Y8B

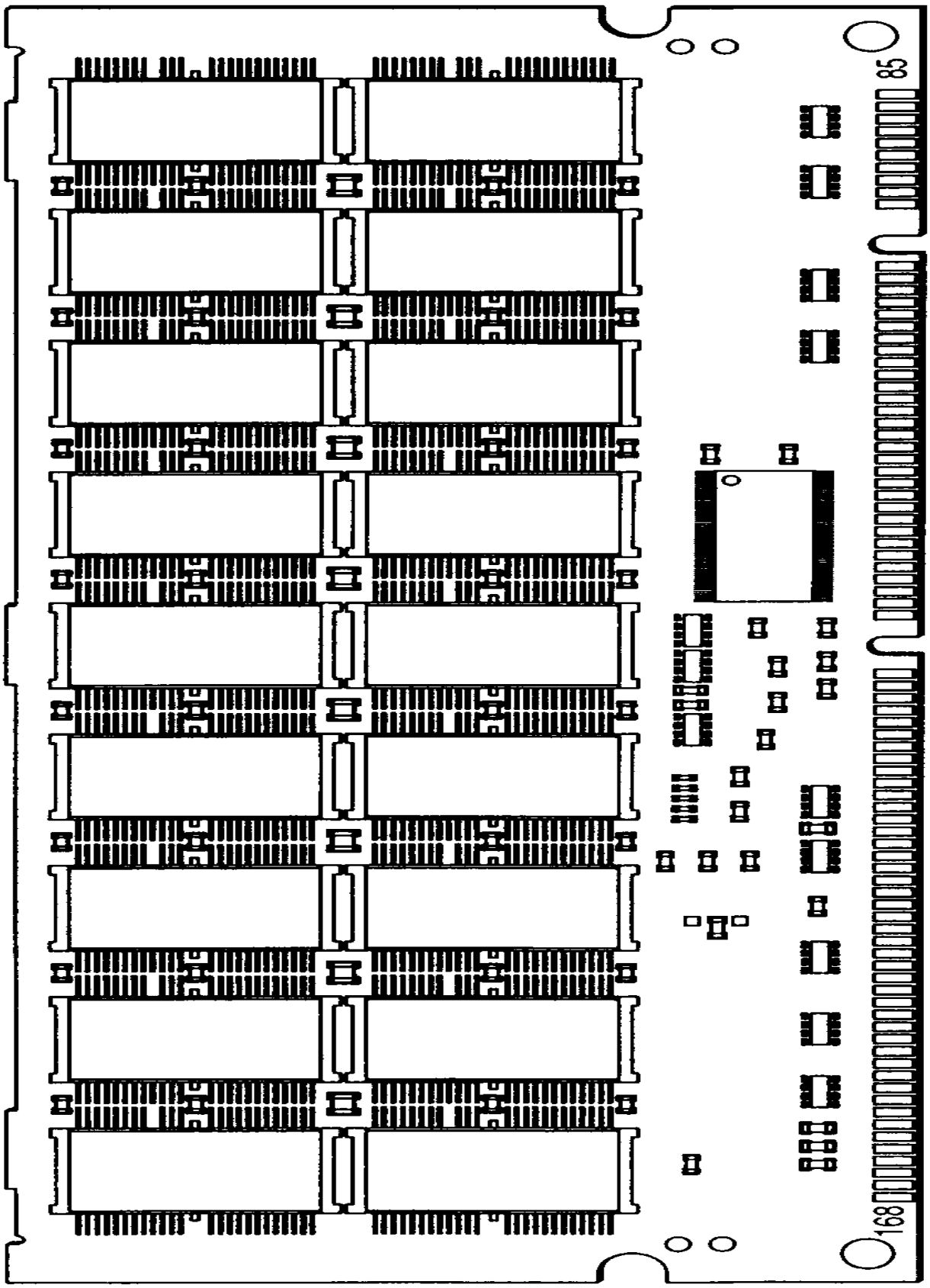
도면 5



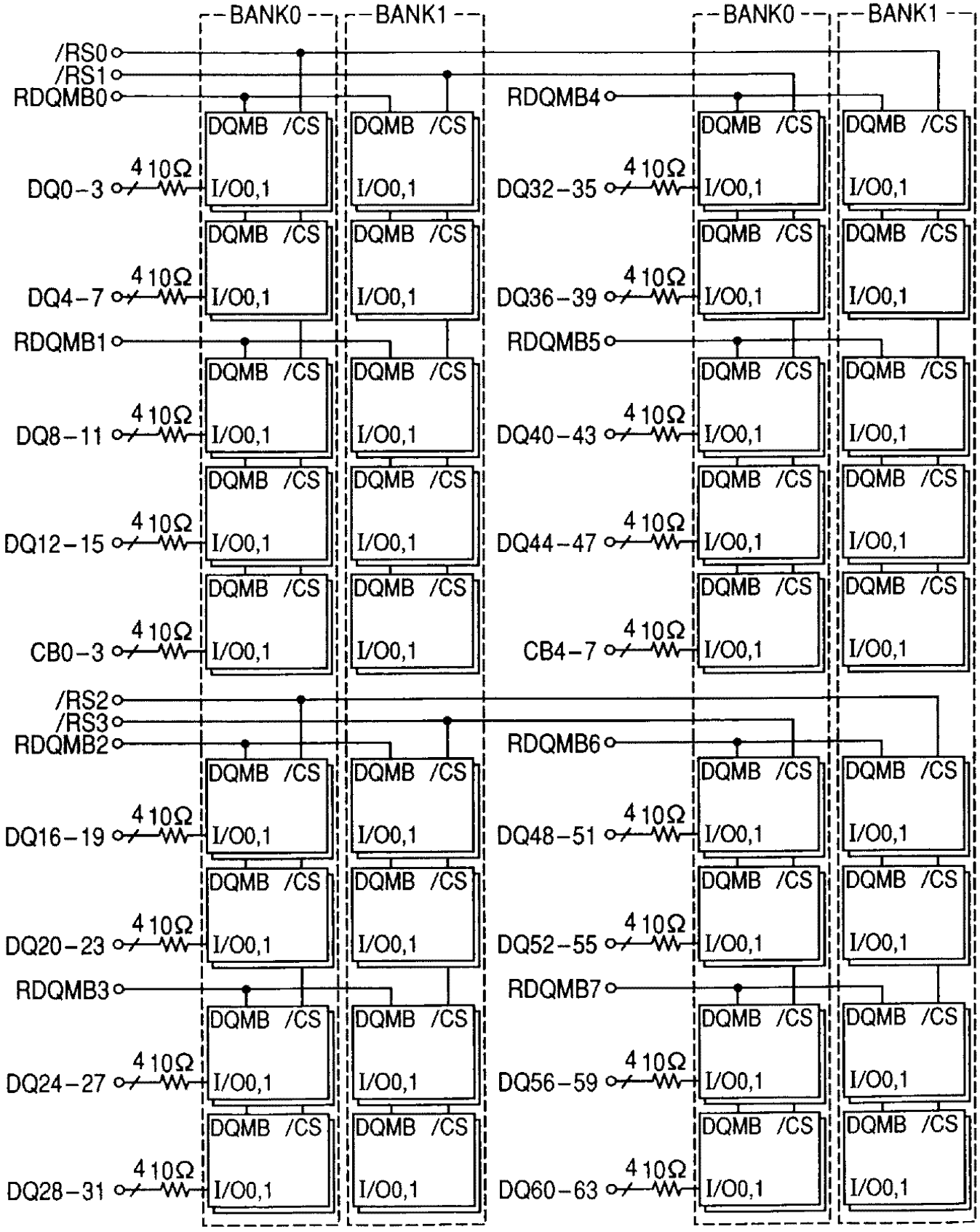
도면 6



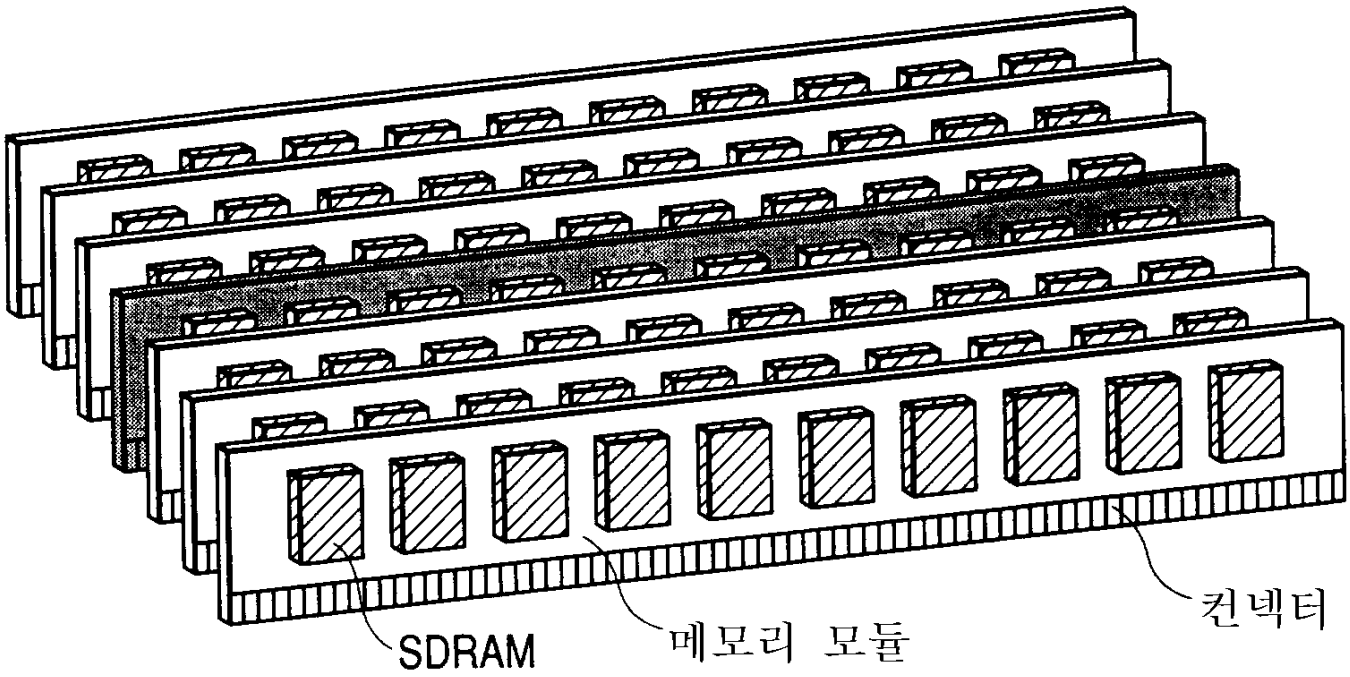
도면 7



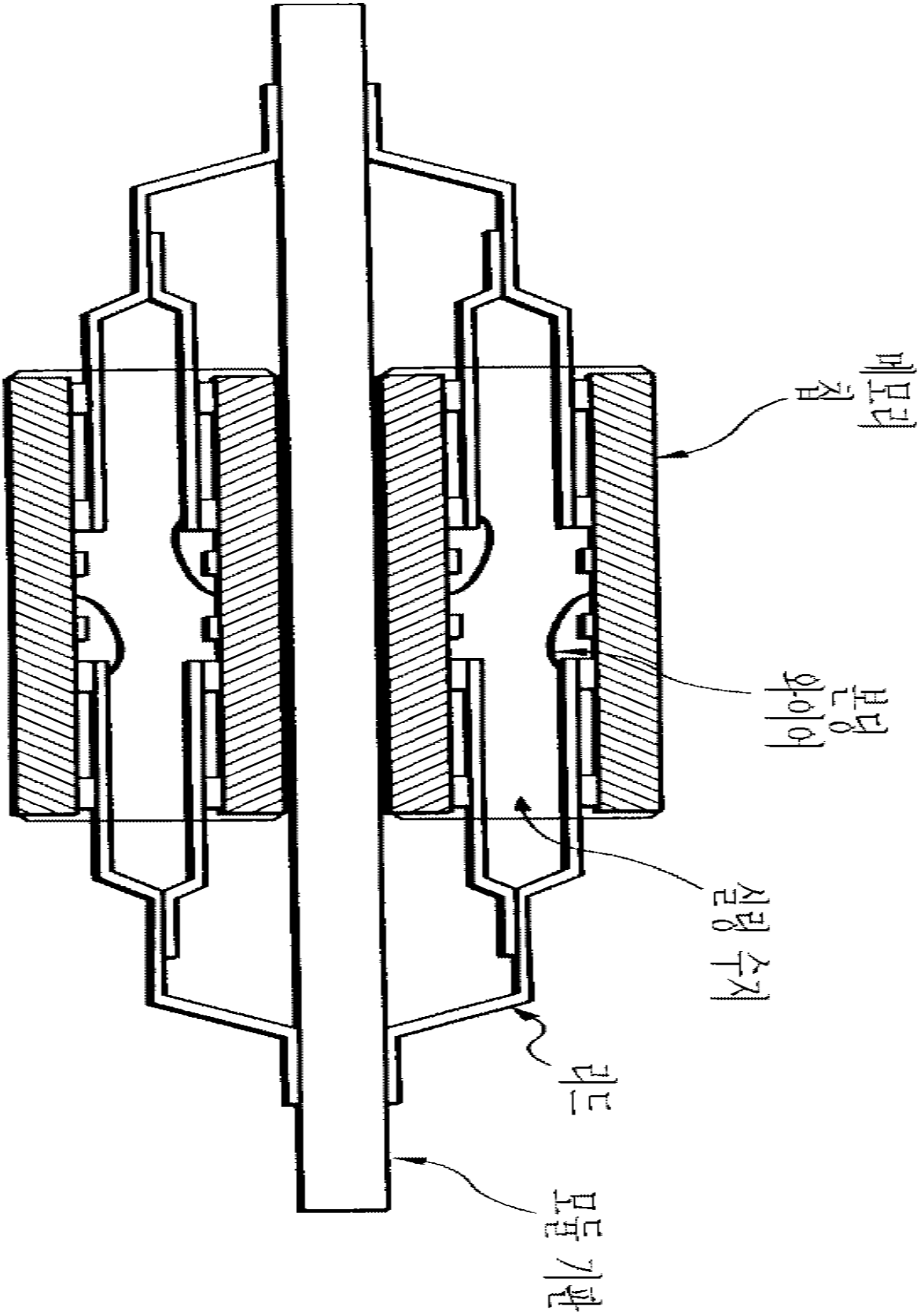
도면 8


BANK0
BANK1
BANK0
BANK1
/RS0
/RS1
RDQMB0
RDQMB4
DQ0-3
DQ32-35
DQ4-7
DQ36-39
RDQMB1
RDQMB5
DQ8-11
DQ40-43
DQ12-15
DQ44-47
CB0-3
CB4-7
/RS2
/RS3
RDQMB2
RDQMB6
DQ16-19
DQ48-51
DQ20-23
DQ52-55
RDQMB3
RDQMB7
DQ24-27
DQ56-59
DQ28-31
DQ60-63
4 10Ω
DQMB /CS
I/O0,1

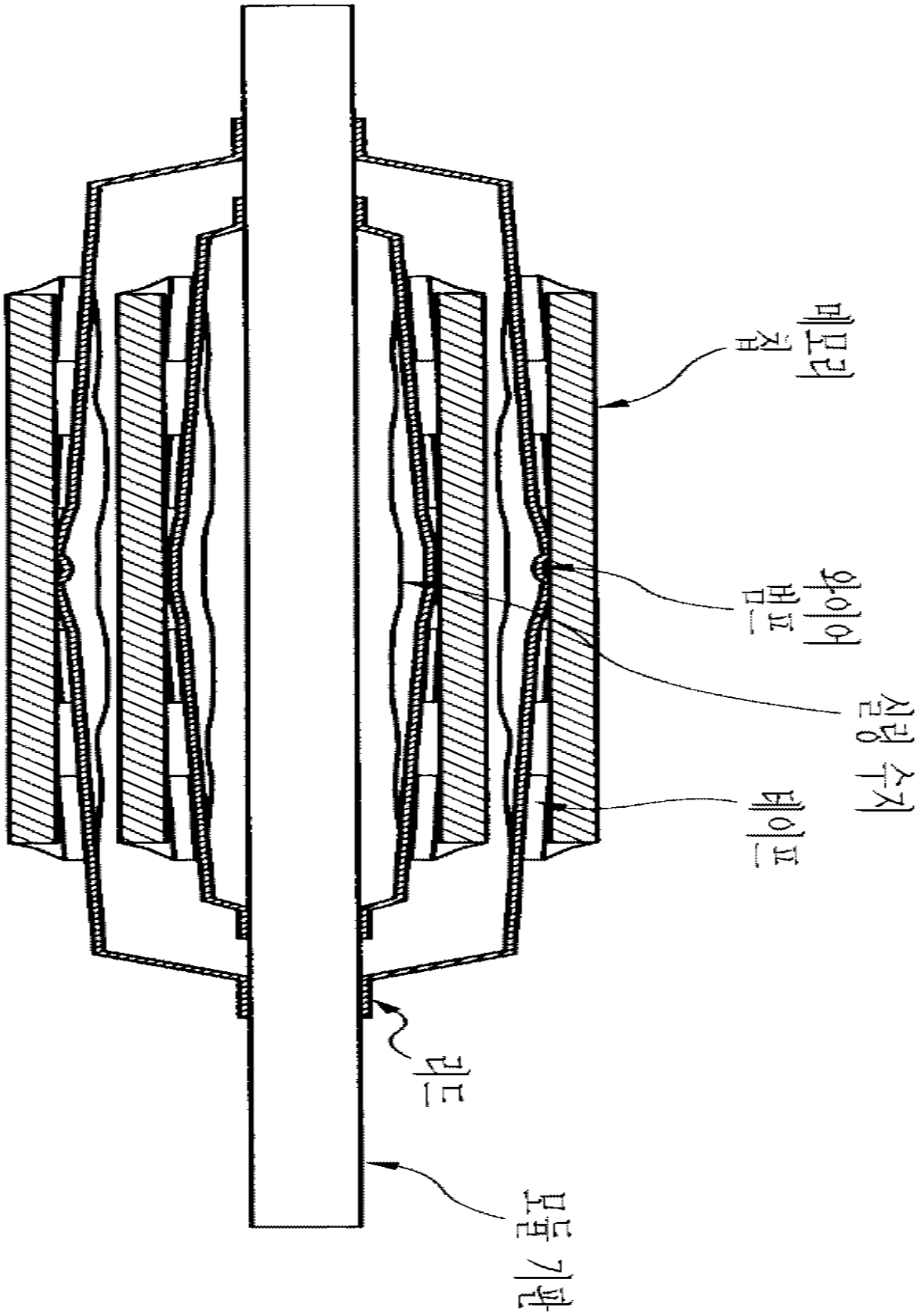
도면 9



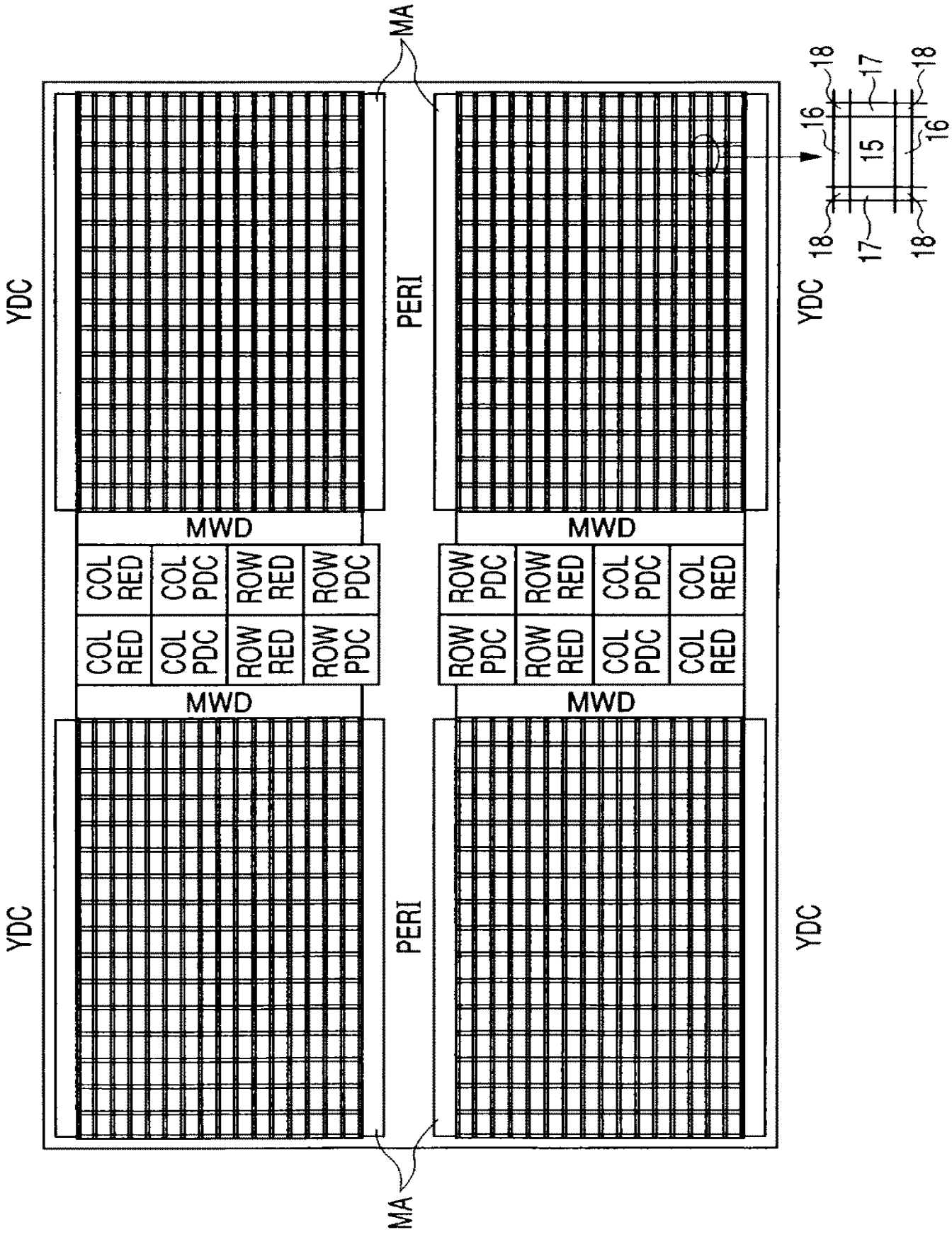
도면 10



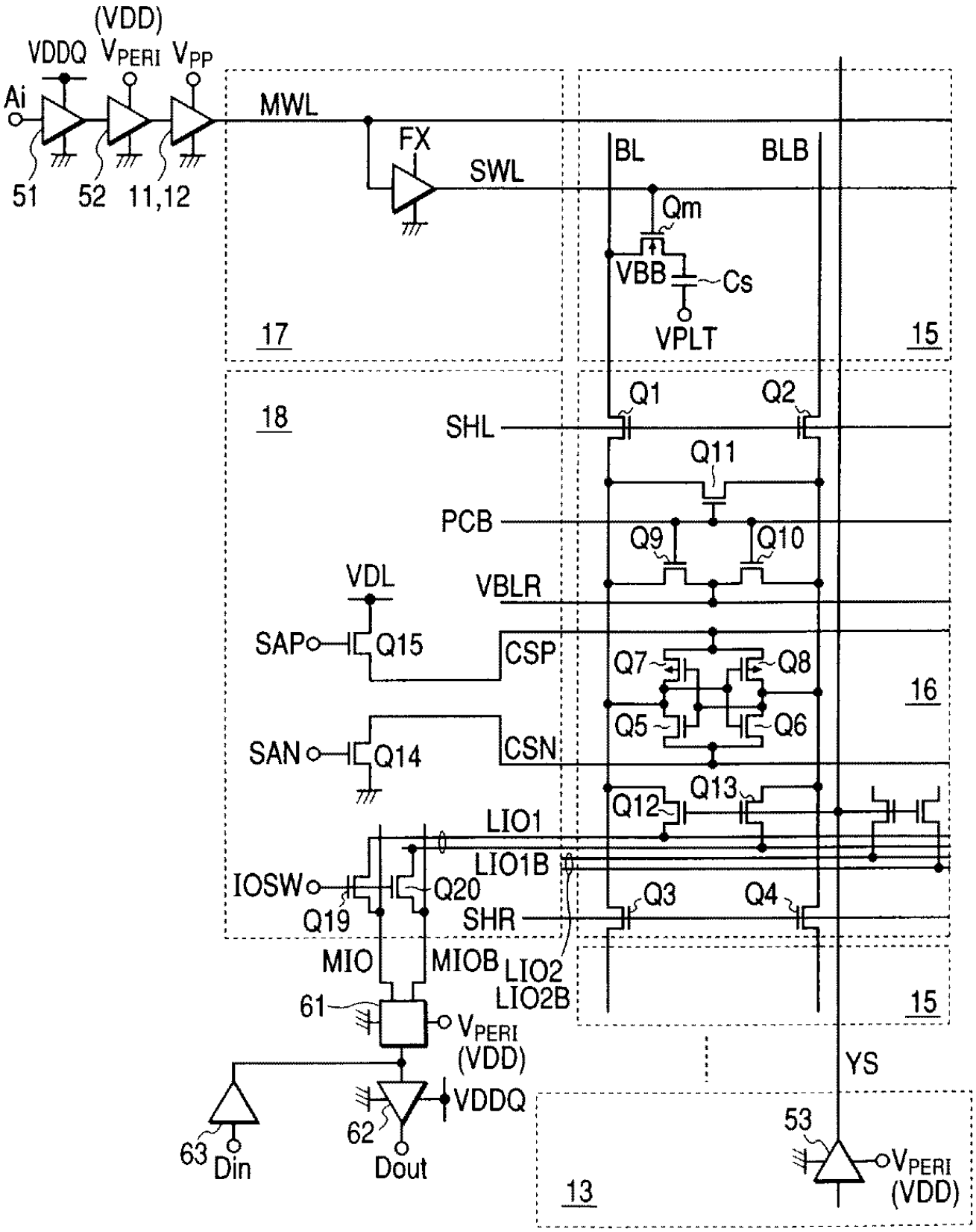
도면 11



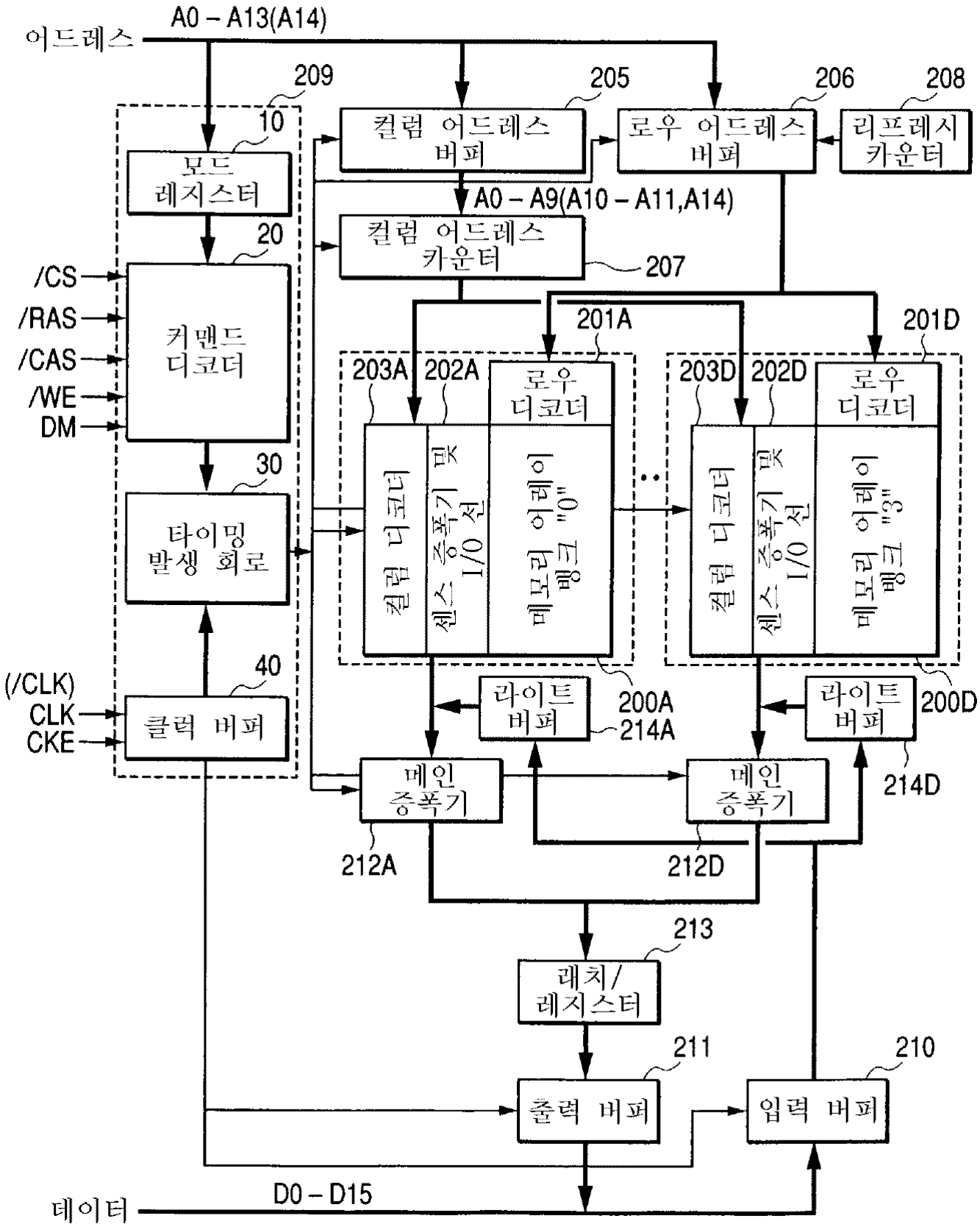
도면 12


MA
YDC
PERI
YDC
MWD
COL RED
COL PDC
ROW RED
ROW PDC
MWD
ROW PDC
ROW RED
COL PDC
COL RED
MWD
COL RED
COL PDC
ROW RED
ROW PDC
MWD
YDC
PERI
YDC
MA
18
17
18
16
15
16
18
17
18

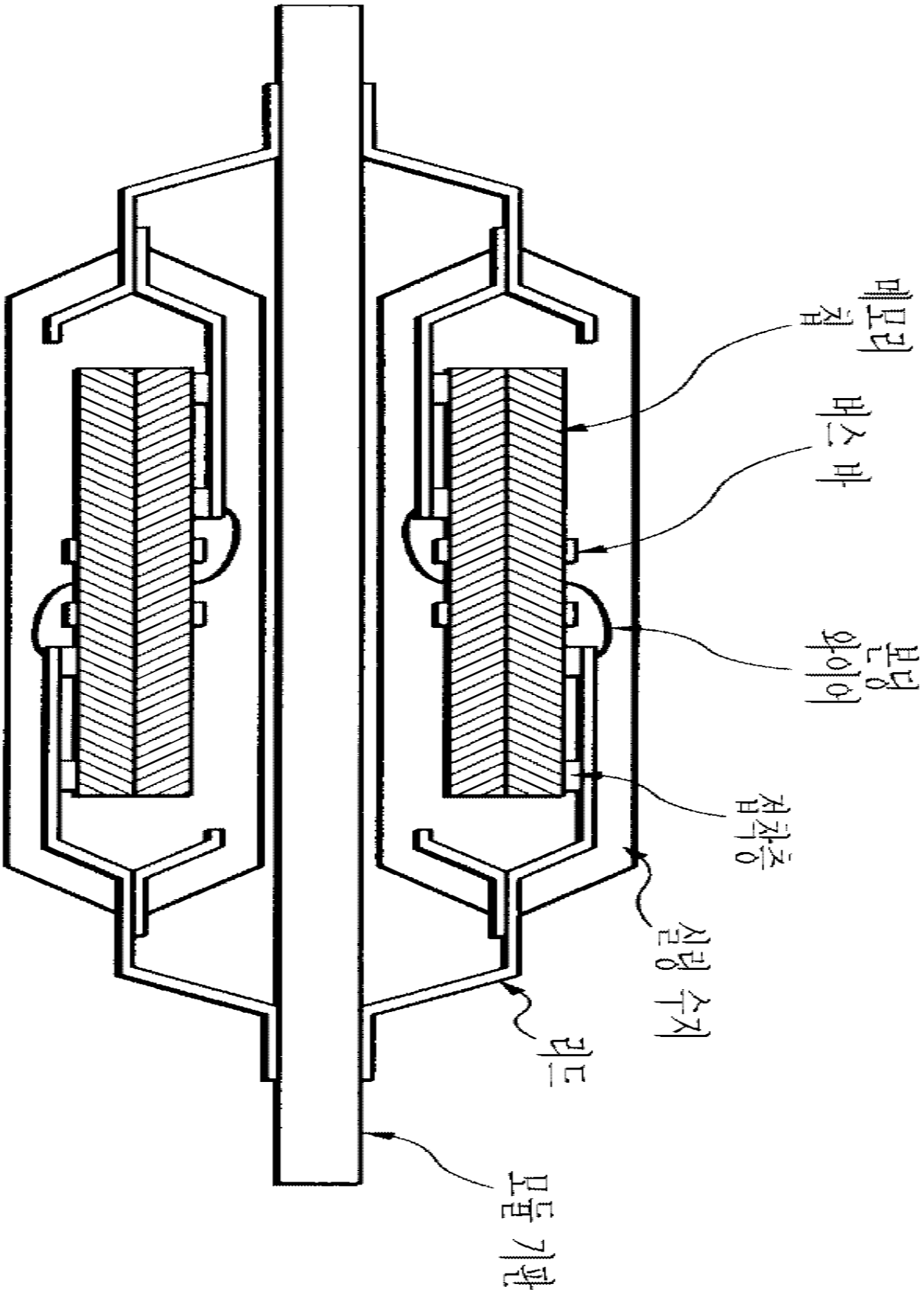
도면 13


(VDD)
VDDQ
VPERI
VPP
Ai
51
52
11,12
MWL
FX
SWL
BL
BLB
Qm
VBB
Cs
VPLT
17
15
18
Q1
Q2
SHL
Q11
PCB
Q9
Q10
VDL
VBLR
SAP
Q15
CSP
Q7
Q8
16
Q5
Q6
SAN
Q14
CSN
Q12
Q13
LIO1
LIO1B
IOSW
Q20
Q19
Q3
Q4
SHR
MIO
MIOB
LIO2
LIO2B
61
VPERI
(VDD)
YS
VDDQ
62
53
63
Din
Dout
13
VPERI
(VDD)

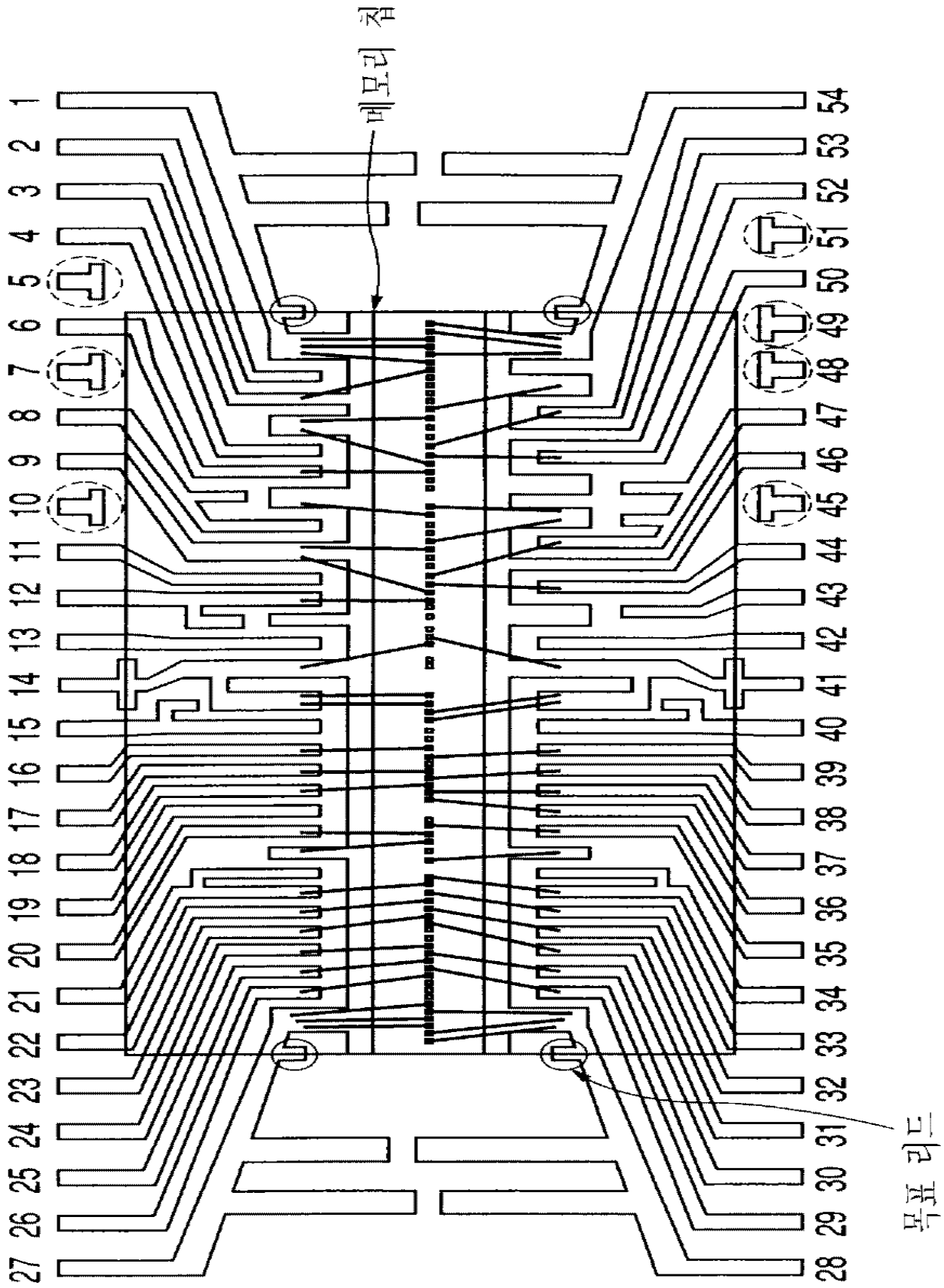
도면 14


어드레스
A0 – A13(A14)
209
10
모드 레지스터
20
/CS
/RAS
/CAS
/WE
DM
커맨드 디코더
30
타이밍 발생 회로
40
(/CLK)
CLK
CKE
클럭 버퍼
205
컬럼 어드레스 버퍼
206
로우 어드레스 버퍼
208
리프레시 카운터
A0 – A9(A10 – A11,A14)
컬럼 어드레스 카운터
207
201A
201D
203A
202A
로우 디코더
컬럼 디코더
센스 증폭기 및 I/O 선
메모리 어레이 뱅크 "0"
203D
202D
로우 디코더
컬럼 디코더
센스 증폭기 및 I/O 선
메모리 어레이 뱅크 "3"
200A
200D
라이트 버퍼
214A
라이트 버퍼
214D
메인 증폭기
212A
메인 증폭기
212D
213
래치/ 레지스터
211
출력 버퍼
210
입력 버퍼
데이터
D0 – D15

도면 15



도면 16


메모리 칩
1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
17
18
19
20
21
22
23
24
25
26
27
28
29
30
31
32
33
34
35
36
37
38
39
40
41
42
43
44
45
46
47
48
49
50
51
52
53
54
목표 리드