

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5189995号  
(P5189995)

(45) 発行日 平成25年4月24日 (2013. 4. 24)

(24) 登録日 平成25年2月1日 (2013. 2. 1)

(51) Int. Cl.

F I

H05K 3/46 (2006.01)

H05K 3/46 Z

G01R 1/073 (2006.01)

G01R 1/073 E

H05K 3/00 (2006.01)

H05K 3/46 X

H01L 21/66 (2006.01)

H05K 3/46 H

H05K 3/00 N

請求項の数 9 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2008-558291 (P2008-558291)  
 (86) (22) 出願日 平成19年2月22日 (2007. 2. 22)  
 (65) 公表番号 特表2009-529238 (P2009-529238A)  
 (43) 公表日 平成21年8月13日 (2009. 8. 13)  
 (86) 国際出願番号 PCT/US2007/004668  
 (87) 国際公開番号 W02007/102998  
 (87) 国際公開日 平成19年9月13日 (2007. 9. 13)  
 審査請求日 平成22年1月29日 (2010. 1. 29)  
 (31) 優先権主張番号 11/308, 094  
 (32) 優先日 平成18年3月6日 (2006. 3. 6)  
 (33) 優先権主張国 米国 (US)

(73) 特許権者 505377474  
 フォームファクター, インコーポレイテッド  
 アメリカ合衆国 カリフォルニア 945  
 51, リバーモア, サウスフロント  
 ロード 7005  
 (74) 代理人 100079108  
 弁理士 稲葉 良幸  
 (74) 代理人 100109346  
 弁理士 大貫 敏史  
 (72) 発明者 エルドリッジ, ペンジャミン, エヌ.  
 アメリカ合衆国, カリフォルニア州 94  
 526, ダンビル, シェリ レーン 65  
 1

最終頁に続く

(54) 【発明の名称】 積重ねガード構造

(57) 【特許請求の範囲】

【請求項 1】

導電層と絶縁層とが交互に積層された多層基板を含む電気装置であって、  
 複数の前記導電層のうちの少なくとも1つに形成された信号トレースと、  
 前記信号トレースに前記絶縁層の1つを介して対向する導電層の面内に、前記多層基板  
 を構成する当該導電層の部分から電氣的に分離して設けられた、前記信号トレースを電磁  
 的に遮蔽するガード構造部を備え、  
 前記ガード構造部は、前記信号トレースと略同一の形状で、かつ、当該信号トレースに  
 対して積層方向に整列する位置に設けられる、  
 電気装置。

【請求項 2】

前記信号トレースは、前記多層基板を構成する当該信号トレースの周囲の部分から離間  
 して設けられる、請求項 1 に記載の電気装置。

【請求項 3】

前記絶縁構造部は、前記多層基板を構成する当該絶縁構造部の周囲の部分から離間して  
 設けられる、請求項 2 に記載の電気装置。

【請求項 4】

前記信号トレースおよびガード構造部は、前記信号トレースの輪郭に沿うように、前記  
 多層基板に設けられたトレンチによって形成される、請求項 3 に記載の電気装置。

【請求項 5】

前記多層基板は、前記トレンチに入れられた電氣的絶縁材料を含む、請求項 4 に記載の電気装置。

【請求項 6】

前記多層基板が、互いに電氣的に絶縁された複数の前記導電層を有するセラミック基板からなる、請求項 1 に記載の電気装置。

【請求項 7】

前記信号トレースおよび前記ガード構造部の一方は、前記多層基板の表面の導電層の面内に形成され、前記信号トレースおよび前記ガード構造部の他方は、前記多層基板内に埋め込まれた前記導電層の面内に形成される、請求項 1 に記載の電気装置。

【請求項 8】

前記信号トレースの少なくとも一部に取り付けられた導電プローブをさらに備える、請求項 1 に記載の電気装置。

【請求項 9】

導電層と絶縁層とが交互に積層された多層基板を含む電気装置を備えるプローブカードアセンブリであって、

前記電気装置は、

複数の前記導電層のうちの少なくとも 1 つに形成された信号トレースと、

前記信号トレースに前記絶縁層の 1 つを介して対向する導電層の面内に、前記多層基板を構成する当該導電層の部分から電氣的に分離して設けられた、前記信号トレースを電磁的に遮蔽するガード構造部と、

前記信号トレースの少なくとも一部に取り付けられた導電プローブと、を備え、

前記ガード構造部は、前記信号トレースと略同一の形状で、かつ、当該信号トレースに対して積層方向に整列する位置に設けられる、  
プローブカードアセンブリ。

【発明の詳細な説明】

【背景技術】

【0001】

ガード構造技術を使用して、信号トレース（例えば、基板上に配置され、または基板内に埋め込まれ、1 つまたは複数の電気信号を伝えるように構成された材料の導電性トレース）は、近傍のトレースとの容量結合、他のトレースからのクロストーク、電氣的干渉、または漏電等から電氣的に保護できる。本明細書で開示された本発明の例示の実施形態は、改善されたガード構造およびそのようなガード構造を作る方法および使用方法に関する。

【発明の開示】

【課題を解決するための手段】

【0002】

本発明のいくつかの実施形態は、積重ねガード構造を提供することに関する。本発明のいくつかの実施形態によれば、電気装置を、複数の層を備えるスタックを形成することによって作ることができる。これらの層は、導電層および電気絶縁層を交互に備えることができる。導電層の少なくとも 1 つは、信号トレースを備えることができ、導電層の他の少なくとも 1 つは、信号トレースを容量結合、クロストーク、および/または他の電気干渉から保護するように構成されたガード構造を備えることができる。1 つまたは複数の信号トレース、および、1 つまたは複数のガード構造は、当該スタック中において互いに整列されることができる。

【0003】

本発明の実施形態のこれらおよび他の特徴および有利点は、以下に説明され、以下の詳細な説明および添付の特許請求の範囲で、いっそう十分に明らかになるであろう。これらの特徴および有利点は、添付の特許請求の範囲で特に指摘された、器具および組合せによって実現され、また得られるであろう。さらに、本発明の特徴および有利点は、以下で説明されるように、本発明の実施によって理解され、または説明から明らかになるであろう

。

## 【 0 0 0 4 】

本発明の実施形態の上記の特徴および他の特徴並びに有利点が得られるように、本発明の実施形態のより具体的な説明が特定の実施形態を参照して行われ、これらの実施形態は、添付の図面に示されている。これらの図面は、本発明の代表的な実施形態を示すだけであり、したがって、本発明の範囲を限定するものとして解釈されるべきでないことを理解して、本発明の実施形態は、添付の図面を使用することによって、さらに明確に、かつ詳細に記述され、また説明される。

## 【 発明を実施するための最良の形態 】

## 【 0 0 0 5 】

本明細書は、本発明の例示の実施形態および適用を説明する。しかし、本発明は、これらの例示の実施形態および適用に、または例示の実施形態および適用が動作するまたは本明細書で説明される方法に限定されない。さらに、図は簡単化された、または部分的な図を示すことがあり、図の要素の寸法は、図示を容易にし、明確にするために、誇張されていることがあり、または、その他、比例していないことがある。さらに、本明細書において「の上に」という用語は、1つの物体または要素（例えば、材料、層、基板、その他）が、他の物体または要素の直ぐ上にあるかどうか、1つの物体または要素と他の物体または要素との間に1つまたはそれ以上の介在する物体または要素があるかどうかにかかわらず、他の物体または要素「の上に」あることがあり得る。また、方向（例えば、上に、下に、一番上の、底、その他）は、与えられた場合、相対的なものであり、単なる例として、また説明および議論を容易にするために与えられるだけであり、限定として与えられない。

## 【 0 0 0 6 】

図1～図3は、基板102を備える例示の電気装置100を示し、本発明のいくつかの実施形態に従って、複数の信号トレース104（明確化および他の要素との対比のために、図1、図4、図5、および図8では、網掛けされ、薄い灰色の外観を有している）が基板102の1つの表面に配置され、複数の信号端子208および複数のガード端子220が基板102の反対側の表面に配置されている。（図1は電気装置100の上面図を示し、図2は底面図を示し、図3は側面断面図を示している。）例として、基板102は、セラミック基板、プリント回路基板、または他の適切な配線基板であることがあり、電気装置100の配線基板またはある他の基板として機能し得る。導電性トレース104は、導電性ランド106、導電性トレース部分108、および導電性パッド110を含むことができる。トレース部分108は、ランド106およびパッド110に電気的に接続することができる。図1は3つの導電性トレース104を示すが、本発明の実施形態が、3よりも多い、または少ないトレース104を有する電気装置を包含することを、当業者は理解するであろう。同様に、3よりも多いまたは少ない信号端子208、および、3よりも多いまたは少ないガード端子220が設けられることもある。加えて、本発明の実施形態がトレース104の様々な構成およびレイアウトを包含することを、当業者は理解するであろう。さらに、図に示されるランド106、トレース部分108、およびパッド110の形状は例示に過ぎず、ランド106、トレース部分108、およびパッド110はどんな形状でも取ることができる。

## 【 0 0 0 7 】

図3から良く理解されるように、導電面204は基板102の中に埋め込まれていてもよい。面204は、トレース104に全体として平行であることがあり、図1および図2（面204を破線で示す）に示されるように、面204は、面204の一部がトレース104の下にあるように基板102の所望の範囲にわたって広がっていることがある。理解されるように、各信号トレース104のガード構造は、面204から切り出されていることがある。

## 【 0 0 0 8 】

図1～図3に示された例では、信号トレース104は、ランド106とパッド110と

10

20

30

40

50

の間で電気信号（例えば、データ信号、制御信号、その他）を伝えるように構成されることがある。ランド１０６および／またはパッド１１０は、他の電子デバイス（不図示）に電氣的に接続されるように設定され得る。図１～図３に示された例では、導電信号端子２０８は、トレース１０４が配置されている表面の反対側の基板１０２の表面に設けることができる。導電性ビア２０６は、各信号端子２０８をランド１０６の１つに電氣的に接続することができ、絶縁路２０２は、各ビア２０６を導電面２０４から電氣的に絶縁することができる。例えば、各絶縁路２０２は、面２０４に孔またはギャップを含むことができ、これによって、ビア２０６は面２０４と電氣的に接続することなしに面２０４を通過することができるようになる。図３に示されるように、絶縁路２０２を形成する面２０４の孔またはギャップは、必然的に、基板１０２を構成する材料で占められ、すなわち満たされることがある。ランド１０６ごとに、１つの信号端子２０８および１つのビア２０６が設けられることがある。したがって、他の電子デバイス（不図示）が信号端子２０８を通してランド１０６に電氣的に接続されることがある。或いは、信号端子２０８およびビア２０６無しに、他の電子デバイス（不図示）からランド１０６に直接電気接続がなされることもある。

10

#### 【０００９】

図２および図３に示されるように、ガード端子２２０および対応するビア２２２は、面２０４への電氣的接続を行うことができる。上述したように、また以下で議論するように、ガード構造は、面２０４から切り出されることがあり、各ガード端子２２０およびビア２２２は、ガード構造の１つへの別個の電氣的接続を行うことができる。

20

#### 【００１０】

図４～図７は、本発明のいくつかの実施形態に従ってトレース１０４の各々のためのガード構造を面２０４から作る例を示す。（図４は、電気装置１００の上面図を示す。図５は、電気装置１００の部分上面図を示し、信号トレース１０４の１つを示している。図６は、図５の側面断面図を示す。さらに、図７は、導電面２０４を示す。）図４～図７に示されるように、各トレース１０４のまわりには、トレンチ３０２を掘ることができる。（明確化及び周囲の要素との対比のために、図４、図５、および図７において、トレンチ３０２は網掛けされ暗灰色に示されている。）トレンチ３０２は、限定することなしにレーザまたは鋸を含んだどんな適切な器具を使用して掘られてもよい。代替的に、トレンチ３０２は、エッチングや、別な方法で化学的に形成されてもよい。例えば、ドライまたはウェットエッチングプロセスを、トレンチ３０２を形成するために使用してもよい。

30

#### 【００１１】

図６から良く理解されるように、各トレンチ３０２は、トレンチ３０２が導電面２０４を貫通して信号トレース１０４の各々のガード構造を導電面から切り出すように、基板１０２の中へ延在できる。図４および図５に示されるように、各トレンチ３０２は、概ね、トレース１０４の１つを縁取っている。また、図４および図５に示されるように、各トレンチ３０２は、トレース１０４を縁取らない部分３５０を含んでもよい。理解されるように、部分３５０は、ビア２２２（図３参照）が接続可能な領域を各ガード構造に作ることができる。

#### 【００１２】

40

図７は、トレンチ３０２が基板１０２に掘り込まれた後の導電面２０４だけの上面図を示す。理解されるように、各トレンチ３０２は、導電面２０４からガード構造５５０を切り出す。トレンチ３０２で作られたスペースが、面２０４の残り部分および他のガード構造５５０から各ガード構造５５０を電氣的に分離している。各ガード構造を電氣的にさらに絶縁するために、電気絶縁材料（不図示）をトレンチ３０２に入れてもよい。

#### 【００１３】

図７に示されるように、各ガード構造５５０は、信号トレース１０４の１つに全体として似た形状に作ることができる。したがって、各ガード構造５５０は、信号トレース１０４のランド１０６に似た形に作られた部分５５４、信号トレース１０４のトレース部分１０８に似た形に作られた部分５５６、および信号トレース１０４のパッド１１０に似た形

50

に作られた部分 5 5 8 を含むことがある。また、図 7 に示されるように、各ガード構造 5 5 0 は、延長部分 5 5 2 も含むことがあり、この延長部分 5 5 2 は、上述したように、図 3 に 2 2 2 で示すようなビアがガード構造 5 5 0 に電氣的に接続できる領域を提供し得る。

#### 【 0 0 1 4 】

トレンチ 3 0 2 が基板 1 0 2 に掘り込まれた後で、電気装置 1 0 0 は、基板 1 0 2 の表面の信号トレース 1 0 4 と、基板 1 0 2 の中に埋め込まれたガード構造 5 5 0 とを備える。さらに、各ガード構造 5 5 0 は、信号トレース 1 0 4 の 1 つに対応することがあり、さらに、各ガード構造 5 5 0 は、その対応する信号トレース 1 0 4 に全体として似た形状に作られてもよく、さらにその対応する信号トレース 1 0 4 に対して全体として平行で、かつ、その対応する信号トレース 1 0 4 と整列されてもよい。各ガード構造 5 5 0 は、他の信号トレース 1 0 4 との容量結合、他の信号トレース 1 0 4 とのクロストーク、電磁干渉、または漏れ電流などの電氣的干渉から対応する信号トレース 1 0 4 を保護するように配線され得る。さらに、ガード構造 5 5 0 は信号トレース 1 0 4 と積重ね関係にあるので、ガード構造 5 5 0 は、隣接した信号トレース 1 0 4 の間のスペースを占めない。その結果として、信号トレース 1 0 4 は、ガード構造が基板 1 0 2 の信号トレース 1 0 4 と同じ表面でトレース 1 0 4 のまわりに配置された場合に可能であるよりもいっそう互いに近接した間隔で配置することができる。

#### 【 0 0 1 5 】

いくつかの実施形態では、トレース 1 0 4 ごとに、信号源（不図示）が、パッド 1 1 0 または信号端子 2 0 8 の一方に接続されることがあり、電気信号はトレース 1 0 4 に沿って伝達され得る。また、同じまたは実質的に同じ電位が信号トレース 1 0 4 とその対応するガード構造 5 5 0 の両方に存在するように、第 2 の信号源（不図示）が、ガード端子 2 2 0 に接続されてもよく、これによって、信号トレース 1 0 4 と、これに隣接する信号トレース 1 0 4 との間の容量結合を大幅に減少させるか、無くすることができる。（代替的に、ガード端子 2 2 0 は、基板 1 0 2 のいずれの表面のどこに存在してもよく、ガード端子 2 2 0 をガード構造 5 5 0 に電氣的に接続するように、ビア 2 2 2 が修正され、及び/又は、他のまたは追加の電氣的接続が行われることがある。）代替的に、ガード構造 5 5 0 が所望の電位に保たれるように、異なる電位（例えば、接地または特定の電圧）がガード端子 2 2 0 に接続されることがある。そのような構成は、そうしなければ対応する信号トレース 1 0 4 に影響を及ぼすかもしれない様々なタイプの電気干渉を減少させるか、無くすることがあり、さらに、対応する信号トレース 1 0 4 のインピーダンスを制御するのに使用されることもある。印加された電位は、固定されてもよく（例えば、直流（DC）型の電圧）、または時間変化してもよい（例えば、交流（AC）型の電圧）。

#### 【 0 0 1 6 】

図 1 ~ 図 7 に示された電気装置 1 0 0 の構成は、単なる例示に過ぎず、多くの変形が可能である。例えば、トレース 1 0 8 はガード構造であってもよく、信号トレースが導電面 2 0 4 から切り出されてもよい。他の例として、端子 2 2 0 は、基板 1 0 2 の反対側の表面に配置してもよい。さらに他の例として、トレース 1 0 4 は、図 1 および図 3 ~ 図 6 に示されたように基板 1 0 2 の外面に配置されるのではなく基板 1 0 2 の中に埋め込まれてもよい。さらに他の例として、2 よりも多い層の導電層が積重ね関係で形成されてもよい。例えば、1 よりも多い導電面（例えば、各々面 2 0 4 のような）が基板 1 0 2 の中に埋め込まれてもよく、したがって、複数の導電構造が基板 1 0 2 から切り出されることがある。図 1 ~ 図 7 に示された電気装置 1 0 0 の構成の可能な変形のさらに他の例では、ガード端子 2 2 0 が信号端子 2 0 8 のまわりに環状リングとして形成されてもよい。そのような場合には、2 0 8 を 2 2 0 から電氣的に絶縁するために、信号端子 2 0 8 と、ガード端子 2 2 0 の環状リング実装との間にスペースまたは絶縁材料が設けられることがある。

#### 【 0 0 1 7 】

図 8 および図 9 は、前述の変形のいくつかの例を示す。図 8 は、図 6 に示された図と同様な側面断面図で、修正電気部品 1 0 0 ' を示し、図 9 は、電気部品 1 0 0 ' の部分底面

10

20

30

40

50

図を示す。図 6、図 8、および図 9 の同様な番号の付いた要素は同じものであることがある。

【 0 0 1 8 】

図 8 に示されるように、追加の導電面 2 0 0 6、2 0 0 8 が基板 1 0 2 の中および信号ビア 2 0 6 のまわりに埋め込まれることがある。( 2 つの追加の面 2 0 0 6、2 0 0 8 が示されているが、より多い、またはより少ない面が用いられることもある。) また、図 8 に示されるように、ビア 2 0 6 のために面 2 0 0 6、2 0 0 8 を貫通して絶縁路 2 0 0 2、2 0 0 4 を設けることができる。絶縁路 2 0 0 2、2 0 0 4 は、絶縁路 2 0 2 と同様であってよい。すなわち、絶縁路 2 0 0 2、2 0 0 4 は、ビア 2 0 6 が面 2 0 0 6、2 0 0 8 に電気接続することなしに面 2 0 0 6、2 0 0 8 を貫通することができるようにする孔またはギャップを、面 2 0 0 6、2 0 0 8 に備えることができる。したがって、面 2 0 0 6、2 0 0 8 は、ビア 2 0 6 を囲繞し、ビア 2 0 6 に対するガード構造としての役割を果たすことができる。一組の面 2 0 0 6、2 0 0 8 を各ビア 2 0 6 に設けることができ、そのような各組の面 2 0 0 6、2 0 0 8 は、互いに電氣的に絶縁されることができる。代替的に、面 2 0 0 6、2 0 0 8 は、面 2 0 4 と同様の大きさであってもよく、面 2 0 4 と同様に、基板 1 0 2 の長さおよび幅の大部分にわたって延在していてもよい。そのような場合、図 8 に示された面 2 0 0 6、2 0 0 8 と同様の大きさに作られ、かつ、位置付けされたガード構造は、ガード構造 5 5 0 が面 2 0 4 から切り出されるのと同じやり方で、これらの面から切り出すことができる。

【 0 0 1 9 】

ガード構造は、端子 2 0 8 に設けられることもある。例えば、図 8 および図 9 に示されるように、ガード端子 2 2 0 ' は、端子 2 0 8 のまわりに配置された環状リングの形状とすることができ、したがって、端子 2 0 8 に対してガード構造として振る舞うことができる。

【 0 0 2 0 】

したがって、図 8 に示されるようにガード構造として構成されると、面 2 0 0 6、2 0 0 8 は、近傍のビアとの容量結合、他のビアからのクロストーク、電気干渉、または電気漏れからビア 2 0 6 を保護することができ、ガード端子 2 2 0 ' は、同様に、近傍の端子との容量結合、他の端子からのクロストーク、電気干渉、または電気漏れから端子 2 0 8 を保護することができる。図 8 を参照して、導電端子 2 0 1 4 およびビア 2 0 1 6 が、面 2 0 4 の使用されない部分、すなわちトレンチ 3 0 2 によってガード構造 5 5 0 から分離された面 2 0 4 の部分に電気接続するように設けられることがある。

【 0 0 2 1 】

図 1 0 および図 1 1 は、本発明のいくつかの実施形態に係る図 4 ~ 図 7 の電気部品 1 0 0 の例示の構成を示す。図 1 0 および図 1 1 に示されていないが、図 8 および図 9 の電気部品 1 0 0 ' は、図 1 0 および図 1 1 に示されるように構成されることもある。

【 0 0 2 2 】

図 1 0 に示されるように、導電性プローブ 7 0 4 が、導電性パッド 1 1 0 に結合されることがある。プローブ 7 0 4 は、押し付けられ、それによって、第 1 の電子デバイス(不図示)に電気接続することができる。加えて、第 2 の電子デバイス(図示されない)が信号端子 2 0 8 に電氣的に接続されることがある。そして、電気信号は、プローブ 7 0 4、トレース 1 0 4、ビア 2 0 6 および信号端子 2 0 8 を通って、第 1 の電子デバイス(不図示)と第 2 の電子デバイス(不図示)との間に供給されることができ、トレース 1 0 4 は、上述したようにガード構造 5 5 0 によって保護することができる。

【 0 0 2 3 】

プローブ 7 0 4 は、弾性のあるバネ状のプローブであってもよい。適切なプローブ 7 0 4 の限定しない例には、米国特許第 5, 4 7 6, 2 1 1 号、米国特許第 5, 9 1 7, 7 0 7 号、および米国特許第 6, 3 3 6, 2 6 9 号に記載されているように、パッド 1 1 0 の 1 つに接合され、かつ、上に弾性材料をコーティングされた心線から形成された複合構造がある。或いは、プローブ 7 0 4 は、米国特許第 5, 9 9 4, 1 5 2 号、米国特許第 6,

033, 935号、米国特許第6,255,126号、米国特許出願公開第2001/0044225号、および米国特許出願公開第2001/0012739号に開示されたバネ素子などのリソグラフィで形成された構造であってもよい。プローブ704の他の限定しない例には、導電性ポゴピン、パンプ、スタッド、打抜きバネ、針、座屈梁、その他がある。

#### 【0024】

図10および図11に示されるように構成された電気装置100または100'は、半導体チップなどの電子デバイスを試験するために使用することができる。図12は、本発明のいくつかの実施形態に従う例示のプローブカードアセンブリ800を示し、このアセンブリ800において、図10および図11に示されるように構成された電気装置100がプローブ基板814として機能し得る。

10

#### 【0025】

前述したように、プローブ704のようなプローブが、図8および図9に示された構成100'と同様な電子部品100の構成に同様に取り付けられることがある。実際は、プローブ704のようなプローブは、図8および図9に示された電子部品100の多くの可能な変形のどれにでも取り付けることができる。

#### 【0026】

ここで、100、100'と同様な電子部品の例示の使用についての議論に進むと、図12は、例示のプローブカード組立品800を示し、これは、図示のように、3つの基板、すなわち配線基板802、インターポーザ808およびプローブ基板814を含むことができる。端子804は、テスト（不図示）への電氣的接続およびテストからの電氣的接続を行うことができ、さらに、ポゴピン、ジフ（ZIF: zero-insertion-force）コネクタ、または、テスト（不図示）と電気接続するのに適した任意の他の接続デバイスを受けるパッドを限定することなしに含んだ任意の適切な電氣的接続構造であってもよい。

20

#### 【0027】

導電端子、ビアおよび/またはトレース（不図示）などの電氣的接続（不図示）は、端子804から配線基板802を通して導電バネコンタクト806への電氣的接続を行うことができる。加えて、電氣的接続（例えば、導電端子、ビアおよび/またはトレース）（不図示）は、インターポーザ808を通してバネコンタクト806をバネコンタクト810に接続するようにインターポーザ808によって行われることがあり、このバネコンタクト810はバネコンタクト806と同様であってもよい。さらに、電氣的接続（例えば、導電端子、ビアおよび/またはトレース）（不図示）は、プローブ基板814を通してバネコンタクト810をプローブ816に電氣的に接続することができ、プローブ816は、試験されるべき1つの電子デバイスまたは複数の電子デバイス892の入力および/または出力端子890に接触するように使用されることがある。したがって、端子804からプローブカード組立品を通してプローブ816に、さらにプローブ816から試験されるべき1つの電子デバイスまたは複数の電子デバイス892の入力および/または出力端子890に、電氣的接続（不図示）が行われることがある。

30

#### 【0028】

プローブ基板814およびインターポーザ808は、限定することなしにボルト、ネジ、クランプ、ブラケット、その他を含んだ任意の適切な手段を使用して、配線基板802に固定され得る。図示の実施形態では、プローブ基板814およびインターポーザ808は、ブラケット812によって配線基板802に固定することができる。図10に示されたプローブカード組立品800は、単なる例示に過ぎず、プローブカード組立品の多くの代替えおよび異なる構成を使用することもできる。例えば、プローブカード組立品は、図12に示されたプローブカード組立品よりも少ない、または多い基板を含むことができる。米国特許第5,974,622号および米国特許第6,509,751号は、例示のプローブカード装置を記載している。加えて、2005年6月24日に出願された「Method And Apparatus For Adjusting A Multi-Substrate Probe Structure」という名称の米国特許出願第11/165,833号は、複数のプローブヘッドに配置されたより小さなプ

40

50

プローブ配列から大きなプローブ配列が作られ、かつ各プローブヘッドが独立に調整可能であるようなプローブカード組立品を開示している。前述の特許または特許出願のいずれかに記載されたプローブカード装置の様々な特徴は、プローブカード組立品 800 に適用することができる。

#### 【0029】

プローブカード組立品 800 は、次のように使用することができる。端子 804 は、テスト（不図示）に接続されることがあり、1つまたは複数の電子デバイス 892 の入力および/または出力端子 890 は、プローブ 816 と接触されることがある。そして、テストは、試験データまたはアナログ電圧レベルまたは電流を生成することができ（本明細書で使用される「試験データ」という用語は、アナログ電圧レベルおよび電流を含んだデジタル信号およびアナログ信号を含む）、この試験データは、プローブカード組立品 800 と、1つの電子デバイスまたは複数の電子デバイス 892 の入力端子 890 に接触したプローブ 816 の1つとを通して、1つの電子デバイスまたは複数の電子デバイス 892 に供給され得る。テストによって生成された試験データにตอบสนองして1つの電子デバイスまたは複数の電子デバイス 892 によって生成された応答データは、1つの電子デバイスまたは複数の電子デバイス 892 の出力端子 890 に接触したプローブ 816 によって感知され、プローブカード組立品 800 を通してテスト（不図示）に供給され得る。テスト（不図示）は、1つの電子デバイスまたは複数の電子デバイス 892 が試験に合格するかどうかを決定し、および/または、1つの電子デバイスまたは複数の電子デバイス 892 をランク付けするように応答データを評価することができる。例えば、テスト（不図示）は、1つの電子デバイスまたは複数の電子デバイス 892 によって生成された応答データを、期待される応答データと比較して、応答データを評価することができる。プローブカード組立品 800 は、このように、テスト（不図示）と試験されるべき1つまたは複数の電子デバイス 892 との間の電気的インタフェースとして機能することができる。試験されるべき1つの電子デバイスまたは複数の電子デバイスは、個別化されない半導体ウェーハのダイ、ウェーハから個別化されたダイ（パッケージ化された、またはされない）、キャリアまたは他の保持デバイスに配置された個別化半導体ダイの配列のダイ、1つまたは複数のマルチダイ電子モジュール、その他であることがある。

#### 【0030】

上述したように、プローブ基板 814 は、図1～図11のいずれかに示されるようにして作ることができる。例えば、図10および図11に示されるようにプローブ 704 を備えて構成された電子部品 100 または 100' は、図12のプローブ基板 814 として使用することができる（この場合、プローブ 704 はプローブ 816 であることがある）。そのような場合、端子 208 は、パネコンタクト 810 の1つに電気的に接続されるであろう。パネコンタクト 810 の別のものは、上述したようにガード構造 550 にガード電圧を供給するようにガード端子 220 に電気的に接続され得る。このようにして、試験信号は、端子 804 に接続されたテスト（不図示）と、端子 890 がプローブ 816 に接触した、試験される1つの電子デバイスまたは複数の電子デバイス 892 との間に供給されることができる。さらに、配線基板 802 および/またはインターポーザ 808 の上、または中の信号トレースおよび/またはビアには、上述した方法のいずれかを使用してガード構造を設けることもできる。

#### 【0031】

図13および図14は、本発明のいくつかの実施形態に係る、信号トレースおよびガード構造が多層基板から同時に切り出される電子部品 920 の形成を示す。図13に示されるように、多層基板 900 が用意されることがあり、層 902～914 は、交互になる導電層と絶縁層とであることがある。例えば、図13において、層 902、906、910 および 914 は電気絶縁材料を有することがあり、層 904、908、912 は導電材料を有することがある。限定しない一例として、基板 900 は、多層セラミック基板であってよく、層 902、906、910 および 914 はセラミック材料を有し、層 904、908、912 は、銅などの金属を有する。

10

20

30

40

50



## 【 0 0 3 2 】

図 4 ~ 図 6 のように前もって形成された信号導体（例えば、図 4 ~ 図 6 のトレース 1 0 4 の 1 つ）に合うように埋込み導電面（例えば、図 4 ~ 図 6 の 2 0 4 ）からガード構造を切り出すのではなく、図 1 3 では、信号導体と、この信号導体の両側に配置されたガード面とを、基板 9 0 0 から同時に切り出すことができる。

## 【 0 0 3 3 】

図 1 3 は、基板 9 0 0 から構造（図 1 3 の 9 2 0 ）を切り出す切削ツール 9 1 8（例えば、レーザ、鋸、その他）を示す。図 1 3 に示されるように、基板 9 0 0 から切り出された積重ねガード構造 9 2 0 は、導電面 9 0 8 から切り出された信号導体 9 2 8 および導電面 9 0 4、9 1 2 から切り出されたガード導体 9 2 4、9 3 2 を備えることができる。構造 9 2 0 の絶縁層 9 2 2、9 2 6、9 3 0、9 3 4 は、基板 9 0 0 の層 9 0 2、9 0 6、9 1 0、9 1 4 から切り出すことができる。4 つの絶縁層 9 0 2、9 0 6、9 1 0、9 1 4 および 3 つの導電層 9 0 4、9 0 8、9 1 2 を有する基板 9 0 0 が図 1 3 に示されているが、絶縁層および導電層の異なる数およびパターンを備えた多層基板を使用することもできる。さらに、図 1 3 に示されるような基板からガード保護スタックを切り出すことによって、多くの異なる型の電子部品を作ることにもできる。さらに、初期の基板 9 0 0 は、セラミック以外の材料を有することもある。例えば、基板 9 0 0 は、プリント回路基板材料、有機材料、無機材料、その他を有していてもよい。

## 【 0 0 3 4 】

図 1 5 ~ 図 2 2 は、本発明のいくつかの実施形態に係る積重ねガード構造を作る他の例示の方法を示す。図 1 5 に示されるように、基板 1 0 0 2 が用意されることがある。この基板 1 0 0 2 は、限定することなしに半導体基板（例えば、シリコンウェーハ）、セラミック基板、プリント回路基板、金属基板、その他を含んだどんな適切な基板であってもよい。基板 1 0 0 2 は、導電性ビア 1 0 0 1、1 0 0 3 を含むことができる。理解されるように、ビア 1 0 0 1 は、基板 1 0 0 2 を貫通して延び、基板 1 0 0 2 の反対側の表面の導電性パッド 1 0 2 0 に電氣的に接続されることができ、ビア 1 0 0 3 は、基板 1 0 2 を貫通して延び、基板 1 0 0 2 の反対側の表面の他の導電端子 1 0 1 8 に電氣的に接続されることができ。（図 2 2 参照。）理解されるように、端子 1 0 2 0 およびビア 1 0 0 1 は、作られることになっているガード構造 1 0 0 8 への電氣的接続を行うことができ、端子 1 0 1 8 およびビア 1 0 0 3 は、作られることになっている信号トレースへの電氣的接続を行うことができる。（図 2 2 参照。）

## 【 0 0 3 5 】

ここで、積重ね構造の形成についての議論に戻って、図 1 6 に示されるように、マスク材料 1 0 0 4 の第 1 の層が基板 1 0 0 2 に堆積されることがある。適切なマスク材料 1 0 0 4 の例は、フォトレジストまたは他のタイプのパターンニング可能な材料である。マスク材料 1 0 0 4 は、層の状態で堆積され、開口 1 0 0 6、開口 1 0 0 6 内のマスク材料 1 0 0 4 のアイランド 1 0 0 5、およびアイランド 1 0 0 5 内の開口 1 0 0 7 を形成するようにパターンニングされる。理解されるように、ガード構造 1 0 0 8（図 1 7 参照）は、開口 1 0 0 6 の中に形成することができ、したがって、開口 1 0 0 6 は、ガード構造 1 0 0 8 の所望の形状に対応する形状で形成することができる。また、理解されるように、ガード構造を貫通してビア 1 0 0 3 からの電氣的接続を行う導電性ビア 1 0 0 9（図 1 7 参照）は、開口 1 0 0 7 の中に形成されることがある。したがって、開口 1 0 0 7 は、ビア 1 0 0 3 と揃えられることがある。

## 【 0 0 3 6 】

図 1 7 に示されるように、開口 1 0 0 6、1 0 0 7 は、ガード構造 1 0 0 8 およびビア 1 0 0 9 を形成するように導電材料で満たすことができる。前述したように、ビア 1 0 0 9 がビア 1 0 0 3 の上に形成され、かつ、これに電氣的に接続されるように、開口 1 0 0 7 は、ビア 1 0 0 3 と揃えられることがある。マスク材料 1 0 0 4 のアイランド 1 0 0 5 は、ガード構造 1 0 0 8 とビア 1 0 0 9 とが分離され電氣的に接続されないように、ガード構造 1 0 0 8 とビア 1 0 0 9 との間にスペースを与えることができる。

## 【 0 0 3 7 】

開口 1 0 0 6、1 0 0 7 に導電材料を満たすプロセスは、電気メッキ、スパッタリング、または他の堆積方法を使用することを含んでもよい。導電材料が開口 1 0 0 6、1 0 0 7 の中に電気メッキされる場合、基板 1 0 0 2 の表面は、マスク材料 1 0 0 4 を形成する前に導電性の材料層（不図示）をコーティングして用意されることがある。知られているように、そのとき、導電層（不図示）はメッキ装置（不図示）の陽極または陰極に接続されることがあり、基板 1 0 0 2 は、開口 1 0 0 6、1 0 0 7 の中に電気メッキされる導電材料を含むメッキ溶液を含んだメッキ槽（不図示）の中に配置されることがある。そのとき、導電材料は、開口 1 0 0 6、1 0 0 7 によって露出された導電層（不図示）の部分にメッキされる。図に示されていないが、導電材料が開口 1 0 0 6、1 0 0 7 に堆積された後で、マスク材料のアイランド 1 0 0 5 は、除去され、電気絶縁材料に置き換えることができる。

10

## 【 0 0 3 8 】

図 1 8 に示されるように、マスク材料 1 0 1 0 の第 2 の層が、第 1 のマスク材料 1 0 0 4、ガード構造 1 0 0 8、およびビア 1 0 0 9 の上に堆積され、さらに、ビア 1 0 1 1 を形成するように導電材料を満たされる開口（不図示）をもつようにパターンニングされることがある。ビア 1 0 1 1 が形成される開口（不図示）は、ビア 1 0 1 1 がビア 1 0 0 9 の上に形成され、かつ、これに電氣的に接続されるように、ビア 1 0 0 9 と揃えられることがある。そして、第 2 のマスク層 1 0 1 0 が除去されて、ビア 1 0 1 1 を後に残す。

## 【 0 0 3 9 】

図 1 9 に示されるように、マスク材料 1 0 1 3 の第 3 の層が、第 1 のマスク材料 1 0 0 4 およびガード構造 1 0 0 8 の上およびビア 1 0 1 1 のまわりに堆積されることがある。そして、マスク材料 1 0 1 3 の第 3 の層は、ガード構造 1 0 0 8 の上に絶縁層 1 0 1 2 を形成し導電性ビア 1 0 1 1 が絶縁層 1 0 1 2 を貫通しているように絶縁材料で満たされる開口（不図示）をもつようにパターンニングされることがある。絶縁層 1 0 1 2 を形成する絶縁材料は、限定することなしに化学気相成長法、物理気相成長法、電子ビーム堆積、熱蒸着、その他を含んだどんな適切な方法を使用して堆積してもよい。他の限定しない例示の方法には、マスク材料 1 0 1 3 の第 3 の層の開口（不図示）の中への流動可能な材料の注入、流し込み、または他の堆積材料の硬化がある。図 2 0 に示されるように、マスク材料 1 0 1 4 の第 4 の層が、設けられ、信号トレース 1 0 1 6 を形成するように導電材料で満たされる開口をもつようにパターンニングされることがある。

20

30

## 【 0 0 4 0 】

マスク層 1 0 1 0、1 0 1 3、1 0 1 4 の各々は、マスク層 1 0 0 4 と同じか同様であってもよく、マスク層 1 0 0 4 と同様に堆積されパターンニングされてもよい。ビア 1 0 0 9、ビア 1 0 1 1、および信号トレース 1 0 1 6 を形成する導電材料は、ガードトレース 1 0 0 8 を形成する導電材料と同じでもよいし、異なってもよい。ビア 1 0 0 9、ビア 1 0 1 1、および信号トレース 1 0 1 6 を形成する導電材料は、ガードトレース 1 0 0 8 を形成する導電材料と同じ方法か、異なる方法で堆積することができる。さらに、図示しないが、1 つの層を形成する材料および要素は、マスク材料の次の層が堆積される前に平坦化されてもよい。

40

## 【 0 0 4 1 】

図 2 1 に示されるように、マスク材料層 1 0 0 4、1 0 1 3、1 0 1 4 は除去され、後にガード構造 1 0 0 8、絶縁層 1 0 1 2、および信号トレース 1 0 1 6 を有する層状構造 1 0 1 8 を残すことができる。他の実施形態では、図 2 1 に示されたガードトレース 1 0 0 8 は、信号トレースとして機能するように構成されてもよく、また図 2 1 の信号トレース 1 0 1 6 は、ガードトレースとして機能するように構成されてもよい。加えて、ガード構造 1 0 0 8、絶縁層 1 0 1 2、および信号トレース 1 0 1 6 を有する複数のスタックが、基板 1 0 0 2 上に形成されてもよい。したがって、図 2 1 の電子デバイスは、図 4 ~ 図 9 に示された電気装置 1 0 0 または 1 0 0 ' のようになる場合がある。

## 【 0 0 4 2 】

50

図 22 に示されるように、プローブ 1022 (図 10 および図 11 のプローブ 704 に類似していることがある) が、信号トレース 1016 に取り付けられることがある。上述したように、信号端子 1018 (図 3 の信号端子 208 に類似していることがある) およびガード端子 1020 (図 3 のガード端子 220 に類似していることがある) が、図 21 に示されるように設けられることがある。或いは、ガード端子 220 は、図 8 および図 9 のガード端子 220' と同様に信号端子 1018 を囲繞する環状端子であってもよい。基板 1002 を貫通するビア 1003、ガード構造 1008 を貫通するビア 1009、および絶縁層 1012 を貫通するビア 1011 は、信号端子 1018 をガード端子 1008 に電氣的に接続することができ、基板 1002 を貫通するビア 1001 は、ガード端子 1020 をガード構造に電氣的に接続することができる。上述のように、アイランド 1005 は、ビア 1009 とガード構造 1008 とが電氣的に接続されないように、ビア 1009 とガード構造 1008 との間に電氣的な分離を生じさせる。動作中に、信号端子 1018 は、データ信号の供給源または宛先に接続されることがあり、またガード端子 1020 は、ガード信号の供給源に接続されることがある。したがって、信号トレース 1016 は、他の信号トレース (不図示) との容量結合またはクロストークおよび / または他の電気干渉から保護され得る。

#### 【0043】

本発明の特定の実施形態および用途がこの明細書で説明されたが、本発明がこれらの例示の実施形態および用途に、または、例示の実施形態および用途が動作する、または本明細書で説明された方法に、限定されるという意図はない。

#### 【図面の簡単な説明】

#### 【0044】

【図 1】本発明のいくつかの実施形態に係る、基板および導電性トレースを有する代表的な電気装置を示す上面図である。

【図 2】図 1 の電気装置の底面図である。

【図 3】図 1 の電気装置の側面断面図である。

【図 4】本発明のいくつかの実施形態に係る、各導電性トレースに積重ねガード構造を形成するようにトレンチが掘られた後の図 1 の電気装置を示す上面図である。

【図 5】導電性トレースの一つを示す図 4 の部分図である。

【図 6】図 5 の側面断面図を示す。

【図 7】図 4 ~ 図 6 の電気装置の導電面を示す上面図であり、この導電面から切り出されたガード構造を示す図である。

【図 8】図 6 に示された図に全体として対応する側面断面図で、図 4 ~ 図 6 に示された電気装置への例示の追加部品を示す図である。

【図 9】図 8 に示された構成の底面図である。

【図 10】プローブが導電性トレースのパッドに取り付けられた図 4 ~ 図 6 の電気装置を示す上面図である。

【図 11】図 10 の電気装置の側面断面図である。

【図 12】本発明のいくつかの実施形態に係る代表的なプローブカード組立品を示す図である。

【図 13】本発明のいくつかの実施形態に係る積重ねガード構造を含む電子部品を形成するための多層基板からの電子部品の切り出しを示す図である。

【図 14】図 13 の基板から切り出された電子部品を示す図である。

【図 15】本発明の実施形態に係る積重ねガード構造を作るための他の代表的なプロセスを示す図である。

【図 16】本発明のいくつかの実施形態に係る積重ねガード構造を作るための他の代表的なプロセスを示す図である。

【図 17】本発明の実施形態に係る積重ねガード構造を作るための他の代表的なプロセスを示す図である。

【図 18】本発明の実施形態に係る積重ねガード構造を作るための他の代表的なプロセス

を示す図である。

【図 1 9】本発明の実施形態に係る積重ねガード構造を作るための他の代表的なプロセスを示す図である。

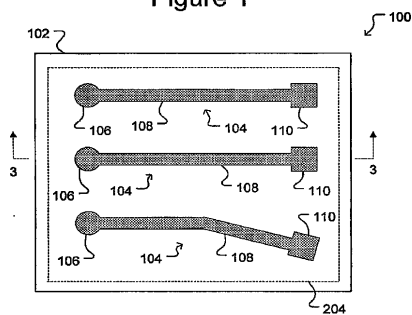
【図 2 0】本発明の実施形態に係る積重ねガード構造を作るための他の代表的なプロセスを示す図である。

【図 2 1】本発明の実施形態に係る積重ねガード構造を作るための他の代表的なプロセスを示す図である。

【図 2 2】本発明の実施形態に係る積重ねガード構造を作るための他の代表的なプロセスを示す図である。

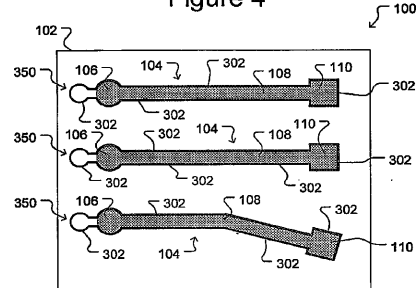
【図 1】

Figure 1



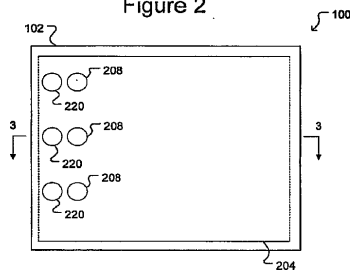
【図 4】

Figure 4



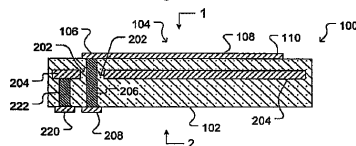
【図 2】

Figure 2



【図 3】

Figure 3



【図 5】

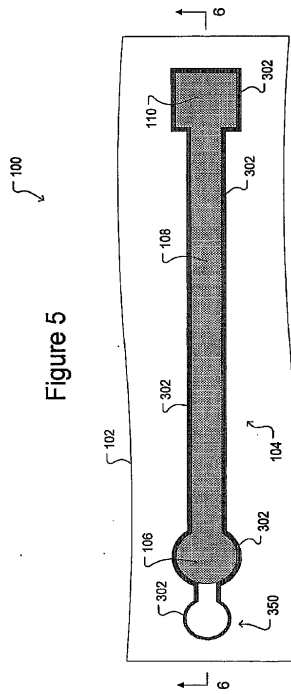


Figure 5

【図 6】

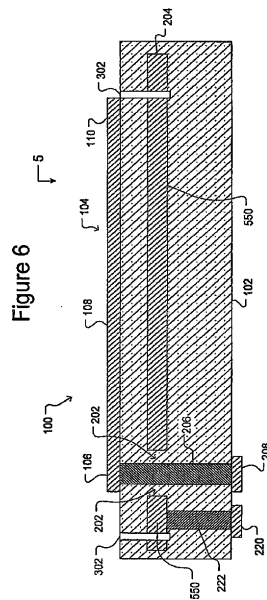
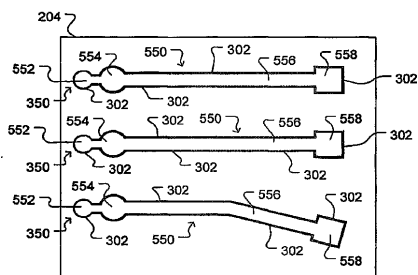


Figure 6

【図 7】

Figure 7



【図 8】

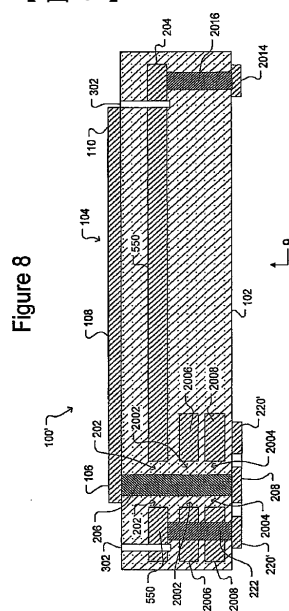
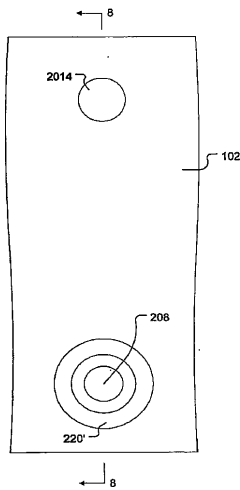
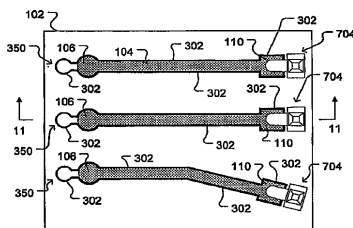


Figure 8

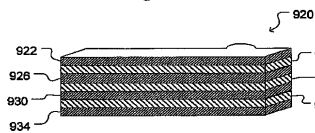
【図 9】  
Figure 9



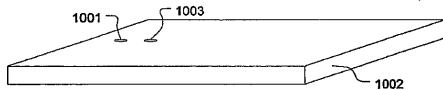
【図 10】  
Figure 10



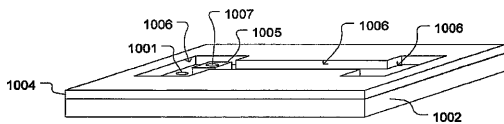
【図 14】  
Figure 14



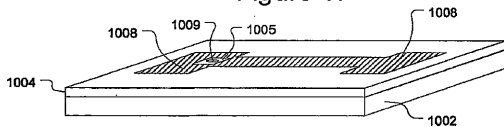
【図 15】  
Figure 15



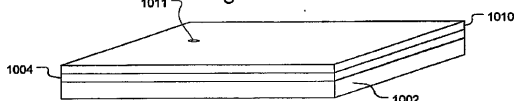
【図 16】  
Figure 16



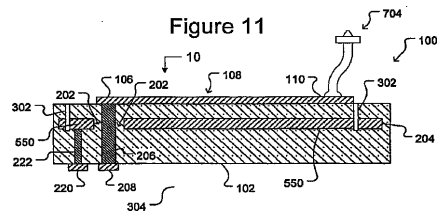
【図 17】  
Figure 17



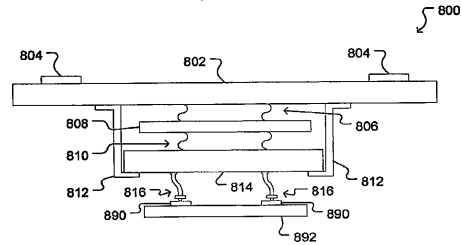
【図 18】  
Figure 18



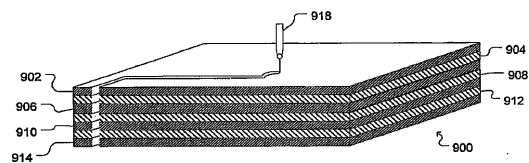
【図 11】  
Figure 11



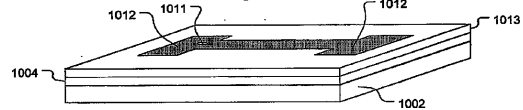
【図 12】  
Figure 12



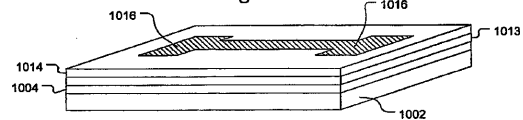
【図 13】  
Figure 13



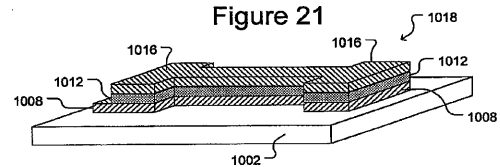
【図 19】  
Figure 19



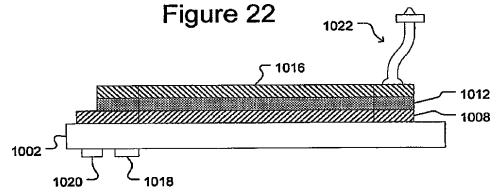
【図 20】  
Figure 20



【図 21】  
Figure 21



【図 22】  
Figure 22



---

フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 21/66

B

審査官 西村 泰英

(56)参考文献 特開2002-141711(JP,A)  
特開2000-307312(JP,A)  
特開2001-044716(JP,A)  
特開2002-016340(JP,A)  
特開2001-007525(JP,A)  
特開昭60-032401(JP,A)  
特開昭61-114601(JP,A)  
実開昭61-007101(JP,U)

(58)調査した分野(Int.Cl., DB名)

H05K 3/46

G01R 1/073

H01L 21/66

H05K 3/00