

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2012 年 6 月 7 日 (07.06.2012)



(10) 国际公布号
WO 2012/071878 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01) H01L 21/28 (2006.01)
- (21) 国际申请号: PCT/CN2011/075635
- (22) 国际申请日: 2011 年 6 月 13 日 (13.06.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201010568303.5 2010 年 12 月 1 日 (01.12.2010) CN
- (71) 申请人 (对除美国外的所有指定国): 北京大学深圳研究生院 (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL) [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大校区, Guangdong 518055 (CN)。
- (72) 发明人; 及
- (75) 发明人/申请人 (仅对美国): 张盛东 (ZHANG, Shengdong) [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大校区 A 栋 402 房, Guangdong 518055 (CN)。 贺鑫 (HE, Xin) [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大校区 A 栋 402 房, Guangdong 518055 (CN)。 王龙彦 (WANG, Longyan) [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大校区 A 栋 402 房, Guangdong 518055 (CN)。

(74) 代理人: 深圳鼎合诚知识产权代理有限公司 (DHC LAW OFFICE); 中国广东省深圳市福田区金田路与福华路交汇处现代商务大厦 2201, Guangdong 518048 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条(3))。

(54) Title: MANUFACTURING METHOD OF A TRANSISTOR

(54) 发明名称: 一种晶体管的制造方法

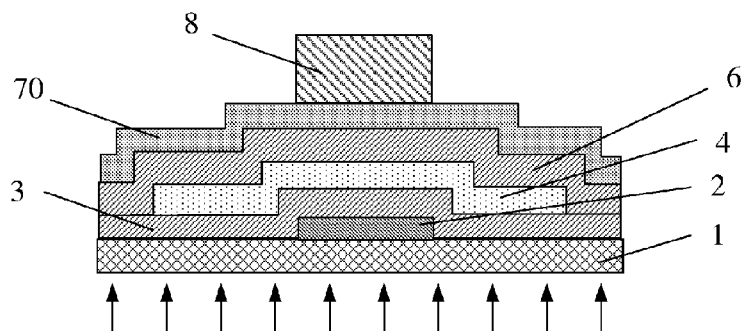


图 4 / Fig.4

(57) Abstract: A method for forming double-gate transistor is provided. The method includes: growing a bottom gate electrode (2), an active region (4), and a conductive film (70) on the front surface of the substrate (1) in turn; coating a photo-resist on the conductive film (70); forming the photo-resist pattern (8) by carrying out back exposure from the back surface of the substrate (1) under masking by the bottom gate electrode (2); forming a top gate electrode (7) by etching the conductive film (70) under masking by the photo-resist pattern (8), wherein the substrate (1), the active region (4), and the conductive film (70) are transparent while the bottom gate electrode (2) is opaque. The method enhances the precision of self-aligned etching by using the bottom electrode (2) as a natural mask, and is also cost effective.

[见续页]



WO 2012/071878 A1



(57) 摘要:

提供了一种形成双栅晶体管的制造方法。该方法包括: 依次在衬底(1)的正面上生长底栅电极(2)、有源区(4)、和导电薄膜(70); 在导电薄膜(70)上涂敷光刻胶; 通过以底栅电极(2)为掩模, 从衬底(1)的背面执行背面曝光, 形成光刻胶图案(8); 通过以光刻胶图案(8)为掩模蚀刻导电薄膜(70), 形成顶栅电极(7)。其中, 衬底(1)、有源区(4)以及导电薄膜(70)是透明的, 而底栅电极(2)是不透明的。该方法通过以底栅电极(2)为天然的掩模, 提高了自对准蚀刻的精度, 同时也节约成本。

说明书

发明名称：一种晶体管的制造方法

技术领域

- [1] 本发明涉及晶体管的制造，尤其是一种双栅薄膜晶体管的制造方法。

背景技术

- [2] 薄膜晶体管作为开关控制元件或周边驱动电路的集成元件，是平板显示技术中的核心器件之一，其性能直接影响平板显示的效果。现有技术中的薄膜晶体管包括单栅结构和双栅结构。双栅结构与单栅结构的薄膜晶体管相比，具有更强的驱动能力、更陡的亚阈斜率、显著减少的电路占地面积等优势。而且，合理和巧妙使用双栅的组合能够实现新功能的器件和电路。但是，双栅结构薄膜晶体管，尤其是平面双栅的最大问题是其制备工艺复杂，特别是结构的自对准难以实现。迄今所提出的方法均是非自对准的。非自对准的工艺会导致器件特性存在大的离散性和产生较大的寄生元件（比如寄生电容），而这是平板显示应用所不能接受的。因此如何获得自对准的双栅制造方法一直是半导体晶体管工艺中的难题。

对发明的公开

技术问题

- [3] 本发明要解决的主要技术问题是，提供一种晶体管的制造方法，使用该方法能够实现双栅薄膜晶体管的顶栅电极和底栅电极的精确对准。

技术解决方案

- [4] 为解决上述技术问题，本发明提供一种晶体管的制造方法，包括：
- [5] 在衬底的正面依次形成底栅电极、有源区和导电薄膜；
- [6] 在所述导电薄膜上涂布光刻胶，光刻曝光时，从所述衬底的背面进行曝光形成光刻胶图形；
- [7] 以光刻后形成的光刻胶图形为掩膜，刻蚀所述导电薄膜形成顶栅电极。
- [8] 其中，所述底栅电极为不透明材料制成。
- [9] 在一种实施例中，在所述底栅电极和有源区之间还形成有底栅介质层，在所述

有源区和导电薄膜之间还形成有顶栅介质，在光刻曝光后，以光刻后形成的光刻胶图形为掩膜同时刻蚀所述导电薄膜和所述顶栅介质分别形成顶栅电极和顶栅介质层；所述衬底、底栅介质层、有源区、顶栅介质和导电薄膜为透明材质。

- [10] 在一种实施例中，在衬底的正面依次形成底栅电极、有源区和导电薄膜包括：
- [11] 在衬底的正面生长一层金属薄膜，然后光刻和刻蚀所述金属薄膜形成底栅电极；
- [12] 在所述衬底和所述底栅电极上生长一层底栅介质层；
- [13] 在底栅介质层上生长一层用于形成有源区的金属氧化物半导体层，紧接着生长一层有源区保护层薄膜，然后同时光刻和刻蚀所述金属氧化物半导体层和有源区保护层薄膜形成有源区和有源区保护层，所述有源区中，位于所述底栅电极和顶栅电极正对的区域为沟道区，所述沟道的两侧分别为源区和漏区；
- [14] 在保护层上生长一层顶栅介质，使顶栅介质覆盖有源区和保护层并延伸到所述底栅介质层上；
- [15] 在顶栅介质上生长一层用于形成顶栅电极的导电薄膜。
- [16] 在形成顶部栅电极后，还包括对源区和漏区用等离子进行轰击处理。
- [17] 在一种实施例中，所述等离子为氩、氢或氨。
- [18] 在一种实施例中，采用氩等离子轰击时的能量为100~200W，气压为0.1~1Torr
- [19] 在一种实施例中，所述底栅电极的材料为铬、钼、钛或铝，所述底栅电极的厚度为100~300nm；所述顶栅电极的材料为氧化镉锡或氧化锌铝，厚度为100~300nm；所述有源区的材料为氧化锌基或氧化镉基，所述有源区的厚度为50~200nm。
- [20] 在一种实施例中，所述底栅介质层和顶栅介质层的材料为氮化硅或氧化硅，厚度为100~400nm，由化学气相淀积PECVD或磁控溅射的方法生长而成，或者，所述底栅介质层和顶栅介质层为氧化铝，氧化钽或氧化铪，厚度为100~400nm，用磁控溅射的方法生长而成。

附图说明

- [21] 图1示出了在衬底上形成底栅电极后的结构图；
- [22] 图2示出了在形成底栅介质层、有源区和有源区保护层后的结构示意图；
- [23] 图3示出了形成顶栅介质层后的结构图；
- [24] 图4示了曝光时的结构示意图；
- [25] 图5示出了刻蚀形成顶栅介质和顶栅电极以及对源漏进行等离子处理的结构示意图；
- [26] 图6示出了图5去除光刻胶后的结构；
- [27] 图7示出了形成晶体管各电极的接触孔的结构图；
- [28] 图8示出了形成金属电极后的结构图。

本发明的实施方式

- [29] 下面通过具体实施方式结合附图对本发明作进一步详细说明。
- [30] 现有技术中，双栅结构的薄膜晶体管的制造工艺决定了其顶栅电极和底栅电极不可能精确对准，这导致晶体管存在较大的寄生电容，使其性能受到限制。本发明通过不透光的设计，采用自对准工艺制作双栅结构的薄膜晶体管，例如在一种实施例中，在制作底栅电极时采用不透光的设计，例如可采用不透光的材料使底栅电极不透光。而在制作衬底、顶栅电极以及底栅电极和顶栅电极之间的其它层时采用具有透光特性的设计，例如可采用透光材料或通过厚度的设计使其具有透光特性；在光刻形成顶栅电极图案时，通过从衬底的背面向上曝光，使底栅电极起到天然掩模版的作用，提高了最终形成的顶栅电极和底栅电极的对准精度。
- [31] 下面以一种实施例为例，具体说明如何形成双栅结构的薄膜晶体管。
- [32] 图1示出了在衬底上形成底栅电极后的结构图。衬底1采用玻璃衬底或其它具有透光特性的衬底，用磁控溅射或热蒸的方法在衬底1上生长一层厚度为100~300 nm的不透明薄膜，该薄膜的材料可以是铬、钼、钛或铝等；通过光刻或刻蚀该薄膜形成底栅电极2。本领域技术人员可以理解，在其它实施例中，底栅电极2还可以采用其他具有不透光特性的材料，也可以根据材料的要求采用其它成膜工艺在衬底1上形成不透明薄膜，不透明薄膜的厚度也可以根据材料的性能而不同，只要符合双栅结构的薄膜晶体管的参数要求和达到不透光的要求即可。

- [33] 图2示出了在形成底栅介质层、有源区和有源区保护层后的结构示意图。覆盖在底部栅电极2和衬底1上的是底栅介质层3，底栅介质层3可以是绝缘介质薄膜，也可以是金属氧化物薄膜。在一种具体实例中，在衬底1和底部栅电极2上生长一层绝缘介质薄膜，使其覆盖底部栅电极2并延伸到衬底1上，例如可以采用等离子增强化学汽相淀积PECVD的方法生长一层100~400nm厚的绝缘介质薄膜，该绝缘介质薄膜可以是氮化硅薄膜或氧化硅薄膜，该绝缘介质薄膜作为底栅介质层3。在另一具体实例中，也可以采用磁控溅射法生长一层100~400nm厚的金属氧化物薄膜，其材料可以是氧化铝，氧化钽或氧化铪等，该金属氧化物薄膜作为底栅介质层3；生长底栅介质层3后，再在底栅介质层3上依次淀积一层50~200nm厚的非晶或多晶的金属氧化物薄膜和20~80nm厚的金属氧化物薄膜或绝缘介质薄膜，可以采用射频磁控溅射的方法实现，经光刻和刻蚀分别形成有源区4和有源区保护层5。用于形成有源区的非晶或多晶的金属氧化物薄膜的材料可以是氧化锌基或氧化铟等，当为氧化铟时，溅射生长所述氧化铟金属氧化物半导体薄膜所述的陶瓷靶的纯度等于或优于99.99%。
- [34] 图3示出了形成有源区和有源区保护层后的结构图。在有源区保护层5的表面生长一层100~400nm厚的介质薄膜，该介质薄膜延伸并覆盖底栅介质层3，生长的方法可以用磁控溅射的方法生长一层100~400nm厚的金属氧化物薄膜，其材料可以是氧化铝，氧化钽或氧化铪等；也可以是用磁控溅射的方法生长一层100~400nm厚的绝缘介质薄膜，其材料可以是氮化硅或氧化硅；也可以是等离子增强化学汽相淀积PECVD生长一层100~400nm厚的绝缘介质薄膜，其材料可以是氮化硅或氧化硅等。该金属氧化物薄膜或绝缘介质薄膜与有源区保护层5共同形成顶栅介质层6，有源区保护层5的材料可以与顶栅介质层3的材料相同，也可以不同。比如，一种实施方式中，图2中有源区保护层5采用氧化硅，图3绝缘介质薄膜的材料也为氧化硅。
- [35] 可以理解的是，在另外的实施例，如果在图2所示步骤中，只生长用于形成有源区的金属氧化物薄膜，经光刻和刻蚀形成有源区，没有同时形成有源区保护层5，则此步中，直接在有源区表面生长一层用于形成顶栅介质层6的金属氧化物薄膜或绝缘介质薄膜并延伸覆盖底栅介质层3的表面。在图2中形成有源区

保护层5，可以通过有源区保护层5的阻挡作用保护有源区的上表面在后序的工艺过程中免受污染和损伤，尤其是在光刻和刻蚀形成有源区4和制造顶栅介质层6的过程中免受污染和损伤，主要污染和损伤来源于在光刻和刻蚀有源区4后，干法去胶或生长栅介质层6时可能使有源区表面出现缺陷，也有可能当基片在不同工序间传递时污染有源区4，导致器件的特性变坏。

[36] 本实施例在生长用于形成有源区的金属氧化物半导体层后，立刻在其上生长一层保护介质层，同时光刻和刻蚀保护介质层和金属氧化物半导体层分别形成保护层和被其保护的有源区。该保护层虽然最终作为顶栅介质的一部分，相当于顶栅介质紧贴有源区上表面的部分在制造时与有源区是一同生长的，使得有源区和顶部栅介质的结合效果更好，并且防止在光刻和刻蚀有源区及制造顶栅介质层时，对有源区上表面的污染和损坏，使器件的性能更加稳定性。

[37] 图4示出了曝光时的结构示意图。在图3结构的基础上，首先，采用射频磁控溅射淀积一层100~300nm厚的透明导电薄膜70，用于形成顶栅电极7的材料，该导电薄膜70的材料可以是氧化铟锡或氧化铝锌等。然后，在透明导电薄膜70的表面涂布一层正性光刻胶，曝光时，从衬底1的背面曝光，图示中箭头所示方向为曝光方向，然后进行显影。光刻显影后，形成的光刻胶图形为图示中的8，由于光刻中底部栅电极起到掩模版的作用，因此光刻胶图形8的形状和大小与底部栅电极表面的形状和大小相同，并且两者之间正对。可以理解的是，涂布的光刻胶也可以是负性的光刻胶，负性光刻胶经光刻显影后形成的图形与正性光刻胶形成的图形相反，此时要形成自对准的结构需采用剥离（lift-off）技术。

[38] 本实施例在光刻形成顶栅电极图案的过程中，涂胶时，在用于形成顶栅电极的透明导电薄膜的正面涂布光刻胶；曝光时，从玻璃衬底的背面进行曝光；由于玻璃衬底、有源区和导电薄膜具有透光特性，底部栅电极具有遮光特性。因此，曝光时，底部栅电极起到了天然掩模版的作用。此种方式，一方面省去了另外制造掩模版的成本，另一方面，由于底部栅电极作为掩模版，刻蚀导电薄膜形成的顶部栅电极与底部栅电极形成精确对准，减小了寄生元件的产生，提高了器件性能的均匀性。

[39] 图5示出了形成顶栅介质层和顶栅电极的结构。刻蚀图4中覆盖有光刻胶图形8

的顶栅介质6和导电薄膜70，分别形成顶栅介质层61和顶栅电极7。有源区4中，底栅电极2和顶栅电极7之间正对的区域是沟道区，沟道区两侧的区域分别为源区和漏区。形成顶栅介质层61和顶栅电极7后即可去除光刻胶图形8。

[40] 在另一实施例中，在保留光刻胶8的情况下，先对源区和漏区进行等离子处理，这样一方面可减小源区和漏区自身的寄生电阻，另一方面，轰击时，由于光刻胶图形8对顶栅电极7有保护作用，不必担心等离子处理对顶栅电极造成影响。如图5所示，箭头所示方向为等离子的轰击方向，处理时，采用氩、氢或氨等气体轰击源区和漏区的表面，增加其载流子浓度，从而减小其寄生电阻的值。比如，

一种实施方式中，采用的氩等离子的能量为100~200W，气压为0.1~1Torr。

[41] 图6示出了图5去除光刻胶后的结构。去除顶栅电极7上的光刻胶8，可以采用丙酮超声的方法或干法去胶去除。

[42] 图7示出了形成晶体管各电极的接触孔的结构图。在图6结构的基础上，用磁控溅射法或等离子增强化学汽相淀积PECVD淀积一层100~300nm厚的氮化硅层60，然后光刻和刻蚀形成各电极的引出接触孔。在一种实施方式中，9为栅极接触孔，10为源极接触孔，11为漏极接触孔。

[43] 图8示出了形成金属电极后的结构图。在图7结构的基础上用磁控溅射法淀积一层100~300nm厚的金属钛膜，然后光刻和刻蚀形成晶体管各电极的金属引出电极和互连线，同时连接顶部栅电极7和底部栅电极2。在一种实施方式中，12为栅极引出线，13为源极引出线，14为漏极引出线。

[44] 采用以上方法制作的双栅金属氧化物薄膜晶体管，由于底栅电极和顶栅电极之间正对准，使得寄生电容等寄生元件的值减小或没有，从而提高了晶体管的性能。

[45] 以上内容是结合具体的实施方式对本发明所作的进一步详细说明，不能认定本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说，在不脱离本发明构思的前提下，还可以做出若干简单推演或替换，都应当视为属于本发明的保护范围。

权利要求书

- [权利要求 1] 一种晶体管的制造方法，其特征在于，包括：
在衬底的正面依次形成底栅电极、有源区和导电薄膜；
在所述导电薄膜上涂布光刻胶，光刻曝光时，从所述衬底的背面进行曝光形成光刻胶图形；
根据光刻后形成的光刻胶图形刻蚀所述导电薄膜形成顶栅电极。
- [权利要求 2] 如权利要求1所述的晶体管的制造方法，其特征在于，所述底栅电极为不透明材料制成。
- [权利要求 3] 如权利要求2所述的晶体管的制造方法，其特征在于，在所述底栅电极和有源区之间还形成有底栅介质层，在所述有源区和导电薄膜之间还形成有顶栅介质，在光刻曝光后，以光刻后形成的光刻胶图形为掩膜同时刻蚀所述导电薄膜和所述顶栅介质分别形成顶栅电极和顶栅介质层；所述衬底、底栅介质层、有源区、顶栅介质和导电薄膜为透明材质。
- [权利要求 4] 如权利要求3所述的晶体管的制造方法，其特征在于，所述在衬底的正面依次形成底栅电极、有源区和导电薄膜具体包括：
在衬底的正面生长一层金属薄膜，然后光刻和刻蚀所述金属薄膜形成底栅电极；
在所述衬底和所述底栅电极上生长一层底栅介质层；
在底栅介质层上生长一层用于形成有源区的金属氧化物半导体层，紧接着生长一层有源区保护层薄膜，然后同时光刻和刻蚀所述金属氧化物半导体层和有源区保护层薄膜分别形成有源区和覆盖所述有源区上表面的保护层，所述有源区中，位于所述底栅电极和顶栅电极正对的区域为沟道区，所述沟道的两侧分别为源区和漏区；
在保护层上生长一层顶栅介质，使顶栅介质覆盖有源区和保护层并延伸到所述底栅介质层上；
在顶栅介质上生长一层用于形成顶栅电极的导电薄膜。

- [权利要求 5] 如权利要求4所述的晶体管的制造方法，其特征在于，所述保护层和顶栅介质层的材质相同或不同。
- [权利要求 6] 如权利要求1所述的晶体管的制造方法，其特征在于，在形成顶部栅电极后，还包括对源区和漏区用等离子进行轰击处理。
- [权利要求 7] 如权利要求6所述的晶体管的制造方法，其特征在于，所述等离子为氩、氢或氨。
- [权利要求 8] 如权利要求7所述的晶体管的制造方法，其特征在于，采用氩等离子轰击时的能量为100~200W，气压为0.1~1Torr
- [权利要求 9] 如权利要求1所述的晶体管的制造方法，其特征在于，所述底栅电极的材料为铬、钼、钛或铝，所述底栅电极的厚度为100~300nm；所述顶栅电极的材料为氧化镉锡或氧化铝锌，厚度为100~300nm；所述有源区的材料为氧化锌基或氧化镉基，所述有源区的厚度为50~200nm。
- [权利要求 10] 如权利要求2所述的晶体管的制造方法，其特征在于，所述底栅介质层和顶栅介质层的材料为氮化硅或氧化硅，厚度为100~400nm，由化学气相淀积PECVD或磁控溅射的方法生长而成，或者，所述底栅介质层和顶栅介质层为氧化铝、氧化钽或氧化铪，厚度为100~400nm，用磁控溅射的方法生长而成。

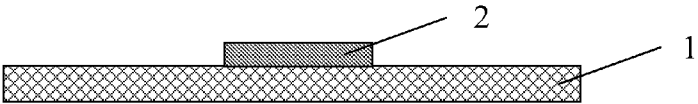


图 1

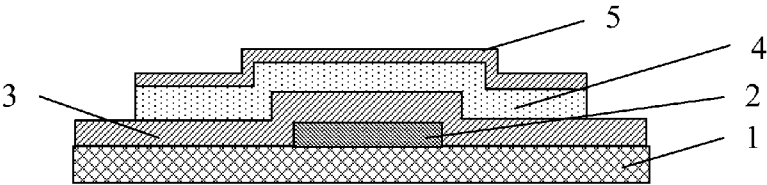


图 2

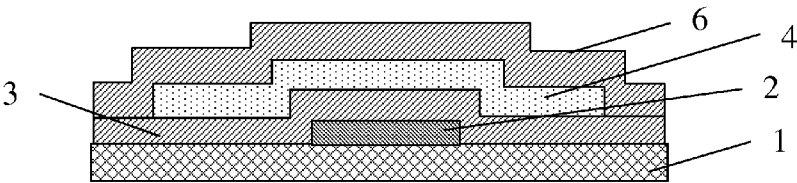


图 3

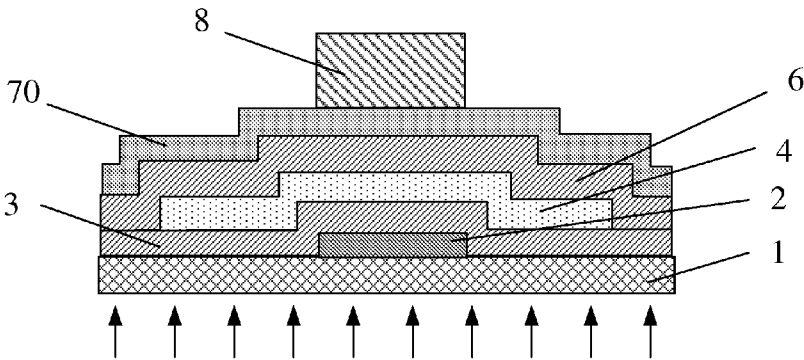


图 4

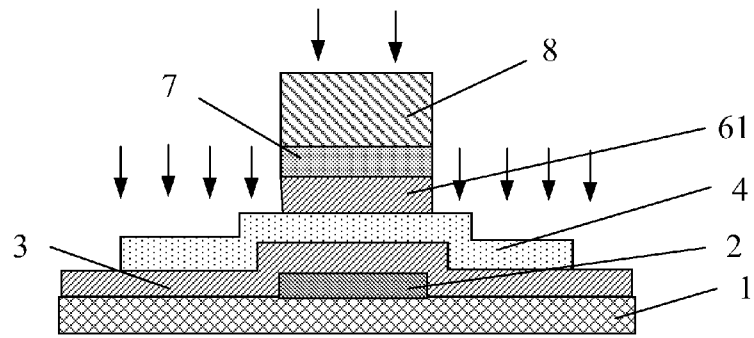


图 5

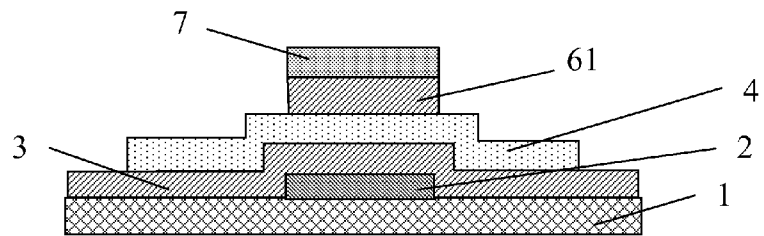


图 6

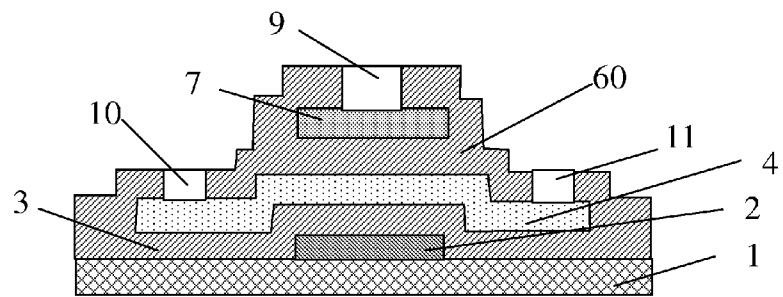


图 7

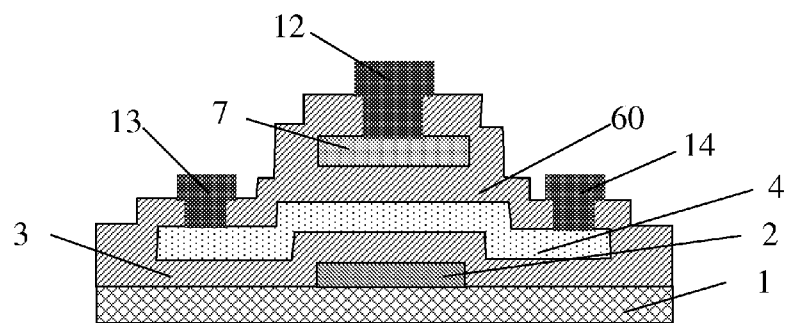


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/075635

A. CLASSIFICATION OF SUBJECT MATTER

See Extra Sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-; H01L 29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CPRSABS, CNTXT, CNABS, USTXT, EPODOC, DWPI, CNKI: bottom, top, gate, first, second, mask+, substrate, back, exposure, transistor, self-aligned, floating, thin film transistor, TFT, photo, etch+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2004/0183130 A1 (FUJITSU LIMITED) 23 Sep. 2004 (23.09.2004) Paragraphs 82-99, figures 9A-11D	1-3,10
Y		4-10
Y	CN 101488459 A (PEKING UNIVERSITY SHENZHEN GRA) 22 Jul. 2009 (22.07.2009) Pages 2-4, figures 1-8	4,5,9,10
Y	CN 101582453 A (SAMSUNG ELECTRONICS CO LTD) 18 Nov. 2009 (18.11.2009) Lines 1-10 in page 13 of description, figures 3E, 3F	6,7,8

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
15 Jul. 2011(15.07.2011)Date of mailing of the international search report
15 Sep. 2011 (15.09.2011)Name and mailing address of the ISA/CN
The State Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China
100088
Facsimile No. 86-10-62019451Authorized officer
HUANG Daoxu
Telephone No. (86-10)62411845

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/075635

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 1910756 A (KONINKL PHILIPS ELECTRONICS NV)07 Feb. 2007 (07.02.2007) The whole document	1-10

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2011/075635

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US2004/0183130A1	23.09.2004	JP2004343018A	02.12.2004
		US6909118B2	21.06.2005
		KR20040083353A	01.10.2004
		TW200423207A	01.11.2004
		KR769775B1	23.10.2007
		TW246709B1	01.01.2006
CN101488459A	22.07.2009	CN101488459B	22.09.2010
CN101582453A	18.11.2009	KR20090119666A	19.11.2009
		US2009283763A1	19.11.2009
		EP2120267A1	18.11.2009
		JP2009278115A	26.11.2009
CN1910756A	07.02.2007	JP2007519251T	12.07.2007
		US2008224184A1	18.09.2008
		WO2005071753A1	04.08.2005
		EP1711965A1	18.10.2006
		US7569435B2	04.08.2009
		TW200535936A	01.11.2005
		KR20070007046A	12.01.2007
		CN1910756B	08.09.2010

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/075635

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336(2006.01)i

H01L 21/28(2006.01)n

国际检索报告

国际申请号

PCT/CN2011/075635

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L 21/-; H01L 29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CPRSABS, CNTXT, CNABS, USTXT, EPODOC, DWPI, CNKI, 底栅, 顶栅, 双栅, 第一栅, 第二栅, 掩模, 衬底, 背面, 背部, 反面, 反, 背, 曝光, 晶体管, 自对准, 浮栅, 薄膜晶体管, 光刻, bottom, top, gate, first, second, mask+, substrate, back, exposure, transistor, self-aligned, floating, thin film transistor, TFT, photo, etch+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US 2004/0183130 A1 (FUJITSU LIMITED) 23. 9 月 2004 (23.09.2004) 说明书第 82-99 段、附图 9A-11D	1-3, 10
Y		4-10
Y	CN 101488459 A (北京大学深圳研究生院) 22. 7 月 2009 (22.07.2009) 说明书第 2-4 页、附图 1-8	4,5,9,10
Y	CN 101582453 A (三星电子株式会社) 18. 11 月 2009 (18.11.2009) 说明书第 13 页第 1-10 行、附图 3E,3F	6,7,8

☒ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

15.07 月 2011(15.07.2011)

国际检索报告邮寄日期

15.9 月 2011 (15.09.2011)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

黄道许

电话号码: (86-10) **62411845**

C(续). 相关文件		
类 型	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 1910756 A (皇家飞利浦电子股份有限公司)07. 2 月 2007 (07.02.2007) 全文	1-10

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2011/075635

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US2004/0183130A1	23.09.2004	JP2004343018A	02.12.2004
		US6909118B2	21.06.2005
		KR20040083353A	01.10.2004
		TW200423207A	01.11.2004
		KR769775B1	23.10.2007
		TW246709B1	01.01.2006
CN101488459A	22.07.2009	CN101488459B	22.09.2010
CN101582453A	18.11.2009	KR20090119666A	19.11.2009
		US2009283763A1	19.11.2009
		EP2120267A1	18.11.2009
		JP2009278115A	26.11.2009
CN1910756A	07.02.2007	JP2007519251T	12.07.2007
		US2008224184A1	18.09.2008
		WO2005071753A1	04.08.2005
		EP1711965A1	18.10.2006
		US7569435B2	04.08.2009
		TW200535936A	01.11.2005
		KR20070007046A	12.01.2007
		CN1910756B	08.09.2010

A. 主题的分类

H01L 21/336(2006.01)i

H01L 21/28(2006.01)n