



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

212640

(11)

(B1)

(22) Přihlášeno 15 02 80
(21) (PV 1059-80)

(51) Int. Cl.³

H 03 K 13/02

(40) Zveřejněno 31 08 81

(45) Vydáno 15 09 84

(75)

Autor vynálezu

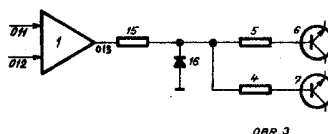
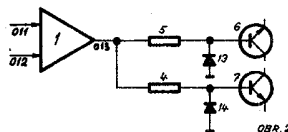
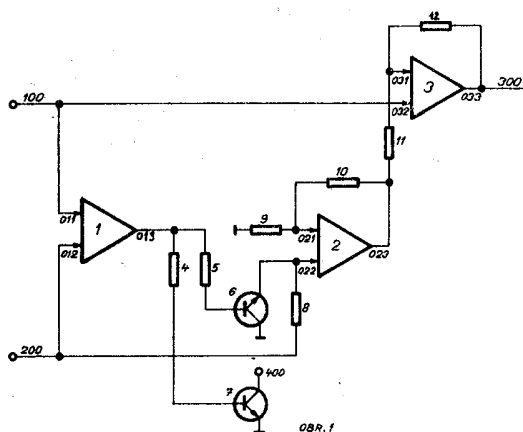
HAJÍČ JAN ing., RUML ZDENĚK, PRAHA

(54) Zapojení jednobitového modulu kontinuálního analogově-číslicového převodníku

Vynález se týká měřicí techniky a řeší zapojení jednobitového modulu kontinuálního analogově-číslicového převodníku. Je vytvořen ze tří operačních zesilovačů, z nichž jeden je použit jako komparátor, jehož výstup je přes oddělovací odpory spojen s bází spínacích tranzistorů. Jeden tranzistor slouží jako výstupní spínač číslicového výstupu. Druhý tranzistor přepíná referenční napětí na vstup operačního zesilovače. Je-li měřené napětí menší než referenční napětí, potom je číslicový výstup sepnut, měřené napětí se v operačním zesilovači pro analogový výstup dvakrát zesílí.

Je-li měřené napětí větší než referenční napětí, číslicový výstup je rozepnut. Od měřeného napětí se odečte referenční napětí a tento rozdíl se opět dvakrát zesílí operačním zesilovačem.

Vynálezu se využije v měřicí a regulační technice. Vynález je definován ve třech bodech, z nichž první nejlépe vyjadřuje podstatu. Popis je doplněn třemi obrázky.



Vynález se týká zapojení statického jednobitového modulu kontinuálního analogově-číslicového převodníku sestaveného z odporové sítě, operačních zesilovačů a komparátoru.

Dosavadní analogově-číslicové převodníky pracují cyklicky a proto potřebují povel pro každé započetí měření a musí vydat signál o ukončení měření. Rychlost převodu není příliš vysoká. Obtížná je změna kódu binárně dekadického na binární. Základem dosavadních analogově-číslicových převodníků je čítač, který u integrační metody čítá po dobu úměrnou vstupnímu signálu. U kompenzační metody čítá tak dlouho, až na výstupu číslicanalogového převodníku, který je připojen na výstup čítače, je shodné napětí jako je napětí měřené. Součástky, ze kterých jsou tyto převodníky složeny, nejsou vhodné k hybridizaci. Převodníky s postupnou aproximací mají vysokou rychlost převodu, ale logická struktura je složitá a obtížná je hybridizace. Je však vhodné vytvořit jej jako integrovaný obvod.

Tyto nedostatky odstraňuje zapojení jednobitového modulu kontinuálního analogově-číslicového převodníku podle vynálezu, u něhož je první vstup měřeného napětí spojen s invertujícím vstupem komparátoru, jehož výstup je spojen s prvním vývodem prvního oddělovacího odporu a s prvním vývodem druhého oddělovacího odporu, jehož druhý vývod prvního oddělovacího odporu je spojen s bází druhého tranzistoru, jehož kolektor je spojen s číslicovým výstupem zapojení a emitor druhého tranzistoru je spojen se zemí, se kterou je spojen též kolektor prvního tranzistoru, jehož emitor je spojen jednak přes třetí oddělovací odpor se vstupem referenčního napětí a s neinvertujícím vstupem komparátoru. Podstata vynálezu spočívá v tom, že první vstup měřeného napětí je spojen s neinvertujícím vstupem druhého operačního zesilovače. Emitor prvního tranzistoru je spojen s neinvertujícím vstupem prvního operačního zesilovače. Invertující vstup prvního operačního zesilovače je spojen jednak přes první zpětnovazební odpor se zemí a jednak přes druhý zpětnovazební odpor s výstupem prvního operačního zesilovače a s jedním vývodem třetího zpětnovazebního odporu. Druhý vývod třetího zpětnovazebního odporu je spojen jednak s invertujícím vstupem druhého operačního zesilovače a jednak přes čtvrtý zpětnovazební odpor s výstupem druhého operačního zesilovače a s analogovým výstupem zapojení.

Účinky vynálezu se dále zvýší tím, že první vstup měřeného napětí je spojen jednak přes první děličový odpor se druhým vstupem měřeného napětí a jednak přes druhý děličový odpor se zemí. Výstup komparátoru je spojen přes pátý oddělovací odpor s komparátorovým výstupem zapojení.

Výhodou zapojení jednobitového modulu kontinuálního analogově-číslicového převodníku podle vynálezu je, že zajišťuje kontinuální měření a nepotřebuje povel pro započetí měření. Rychlost převodu je omezena pouze rychlostí operačních zesilovačů a komparátoru. Každý bit je možno samostatně hybridizovat a potom jednotlivé moduly sestavovat do řetězců dle potřeby. Konečné omezení je dané pouze přesností odporové sítě a driftem operačních zesilovačů a komparátoru. Výhodou je, že celá operační síť je složena z odporů jedné velikosti a nezáleží na její absolutní hodnotě, ale pouze na shodě hodnot dvojice odporů.

Příklad uspořádání podle vynálezu je schematicky znázorněn na připojeném výkrese. Na obr. 1 je základní zapojení jednobitového modulu analogově-číslicového převodníku. Na obr. 2 je zapojení jednobitového modulu se dvěma ochrannými diodami. Na obr. 3 je zapojení jednobitového modulu s jednou společnou ochrannou diodou. Na obr. 4 a 5 je zapojení jednobitového modulu doplněného pro binárně dekadický kód.

Zapojení jednobitového modulu kontinuálního analogově-číslicového převodníku je provedeno takto. První vstup 100 měřeného napětí na obr. 1 je spojen s neinvertujícím vstupem 032 druhého operačního zesilovače 3 a s invertujícím vstupem 011 komparátoru 1. Komparátor 1 je tvořen operačním zesilovačem s kladnou zpětnou vazbou. Výstup 013 komparátoru 1 je spojen s prvním vývodem prvního oddělovacího odporu 4 a s jedním vývodem druhého oddělovacího odporu 2. Druhý vývod druhého oddělovacího odporu 2 je spojen s bází prvního tranzistoru 6. Druhý vývod prvního oddělovacího odporu 4 je spojen s bází druhého tranzistoru 7. Kolektor

druhého tranzistoru 7 je spojen s číslicovým výstupem 400 zapojení. Emitor druhého tranzistoru 7 je spojen se zemí. Kolektor prvního tranzistoru 6 je spojen se zemí. Emitor prvního tranzistoru 6 je spojen jednak přes třetí oddělovací odpor 8 se vstupem 200 referenčního napětí a s neinvertujícím vstupem 012 komparátoru 1 a dále je emitor prvního tranzistoru 6 spojen s neinvertujícím vstupem 022 prvního operačního zesilovače 2. Invertujícím vstup 021 prvního operačního zesilovače 2 je spojen jednak přes první zpětnovazební odpor 9 se zemí, a jednak přes druhý zpětnovazební odpor 10 s výstupem 023 prvního operačního zesilovače 2 a s jedním vývodem třetího zpětnovazební odporu 11. Druhý vývod třetího zpětnovazební odporu 11 je spojen jednak s invertujícím vstupem 031 druhého operačního zesilovače 3, a jednak přes čtvrtý zpětnovazební odpor 12 s výstupem 033 druhého operačního zesilovače 3 a s analogovým výstupem 300 zapojení.

Pro ochranu obou tranzistorů 6, 7 na obr. 2 je báze prvního tranzistoru 6 spojena s katodou první ochranné diody 13, její anoda je spojena se zemí. Anoda druhé ochranné diody 14 je spojena se zemí a její katoda je spojena sází druhého tranzistoru 7.

Ochranu obou tranzistorů 6, 7 před poškozením záporným napětím je možno též provést tak, že výstup 013 komparátoru 1 (obr. 3) je spojen přes čtvrtý oddělovací odpor 15 s prvním vývodem prvního oddělovacího odporu 4 s prvním vývodem a druhého oddělovacího odporu 5 a s katodou třetí ochranné diody 16, jejíž anoda je spojena se zemí.

Pro binárně dekadický výstup je první jednobitový modul dekády doplněn na obr. 4 tak, že první vstup 100 měřeného napětí je spojen jednak přes první děličový odpor 17 s druhým vstupem 500 měřeného napětí a jednak přes druhý děličový odpor 18 se zemí. Výstup 013 komparátoru 1 je spojen přes pátý oddělovací odpor 19 s komparátorovým výstupem 600 zapojení.

Druhý a třetí jednobitový modul dekády na obr. 5 je doplněn tak, že první vstup 100 měřeného napětí je spojen přes šestý oddělovací odpor 20 s invertujícím vstupem 011 komparátoru 1 a s anodou oddělovací diody 21, jejíž katoda je spojena s komparátorovým vstupem 700 zapojení.

Pro zjednodušení není zakresleno nulování a napájení operačních zesilovačů 2, 3 a komparátoru 1.

Zapojení pracuje takto. Měření napětí se připojí na první vstup 100 měřeného napětí. Na vstup 200 referenčního napětí se připojí referenční napětí. Je-li měřené napětí menší než napětí referenční, je na výstupu 013 komparátoru 1 kladné napětí a oba tranzistory 6, 7 jsou sepnuty. Druhý tranzistor 7 je výstupní spínač daného bitu. Prvním tranzistorem 6 se uzemní neinvertujícím vstup 022 prvního zesilovače 2. Tím je na invertujícím vstupu 031 druhého zesilovače 3 nulové napětí. Měřené napětí přivedené z prvního vstupu 100 měřeného napětí na neinvertujícím vstup 032 druhého operačního zesilovače 3 při shodnosti třetího zpětnovazební odporu 11 a čtvrtého zpětnovazební odporu 12 se zesílí 2x a vede na analogový výstup 300 zapojení a odtud na vstup dalšího modulu, kde se porovnání a zesílení opakuje. Dosáhne-li měřené napětí hodnoty referenčního napětí, překlopí komparátor 1, a na jeho výstupu 013 se objeví záporné napětí. Tím se rozepne druhý tranzistor 7 i první tranzistor 6. Na výstupu prvního operačního zesilovače 2 je při shodnosti prvního zpětnovazební odporu 9 a druhého zpětnovazební odporu 10 dvojnásobné referenční napětí, které se přes třetí zpětnovazební odpor 11 přivede na invertujícím vstup 031 druhého operačního zesilovače 3 a odečte se od měřeného napětí přivedeného na neinvertujícím vstup 032 druhého operačního zesilovače 3. Při shodě napětí měřeného a referenčního je tedy na výstupu 033 druhého operačního zesilovače 3 nulové napětí a druhý tranzistor 7 je rozpojen. Zvětší-li se dále měřené napětí, druhý tranzistor 7 zůstane rozpojen a výstupní napětí na analogovém výstupu 300 zapojení se bude zvětšovat. Tak je možno řadit jednotlivé moduly a zvolit si potřebný počet bitů, z nichž každý další má dvojnásobnou citlivost. Celková přesnost je daná přesností poměru jednak prvního zpětnovazební odporu 9 a druhého zpětnovazební odporu 10, dále přesností poměru třetího zpětnovazební odporu 11 a čtvrtého zpětnovazební odporu 12

a konečně driftem obou operačních zesilovačů 2, 3 a komparátoru 1. Největší chyba vzniká u nejvyšší váhy, u každé další je vždy poloviční.

Ochranné diody 13, 14, 16 na obr. 2 a obr. 3 slouží k ochraně obou tranzistorů 6, 7 před záporným napětím.

Přirozeným výstupem takto zapojených jednobitových modulů spojených do série je binární kód. Při binárně-dekadickém kódu pracuje zapojení takto: V prvním jednobitovém modulu dekadý se přivádí měřené napětí na druhý vstup 500 měřeného napětí na obr. 4 a přes dělič sestavený z děličových odporů 17, 18 na první vstup 100 měřeného napětí a pak je funkce shodná jako v předcházejícím bodě. Dosáhne-li hodnota měřeného napětí za odporovým děličem 17, 18 na invertující vstup 011 komparátoru 1 větší hodnotu, než je hodnota referenčního napětí, komparátor 1 překlopí a z jeho výstupu 013 se přes pátý oddělovací odpor 19 přivede záporné napětí na komparátorový výstup 600.

Druhý a třetí jednobitový modul dekadý se doplní o šestý oddělovací odpor 20 a oddělovací diodu 21. Signál z komparátorového výstupu 600 prvního modulu se přivede na komparátorový vstup 700 druhého a třetího modulu. Tím se přes ochrannou diodu 21 invertující vstup 011 komparátoru 1 připojí na záporné napětí a komparátor 1 nemůže překlopit bez ohledu na velikost měřeného napětí. U dalších dekad se postupuje stejně.

Vynálezu se využije v regulační a měřicí technice pro převod analogových signálů na dvouhodnotové signály.

P R E D M Ě T V Y N Á L E Z U

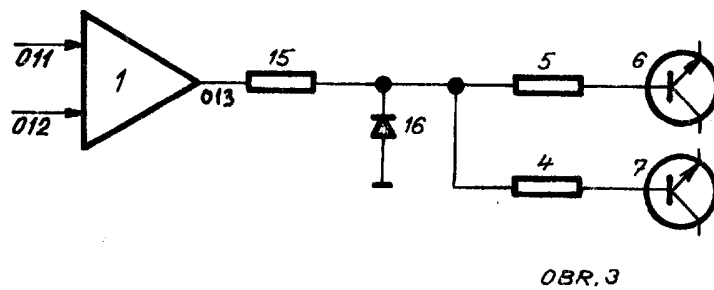
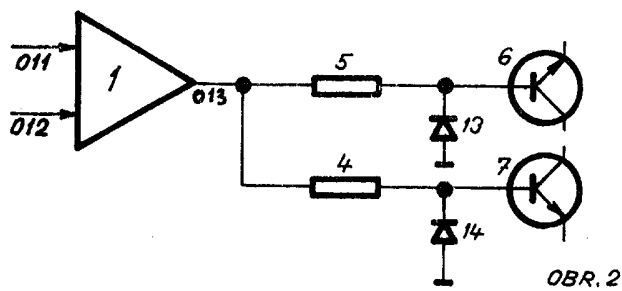
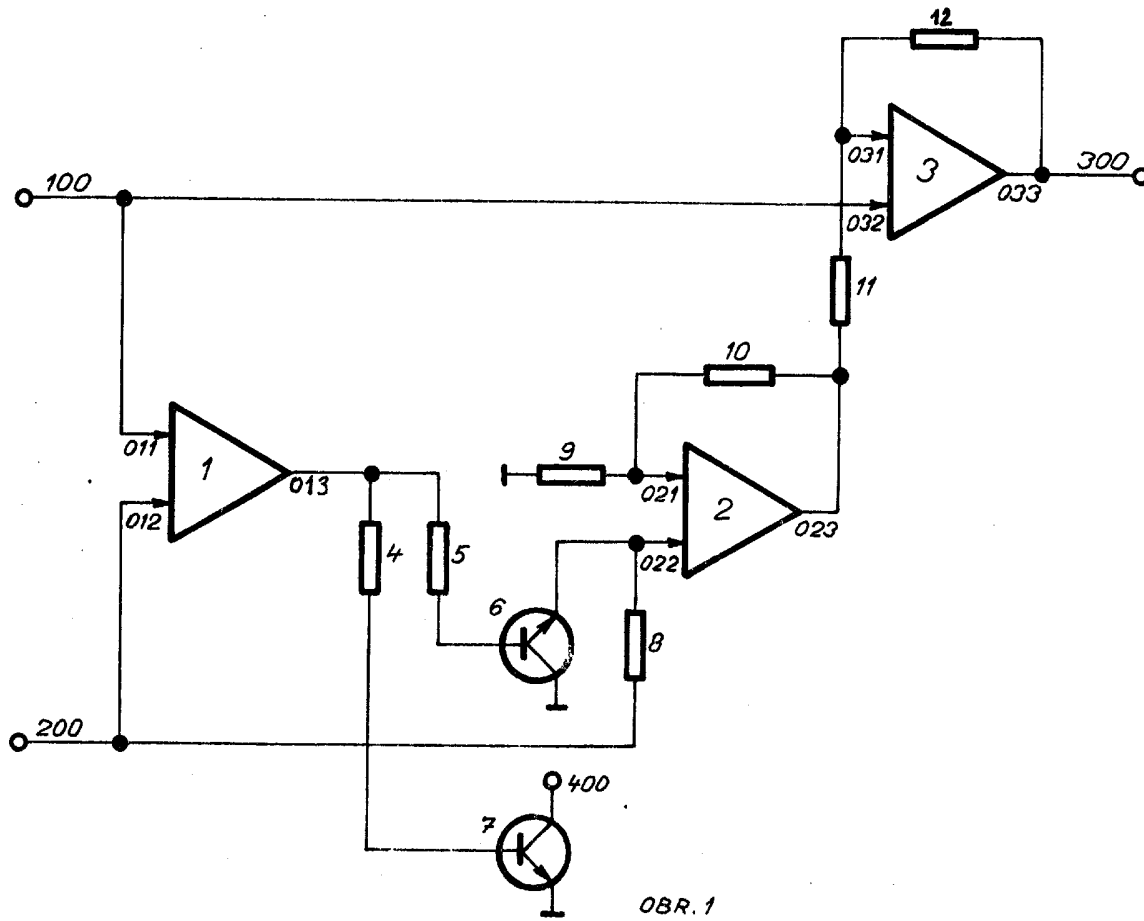
1. Zapojení jednobitového modulu kontinuálního analogově-číslicového převodníku, u kterého je první vstup měřeného napětí spojen s invertující vstupem komparátoru, jehož výstup je spojen s prvním vývodem prvního oddělovacího odporu a s prvním vývodem druhého oddělovacího odporu, jehož druhý vývod je spojen sází prvního tranzistoru, zatímco druhý vývod prvního oddělovacího odporu je spojen sází druhého tranzistoru, jehož kolektor je spojen s číslicovým výstupem zapojení a emitor druhého tranzistoru je spojen se zemí, se kterou je spojen též kolektor prvního tranzistoru, jehož emitor je spojen jednak přes třetí oddělovací odpor se vstupem referenčního napětí a s neinvertující vstupem komparátoru, vyznačující se tím, že první vstup (100) měřeného napětí je spojen s neinvertující vstupem (032) druhého operačního zesilovače (3) a emitor prvního tranzistoru (6) je spojen s neinvertující vstupem (022) prvního operačního zesilovače (2), jehož invertující vstup (021) je spojen jednak přes první zpětnovazební odpor (9) se zemí a jednak přes druhý zpětnovazební odpor (10) s výstupem (023) prvního operačního zesilovače (2) a s jedním vývodem třetího zpětnovazební odporu (11), jehož druhý vývod je spojen jednak s invertující vstupem (031) druhého operačního zesilovače (3) a jednak přes čtvrtý zpětnovazební odpor (12) s výstupem (033) druhého operačního zesilovače (3) a s analogovým výstupem (300) zapojení.

2. Zapojení jednobitového modulu podle bodu 1, vyznačující se tím, že první vstup (100) měřeného napětí je spojen jednak přes první děličový odpor (17) s druhým vstupem (500) měřeného napětí a jednak přes druhý děličový odpor (18) se zemí, přičemž výstup (013) komparátoru (1) je spojen přes pátý oddělovací odpor (19) s komparátorovým výstupem (600) zapojení.

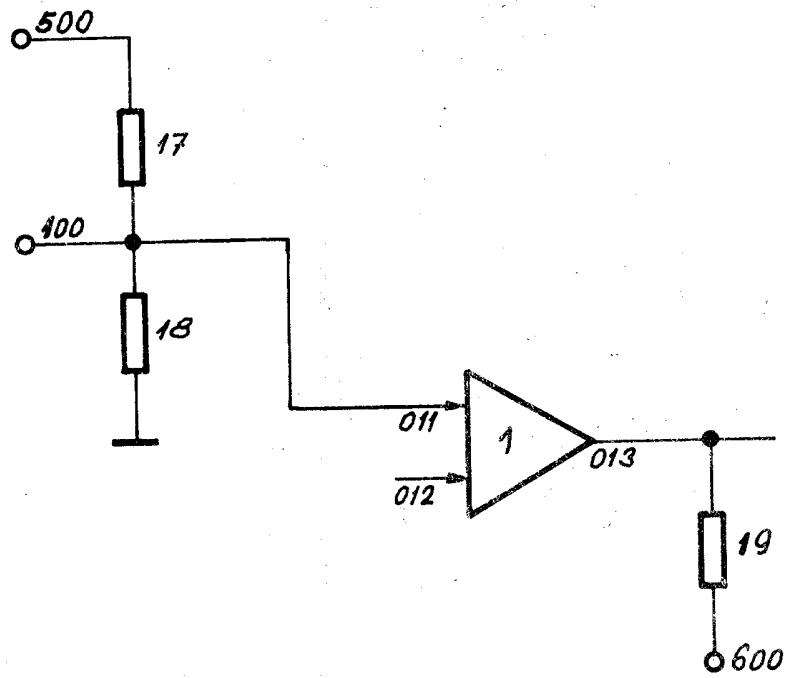
3. Zapojení podle bodu 1 a 2, vyznačující se tím, že první vstup (100) měřeného napětí je spojen přes šestý oddělovací odpor (20) s invertujícím vstupem (011) komparátoru (1) a s anodou oddělovací diody (21), jejíž katoda je spojena s komparátorovým vstupem (700) zapojení.

2 listy výkresů

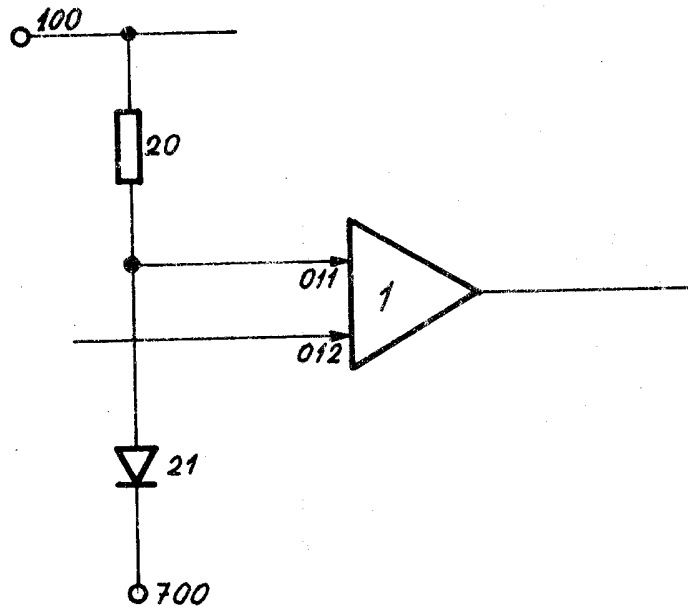
AU 926



212640



OBR.4



OBR.5