(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3696633号
(P3696633)
(45)発行日　平成17年9月21日(2005.9.21)　(24)登録日　平成17年7月8日(2005.7.8)

(51)Int.Cl.[7]　F I
G11C 11/409　G11C 11/34 353F
G11C 11/407　G11C 11/34 362S

請求項の数 4　(全 14 頁)

(21)出願番号　特願平6-175079
(22)出願日　平成6年7月27日(1994.7.27)
(65)公開番号　特開平8-36883
(43)公開日　平成8年2月6日(1996.2.6)
審査請求日　平成13年4月17日(2001.4.17)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄
(74)代理人　100083703
弁理士　仲村　義平
(74)代理人　100096781
弁理士　堀井　豊
(74)代理人　100098316
弁理士　野田　久登
(74)代理人　100109162
弁理士　酒井　將行

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】

【請求項１】

データを記憶するための３個以上のバンクと、

前記３個以上のバンクの各々に対応して設けられ、対応するバンクをプリチャージする３個以上のプリチャージ手段と、

モードセットに応じて、前記３個以上のバンクのうちアクセス中のバンク以外の全てのバンクを同時にプリチャージするように前記３個以上のプリチャージ手段を制御する制御手段とを備える半導体記憶装置。

【請求項２】

前記制御手段は、

バンクアドレス信号をデコードし、バンク指定信号を出力するデコード手段と、

前記バンク指定信号と前記モードセットを指定するモードセット信号との排他的論理和を出力する論理手段とを含む、請求項１に記載の半導体記憶装置。

【請求項３】

データを記憶するための３個以上のバンクと、

前記３個以上のバンクの各々に対応して設けられ、対応するバンクをプリチャージする３個以上のプリチャージ手段と、

プリチャージコマンドと同時に入力され、かつ、同時にプリチャージされる少なくとも２個以上のバンクを指定する信号に応じて、前記３個以上のバンクのうち指定されたバンクを同時にプリチャージするように前記３個以上のプリチャージ手段を制御する制御手段

とを備える半導体記憶装置。
【請求項４】
前記信号は、プリチャージコマンド入力時に入力される下位アドレス信号を含む、請求項３に記載の半導体記憶装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、半導体記憶装置に関し、特に、複数のバンクを備える同期型半導体記憶装置に関するものである。
【０００２】
【従来の技術】
近年のＭＰＵ（マイクロプロセッサ）の高速化に伴い、主記憶装置として用いられるＤＲＡＭ（ダイナミックランダムアクセスメモリ）のアクセスタイムおよびサイクルタイムがボトルネックとなって、システム全体の性能を落とすということがよく言われている。この対策として、システムの性能を向上させるため、ＤＲＡＭとＭＰＵとの間にＳＲＡＭ（キャッシュメモリ）と呼ばれる高速メモリを備える方法がとられる。しかしながら、ＳＲＡＭは、ＤＲＡＭに比べて高価なため、パーソナルコンピュータ等の比較的安価な装置には適していない。このため、安価なＤＲＡＭを用いてなおかつシステムの性能を向上させることが求められている。
【０００３】
上記の要望に対する１つの答えとして、ＤＲＡＭをシステムクロックに同期させて連続した数ビット（たとえば８ビット）に高速アクセスすることが可能なＳＤＲＡＭ（同期型ダイナミックランダムアクセスメモリ）と呼ばれるものが提案されている。
【０００４】
以下、従来の半導体記憶装置として上記のＳＤＲＡＭについて図面を参照しながら説明する。図１０は、従来の半導体記憶装置の主要部の構成を示すブロック図である。
【０００５】
図１０を参照して、半導体記憶装置は、プリチャージ信号発生回路１０５、バンクＢ１０、Ｂ１１を含む。バンクＢ１０は、ロウ系制御回路１０６、ワードドライバ１０７、トランジスタＱ１０１～Ｑ１０４、キャパシタＣ１０１、ビット線ＢＬ、／ＢＬ、ワード線ＷＬ、センスアンプ１０８を含む。バンクＢ１１もバンクＢ１０と同様の構成を有している。
【０００６】
プリチャージコマンドが入力されると、プリチャージ信号発生回路１０５からバンクＢ１０、Ｂ１１へプリチャージ開始信号Ｐ０、Ｐ１が出力される。プリチャージ開始信号Ｐ０、Ｐ１がバンクＢ１０、Ｂ１１のロウ系制御回路１０６、１１６に入力される。このとき、ロウ系制御回路１０６、１１６は、ワードドライバ活性化信号φ０１、φ１１をワードドライバ１０７、１１７へ非活性状態で出力し、また、センスアンプ活性化信号φ０２、φ１２をセンスアンプ１０８、１１８へ非活性状態で出力し、さらに、ビット線プリチャージ信号φ０３、φ１３を活性化状態で出力する。この結果、ワード線ＷＬの電位が立下り、ビット線ＢＬ、／ＢＬはプリチャージ電圧Ｖｂｌレベルにプリチャージされる。
【０００７】
次に、８つのバンクを有する従来の半導体記憶装置について説明する。図１１は、従来の他の半導体記憶装置の主要部の構成を示すブロック図である。
【０００８】
図１１を参照して、半導体記憶装置は、プリチャージ信号発生回路１０５ａ、バンクＢ１０～Ｂ１７を含む。プリチャージコマンドが入力されると、プリチャージ信号発生回路１０５ａから各バンクＢ１０～Ｂ１７へプリチャージ開始信号Ｐ０～Ｐ７がそれぞれ出力される。バンクＢ１０～Ｂ１７は、図１０に示すバンクＢ１０、Ｂ１１と同様の構成を有し、同様に動作するので、以下その説明を省略する。

【０００９】
次に、上記のように構成された半導体記憶装置の動作について説明する。図１２は、図１１に示す半導体記憶装置の動作の説明するためのタイミングチャートである。
【００１０】
従来のＤＲＡＭでは、ロウアドレスストローブ信号／ＲＡＳ、コラムアドレスストローブ信号／ＣＡＳというコントロール信号に同期してアドレス信号および入力データ等を取込んで動作させていたのに対し、ＳＤＲＡＭでは、システムクロックＣＬＫの立上がりエッジに応答して、ロウアドレスストローブ信号／ＲＡＳ、コラムアドレスストローブ信号／ＣＡＳ、アドレス信号、データ等を取込み、所定の動作を行なう。上記のように外部クロックであるシステムクロックＣＬＫに同期させて動作させることの利点としては、アドレス等のスキュー（タイミングのずれ）によるデータ入出力のマージンを確保せずにすみ、サイクルタイムを高速化できること等が挙げれる。また、システムによっては、連続した数ビットにアクセスする頻度が高い場合があり、この場合の連続アクセスタイムを高速にすることによって、平均アクセスタイムをＳＲＡＭに匹敵させることが可能となる。
【００１１】
図１２を参照して、時刻Ｔ１において、システムクロック信号ＣＬＫの立上がりエッジに応答して、外部から入力される制御信号（ロウアドレスストローブ信号／ＲＡＳ、コラムアドレスストローブ／ＣＡＳ、アドレス信号Ａ０～Ａ１０、データＤ０～Ｄ７等）が取込まれる。アドレス信号Ａ０～Ａ１０は、行アドレス信号Ｘと列アドレス信号Ｙとが時分割的に多重化されて与えられる。ロウアドレスストローブ信号／ＲＡＳが、クロック信号ＣＬＫの立上がりエッジにおいて、活性状態の“Ｌ”にあるとき、アドレス信号Ａ０～Ａ１０が行アドレス信号Ｘとして取込まれる。
【００１２】
次に、時刻Ｔ４において、コラムアドレスストローブ信号／ＣＡＳが、クロック信号ＣＬＫの立上がりエッジにおいて活性状態の“Ｌ”にあるとき、アドレス信号Ａ０～Ａ９が列アドレス信号Ｙとして取込まれる。取込まれた行アドレス信号Ｘおよび列アドレス信号Ｙに応じて、ＳＤＲＡＭ内の行および列の選択動作が行なわれる。行アドレスストローブ信号／ＲＡＳが“Ｌ”に立下がった後所定のクロック期間（図１２では、６クロックサイクル）が経過した後、最初の８ビットのデータが出力される。以降、クロック信号ＣＬＫの立上がりに応答して順次データが出力される。
【００１３】
書込動作時においては、行アドレス信号Ｘの取込みは、データ読出時と同様である。クロック信号ＣＬＫの立上がりエッジにおいて、コラムアドレスストローブ信号／ＣＡＳおよびライトイネーブル信号／ＷＥがともに活性状態の“Ｌ”のとき、列アドレス信号Ｙが取込まれるとともに、そのときに与えられていたデータＤ０が最初の書込データとして取込まれる。取込まれたロウアドレスストローブ信号／ＲＡＳおよびコラムアドレスストローブ信号／ＣＡＳの立下りに応答し、ＳＤＲＡＭ内部においては、行および列の選択動作が実行される。さらにクロック信号ＣＬＫに同期して順次入力データＤ１～Ｄ７が取込まれ、順次所定のメモリセルに入力データＤ０～Ｄ７が書込まれる。
【００１４】
次に、プリチャージ動作について説明する。時刻Ｔ１３において、クロック信号ＣＬＫの立上がりエッジにおいて、ロウアドレスストローブ信号／ＲＡＳが“Ｌ”、コラムアドレスストローブ信号／ＣＡＳが“Ｈ”、ライトイネーブル信号／ＷＥが“Ｌ”のときプリチャージ動作が開始される。プリチャージコマンド入力時において、アドレス信号Ａ１０が“Ｌ”のとき、バンクアドレス信号ＢＡにより指定されたバンクのプリチャージが行なわれ、アドレス信号Ａ１０が“Ｈ”のときにすべてのバンクのプリチャージが行なわれる。プリチャージ期間（図１２では、２クロック）後、つまり時刻Ｔ１５において、次のリード／ライトサイクルを開始することができる。
【００１５】
また、ＳＤＲＡＭでは、図１０および図１１に示すように複数バンクという概念が導入さ

れている。これは、内部のメモリアレイを複数に分割して考え、それぞれのバンクを活性化（ワード線を立上げ、センスアンプを動作させる）、プリチャージ等をほぼ独立に行なえるというものである。ＤＲＡＭでは、アクセスを行なう前に必ずプリチャージを行なわなければならないが、この動作がサイクルタイムをアクセスタイムのほぼ２倍にしている原因となっている。ところで、図１０に示すように内部を２バンクに分割すると、バンクＢ１０をアクセスしている間にバンクＢ１１をプリチャージしておけば、バンクＢ１１はプリチャージ時間なしでアクセスすることができる。このようにして、バンクＢ１０およびＢ１１に対して交互にアクセス／プリチャージを行なうことにより、プリチャージによるロスタイムを削減することができる。

【００１６】

また、上記の従来のＳＤＲＡＭでは、プリチャージコマンドの設定により、所定されたバンクのプリチャージであるシングルバンクプリチャージ、または全バンクのプリチャージを行なう。

【００１７】

まず、シングルバンクプリチャージについて説明する。図１１を参照して、バンクＢ１０がアクティブ状態にあるとき、他のバンクＢ１１～Ｂ１７をプリチャージさせる場合、たとえば、バンクＢ１１→Ｂ１２→Ｂ１３→Ｂ１４→Ｂ１５→Ｂ１６→Ｂ１７の順に個々にプリチャージコマンドを７回入力し、入力したプリチャージコマンドに応じてプリチャージ信号発生回路１０５ａからプリチャージ開始信号Ｐ１～Ｐ７がそれぞれ出力される。この結果、アクティブ状態にあるバンクＢ１０以外のバンクＢ１１～Ｂ１７が順次プリチャージされる。したがって、バンク数が多くなるとその分だけプリチャージコマンドを入力するサイクルが増えて、後述するように他のコマンド入力に支障を来すタイミングが現れる。

【００１８】

次に、全バンクプリチャージの場合について説明する。アクティブ状態にあるバンクＢ１０がプリチャージ開始可能なタイミングになったとき以外の場合にしか、全バンクプリチャージコマンドを入力することができない。したがって、全バンクプリチャージでは、１つのバンクがアクティブ状態にあるとき、他のバンクをプリチャージさせるというインタリーブの特徴を失うことになる。

【００１９】

【発明が解決しようとする課題】

上記のように、従来のＳＤＲＡＭの内部メモリアレイのバンク数が４または８以上に増えた場合、シングルバンクプリチャージと全バンクプリチャージだけのプリチャージ方式では、プリチャージコマンドの入力が他のコマンド入力の障害になるという問題点があった。以下、上記の問題点についさらに詳細に説明する。

【００２０】

図１３および図１４は、図１１に示す半導体記憶装置の問題点を説明するための第１および第２のタイミングチャートである。図１３および図１４では、バンクＢ１０がライト動作中に他のバンクが従来のシングルプリチャージ方式でプリチャージを行なっているタイミングを表わしている。

【００２１】

まず、図１３を参照して、時刻Ｔ１１において、アクティブ以外のプリチャージコマンドの入力が終了している。この結果、バンクＢ１７（最後にプリチャージを行なったバンク）では、プリチャージ期間が３サイクルとした場合、時刻Ｔ１４においてアクティブ可能となる。

【００２２】

一方、図１４に示すタイミングチャートでは、時刻Ｔ７およびＴ１０においてライトワードマスクコマンドを入力している。ライトワードマスクとは、ＤＱＭを活性化つまり“Ｈ”にすることにより、その時点のすべてのＩ／Ｏの入力データがマスクされる（入力されない）ことをいう。このライトワードマスクコマンドの入力により、アクティブ以外のバ

ンクのプリチャージコマンド入力は、時刻Ｔ１３までかかり、バンクＢ１７がアクティブ可能となるタイミングは、時刻Ｔ１６となる。したがって、図１３のタイミングと比べて、２サイクル遅くなってしまう。この結果、バンクのアクティブタイミングが遅れるのを避けるため、バンクＢ１０のライト動作中（時刻Ｔ５～Ｔ１１）において他のバンクをプリチャージさせることを優先させると、ライトワードマスクコマンド等のコマンドを入力できなくなるという問題点が生じていた。

【００２３】

本発明は上記課題を解決するためのものであって、プリチャージタイミングが他のコマンド入力の障害にならない使いやすい半導体記憶装置を提供することを目的とする。

【００２４】

【課題を解決するための手段】

【００２５】

この発明によれば、半導体記憶装置は、データを記憶するための３個以上のバンクと、３個以上のバンクの各々に対応して設けられ、対応するバンクをプリチャージする３個以上のプリチャージ手段と、モードセットに応じて、３個以上のバンクのうちアクセス中のバンク以外の全てのバンクを同時にプリチャージするように３個以上のプリチャージ手段を制御する制御手段とを備える。

【００２６】

好ましくは、制御手段は、バンクアドレス信号をデコードし、バンク指定信号を出力するデコード手段と、バンク指定信号とモードセットを指定するモードセット信号との排他的論理和を出力する論理手段とを含む。

【００２７】

また、この発明によれば、半導体記憶装置は、データを記憶するための３個以上のバンクと、３個以上のバンクの各々に対応して設けられ、対応するバンクをプリチャージする３個以上のプリチャージ手段と、プリチャージコマンドと同時に入力され、かつ、同時にプリチャージされる少なくとも２個以上のバンクを指定する信号に応じて、３個以上のバンクのうち指定されたバンクを同時にプリチャージするように３個以上のプリチャージ手段を制御する制御手段とを備える。

【００２８】

好ましくは、信号は、プリチャージコマンド入力時に入力される下位アドレス信号を含む。

【００２９】

【作用】

この半導体記憶装置においては、３個以上のバンクのうちアクセス中のバンク以外の全てのバンクを同時にプリチャージすることができるので、１クロックで特定の複数のバンクを同時にプリチャージすることができる。

【００３０】

また、この半導体記憶装置においては、プリチャージコマンドと同時に入力され、かつ、同時にプリチャージされる少なくとも２個以上のバンクを指定する信号に応じて３個以上のバンクのうち任意のバンクを少なくとも２個同時にプリチャージすることができるので、１クロックで特定の複数のバンクをプリチャージすることができる。

【００３１】

【実施例】

以下、本発明の一実施例の半導体記憶装置であるＳＤＲＡＭについて図面を参照しながら説明する。図１は、本発明の一実施例の半導体記憶装置の構成を示すブロック図である。

【００３２】

図１を参照して、半導体記憶装置は、／ＲＡＳ、／ＣＡＳ、／ＷＥ、／ＣＳバッファ１、内部クロック発生回路２、アドレスバッファ３、モードセット設定回路４、プリチャージ信号発生回路５、バンクＢ０～Ｂ７を含む。バンクＢ０～Ｂ７の各々は、ロウ系制御回路６、ワードドライバ７、ビット線ＢＬ、／ＢＬ、ワード線ＷＬ、トランジスタＱ１～Ｑ４

、キャパシタＣ１を含む。図１に示すバンクＢ０～Ｂ７と図９および図１０に示すバンクＢ１０～Ｂ１７とは同様の構成を有し、同様に動作するので詳細な説明を省略する。

【００３３】

内部クロック発生回路２には、外部から外部クロック信号ＣＬＫが入力され、入力した外部クロック信号ＣＬＫに応答して内部クロック信号ＣＬＫＩを／ＲＡＳ、／ＣＡＳ、／ＷＥ、／ＣＳバッファ１およびアドレスバッファ３へ出力する。／ＲＡＳ、／ＣＡＳ、／ＷＥ、／ＣＳバッファ１は、入力した内部クロック信号ＣＬＫＩに同期して動作し、外部から入力される外部ロウアドレスストローブ／ＲＡＳ、外部コラムアドレスストローブ信号／ＣＡＳ、外部ライトイネーブル信号／ＷＥ、外部チップセレクト信号／ＣＳをバッファリングし、ロウアドレスストローブ信号／ＲＡＳ、コラムアドレスストローブ信号／ＣＡＳ、ライトイネーブル信号／ＷＥ、チップセレクト信号／ＣＳをモードセット設定回路４およびプリチャージ信号発生回路５へ出力する。アドレスバッファ３は、内部クロック信号ＣＬＫＩに同期して動作し、入力した外部アドレス信号Ａをバッファリングし、アドレス信号Ａ０～Ａ１０をモードセット設定回路４へ出力し、アドレス信号Ａ１０をプリチャージ信号発生回路５へ出力する。モードセット設定回路４は、入力したロウアドレスストローブ信号／ＲＡＳ、コラムアドレスストローブ信号／ＣＡＳ、ライトイネーブル信号／ＷＥ、チップセレクト信号／ＣＳ、およびアドレス信号Ａ０～Ａ１０に応答して、モードセット信号ＭＳをプリチャージ信号発生回路５へ出力する。プリチャージ信号発生回路５は、入力したモードセット信号ＭＳ、チップセレクト信号／ＣＳ、ロウアドレスストローブ信号／ＲＡＳ、ライトイネーブル信号／ＷＥ、アドレス信号Ａ１０に応答して、プリチャージ開始信号Ｐ０～Ｐ７をバンクＢ０～Ｂ７へ出力する。上記の動作により、モードセット設定回路４から出力されるモードセット信号ＭＳが活性化されると、プリチャージ信号発生回路５は、同時にプリチャージを行なうバンク数を制御するため、所定のプリチャージ開始信号Ｐ０～Ｐ７を各バンクＢ０～Ｂ７にそれぞれ出力する。

【００３４】

次に、図１に示す内部クロック発生回路２についてさらに詳細に説明する。図２は、内部クロック発生回路の構成を示す図である。

【００３５】

図２を参照して、内部クロック発生回路２は、遅延回路Ｄ１、インバータＧ１、Ｇ２、ＮＡＮＤゲートＧ３を含む。遅延回路Ｄ１には、外部クロック信号ＣＬＫが入力される。遅延回路Ｄ１の出力はインバータＧ１を介してＮＡＮＤゲートＧ３へ入力される。また、ＮＡＮＤゲートＧ３には、外部クロック信号ＣＬＫが入力される。ＮＡＮＤゲートＧ３の出力は、インバータＧ２を介して内部クロック信号ＣＬＫＩとして出力される。

【００３６】

上記の構成により、外部クロック信号ＣＬＫの立上がりで内部クロック信号ＣＬＫＩが立上がり、遅延回路Ｄ１により所定時間遅延された後、内部クロック信号ＣＬＫＩが立下がる。この結果、外部クロック信号ＣＬＫが“Ｈ”となる時間が遅延回路Ｄ１による内部遅延より長い場合は、外部クロック信号ＣＬＫの“Ｈ”の時間にかかわらず、内部クロック信号ＣＬＫＩの“Ｈ”の時間は一定になる。

【００３７】

次に、図１に示す／ＲＡＳ、／ＣＡＳ、／ＷＥ、／ＣＳバッファおよびモードセット設定回路についてさらに詳細に説明する。図３は、図１に示す／ＲＡＳ、／ＣＡＳ、／ＷＥ、／ＣＳバッファおよびモードセット設定回路の構成を示す図である。

【００３８】

図３を参照して、／ＲＡＳ、／ＣＡＳ、／ＷＥ、／ＣＳバッファ１は、ダイナミックラッチＤＬ１～ＤＬ４を含む。ダイナミックラッチＤＬ１～ＤＬ４には内部クロック信号ＣＬＫＩがそれぞれ入力される。また、ダイナミックラッチＤＬ１には、外部ロウアドレスストローブ信号／ＲＡＳが入力され、ダイナミックラッチＤＬ２には外部コラムアドレスストローブ信号／ＣＡＳが入力され、ダイナミックラッチＤＬ３には外部ライトイネーブル信号／ＷＥが入力され、ダイナミックラッチＤＬ４には外部チップセレクト信号／ＣＳが

入力される。ダイナミックラッチＤＬ１～ＤＬ４は、内部クロック信号ＣＬＫＩに同期して入力した各制御信号をラッチし、モードセット設定回路４へ出力する。

【００３９】

次に、図３に示すダイナミックラッチについてさらに詳細に説明する。図４は、図３に示すダイナミックラッチの構成を示す図である。

【００４０】

図４を参照して、ダイナミックラッチＤＬは、ＰＭＯＳトランジスタＱ２１～Ｑ２４、ＮＭＯＳトランジスタＱ２５～Ｑ２９を含む。

【００４１】

トランジスタＱ２１およびＱ２２、Ｑ２３およびＱ２４、Ｑ２５およびＱ２６、Ｑ２７およびＱ２８はそれぞれ並列に接続される。トランジスタＱ２１およびＱ２２の一端は電源電圧V_{CC}を受ける。トランジスタＱ２１およびＱ２２の他端はトランジスタＱ２５およびＱ２６の一端と接続される。トランジスタＱ２５およびＱ２６の他端はトランジスタＱ２９の一端と接続される。トランジスタＱ２９の他端は接地電位と接続される。

【００４２】

トランジスタＱ２３およびＱ２４の一端は電源電圧V_{CC}を受ける。トランジスタＱ２３およびＱ２４の他端はトランジスタＱ２７およびＱ２８と接続される。トランジスタＱ２７およびＱ２８はトランジスタＱ２９と接続される。

【００４３】

トランジスタＱ２１、Ｑ２４、Ｑ２９の各ゲートにはラッチ信号φＬＥが入力される。トランジスタＱ２５のゲートには入力信号Ｉｎｐｕｔが入力される。トランジスタＱ２８のゲートには基準電圧V_{ref}が入力される。トランジスタＱ２２およびＱ２６のゲートはトランジスタＱ２３およびＱ２４とトランジスタＱ２７およびＱ２８との接続点と接続される。トランジスタＱ２３およびＱ２７のゲートはトランジスタＱ２１およびＱ２２とトランジスタＱ２５およびＱ２６との接続点と接続される。トランジスタＱ２３およびＱ２４とトランジスタＱ２７とＱ２８との接続点から出力信号Ｏｕｔｐｕｔが出力される。トランジスタＱ２１およびＱ２２とトランジスタＱ２５およびＱ２６との接続点から出力信号Ｏｕｔｐｕｔと相補な出力信号／Ｏｕｔｐｕｔが出力される。

【００４４】

次に、上記のように構成されたダイナミックラッチの動作について説明する。

図５は、図４に示すダイナミックラッチの動作を説明するためのタイミングチャートである。図５を参照して、ラッチ信号φＬＥが“Ｈ”に立上がると、入力信号Ｉｎｐｕｔがラッチされ、出力信号Ｏｕｔｐｕｔ、／Ｏｕｔｐｕｔが入力信号Ｉｎｐｕｔの状態に応じて出力される。つまり、入力信号Ｉｎｐｕｔが“Ｌ”の場合、出力信号Ｏｕｔｐｕｔが“Ｌ”で出力され、出力信号／Ｏｕｔｐｕｔが“Ｈ”の状態で出力される。また、入力信号Ｉｎｐｕｔが“Ｈ”の状態のとき、出力信号Ｏｕｔｐｕｔが“Ｈ”で出力され、出力信号／Ｏｕｔｐｕｔが“Ｌ”の状態で出力される。

【００４５】

再び図３を参照して、モードセット設定回路について説明する。モードセット設定回路４は、ＮＯＲゲートＧ１１、トランジスタＱ１１、インバータＧ１２、Ｇ１３、ＡＮＤゲートＧ１４を含む。

【００４６】

ＮＯＲゲートＧ１１はダイナミックラッチＤＬ１～ＤＬ４から出力される制御信号／ＲＡＳ、／ＣＡＳ、／ＷＥ、／ＣＳを受け、これらの否定論理和をトランジスタＱ１１のゲートへ出力する。トランジスタＱ１１にはアドレス信号Ａ０～Ａ１０が入力される。トランジスタＱ１１は、インバータＧ１２の入力側とインバータＧ１３の出力側と接続される。インバータＧ１２の出力側はインバータＧ１３の入力側と接続される。インバータＧ１３はモードセット用アドレス信号ＭＡ０～ＭＡ１０を出力し、インバータＧ１２はモードセット用アドレス信号ＭＡ０～ＭＡ１０と相補なモードセット用アドレス信号／ＭＡ０～／ＭＡ１０を出力する。ＡＮＤゲートＧ１４はモードセット用アドレス信号ＭＡ７～ＭＡ１

０を受け、モードセット信号ＭＳを出力する。

【００４７】

上記の構成により、外部ロウアドレスストローブ信号／ＲＡＳ、外部コラムアドレスストローブ信号／ＣＡＳ、外部ライトイネーブル信号／ＷＥ、外部チップセレクト信号／ＣＳがそれぞれ活性化されたとき（“Ｌ”の状態となったとき）、ラッチ回路を構成するインバータＧ１２およびＧ１３によりアドレス信号Ａ０～Ａ１０がラッチされ、本実施例の場合、アドレス信号Ａ７～Ａ１０が“Ｈ”のとき、モードセット信号ＭＳが“Ｈ”で出力され、それ以外の場合はモードセット信号ＭＳは“Ｌ”で出力される。上記の動作によりモードセットが行なわれ、モードセット設定回路４から出力されるモードセット信号ＭＳを用いて後述するようにプリチャージの制御を行なう。

【００４８】

次に、図１に示すプリチャージ信号発生回路についてさらに詳細に説明する。図６は、図１に示すプリチャージ信号発生回路の構成を示す図である。

【００４９】

図６を参照して、プリチャージ信号発生回路５は、バンクアドレスデコーダＢＡＤ、ＥＸＯＲゲートＧ３０～Ｇ３７、ＮＡＮＤゲートＧ３８、ＡＮＤゲートＧ４０～Ｇ４８、ＯＲゲートＧ５０～Ｇ５７を含む。

【００５０】

バンクアドレスデコーダＢＡＤには、複数のバンクの中から所望のバンクを指定するためのバンクアドレス信号ＢＡ０～ＢＡ２が入力される。バンクアドレスデコーダＢＡＤは、入力したバンクアドレス信号ＢＡ０～ＢＡ２をデコードし、バンク指定信号ｂａｎｋ０～ｂａｎｋ７をＥＸＯＲゲートＧ３０～Ｇ３７へ出力する。ＥＸＯＲゲートＧ３０～Ｇ３７にはモードセット信号ＭＳが入力される。

ＮＡＮＤゲートＧ３８にはチップセレクト信号／ＣＳ、ロウアドレスストローブ信号／ＲＡＳ、ライトイネーブル信号／ＷＥがそれぞれ入力される。ＮＡＮＤゲートＧ３８の出力信号はＡＮＤゲートＧ４０～Ｇ４８へ入力れさる。ＥＸＯＲゲートＧ３０～Ｇ３７の出力信号はそれぞれ対応するＡＮＤゲートＧ４０～Ｇ４７へ入力される。アドレス信号Ａ１０がＡＮＤゲートＧ４８へ入力される。ＡＮＤゲートＧ４０～Ｇ４７の出力信号はそれぞれ対応するＯＲゲートＧ５０～Ｇ５７へ入力される。Ｇ５０～Ｇ５７にはＡＮＤゲートＧ４８の出力信号が入力される。ＯＲゲートＧ５０～Ｇ５７はそれぞれ各バンクに対応したプリチャージ開始信号Ｐ０～Ｐ７を出力する。

【００５１】

上記の構成により、モードセット信号ＭＳが“Ｈ”のとき、バンクアドレス信号ＢＡ０～ＢＡ２により指定されたバンク以外のバンクのプリチャージ開始信号がすべて活性化される。一方、モードセット信号ＭＳが“Ｌ”のとき、入力されたバンクアドレス信号ＢＡ０～ＢＡ２により指定されたバンクのプリチャージ開始信号のみが活性化される。また、プリチャージコマンド入力時に、アドレス信号Ａ１０が“Ｈ”のとき、すべてのバンクのプリチャージ開始信号Ｐ０～Ｐ７が活性化される。

【００５２】

次に、上記のように構成された半導体記憶装置の動作について説明する。図７は、図１に示す半導体記憶装置の動作を説明するためのタイミングチャートである。

【００５３】

図７を参照して、時刻Ｔ１において、モードセットが行なわれる。モードセットとは、上記に説明したように外部クロック信号ＣＬＫの立上がりエッジのときに外部チップセレクト信号／ＣＳ、外部ロウアドレスストローブ信号／ＲＡＳ、外部ライトイネーブル信号／ＷＥを活性化して、そのときに与えられるアドレス信号Ａによってバースト長等のモードを切換えることである。このモードセットを利用して、本実施例では複数のバンクのプリチャージを一度に開始させるモードの設定を行なう。

【００５４】

次に、時刻Ｔ２において、バンクＢ０が活性化され、時刻Ｔ３においてバンクＢ０にライ

トコマンドが入力され、バースト長８でデータが書込まれる。次に、時刻Ｔ４において、プリチャージコマンドが入力される。プリチャージコマンドの入力時には、バンクアドレス信号ＢＡ０～ＢＡ２はバンクＢ０を指定している。上記のモードセットにより、この場合のプリチャージコマンドは、バンクＢ０以外のバンクすなわちバンクＢ１～Ｂ７の７個のバンクのプリチャージを同時に開始させる。したがって、プリチャージ期間の経過後すなわち時刻Ｔ５以降において、バンクＢ１～Ｂ７をそれぞれ活性化させることが可能となる。

【００５５】

上記のように、本実施例では、複数のバンク、すなわち３個以上のバンクのうちアクセス中のバンク以外のバンクを少なくとも２個同時にプリチャージしている。したがって、プリチャージコマンド入力を１サイクルのみで行なうことができ、１クロックで一度に特定の複数のバンクのプリチャージを開始させることができる。また、アクティブ状態のバンクと他のバンクのインタリーブ動作を行なうことができる。この結果、プリチャージコマンドにより、たとえば、データマスクのような他のコマンドが入力できないという問題がなくなる。この結果、プリチャージコマンド形のコマンドの障害とならない使いやすい半導体記憶装置を得ることができる。

【００５６】

次に、本発明の他の実施例の半導体記憶装置であるＳＤＲＡＭについて説明する。以下に説明する半導体記憶装置は、図１に示す半導体記憶装置のプリチャージ信号発生回路５のみが変更され、その他の構成は図１に示す半導体記憶装置と同様であるので図示および詳細な説明を省略する。したがって、異なる部分であるプリチャージ信号発生回路のみについて以下に詳細に説明する。図８は、本発明の他の実施例の半導体記憶装置のプリチャージ信号発生回路の構成を示す図である。

【００５７】

図８を参照して、プリチャージ信号発生回路５ａは、ＡＮＤゲートＧ６０～Ｇ６７、ＮＡＮＤゲートＧ６８を含む。ＡＮＤゲートＧ６０～Ｇ６７にはそれぞれアドレス信号Ａ０～Ａ７が入力される。ＮＡＮＤゲートＧ６８にはチップセレクト信号／ＣＳ、ロウアドレスストローブ信号／ＲＡＳ、ライトイネーブル信号／ＷＥがそれぞれ入力され、その出力信号がＡＮＤゲートＧ６０～Ｇ６７へ入力される。ＡＮＤゲートＧ６０～Ｇ６７はそれぞれプリチャージ開始信号Ｐ０～Ｐ７を出力する。

【００５８】

上記の構成により、チップセレクト信号／ＣＳ、ロウアドレスストローブ信号／ＲＡＳ、ライトイネーブル信号／ＷＥがそれぞれ“Ｌ”となるプリチャージコマンド入力時において、入力されたアドレス信号Ａｎ（ｎ＝０～７）＝“Ｈ”に対応するバンクのプリチャージ開始信号が同時に活性化される。

【００５９】

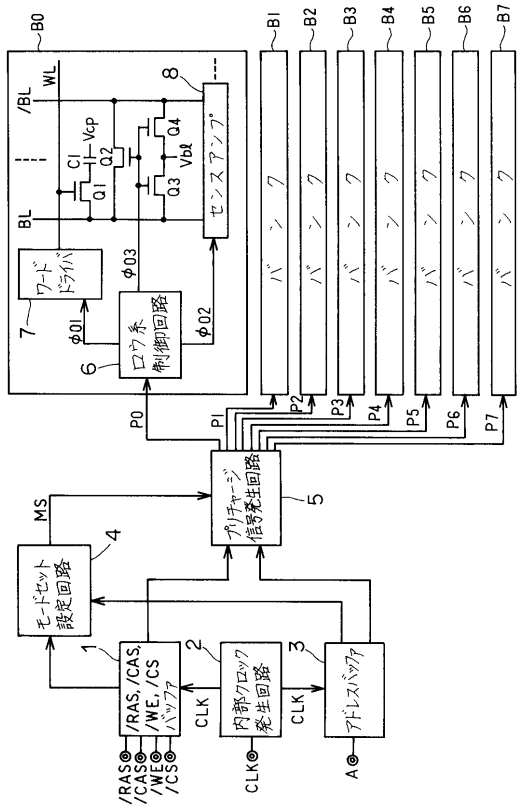
次に、図８に示すプリチャージ信号発生回路を用いた半導体記憶装置の動作について説明する。図９は、図８に示すプリチャージ信号発生回路を用いて半導体記憶装置の動作を説明するためのタイミングチャートである。

【００６０】

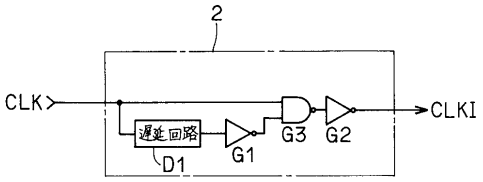
図９を参照して、時刻Ｔ１、Ｔ２のそれぞれのタイミングにおいて、バンクＢ６とバンクＢ０が活性化され、時刻Ｔ４において、プリチャージコマンドが入力される。時刻Ｔ４のプリチャージコマンドの入力時には、同時に下位アドレス信号Ａ０～Ａ７が入力されている。下位アドレス信号Ａ０～Ａ７は、プリチャージを開始するバンクを指定するための信号である。下位アドレス信号Ａ０～Ａ７は、それぞれバンクＢ０～バンクＢ７に対応しており、たとえば、（Ａ０、Ａ１、Ａ２、Ａ３、Ａ４、Ａ５、Ａ６、Ａ７）＝（０、１、１、１、１、１、０、１）のとき、バンクＢ１、バンクＢ２、バンクＢ３、バンクＢ４、バンクＢ５、バンク７のプリチャージが開始される。すなわち、プリチャージコマンド入力時の下位アドレス信号Ａ０～Ａ７により、指定される複数のバンクのプリチャージを同時に開始することができる。

【００６１】
この結果、複数バンク（図９ではバンクＢ０とバンクＢ６）がリード／ライトコマンド待ちまたはそのサイクル中のアクティブ状態時において、他の複数バンク（図９ではバンクＢ１～Ｂ５、Ｂ７）を少なくとも２個同時にプリチャージすることができる。したがって、１クロックで一度に特定の複数のバンクのプリチャージを開始させることができる。この結果、プリチャージコマンドにより、たとえば、データマスクのような他のコマンドが入力できないという問題がなくなる。したがって、プリチャージタイミングが他のコマンドの障害にならない使いやすい半導体記憶装置を得ることができる。
【００６２】
上記各実施例では、８バンクのＳＤＲＡＭについて説明したが、３個以上のバンクを持つＳＤＲＡＭにも同様に適用することが可能である。
【００６３】
【発明の効果】
この発明によれば、３個以上のバンクのうちアクセス中のバンク以外の全てのバンクを同時にプリチャージすることができるので、プリチャージタイミングが他のコマンドの障害にならない使いやすい半導体記憶装置を得ることができる。
【００６４】
また、この発明によれば、３個以上のバンクのうち任意のバンクを少なくとも２個同時にプリチャージすることができるので、プリチャージタイミングが他のコマンドの障害にならない使いやすい半導体記憶装置を得ることができる。
【図面の簡単な説明】
【図１】　本発明の一実施例の半導体記憶装置の構成を示すブロック図である。
【図２】　図１に示す内部クロック発生回路の構成を示す図である。
【図３】　図１に示す／ＲＡＳ、／ＣＡＳ、／ＷＥ、／ＣＳバッファおよびモードセット設定回路の構成を示す図である。
【図４】　図３に示すダイナミックラッチの構成を示す図である。
【図５】　図４に示すダイナミックラッチの動作を説明するためのタイミングチャートである。
【図６】　図１に示すプリチャージ信号発生回路の構成を示す図である。
【図７】　図１に示す半導体記憶装置の動作を説明するためのタイミングチャートである。
【図８】　本発明の他の実施例の半導体記憶装置のプリチャージ信号発生回路の構成を示す図である。
【図９】　図８に示すプリチャージ信号発生回路を用いた半導体記憶装置の動作を説明するためのタイミングチャートである。
【図１０】　従来の半導体記憶装置の主要部の構成を示すブロック図である。
【図１１】　従来の他の半導体記憶装置の主要部の構成を示すブロック図である。
【図１２】　図１０に示す半導体記憶装置の動作を説明するためのタイミングチャートである。
【図１３】　図１０に示す半導体記憶装置の問題点を説明するための第１のタイミングチャートである。
【図１４】　図１０に示す半導体記憶装置の問題点を説明するための第２のタイミングチャートである。
【符号の説明】
１　／ＲＡＳ、／ＣＡＳ、／ＷＥ、／ＣＳバッファ、２　内部クロック発生回路、３　アドレスバッファ、４　モードセット設定回路、５　プリチャージ信号発生回路、Ｂ０～Ｂ７　バンク。

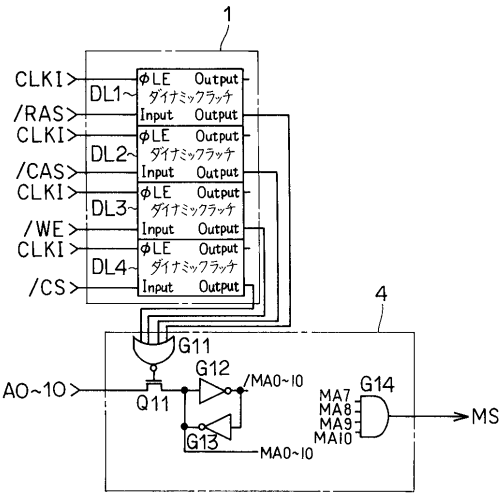
【図１】



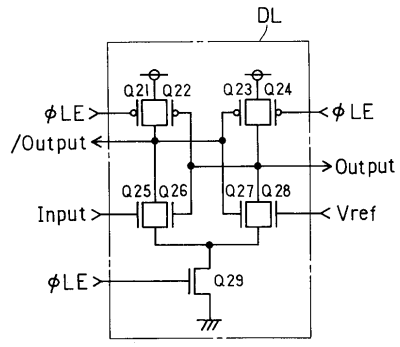
【図２】



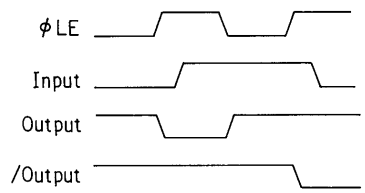
【図３】



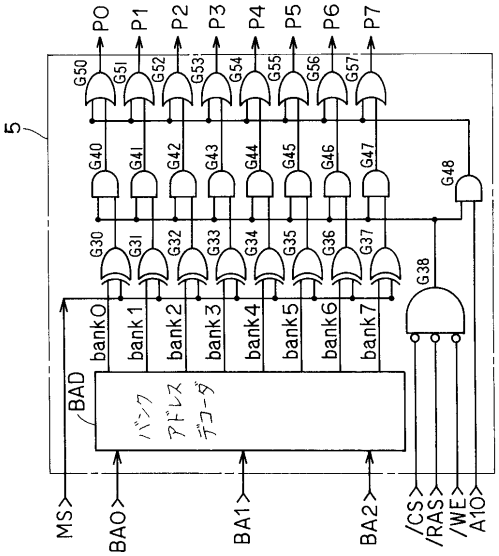
【図４】



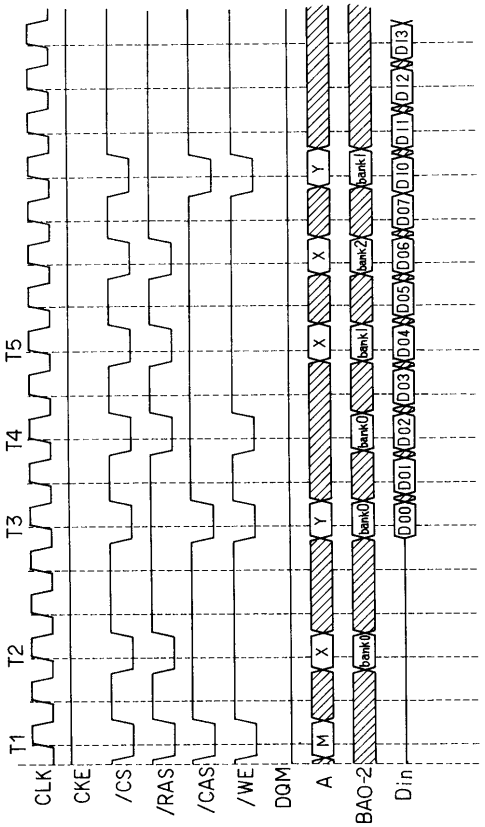
【図５】



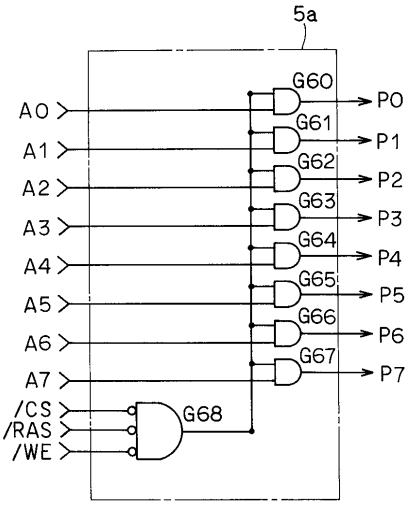
【図６】



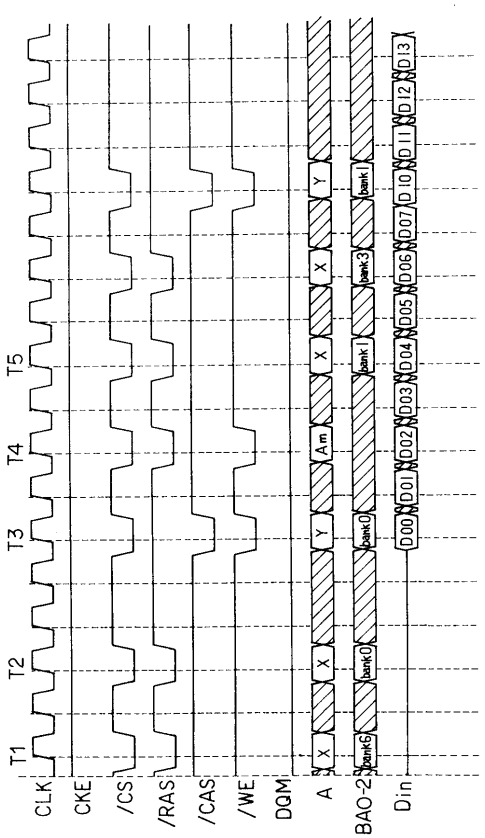
【図７】


T1
T2
T3
T4
T5
CLK
CKE
/CS
/RAS
/CAS
/WE
DQM
A
BA0-2
Din

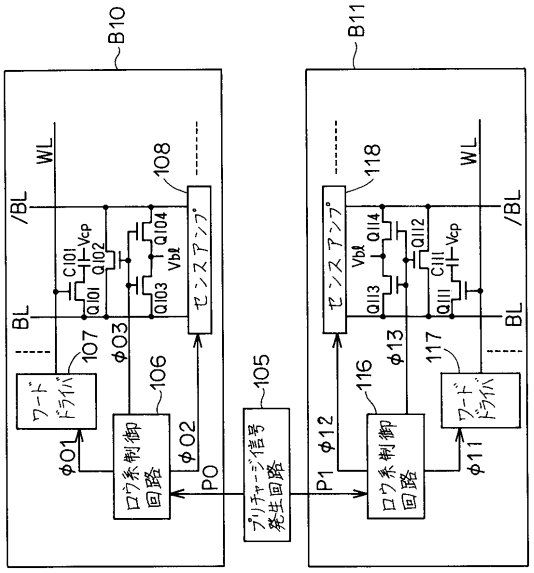
【図８】


5a
A0
A1
A2
A3
A4
A5
A6
A7
/CS
/RAS
/WE
G60
G61
G62
G63
G64
G65
G66
G67
G68
P0
P1
P2
P3
P4
P5
P6
P7

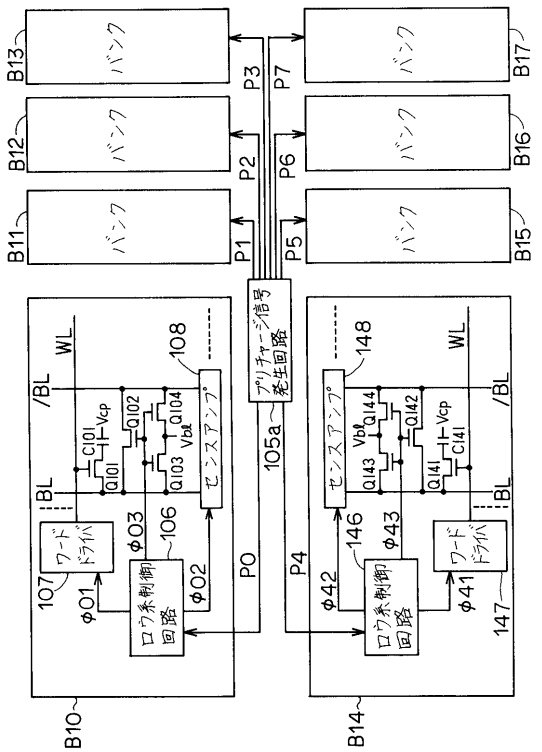
【図９】


T1
T2
T3
T4
T5
CLK
CKE
/CS
/RAS
/CAS
/WE
DQM
A
BA0-2
Din

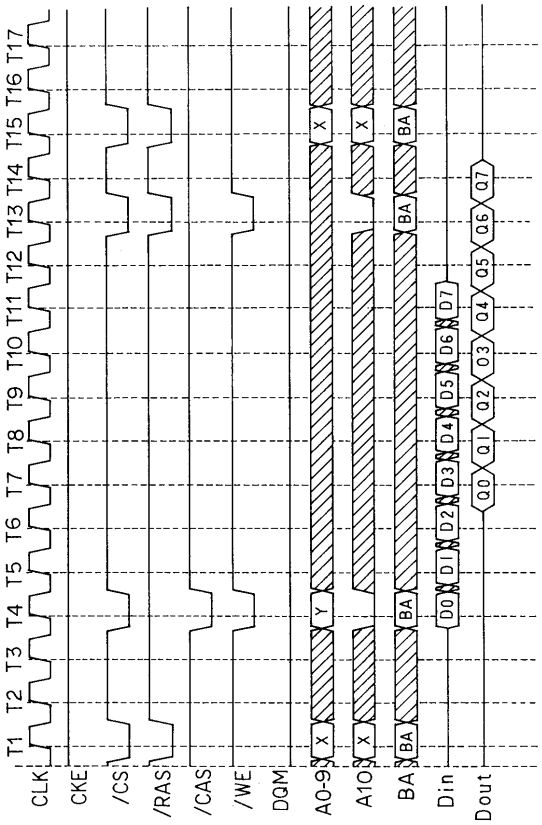
【図１０】


B10
B11
WL
/BL
BL
ワードドライバ
ロウ系制御回路
プリチャージ信号発生回路
センスアンプ
φ01
φ02
φ03
φ11
φ12
φ13
P0
P1
105
106
107
108
116
117
118

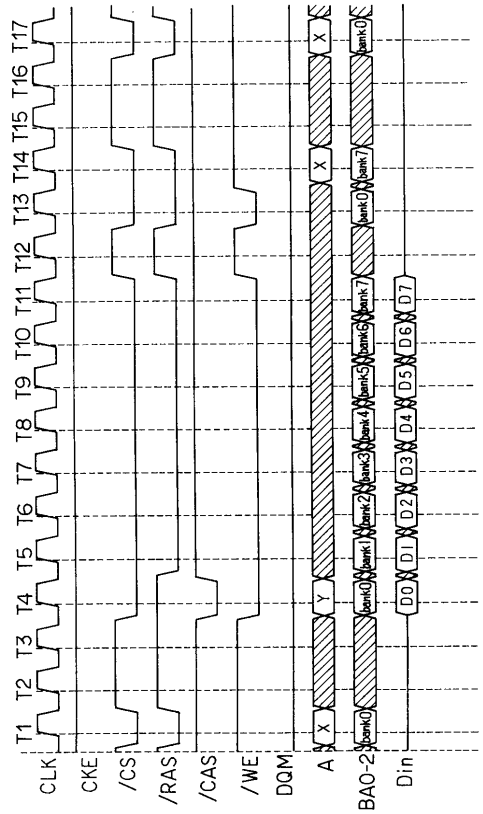
【図１１】



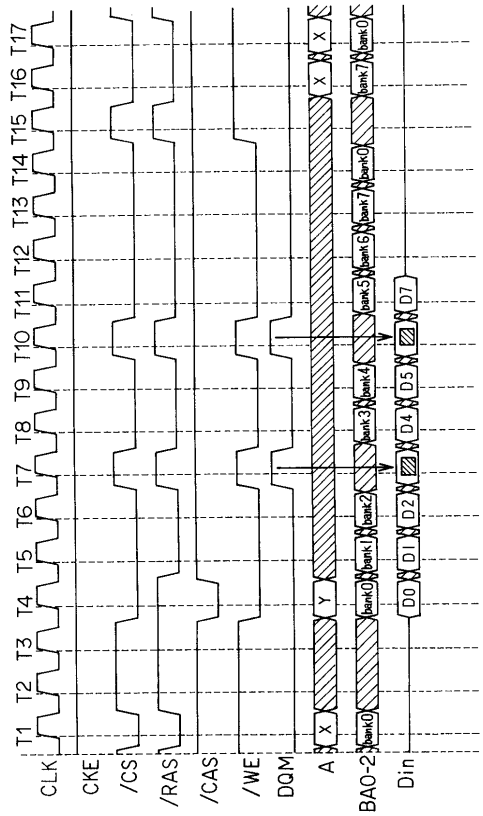
【図１２】



【図１３】



【図１４】



フロントページの続き

(72)発明者　渡邊　直也
兵庫県伊丹市瑞原４丁目１番地　三菱電機株式会社ユー・エル・エス・アイ開発研究所内
(72)発明者　小西　康弘
兵庫県伊丹市瑞原４丁目１番地　三菱電機株式会社ユー・エル・エス・アイ開発研究所内
(72)発明者　岩本　久
兵庫県伊丹市瑞原４丁目１番地　三菱電機株式会社ユー・エル・エス・アイ開発研究所内

審査官　堀田　和義

(56)参考文献　特開平０４－１４９８９２（ＪＰ，Ａ）
特開平０２－０６１８９３（ＪＰ，Ａ）
特開平０７－２０１１７２（ＪＰ，Ａ）
特開平０６－２７５０７１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
G11C 11/409