



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0087167
(43) 공개일자 2018년08월01일

(51) 국제특허분류(Int. Cl.)
G01J 1/02 (2006.01) G01J 1/44 (2006.01)
H01L 21/02 (2006.01) H01L 27/088 (2006.01)
(52) CPC특허분류
G01J 1/0295 (2013.01)
G01J 1/44 (2013.01)
(21) 출원번호 10-2018-0007606
(22) 출원일자 2018년01월22일
심사청구일자 2018년01월22일
(30) 우선권주장
1020170010592 2017년01월23일 대한민국(KR)
기술이전 회망 : 기술양도

(71) 출원인
인천대학교 산학협력단
인천광역시 연수구 아카데미로 119 (송도동)
(72) 발명자
진성훈
인천광역시 연수구 컨벤시아대로274번길 35, 210
5동 301호(송도동, 송도 더샵 마스터뷰 22BL)
(74) 대리인
특허법인충정

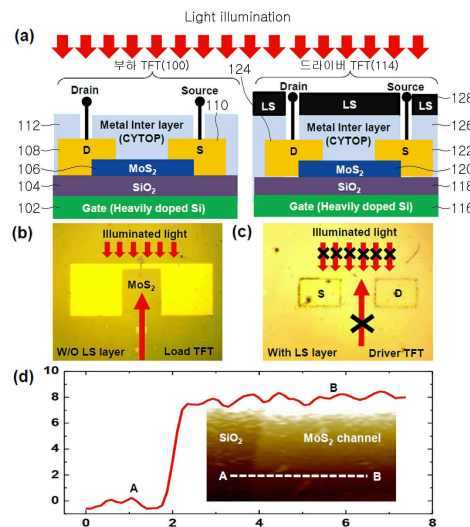
전체 청구항 수 : 총 27 항

(54) 발명의 명칭 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터 및 이를 이용한 광 검출기

(57) 요약

본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터는, 제1 감광성 채널층을 포함하는 공핍형 부하 트랜지스터; 및 상기 공핍형 부하 트랜지스터에 연결되며 제2 채널층 및 상기 제2 채널층으로의 광의 입사를 차단하기 위한 광 차단층을 포함하는 증가형 드라이버 트랜지스터를 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 21/02568 (2013.01)

H01L 27/0883 (2013.01)

명세서

청구범위

청구항 1

제1 감광성 채널층을 포함하는 공핍형 부하 트랜지스터; 및

상기 공핍형 부하 트랜지스터에 연결되며 제2 채널층 및 상기 제2 채널층으로의 광의 입사를 차단하기 위한 광 차단층을 포함하는 증가형 드라이버 트랜지스터를 포함하는, 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터.

청구항 2

청구항 1에 있어서,

상기 제1 감광성 채널층은 두께에 따라 에너지 밴드 갭이 변하는 물질로 이루어지는, 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터.

청구항 3

청구항 2에 있어서,

상기 제2 채널층은 두께에 따라 에너지 밴드 갭이 변하는 물질 또는 GaN(갈륨나이트라이드), IGZO(이그조) 및 SWNT(단일벽 탄소나노튜브)로 이루어진 군 중에서 선택된 광 반응성이 없는 반도체로 이루어지는, 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터.

청구항 4

청구항 2 또는 청구항 3에 있어서,

상기 제1 감광성 채널층은 적어도 한 층의 2차원 반도체로 이루어지는, 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터.

청구항 5

청구항 4에 있어서,

상기 2차원 반도체는, 전이금속 디칼코게나이드(TDMCs: transition metal dichalcogenides), 흑린(black phosphorus), 및 실리신(silicene) 중 적어도 하나를 포함하고,

상기 전이금속 디칼코게나이드는 MX_2 로 표시되며, M은 Mo(몰리브덴) 또는 W(텅스텐)을 포함하는 전이 금속 족 이고, X는 S(황) 또는 Se(셀레늄) 계열의 칼코게나이드(Chalcogenides)인, 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터.

청구항 6

청구항 5에 있어서,

상기 전이금속 디칼코게나이드는 MoS_2 , $MoSe_2$, WS_2 , WSe_2 및 이들의 조합을 포함하는 군으로부터 선택된 적어도 하나인, 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터.

청구항 7

청구항 6에 있어서,

상기 공핍형 부하 트랜지스터의 게이트 전극은 상기 인버터의 출력 단자에 연결되는, 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터.

청구항 8

청구항 7에 있어서,

상기 공핍형 부하 트랜지스터는,

게이트 전극;

상기 게이트 전극 상에 형성된 게이트 절연층;

상기 게이트 절연층 상에 형성된 제1 감광성 채널층;

상기 게이트 절연층 상에 형성되는 드레인 전극 및 소스 전극; 및

상기 드레인 전극, 상기 소스 전극 및 상기 제1 감광성 채널층 상에 형성된 층간 절연층을 포함하고,

상기 드레인 전극 및 상기 소스 전극은 상기 제1 감광성 채널층에 의해 연결되도록 형성되는, 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터.

청구항 9

청구항 8에 있어서,

상기 증가형 드라이버 트랜지스터는,

게이트 전극;

상기 게이트 전극 상에 형성된 게이트 절연층;

상기 게이트 절연층 상에 형성된 제2 채널층;

상기 게이트 절연층 상에 형성되는 드레인 전극 및 소스 전극;

상기 드레인 전극, 상기 소스 전극 및 상기 제2 채널층 상에 형성된 층간 절연층; 및

상기 층간 절연층 상에 형성되며, 상기 제2 채널층에의 광의 입사를 차단하도록 형성된 광 차단층을 포함하는, 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터.

청구항 10

홀수개의 인버터를 포함하는 링 오실레이터 형태의 광 검출기로서,

상기 인버터는 각각,

제1 감광성 채널층을 포함하는 공핍형 부하 트랜지스터; 및

상기 공핍형 부하 트랜지스터에 연결되며 제2 채널층 및 상기 제2 채널층으로의 광의 입사를 차단하기 위한 광 차단층을 포함하는 증가형 드라이버 트랜지스터를 포함하는, 광 검출기.

청구항 11

청구항 10에 있어서,

상기 제1 감광성 채널층은 두께에 따라 에너지 밴드 갭이 변하는 물질로 이루어지는, 광 검출기.

청구항 12

청구항 11에 있어서,

상기 제2 채널층은 두께에 따라 에너지 밴드 갭이 변하는 물질 또는 GaN(갈륨나이트라이드), IGZO(이그조) 및 SWNT(단일벽 탄소나노튜브)로 이루어진 군 중에서 선택된 광 반응성이 없는 반도체로 이루어지는, 광 검출기.

청구항 13

청구항 11 또는 청구항 12에 있어서,

상기 제1 감광성 채널층은 적어도 한 층의 2차원 반도체로 이루어지는, 광 검출기.

청구항 14

청구항 13에 있어서,

상기 2차원 반도체는, 전이금속 디칼코게나이드(TDMCs: transition metal dichalcogenides), 흑린(black phosphorus), 및 실리신(silicene) 중 적어도 하나를 포함하고,

상기 전이금속 디칼코게나이드는 MX_2 로 표시되며, M은 Mo(몰리브덴) 또는 W(텅스텐)을 포함하는 전이 금속 족 이고, X는 S(황) 또는 Se(셀레늄) 계열의 칼코게나이드(Chalcogenides)인, 광 검출기.

청구항 15

청구항 14에 있어서,

상기 전이금속 디칼코게나이드는 MoS_2 , $MoSe_2$, WS_2 , WSe_2 및 이들의 조합을 포함하는 군으로부터 선택된 적어도 하나인, 광 검출기.

청구항 16

청구항 15에 있어서,

상기 공핍형 부하 트랜지스터의 게이트 전극은 상기 인버터의 출력 단자에 연결되는, 광 검출기.

청구항 17

청구항 16에 있어서,

상기 공핍형 부하 트랜지스터는,

게이트 전극;

상기 게이트 전극 상에 형성된 게이트 절연층;

상기 게이트 절연층 상에 형성된 제1 감광성 채널층;

상기 게이트 절연층 상에 형성되는 드레인 전극 및 소스 전극; 및

상기 드레인 전극, 상기 소스 전극 및 상기 제1 감광성 채널층 상에 형성된 층간 절연층을 포함하고,

상기 드레인 전극 및 상기 소스 전극은 상기 제1 감광성 채널층에 의해 연결되도록 형성되는, 광 검출기.

청구항 18

청구항 17에 있어서,

상기 증가형 드라이버 트랜지스터는,

게이트 전극;

상기 게이트 전극 상에 형성된 게이트 절연층;

상기 게이트 절연층 상에 형성된 제2 채널층;

상기 게이트 절연층 상에 형성되는 드레인 전극 및 소스 전극;

상기 드레인 전극, 상기 소스 전극 및 상기 제2 채널층 상에 형성된 층간 절연층; 및

상기 층간 절연층 상에 형성되며, 상기 제2 채널층에의 광의 입사를 차단하도록 형성된 광 차단층을 포함하는, 광 검출기.

청구항 19

제1 감광성 채널층을 포함하는 공핍형 부하 트랜지스터; 및

상기 공핍형 부하 트랜지스터에 연결되며 비감광성 채널층을 포함하는 증가형 드라이버 트랜지스터를 포함하는,

감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함하는 인버터.

청구항 20

청구항 19에 있어서,

상기 제1 감광성 채널층은 두께에 따라 에너지 밴드 갭이 변하는 물질로 이루어지는, 감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함하는 인버터.

청구항 21

청구항 20에 있어서,

상기 비감광성 채널층은 GaN(갈륨나이트라이드), IGZO(이그조) 및 SWNT(단일벽 탄소나노튜브)로 이루어진 군 중에서 선택된 광 반응성이 없는 반도체로 이루어지는, 감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함하는 인버터.

청구항 22

청구항 20 또는 청구항 21에 있어서,

상기 제1 감광성 채널층은 적어도 한 층의 2차원 반도체로 이루어지는, 감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함하는 인버터.

청구항 23

청구항 22에 있어서,

상기 2차원 반도체는, 전이금속 디칼코게나이드(TDMCs: transition metal dichalcogenides), 흑린(black phosphorus), 및 실리신(silicene) 중 적어도 하나를 포함하고,

상기 전이금속 디칼코게나이드는 MX_2 로 표시되며, M은 Mo(몰리브덴) 또는 W(텅스텐)을 포함하는 전이 금속 족 이고, X는 S(황) 또는 Se(셀레늄) 계열의 칼코게나이드(Chalcogenides)인, 감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함하는 인버터.

청구항 24

청구항 23에 있어서,

상기 전이금속 디칼코게나이드는 MoS_2 , $MoSe_2$, WS_2 , WSe_2 및 이들의 조합을 포함하는 군으로부터 선택된 적어도 하나인, 감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함하는 인버터.

청구항 25

청구항 24에 있어서,

상기 공핍형 부하 트랜지스터의 게이트 전극은 상기 인버터의 출력 단자에 연결되는, 감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함하는 인버터.

청구항 26

청구항 25에 있어서,

상기 공핍형 부하 트랜지스터는,

게이트 전극;

상기 게이트 전극 상에 형성된 게이트 절연층;

상기 게이트 절연층 상에 형성된 제1 감광성 채널층;

상기 게이트 절연층 상에 형성되는 드레인 전극 및 소스 전극; 및

상기 드레인 전극, 상기 소스 전극 및 상기 제1 감광성 채널층 상에 형성된 층간 절연층을 포함하고,

상기 드레인 전극 및 상기 소스 전극은 상기 제1 감광성 채널층에 의해 연결되도록 형성되는, 감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함하는 인버터.

청구항 27

청구항 26에 있어서,

상기 증가형 드라이버 트랜지스터는,

게이트 전극;

상기 게이트 전극 상에 형성된 게이트 절연층;

상기 게이트 절연층 상에 형성된 비감광성 채널층;

상기 게이트 절연층 상에 형성되는 드레인 전극 및 소스 전극; 및

상기 드레인 전극, 상기 소스 전극 및 상기 비감광성 채널층 상에 형성된 층간 절연층을 포함하는, 감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함하는 인버터.

발명의 설명

기술 분야

[0001] 본 발명은 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터 및 이를 이용한 광 검출기에 관한 것이다.

배경 기술

[0002] 최근에, 이황화몰리브데늄(MoS_2)과 같은 전이금속 디칼코게나이드(TDMCs: transition metal dichalcogenides)는 이상적인 이차원 구조, 상당한 크기의 에너지 밴드갭(E_g), 신규한 광학 및 화학 특성들에 기인하여 엄청난 연구 관심을 끌어 모으고 있다. TDMC의 다양한 조합 중, 2차원 이황화몰리브데늄(MoS_2)은 그것의 풍부함, 무독성, 그리고 단층 및 다층으로의 용이한 합성으로 인하여, 광범위한 전자 및 광전자 적용을 위한 가장 촉망받는 후보 물질들 중 하나이다. 특히, 그들의 상당한 크기의 두께-의존적인 에너지 밴드갭(E_g) 및 높은 전자 이동도 때문에, 이황화몰리브데늄(MoS_2)의 나노시트의 사용이 자외선(UV)으로부터 근적외선(IR)까지, 광범위한 파장에 걸친 광 검출기에서 활발하게 검토되고 있다.

[0003] 하지만, 대부분의 이전의 연구들은 개별적인 2 단자 및/또는 3 단자 기반의 TDMC 디바이스에서 다양한 수의 층들의 광학 특성들의 고유한 메커니즘을 이해하는 것을 지향하였다. 흥미롭게도, 2차원 이황화몰리브데늄(MoS_2) 전계 효과 트랜지스터(FETs)에 기반하는 광전자 회로들은, 그들의 적용에 대한 실제 영향력 및 상용화의 의미가 상당할지라도, 드물게 보고되었다. 감광성(photosensitive) 인버터의 핵심 적용 중 하나는 수동 모드의 광 검출기들을 사용하는 것과 비교할 때, 높은 외부 노이즈 면역성을 갖는 광-주파수 변환(LFC: light-to-frequency) 회로의 개발이다.

[0004] LFC 회로들은 광 센싱, 생체 의학 이미징, 비디오 레코딩 및 분광학과 같은 광전자 적용에서 효과적으로 사용될 수 있었다. 더욱이, 그들은 또한 홀수개의 감광성 인버터들로 구성된, 전압-제어 링 오실레이터(ROs)의 핵심 요소를 사용함으로써 구현될 수 있다.

선행기술문헌

비특허문헌

[0005] (비특허문헌 0001) [1] B. Radisavljevic, A. Radenovic, J. Brivio, V. Giacometti, and A. Kis, "Single-layer MoS_2 transistors," Nature Nanotechnol., vol. 6, pp. 147150, Jan. 2011, doi: 10.1038/nnano.2010.279.

(비특허문헌 0002) [2] S. K. Kim, A. Konar, W. S. Hwang, J. H. Lee, J. Y. Lee, J. H. Yang, C. H. Jung, H. S. Kim, J. B. Yoo, J. Y. Choi, Y. W. Jin, S. Y. Lee, D. Jena, W. Choi, and K. N. Kim, "High-

mobility and low-power thin film transistors based on multilayer MoS2 crystals,” *Nature Commun.*, vol. 3, p. 1011, Feb. 2012, doi: 10.1038/ncomms2018.

(비특허문헌 0003) [3] H. Qiu, L. Pan, Z. Yao, J. Li, Y. Shi, and X. Wang, “Electrical characterization of back-gated bi-layer MoS2 field-effect transistors and the effect of ambient on their performances,” *Appl. Phys. Lett.*, vol. 100, no. 12, p. 123104, 2012, doi: 10.1063/1.3696045.

(비특허문헌 0004) [4] H. Nam, B. R. Oh, P. Chen, M. Chen, S. Wi, W. Wan, K. Kurabayashi, and X. Liang, “Multiple MoS2 transistors for sensing molecule interaction kinetics,” *Sci. Rep.*, vol. 5, p. 10546, Jan. 2015, doi: 10.1038/srep10546.

(비특허문헌 0005) [5] Y. P. V. Subbaiah, K. J. Saji, and A. Tiwari, “Atomically thin MoS2: A versatile nongraphene 2D material,” *Adv. Funct. Mater.*, vol. 26, no. 13, pp. 20462069, Feb. 2016, doi: 10.1002/adfm. 201504202.

(비특허문헌 0006) [6] W. Choi, M. Y. Cho, A. Konar, J. H. Lee, G. B. Cha, S. C. Hong, S. S. Kim, J. Y. Kim, D. Jena, J. S. Joo, and S. K. Kim, “High-detectivity multilayer MoS2 phototransistors with spectral response from ultraviolet to infrared,” *Adv. Mater.*, vol. 24, no. 43, pp. 58325836, Aug. 2012, doi: 10.1002/adma.201201909.

(비특허문헌 0007) [7] O. Lopez-Sanchez, D. Lembke, M. Kayci, A. Radenovic, and A. Kis, “Ultrasensitive photodetectors based on monolayer MoS2,” *Nature Nanotechnol.*, vol. 8, pp. 497501, Jun. 2013, doi: 10.1038/nnano.2013.100.

(비특허문헌 0008) [8] H. S. Lee, S. W. Min, Y. G. Chang, M. K. Park, T. W. Nam, H. J. Kim, J. H. Kim, S. M. Ryu, and S. G. Im, “MoS2 Nanosheet phototransistors with thickness-modulated optical energy gap,” *Nano Lett.*, vol. 12, no. 7, pp. 36953700, Jun. 2012, doi: 10.1021/nl301485q.

(비특허문헌 0009) [9] D. Kufer and G. Konstantatos, “Highly sensitive, encapsulated MoS2 photodetector with gate controllable gain and speed,” *Nano Lett.*, vol. 15, no. 11, pp. 73077313, Oct. 2015, doi: 10.1021/acs.nanolett. 5b02559.

(비특허문헌 0010) [10] G. Sanaie and K. S. Karim, “On-pixel voltage-controlled oscillator in amorphous-silicon technology for digital imaging applications,” *IEEE Electron Device Lett.*, vol. 28, no. 1, pp. 3335, Jan. 2007, 281 doi: 10.1109/LED.2006.887624.

(비특허문헌 0011) [11] S. H. Jin, M. S. Park, and M. S. Shur, “Photosensitive inverter and ring oscillator with pseudo depletion mode load for LCD applications,” *IEEE Electron Device Lett.*, vol. 30, no. 9, pp. 943945, Sep. 2009, doi: 10.1109/LED.2009.2026716.

(비특허문헌 0012) [12] L. Hu, M. M. Brewster, X. Xu, C. Tang, S. Gradecak, and X. Fang, “Heteroepitaxial growth of GaP/ZnS nanocable with superior opto-electronic response,” *Nano Lett.*, vol. 13, pp. 19411947, Apr. 2013, doi: 10.1021/nl3046552.

(비특허문헌 0013) [13] Y. Wen, L. Yin, P. He, Z. Wang, X. Zhang, Q. Wang, T. A. Shifa, K. Xu, F. Wang, X. Zhan, F. Wang, C. Jinag, and J. He, “Integrated high-performance infrared phototransistor arrays composed of nonlayered PbS-MoS2 heterostructures with edge contacts,” *Nano Lett.*, vol. 16, no. 10, pp. 64376444, Sep. 2016, doi: 10.1021/acs.nanolett.6b02881.

(비특허문헌 0014) [14] S. D. Gunapala, S. V. Bandara, J. K. Liu, W. Hong, M. Sundaram, P. D. Maker, R. E. Muller, C. A. Shott, and R. Carralejo, “Long-wavelength 640×486 GaAs-AlGaAs quantum well infrared photodetector snap-shot camera,” *IEEE Trans. Electron Dev.*, vol. 45, no. 9, pp. 18901895, Sep. 1998, doi: 10.1109/16.711352.

(비특허문헌 0015) [15] W. Zhao, I. Blevis, S. Germann, J. A. Rowlands, D. Waechter, and Z. Huang, “Digital radiology using active matrix readout of amorphous selenium: Construction and evaluation of a prototype real-time detector,” *Med. Phys.*, vol. 24, no. 12, pp. 18341843, Dec. 1997, doi: 10.1118/1.598098.

(비특허문헌 0016) [16] J. K. Roh, I. T. Cho, H. W. Shin, G. W. Baek, B. H. Hong, J. H. Lee, S. H. Jin, and C. H. Lee, "Fluorinated CYTOP passivation effects on the electrical reliability of multilayer MoS₂ field-effect transistors," *Nanotechnology*, vol. 26, no. 45, p. 455201, Nov. 2015, doi: 10.1088/0957-4484/26/45/455201.

(비특허문헌 0017) [17] H. Wang, L. Yu, Y.-H. Lee, Y. Shi, A. Hsu, M. L. Chin, L.-J. Li, M. Dubey, J. Kong, and T. Palacios, "Integrated circuits based on bilayer MoS₂ transistors," *Nano Lett.*, vol. 12, pp. 46744680, Aug. 2012. doi: 10.1021/nl302015v.

(비특허문헌 0018) [18] H.-Y. Chang, W. Zhu, and D. Akinwande, "On the mobility and contact resistance evaluation for transistors based on MoS₂ or two-dimensional semiconducting atomic crystals," *Appl. Phys. Lett.*, vol. 104, p. 113504, Mar. 2014, doi: 10.1063/1.4868536.

발명의 내용

해결하려는 과제

[0006] 본 발명이 해결하고자 하는 과제는 높은 이득과 노이즈 마진을 높일 수 있으며 상이한 파장에 대해 서로 다른 반응성을 나타내고 외부 노이즈에 대해 강건한 인버터를 제공하는 것이다.

[0007] 본 발명이 해결하고자 하는 다른 과제는 높은 이득과 노이즈 마진을 높일 수 있으며 상이한 파장에 대해 서로 다른 반응성을 나타내고 외부 노이즈에 대해 강건한 광 검출기를 제공하는 것이다.

과제의 해결 수단

[0008] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터는,

[0009] 제1 감광성 채널층을 포함하는 공핍형 부하 트랜지스터; 및

[0010] 상기 공핍형 부하 트랜지스터에 연결되며 제2 채널층 및 상기 제2 채널층으로의 광의 입사를 차단하기 위한 광 차단층을 포함하는 증가형 드라이버 트랜지스터를 포함한다.

[0011] 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터에 있어서, 상기 제1 감광성 채널층은 두께에 따라 에너지 밴드 갭이 변하는 물질로 이루어질 수 있다.

[0012] 또한, 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터에 있어서, 상기 제2 채널층은 두께에 따라 에너지 밴드 갭이 변하는 물질 또는 GaN(갈륨나이트라이드), IGZO(이그조) 및 SWNT(단일벽 탄소나노튜브)로 이루어진 군 중에서 선택된 가시광선 영역에서의 광 반응성이 없는 반도체로 이루어질 수 있다.

[0013] 또한, 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터에 있어서, 상기 제1 감광성 채널층은 적어도 한 층의 2차원 반도체로 이루어질 수 있다.

[0014] 또한, 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터에 있어서, 상기 2차원 반도체는, 전이금속 디칼코게나이드(TDMCs: transition metal dichalcogenides), 흑린(black phosphorus), 및 실리신(silicene) 중 적어도 하나를 포함하고,

[0015] 상기 전이금속 디칼코게나이드는 MX₂로 표시되며, M은 Mo(몰리브덴) 또는 W(텅스텐)을 포함하는 전이 금속 족 이고, X는 S(황) 또는 Se(셀레늄) 계열의 칼코게나이드(Chalcogenides)일 수 있다.

[0016] 또한, 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터에 있어서, 상기 전이금속 디칼코게나이드는 MoS₂, MoSe₂, WS₂, WSe₂ 및 이들의 조합을 포함하는 군으로부터 선택된 적어도 하나일 수 있다.

[0017] 또한, 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를

포함하는 인버터에 있어서, 상기 공핍형 부하 트랜지스터의 게이트 전극은 상기 인버터의 출력 단자에 연결될 수 있다.

- [0018] 또한, 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터에 있어서, 상기 공핍형 부하 트랜지스터는,
- [0019] 게이트 전극;
- [0020] 상기 게이트 전극 상에 형성된 게이트 절연층;
- [0021] 상기 게이트 절연층 상에 형성된 제1 감광성 채널층;
- [0022] 상기 게이트 절연층 상에 형성되는 드레인 전극 및 소스 전극; 및
- [0023] 상기 드레인 전극, 상기 소스 전극 및 상기 제1 감광성 채널층 상에 형성된 층간 절연층을 포함하고,
- [0024] 상기 드레인 전극 및 상기 소스 전극은 상기 제1 감광성 채널층에 의해 연결되도록 형성될 수 있다.
- [0025] 또한, 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터에 있어서, 상기 증가형 드라이버 트랜지스터는,
- [0026] 게이트 전극;
- [0027] 상기 게이트 전극 상에 형성된 게이트 절연층;
- [0028] 상기 게이트 절연층 상에 형성된 제2 채널층;
- [0029] 상기 게이트 절연층 상에 형성되는 드레인 전극 및 소스 전극;
- [0030] 상기 드레인 전극, 상기 소스 전극 및 상기 제2 채널층 상에 형성된 층간 절연층; 및
- [0031] 상기 층간 절연층 상에 형성되며, 상기 제2 채널층에의 광의 입사를 차단하도록 형성된 광 차단층을 포함할 수 있다.
- [0032] 상기 다른 과제를 해결하기 위한 본 발명의 일 실시예에 의한 광 검출기는,
- [0033] 홀수개의 인버터를 포함하는 링 오실레이터 형태의 광 검출기로서,
- [0034] 상기 인버터는 각각,
- [0035] 제1 감광성 채널층을 포함하는 공핍형 부하 트랜지스터; 및
- [0036] 상기 공핍형 부하 트랜지스터에 연결되며 제2 감광성 채널층 및 상기 제2 감광성 채널층으로의 광의 입사를 차단하기 위한 광 차단층을 포함하는 증가형 드라이버 트랜지스터를 포함한다.
- [0037] 본 발명의 일 실시예에 의한 광 검출기에 있어서, 상기 제1 감광성 채널층은 두께에 따라 에너지 밴드 갭이 변하는 물질로 이루어질 수 있다.
- [0038] 또한, 본 발명의 일 실시예에 의한 광 검출기에 있어서, 상기 제2 채널층은 두께에 따라 에너지 밴드 갭이 변하는 물질 또는 GaN(갈륨나이트라이드), IGZO(이그조) 및 SWNT(단일벽 탄소나노튜브)로 이루어진 군 중에서 선택된 광 반응성이 없는 반도체로 이루어질 수 있다.
- [0039] 또한, 본 발명의 일 실시예에 의한 광 검출기에 있어서, 상기 제1 감광성 채널층은 적어도 한 층의 2차원 반도체로 이루어질 수 있다.
- [0040] 또한, 본 발명의 일 실시예에 의한 광 검출기에 있어서, 상기 2차원 반도체는, 전이금속 디칼코게나이드(TDMCs: transition metal dichalcogenides), 흑린(black phosphorus), 및 실리신(silicene) 중 적어도 하나를 포함하고,
- [0041] 상기 전이금속 디칼코게나이드는 MX_2 로 표시되며, M은 Mo(몰리브덴) 또는 W(텅스텐)을 포함하는 전이 금속 족 이고, X는 S(황) 또는 Se(셀레늄) 계열의 칼코게나이드(Chalcogenides)일 수 있다.
- [0042] 또한, 본 발명의 일 실시예에 의한 광 검출기에 있어서, 상기 전이금속 디칼코게나이드는 MoS_2 , $MoSe_2$, WS_2 , WSe_2 및 이들의 조합을 포함하는 군으로부터 선택된 적어도 하나일 수 있다.

- [0043] 또한, 본 발명의 일 실시예에 의한 광 검출기에 있어서, 상기 공핍형 부하 트랜지스터의 게이트 전극은 상기 인버터의 출력 단자에 연결될 수 있다.
- [0044] 또한, 본 발명의 일 실시예에 의한 광 검출기에 있어서, 상기 공핍형 부하 트랜지스터는,
- [0045] 게이트 전극;
- [0046] 상기 게이트 전극 상에 형성된 게이트 절연층;
- [0047] 상기 게이트 절연층 상에 형성된 제1 감광성 채널층;
- [0048] 상기 게이트 절연층 상에 형성되는 드레인 전극 및 소스 전극; 및
- [0049] 상기 드레인 전극, 상기 소스 전극 및 상기 제1 감광성 채널층 상에 형성된 층간 절연층을 포함하고,
- [0050] 상기 드레인 전극 및 상기 소스 전극은 상기 제1 감광성 채널층에 의해 연결되도록 형성될 수 있다.
- [0051] 또한, 본 발명의 일 실시예에 의한 광 검출기에 있어서, 상기 증가형 드라이버 트랜지스터는,
- [0052] 게이트 전극;
- [0053] 상기 게이트 전극 상에 형성된 게이트 절연층;
- [0054] 상기 게이트 절연층 상에 형성된 제2 채널층;
- [0055] 상기 게이트 절연층 상에 형성되는 드레인 전극 및 소스 전극;
- [0056] 상기 드레인 전극, 상기 소스 전극 및 상기 제2 채널층 상에 형성된 층간 절연층; 및
- [0057] 상기 층간 절연층 상에 형성되며, 상기 제2 채널층에의 광의 입사를 차단하도록 형성될 수 있다.
- [0058] 또한, 상기 과제를 해결하기 위한 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함하는 인버터는,
- [0059] 제1 감광성 채널층을 포함하는 공핍형 부하 트랜지스터; 및
- [0060] 상기 공핍형 부하 트랜지스터에 연결되며 비감광성 채널층을 포함하는 증가형 드라이버 트랜지스터를 포함하는, 감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함한다.
- [0061] 또한, 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함하는 인버터에 있어서, 상기 제1 감광성 채널층은 두께에 따라 에너지 밴드 갭이 변하는 물질로 이루어질 수 있다.
- [0062] 또한, 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함하는 인버터에 있어서, 상기 비감광성 채널층은 GaN(갈륨나이트라이드), IGZO(이그조) 및 SWNT(단일벽 탄소나노튜브)로 이루어진 군 중에서 선택된 광 반응성이 없는 반도체로 이루어질 수 있다.
- [0063] 또한, 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함하는 인버터에 있어서, 상기 제1 감광성 채널층은 적어도 한 층의 2차원 반도체로 이루어질 수 있다.
- [0064] 또한, 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함하는 인버터에 있어서, 상기 2차원 반도체는, 전이금속 디칼코게나이드(TDMCs: transition metal dichalcogenides), 흑린(black phosphorus), 및 실리신(silicene) 중 적어도 하나를 포함하고,
- [0065] 상기 전이금속 디칼코게나이드는 MX_2 로 표시되며, M은 Mo(몰리브덴) 또는 W(텅스텐)을 포함하는 전이 금속 족 이고, X는 S(황) 또는 Se(셀레늄) 계열의 칼코게나이드(Chalcogenides)일 수 있다.
- [0066] 또한, 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함하는 인버터에 있어서, 상기 전이금속 디칼코게나이드는 MoS_2 , $MoSe_2$, WS_2 , WSe_2 및 이들의 조합을 포함하는 군으로부터 선택된 적어도 하나일 수 있다.
- [0067] 또한, 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함하는 인버터에 있어서, 상기 공핍형 부하 트랜지스터의 게이트 전극은 상기 인버터의 출력 단자에 연결될 수 있다.
- [0068] 또한, 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함하는 인버터에

있어서, 상기 공핍형 부하 트랜지스터는,

- [0069] 게이트 전극;
- [0070] 상기 게이트 전극 상에 형성된 게이트 절연층;
- [0071] 상기 게이트 절연층 상에 형성된 제1 감광성 채널층;
- [0072] 상기 게이트 절연층 상에 형성되는 드레인 전극 및 소스 전극; 및
- [0073] 상기 드레인 전극, 상기 소스 전극 및 상기 제1 감광성 채널층 상에 형성된 층간 절연층을 포함하고,
- [0074] 상기 드레인 전극 및 상기 소스 전극은 상기 제1 감광성 채널층에 의해 연결되도록 형성될 수 있다.
- [0075] 또한, 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함하는 인버터에 있어서, 상기 증가형 드라이버 트랜지스터는,
- [0076] 게이트 전극;
- [0077] 상기 게이트 전극 상에 형성된 게이트 절연층;
- [0078] 상기 게이트 절연층 상에 형성된 비감광성 채널층;
- [0079] 상기 게이트 절연층 상에 형성되는 드레인 전극 및 소스 전극; 및
- [0080] 상기 드레인 전극, 상기 소스 전극 및 상기 비감광성 채널층 상에 형성된 층간 절연층을 포함할 수 있다.

발명의 효과

- [0081] 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터 및 이를 이용한 광 검출기에 의하면, 상이한 파장에 대해서 하나의 인버터가 서로 다른 반응성을 나타내기 때문에 기존의 전압 반응성이 아니라, 주파수 응답에 대한 개념을 기반으로 외부의 노이즈에 대해서 강한 광 센서, 즉 광 검출기를 구현할 수 있다.
- [0082] 또한, 선택적으로 인가된 광에 대한 반응성의 선택비를 증가시키기 위하여 유기 절연막(CYTOP) 및 광 차단층을 활용하여 높은 이득과 노이즈 마진을 높일 수 있다.
- [0083] 또한, 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터 및 이를 이용한 광 검출기는, 단일의 반도체 기반으로 다양한 파장에 대해서 감응이 되는 광 센서의 구현과 더불어 디스플레이 및 플렉시블 일렉트로닉스와 관련한 핵심 광 센서의 플랫폼으로 활용될 수 있다.
- [0084] 또한, 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터 및 이를 이용한 광 검출기는, IoT 및 플렉시블 시스템에 고 기능성 광 센서 모듈로서 활용가능하며, 이를 기반으로 새로운 광 센서의 활용을 기대할 수 있으며, 시장성이 잠재적으로 큰 요소 기술이 될 것으로 기대된다.

도면의 간단한 설명

- [0085] 도 1a는 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터를 도시한 도면으로서, 좌측 도면은 광 차단(LS: light shielding)층을 갖지 않는 부하(load) TFT를 도시한 도면이고, 우측 도면은 광 차단(LS: light shielding)층을 갖고 있는 드라이버(driver) TFT를 도시한 도면.
- 도 1b는 구현된 부하 TFT의 광학 현미경 이미지를 도시한 도면.
- 도 1c는 구현된 드라이버 TFT의 광학 현미경 이미지를 도시한 도면.
- 도 1d는 TFT들 내의 열적 산화층(A) 상의 박리된 이황화몰리브데늄(MoS_2) 층들(B)의 원자간력 현미경(AFM: Atomic Force Microscope) 이미지에 표시된 점선에 따른 지형학적 단면 프로파일을 도시한 도면으로서, 삽도내의 A 및 B는 각각, 산화물(SiO_2)과 MoS_2 층의 위치를 나타내고, 길이에 대한 채널 폭의 비(W/L)는 드라이버 TFT와 공핍형 부하 TFT 양자에 대해 30/10 μm 임.

도 2a는 조사 광의 파장에 따른, 광 차단(LS)층을 갖는 드라이버 TFT에 대한 전달 특성이요, 도 2b는 조사 광의 파장에 따른, 광 차단층을 갖고 있지 않는 부하 TFT에 대한 전달 특성을 도시한 도면.

도 2c는 $V_{DS}=0.1V$ 에서 0V와 -2V의 각 게이트 바이어스에 대한 오프-바이어스 상태에서 드레인-소스, 광-누설 전류 특성을 도시한 도면.

도 2d는 조사 광의 파장에 따른, 광 차단층을 갖는 드라이버 TFT(심볼)과 광 차단층을 갖지 않는 부하 TFT(라인)에 대한 $V_{GS}=0V$ 에서의 출력 특성을 도시한 도면으로서, 드라이버 TFT와 부하 TFT 양자에 대한 채널 길이(L)와 폭(W)은 각각, 10 μm 및 30 μm 임.

도 3은 인버터에 대한 전압 전달 특성을 도시한 도면으로서, 도 3a는 어두운 상태에서 청색으로의 조사 광 하에서 파장의 변화에 따른 증가형 부하 구성의 인버터에 대한 전압 전달 특성이요, 도 3b는 공핍형 부하 구성의 인버터에 대한 전압 전달 특성이요, 도 3c는 증가형 부하를 갖는 인버터의 부하-라인 특성이요, 도 3d는 공핍형 부하를 갖는 인버터의 부하-라인 특성이요, 부하 라인들은 부하 TFT와 드라이버 TFT 양자로부터 독립적으로 측정된 I-V 특성을 사용하여 획득되었고, 도 3b에서 심볼들과 라인들에 대한 곡선들 각각은 부하 라인 분석 및 인버터들의 측정으로부터 추출된 전압 전달 특성이요, 도 3a와 도 3b의 삽도는 각각 증가형 부하 및 공핍형 부하를 갖는 인버터들에 대한 도면임.

도 4는 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터의 회로도.

도 5는 본 발명의 일 실시예에 의한 광 검출기의 회로도.

도 6은 본 발명의 다른 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함하는 인버터를 도시한 도면으로서, 좌측 도면은 부하(load) TFT를 도시한 도면이고, 우측 도면은 드라이버(driver) TFT를 도시한 도면.

도 7은 R/G/B 독립 파장에 대한 광 반응성 평가를 위한 시스템 모식도로서, (a)는 가시광선 영역의 조사된 빛에 반응성이 없는 GaN FETs를 드라이버 TFT로 사용하고, MoS_2 TFTs를 공핍형 부하로 활용하여 구현한 광반응성 인버터, (b)는 에너지 밴드 갭, (c)는 R, G, B LED를 도시한 도면.

도 8의 (a)는 가시광선 영역의 조사된 빛에 반응성이 없는 GaN FETs를 드라이버 TFT로 사용하고, MoS_2 TFTs를 공핍형 부하로 활용하여 구현한 광반응성 인버터의 동작 특성, (b)는 GaN FETs의 드라이버로서의 가시광선 영역의 파장에서 광누설 전류가 발생하지 않음을 보여주는 측정 결과를 도시한 도면.

도 9는 가시광선 영역의 조사된 빛에 반응성이 없는 타입 전환(p->n 타입)된 n-타입 SWNTs를 드라이버 TFT로 사용하고, MoS_2 TFTs를 공핍형 부하로 활용하여 구현한 광반응성 인버터의 구현 사례를 도시한 것으로, (a)는 광 차단층을 갖는 MoS_2 를 사용한 트랜지스터의 전달 특성, (b)는 n-타입 SWNTs FETs의 드라이버로서의 가시광선 영역의 파장에서 광누설 전류가 발생하지 않음을 보여주는 측정 결과를 도시한 도면.

도 10은 가시광선 영역의 조사된 빛에 반응성이 없는 타입 전환(p->n 타입)된 n-타입 SWNTs를 드라이버 TFT로 사용하고, MoS_2 TFTs를 공핍형 부하로 활용하여 실제 구현한 광반응성 인버터의 동작 특성을 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0086] 본 발명의 목적, 특정한 장점들 및 신규한 특징들은 첨부된 도면들과 연관되어지는 이하의 상세한 설명과 바람직한 실시예들로부터 더욱 명백해질 것이다.
- [0087] 이에 앞서 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이고 사전적인 의미로 해석되어서는 아니되며, 발명자가 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있는 원칙에 입각하여 본 발명의 기술적 사상에 부합되는 의미와 개념으로 해석되어야 한다.
- [0088] 본 명세서에서 각 도면의 구성요소들에 참조번호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다.
- [0089] 또한, "제1", "제2", "일면", "타면" 등의 용어는, 하나의 구성요소를 다른 구성요소로부터 구별하기 위해 사용되는 것으로, 구성요소가 상기 용어들에 의해 제한되는 것은 아니다.

- [0090] 이하, 본 발명을 설명함에 있어, 본 발명의 요지를 불필요하게 흐릴 수 있는 관련된 공지 기술에 대한 상세한 설명은 생략한다.
- [0091] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태를 상세히 설명하기로 한다.
- [0092] 본 발명의 일 실시예로서, 원자적으로 얇은 층 및 상당한 크기의 전기 밴드갭의 특정 이점을 이용하는, 고감도의 광 검출기에의 적용을 위한 광 차단층을 갖는 다층 이황화몰리브데늄(MoS_2) 인버터가 제안된다. 광의 파장이 변하는 경우 인버터의 광 누출 특성은 제어되는 방식으로 발생하도록 실험적으로 입증되었고 부하 라인 분석에 의해 분석적으로 입증되었다. 청색광 발광 다이오드의 광에서 공핍형 부하를 가지고 동작되는 경우, 낮은 잡음 마진 및 전이 폭은, 어두운 곳에서의 인버터의 잡음 마진과 전이 폭과 비교하여, 각각 약 20% 및 220%만큼 상당히 증가하였다.
- [0093] 본 발명의 일 실시예에 의하면, 조사된 파장에 대한 조정가능한 공핍형 부하 및 광차단(LS: light shielding)층에 의해 평가된 조사된 영역에 대한 선택성 양자를 갖는 감광성 이황화몰리브데늄(MoS_2) 인버터가 제공된다. 이것은 감광성 인버터의 핵심 특징들 중 하나인, 다양한 파장들에 대한 전압 전달 특성(VTCs: voltage transfer characteristics)을 변조하기 위한 실현가능한 연구 원리들을 제안하고 확인하는 첫번째 보고이다. 더욱이, 감광성 인버터들의 기능들은 TDMC의 층 두께 및/또는 이중-구조를 설계함으로써 잠재적으로 조정될 수 있었다. 따라서, 광 차단층을 채택함에 의한 그들의 우수한 선택성으로 인하여, 본 발명의 일 실시예에 의한 감광성 인버터는 비정질 실리콘, 비정질 셀레늄 및 III-V 족 반도체들에 기반하는 관용적인 광 검출기에 대한 대안으로서 광범위한 파장 주파수 검출 태스크들을 위해 사용될 것으로 매우 기대된다.
- [0095] **제조 및 디바이스 구조**
- [0096] 도 1a는 도 1b 및 도 1c에 도시된 바와 같이, 각각 감광성 공핍형 부하 및 금(Au) 필름의 광 차단층을 갖는 드라이버로 구성된, 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터로서, 감광성 이황화몰리브데늄(MoS_2) 인버터의 개략도를 도시한 것이다.
- [0097] 인(phosphorus)이 심하게 도핑된($p \sim 0.005 \text{ ohm} \cdot \text{cm}$) n형 실리콘 웨이퍼가 게이트 전극(102, 116)의 역할을 하는, 시작 기판으로서 사용되었고, 뒤이어 다층 이황화몰리브데늄(MoS_2) FET에 대한 게이트 절연층(104, 118)을 생성하기 위하여 열적 산화가 수행되었다. 제1 감광성 채널층(106) 및 제2 채널층(120)의 구성 물질인 다층의 이황화몰리브데늄(MoS_2)(106, 120)은 벌크 이황화몰리브데늄(MoS_2) 결정체(SPI Supplies, 429ML-AB)로부터 기계적으로 박리되었고, 폴리디메틸실로산(PDMS) 엘라스토머를 사용하여, 게이트 절연층으로서 열적 산화물(~10 nm)과 함께, 실리콘(Si) 기판상에 이동되었다. AFM 분석을 사용하여 다층 이황화몰리브데늄(MoS_2)의 두께를 확인한 이후에, 도 1d에 도시된 바와 같이, 이동 프로세스 동안 오염시킬 수 있는 이황화몰리브데늄(MoS_2) 필름상의 유기 잔여물을 제거하기 위하여, 한 시간 동안 400°C의 온도에서 혼합 가스(~Ar/ H_2)에서 즉각적인 어닐링(annealing)이 수행되었다.
- [0098] 그 후에, 25 nm 두께의 금이 전자 건(e-gun) 증발기를 사용하여 증발되었고, 뒤이어 사진식각적으로 패터닝된 영역 상에서의 리프팅 오프에 의해 소스 전극(110, 122) 및 드레인 전극(108, 124)이 형성되었다. 제조된 이황화몰리브데늄(MoS_2) FET의 전기적인 특성들의 평가 이후에, 선택된 드라이버 TFT(114)는 CYTOP(CTL-809M, Asahi Glass Co., Ltd)에 의해 코팅되었고, 뒤이어 층간 절연막(ILD: interlayer dielectric)(112, 126)을 위해 글로브 박스(glove box)(~Ar ambient) 내에서 150°C로 어닐링이 수행되었다. 부가적인 100 nm 두께의 금(Au)층들이, 소스 전극(122) 및 드레인 전극(124)의 접촉 영역을 제외한, 드라이버 TFT(114)의 특정 영역상에 정의되었다. 상기 금 필름 층은 광 차단(LS: light shielding)층(128)으로서, 광이 이황화몰리브데늄(MoS_2) FET(114)의 활성층인 제2 채널층(120)으로 입사되는 것을 방지한다.
- [0099] 부하 TFT(100) 및 광 차단층(128)을 갖는 드라이버 TFT(114)는 특정 인버터 구성을 위한 설계에 기반하여 도 4에 도시된 바와 같이 외부적으로 연결되고, 그 다음 체계적인 전기 특성화가 다양한 파장의 LED 광에 대해 수행되었다.
- [0100] 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터에서, 각 파장에 대한 LED 밝기는, 광원과 샘플 디바이스 간의 동일한 거리를 사용하여, 5,000 lx로

고정되었다.

[0102] **결과 및 논의**

[0103] 부하 이황화몰리브데늄(MoS_2) FET(100)와 드라이버 이황화몰리브데늄(MoS_2) FET(114)의 전류-전압(I-V) 특성에 대한 광-조명의 효과가 평가되었다. 어두운 상태에서, 선형 상태에서 드라이버 FET(114)와 부하 FET(100) 양자에 대한 전기적인 파라미터는 유사한 값들을 갖는다: ($1.4 \mu\text{S}$ 의 최대 트랜스-컨덕턴스에서) 전계 효과 이동도, 온-오프 비율, 및 서브-임계값 스윙 값들은 각각, $13.2 \text{ cm}^2/\text{V sec}$, 10^6 , 및 0.2 V/dec 로 결정되었다. 하지만, CYTOP 패시베이션 이후에, 그리고 뒤이은 광 차단층(128) 증착 이후에, 드라이버 FET(114)에 대한 임계 전압들은 -0.05V 에서 내지 0.37V 로, 약간 변화하였다. 이것은 아마도 금(Au)과 이황화몰리브데늄(MoS_2) 간의 일함수(work function)(ϕ_{ms})의 차이에 기인하였다.

[0104] 도 2a는 광 차단층(128)을 갖는 드라이버 TFT(114)의 전달 특성이, 파장의 변화와 함께 오프-전류에서 무시할 정도의 증가를 제외하곤, 초기 특성과 일관되게 유지되었다는 것을 보여준다.

[0105] 광 차단층을 갖지 않는 부하 TFT(100)에 대한 오프-전류 특성은 어두운 상태에서 청색까지, 광의 파장에 따라 경향성 있는 트렌드를 가지는 특성을 보이면서 증가하였다. 도 2c는 드라이버 TFT(114)에 대한 오프-전류 레벨(속이 찬 심볼들)이 오프 바이어스 상태에서 $V_{\text{DS}}=0.1\text{V}$ 의 고정된 바이어스에서 $V_{\text{GS}}=0\text{V}$ 와 $V_{\text{GS}}=-2\text{V}$ 의 각 게이트 바이어스 조건에 대해 부하 TFT(100)의 오프-전류 레벨(속이 비어 있는 심볼들)보다 대략 두자릿수가 더 작다는 것을 보여준다.

[0106] 파장의 변화에 따른 공핍형 부하(100)에 대한 광-전류 특성은 광-누설 전류가 주로 제1 감광성 채널층(106)인 이황화몰리브데늄(MoS_2) 채널에서의 전자-정공 쌍의 생성에 기인한다는 것을 나타낸다. 특히, Y-함수 방법을 사용하여 추출된 접촉 저항($\sim 12.5 \text{ k}\Omega$)의 부분은 디바이스의 총 저항의 20% 미만인데, 이것은 쇼트키 장벽과 연관된 광-전류 억압의 효과가 이 디바이스에서 무시해도 될 정도라는 것을 나타낸다. 더욱이, 광-전류 특성은 섀도우잉(shadowing)이 광 조사 동안, 소스 전극과 드레인 전극을 분리하는 채널 갭($L_{\text{ch}} \sim 10 \mu\text{m}$)의 영역에서 중요하지 않다는 결론을 지지한다.

[0107] 도 2d는 광 조사가 어둠에서 청색으로 변함에 따라 $V_{\text{GS}}=0\text{V}$ 에서 공핍형 부하(100)에 대한 출력 특성이 증가하는 것을 보여준다. 다른 한편으로, 도 2d는 $V_{\text{GS}}=0\text{V}$ 에서 광 차단층(128)을 갖는 드라이버 TFT(114)의 전류가 약간 그러나 사소하게 증가하는 것을 나타내는데, 이것은 아마도 광 조사와 연관된 이황화몰리브데늄(MoS_2) 채널층(120)들 주위의 회절 또는/및 반사 효과에 의해 생성된 적은 양의 광-누설에 기인한다.

[0108] 그 다음 공핍형 부하 또는 증가형 부하를 갖는 인버터들에 대한 광-응답 특성이 입증되고 분석되었다. 도 3a는 다양한 파장들에 대해, 광 조사 하에서의 증가형 부하를 갖는 인버터에 대한 전압 전달 특성(VTC)을 도시한 것이다. 조사된 에너지가 어두운 상태($E_{\lambda} \sim 0\text{eV}$)에서 청색 상태($E_{\lambda} \sim 2.72\text{eV}$)까지 상당히 증가할지라도 VTC의 무시할 정도의 변경이 관찰되었다.

[0109] 다이오드 구성에서, 포화 바이어스 상태에서 다층 이황화몰리브데늄(MoS_2)의 활성 채널 영역을 통해 광이 전반적으로 투과할 때 조차도, 증가형 부하에 대한 광 유도된 전자-정공 쌍 생성은 캐리어의 현격한 증가를 초래하지 않았다. 이것은 포화 상태에서 이미 누적된 메인 채널에서의 높은 캐리어 농도에 기인하였다. 그러므로, 전압 전달 특성의 어떤 현격한 변화도 관찰하는 것은 어려운데, 이것은 증가형 모드로 부하 구성을 사용하는 것이 감광성 인버터에 적합하지 않다는 것을 확인한다. 하지만, 도 3b는 어두운 상태에서 청색 상태로의 조사된 광의 변경과 일관되게, 공핍형 부하를 갖는 인버터에 대한 전압 전달 특성이 일관적으로 그리고 체계적으로 포지티브 방향으로 이동되었다는 것을 나타낸다.

[0110] 감광성 특성의 체계적인 이해를 위하여, 부하 라인 분석이 양 인버터 구성들에 대해 수행되었다. 도 3c는, 증가형 부하를 갖는 인버터에 대한 것으로, 조사된 (illuminated) 광-전류의 증가가 포화 상태에서 명백하게 중요하지 않다는 것을 보여주고, 전압 전달 특성에서 무시할 정도의 시프트(0.5V 미만)가 전형적으로 관찰되었다.

[0111] 다른 한편으로, 도 3d는 공핍형 부하에 대한 I-V 특성이 오프-바이어스 상태에서 상당히 변경되었음을 보여준다. 이것은 광 에너지와 일관되게, 공핍형 상태에서 전자-정공 쌍의 생성에 의해 야기된 조명 하에서 캐

리어 농도의 증가에 기인할 수 있다. 더욱이, 도 3a 및 도 3b는 인버터들의 직접 측정에 의해 획득된 전압 전달 특성 커브가 부하-라인 분석으로부터 추출된 특성들(심볼들)과 잘 매칭된다는 것을 입증한다. 전기적인 측정 동안 드라이버 TFT와 부하 TFT 양자에 대한 히스테리시스 갭으로 인하여, 미스매치 정도는 전압 전달 특성 시프트 범위 내에 있다.

[0112] 따라서, 체계적인 실험 및 데이터 분석은 공핍형 부하 구성의 복수층의 이황화몰리브데늄(MoS₂)을 갖는 인버터들이 증가형 부하를 갖는 인버터와 비교할 때 광 검출기를 위해 그리고 특히 가시광 파장을 위해 효과적으로 사용될 수 있다는 것을 입증한다.

[0113] 조명 하에서 공핍형 부하 및 광 차단층을 갖는 드라이버로 구성된 인버터의 전기적인 성능이 표 1에 요약된다. LED 파장이 660 nm(적색)에서 455 nm(청색)으로 감소함에 따라, 노이즈 마진 로우(NML: noise margin low)는 0.56V에서 0.66V로 증가한다. 더욱이, 전이 폭(transition width)(V_{IH}-V_{IL})도 또한 0.21V에서 0.48V로 현격히 증가한다. 다른 한편으로, 인버터에서의 이득은 부하 TFT에서의 포화 특성에서의 열화에 기인하여 -30에서 -14.8로 감소하는데, 이것은 광-누설의 생성과 연관된다. 하지만, 증가형 부하를 갖는 인버터는 조명된 광이 어두운 상태에서 청색으로 변화함에 따라, 전이 폭이 0.29V에서 0.26V로 무시할 정도로 변화하는데, 이것은 증가형 부하를 갖는 인버터가 광 검출기에 적용하기에 적합하지 않다는 것을 나타낸다.

표 1

Index of parameters	Wave length (nm)			
	Dark	Red (660 nm)	Green (530 nm)	Blue (405 nm)
Voltage gain (V/V)	-45.8	-30.0	-30.6	-14.8
V _{OH} (V)	3.00	3.00	3.00	3.00
V _{OL} (V)	0.02	0.05	0.06	0.17
V _{IH} (V)	0.77	0.90	1.00	1.30
V _{IL} (V)	0.56	0.61	0.68	0.83
NMH(V)(= V _{OH} -V _{IH})	2.23	2.10	2.00	1.70
NML(V)(=V _{IL} -V _{OL})	0.54	0.56	0.62	0.66
Transition width(V)(=V _{IH} -V _{IL})	0.21	0.29	0.33	0.48

[0114]

[0115] 더욱이, 상기 감광성 인버터의 성능 지수(index)를 비정질 실리콘 TFT(a-Si TFT)와 같은 다른 채널 물질과 비교하기 위하여, 문헌에 보고된 VTC 특성이 이득, 노이즈 마진, 및 디바이스 집적도의 레벨의 관점에서 직접 비교되었다. 전반적으로 이황화몰리브데늄(MoS₂)에 기반한 감광성 인버터는 이득 및 노이즈 마진의 관점에서 비정질 실리콘 TFT와 유사하거나 우월한 값을 갖는 것으로 증명되었다. 하지만, 이황화몰리브데늄(MoS₂)은 비정질 실리콘 TFT와 비교할 때, 면적 당 집적도 및 파장이 어두운 상태에서 청색으로 변할 때의 민감 변조 특성(sensitive modulation properties)에서 매우 강한 이점을 갖는다. 이것은 측정된 I-V 특성으로부터 추출된 바와 같이, 이 황화몰리브데늄(MoS₂) TFT 대 비정질 실리콘 TFT의 상대적인 특정 검출($\frac{D_{MoS_2}^*}{D_{a-Si}^*} \sim 122$)에서의 두 자릿수의 크기 차이에 명백히 기인할 수 있다. 높은 검출 레벨은 높은 반응성과 연관된 이황화몰리브데늄(MoS₂)의 매우 효율적인 광전류 생성에 기인한다; $R = I_{ph}/(P \cdot S)$, 상기에서 I_{ph} 는 광전류이고 ($I_{ph} = I_{light} - I_{dark}$) P와 S는 각각, 입력되는 전력 및 유효 조사 영역이다.

[0116] 도 4는 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를

포함하는 인버터의 회로도이다.

- [0117] 도 1 및 도 4를 참조하면, 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터는, 제1 감광성 채널층(106)을 포함하는 공핍형 부하 트랜지스터(100, 400), 및 상기 공핍형 부하 트랜지스터(100, 400)에 연결되며 제2 채널층(120) 및 상기 제2 채널층(120)으로의 광의 입사를 차단하기 위한 광 차단층(128)을 포함하는 증가형 드라이버 트랜지스터(114, 402)를 포함한다.
- [0118] 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터에 있어서, 상기 제1 감광성 채널층(106) 및 상기 제2 채널층(120)은 두께에 따라 에너지 밴드 갭이 변하는 물질로 이루어진다.
- [0119] 본 발명의 일 실시예에서 상기 제1 감광성 채널층(106) 및 제2 채널층(120)은 적어도 한 층의 2차원 반도체인 이황화몰리브데늄(MoS_2)으로 이루어진다.
- [0120] 하지만, 본 발명의 일 실시예는 이에 한정되지 않고 상기 제1 감광성 채널층(106) 및 상기 제2 감광성 채널층(120)으로서 다른 유형의 2차원 반도체가 사용될 수 있다.
- [0121] 상기 2차원 반도체는, 전이금속 디칼코게나이드(TDMCs: transition metal dichalcogenides), 흑린(black phosphorus), 및 실리신(silicene) 중 적어도 하나를 포함할 수 있고, 상기 전이금속 디칼코게나이드는 MX_2 로 표시되며, M은 Mo(몰리브데늄) 또는 W(텅스텐)을 포함하는 전이 금속 족이고, X는 S(황) 또는 Se(셀레늄) 계열의 칼코게나이드(Chalcogenides)일 수 있다.
- [0122] 상기 전이금속 디칼코게나이드는 MoS_2 , MoSe_2 , WS_2 , WSe_2 및 이들의 조합을 포함하는 군으로부터 선택된 적어도 하나일 수 있다.
- [0123] 또한, 상기 제2 채널층(120)은 두께에 따라 에너지 밴드 갭이 변하는 물질 대신에, GaN(갈륨나이트라이드), IGZO(이그조) 및 SWNT(단일벽 탄소나노튜브)로 이루어진 군 중에서 선택된 광 반응성이 없는 반도체로 이루어질 수도 있다.
- [0124] 또한, 상기 공핍형 부하 트랜지스터(100, 400)는, 게이트 전극(102), 상기 게이트 전극(102) 상에 형성된 게이트 절연층(104), 상기 게이트 절연층(104) 상에 형성된 제1 감광성 채널층(106), 상기 게이트 절연층(104) 상에 형성되는 드레인 전극(108) 및 소스 전극(110), 및 상기 드레인 전극(108), 상기 소스 전극(110) 및 상기 제1 감광성 채널층(106) 상에 형성된 중간 절연층(112)을 포함하고, 상기 드레인 전극(108) 및 상기 소스 전극(110)은 상기 제1 감광성 채널층(106)에 의해 연결되도록 형성된다.
- [0125] 또한, 상기 증가형 드라이버 트랜지스터(114, 402)는, 게이트 전극(116), 상기 게이트 전극(116) 상에 형성된 게이트 절연층(118), 상기 게이트 절연층(118) 상에 형성된 제2 채널층(120), 상기 게이트 절연층(118) 상에 형성되는 드레인 전극(124) 및 소스 전극(122), 상기 드레인 전극(124), 상기 소스 전극(122) 및 상기 제2 채널층(120) 상에 형성된 중간 절연층(126), 및 상기 중간 절연층(126) 상에 형성되며, 상기 제2 채널층(120)에의 광의 입사를 차단하도록 형성된 광 차단층(128)을 포함한다.
- [0126] 제조 공정의 단순화를 위하여, 공핍형 부하 트랜지스터(100)와 증가형 드라이버 트랜지스터(114)의 채널층(106, 120)을 동일한 물질로 형성하는 경우, 증가형 드라이버 트랜지스터(114)의 제2 채널층(120)도 제1 채널층(106)과 동일하게 이황화몰리브데늄(MoS_2)으로 형성된다.
- [0127] 이 경우, 감광성 특성을 갖는 이황화몰리브데늄(MoS_2)으로 형성된 제2 채널층(120)으로 광이 입사하여, 증가형 드라이버 트랜지스터(114)가 정상적으로 동작할 수 없다.
- [0128] 상기 광 차단층(128)은 이를 해결하기 위한 것으로, 감광성 특성을 갖는 이황화몰리브데늄(MoS_2)으로 형성된 제2 채널층(120)으로 광이 입사되는 것을 방지함으로써, 증가형 드라이버 트랜지스터(114)가 정상적으로 동작할 수 있게 한다.
- [0129] 또한, 본 발명의 다른 실시예에서, 상기 제2 채널층(120)은 두께에 따라 에너지 밴드 갭이 변하는 물질인 이황화몰리브데늄(MoS_2) 대신에, GaN(갈륨나이트라이드), IGZO(이그조) 및 SWNT(단일벽 탄소나노튜브)로 이루어진 군 중에서 선택된 가시광선 영역의 광에 대해 광 반응성이 없는 반도체로 형성될 수도 있다.
- [0130] 상기 제2 채널층(120)이 광 반응성이 없는 반도체로 형성되는 경우, 광이 제2 채널층(120)에 입사되어도 상기

제2 채널층(120)이 광에 반응하지 않기 때문에 상기 광 차단층(128)이 필요하지 않을 수도 있다. 하지만, 상기 제2 채널층(120)은 시간이 경과함에 따라 특성이 변할 수 있어, 장기간 사용시 광에 반응할 가능성이 있기 때문에, 제2 채널층(120)의 신뢰성이 저하될 수 있다.

- [0131] 따라서, 높은 신뢰성을 확보하기 위하여, 제2 채널층(120)이 GaN(갈륨나이트라이드), IGZO(이그조) 및 SWNT(단일벽 탄소나노튜브)로 이루어진 군 중에서 선택된 광 반응성이 없는 반도체로 형성되는 경우에도, 제2 채널층(120)으로 광이 입사되는 것을 방지하기 위하여, 광 차단층(128)을 증가형 드라이버 트랜지스터(114)에 형성하는 것이 바람직하다.
- [0132] 또한, 상기 공핍형 부하 트랜지스터(100, 400)의 소스 전극(110)은 상기 증가형 드라이버 트랜지스터(114, 402)의 드레인 전극(124)에 연결된다.
- [0133] 또한, 상기 공핍형 부하 트랜지스터(100, 400)의 게이트 전극(102)은 상기 인버터의 출력 단자(OUT)에 연결된다.
- [0134] 한편, 도 4에 도시된 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터에서, 증가형 드라이버 트랜지스터(402)는, 도 1a에 도시된 바와 같이 광 차단층(128)을 포함하는 구조 및 추후 설명될 도 6에 도시된 바와 같이 광 차단층을 포함하지 않는 구조로 형성될 수 있다.
- [0135] 또한, 도 4에 도시된 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터에서, 증가형 드라이버 트랜지스터(402)의 채널층은, 도 1a에 도시된 바와 같이 광 감광성을 갖는 물질 또는 추후 설명될 도 6에 도시된 바와 같이 광 반응성이 없는 반도체로 형성될 수 있다.
- [0136] 공핍형 부하 트랜지스터(100, 400)에 상이한 파장의 광이 조사되면 제1 감광성 채널층(106)에 흐르는 전류가 변화하고 이에 따라 공핍형 부하 트랜지스터(100, 400)의 드레인 전류가 입사되는 광의 파장에 따라 변하게 된다.
- [0137] 따라서, 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터는, R, G, B 파장(400 nm ~ 1000 nm)에 대해서 하나의 인버터가 서로 다른 반응성을 나타내므로, 광 센서, 즉 광검출기 역할을 구현할 수 있다.
- [0138] 도 5는 본 발명의 일 실시예에 광 검출기의 회로도이다.
- [0139] 도 1 및 도 5를 참조하면, 본 발명의 일 실시예에 의한 광 검출기는, 홀수개의 인버터(500, 502, 504)를 포함하는 링 오실레이터 형태의 광 검출기이다.
- [0140] 상기 인버터(500, 502, 504)는 각각, 도 1a, 도 4 및 추후 설명될 도 6에 도시된 인버터의 구조로 형성될 수 있다.
- [0141] 도 1, 도 4 및 도 5를 참조하면, 본 발명의 일 실시예에 의한 광 검출기의 인버터(500, 502, 504)는 각각, 제1 감광성 채널층(106)을 포함하는 공핍형 부하 트랜지스터(100, 400), 및 상기 공핍형 부하 트랜지스터(100, 400)에 연결되며 제2 채널층(120) 및 상기 제2 채널층(120)으로의 광의 입사를 차단하기 위한 광 차단층(128)을 포함하는 증가형 드라이버 트랜지스터(114, 402)를 포함한다.
- [0142] 본 발명의 일 실시예에 의한 광 검출기에 있어서, 상기 제1 감광성 채널층(106) 및 상기 제2 채널층(120)은 두께에 따라 에너지 밴드 갭이 변하는 물질로 이루어진다.
- [0143] 본 발명의 일 실시예에서 상기 제1 감광성 채널층(106) 및 상기 제2 채널층(120)은 적어도 한 층의 2차원 반도체인 이황화몰리브덴(MoS_2)으로 이루어진다.
- [0144] 하지만, 본 발명의 일 실시예는 이에 한정되지 않고 상기 제1 감광성 채널층(106) 및 상기 제2 채널층(120)으로서 다른 유형의 2차원 반도체가 사용될 수 있다.
- [0145] 상기 2차원 반도체는, 전이금속 디칼코게나이드(TDMCs: transition metal dichalcogenides), 흑린(black phosphorus), 및 실리신(silicene) 중 적어도 하나를 포함할 수 있고, 상기 전이금속 디칼코게나이드는 MX_2 로 표시되며, M은 Mo(몰리브덴) 또는 W(텅스텐)을 포함하는 전이 금속 족이고, X는 S(황) 또는 Se(셀레늄) 계열의 칼코게나이드(Chalcogenides)일 수 있다.
- [0146] 상기 전이금속 디칼코게나이드는 MoS_2 , MoSe_2 , WS_2 , WSe_2 및 이들의 조합을 포함하는 군으로부터 선택된 적어도

하나일 수 있다.

- [0147] 또한, 상기 제2 채널층(120)은 두께에 따라 에너지 밴드 갭이 변하는 물질 대신에 GaN(갈륨나이트라이드), IGZO(이그조) 및 SWNT(단일벽 탄소나노튜브)로 이루어진 군 중에서 선택된 광 반응성이 없는 반도체로 이루어질 수도 있다.
- [0148] 또한, 상기 공핍형 부하 트랜지스터(100, 400)의 게이트 전극(102)은 상기 인버터의 출력 단자(OUT)에 연결된다.
- [0149] 또한, 상기 공핍형 부하 트랜지스터(100, 400)는, 게이트 전극(102), 상기 게이트 전극(102) 상에 형성된 게이트 절연층(104), 상기 게이트 절연층(104) 상에 형성된 제1 감광성 채널층(106), 상기 게이트 절연층(104) 상에 형성되는 드레인 전극(108) 및 소스 전극(110), 및 상기 드레인 전극(108), 상기 소스 전극(110) 및 상기 제1 감광성 채널층(106) 상에 형성된 층간 절연층(112)을 포함하고, 상기 드레인 전극(108) 및 상기 소스 전극(110)은 상기 제1 감광성 채널층(106)에 의해 연결되도록 형성된다.
- [0150] 또한, 상기 증가형 드라이버 트랜지스터(114, 402)는, 게이트 전극(116), 상기 게이트 전극(116) 상에 형성된 게이트 절연층(118), 상기 게이트 절연층(118) 상에 형성된 제2 채널층(120), 상기 게이트 절연층(118) 상에 형성되는 드레인 전극(124) 및 소스 전극(122), 상기 드레인 전극(124), 상기 소스 전극(122) 및 상기 제2 채널층(120) 상에 형성된 층간 절연층(126), 및 상기 층간 절연층(126) 상에 형성되며, 상기 제2 채널층(120)에의 광의 입사를 차단하도록 형성된 광 차단층(128)을 포함한다.
- [0151] 공핍형 부하 트랜지스터(100, 400)에 상이한 파장의 광이 조사되면 제1 감광성 채널층(106)에 흐르는 전류가 변화하고 이에 따라 공핍형 부하 트랜지스터(100, 400)의 드레인 전류가 입사되는 광의 파장에 따라 변하게 된다.
- [0152] 따라서, 본 발명의 일 실시예에 의한 광 검출기는, R, G, B 파장(400 nm ~ 1000 nm)에 대해서 인버터들(500, 502, 504)이 상이한 반응성을 나타내므로, 광 검출기에 조사되는 광의 파장에 따라 광 검출기의 출력 신호(OSC)의 주파수가 변하게 된다.
- [0153] 따라서, 출력 신호(OSC)의 주파수에 기반하여, 주파수 응답과 같은 개념에 기반하여 광 검출이 수행될 수 있다.
- [0154] 한편, 도 6은 본 발명의 다른 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함하는 인버터를 도시한 도면으로서, 좌측 도면은 부하(load) TFT를 도시한 도면이고, 우측 도면은 드라이버(driver) TFT를 도시한 도면이다.
- [0155] 도 6에 도시된 본 발명의 다른 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함하는 인버터는, 증가형 드라이버 트랜지스터(614)가 광 차단층을 갖지 않는 것을 제외하곤, 도 1에 도시된 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터와 그 구성이 동일하다.
- [0156] 도 4 및 도 6을 참조하면, 본 발명의 다른 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함하는 인버터는, 제1 감광성 채널층(606)을 포함하는 공핍형 부하 트랜지스터(600, 400), 및 상기 공핍형 부하 트랜지스터(600, 400)에 연결되며 비감광성 채널층(620)을 포함하는 증가형 드라이버 트랜지스터(614, 402)를 포함한다.
- [0157] 본 발명의 다른 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함하는 인버터에 있어서, 상기 제1 감광성 채널층(606)은 두께에 따라 에너지 밴드 갭이 변하는 물질로 이루어진다.
- [0158] 본 발명의 일 실시예에서 상기 제1 감광성 채널층(606)은 적어도 한 층의 2차원 반도체인 이황화몰리브데늄(MoS_2)으로 이루어진다.
- [0159] 하지만, 본 발명의 일 실시예는 이에 한정되지 않고 상기 제1 감광성 채널층(606)으로서 다른 유형의 2차원 반도체가 사용될 수 있다.
- [0160] 상기 2차원 반도체는, 전이금속 디칼코게나이드(TDMCs: transition metal dichalcogenides), 흑린(black phosphorus), 및 실리신(silicene) 중 적어도 하나를 포함할 수 있고, 상기 전이금속 디칼코게나이드는 MX_2 로 표시되며, M은 Mo(몰리브데늄) 또는 W(텅스텐)을 포함하는 전이 금속 족이고, X는 S(황) 또는 Se(셀레늄) 계열의 칼코게나이드(Chalcogenides)일 수 있다.
- [0161] 상기 전이금속 디칼코게나이드는 MoS_2 , MoSe_2 , WS_2 , WSe_2 및 이들의 조합을 포함하는 군으로부터 선택된 적어도

하나일 수 있다.

- [0162] 또한, 상기 공핍형 부하 트랜지스터(600, 400)는, 게이트 전극(602), 상기 게이트 전극(602) 상에 형성된 게이트 절연층(604), 상기 게이트 절연층(604) 상에 형성된 제1 감광성 채널층(606), 상기 게이트 절연층(604) 상에 형성되는 드레인 전극(608) 및 소스 전극(610), 및 상기 드레인 전극(608), 상기 소스 전극(610) 및 상기 제1 감광성 채널층(606) 상에 형성된 층간 절연층(612)을 포함하고, 상기 드레인 전극(608) 및 상기 소스 전극(610)은 상기 제1 감광성 채널층(606)에 의해 연결되도록 형성된다.
- [0163] 또한, 상기 증가형 드라이버 트랜지스터(614, 402)는, 게이트 전극(616), 상기 게이트 전극(616) 상에 형성된 게이트 절연층(618), 상기 게이트 절연층(618) 상에 형성된 비감광성 채널층(620), 상기 게이트 절연층(618) 상에 형성되는 드레인 전극(624) 및 소스 전극(622), 및 상기 드레인 전극(624), 상기 소스 전극(622) 및 상기 비감광성 채널층(620) 상에 형성된 층간 절연층(626)을 포함한다.
- [0164] 또한, 상기 공핍형 부하 트랜지스터(600, 400)의 소스 전극(610)은 상기 증가형 드라이버 트랜지스터(614, 402)의 드레인 전극(624)에 연결된다.
- [0165] 또한, 상기 공핍형 부하 트랜지스터(600, 400)의 게이트 전극(602)은 상기 인버터의 출력 단자(OUT)에 연결된다.
- [0166] 공핍형 부하 트랜지스터(600, 400)에 상이한 파장의 광이 조사되면 제1 감광성 채널층(606)에 흐르는 전류가 변화하고 이에 따라 공핍형 부하 트랜지스터(600, 400)의 드레인 전류가 입사되는 광의 파장에 따라 변하게 된다.
- [0167] 따라서, 본 발명의 다른 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 증가형 드라이버를 포함하는 인버터는, R, G, B 파장(400 nm ~ 1000 nm)에 대해서 하나의 인버터가 서로 다른 반응성을 나타내므로, 광 센서, 즉 광검출기 역할을 구현할 수 있다.
- [0168] 상술한 바와 같이, 상기 비감광성 채널층(620)은 GaN(갈륨나이트라이드), IGZO(이그조) 및 SWNT(단일벽 탄소나노튜브)로 이루어진 군 중에서 선택된 광 반응성이 없는 반도체로 이루어진다.
- [0169] 비감광성 채널층(620)으로서 GaN(갈륨나이트라이드) 또는 SWNT(단일벽 탄소나노튜브)를 사용하여 실제 인버터를 구현한 후 하기와 같이 실제 구현된 인버터에 대한 동작 특성을 실험을 통하여 획득하였다.
- [0170] 실험 결과를 통하여, GaN(갈륨나이트라이드) 또는 SWNT(단일벽 탄소나노튜브)를 상기 증가형 드라이버 트랜지스터(614, 402)의 비감광성 채널층(620)으로 사용하는 경우, 광 차단층을 추가로 형성할 필요가 없다는 것을 확인할 수 있었다.
- [0171] 도 7은 R/G/B 독립 파장에 대한 광 반응성 평가를 위한 시스템 모식도로서, (a)는 가시광선 영역의 조사된 빛에 반응성이 없는 GaN FETs를 드라이버 TFT로 사용하고, MoS₂ TFTs를 공핍형 부하로 활용하여 구현한 광반응성 인버터, (b)는 에너지 밴드 갭, (c)는 R, G, B LED를 도시한 도면이다.
- [0172] 도 7의 (b)에 도시된 바와 같이, GaN의 경우 에너지 밴드 갭이 3.4eV로 높기 때문에, 광 반응성이 없으므로, GaN을 드라이버 TFT의 비감광성 채널층(620)으로 사용하는 경우, 광 차단층을 추가로 형성할 필요가 없다는 것을 확인할 수 있다.
- [0173] 도 8의 (a)는 가시광선 영역의 조사된 빛에 반응성이 없는 GaN FETs를 드라이버 TFT로 사용하고, MoS₂ TFTs를 공핍형 부하로 활용하여 구현한 광반응성 인버터의 동작 특성, (b)는 GaN FETs의 드라이버로서의 가시광선 영역의 파장에서 광누설 전류가 발생하지 않음을 보여주는 측정 결과를 도시한 도면으로, (a)에 도시된 바와 같이, 인버터가 상이한 파장의 광에 대해 서로 다른 반응성을 나타내므로, 광 센서, 즉 광검출기 역할을 구현할 수 있음을 확인할 수 있다. 또한, (b)에 도시된 바와 같이 가시광선 영역의 파장에서 광누설 전류가 발생하지 않기 때문에, GaN을 드라이버 TFT의 비감광성 채널층(620)으로 사용하는 경우, 광 차단층을 추가로 형성할 필요가 없다는 것을 확인할 수 있다.
- [0174] 도 9는 가시광선 영역의 조사된 빛에 반응성이 없는 타입 전환(p->n 타입)된 n-타입 SWNTs를 드라이버 TFT로 사용하고, MoS₂ TFTs를 공핍형 부하로 활용하여 구현한 광반응성 인버터의 구현 사례를 도시한 것으로, (a)는 광 차단층을 갖는 MoS₂를 사용한 트랜지스터의 전달 특성, (b)는 n-타입 SWNTs FETs의 드라이버로서의 가시광선 영역의 파장에서 광누설 전류가 발생하지 않음을 보여주는 측정 결과, 즉 트랜지스터의 전달 특성을 도시한 도면이다.

- [0175] 도 9의 (b)에 도시된 바와 같이 가시광선 영역의 파장에서 광누설 전류가 발생하지 않기 때문에, SWNT를 드라이버 TFT의 비감광성 채널층(620)으로 사용하는 경우, 광 차단층을 추가로 형성할 필요가 없다는 것을 확인할 수 있다.
- [0176] 도 10은 가시광선 영역의 조사된 빛에 반응성이 없는 타입 전환(p->n 타입)된 n-타입 SWNTs를 드라이버 TFT로 사용하고, MoS₂ TFTs를 공핍형 부하로 활용하여 실제 구현한 광반응성 인버터의 동작 특성을 도시한 도면이다.
- [0177] 도 10에 도시된 바와 같이, 인버터가 상이한 파장의 광에 대해 서로 다른 반응성을 나타내므로, 광 센서, 즉 광 검출기 역할을 구현할 수 있음을 확인할 수 있다.

[0179] **결론**

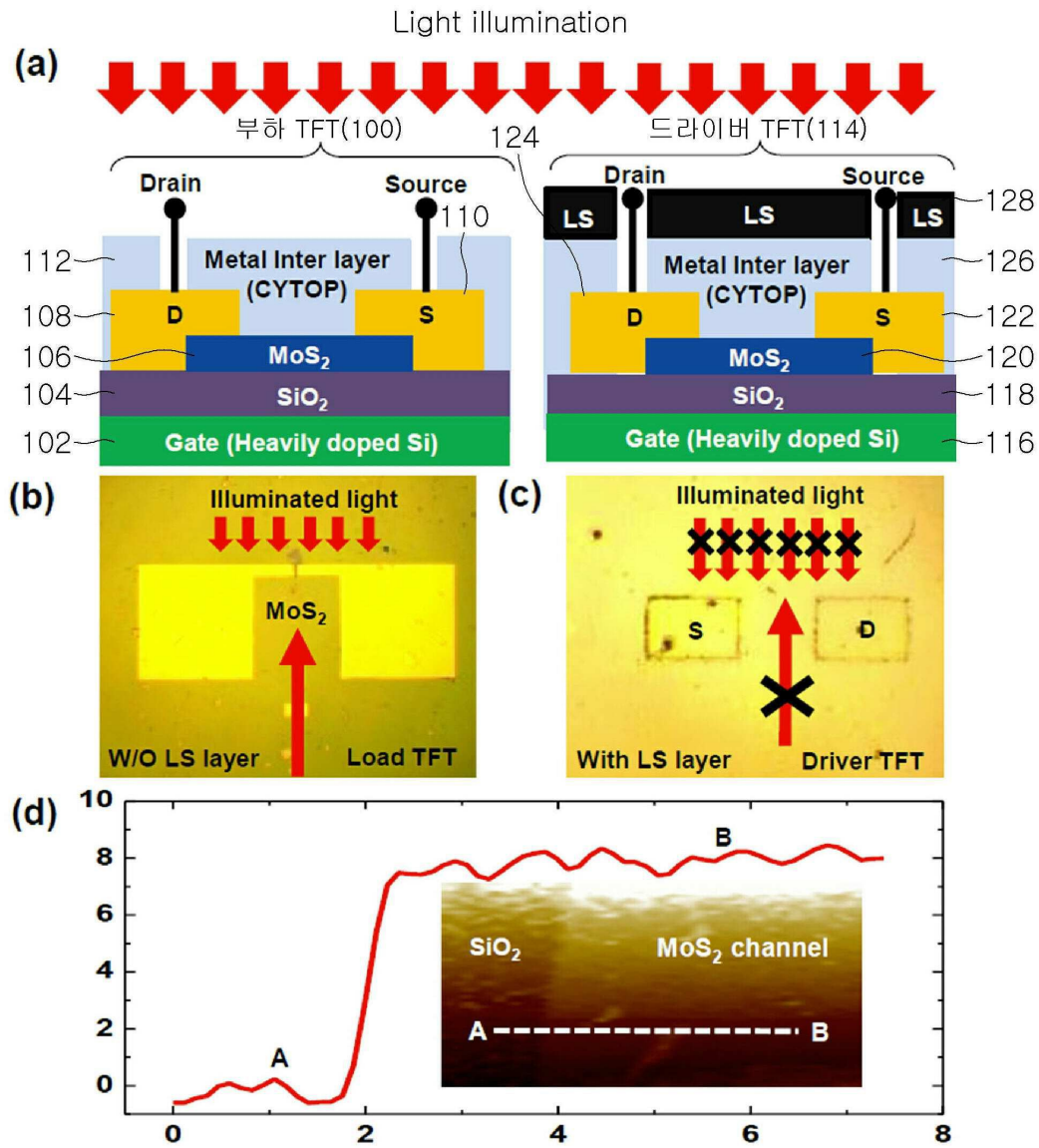
- [0180] 본 발명에서 다층 이황화몰리브데늄(MoS₂) 층(~6 nm), 폴리머 게이트 층간 절연층(CYTOP), 및 광 차단층(Au)을 사용하여 광 차단층을 갖는 감광성 이황화몰리브데늄(MoS₂) 인버터가 성공적으로 구현되었다. 제어가능한 방식을 갖는 광-누설 특성은 광 차단층을 갖는 광 검출기에의 적용을 위하여 조정될 수 있다. 본 발명은 광 검출기에 대해 실험적으로 입증되었다. 측정된 성능은 본 발명이 다양한 광 에너지 범위(~3eV)내에서 고감도의 광 검출기에서 잠재적으로 유용할 수 있다는 것을 확인하고, TDMC 층들의 유형 및 두께를 조정함으로써 달성될 수 있는 다목적의 센싱 특성을 추가로 나타낸다.
- [0181] 이상 본 발명을 구체적인 실시예를 통하여 상세하게 설명하였으나, 이는 본 발명을 구체적으로 설명하기 위한 것으로, 본 발명은 이에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함은 명백하다고 할 것이다.
- [0182] 본 발명의 단순한 변형 내지 변경은 모두 본 발명의 영역에 속하는 것으로, 본 발명의 구체적인 보호 범위는 첨부된 청구범위에 의하여 명확해질 것이다.

부호의 설명

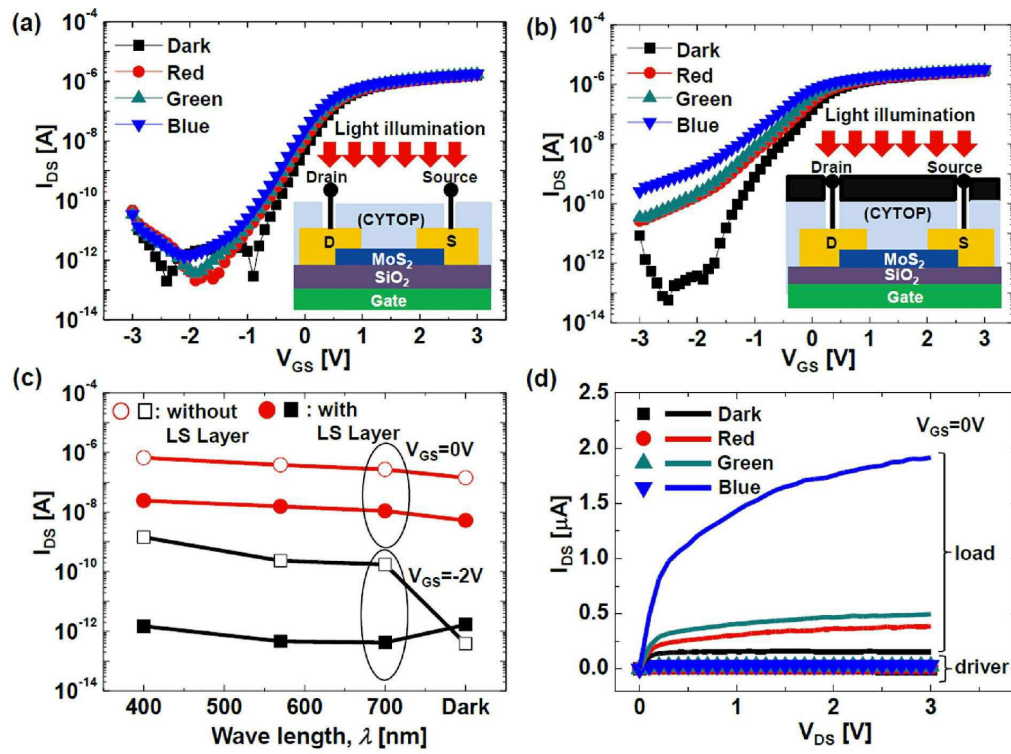
- [0183] 100, 400, 600 : 공핍형 부하 트랜지스터
- 102, 116, 602, 616 : 게이트 전극
- 104, 118, 604, 618 : 게이트 절연층
- 106, 606 : 제1 감광성 채널층
- 108, 124, 608, 624 : 드레인 전극
- 110, 122, 610, 622 : 소스 전극
- 112, 126, 612, 626 : 층간 절연층
- 114, 402, 614 : 증가형 드라이버 트랜지스터
- 120 : 제2 감광성 채널층
- 620 : 비감광성 채널층
- 500, 502, 504 : 본 발명의 일 실시예에 의한 감광성 채널층을 갖는 공핍형 부하 및 광 차단층을 갖는 증가형 드라이버를 포함하는 인버터

도면

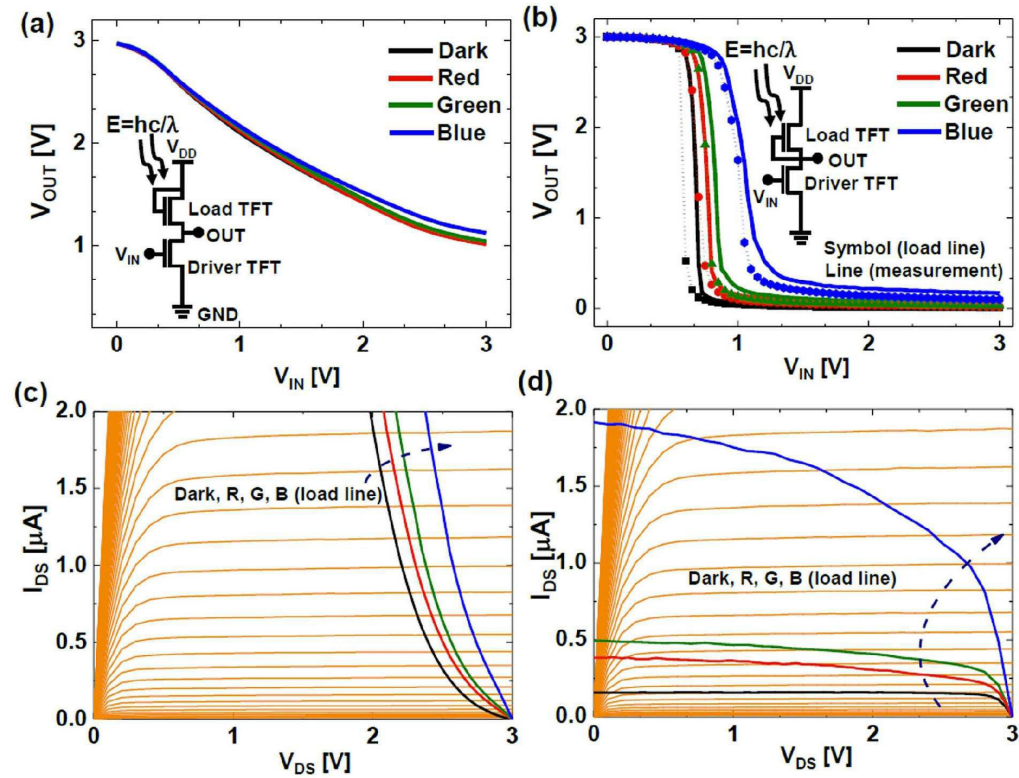
도면1



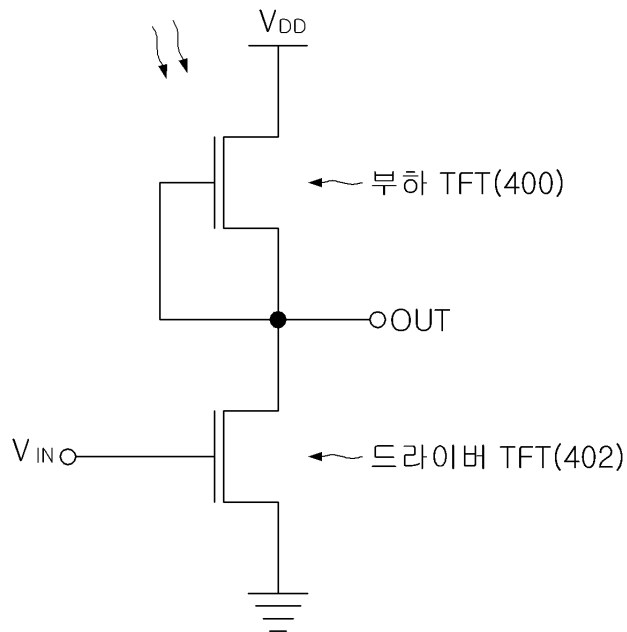
도면2



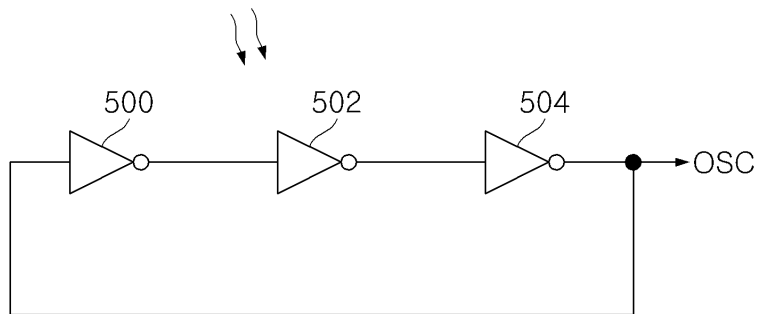
도면3



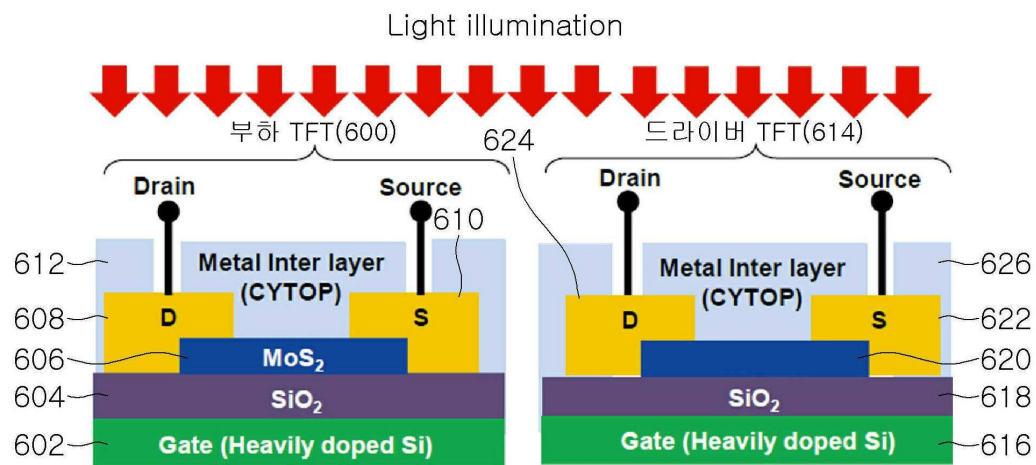
도면4



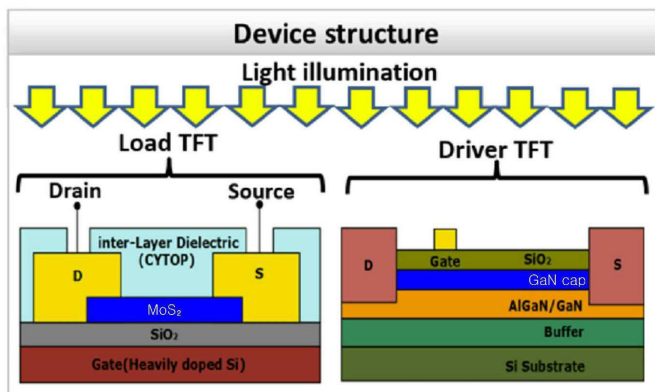
도면5



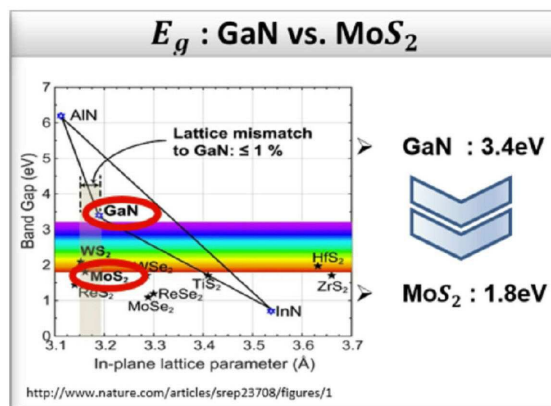
도면6



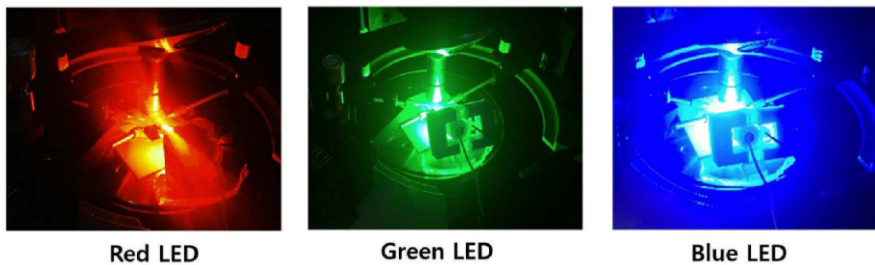
도면7



(a)



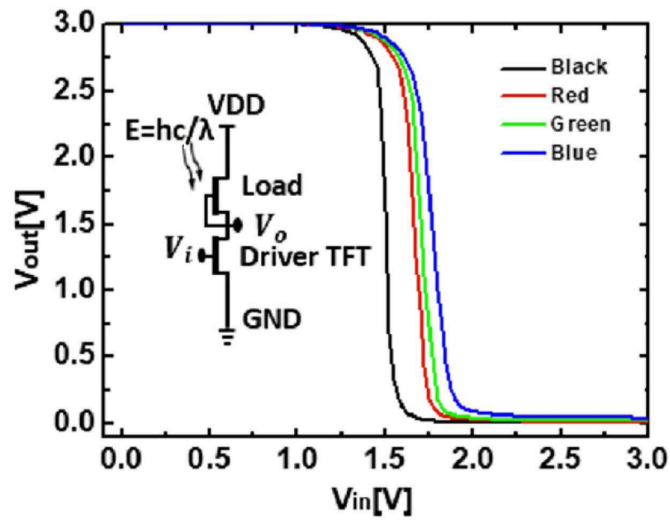
(b)



(c)

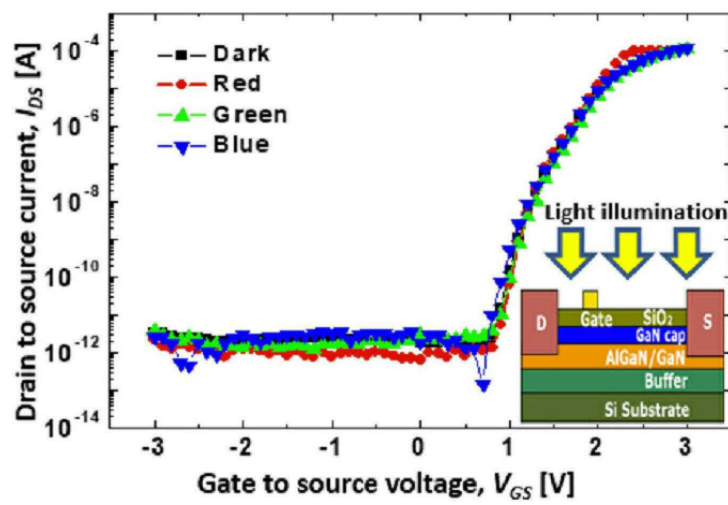
도면8

Inverter with GaN



(a)

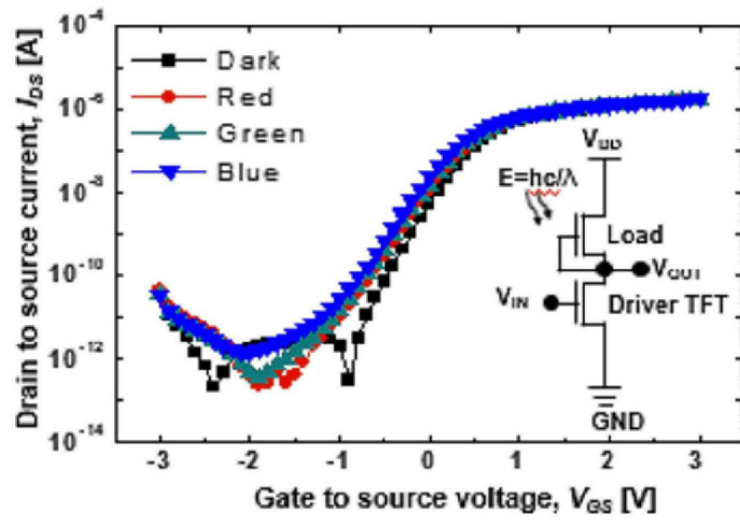
Driver TFT with GaN



(b)

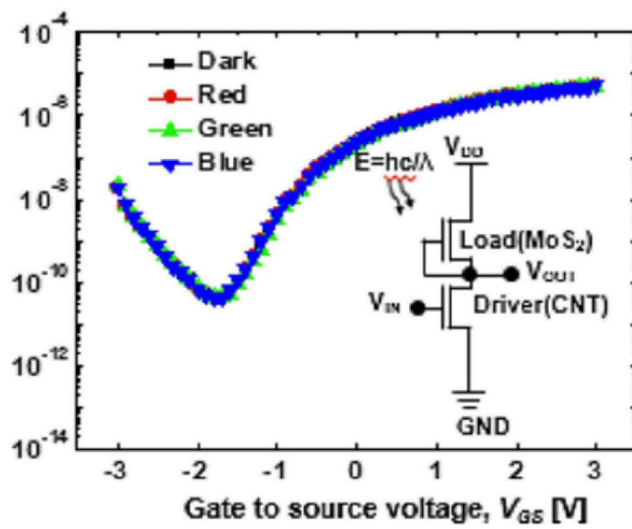
도면9

MoS₂ with Light Shielding layer



(a)

SWNT TFT(N-type converted)



(b)

도면10

