



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 602 25 418 T2 2009.04.09**

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 350 310 B1**

(21) Deutsches Aktenzeichen: **602 25 418.3**

(86) PCT-Aktenzeichen: **PCT/IL02/00002**

(96) Europäisches Aktenzeichen: **02 729 496.6**

(87) PCT-Veröffentlichungs-Nr.: **WO 2002/056567**

(86) PCT-Anmeldetag: **02.01.2002**

(87) Veröffentlichungstag  
der PCT-Anmeldung: **18.07.2002**

(97) Erstveröffentlichung durch das EPA: **08.10.2003**

(97) Veröffentlichungstag  
der Patenterteilung beim EPA: **05.03.2008**

(47) Veröffentlichungstag im Patentblatt: **09.04.2009**

(51) Int Cl.<sup>8</sup>: **H03D 1/00 (2006.01)**

**H04B 1/38 (2006.01)**

**H03M 13/23 (2006.01)**

(30) Unionspriorität:  
**760401 12.01.2001 US**

(73) Patentinhaber:  
**Comsys Communication & Signal Processing  
Ltd., Herzelia, IL**

(74) Vertreter:  
**Marks & Clerk, Luxembourg, LU**

(84) Benannte Vertragsstaaten:  
**DE, FR, GB**

(72) Erfinder:  
**RESHEF, Ehud, 36088 Qiryat Tivon, IL**

(54) Bezeichnung: **AUSWAHL EINES INFORMATIONSPAKETS MIT VERRINGERTER SOFT-AUSGABE**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

## Beschreibung

## ERFINDUNGSGEBIET

**[0001]** Die vorliegende Erfindung bezieht sich allgemein auf Kommunikationssysteme und insbesondere auf eine Vorrichtung und ein Verfahren zum Reduzieren der Soft Ausgabe des von einem Symbolgenerator zu berechnenden Informationspakets, das anschließend von einem Soft-Symbol-zu-Soft-Bit-Mapper benutzt wird.

## ALLGEMEINER STAND DER TECHNIK

**[0002]** Seit einigen Jahren ist die Welt Zeuge eines explosiven Wachstums im Bedarf für drahtlose Kommunikationen, und die Vorhersage ist, dass dieser Bedarf in der Zukunft weiterhin steigen wird. Es gibt bereits über 500 Millionen Benutzer, die an zellularen Telefondiensten teilnehmen, und diese Ziffer ist fortlaufend im Steigen begriffen. Letztlich, in nicht zu ferner Zukunft, wird die Anzahl der zellularen Teilnehmer die Anzahl der Festleitungs-Telefoninstallationen überschreiten. In zahlreichen Fällen überschreiten die Erträge der Mobilfunkdienste bereit die der Festleitungsdienste, obgleich die Menge des von Mobilfunktelefonen erzeugten Verkehrs sehr viel kleiner als in Festleitungsnetzen ist.

**[0003]** Andere verwandte drahtlose Technologien haben ein Wachstum ähnlich dem im zellularen Bereich durchgemacht. Zu Beispielen gehören schnurlose Telefonie, Zweiweg-Funkfernleitungssysteme, Paging (Einweg und Zweiweg), Messaging, WLANs (drahtlose Lokalbereichsnetze) und WLLs (WLL-Netze). Außerdem werden in rascher Folge neue Breitband-Kommunikationssysteme installiert, um den Benutzer mit erhöhter Bandbreite und schnellerem Zugriff auf das Internet zu versorgen. Breitband-Dienste wie xDSL, drahtlose Hochgeschwindigkeits-Kurzstreckenverbindungen, schnelle Satelliten-Downlink (und Uplink in manchen Fällen) werden dem Benutzer an immer mehr Orten angeboten.

**[0004]** In Verbindung mit zellularen Diensten gehört die Mehrheit von Benutzern gegenwärtig digitalen zellularen Netzen an. Fast alle neuen zellularen Handgeräte, die an Kunden verkauft werden, basieren auf digitaler Technologie, typisch auf digitaler Technologie der zweiten Generation. Zum gegenwärtigen Zeitpunkt werden digitale Netze der dritten Generation entworfen und getestet, die fähig sein werden, Datenpaketnetze und weit aus höhere Datenraten zu unterstützen. Die analogen Systeme der ersten Generation umfassen die gut bekannten Protokolle AMPS, TACS usw. Die digitalen System umfassen zum Beispiel GSM, TDMA (IS-136) oder CDMA (IS-95).

**[0005]** In [Fig. 1](#) ist ein Diagramm dargestellt, welches ein beispielhaftes Kommunikationssystem nach dem Stand der Technik mit einem Innen- und einem Außen-Codierer im Sender, Innen- und Außen-Decodierstufen im Empfänger und eine dem Kanal nachgeschaltete Geräuschquelle veranschaulicht. Das allgemein mit **10** bezeichnete Kommunikationssystem stellt ein typisches System dar, welches in vielen der oben beschriebenen Kommunikationssysteme eingesetzt werden kann. In einem solchen System umfasst der Sender **11** einen Codierer **14**, einen Interleaver **15**, einen Symbolgenerator (das heißt einen Bit-zu-Symbol-Mapper) **16** und einen Modulator **18**. Eingabedatenbits **12**, die zu senden sind, werden in den Codierer **14** eingegeben, welcher ein Fehlerkorrektur-Codierer wie zum Beispiel ein Reed Solomon, ein Faltungs-Codierer, ein Paritätsbit-Generator usw. sein konnte. Der Codierer hat die Aufgabe, Redundanzbits hinzuzufügen, damit es möglich ist, Fehler in der Übertragung festzustellen und zu beheben.

**[0006]** Es wird darauf hingewiesen, dass sowohl der Innen- als auch der Außen-Decodierer im Empfänger komplementäre Codierer im System aufweisen. Der Außen-Codierer im System ist der Codierer **14**, zum Beispiel Reed Solomon, usw. Der Innen- Codierer ist der Kanal **20**, der oft als langer L-Symbol FIR-Typ Kanal modelliert werden kann.

**[0007]** Die vom Codierer ausgegebenen Bits werden daraufhin verschachtelt, wobei die Reihenfolge der Bits geändert wird, um Burstfehler auf wirksamere Weise zu bekämpfen. Die durch die Verschachtelung verursachte Neuordnung der Bits verbessert den Widerstand gegenüber Fehler-Bursts, jedoch unter Hinzufügung von Latenz und Verzögerung in der Übertragung.

**[0008]** Die vom Interleaver ausgegebenen Bits werden daraufhin durch den Bit-zu-Symbol-Mapper auf Symbole abgebildet. Der Bit-zu-Symbol-Mapper hat die Aufgabe, die Bits in Modulator-Symbole umzuwandeln. Zum Beispiel benutzt ein 8-PSK Modulator 8 Symbole  $S_k$  ( $k = 0..7$ ), und der Mapper nimmt somit drei Bits und konvertiert sie in eins von acht Symbolen. Somit erzeugt der Bit-zu-Symbol-Mapper ein Symbol für jede drei Eingabebits.

**[0009]** Der Ausgang des Mappers wird in den Modulator **18** eingegeben, der Symbole im M-ary Alphabet empfängt und das analoge Signal erzeugt, das anschließend auf dem Kanal **20** übertragen wird. Der Kanal könnte ein drahtloser Funkkanal, zum Beispiel ein zellularer, ein schnurloser, ein fester drahtloser Kanal, wie zum Beispiel ein Satellit, sein, oder er könnte ein drahtgebundener Kanal, zum Beispiel xDSL, ISDN, Ethernet usw., sein. Die im Sender durchgeführte Verarbeitung dient zur Erzeugung eines Signals, das auf dem Kanal übertragen werden kann, um eine robuste, fehlerfreie Detektierung durch den Empfänger bereitzustellen.

**[0010]** Am Empfänger **13** wird das analoge Signal aus dem Kanal in die Vorrechner-Schaltungen **22** eingegeben, die das empfangene Signal demodulieren und abtasten, um empfangene Abtastungen  $y(k)$  **21** zu erzeugen. Danach werden die Abtastungen in den Innen-Decodierer **24** eingegeben. Ein Beispiel eines Innen-Decodierers ist eine Entzerrungsschaltung (Equalizer), die die durch die Verzögerungszeitausbreitung des Kanals verursachte ISI ausgleicht in dem Versuch, die Symbole zu detektieren, die ursprünglich vom Modulator übertragen wurden.

**[0011]** Entzerrungsschaltungen (Equalizers) können auf die Ausgabe von Hard Symbol-Entscheidungen oder Soft Symbol-Entscheidungen eingerichtet werden. Beispiele für allgemein benutzte Equalizer-Typen für Hard Entscheidungen sind der MLSE Equalizer (MLSE = Maximum Likelihood Sequence Estimation), der den gut bekannten Viterbi Algorithmus (VA) benutzt, der lineare Equalizer und der DFE Equalizer (DFE = Decision Feedback Equalizer). Beispiele für Equalizers vom Soft Ausgabebetyp sind SOVA-Typ Equalizers (SOVA = Soft Output Viterbi Algorithmus) und Equalizers, die auf dem mehr rechnerbetonten teuren MAP Algorithmus (MAP = Maximum A Posteriori) basieren.

**[0012]** Im Falle eines Hard Entscheidungs-Equalizers besteht die Ausgabe des Innen-Decodierers aus Symbolen  $s(k)$  **23**, die Hard Entscheidungen darstellen. Bei Benutzung eines Soft Ausgabe-Decodierers besteht die Symbol  $s(k)$  Ausgabe des Innen-Decodierers aus Soft Symbol-Entscheidungen. Für einen Hard Entscheidungs-Innen-Decodierer wird die Ausgabe des Equalizers **24** zusammen mit den empfangenen Abtastungen **21** in einen Soft Ausgabe Generator **25** eingegeben, der die Aufgabe hat, Soft Entscheidungsinformation **27** zu erzeugen, die vom De-Interleaver benutzt wird. Es wird darauf hingewiesen, dass je nach De-Interleaver-Typ der Soft Ausgabe Generator darauf eingerichtet wird, entweder Soft Symbol-Information oder Soft Bit-Information zu erzeugen. Im ersteren Fall muss der De-Interleaver darauf eingerichtet werden, Symbol-basierte Entschachtelung durchzuführen. Wenn der De-Interleaver darauf eingerichtet ist, Bit-basierte Entschachtelung durchzuführen, muss die Soft Symbol-Informationsausgabe des Soft Ausgabe Generators zuerst in Soft Bit-Information umgewandelt werden. Zum Beispiel benutzt ein 8-PSK Modulator 8 Symbole  $S_k$  ( $k = 0..7$ ), und der Mapper wandelt jedes Symbol in drei Bits um.

**[0013]** Die Ausgabe des Soft Ausgabe Generators wird nun in einen De-Interleaver **26** eingegeben, der die Aufgabe hat, die ursprüngliche Reihenfolge entweder der Symbole oder der Bits, abhängig vom Typ des benutzten De-Interleavers, wiederherzustellen. Danach werden die Bits in einen Außen-Decodierer **29** eingegeben, der die Aufgabe hat, mit Hilfe der durch den Codierer eingefügten Redundanz Fehler festzustellen und zu beheben. Der Außen-Decodierer erzeugt die binären Empfangsdaten  $a_k$  **28**.

**[0014]** Zu Beispielen des Außen-Decodierers gehören Turbo-Decodierer und Faltungs-Decodierer, die den Viterbi Algorithmus verwenden. Diese Klasse von Decodierern stellt eine bessere Performance bereit, da sie Soft Information über die Zuverlässigkeit des empfangenen Symbols berücksichtigt. Die verbesserte Performance des Decodierers kann jedoch nicht realisiert werden, wenn keine Soft Information über die empfangenen Symbole zur Verfügung steht. Es wird darauf hingewiesen, dass der Viterbi Algorithmus weitverbreitet in Kommunikationssystemen eingesetzt wird und darauf eingerichtet ist, Funktionen wie Demodulation, Decodierung, Entzerrung usw. durchzuführen. Viele Systeme verwenden den Viterbi Algorithmus sowohl in den Innen- als auch den Außen-Decodierstadien.

**[0015]** Wie oben beschrieben, wird der Außen-Decodierer in einigen Systemen darauf eingerichtet, die Symbol-Entscheidungsausgabe des Innen-Decodierers, zum Beispiel des Equalizers, zu verwenden. Optimale Decodierer benötigen jedoch Soft Entscheidungen, nicht Hard Entscheidungen. Zum Beispiel benötigt ein Außen-Decodierer, der den Viterbi Algorithmus zur Durchführung von faltungsbezogener vorwärts gerichteter Fehlerkorrektur-Decodierung verwendet, Soft Entscheidungen als Eingabe. Der Vorteil eines Viterbi Decodierers besteht darin, dass er Soft Entscheidungs-Information effizient verarbeiten kann. Um Soft Symbol-Entscheidungen bereitzustellen, umfasst der Innen-Decodierer typisch einen Soft Ausgabe-Equalizer wie einen SOVA- oder MAP-basierten Equalizer.

**[0016]** In einigen Fällen jedoch, wie zum Beispiel, wenn ein „durchlöcherter“ (punctured) Code oder bitbasier-

te anstelle von symbol-basierter Verschachtelung benutzt wird, können keine Soft Symbol-Entscheidungen vom Außen-Decodierer verwendet werden. Ferner ist gut bekannt, dass ein optimaler Decoder Soft Bit-Entscheidungen, nicht Hard Bit-Entscheidungen benötigt. Somit benötigen optimale Außen-Decodierer Soft Bit-Eingaben, nicht Soft Symbol-Eingaben oder Hard Entscheidungen. Hinweis: eine Hard Entscheidung ist ein Bit-Wert (das heißt ,0' oder ,1'), und eine Soft Bit-Entscheidung ist ein Bit-Wert plus der Zuverlässigkeit der Entscheidung. Eine Soft Bit-Entscheidung könnte aber auch nur der Zuverlässigkeitswert für eine ,1' Entscheidung oder alternativ eine ,0' Entscheidung sein.

**[0017]** Das Problem wird bei Betrachtung eines Empfängers veranschaulicht, der auf die Handhabung eines GSM EGPRS Signals eingerichtet ist. Ein solches System macht sich einen bitweisen Interleaver und „punctured“ Faltungscodierung zunutze, um FEC (vorwärts gerichtete Fehlerkorrektur) auf Kanälen durchzuführen, die Entzerrung (Equalization) benötigen. Angenommen, der eingesetzte Equalizer verwendet einen Soft Ausgabe Viterbi Algorithmus in seinem Betrieb, und der FEC-Außen-Decodierer verwendet den Viterbi Algorithmus. Nach der Entschachtelung ist die Soft Symbol-Entscheidungsinformationsausgabe des Equalizers nicht länger mit der Bits-Ausgabe des De-Interleavers verwandt.

**[0018]** In einem System, welches einen optimalen Decodierer einsetzt, ist der Equalizer auf die Bereitstellung von Soft Ausgaben, das heißt Soft Symbol-Entscheidungen, eingerichtet. Wie oben beschrieben, gehören zu Soft Ausgabe Equalizer diejenigen, die auf „Maximum Likelihood Sequence Detection“ oder Verfahren wie MAP basieren. Der Einsatz solcher Techniken ist jedoch unpraktisch in Kommunikationssystemen mit einem großen Symbol-Alphabet oder in Systemen mit Kanälen, die eine Zeitausbreitung von mehreren Symbolperioden aufweisen. Solche Kriterien verlangen den Einsatz eines Soft Ausgabe-Equalizers mit reduzierter Komplexität.

**[0019]** Ein Verfahren nach dem Stand der Technik zur Erzeugung von Soft Bit-Entscheidungen ist beschrieben in „A Soft Decision State-Space Equalizer for FIR Channels“, J. Thielecke, IEEE Transactions on Communications, Band 45, Nr. 10, Oktober 1997.

**[0020]** Beschrieben ist ein nicht-linearer Equalizer, der für FIR Kanäle bestimmt ist und der auf einer Zustandsraum-Beschreibung des Kanals basiert. Der Algorithmus benutzt Gleichungen, die einem Kalman Hard Entscheidungs-Rückkopplungs-Equalizer ähnlich sind, bei dem die Wahrscheinlichkeitsschätzungen der empfangenen Bits einbezogen sind.

**[0021]** Ein Nachteil dieses Verfahrens nach dem Stand der Technik besteht darin, dass es einen hohen Grad an rechnerbetonter Komplexität enthält, wodurch seine Implementierung in praktischen Kommunikationssystemen erschwert wird. Außerdem ist das Verfahren auf einen bestimmten Kanaltyp und auf eine ganz bestimmte Weise der Kanalbeschreibung beschränkt. Ein Verfahren nach dem Stand der Technik zum Detektieren eines empfangenen digitalen Signals ist in US Patent Nr. 5867538 von Liu beschrieben. Die hier beschriebene Erfindung stellt die Detektierung von  $\pi/4$  verschobenen DQPSK modulierten digitalen Signalen in einem festen drahtlosen System bereit. Das Verfahren stellt Soft Entscheidungsinformation für die spätere Decodierung von Informationsbits bereit, die mit einem Fehlerkorrekturcode vercodet wurden. Die euklidische Entfernung für jede empfangene Abtastung und ihre entsprechende Schätzung wird berechnet. Danach wird diese euklidische Entfernung zu der von der vorherigen Iteration abgeleiteten Funktion hinzugefügt, woraus sich eine neue euklidische Entfernungsfunktion ergibt. Eine Reihe von Vergleichen wird nun durchgeführt, um die euklidische Mindestentfernung mit Bezug auf jedes Symbol innerhalb der Kanalspeicherspanne zu ermitteln. Eine Summierung dieser euklidischen Mindestentfernungen ergibt M Werte. Das der Mindestentfernung entsprechende Symbol ist das detektierte Symbol. Die gleichen M euklidischen Entfernungswerte werden auch zur Ableitung von Soft Entscheidungen zum Einsatz mit einem Fehlerdetektierungscode benutzt. Aus den beiden kürzesten euklidischen Entfernungen wird ein Maß für die Genauigkeit jedes Symbols berechnet.

**[0022]** Ein Nachteil dieses Verfahrens nach dem Stand der Technik besteht darin, dass es einen hohen Grad an rechnerbetonter Komplexität aufweist, insofern als euklidische Entfernungen für jedes der M möglichen Symbole für jedes empfangene Symbol berechnet werden, was die Implementierung in praktischen Kommunikationssystemen weniger effizient macht. Außerdem berechnet das Verfahren nur Soft Symbol-Information und keine Soft Bit-Information.

**[0023]** Es ist daher wünschenswert, die Komplexität des Soft Symbol-Generators und die Anzahl der benötigten Berechnungen zur Erzeugung der Soft Bit-Information weiter zu reduzieren, während die Ergebnisse auf einem optimalen Niveau gehalten werden.

## KURZDARSTELLUNG DER ERFINDUNG

**[0024]** Die vorliegende Erfindung besteht aus einer neuartigen und praktischen Vorrichtung und einem Verfahren zur Reduzierung des Soft Ausgabe Informationspakets, das von einem Soft Symbol-Generator zu berechnen ist. Das von dem Soft Symbol-Generator erzeugte reduzierte Soft Ausgabe Informationspaket wird anschließend von einem Soft-Symbol-zu-Soft-Bit-Mapper dazu benutzt, der dazu dient, Soft Symbol-Entscheidungsinformation in Soft Bit-Entscheidungsinformation umzuwandeln.

**[0025]** Die Erfindung dient zum Konstruieren einer (vorzugsweise a priori) Symbol-Konkurrenten-Tabelle, die die wahrscheinlichsten Symbol-Konkurrenten für jedes Bit des Symbols enthält. Die Tabelle ist mit  $m$  Einträgen für jeden möglichen Symbolwert ausgefüllt, wobei  $m$  die Anzahl der Bits pro Symbol darstellt. Die Symbol-Konkurrenten werden entsprechend der Hard Entscheidung aus der Tabelle abgerufen. Die Soft Symbol-Information wird nur für die Symbol-Konkurrenten, nicht für alle möglichen Symbole erzeugt, so dass die Größe des Informationspakets stark reduziert ist.

**[0026]** Die Erfindung erlaubt dem Soft Symbol-Generator, weniger Soft Symbolwerte bereitzustellen. Wie oben beschrieben, werden zur Berechnung der Bit LLRs (Log Likelihood Ratios) nur  $m + 1$  ( $m$  in einigen Fällen), nicht  $M$  Soft Symbolwerte benötigt. Für jedes Symbol wird das Hard Entscheidungssymbol zusammen mit  $m$  Soft Symbolwerten benötigt. Die zusätzlichen  $m$  Soft Symbolwerte entsprechen den Symbol-Konkurrenten (das heißt den nächsten Nachbarn), die ein Bit gegenüber dem des Symbols aufweisen, das dem maximalen Soft Symbolwert entspricht. Für den Fall 8PSK sind jeder Hard Entscheidung 3 konkurrierende Symbole zugeordnet. Wie in Simulationen gezeigt, stellt das erfindungsgemäße Verfahren eine verbesserte Performance von mehreren dBs bereit.

**[0027]** Die Soft Symbolinformation wird anschließend in einen Soft-Symbol-zu-Soft-Bit-Wandler eingegeben. Der Einsatz eines solchen Wandlers in der vorliegenden Erfindung ermöglicht den Einsatz von Soft Decodierung in Systemen, die einen bitweisen anstatt eines symbolweisen Interleavers einsetzen. Ein Beispiel eines solchen Systems ist das GSM EGPRS System (Enhanced General Packet Radio System). Die vorliegende Erfindung ist auch auf Systeme anwendbar, bei denen der Codierer ein Alphabet einer anderen Größe als der Modulator benutzt. Ein System könnte zum Beispiel einen 1% Ratencode Codierer aufweise, der mit einem 8-PSK Modulator verkettet ist. In einem solchen System deckt sich die Soft Symbol-Entscheidungsinformationsausgabe des Equalizers im Empfänger nicht mit dem Typ der vom Decodierer benötigten Soft Entscheidungsinformation.

**[0028]** Das erfindungsgemäße Verfahren kann in entweder Hardware oder Software durchgeführt werden. Ein Computer mit einem Prozessor, einem Speicher usw. dient dazu, die Software auszuführen, die auf die Durchführung des erfindungsgemäßen Verfahrens des reduzierten Informationspakets eingerichtet ist.

**[0029]** Die Erfindung bietet mehrere Vorteile. Ein hauptsächlichlicher Vorteil besteht darin, dass ein bitweiser oder symbolweiser Interleaver im System eingesetzt werden kann, obwohl Soft Bit-Information an einen Soft Eingabe FEC Decodierer, zum Beispiel einen Soft Decodierer für Turbo-Codes, Faltungscodes usw., geliefert wird. Ein weiterer Vorteil der Erfindung besteht darin, dass sie unabhängig vom Type des verwendeten Soft Symbol-Generators ist. Somit kann die Erfindung mit Mechanismen, die Soft Ausgabe geringer Komplexität erzeugen, sowie auch mit Voll-Komplexitäts-Mechanismen vom SOVA-Typ eingesetzt werden.

**[0030]** Ein weiterer Vorteil besteht darin, dass das Approximierungsverfahren und die resultierende Tabelle rechnerisch gesehen effizient sind, insofern als nur eine minimale Anzahl von arithmetischen Operationen zu ihrer Implementierung benötigt wird. Die Symbol-Konkurrenten-Tabelle ist relativ klein und kann ohne weiteres auf ROM basieren. Die Größe der Tabelle ist  $M \log_2(M)$  für  $M$ -ary Modulation. Des Weiteren kann die Erfindung auf Konstellationen beliebiger Größe angewendet werden, wobei zunehmend größere Vorteile für größere Konstellationen zu erwarten sind.

**[0031]** Die Erfindung stellt ein Verfahren zum Erzeugen von Soft Bit-Entscheidungen für ein  $M$ -ary Symbol Alphabet bereit, wobei das Verfahren folgende Schritte umfasst:  
 Vorberechnen einer Symbol-Konkurrenten-Tabelle, umfassend die wahrscheinlichsten Symbol-Konkurrenten für jede mögliche Symbolentscheidung;  
 für jede Hard-Entscheidung (**130**), Nachschlagen der wahrscheinlichsten Symbol-Konkurrenten entsprechend jeder der  $m$  Bit-Positionen in der Symbol-Konkurrenten-Tabelle;  
 Berechnen von Soft Ausgabe-Werten entsprechend jedes Symbol-Konkurrenten;  
 Berechnen eines Soft Bit-Entscheidungswertes für jedes der  $m$  Bits als Funktion der Hard Entscheidung und

der jeder bestimmten Bit-Position entsprechenden Konkurrenten-Symbole; und wobei  $m$  und  $M$  positive Ganzzahlen sind.

**[0032]** Das Verfahren wird in einem Kommunikationsempfänger durchgeführt, der auf das Empfangen und Decodieren eines GSM-Signals (GSM = Globales System für Mobilfunkkommunikationen) eingerichtet ist.

**[0033]** Die Symbol-Konkurrenten-Tabelle wird vorzugsweise a priori berechnet und die resultierende Symbol-Konkurrenten-Tabelle wird in einen Kommunikationsempfänger eingebaut, der auf das Empfangen und Decodieren eines GSM-Signals (GSM = Globales System für Mobilfunkkommunikationen) eingerichtet ist.

**[0034]** Ein Außen-Decodierer kann bereitgestellt werden, der im Betrieb binäre Empfangsdaten entsprechend der Soft-Bit-Entscheidungswerte erzeugt. Der Außen-Decodierer kann ein Faltungs-Decodierer sein, der auf dem Viterbi Algorithmus basiert.

**[0035]** Das M-ary Symbol könnte ein 8-PSK Symbol sein.

**[0036]** Der Schritt des Berechnens von Soft Ausgabewerten könnte das Erzeugen von Soft Ausgabewerten umfassen, die als LLRs (Log Likelihood Ratios) dargestellt werden.

**[0037]** Der Schritt des Berechnens von Soft Bit-Entscheidungswerten könnte das Erzeugen von Soft Bit-Entscheidungswerten umfassen, die als Bit LLRs (Log Likelihood Ratios) dargestellt werden.

**[0038]** Die Hard Entscheidungen könnten von einem MLSE Equalizer (MLSE = Maximum Likelihood Sequence Estimation – Maximum Likelihood Folgeschätzung) oder einem DFE Equalizer (DFE = Decision Feedback Equalizer – Entscheidungsrückkopplungs-Equalizer) erzeugt werden.

**[0039]** Es könnte ein zusätzlicher Schritt des Ausgebens von Soft Bit-Werten an einen De-Interleaver bereitgestellt werden, dessen Ausgabe anschließend in einen Soft Decodierer eingegeben wird, um die Werte in binäre Daten zu decodieren.

**[0040]** Die Soft Bit-Werte werden vorzugsweise gemäß der wie folgt ausgedrückten Funktion erzeugt:

$$LLR(b_j) \approx \max_{l \in D_{j1}} (LLR(S_k = A_l)) - \max_{l \in D_{j0}} (LLR(S_k = A_l))$$

wobei  $LLR(S_k = A_l)$  das LLR(Log Likelihood Ratio) von Symbol  $S_k = A_l$  ist,  $A_l$  den Symbolwert darstellt,  $b_j$  den Bitwert für das j-te Bit des Symbols darstellt,  $D_{j0}$  und  $D_{j1}$  den Satz von Symbolen darstellen, wobei Bit  $j = 0$  bzw.  $1$ ,  $\forall l \in D_{ji}$  und  $b_j(A_l) = i$  für  $i = 0, 1$ ;  $j = 0, \dots, m - 1$ ;  $l = 0, \dots, M - 1$ .

**[0041]** Die Erfindung stellt ferner ein Verfahren zum Erzeugen einer Symbol-Konkurrenten-Tabelle bereit, das bei der Reduzierung der Komplexität eines Informationspakets zum Einsatz kommt, welches zum Erzeugen von Soft Bit-Werten aus Soft Symbol-Information für ein M-ary Symbolalphabet dient, welches Verfahren folgende Schritte umfasst:

Für jede von  $M$  möglichen Symbol-Entscheidungen:

Für jede Bit-Position  $j$  von  $m$  Bits pro Symbol:

Berechnen der euklidischen Entfernung zu den  $M/2$  Symbol-Entscheidungen, deren Bit in Position  $j$  entgegengesetzt zu dem des j-ten Bit im aktuellen Symbol ist;

Auswählen der Symbol-Entscheidung, die zu einer minimalen euklidischen Entfernung führt;

Platzieren der Symbol-Entscheidung in die Tabelle gemäß des aktuellen Symbols und der aktuellen Bit-Position; und

wobei  $m$ ,  $M$  und  $j$  positive Ganzzahlen sind.

**[0042]** Ferner ist gemäß der vorliegenden Erfindung ein Verfahren zur Reduzierung eines Soft Ausgabe Informationspakets vorgesehen, das von einem Soft Symbol Ausgabe Generator erzeugt wird, wobei das Verfahren die folgenden Schritte umfasst: Vorberechnen einer Symbol-Konkurrenten-Tabelle, die die wahrscheinlichsten Symbol-Konkurrenten für jede mögliche Symbolentscheidung umfasst, Nachschlagen in der Symbol-Konkurrenten-Tabelle, für jede Hard Entscheidung, der jeder der  $m$  Bit-Positionen entsprechenden wahrscheinlichsten Symbol-Konkurrenten, Erzeugen und Ausgeben der jedem der  $m$  Symbol-Konkurrenten entsprechenden Soft Symbol-Entscheidungswerte, und wobei  $m$  eine positive Ganzzahl ist.

## KURZBESCHREIBUNG DER ZEICHNUNGEN

[0043] Im Folgenden soll die Erfindung beispielhaft unter Bezugnahme auf die beigefügten Zeichnungen beschrieben werden, in denen

[0044] [Fig. 1](#) ein Diagramm ist, das ein beispielhaftes Kommunikationssystem nach dem Stand der Technik veranschaulicht, welches einen Innen- und einen Außen-Codierer im Sender, Innen- und Außen-Decodierstufen im Empfänger und eine zum Kanal hinzugefügte Geräuschquelle enthält;

[0045] [Fig. 2](#) ein Blockdiagramm ist, das einen verketteten Empfänger veranschaulicht, der ein Soft Ausgabe Berechnungsmodul enthält, das gemäß der vorliegenden Erfindung konstruiert wurde;

[0046] [Fig. 3](#) ein Blockdiagramm ist, das das in größerem Detail veranschaulichte erfindungsgemäße Soft Ausgabe Berechnungsmodul darstellt;

[0047] [Fig. 4](#) ein Diagramm ist, das die Symbolabbildung der Modulation von Bits für Gray codierte 8-PSK Modulation und deren Anordnung in zwei Gruppen von MSB = 0 und MSB = 1 veranschaulicht;

[0048] [Fig. 5](#) ein Diagramm ist, das die Symbolabbildung der Modulation von Bits für Gray codierte 8-PSK Modulation und deren Anordnung in zwei Gruppen von SSB = 0 und SSB = 1 veranschaulicht;

[0049] [Fig. 6](#) ein Diagramm ist, das die Symbolabbildung der Modulation von Bits für Gray codierte 8-PSK Modulation und deren Anordnung in zwei Gruppen von LSB = 0 und LSB = 1 veranschaulicht;

[0050] [Fig. 7](#) ein Ablaufdiagramm ist, das das erfindungsgemäße Verfahren zur Erzeugung der Symbol-Konkurrenten-Tabelle veranschaulicht;

[0051] [Fig. 8](#) ein Ablaufdiagramm ist, das das erfindungsgemäße Bit LLR Berechnungsverfahren veranschaulicht;

[0052] [Fig. 9](#) ein Blockdiagramm ist, das die funktionellen Verarbeitungsblöcke in einer GSM EGPRS Mobilstation veranschaulicht;

[0053] [Fig. 10](#) ein Diagramm ist, das die Elemente einer GSM Nachricht einschließlich Schwanz-, Daten- und Schulungssymbolen veranschaulicht;

[0054] [Fig. 11](#) eine Grafik ist, die die Simulationsergebnisse mit BER am Ausgang des Außen-Decodierers vi SNR für einen verketteten Kommunikationsempfänger veranschaulicht, der mit und ohne das erfindungsgemäße Verfahren zur Reduzierung des Informationspakets konstruiert wurde; und

[0055] [Fig. 12](#) ein Blockdiagramm ist, das ein beispielhaftes Computerverarbeitungssystem veranschaulicht, das auf die Durchführung des erfindungsgemäßen Verfahrens zur Reduzierung des Informationspakets eingerichtet ist.

## AUSFÜHRLICHE BESCHREIBUNG DER ERFINDUNG

## Durchweg verwendete Notation

[0056] In dieser Patentschrift wurde durchweg die folgende Notation verwendet.

Ausdruck	Definition
AMPS	Advanced Mobil Telephone System – Fortgeschrittenes Mobilfunktelefon-System
ASIC	Application Specific Integrated Circuit – Anwendungsspezifische integrierte Schaltung
AWGN	Additive White Gaussian Noise – Additives Weißes Gaußsches Rauschen
BER	Bit Error Rate – Bitfehlerrate
CDMA	Code Division Multiple Access – Code-aufteilender Mehrfachzugriff

CPU	Central Processing Unit – Zentraleinheit
DFE	Decision Feedback Equalizer – Entscheidungs-Rückkopplungs-Equalizer
DSL	Digital Subscriber Line – Digitale Teilnehmerleitung
DSP	Digital Signal Processor – Digitaler Signalprozessor
EDGE	Enhanced Data Rates for GSM and TDMA/136 Evolution
EEPROM	Electrically Erasable Programmable Read Only Memory – Elektrisch löschbarer programmierbarer Nurlesespeicher
EEROM	Electrically Erasable Read Only Memory – Elektrisch löschbarer Nurlesespeicher
EGPRS	Enhanced General Packet Radio System
EPROM	Electrically Programmable Read Only Memory – Elektrisch programmierbarer Nurlesespeicher
FEC	Forward Error Correction – Vorwärts gerichtete Fehlerkorrektur
FIR	Finite Impulse Response – Endliche Impulsantwort
FPGA	Field Programmable Gate Array – Feld-programmierbares Gate-Array
GERAN	GSM EDGE Radio Access Network
GMSK	Gaussian Minimum Shift Keying
GSM	Global System for Mobile Communication
IIR	Infinite Impulse Response – Unendliche Impulsantwort
ISDN	Integrated Services Digital Network
ISI	Intersymbol Interference – Intersymbolstörung
LLR	Log Likelihood Ratio
MAP	Maximum A Posteriori
MCS	Modulation Coding Scheme – Modulations-Codiersystem
MLSD	Maximum Likelihood Sequence Detection – Höchstwahrscheinlichkeits-Folgedetektion
MLSE	Maximum Likelihood Sequence Estimation – Höchstwahrscheinlichkeits-Folgeschätzung
PSK	Phase Shift Keying – Phasenumtastung
RAM	Random Access Memory – Direktzugriffsspeicher
ROM	Nurlesespeicher
SER	Symbol Error Rate – Symbolfehlerrate
SNR	Signal to Noise Ratio – Signal-zu-Geräusch-Verhältnis
SO	Soft Output – Soft Ausgabe
SOVA	Soft Output Viterbi Algorithm – Soft Ausgabe Viterbi Algorithmus
SSA	Suboptimum Soft-Output Algorithm – Suboptimaler Soft Ausgabe Algorithmus
SSB	Second Significant Bit – Zweithöchstwertiges Bit
TACS	Total Access Communications Systems
TDMA	Time Division Multiple Access – Zeitaufteilender Mehrfach-Zugriff
VA	Viterbi Algorithm – Viterbi Algorithmus
WLAN	Wireless Local Area Network – drahtloses Lokalbereichsnetz
WLL	Wireless Local Loop – WLL-Netz

## AUSFÜHRLICHE BESCHREIBUNG DER ERFINDUNG

**[0057]** Die vorliegende Erfindung ist eine Vorrichtung und ein Verfahren zur Reduzierung des von einem Soft



Symbol-Generator zu berechnenden Soft Ausgabe Informationspakets, das die Nachteile der derzeitigen Technik bewältigt. Das vom Soft Symbol-Generator erzeugte reduzierte Soft Ausgabe Informationspaket wird anschließend von einem Soft-Symbol-zu-Soft-Bit-Mapper zum Umwandeln von Symbol-Entscheidungsinformation in Soft Bit-Entscheidungsinformation benutzt.

**[0058]** Die vorliegende Erfindung ist zum Einsatz mit einer Vielfalt von Kommunikationssystemen geeignet und besonders praktisch für Kommunikationssysteme mit großen Symbolalphabeten oder für Systeme, die Kanäle mit Zeitausbreitungen aufweisen, die mehrere Symbolperioden beinhalten. Außerdem ist die Erfindung anwendbar auf Empfänger mit verketteten Codiersystemen, in denen bitweise Verschachtelung verwendet wird, wobei die Ausgabe eines Innen-Decodierers anschließend von einem Außen-Decodierer verarbeitet wird, wobei der Außen-Decodierer ein Soft Entscheidungs-Decodierer ist, dessen Leistung optimiert ist, wenn Soft Entscheidungswerte zur Verfügung stehen.

**[0059]** Die vorliegende Erfindung stellt ein Verfahren zur Berechnung nur des Anteils des vollständigen Informationspakets bereit, der tatsächlich vom Soft-Symbol-zu-Soft-Bit-Mapper benötigt wird. Folglich werden durch den Einsatz der Erfindung die Erfordernisse des Soft Symbol-Generators reduziert. Der Soft Symbol-Generator braucht kein vollständiges Informationspaket, sondern nur ein reduziertes Informationspaket zu erzeugen. Je nach System und insbesondere je nach Größe der Konstellation ist dadurch eine starke Reduzierung der Anzahl Berechnungen und der Komplexität des Prozessors möglich.

**[0060]** Um das Verständnis der Prinzipien der vorliegenden Erfindung zu erleichtern, wird das Verfahren im Zusammenhang mit einem Soft Ausgabe Berechnungsmodul beschrieben. Wie im Folgenden im Detail beschrieben, ist das Soft Ausgabe Berechnungsmodul auf die Durchführung der folgenden Funktionen eingerichtet: Rauschleistungsschätzung, Berechnung eines teilweisen Informationspakets, Erzeugung von Soft Symbolwerten und Soft-Symbol-zu-Soft-Bit-Umwandlung.

**[0061]** Es ist zu beachten, dass die hier dargestellte Empfänger-Konfiguration nur zu Veranschaulichungszwecken dient und nicht dazu bestimmt ist, den Geltungsbereich der Erfindung einzuschränken. Es versteht sich, dass ein in der Kommunikationssignal-Verarbeitungstechnik bewandelter Fachmann das erfindungsge-  
mäßige Verfahren auf zahlreiche andere Topologien und Szenarien anwenden kann.

**[0062]** In [Fig. 2](#) ist ein Blockdiagramm eines verketteten Empfängers dargestellt, der ein gemäß der vorliegenden Erfindung konstruiertes Soft Ausgabe Berechnungsmodul beinhaltet. Das Kommunikationssystem, allgemein mit **30** bezeichnet, umfasst einen an einen Kanal **42** gekoppelten verketteten Codierer-Empfänger **32**, und einen verketteten Decodierer-Empfänger **50**. Der Sender **32** umfasst einen Codierer **34**, einen Interleaver **35**, einen Bit-zu-Symbol-Mapper **36**, einen Modulator **38** und eine Sendeschaltung **40**.

**[0063]** Zu übertragende Eingabedatenbits werden in den Codierer **34** eingegeben, der ein Fehlerkorrektur-Codierer wie ein Reed Solomon, ein Faltungscodierer, ein Paritätsbit-Generator usw. sein könnte. Der Codierer fügt Redundanzbits hinzu, um das Auffinden und Korrigieren von Fehlern in der Übertragung zu ermöglichen.

**[0064]** Die vom Codierer **34** ausgegebenen Bits werden in einen Interleaver **35** eingegeben, der die Reihenfolge der Bits neuordnet, um in effizienterer Weise die Fehler-Bursts im Kanal zu bekämpfen. Die vom Interleaver ausgegebenen Bits werden dann durch den Symbol Mapper **36** auf Symbolen abgebildet. Der Bit-zu-Symbol-Mapper hat die Aufgabe, Bits aus einem M-ary Alphabet in Modulator-Symbole umzuwandeln. Zum Beispiel wandelt ein 8-PSK Modulator Eingabebits in eins von acht Symbolen um. Somit erzeugt der Mapper in diesem Fall ein Symbol für jeweils drei Eingabebits.

**[0065]** Die vom Mapper ausgegebenen Symbole werden in den Modulator **38** eingegeben, der die Symbole in Form des M-ary Alphabets empfängt und daraus ein analoges Signal erzeugt. Die Sendeschaltung **40** filtert und verstärkt dieses Signal, bevor sie es über den Kanal **42** sendet. Die Sendeschaltung **40** beinhaltet Kopplungsschaltungen, die benötigt werden, um eine optimale Verbindung mit dem Kanalmedium herzustellen.

**[0066]** Als Kanal ist ein mobiler drahtloser Kanal, wie ein zellulärer schnurloser, fester drahtloser Kanal, zum Beispiel Satellit, oder ein drahtgebundener Kanal, wie ein xDSL, ISDN, Ethernet usw. möglich. Es wird angenommen, dass Rauschen vorhanden ist, und dieses wird zum Signal im Kanal hinzugefügt. Der Sender ist darauf eingerichtet, ein Signal zu erzeugen, das auf dem Kanal übertragen werden kann, um eine robuste, fehlerfreie Detektion durch den Empfänger bereitzustellen.

**[0067]** Es versteht sich, dass die Innen- und Außen-Decodierer im Empfänger komplementäre Codierer im System haben. Der Außen-Codierer im System ist der Codierer **34**, zum Beispiel ein Faltungs-Codierer usw. Der Innen-Codierer im System ist der Kanal **42**, der in einer Ausführungsform als FIR-Kanal mit L-Symbollänge modelliert werden kann.

**[0068]** Am Empfänger **50** wird das analoge Signal des Kanals in die Rx Vorrechner-Schaltungen **52** eingegeben, die das empfangene Signal demodulieren und abtasten, um empfangene Abtastungen  $y(k)$  **54** zu erzeugen. Die Abtastungen werden nun in einen Innen-Decodierer **56** und eine Kanalschätzung **58** eingegeben.

**[0069]** Die Kanalschätzung **58** dient zur Erzeugung eines Kanalschätzungswerts  $h(k)$  **66**, der vom Innen-Decodierer **56** (das heißt einem Equalizer) verwendet wird. Der Kanalschätzungswert wird unter Einsatz der empfangenen Eingabeabtastungen  $y(k)$  **54** und der Schulungssequenz  $f(k)$  erzeugt.

**[0070]** Mehrere in der Technik bekannte Kanalschätzungsmethoden, die zum Einsatz in der vorliegenden Erfindung geeignet sind, beinhalten zum Beispiel eine Korrelationsmethode und eine Fehlerquadratmethode. Die Korrelationsmethode ist im Detail in „GSM System Engineering,“ A. Mehrotra, 1997, Kapitel 6 und im Artikel „On the Minimization of Overhead in Channel Impulse Response Measurement,“ Y. Han, IEEE Transactions on Vehicular Technology, Band 47, Nr. 2, Mai 1998, Seiten 631–636, beschrieben. Die Fehlerquadratmethode der Kanalschätzung ist im Detail in den Artikeln „Improved Channel Estimation With Side Information,“ A. S. Khayrallah, R. Ramesh, G. E. Bottomley, D. Koilpillai, IEEE, März 1997, Seiten 1049–1051, und „Impact of Blind versus Non-Blind Channel Estimation on the BER Performance of GSM Receivers,“ D. Boss, T. Petermann, K. Kammeyer, IEEE Signal Processing Workshop on Higher-Order Statistics, Juli 21, 1997, Seiten 62–67, und in dem Buch „Adaptive Filter Theory,“ S. Haykin 1996, Kapitel 11 (Method of Least Squares) beschrieben.

**[0071]** Eine weitere Kanalschätzungsmethode, die sich zum Einsatz mit der vorliegenden Erfindung eignet, ist in US Patent Serie Nr. 09/616161, Yakhnich et al, angemeldet Juli 14, 2000, betitelt „Method of Channel Order Selection and Channel Order Estimation in a Wireless Communication System,“ beschrieben, das weishalber summarisch in diese Schrift aufgenommen und ihr zugeordnet wurde.

**[0072]** Der Innen-Decodierer benutzt den Kanalschätzungswert  $h(k)$  zur Erzeugung der Hard Entscheidungen. Hinweis: eine Hard Entscheidung ist einer der möglichen Werte, die ein Symbol  $s(k)$  annehmen kann. Beispielsweise ist ein Innen-Decodierer ein Equalizer, der die ISI ausgleicht, die durch die Verzögerungzeitverbreitung des Kanals verursacht wird. Die Funktion des Equalizers ist es zu versuchen, die Symbole zu detektieren, die ursprünglich vom Modulator übertragen wurden.

**[0073]** Es ist zu beachten, dass der Equalizer darauf eingerichtet ist, Hard Symbolentscheidungen **68** auszugeben und zum Beispiel in Form des gut bekannten, auf MLSE (Maximum Likelihood Sequence Estimation) basierenden Equalizers, der den gut bekannten Viterbi Algorithmus (VA) verwendet, des linearen Equalizers oder des Entscheidungsrückkopplungs-Equalizers (DFE) realisiert werden könnte. Da der Equalizer nur Hard Entscheidungen erzeugt, müssen anschließend aus diesen Hard Entscheidungen Soft Entscheidungen erzeugt werden.

**[0074]** Entzerrung (Equalization) ist eine gut bekannte Technik, die zur Bekämpfung von Intersymbolstörungen benutzt wird, wobei der Empfänger versucht, die Auswirkungen des Kanals auf die übertragenen Symbole auszugleichen. Ein Equalizer versucht, die übertragenen Daten aus den empfangenen verzerrten Symbolen unter Einsatz einer Schätzung des Kanals, der die Verzerrungen verursachte, zu bestimmen. In Kommunikationssystemen, in denen ISI aufgrund teilweiser Antwortmodulation oder eines Frequenz-selektiven Kanals auftritt, ist der optimale Equalizer ein MLSE (Maximum Likelihood Sequence Estimation) Equalizer. Diese Art von Equalizer wird allgemein in GSM Systemen eingesetzt.

**[0075]** Die MLSE Technik ist eine nicht-lineare Entzerrungstechnik, die anwendbar ist, wenn der Funkkanal als FIR (Finite Impulse Response) System modelliert werden kann. Der Kanalschätzungswert wird unter Einsatz einer bekannten Schulungssymbolfolge zur Schätzung des Kanalimpulses erhalten. Andere Entzerrungstechniken wie zum Beispiel DFE oder lineare Entzerrung erfordern eine genaue Kenntnis des Kanals.

**[0076]** Die Hard Entscheidungen werden in das Soft Ausgabe Berechnungsmodul **60** eingegeben, welches zur Erzeugung von Soft Bit-Entscheidungen **70** als Funktion der Hard Entscheidungen dient. Intern berechnet das Soft Ausgabe Berechnungsmodul zuerst Soft Symbolwerte, die anschließend in Soft Bit-Entscheidungen umgewandelt werden.

**[0077]** Die Soft Bit-Entscheidungen werden nun in einen bitweisen De-Interleaver **62** eingegeben, der dazu dient, die ursprüngliche Reihenfolge der in den Sender **32** eingegebenen Bits neu zu ordnen. Anschließend werden die entschachtelten Soft Bitwerte in den Außen-Decodierer **64** eingegeben.

**[0078]** Der Außen-Decodierer ist ein Soft Entscheidungs-Decodierer – das heißt seine Eingabe sind Soft Bitwerte – der unter Einsatz der vom Codierer eingefügten Redundanz-Bits zur Detektion und Korrektur von Fehlern dient. Der Außen-Decodierer **64** erzeugt die binären Empfangsdaten unter Einsatz der Soft Bit-Eingabe. Als Außen-Decodierer **64** können beispielsweise Faltungscodierer, die den Viterbi Algorithmus usw. verwenden, eingesetzt werden. Soft Entscheidung Viterbi Decodierer haben den Vorteil, dass die Soft Bit-Information effizient verarbeitet wird und dass eine optimale Performance im Sinne von minimaler Folgefehler-Wahrscheinlichkeit bereitgestellt wird.

**[0079]** In [Fig. 3](#) ist ein Blockdiagramm dargestellt, welches das Soft Ausgabe Berechnungsmodul im Detail darstellt. Das Soft Ausgabe Berechnungsmodul **60** dient zur Erzeugung von Soft Bit-Werten **96**, die vom De-Interleaver und Soft Decodierer verwendet werden. Insbesondere umfasst es einen gemäß der Erfindung konstruierten Kalkulator **80** zur Berechnung eines teilweisen Informationspakets, einen Soft Symbolwert-Generator **84**, eine Rauschleistungsschätzung **82** und einen Soft-Symbol-zu-Soft-Bit-Wandler **86**.

**[0080]** Im Betrieb gibt der Equalizer **56** Hard Entscheidungen **88** an den Soft Symbolwert-Generator **84** und an den Kalkulator **80** zur Berechnung eines teilweisen Informationspakets aus. Zum Zwecke der Erfindung wird angenommen, dass Hard Entscheidungswerte **88** am Ausgang des Equalizers **56** zur Verfügung stehen. Der Equalizer gibt ferner von der Schulungssequenz abgeleitete Entscheidungsinformation **90** an die Rauschleistungsschätzung **82** aus, die daraus den Rauschschätzungswert **92** erzeugt. Der Rauschschätzungswert wird in den Soft Symbol-Generator eingegeben, der sie zur Berechnung der Soft Symbol-Entscheidungen verwendet. Der Soft Symbol-Generator **84** erzeugt aus den Hard Entscheidungen die Soft Symbol-Information **94**, die anschließend an den Soft-Symbol-zu-Soft-Bit-Wandler **86** ausgegeben wird.

**[0081]** Soft Symbolwerte **94** stehen am Ausgang des Soft Symbol-Generators **84** zur Verfügung. Vorzugsweise sind die Soft Symbolwerte in Form von LLR-Werten (Log Likelihood Ratios), das heißt LLR ( $S_k$ ), verfügbar. Eine Soft Entscheidung umfasst im Idealfall die Zuverlässigkeiten jedes möglichen Symbolwerts. Die Soft Entscheidung ist ein teilweises Informationspaket, das vom Soft-Symbol-zu-Soft-Bit-Wandler **86** benötigt wird. Hinweis: ein Informationspaket wird als die Ausgabe definiert, die von einem Detektor oder Decodierer innerhalb einer einzigen Operation erzeugt wird (siehe „Optimum Soft-Output Detection for Channels with Intersymbol Interference,“ Y. Li, B. Vucetic, Y. Sato, IEEE Trans. on Inform. Theory, Band 41, Nr. 3, Mai 1995).

**[0082]** Die Soft Symbolwerte werden in den Soft-Symbol-zu-Soft-Bit-Wandler **86** eingegeben. Der Wandler dient zum Umwandeln der Soft Symbolinformation in Soft Bit-Information. Die Soft Bit-Werte für ein Symbol werden durch Einholen der bedingten Wahrscheinlichkeit eines Bits im Sinne der Wahrscheinlichkeit eines Symbols abgeleitet. Die Soft Bit-Entscheidung wird als LLR (Log Likelihood Ratio) der bedingten Wahrscheinlichkeit berechnet.

**[0083]** Der Ausgang der Soft Bit-Entscheidungsinformation **96**, das heißt LLR ( $b_k$ ), des Wandlers **86** wird in den bitweisen De-Interleaver **62** eingegeben. Der Ausgang des De-Interleavers sind die Soft Bit-Werte in der ursprünglichen Bitfolge. Die entschachtelten Soft Bit-Werte werden dann in den Außen-Decodierer **64** eingegeben, der ein Soft Eingabe Decodierer ist.

**[0084]** Erfindungsgemäß kann jedoch das Erfordernis der Erzeugung von Soft Symbolinformation von der Erzeugung der Soft Symbolinformation für alle möglichen Symbole auf das der Erzeugung von Soft Symbolinformation für nur einen teilweisen Subsatz von möglichen Symbolen reduziert werden. Der in der Erfindung verwendete Soft-Symbol-zu-Soft-Bit-Wandler **86** benötigt nicht  $M$  Soft Symbole, sondern nur  $m$  Soft Symbole, wobei  $M$  die Gesamtanzahl der Symbole im  $M$ -Ary Alphabet und  $m$  die Anzahl der Bits pro Symbol ist.

**[0085]** Der Kalkulator **80** zur Erzeugung eines teilweisen Informationspakets dient dazu zu bestimmen, welcher Subsatz von Symbolen von dem Soft Symbol-Generator erzeugt werden sollte. Die ausgewählte Gruppe von Symbolen wird mit Symbol-Konkurrenten **98** bezeichnet. Der Soft Symbolwert-Generator wird angewiesen, nur Soft Symbolwerte für die Gruppe der Symbol-Konkurrenten zu erzeugen. Daraus ergibt sich ein teilweises Informationspaket, das kleiner als das vollständige Informationspaket ist.

**[0086]** Komplexität und Anzahl der benötigten Berechnungen können je nach Größe des Alphabets und der Konstellation drastisch reduziert werden. In Systemen, die große  $M$ -ary Alphabete mit großen Konstellationen

aufweisen, kann eine starke Reduzierung in der Größe des erzeugten Informationspakets und in der Anzahl der benötigten Berechnungen erzielt werden. Zum Beispiel werden im Falle von 256 QAM,  $M = 256$  und  $m = 8$ , nur 8 (oder in manchen Fällen 9) Soft Symbole erzeugt, wenn der erfindungsgemäße teilweise Informationspaket-Generator zum Einsatz kommt, nicht 256 Soft Symbole wie im Falle des vollständigen Informationspakets.

**[0087]** Es ist zu beachten, dass in der vorliegenden Erfindung jeder geeignete Symbolgenerator verwendet werden kann, mit dem Soft Symbolinformation aus Hard Entscheidungen erzeugt werden kann. Eine Methode zur Erzeugung von Soft Entscheidungen ist in US Patent Nr. 5457704 von Hoehner et al., betitelt „Post Processing Method and Apparatus for Symbol Reliability Generation,“ beschrieben, das verweishalber summarisch in diese Schrift aufgenommen wurde. Eine weitere geeignete Soft Symbol Erzeugungstechnik ist in US Anmeldung Serie Nr. X, Yakhnich et al., angemeldet X, betitelt „Soft Decision Output Generator,“ beschrieben, das ebenfalls verweishalber summarisch in diese Schrift aufgenommen wurde.

**[0088]** Im Folgenden soll das Soft Ausgabe Berechnungsmodul **60** im Detail beschrieben werden. Die mathematische Ableitung der Ausdrücke für sowohl Symbol- als auch Bit-Zuverlässigkeit ist unten dargestellt. Es wird angenommen, dass ein M-ary Modulationssystem verwendet wird, wobei  $M = 2^m$  und folgendes Alphabet verwendet wird:

$$A = \{A_0, A_1, \dots, A_{M-1}\}$$

**[0089]** Jedes Symbol kann jetzt als m Anzahl von Bits dargestellt werden. Hinweis: das in GSM EDGE Systemen verwendete Modulationssystem ist 8-PSK mit  $m = 3$ .

**[0090]** Das LLR (Log Likelihood Ratio) eines Symbols  $S_k$  mit dem Wert A, wird definiert als:

$$LLR(S_k = A_i) = \ln \left[ \frac{P(\underline{y} | S_k = A_i)}{P(\underline{y} | S_k = A_0)} \right] \quad (1)$$

wobei

$\underline{y}$  eine Vektor-Darstellung der Eingabe ist;

$S_k$  die k-te Symbol-Entscheidung darstellt;  $A_i$  den Symbolwert darstellt.

**[0091]** Der Soft Ausgabe Generator ist fähig, zu einem Zeitpunkt k, für das Symbol  $S_k$ , M Soft Ausgaben zu erzeugen. Der Soft Ausgabe Generator kann aber auch M-1 Soft Symbolwerte erzeugen, wobei der M-te Symbolwert ein Bezugssymbol ist, das impliziert ist. Jeder Soft Symbolwert enthält das LLR ( $S_k = A_i$ ) (oder eine entsprechende Approximierung) für  $i = 1, \dots, M - 1$ .

**[0092]** In ähnlicher Weise wird das LLR (Log Likelihood Ratio) eines Bits  $b_k$  definiert als:

$$LLR(B_k = 1) = \ln \left[ \frac{P(\underline{y} | B_k = 1)}{P(\underline{y} | B_k = 0)} \right] \quad (2)$$

wobei  $B_j$  der Bit-Wert für das j-te Bit des Symbols ist.

**[0093]** Die bedingte Wahrscheinlichkeitsfunktion der Eingabe für ein bestimmtes Bit kann ausgedrückt werden als:

$$P(\underline{y} | B_k = b) = \sum P(\underline{y} | S_k, B_k = b) \quad (3)$$

**[0094]** Somit ist eine optimale Umwandlung von Symbol LLR zu Bit LLR gegeben durch

$$LLR(B_j) = \ln \left( \sum_{l \in D_{j1}} e^{LLR(S_k = A_l)} \right) - \ln \left( \sum_{l \in D_{j0}} e^{LLR(S_k = A_l)} \right) \quad (4)$$

wobei

$D_{j0}$  und den Satz von Symbolen darstellen, wobei  $b_j = 0$  bzw. 1 ist.

$\forall l \in D_{ji}$  und  $B_j(A_l) = i$  für  $i = 0, 1; j = 0, \dots, m - 1; l = 0, \dots, M-1$ .

**[0095]** Somit ist das LLR (Log Likelihood Ratio) für ein Bit ausgedrückt als Funktion der LLRs der Symbole.

**[0096]** Aufgrund der exponentiellen Natur der bedingten Wahrscheinlichkeitsfunktion in den Gleichungen 3 und 4 kann jedoch der Ausdruck für das Bit LLR sehr gut approximiert werden durch:

$$LLR(B_k = 1) = \max \{ \ln P(\underline{y} | S_k, B_k = 1) \} - \max \{ \ln P(\underline{y} | S_k, B_k = 0) \} \quad (5)$$

**[0097]** Somit kann das LLR für ein Bit als die Differenz zwischen einem Soft Symbolwert, in dem das interessierende Bit eine Eins ist, und einem Soft Symbolwert, in dem das interessierende Bit eine Null ist, approximiert werden. Hinweis: dieser Ausdruck stellt einen suboptimalen Ausdruck für das Bit LLR dar. Ein weiterer Hinweis: es können auch andere Soft Bit-Ausgabetypen als LLRs erzeugt werden. Andere Soft Bit-Ausgabetypen, die unter Einsatz der Prinzipien der vorliegenden Erfindung abgeleitet wurden, gelten als in den Geltungsbereich der Erfindung fallend.

**[0098]** Da nur  $C_1 + C_2 \ln P(y|S_k)$  Werte leicht berechnet werden können, wird die Approximierung in Gleichung 5 dazu benutzt, die Komplexität und benötigte Anzahl von Berechnungen signifikant zu reduzieren. Erfindungsgemäß kann eine weitere Approximierung durch Vorberechnung von  $S_k, B_k = \{0, 1\}$  für das wahrscheinlichste Symbol zum Zeitpunkt  $k$  vorgenommen werden, welches die Hard Entscheidung ist.

**[0099]** Im Folgenden soll die Ableitung von Gleichung 5 im Detail beschrieben werden. Die hier beschriebene Methode wird vom Soft Ausgabe Berechnungsmodul durchgeführt. Unter Berücksichtigung der obigen Annahme und der Ausdrücke für die Symbol- und Bit LLRs in Gleichung 1 bzw. 2 wird die bedingte Wahrscheinlichkeit der Eingabe  $y$  bestimmt, unter der Voraussetzung, dass ein Bit gleich einer Null und einer Eins ist. Es sei definiert, dass Symbol  $S_k$  aus  $m$  Bits, bezeichnet mit  $b_j$  für  $j = 0, \dots, m - 1$ , besteht. Die Wahrscheinlichkeit der Eingabe  $y$ , wenn  $b_j = 1$ , kann ausgedrückt werden als

$$\begin{aligned} P(\underline{y} | b_j = 1) &= \frac{P(b_j = 1, \underline{y})}{P(b_j = 1)} \\ &= \frac{\sum_{l \in D_{j1}} P(s_k = A_l, \underline{y})}{P(b_j = 1)} \\ &= \frac{\sum_{l \in D_{j1}} P(\underline{y} | s_k = A_l) P(s_k = A_l)}{P(b_j = 1)} \quad (6) \\ &= \frac{1}{P(b_j = 1)} \sum_{l \in D_{j1}} P(\underline{y} | s_k = A_l) P(s_k = A_l) \end{aligned}$$

wobei

$\underline{y}$  eine Vektor-Darstellung der Eingabe ist;

$S_k$  die  $k$ -te Symbol-Entscheidung darstellt;

$A_l$  den Symbolwert darstellt;  $D_{j0}$  und  $D_{j1}$ , den Satz von Symbolen darstellen, wobei  $b_j = 0$  bzw.  $1$  ist;

$\forall l \in D_{ji}$  und  $b_j(A_l) = i$  für  $i = 0, 1; j = 0, \dots, m - 1; l = 0, \dots, M - 1$ .

**[0100]** Es ist durchaus vernünftig anzunehmen, dass die a priori Wahrscheinlichkeit von Symbolen und Bits gleich ist (dies ist eine gültige Annahme für die meisten praktischen Kommunikationssysteme).

$$\begin{aligned} P(s_k = A_l) &= \frac{1}{M}, \forall l \\ P(b_j = 0) &= P(b_j = 1) = \frac{1}{2} \quad (7) \end{aligned}$$

**[0101]** Folglich kann der folgende Ausdruck für die bedingte Wahrscheinlichkeit der Eingabe, wie in Gleichung 6 ausgedrückt, im Sinne von Gleichung 7 wie folgt umgeschrieben werden.

$$P(\underline{y}1b_j = 0) = \frac{2}{M} \sum_{l \in D_{j1}} P(\underline{y}1s_k = A_1) \quad (8)$$

[0102] Desgleichen gilt

$$P(\underline{y}1b_j = 0) = \frac{2}{M} \sum_{l \in D_{j0}} P(\underline{y}1s_k = A_1) \quad (9)$$

[0103] Dann kann das Bit LLR (Log Likelihood Ratio), wie oben in Gleichung 2 definiert, wie folgt ausgedrückt werden:

$$\begin{aligned} LLR(b_j) &= \ln \left( \frac{P(\underline{y}1b_j = 1)}{P(\underline{y}1b_j = 0)} \right) \\ &= \ln(P(\underline{y}1b_j = 1)) - \ln(P(\underline{y}1b_j = 0)) \\ &= \{ \ln(P(\underline{y}1b_j = 1)) - \ln(P(\underline{y}1s_k = A_1)) \} - \{ \ln(P(\underline{y}1b_j = 0)) - \ln(P(\underline{y}1s_k = A_0)) \} \\ &= \ln \left( \frac{P(\underline{y}1b_j = 1)}{P(\underline{y}1s_k = A_0)} \right) - \ln \left( \frac{P(\underline{y}1b_j = 0)}{P(\underline{y}1s_k = A_0)} \right) = \quad (10) \\ &= \ln \left( \frac{\sum_{l \in D_{j1}} P(\underline{y}1s_k = A_1)}{P(\underline{y}1s_k = A_0)} \right) - \ln \left( \frac{\sum_{l \in D_{j0}} P(\underline{y}1s_k = A_1)}{P(\underline{y}1s_k = A_0)} \right) \\ &= \ln \left( \sum_{l \in D_{j1}} \frac{P(\underline{y}1s_k = A_1)}{P(\underline{y}1s_k = A_0)} \right) - \ln \left( \sum_{l \in D_{j0}} \frac{P(\underline{y}1s_k = A_1)}{P(\underline{y}1s_k = A_0)} \right) \end{aligned}$$

[0104] Wenn man Gleichung 1 in Gleichung 10 ersetzt, ergibt sich eine optimale Umwandlung von Symbol LLR zu Bit LLR:

$$LLR(b_j) = \ln \left( \sum_{l \in D_{j1}} e^{LLR(s_k = A_1)} \right) - \ln \left( \sum_{l \in D_{j0}} e^{LLR(s_k = A_1)} \right) \quad (4)$$

[0105] Somit wird das LLR (Log Likelihood Ratio) für ein Bit als Funktion der LLRs der Symbole ausgedrückt. Zu jedem Zeitpunkt k erzeugt der Soft-Symbol-zu-Soft-Bit-Wandler für Symbol  $S_k$  eine Mehrzahl von m Soft Bit Ausgaben.

$$LLR(b_j) \quad i = 0 \dots m - 1 \quad (11)$$

[0106] Es ist zu beachten, dass das unter Einsatz von Gleichung 4 abgeleitete Bit LLR die optimale Umwandlung von Symbol LLR in Bit LLR ist. Erfindungsgemäß wird ein suboptimaler Ausdruck für das Bit LLR abgeleitet, welches eine signifikante Reduktion in der Komplexität der Berechnung des Bit LLR ermöglicht. Der suboptimale Ausdruck wird durch Vornahme einer Approximierung der Symbol-Wahrscheinlichkeiten abgeleitet. Die Approximierung macht sich den rapiden Anstieg der Exponentialfunktionen in Gleichung 4 zunutze. Stattdessen werden, wie in Gleichung 5 oben ausgedrückt, der maximale Symbolwert für das Symbol, bei dem das interessierende Bit eine Eins ist, und der maximale Symbolwert, bei dem das interessierende Bit eine Null ist, benutzt.

[0107] Aufgrund des Vorhergesagten wird angenommen, dass eine a priori Wahrscheinlichkeit von Symbolen und Bits gleich ist, so dass der Ausdruck für die bedingte Wahrscheinlichkeit der Eingabe entsprechend Gleichung 8 und 9 umgeschrieben werden kann. Das Bit LLR (Log Likelihood Ratio), wie oben in Gleichung 2 definiert, wird gemäß des folgenden Ausdrucks bestimmt:

$$LLR(b_j) = \ln \left( \sum_{l \in D_{j1}} \frac{P(\underline{y}1s_k = A_1)}{P(\underline{y}1s_k = A_0)} \right) - \ln \left( \sum_{l \in D_{j0}} \frac{P(\underline{y}1s_k = A_1)}{P(\underline{y}1s_k = A_0)} \right) \quad (12)$$

[0108] Man sehe sich folgende Gleichung an, die die nächste Nachbar-Approximierung enthält.

$$\ln \left( \frac{P(\underline{y}|s_k = A_1)}{P(\underline{y}|s_k = A_0)} \right) > \ln \left( \frac{P(\underline{y}|s_k = A_n)}{P(\underline{y}|s_k = A_0)} \right) \Rightarrow \frac{P(\underline{y}|s_k = A_1)}{P(\underline{y}|s_k = A_0)} \gg \frac{P(\underline{y}|s_k = A_n)}{P(\underline{y}|s_k = A_0)} \quad (13)$$

wobei n das zweitgrößte Soft Symbol nach dem Maximum darstellt. Aufgrund der rapide ansteigenden Exponentialfunktionen in dem Ausdruck für das Bit LLR ist der maximale Symbolwert bei weitem die dominanteste Wahrscheinlichkeit und die verbleibenden  $M - 1$  Soft Symbolwerte können ignoriert werden. Folglich gilt folgende Approximierung:

$$\ln \left( \sum_{l \in D_{j1}} \frac{P(\underline{y}|s_k = A_l)}{P(\underline{y}|s_k = A_0)} \right) \approx \max_{l \in D_{j1}} \left( \ln \left( \frac{P(\underline{y}|s_k = A_l)}{P(\underline{y}|s_k = A_0)} \right) \right) \quad (14)$$

**[0109]** Somit werden die maximalen Symbolwerte durch die Null-Symbol- und Eins-Symbol-Summen ersetzt. Wenn Gleichung 14 in Gleichung 12 ersetzt wird, ergibt sich:

$$LLR(b_j) \approx \max_{l \in D_{j1}} \left( \ln \left( \frac{P(\underline{y}|s_k = A_l)}{P(\underline{y}|s_k = A_0)} \right) \right) - \max_{l \in D_{j0}} \left( \ln \left( \frac{P(\underline{y}|s_k = A_l)}{P(\underline{y}|s_k = A_0)} \right) \right) \quad (15)$$

**[0110]** Wenn man ferner Gleichung 1 in Gleichung 15 ersetzt, ergibt sich eine Approximierung der Umwandlung von Symbol LLR in Bit LLR.

$$LLR(b_j) \approx \max_{l \in D_{j1}} (LLR(s_k = A_l)) - \max_{l \in D_{j0}} (LLR(s_k = A_l)) \quad (16)$$

**[0111]** Somit kann das LLR für ein Bit als die Differenz zwischen einem Soft Symbolwert, in dem das interessierende Bit eine Eins ist, und einem Soft Symbolwert, in dem das interessierende Bit eine Null ist, approximiert werden.

**[0112]** Ferner kann von einer geometrischen Warte aus betrachtet die Konstellation des Symbols analysiert und unter Einsatz der folgenden Gleichungen a priori berechnet werden:

$$S_{k,1} = \arg \max_{l \in D_{j1}} \{LLR(s_k = A_l)\} \quad (17)$$

und

$$S_{k,0} = \arg \max_{l \in D_{j0}} \{LLR(s_k = A_l)\} \quad (18)$$

wobei  $A_i$  das Hard Entscheidungssymbol darstellt.

**[0113]** Zur besseren Veranschaulichung der Approximierung des erfindungsgemäßen Verfahrens sind die Diagramme in den [Fig. 4](#), [Fig. 5](#) und [Fig. 6](#) vorgesehen, die die Symbolabbildung der Modulation von Bits und ihrer Anordnung in Bit-Gruppen für ein 8-PSK-Symbol, wie in GSM/EDGE Systemen benutzt, veranschaulichen. Insbesondere ist in [Fig. 4](#) die Symbolabbildung der Modulation von Bits für Gray codierte 8-PSK Modulation und ihre Anordnung in zwei Gruppen von MSB = 0 und MSB = 1 veranschaulicht. In [Fig. 5](#) ist die Symbolabbildung der Modulation von Bits für Gray codierte 8-PSK Modulation und ihre Anordnung in zwei Gruppen von SSB = 0 und SSB = 1 veranschaulicht. In [Fig. 6](#) die Symbolabbildung der Modulation von Bits für Gray codierte 8-PSK Modulation und ihre Anordnung in zwei Gruppen von LSB = 0 und LSB = 1 veranschaulicht. Somit werden für jedes bestimmte Hard Entscheidungssymbol die restlichen  $M - 1$  Symbole als Symbol-Konkurrenten betrachtet. Die [Fig. 4](#), [Fig. 5](#) und [Fig. 6](#) können dazu benutzt werden, die Symbol-Konkurrenten für jede Bit-Position für jedes gegebene Hard Entscheidungssymbol zu bestimmen.

**[0114]** Die Symbolabbildungsdiagramme sind nach Bit-Position aufgeteilt. Bezugnehmend auf [Fig. 4](#) teilt die gestrichelte Linie **100** die 8 Symbole in zwei Gruppen auf: eine erste, in der MSB = 0 (unschraffierter Bereich) ist, und eine zweite, in der MSB = 1 (schraffierter Bereich) ist. Bezugnehmend auf [Fig. 5](#) teilt die gestrichelte Linie **102** die 8 Symbole in zwei Gruppen auf: eine erste, in der SSB = 0 (zweitsignifikantestes Bit) = 0 (unschraffierter Bereich) ist, und eine zweite, in der SSB = 1 (schraffierter Bereich) ist. Bezugnehmend auf [Fig. 6](#) teilt die gestrichelte Linie **100** die 8 Symbole in zwei Gruppen auf: eine erste, in der LSB = 0 (unschraffierter Bereich) ist, und eine zweite, in der LSB = 1 (schraffierter Bereich) ist.



**[0115]** Die Diagramme dienen dazu zu bestimmen, welches der Soft Symbolwerte zur Berechnung des Bit LLR verwendet werden soll. Für jedes Bit LLR, das zu berechnen ist, sind zwei Symbol-LLR-Werte erforderlich: einer für das ‚0‘ Bit und einer für das ‚1‘ Bit der jeweiligen interessierenden Bit-Position. Beides sind die maximalen Soft Symbolwerte für die betreffenden Bits. Die Summe der maximalen Soft Symbolwerte wird für eins der Bits benutzt, während für das andere Bit der Soft Symbolwert des nächsten Nachbarsymbols, dessen Bit gegenüber dem Gesamtmaximum liegt, verwendet wird.

**[0116]** Zur Veranschaulichung betrachte man das Symbol ‚101‘, dessen entsprechender, mit  $S_{101}$  bezeichneter Soft Symbolwert das Gesamtmaximum aller vom Equalizer empfangenen  $M$  Symbole ist, das heißt, dies ist die Hard Entscheidung. Der Wert  $S_{101}$  wird somit als maximaler Soft Symbolwert für das Eins-Symbol für das MSB (das heißt Bit-Position  $j = 2$ ), das Null-Symbol für das SSB (das heißt Bit-Position  $j = 1$ ) und das Eins-Symbol für das LSB (das heißt Bit-Position  $j = 0$ ) benutzt.

**[0117]** Gemäß des Verfahrens ist der Null-Symbolwert für das MSB das Maximum aller Symbole, deren MSB = 0 ist. Das wahrscheinlichste Symbol für den maximalen Wert ist das dem Symbol 101 am Nächsten liegende Symbol, dessen MSB = 0 ist. In dem Diagramm in [Fig. 4](#) ist dieses Symbol 001. Somit wird der Soft Symbolwert des 001 Symbols als maximaler Null-Symbolwert genommen. In entsprechender Weise ist in [Fig. 5](#) der nächste Nachbar für das SSB das Symbol 110, und in [Fig. 6](#) für das LSB das Symbol 100.

**[0118]** Die Symbol-Konkurrenten (nächste Nachbarn) können gemäß des Modulationssystems und der Anzahl der Symbole in der Konstellation im Voraus berechnet werden. Zur Veranschaulichung ist die komplette Liste der nächsten Nachbarn für die GSM Modulation von 8-PSK unten in Tabelle 1 angegeben.

#### TABELLE

Symbol-Konkurrenten für GSM/EDGE/GERAN 8-PSK Modulation

Bezugssymbol (Hard Entscheidung)	MSB ( $j = 2$ )	SSB ( $j = 1$ )	LSB ( $j = 0$ )
000	101	010	001
001	101	010	000
010	111	000	011
011	111	000	010
100	001	110	101
101	001	110	100
110	011	100	111
111	011	100	110

**[0119]** Somit werden für jedes Symbol nur  $m+1$  Soft Symbolwerte (die Hard Entscheidung und  $m$  Soft Symbole) benötigt, was zu einer verringerten Komplexität für den Equalizer und den Soft-Symbol-zu-Soft-Bit-Wandler führt. Hinweis: Die  $m + 1$  Soft Symbolwerte werden benötigt, wenn die Symbol bedingten Wahrscheinlichkeiten auf das  $A_0$  Symbol bezogen werden. Wenn die bedingten Wahrscheinlichkeiten stattdessen auf die Hard Entscheidung bezogen werden, werden nur  $m$  Soft Symbole benötigt, wodurch die an den Soft-Symbol-zu-Soft-Bit-Wandler weiterzuleitenden Daten reduziert sind.

**[0120]** Im Folgenden soll das Verfahren zur Erzeugung der Symbol-Konkurrenten-Tabelle im Detail beschrieben werden. Das Verfahren kann a priori auf einem Rechengert, das außerhalb des Soft Ausgabe Berechnungsmoduls liegt, oder vom Soft Ausgabe Berechnungsmodul selbst durchgeführt werden. In

**[0121]** [Fig. 7](#) ist ein Ablaufdiagramm dargestellt, welches das erfindungsgemäße Verfahren zur Erzeugung der Symbol-Konkurrenten-Tabelle veranschaulicht. Das Verfahren wird auf allen  $M$  möglichen Symbolen (Schritt **110**) und für jedes Symbol (das aktuelle Symbol genannt) auf allen möglichen Bit-Positionen  $j$  durchgeführt (Schritt **112**).

**[0122]** Für jede Bit-Position wird die euklidische Entfernung (das heißt die Entscheidungsentfernung) zu den  $M/2$  Symbolentscheidungen berechnet (Schritt **114**), deren Bit in Position  $j$  gegenüber dem des  $j$ -ten Bits im



aktuellen Symbol liegt. Ausgewählt (Schritt **116**) wird das Symbol, das die euklidische Mindestentfernung ergibt. Das Verfahren durchläuft alle Bit-Positionen (Schritte **118, 122**) und alle Symbole (Schritte **120, 124**).

**[0123]** Eine Pseudocode-Auflistung des Verfahrens zur Erzeugung der Symbol-Konkurrenten-Tabelle ist unten in Auflistung 1 angegeben. Es versteht sich, dass ein in der Computer-Programmierung bewandertes Fachmann ohne weiteres den Quellencode für eine Vielfalt von Programmiersprachen anhand des unten dargestellten Pseudocodes erzeugen kann.

Auflistung 1: Erzeugung der Symbol-Konkurrenten-Tabelle

```
// Folgendes ist gegeben:
// 1. M-ary Modulation mit Alphabet 0..M-1;
// 2. Die Modulationsfunktion ist durch ModFunc(S) dargestellt;
// 3. Die Anzahl der Bits pro Symbol = m = log2(M);

int CompetitorsTable[M][m]
Für S=0..m-1
    für j = 0 .. m-1
        d = Unendlichkeit
// ,b' dient zur Darstellung des Wertes des Bits, während ,j' seine Position darstellt;
        b = ( ( S div (2^j)) mod 2 )
        für i = 0 .. (M/2)-1
// ,k' dient zur Darstellung des Index des potentiellen Symbol-Konkurrenten;
// ,d_k' dient zur Darstellung der euklidischen Entfernung ,k' von Symbol ,S';

            k= (2^(j+1))(i div (2^j)) + (1-b)(2^j) + (i mod (2^j))

            d_k = |ModFunc( S ) – ModFunc( k )| (^2

        wenn (d_k < d)
            d = d_k
            Konkurrenten-Tabelle[S][j] = k
        Ende
    Ende
Ende
Ende
```

**[0124]** Es ist zu beachten, dass wie bei dem Verfahren von [Fig. 7](#) (Schritt **114**) die innerste ,für' Schleife nur für die halbe Anzahl von Symbolen M durchgeführt wird. Der Grund dafür ist, dass es für jedes gegebene Symbol nur M/2 Symbole gibt, deren Bits in Position j gleich 0 oder 1 sind.

**[0125]** Im Folgenden soll ein Verfahren zum Einsatz der Symbol-Konkurrenten-Tabelle für die Berechnung der Soft Bit-Information beschrieben werden. In [Fig. 8](#) ist ein Ablaufdiagramm dargestellt, welches das erfindungsgemäße Verfahren zur Berechnung des Bit LLR veranschaulicht. Es wird angenommen, dass die Symbol-Konkurrenten-Tabelle, wie sie in Tabelle 1 oben dargestellt ist, im Voraus berechnet und im Speicher zur

Verwendung durch das Soft Ausgabe Berechnungsmodul **60** (Fig. 2) gespeichert wurde. Insbesondere wird die Tabelle von dem Kalkulator **80** (Fig. 3) zur Berechnung des teilweisen Soft Informationspakets dazu benutzt, dem Soft Symbol-Generator **84** die Symbole anzugeben, für die die Soft Symbolinformation berechnet werden soll.

**[0126]** Im Betrieb empfangen sowohl der Kalkulator **80** zur Berechnung des teilweisen Soft Informationspakets als auch der Soft Symbol-Generator **84** die Hard Entscheidung vom Equalizer (Schritt **130**). Der Kalkulator zur Berechnung des teilweisen Soft Informationspakets schlägt die der Hard Entscheidung entsprechenden konkurrierenden Symbole nach, wobei er die im Voraus berechnete Symbol-Konkurrenten-Tabelle benutzt (Schritt **132**). Als Reaktion darauf berechnet der Soft Symbol-Generator die Soft Ausgabe Symbolwerte für jedes der konkurrierenden Symbole (unter Einsatz von Gleichung 1, wenn Symbol  $A_0$  als Bezugspunkt benutzt wird, oder Gleichung 17 und 18, wenn das Hard Entscheidungssymbol als Bezugspunkt benutzt wird) (Schritt **134**).

**[0127]** Die Soft Symbolwerte werden jetzt in den Soft-Symbol-zu-Soft-Bit-Wandler **86** eingegeben, der für jedes Bit ein Bit LLR (Log Likelihood Ratio) berechnet, wobei  $S_{k,1}$  und  $S_{k,0}$  benutzt werden, die vom Soft Symbol-Generator berechnet wurden (Schritt **136**).

**[0128]** Die Erfindung bietet mehrere Vorteile. Ein hauptsächlichlicher Vorteil besteht darin, dass ein bitweiser oder symbolweiser Interleaver im System eingesetzt werden kann, während trotzdem Soft Bit-Information an einen Soft Eingabe FEC Decodierer, wie einen Soft Decodierer für Turbo-Codes, Faltungscodes usw., geliefert wird. Ein weiterer Vorteil der Erfindung besteht darin, dass sie unabhängig vom Typ des verwendeten Soft Symbol-Generators ist. Somit kann die Erfindung mit Mechanismen, die Soft Ausgabe geringer Komplexität erzeugen, sowie auch mit Voll-Komplexitäts-Mechanismen vom SOVA-Typ eingesetzt werden. Ein weiterer Vorteil besteht darin, dass das Approximierungsverfahren und die resultierende Tabelle rechnerisch gesehen effizient sind, insofern als nur eine minimale Anzahl von arithmetischen Operationen zu ihrer Implementierung benötigt wird. Die Symbol-Konkurrenten-Tabelle ist relativ klein und kann ohne weiteres auf ROM basieren. Die Größe der Tabelle ist  $M \log_2(M)$  für M-ary Modulation. Des Weiteren kann die Erfindung auf Konstellationen beliebiger Größe angewendet werden, wobei zunehmend größere Vorteile für größere Konstellationen zu erwarten sind.

**[0129]** In einer anderen Ausführungsform der Erfindung dienen die in Tabelle 1 angegebenen Symbol-Konkurrenten-Daten zum Reduzieren der in den Soft Außencodierer eingegebenen Anzahl von Soft Bit-Entscheidungen. In dieser Ausführungsform empfängt der Soft Symbol-Generator ein vollständiges Informationspaket, das eine Soft Entscheidung für jedes mögliche Symbol im Alphabet enthält. Erfindungsgemäß werden Soft Bit-Entscheidungen nur für diejenigen Symbole berechnet, die als Konkurrenten für die jeweilige Hard Entscheidung erkannt werden. Somit enthält die Ausgabe Soft Bit-Entscheidungen für ein reduziertes Soft Informationspaket entsprechend den in der jeweiligen Hard Entscheidung gefundenen Symbol-Konkurrenten.

#### GSM EDGE Ausführungsform

**[0130]** Vorgestellt wird eine GSM EGPRS Mobilstation, die Mittel zur Durchführung des erfindungsgemäßen reduzierten Informationspaket-Verfahrens enthält. In Fig. 9 ist ein Blockdiagramm dargestellt, welches die funktionellen Verarbeitungsböcke in einer GSM EGPRS Mobilstation veranschaulicht. Das System ist darauf eingerichtet, zuverlässige Datenkommunikationen mit Raten bis zu 384 Kbit/s bereitzustellen. Die GSM EGPRS Mobilstation, allgemein mit **140** bezeichnet, umfasst einen Sender und Empfänger, aufgeteilt in folgende Abschnitte: Signalverarbeitungsschaltungen **170**, Basisband-Kodex **168** und HF Schaltungsabschnitt **166**.

**[0131]** In Senderichtung schützt der Signalverarbeitungsabschnitt die Daten, um zuverlässige Kommunikationen vom Sender zur Basisstation **154** über den Kanal **152** bereitzustellen. Mehrere vom Kanalcodierungsblock **144** durchgeführten Prozesse einschließlich einer CRC Prüfung (zyklische Redundanzcodeprüfung), Faltungscodierung, Verschachtelung und Burst Assembly, dienen dazu, die Benutzerdaten **142** zu schützen. Die resultierenden Daten werden zu Bursts zusammengesetzt, wobei außer der Schulungssequenz-Midamble, die in die Mitte des Bursts eingefügt wird, „Guard“ und „Tail“ Symbole hinzugefügt werden. Hinweis: Sowohl die Benutzerdaten als auch die Signalisierungsinformation durchlaufen eine ähnliche Verarbeitung. Das zusammengesetzte Burst wird nun durch einen Modulator **146** moduliert, der als  $3\pi/8$  Offset 8-PSK-Modulator implementiert werden kann.

**[0132]** In Empfangsrichtung wird die Ausgabe des Basisband-Kodex mit Hilfe eines komplementären 8-PSK Demodulators **160** demoduliert. Dann werden mehrere Prozesse, die vom Kanal-Decodierungsblock **162** im

Signalverarbeitungsabschnitt durchgeführt werden, an die demodulierte Ausgabe angelegt. Die durchgeführten Prozesse beinhalten Burst Disassembly, Entzerrung, Soft Symbol-Erzeugung einschließlich des erfindungsgemäßen reduzierten Informationspaketverfahrens, Soft-Symbol-zu-Soft-Bit-Umwandlung, Entschachtelung, Faltungs-Codierung und CRC Prüfung.

**[0133]** Der Basisband-Kodex wandelt die Sende- und Empfangsdaten über den D/A-Wandler **148** und den A/D-Wandler **158** in analoge bzw. digitale Signale um. Der Sende-D/A-Wandler stellt analoge Basisband I und Q-Signale am Sender **150** im HF-Schaltungsabschnitt bereit. Die I- und Q-Signale dienen zum Modulieren des Trägers zur Übertragung über den Kanal.

**[0134]** In Empfangsrichtung wird das von der Basisstation über den Kanal gesendete Signal von den Empfangsschaltungen **156** empfangen. Die vom Empfänger ausgegebenen analogen Signale I und Q werden über den A/D-Wandler wieder zurück in einen digitalen Datenstrom umgewandelt. Dieser digitale I und Q Datenstrom wird gefiltert und vom 8-PSK Demodulator demoduliert, bevor er in den Kanal-Decodierungsblock **162** eingegeben wird. Dann werden mehrere vom Signalverarbeitungsblock durchgeführten Prozesse an die demodulierte Ausgabe angelegt.

**[0135]** Die Mobilstation führt auch noch andere Funktionen durch, die als Höherebenen-Funktionen betrachtet werden können, wie Synchronisierung, Frequenz- und Zeit-Akquisition und -verfolgung, Überwachung, Messung der empfangenen Funksignalstärke und -Steuerung. Zu anderen Funktionen gehören Handhabung der Benutzeroberfläche, Signalisierung zwischen der Mobilstation und dem Netz, der SIM-Schnittstelle usw.

#### Simulationsergebnisse

**[0136]** Zur Veranschaulichung der Vorteil der vorliegenden Erfindung wurde ein GSM EGPRS (Enhanced General Packet Radio System) simuliert und die Ergebnisse hier vorgelegt. Die Simulation wurde unter Annahme eines GSM EGPRS Senders und eines 6-Tap TU50iFH Standardkanals in Empfindlichkeitsbedingungen durchgeführt.

**[0137]** Das EGPRS System ist ein zeitaufteilendes Mehrfachzugriffssystem (TDMA), das acht Benutzern die gemeinsame Benutzung der gleichen Trägerfrequenz gestattet. In einem EGPRS Sender werden die Bits mit einem Faltungscodierer mit 1/3 Rate codiert, verschachtelt und auf 8-ary Symbolen abgebildet. Die resultierenden codierten Datensymbole werden zusammen mit der Schulungssequenz zu einem Burst von 142 Symbolen zusammengesetzt, wie in [Fig. 10](#) veranschaulicht.

**[0138]** In GSM wird die Schulungssequenz in der Mitte jedes Bursts gesendet. Jedes Festlängen-Burst **180** besteht aus 142 Symbolen, denen ein 3-Symbol-Tail **183** vorausgeht und auf die ein 3-Symbol-Tail **187** und ein 8,25 Symbol Guard **188** folgen. Die 142 Symbole beinhalten einen 58 Symbol-Datenabschnitt **184**, eine 26-Symbol-Schulungssequenz **185** und einen weiteren 58-Symbol-Datenabschnitt **186**. Da die Schulungssequenz in der Mitte des Bursts gesendet wird, wird sie als Midamble bezeichnet. Sie wird in die Mitte des Bursts eingefügt, um die maximale Entfernung zu einem Datenbit auf ein Minimum zu reduzieren, so dass auch die zeit-variierenden Effekte an den Enden des Bursts auf ein Minimum reduziert werden.

**[0139]** Das Burst wird nun mit  $3\pi/8$ -Offset 8-PSK mit Gaußscher Impulsform gemäß des GSM-Standards moduliert. Die modulierte Ausgabe wird über einen frequenz-selektiven statischen Gaußschen Kanal übertragen, wobei Faltungscodierung mit 1/3 punctured Rate zum Einsatz kommt. Der Empfänger wurde darauf eingerichtet, die Soft Symbolinformation in Soft-Bit-Information gemäß der vorliegenden Erfindung umzuwandeln. Ein auf dem Viterbi Algorithmus basierender Soft Eingabe Faltungsdecodierer wurde als Außen-Decodierer benutzt. Die vom Wandler ausgegebenen Soft Bit-Werte wurden als Eingabe zum Soft Decodierer benutzt.

**[0140]** In [Fig. 11](#) ist eine Grafik mit den Simulationsergebnissen veranschaulicht, die die BER (Bitfehlerrate) am Ausgang des Außen-Decodierers vi SNR für einen verketteten Kommunikationsempfänger zeigt, der mit dem und ohne das erfindungsgemäße reduzierte Informationspaketverfahren konstruiert wurde. Die durchgezogene Kurve mit quadratischen Kästchen **190** stellt die BER vi SNR am Ausgang des Außen-Codierers dar, wenn nur Hard Entscheidungen vom Decodierer eingesetzt werden. Die durchgezogene Kurve mit Rauten **192** stellt die BER vi SNR dar, wenn ein suboptimales reduziertes Informationspaket, vorberechnet gemäß der vorliegenden Erfindung, vom Decodierer eingesetzt wird. Die gestrichelte Kurve mit Kreisen **194** stellt die BER vi SNR dar, wenn ein optimales vollständiges Informationspaket vom Decodierer eingesetzt wird.

**[0141]** Es ist zu sehen, dass bei Einsatz der vorliegenden Erfindung Leistungsanstiege von 3 bis 4 dB im Ver-

gleich zu Hard Entscheidungs-Decodierung erzielt werden können. Zum Beispiel wird bei einer BER von  $10^{-2}$  ein Leistungsanstieg von fast 4 dB erzielt, wenn das reduzierte Informationspaket verwendet wird. Ferner lässt sich, was wichtig ist, erkennen, dass die Verschlechterung aufgrund des Einsatzes des suboptimalen reduzierten Informationspakets minimal ist, so dass fast die gleiche Leistungsverbesserung wie im Falle des vollständigen Informationspakets erzielt wird.

#### Computer-Ausführungsform

**[0142]** In einer weiteren Ausführungsform wird die auf die Durchführung des erfindungsgemäßen reduzierten Informationspaket-Verfahrens eingerichtete Software auf einem Computer ausgeführt. Ein Blockdiagramm, das ein auf die Durchführung des erfindungsgemäßen reduzierten Informationspaket-Verfahrens eingerichtetes beispielhaftes Computerverarbeitungssystem darstellt, ist in [Fig. 12](#) veranschaulicht. Das System kann in ein Kommunikationsgerät, wie in einen Empfänger oder Sendeempfänger, der teilweise in Software implementiert ist, eingebaut werden.

**[0143]** Das Computersystem, allgemein mit **200** bezeichnet, umfasst einen Prozessor **202**, der als Mikro-Controller, Mikroprozessor, Mikrocomputer, ASIC-Kern, Zentraleinheit (CPU) oder als digitaler Signalprozessor (DSP) implementiert werden kann. Das System umfasst ferner einen statischen Nurlesespeicher **204** und einen dynamischen Hauptspeicher **206**, die alle in Kommunikation mit dem Prozessor stehen. Der Prozessor steht ferner über einen Bus **226** in Kommunikation mit einer Anzahl von Peripheriegeräten, die ebenfalls Teil des Computersystems sind. Ein A/D-Wandler **208** tastet den Ausgang des Basisbandsignals an der Vorrechnerschaltung **224** ab, die an den Kanal **222** gekoppelt ist. Vom Prozessor erzeugte Abtastungen werden in die Vorrechnerschaltung über den D/A Wandler **207** eingegeben. Die Vorrechnerschaltung umfasst HF-Schaltungen einschließlich Empfänger-, Sender- und Kanalkopplungsschaltungen.

**[0144]** Eine oder mehrere Kommunikationsleitungen **218** sind über die I/O-Schnittstelle **210** an das System angeschlossen. Eine Benutzeroberfläche **212** reagiert auf Benutzereingaben und stellt Feedback und andere Statusinformation bereit. Eine Host-Schnittstelle **214** verbindet ein Host-Gerät **216** mit dem System. Der Host ist darauf eingerichtet, den Betrieb des Systems zu konfigurieren, zu steuern und zu warten. Das System könnte ferner ein magnetisches Speichergerät **220** zum Speichern von Anwendungsprogrammen und Daten umfassen. Das System enthält ein computerlesbares Speichermedium, welches jedes geeignete Speichermittel beinhalten könnte, einschließlich, aber nicht begrenzt auf, Geräten wie Magnetspeichern, optischen Speichern, flüchtigen oder nichtflüchtigen Halbleiterspeichern, biologischen Speichern oder irgendwelchen anderen Speichergeräten.

**[0145]** Die Verfahrenssoftware des reduzierten Informationspakets ist darauf eingerichtet, auf einem computerlesbaren Medium, wie einer Magnetplatte innerhalb einer Laufwerkeinheit, zu residieren. Das computerlesbare Medium könnte aber auch eine Floppy, eine Flash-Speicherkarte, ein auf EEROM, EPROM oder EEPROM basierter Speicher, ein Rubble-Speicher, ein ROM Speicher usw. sein. Die Software, die darauf eingerichtet ist, das erfindungsgemäße reduzierte Informationspaket-Verfahren durchzuführen, könnte ebenfalls ganz oder teilweise in den statischen oder dynamischen Hauptspeichern oder in Firmware innerhalb des Prozessors des Computersystems (das heißt im internen Speicher des Mikro-Controllers, Mikroprozessors, Mikrocomputers, DSP usw. ) residieren.

**[0146]** In anderen Ausführungsformen könnte das erfindungsgemäße Verfahren auf Implementierungen der Erfindung in integrierten Schaltungen, feldprogrammierbaren Gate Arrays (FPGAs), Chip-Sets oder anwendungsspezifischen integrierten Schaltungen (ASICs), drahtlosen Implementierungen und anderen Kommunikationssystemprodukten angewendet werden.

**[0147]** Die beigefügten Ansprüche dienen dem Zweck, alle Merkmale und Vorteile der Erfindung abzudecken, die sinngemäß in den Geltungsbereich der vorliegenden Erfindung fallen. Da einem in der Technik bewanderten Fachmann zahlreiche Modifikationen und Änderungen einfallen werden, ist beabsichtigt, die Erfindung nicht auf die begrenzte Anzahl von hier beschriebenen Ausführungsformen zu begrenzen. Dementsprechend versteht es sich, dass alle geeigneten Variationen, Modifikationen und Äquivalente möglich sind, die sinngemäß in den Geltungsbereich der Erfindung fallen.

#### Patentansprüche

1. Verfahren zum Erzeugen von Soft-Bit-Entscheidungen aus Hard-Entscheidungen für ein M-ary Symbol-Alphabet, wobei das Verfahren durch folgende Schritte gekennzeichnet ist:

Vorberechnen (**Fig. 1**) einer Symbol-Konkurrenten-Tabelle 4, umfassend die wahrscheinlichsten Symbol-Konkurrenten für jede mögliche Symbolentscheidung;  
 für jede Hard-Entscheidung (**134**), Nachschlagen (**132**) der wahrscheinlichsten Symbol-Konkurrenten entsprechend jeder der m Bit-Positionen in der Symbol-Konkurrenten-Tabelle;  
 Berechnen von Soft-Ausgabe-Werten (**134**) entsprechend jedes Symbol-Konkurrenten;  
 Berechnen (**84, 86**) eines Soft-Bit-Entscheidungswertes für jedes der m Bits als Funktion der Hard-Entscheidung und der jeder bestimmten Bit-Position entsprechenden Konkurrenten-Symbole; und  
 wobei m und M positive Ganzzahlen sind.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass das Verfahren in einem Kommunikationsempfänger durchgeführt wird, der auf das Empfangen und Decodieren eines GSM-Signals (GSM = Globales System für Mobilfunkkommunikationen) eingerichtet ist.

3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Symbol-Konkurrenten-Tabelle a priori berechnet wird und die resultierende Symbol-Konkurrenten-Tabelle in einen Kommunikationsempfänger eingebaut wird, der auf das Empfangen und Decodieren eines GSM-Signals (GSM = Globales System für Mobilfunkkommunikationen) eingerichtet ist.

4. Verfahren nach Anspruch 1, ferner gekennzeichnet durch den Schritt des Bereitstellens eines Außen-Decodierers (**64**), der im Betrieb binäre Empfangsdaten entsprechend der Soft-Bit-Entscheidungswerte (**70**) erzeugt.

5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, dass der Außendecodierer einen Faltungs-Decodierer umfasst, der auf dem Viterbi-Algorithmus (VA) basiert.

6. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass das M-ary Symbol ein 8-PSK Symbol umfasst.

7. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass der Schritt des Berechnens von Soft-Ausgabewerten das Erzeugen (**134**) von Soft-Ausgabewerten umfasst, die als LLRs (Log Likelihood Ratios) dargestellt werden.

8. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass der Schritt des Berechnens von Soft-Bit-Entscheidungswerten das Erzeugen (**136**) von Soft-Bit-Entscheidungswerten umfasst, die als Bit LLRs (Log Likelihood Ratios) dargestellt werden.

9. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Hard-Entscheidungen von einem MLSE Equalizer (MLSE = Maximum Likelihood Sequence Estimation – Maximum Likelihood Folgeschätzung) erzeugt werden.

10. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Hard-Entscheidungen von einem DFE Equalizer (DEF = Decision Feedback Equalizer – Entscheidungsrückkopplungs-Equalizer) erzeugt werden.

11. Verfahren nach Anspruch 1, ferner gekennzeichnet durch den Schritt des Ausgebens von Soft-Bit-Werten an einen De-Interleaver (**62**), dessen Ausgabe anschließend in einen Soft-Decodierer (**64**) eingegeben wird, um die Werte in binäre Daten zu decodieren.

12. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Soft-Bit-Werte gemäß der wie folgt ausgedrückten Funktion erzeugt werden:

$$LLR(b_j) \approx \max_{l \in D_{j1}}(LLR(s_k = A_l)) - \max_{l \in D_{j0}}(LLR(s_k = A_l))$$

wobei  $LLR(s_k = A_l)$  das LLR (Log Likelihood Ratio) von Symbol  $s_k = A_l$  ist,  $A_l$  den Symbolwert darstellt,  $b_j$  den Bitwert für das j-te Bit des Symbols darstellt,  $D_{j0}$  et  $D_{j1}$  den Satz von Symbolen darstellen, wobei Bit  $j = 0$  bzw.  $1$ ,  $\forall l \in D_{jl}$  und  $b_j(A_l) = i$  für  $i = 0, 1$ ;  $j = 0, \dots, m - 1$ ;  $l = 0, \dots, M - 1$ .

13. Verfahren zum Erzeugen einer Symbol-Konkurrenten-Tabelle zum Gebrauch im Reduzieren der Komplexität eines Informationspakets das benutzt wird, um Soft-Bit-Werte aus Soft-Symbol-Informationen für ein M-ary Symbol-Alphabet zu erzeugen, wobei das Verfahren folgende Schritte umfasst:  
 für jede von M möglichen Symbolentscheidungen:

für jede Bit-Position  $j$  von  $m$  Bits per Symbol:

Berechnen der euklidischen Distanz zu den  $M/2$  Symbolentscheidungen dessen Bit in Position  $j$  gegenüber dem des  $f$ -ten Bit im aktuellen Symbol ist;

Auswählen der Symbolentscheidung wodurch eine minimale euklidische Distanz erzeugt wird;

Setzen der Symbolentscheidung in die Tabelle gemäss dem aktuellen Symbol und der aktuellen Bit-Position;  
und

wobei  $m$ ,  $M$  und  $j$  positive Ganzzahlen sind.

Es folgen 10 Blatt Zeichnungen

Anhängende Zeichnungen

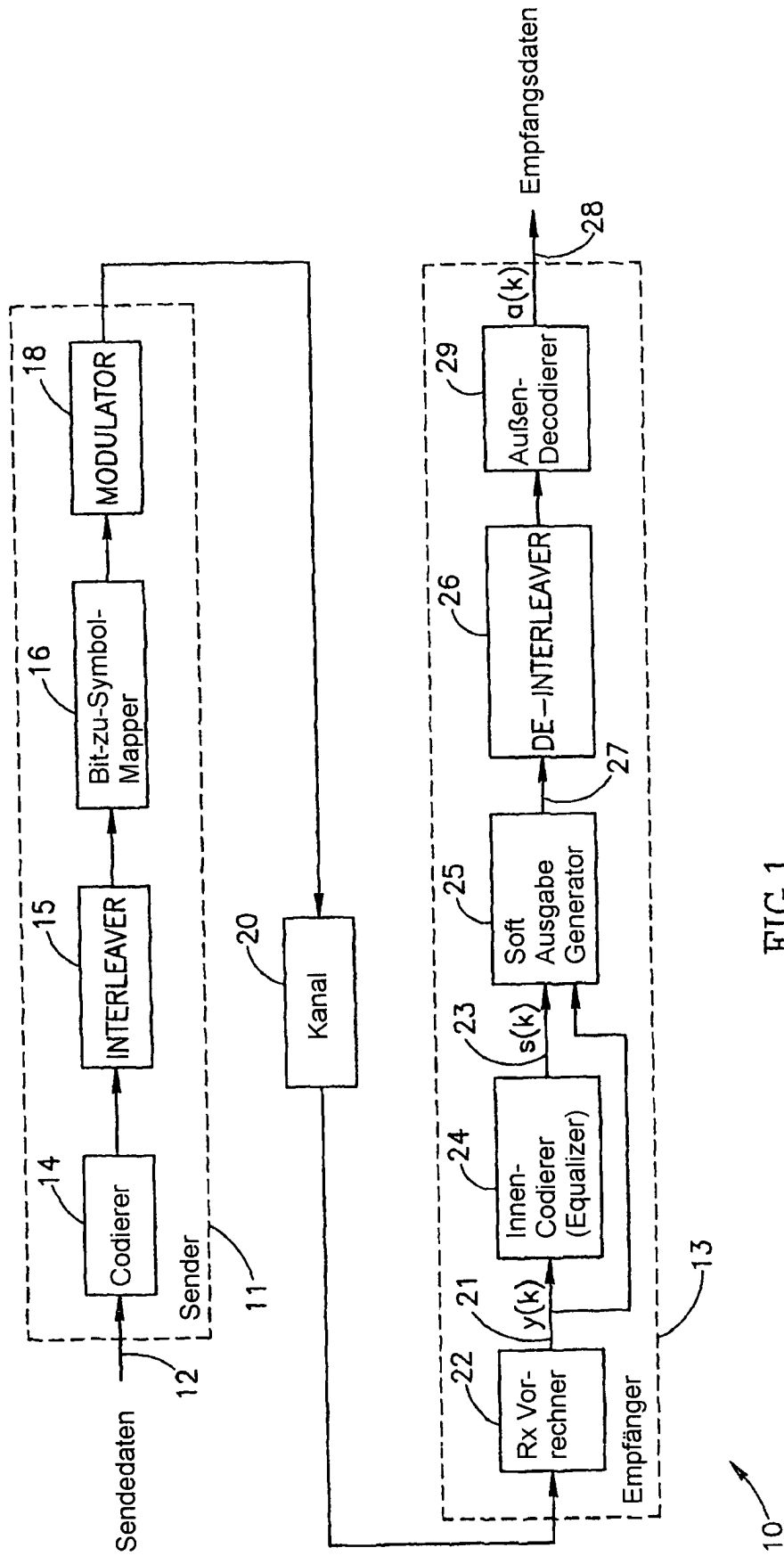


FIG.1

Stand der Technik

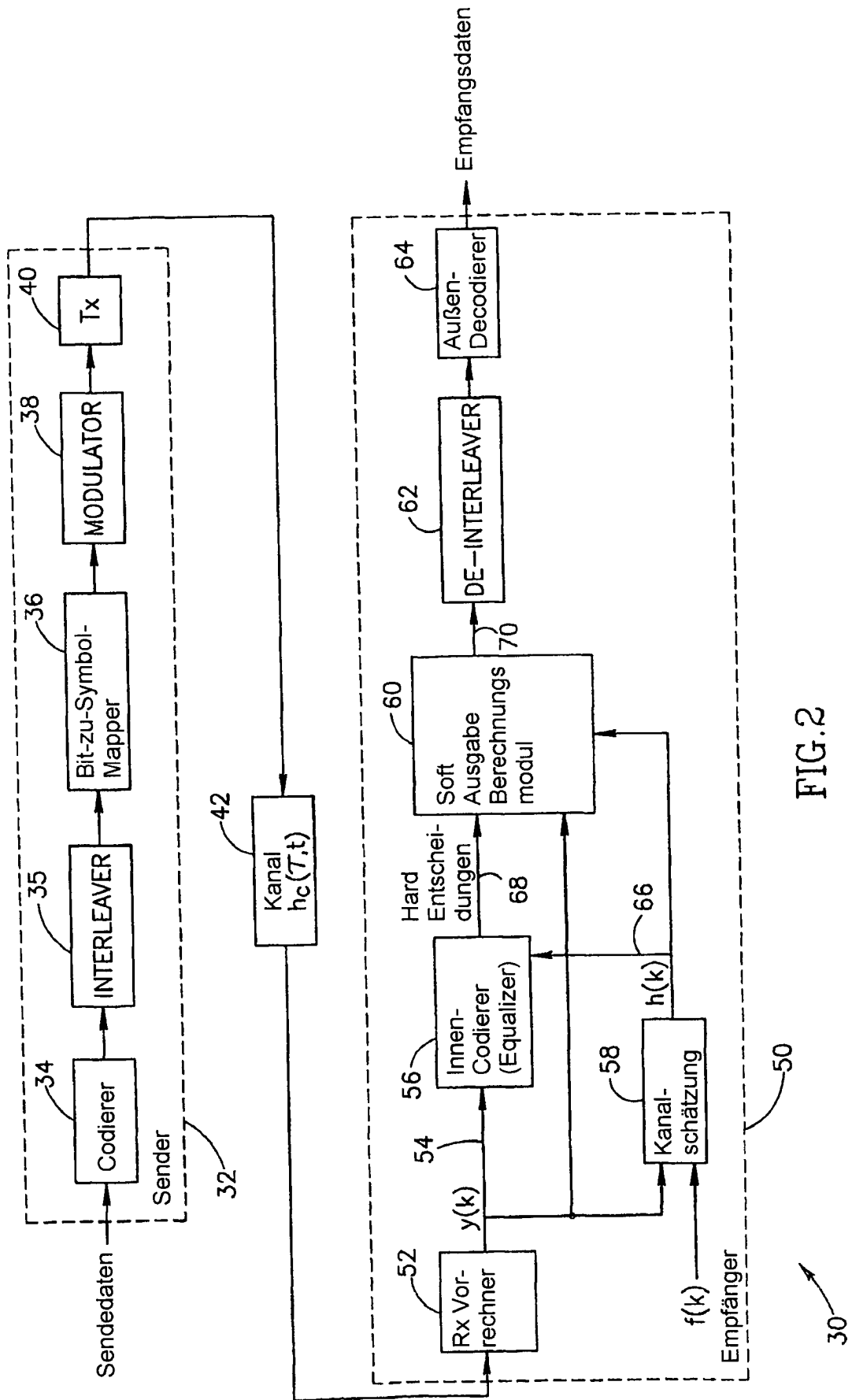


FIG.2



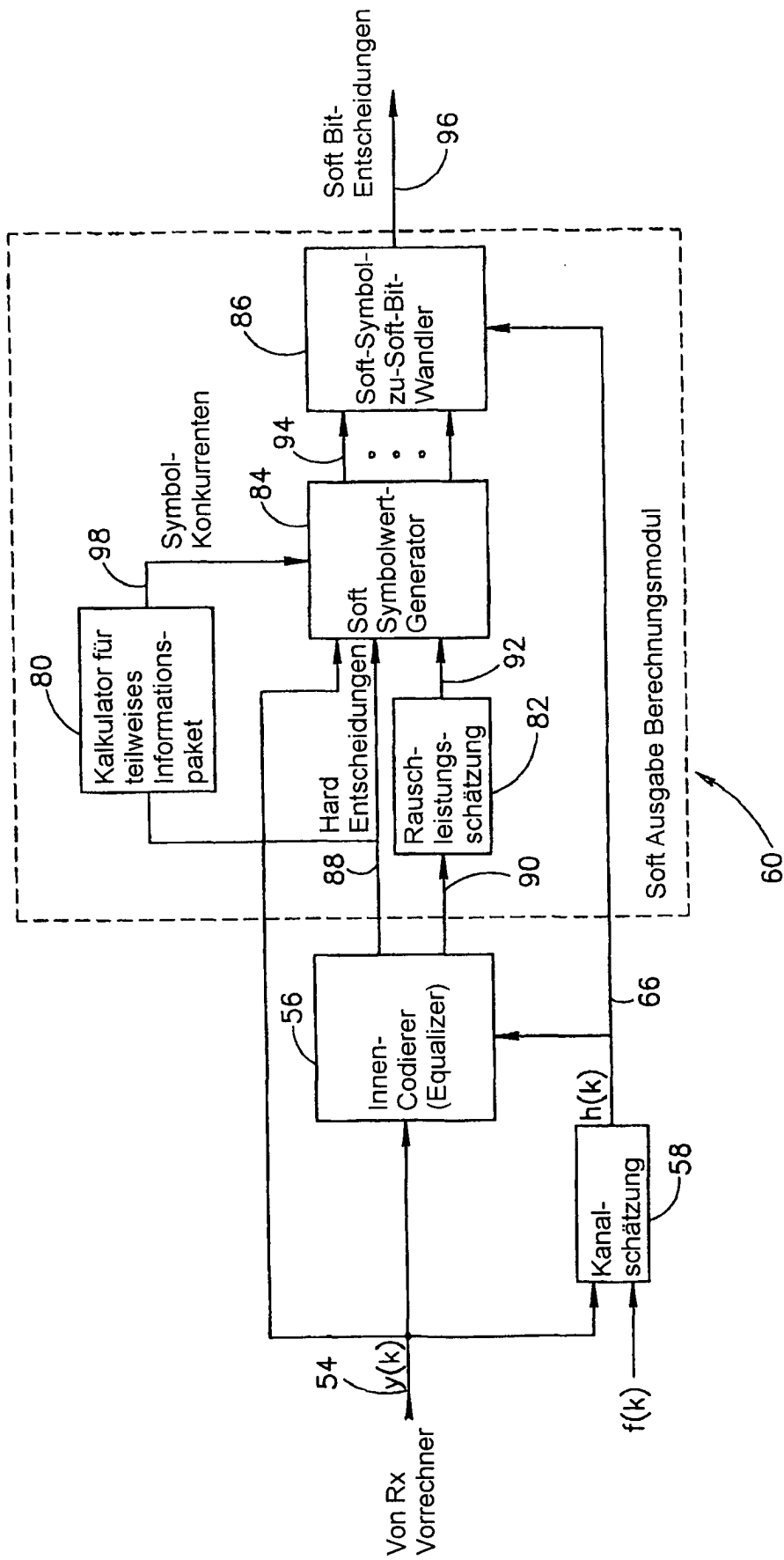


FIG.3

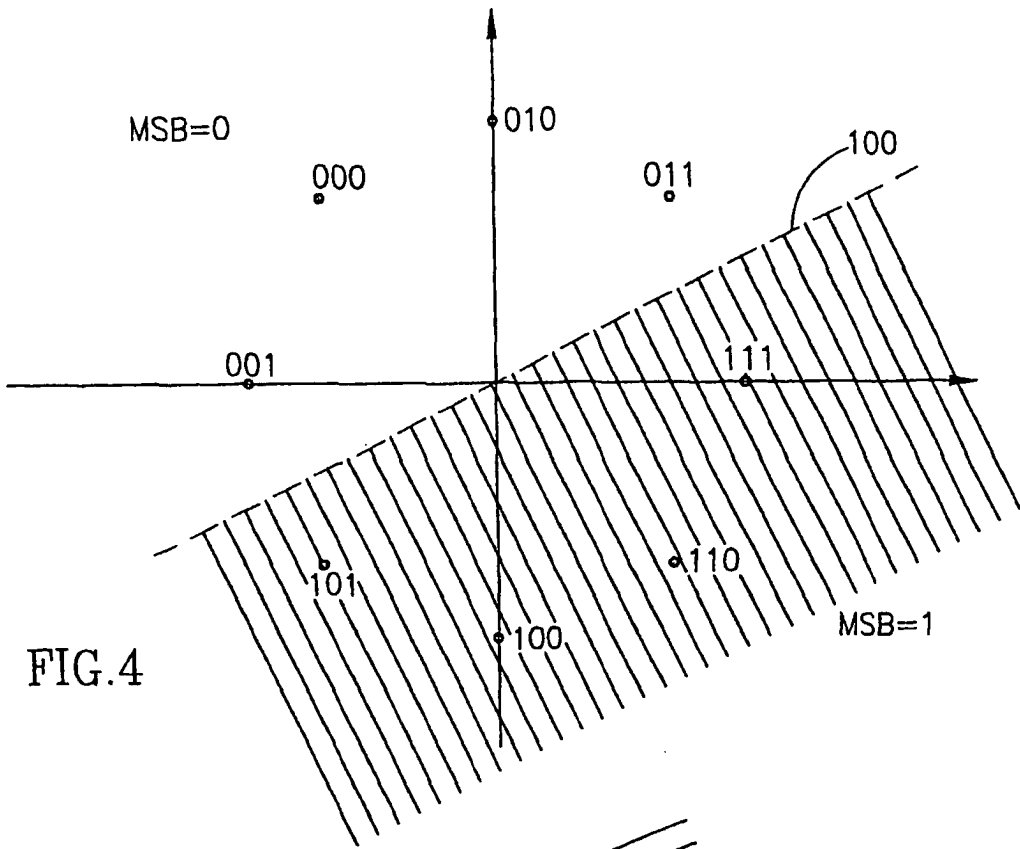


FIG. 4

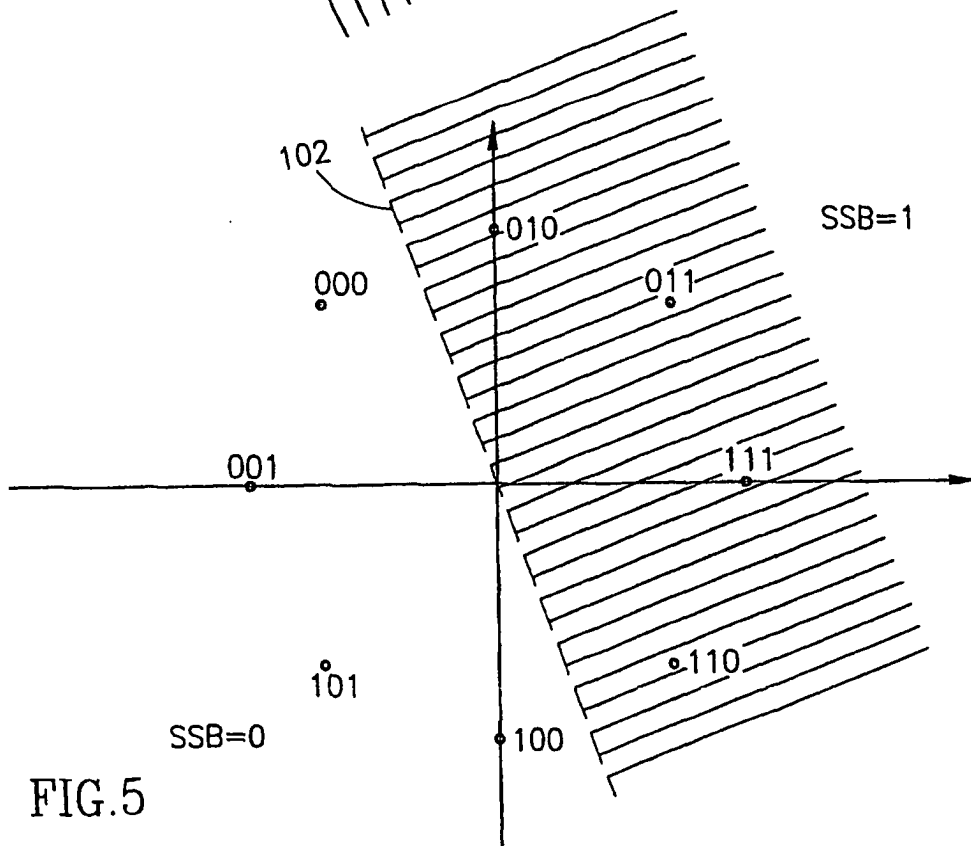


FIG. 5

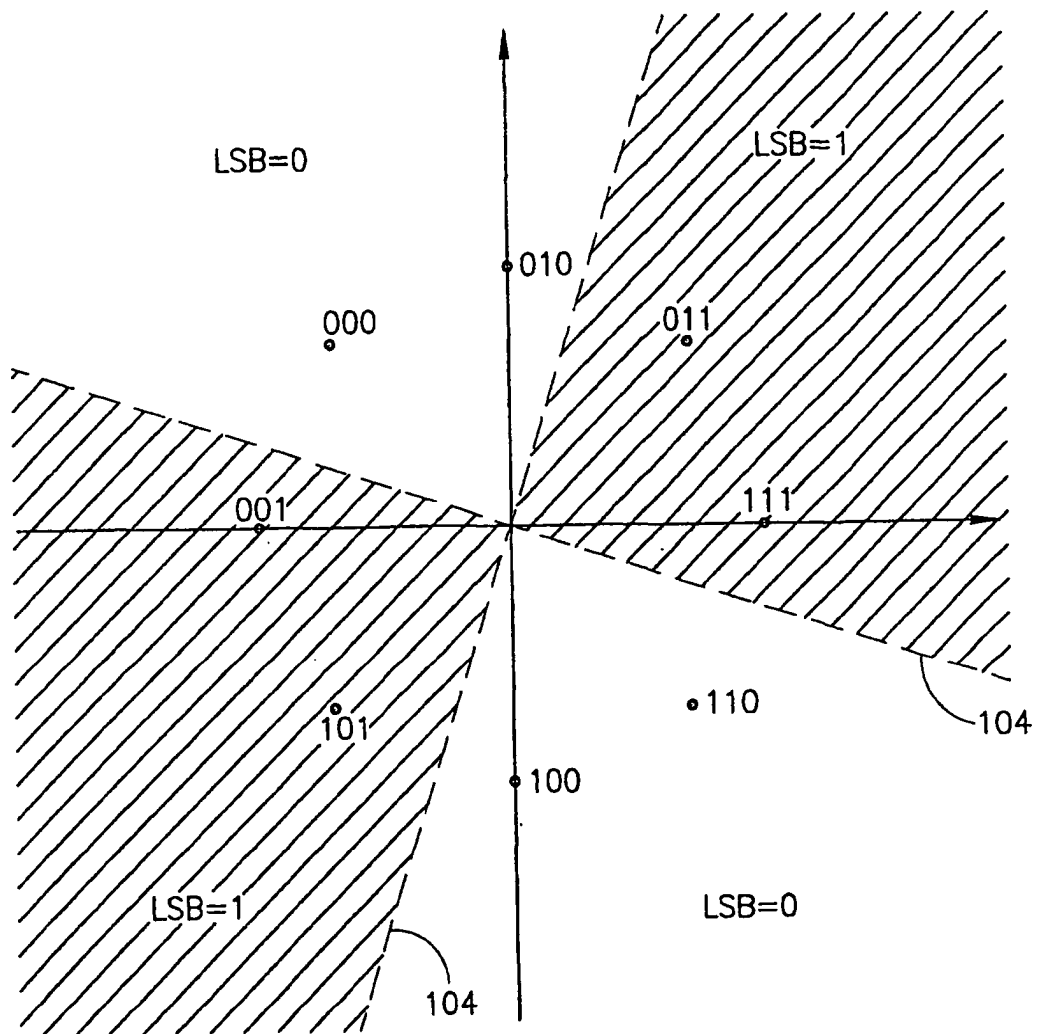


FIG.6

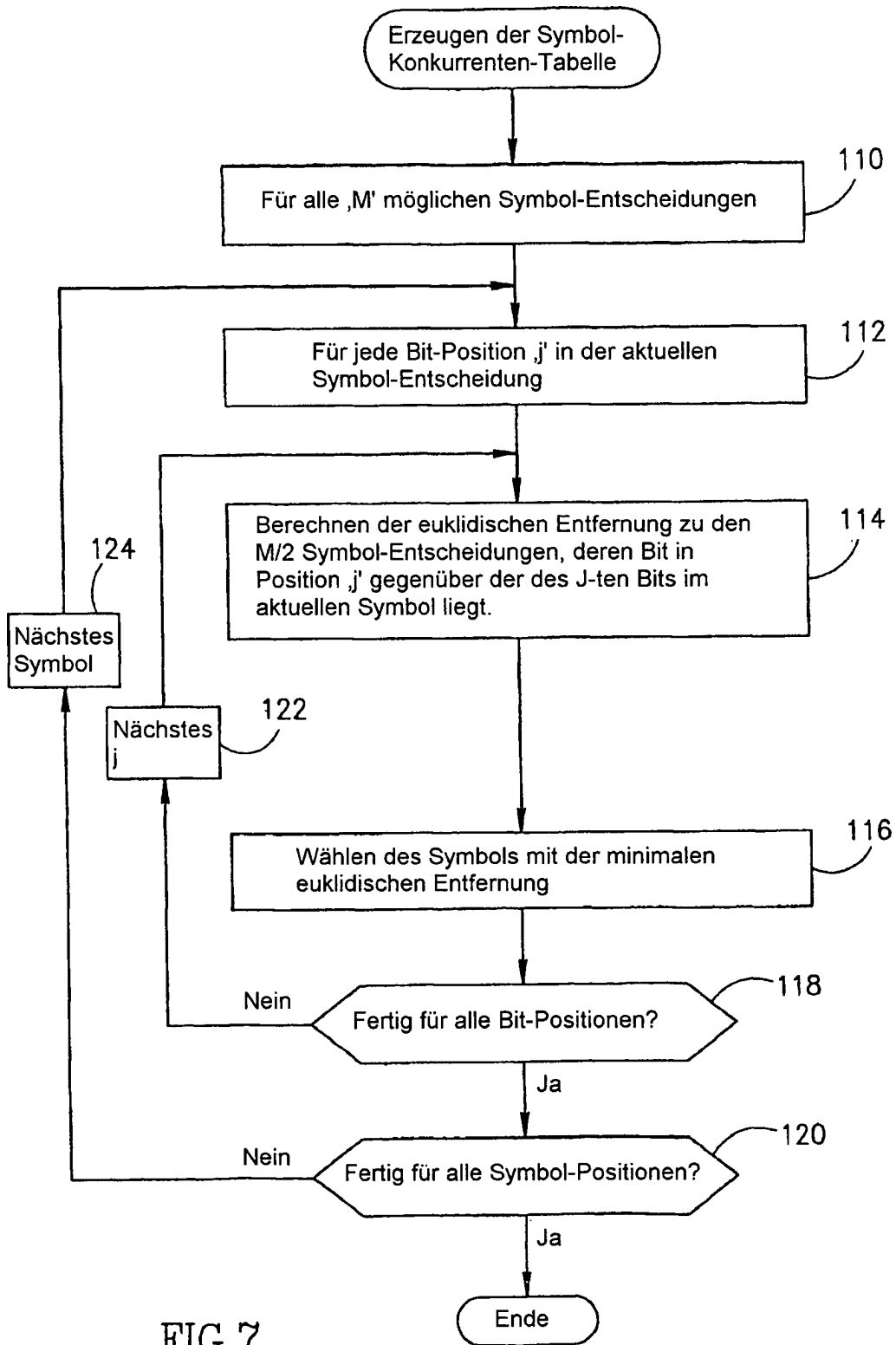


FIG.7

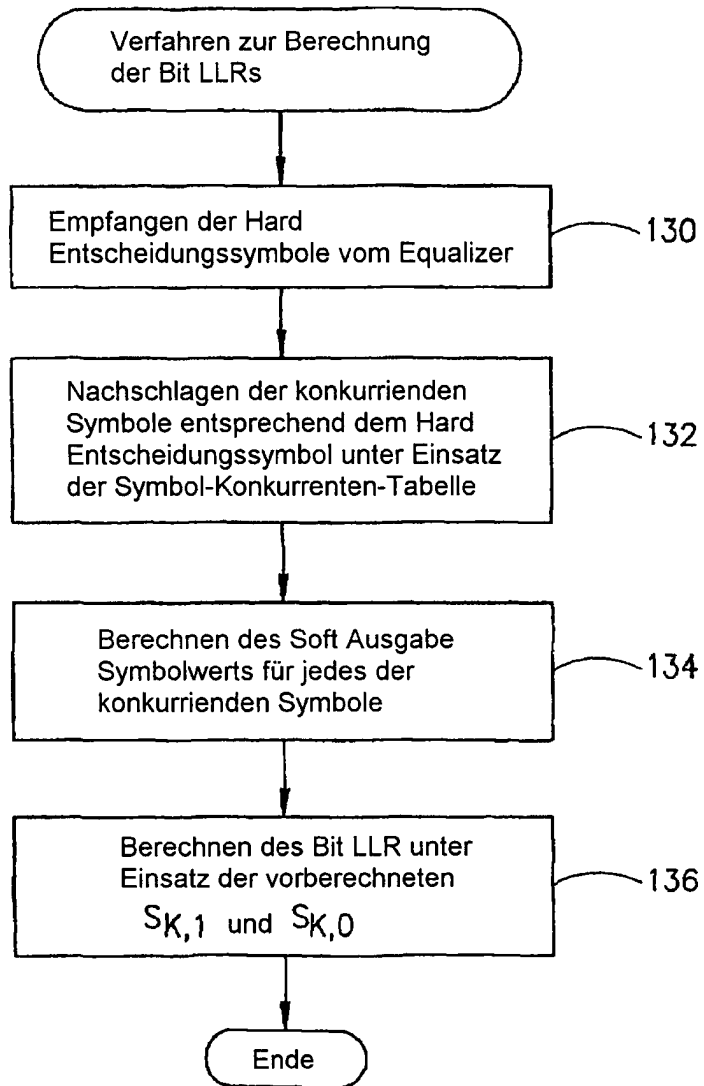


FIG.8

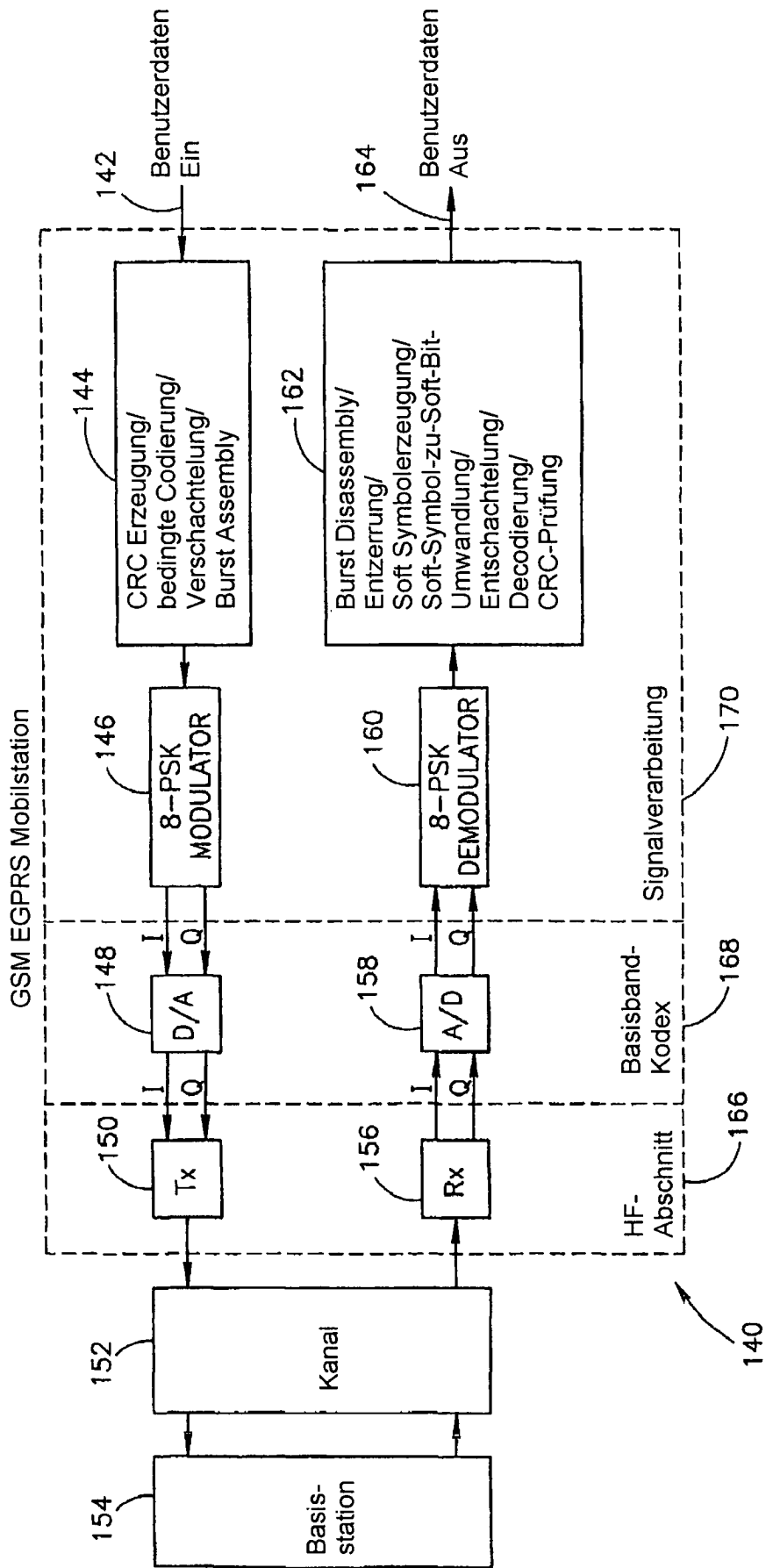


FIG.9

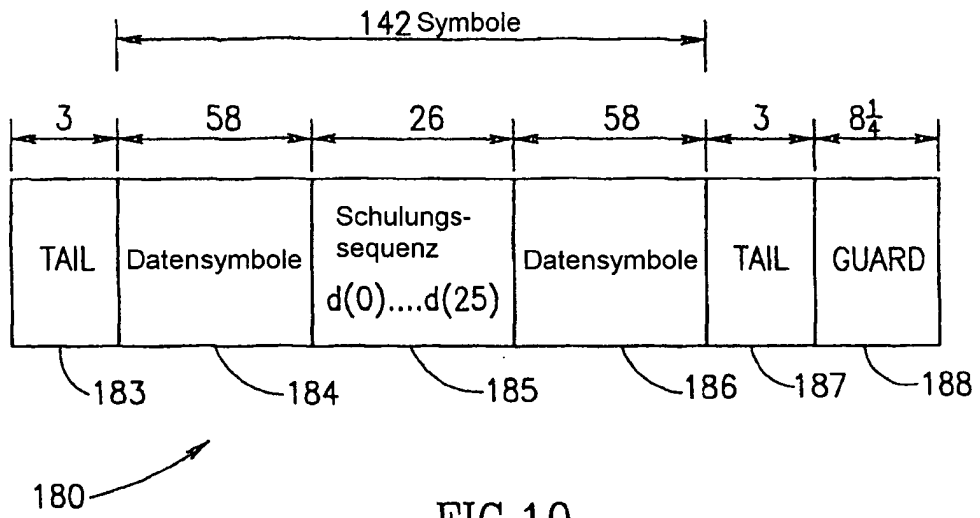


FIG.10

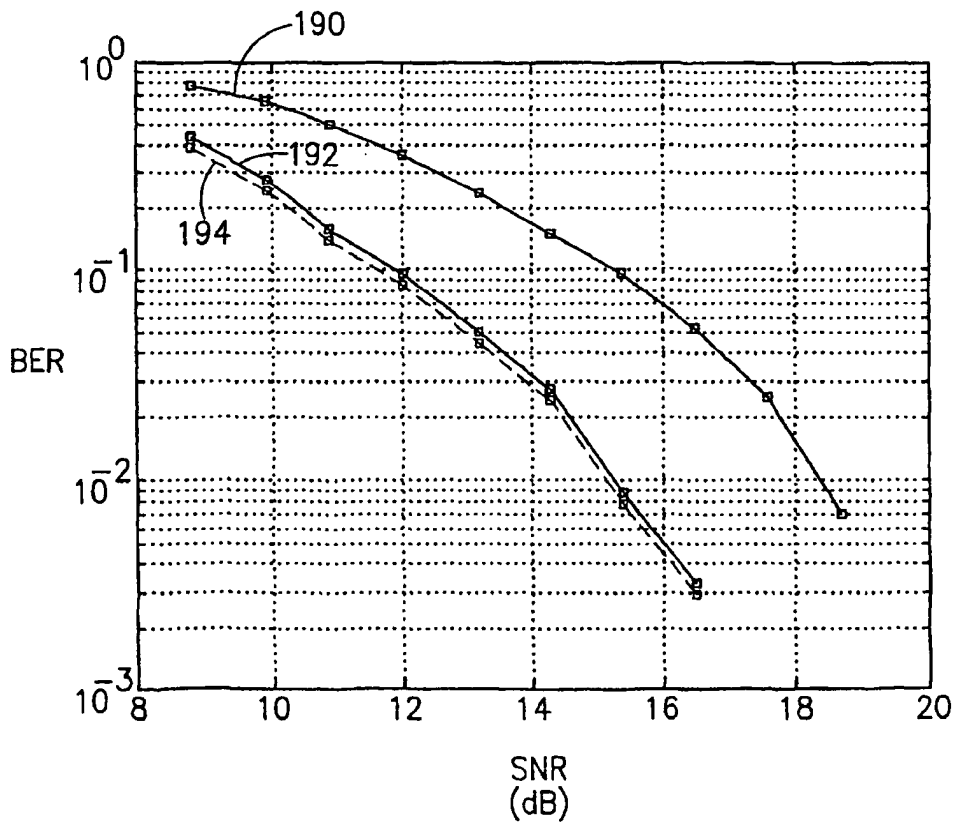


FIG.11

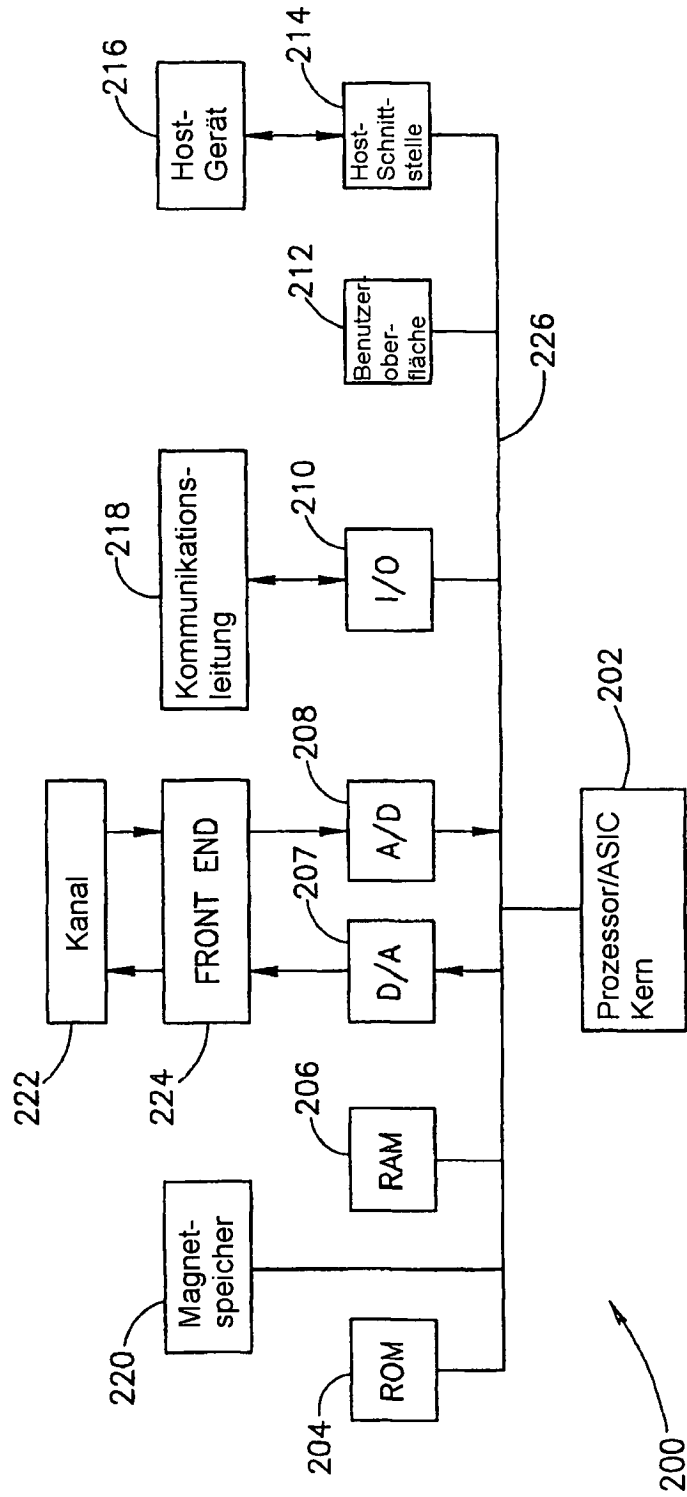


FIG.12