[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G06F 9/00

[12] 发明专利说明书

[21] ZL 专利号 96103895.0

[43] 授权公告日 2003 年 6 月 18 日

[11] 授权公告号 CN 1111784C

[22] 申请日 1996.5.10 [21] 申请号 96103895.0

[30] 优先权

[32] 1995. 5.15 [33] US [31] 440960

[71] 专利权人 摩托罗拉公司

地址 美国伊利诺斯

[72] 发明人 梁云兴 安德鲁·周 格伦·佐厄纳

[56] 参考文献

US4622547A 1986.11.11 G06F9/00

US5226119A 1993.07.06 G06F3/14

WO8910609A1 1989.11.02 G09G1/00

审查员 林松岭

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

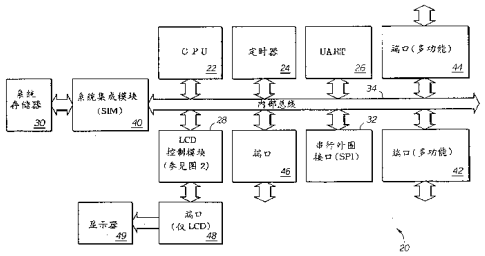
代理人 陆立英

权利要求书 2 页 说明书 11 页 附图 4 页

[54] 发明名称 具有串式直接存储器存取显示控制器的数据处理系统

[57] 摘要

数据处理系统(20)具有显示控制器(28)，利用系统存储器(30)而不利用视频 RAM，用于总线判优和数据成串，以提供显示数据来刷新液晶屏幕。屏幕 DMA(58)利用从系统存储器(30)取出的数据按预定数目字的串来填满行缓存器(60)。DMA 接收时钟信号比 CPU 所用的快些，以使 DMA 运行比 CPU 快些，来减小检索显示数据所需的带宽。CPU 时钟因功率控制须改变时，液晶屏幕不受影响。系统存储器存储显示数据可减小针脚总数、封装成本和电路板空间。



ISSN1008-4274

1. 一种数据处理系统，其特征在于，包括：

一个中央处理单元，耦连到总线上，用以执行从一个存储器单元检索的指令，该中央处理单元以第一频率接收第一时钟信号；

一个直接存储器存取控制器，耦连到所述的总线上，用以从所述的存储器单元取出显示器数据，该直接存储器存取控制器以第二频率接收第二时钟信号，该第二频率与所述的第一频率不同，该直接存储器存取控制器操作与所述的中央处理单元无关，其中所述的显示器数据用于刷新液晶显示器屏幕；

一个行缓存器，耦连到所述的存储器单元，用于存储从所述的存储器单元取出的所述的显示器数据；和

一个液晶显示器控制部分，耦连到所述的行缓存器，用于接收所述的显示器数据和第三时钟信号，该液晶显示器控制部分还用于刷新该液晶显示器屏幕，其中所述的第三时钟信号是以第三频率提供的，所述的第三频率不同于所述的第二频率。

2. 一种数据处理系统，其特征在于，包括：

一个中央处理单元，耦连到总线上，用于执行从一个存储器检索的指令，该中央处理单元以第一频率接收第一时钟信号；

一个液晶显示器控制器，耦连到上述的总线上，该液晶显示器控制器包括：

一个直接存储器存取控制器，用于访问所述的存储器，以便检索显示器数据，该直接存储器存取控制器以第二频率接收第二时钟信号，该第二频率不同于所述的第一频率；

一个行缓存器，耦连到所述的总线和所述的直接存储器存取控制器，用于存储从所述的存储器检索的显示器数据，所述的显示器数据用于周期性地刷新液晶显示器屏幕；和

一个液晶显示器控制部分，耦连到所述的行缓存器，用于接收所述的显示器数据和第三时钟信号，该液晶显示器控制部分利用所

述的显示器数据来刷新该液晶显示器屏幕，其中所述的第三时钟信号是以第三频率提供的，所述的第三频率不同于所述的第二频率。

具有串式直接存储器存取显示控制器的数据处理系统

技术领域:

本发明涉及数据处理，具体涉及具有串式（bursting）直接存储器存取显示控制器的数据处理系统。

背景技术:

液晶显示器(LCD)屏幕通常用来显示由数据处理系统产生的数据和/或图形。LCD屏幕典型地应用于要求小尺寸和功耗较低的场合中。一个分立的LCD控制器一般用于使LCD屏幕与数据处理系统接口，外部的视频存储器用于存储显示的数据，以刷新LCD屏幕。然而，应用外部视频存储器会增加数据处理系统中的针脚总数、电路板尺寸、封装成本和功耗。

发明内容:

总的来说，本发明提供一种具有显示控制器的数据处理系统，该显示控制器利用总线判优和数据成串(data bursting)来提供显示的数据，以便利用系统存储器而不是分立的视频RAM来刷新诸如LCD显示屏幕之类显示屏幕上的像素。系统存储器由显示控制器与中央处理单元(CPU)共享。屏幕DMA(直接存储器存取)控制器将系统存储器来的显示数据按照预定的数目字的串装填一个行缓存器。屏幕DMA控制器是一种通用的、飞(fly－by)型串式DMA控制器。一个LCD控制逻辑电路将来自行缓存器的显示数据泵激通过光标逻辑电路、帧速率控制电路和LCD接口电路，以刷新LCD显示屏幕。

屏幕DMA控制器接收一个比CPU或LCD控制逻辑使用的时

钟快些的时钟信号。这就容许屏幕 DMA 控制器运行得比 CPU 快些，以减小检索显示数据所需的带宽。此外，如果 CPU 时钟频率因功率控制目的而改变，则 LCD 显示屏幕由于使用不同的时钟而不会受到影响。CPU、显示控制器和系统存储器设在所示实施例的同一集成路上。利用系统存储器来存储显示的数据，可减少针脚总数、封装成本、电路板空间和功耗，这对于手持式电池供电的装置诸如寻呼机、无线电话机、袖珍游戏机等等来说，DMA 控制器是特别有用的。

当涉及将信号、状态位比特或类似装置表现为它的罗辑“真”或逻辑假时，将分别应用术语“肯定”和“否定”。如果逻辑“真”状态为数字逻辑电平“1”，则逻辑“假”状态便为数字逻辑电平“0”。而如果逻辑“真”状态为数字逻辑电平“0”，则逻辑“假”状态便为数字逻辑电平“1”。术语“总线”是指可用以传输一种或多种不同类型信息的许多信号通路，诸如数据、地址、控制或状态信息。

根据本发明的一个方面，这里提供一种数据处理系统，其特征在于，包括：

一个中央处理单元，耦连到总线上，用以执行从一个存储器单元检索的指令，该中央处理单元以第一频率接收第一时钟信号；

一个直接存储器存取控制器，耦连到所述的总线上，用以从所述的存储器单元取出显示器数据，该直接存储器存取控制器以第二频率接收第二时钟信号，该第二频率与所述的第一频率不同，该直接存储器存取控制器操作与所述的中央处理单元无关，其中所述的显示器数据用于刷新液晶显示器屏幕；

一个行缓存器，耦连到所述的存储器单元，用于存储从所述

的存储器单元取出的所述的显示器数据；和

一个液晶显示器控制部分，耦连到所述的行缓存器，用于接收所述的显示器数据和第二时钟信号，该液晶显示器控制部分还用于刷新该液晶显示器屏幕，其中所述的第三时钟信号是以第三频率提供的，所述的第三频率不同于所述的第二频率。

根据本发明的另一个方面，这里提供一种数据处理系统，其特征在于，包括：

一个中央处理单元，耦连到总线上，用于执行从一个存储器检索的指令，该中央处理单元以第一频率接收第一时钟信号；

一个液晶显示器控制器，耦连到上述的总线上，该液晶显示器控制器包括：

一个直接存储器存取控制器，用于访问所述的存储器，以便检索显示器数据，该直接存储器存取控制器以第二频率接收第二时钟信号，该第二频率 不同于所述的第一频率；

一个行缓存器，耦连到所述的总线和所述的直接存储器存取控制器，用于存储从所述的存储器检索的显示器数据，所述的显示器数据用于周期性地刷新液晶显示器屏幕；和

一个液晶显示器控制部分，耦连到所述的行缓存器，用于接收所述的显示器数据和第三时钟信号，该液晶显示器控制部分利用所述的显示器数据来刷新该液晶显示器屏幕，其中所述的第三时钟信号是以第三频率提供的，所述的第三频率不同于所述的第二频率。

附图说明：

图 1 示出按照本发明的数据处理系统的一个实施例方框图。

图 2 示出图 1 的数据处理系统的一部分的方框图。

图 3 示出图 1 的数据处理系统中各种信号的定时图。

图 4 示出图 1 的数据处理系统工作的流程图。

具体实施方式:

参考图1至图4,充分地描述本发明。图1示出按照本发明的数据处理系统20的方框图。数据处理系统20包括中央处理单元(CPU)22、定时器24、通用异步接收机/发射机(UART)模块26、LCD控制模块28、串行外围接口(SPI)32、内部信息总线电路34、系统集成模块(SIM)40、多功能端口42和44以及端口46和48。

SIM 40连接到内部总线电路34上,借助于内部总线电路34可接收和发送信号到数据处理系统20,或到数据处理系统20的外部

电路。多功能端口 42 和 44 能接收和发送数字处理系统 20 外部的信号，它们连接到内部总线电路 34 上。端口 46 和 48 能接收和发送数据处理系统 20 外部的信号，它们连接到内部总线电路 34 上。端口 42、44 和 46 是多用途并行的双向端口，用以发送和接收对数据处理系统 20 外部的信号，诸如键盘，外部存储器、DSP(数字信号处理器)、调制解调器等等外部电路的信号。端口 48 用来向 LCD 显示器 49 发送显示的数据。端口 42、44、46 和 48 可连接到集成电路针脚、焊点(pad)或其它类型端子上，用以发送和接收数据处理系统 20 外部的信号。SIM 40 能接收和发送连接到内部总线电路 34 上的其它模块的任何模块的信号。

CPU 22 连接到内部总线电路 34 上，可以接收和发送连接到内部总线电路 34 上的每一个其它模块的信号。CPU 22 可以任选的接收和发送通过 SIM40 的数据处理系统 20 外部的信号。CPU 通常负责接收、解释和执行软件指令，用以控制数据处理系统。UART 26 连接到内部总线电路 34 上。UART 26 支持带有诸如调制解调器之类外部装置的异步串行通信，并支持标准波特率的其它数据处理系统。

SPI 32 能接收和发送数据处理系统 20 的外部的信号以及通过内部总线电路 34 与其它模块一起工作。SPI 32 是一个主/从串行外围接口，用来与诸如为模/数转换器、非易失性存储器装置和其它数据处理系统之类的外部装置进行通信。系统存储器 30 与 SIM 40 双向地连接。系统存储器 30 是一个常规的存储器单元，含有以行和列排列组织的静态随机存取存储器单元阵列。系统存储器 30 可以处在数据处理系统 20 之外，或者可以是在数据处理系统 20 那样的同

一集成电路上。在图示的实施例中，系统存储器30是一个外部存储器单元。定时器24连接在内部总线电路34上，并通过内部总线电路34与数据处理系统20的其它模块进行通信。

LCD控制模块28连接到内部总线电路34上。LCD控制模块28提供控制功能，用以刷新连接到端口48上的LCD显示屏幕。LCD控制模块28将在讨论图2时较详细地说明。

图1的数据处理系统20的实施例示明了微处理器系列内的一个具体微处理器。由于同一系列中的诸多微理器通常具有许多不同的在板上的外围设备或模块，图1只示出数据处理系统20的一个实施例。数据处理系统20的其它实施例可以具有与图1示例的那些外围设备相比少些、多些或不同的外围设备。

图2示出图1数据处理系统20的部分电路的方框图。LCD控制模块28含有CPU接口寄存器56、屏幕直接存储器存取(DMA)控制器58、行缓存器60和显示器控制部件61。显示器控制部件61含有光标逻辑62、帧速率控制器64和LCD接口66。屏幕DMA控制器58是一个通用的、飞型16比特宽的串式DMA。片(chip)选逻辑54是SIM 40(图1)的一部分。内部总线电路34(亦示于图1中)包括一条地址总线51和一条数据总线52。

CPU 22具有一个输入端，用以接收标有“CPU CLOCK”的时钟信号；多个双向端子，连接到地址总线51；一个输入端，用以接收标有“BR*”的总线请求信号；一个输出端，用以提供出标有“BG*的总线准备就绪信号；以及多个双端子，连接到数据总线52。片选逻辑54是图1中示出的SIM 40的一部分，具有多个输入端子，连接到地址总线51；第一输出端，用以提供出标有“CS*”的片选信号；以及第

二输出端，用以提供出标有“OE*”的输出允许(enable)信号。请注意，在信号名字后面加星号(*)表示该信号是逻辑“0”激话。系统存储器30具有第一输出端，连接到片选逻辑54上，用以接收片选信号CS*；第二输入端，连接到片选逻辑54的第二输出端上，用以接收输出允许信号OE*；多个双向端子，连接到地址总线51；以及多个双向端子，连接到数据总线52上。

CPU接口寄存器56具有多个双向端子，连接到地址总线51；多个双向端子，连接到数据总线52；以及一个输入端，用以接收，标有“SYSTEM CLOCK”的时钟信号。屏幕DMA 58具有多个输出端子，连接到地址总线51；第一输出端，用以提供总线请求信号BR*；第二输出端，用以提供标有“WS”的写入选通；第一输入端，用以接收总线许可(grant)信号BG*；第二输入端，用以接收标有“RD”的请求数据控制信号；以及第三输入端，用以接收时钟信号SYSTEM CLOCK。行缓存器60具有多个输入端，连接到数据总线52；一个输出端，用以提供请求数据控制信号RD；一个输入端，用以接收写入选通WS；以及多个输出端。

在显示器控制部件61中，光标逻辑62具有多个输入端子，连接到行缓存器60输出端子；多个输出端子；以及一个输入端，用以接收标有“LCD CLOCK”的时钟信号。帧速率控制器64具有一个输入端，用以接收时钟信号LCD CLOCK；多个输入端子，连接到光标逻辑62输出端上；以及多个输出端子。LCD接口66具有多个输入端，连接到帧速率控制器64输出端上；以及多个输出端子，连接到端口48上。

图3示出图1数据处理系统中各信号的定时图。时钟信号

SYSTEM CLOCK 的每一个时钟周期用“t”后面再加一个数号来标识。参照图 2 和图 3，LCD 控制模块 28 利用总线判优和数据成串，向行缓存器 60 提供来自系统存储器 30 的显示数据，按需刷新 LCD 屏幕 49。行缓存器 60 实质上含有两个或多个行缓存器，工作情况类似于先进先出(FIFO)缓存器。当由显示控制部件 61 将行缓存器 60 中诸多行缓存器之一来的显示数据泵激进入 LCD 显示器 49 时，另一个行缓存器可以由系统存储器 30 更新。当行缓存器 60 为空或几乎为空时，行缓存器 60 断定请求数据信号 RD 为逻辑“1”送往屏幕 DMA 58。屏幕 DMA 58 用系统存储器 30 来的显示数据以预定数目字的串填满行缓存器 60。预定数目字的串在所示的实施例中是 8 个或 16 个。但在其它实施例中，串数目也可以不同。屏幕 DMA 58 如在图 3 所示在时钟周期 t1 断定总线请求 BR^* 到达 CPU 22。当内部总线电路 34 可应用时，CPU 22 断定，总线许可信号 BG^* 为逻辑 0 如图所示在时钟周期 t1 的始端。请注意，在图 3 中总线许可信号如图所示发生在总线请求信号被肯定之后的一个时钟周期上。然而，在总线请求与总线许可之间可发生几次判优状态。另外，在 CPU 22 处于功率减小方式时，总线许可信号 BG^* 已是逻辑“0”，在此情况下，肯定总线许可信号只需要不到一个时钟周期的时间。

在时钟周期 t2 的始端，8 个字成串从系统存储器 30 到行缓存器 60。在时钟周期 t2，标为“A0”的一个基本地址由屏幕 DMA 58 通过地址总线 51 提供给系统存储器 30。另外，片选逻辑 54 断定片选信号 CS^* 和输出允许信号 OE^* 来选择系统存储器 30。对应于基本地址 A0 的标有“D0”的数据信号从系统存储器 30 被读出，并写入行缓

存器60。然后，屏幕DMA58使基本地址A0 增量，以产生标有“A1”的地址。将地址A1提供给系统存储器30，并将标有“D1”的数据信号写入行缓存器60。从时钟周期t4到时钟周期t9，对于地址信号A2－A7数据串继续检索对应的显示数据信号D2－D7。在数据串完成之后，LCD控制模块28停止控制内部总线电路34。

为了减小对显示数据检索所需的带宽，时钟信号SYSTEM CLOCK是以比时钟信号CPU CLOCK和LCD CLOCK高些的频率来提供的。这容许屏幕DMA58运行得比CPU22快些。此外，如果CPU时钟频率因功率控制目的而改变，则由于LCD显示屏幕以不同的时钟工作而不受影响。

显示数据由行缓存器60提供给光标逻辑62、帧速率控制器64和LCD接口66。这些部件给普通的LCD驱动器提供常规的显示控制逻辑。在示例的实施例中，LCD显示器49是一个常规的单色LCD板，具有320×240像素到1024×512像素的屏幕尺寸。

LCD控制逻辑61泵激显示数据通过光标逻辑62、帧速率控制器64和LCD接口66，以刷新LCD显示屏幕。光标逻辑62接收显示数据，并控制显示屏幕上光标的位置。光标逻辑62含有一个垂直行计数器和一个水平像素计数器，来规定光标在屏幕上的位置。帧速率控制器64接收显示数据，并为更新显示屏幕确定显示速率定时。显示速率取决于所用的特定LCD屏幕的显示速率要求。LCD接口66将LCD显示器49通过端口48接口到LCD控制模块28上。

图4示出图1的数据处理系统20的工作流程图，表示LCD 控制模块28从系统存储器30中检索显示数据的过程。菱形框70和

76表示判断步骤，矩形框71、72、73、74、75、77和78表示在检索操作中执行的步骤。在步骤70，不断地监视行缓存器60的内容。当行缓存器60几乎空时，“是”通路通到步骤71。在步骤71，LCD控制模块28通过发出总线请求信号BR*请求访问内部总线电路34。在步骤72，访问内部总线电路34得到许可，总线许可信号BG*被肯定。在步骤73，屏幕DMA58在一个基本地址上访问系统存储器30，从基本地址开始向行缓存器60成串输入显示数据。在步骤74，从系统存储器30中读出显示数据。在步骤75，显示数据以预定数目字的串写入行缓存器60。

在判断步骤76，通过检查对基本地址增量所用的计数器（未示出）的计数值，确定串是否结束。如果串未结束，则“否”的通路到步骤77，使先前的地址增量，再重复步骤74和75，从系统缓存器30中检索显示数据。当串结束时，使“是”的通路到步骤78，如上所述，应用显示数据来刷新LCD显示器屏幕49。

为了减少针脚总数、封装成本及电路板空间，LCD显示控制模块28直接从系统存储器30中检索数据，而不使用分立的视频随机存取存储器。LCD控制模块28和CPU22利用单独的时钟信号定时，以使LCD控制模块28工作得比CPU快些，以减小LCD控制模块28所需的带宽。

虽然，在优选实施例的上下文中业已描述了本发明，但对本领域的技术人员很显然可以按无数途径修改本发明，可以设想出除了上文所述的具体实施例以外的许多实施例。例如，在示例的实施例中采用了LCD屏幕，然而，在其它实施例中可以应用不同类型的显示屏幕，例如LED（发光二极管）屏幕。为此，所附的权利要求书旨意

是覆盖对本发明所作的一切修改，它们都落在本发明的精神实质和范围之内。

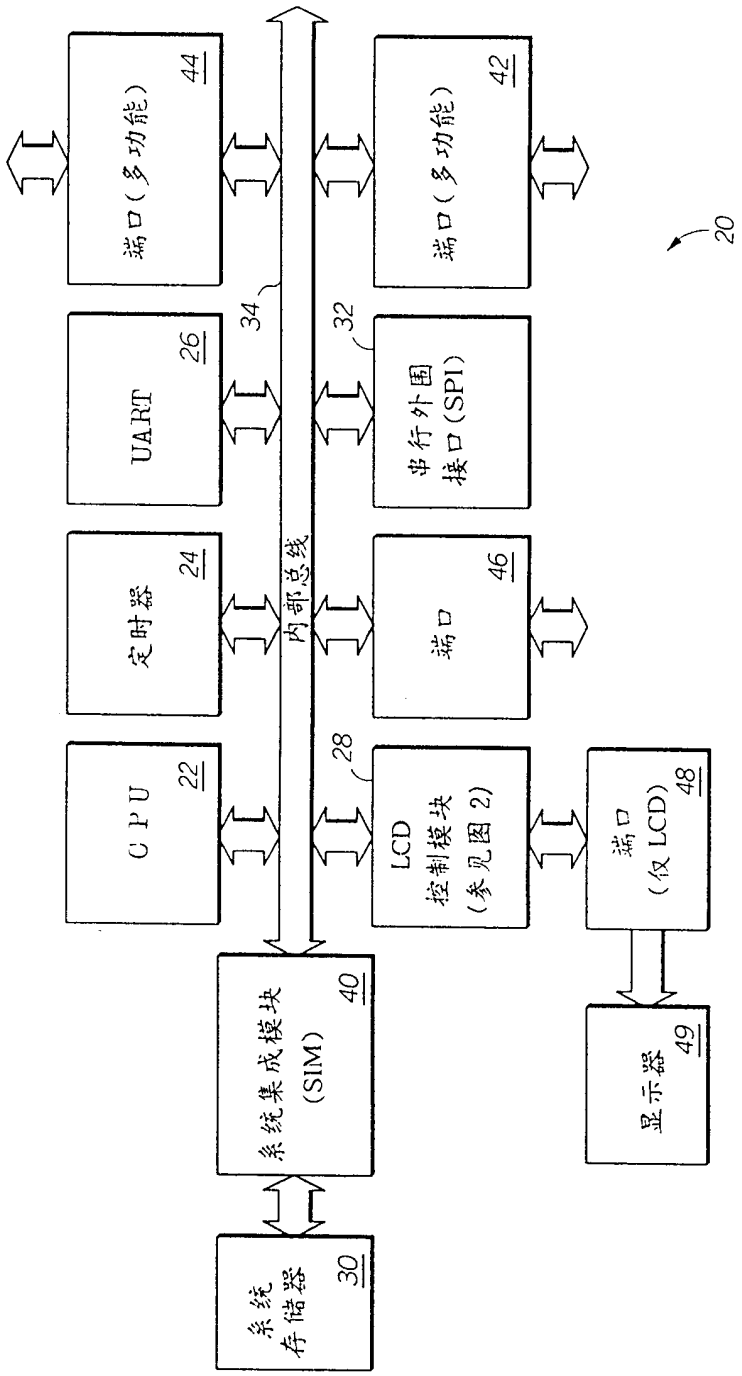

端口（多功能）
44
端口（多功能）
42
20
34
32
UART
26
串行外围
接口（SPI）
定时器
24
内部总线
端口
46
CPU
22
28
LCD
控制模块
（参见图 2）
端口
（仅 LCD）
48
系统集成模块
（SIM）
40
显示器
49
系统
存储器
30

图 1

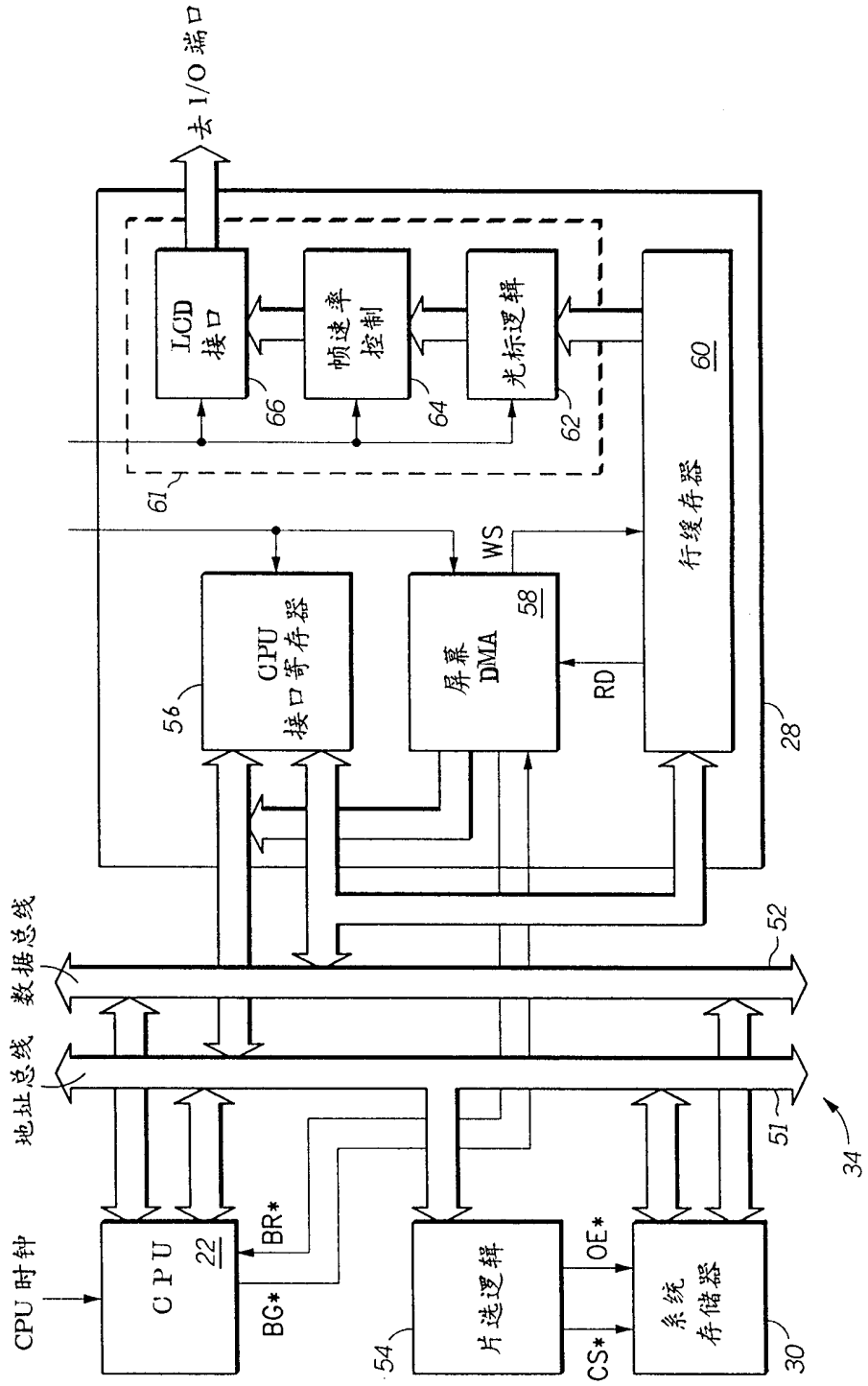

去 I/O 端口
LCD 接口
帧速率控制
光标逻辑
60
61
66
64
62
行缓存器
WS
CPU 接口寄存器
屏幕 DMA
58
56
RD
28
数据总线
52
地址总线
51
34
CPU 时钟
CPU 22
BR*
BG*
54
片选逻辑
OE*
CS*
系统存储器
30

图 2

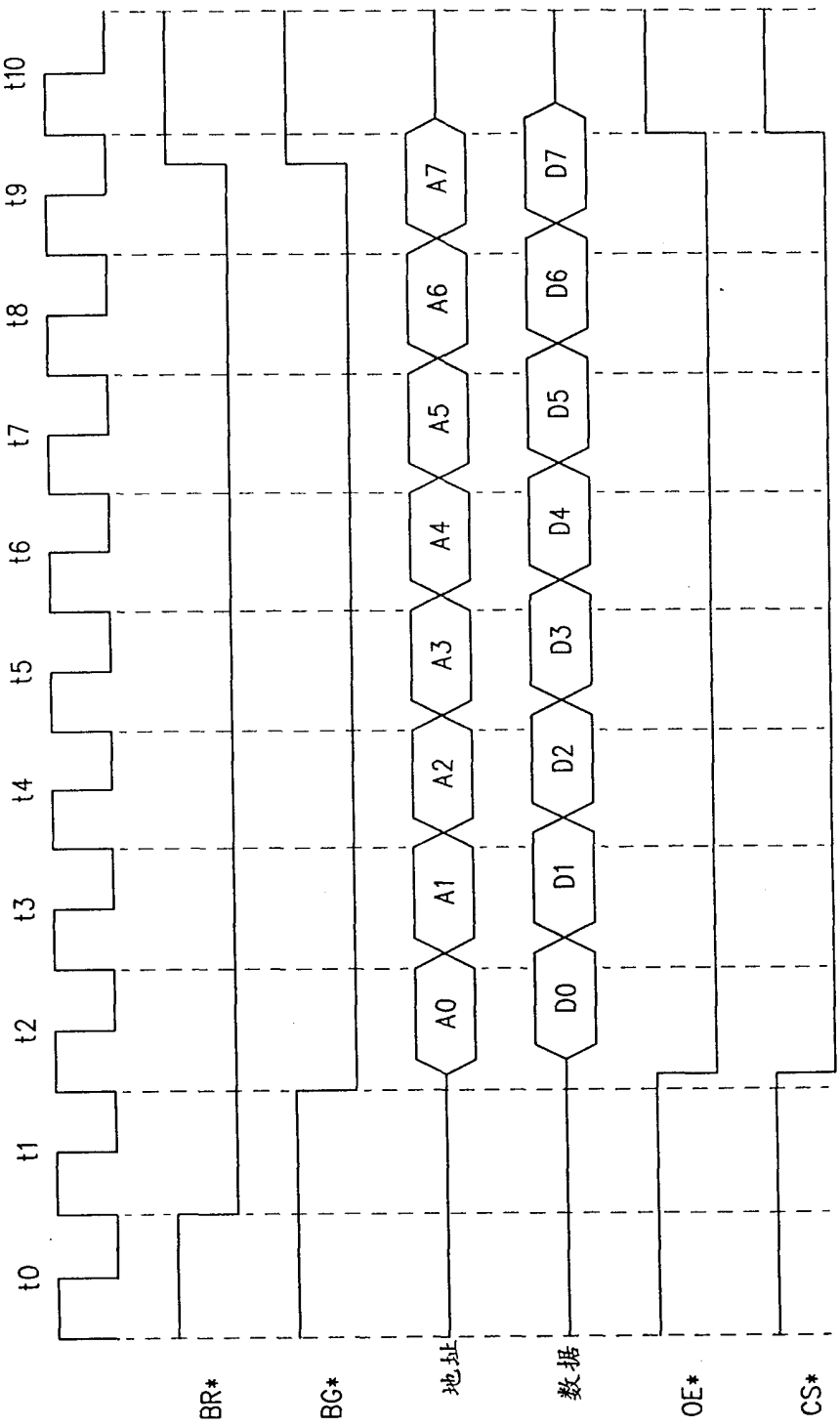

t0
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
A0
A1
A2
A3
A4
A5
A6
A7
D0
D1
D2
D3
D4
D5
D6
D7
BR*
BG*
地址
数据
OE*
CS*

图 3

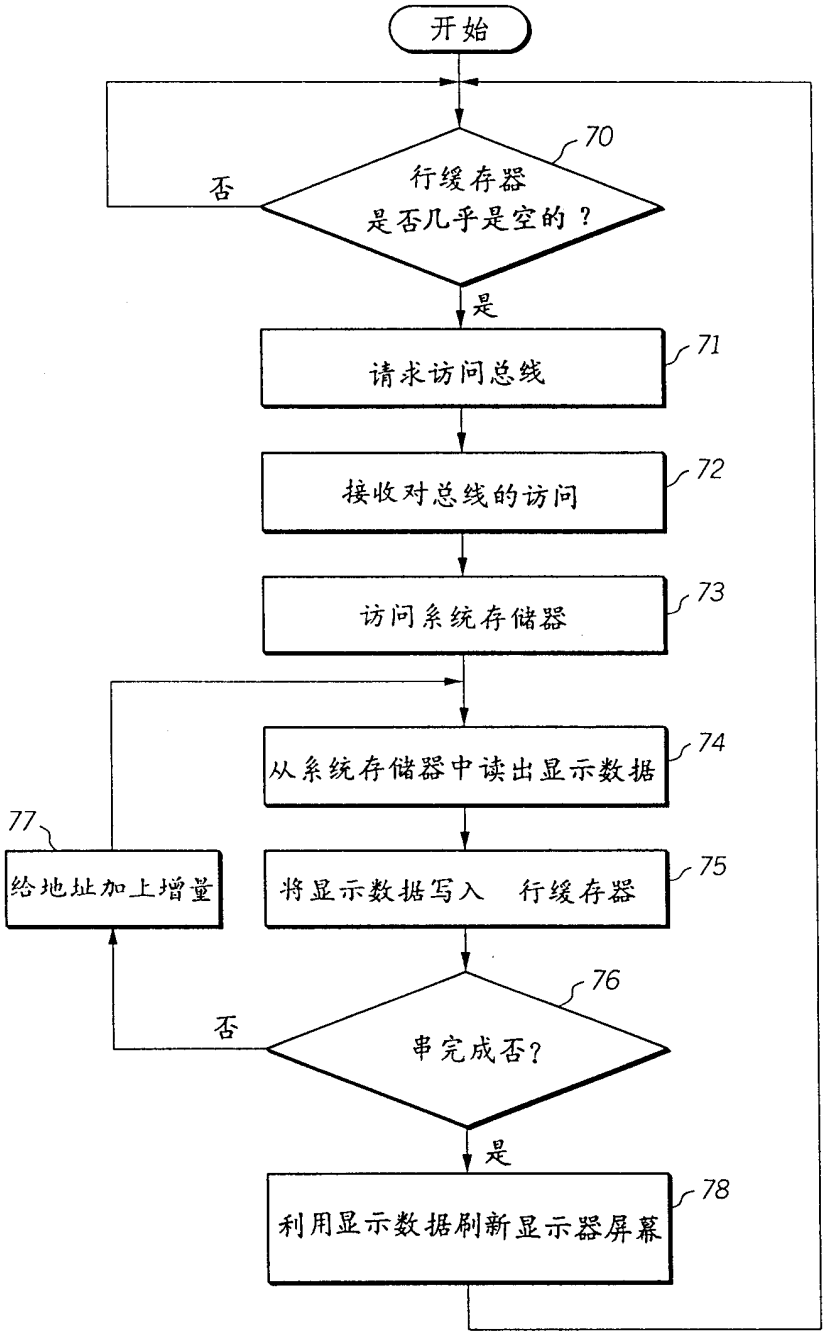

开始
70
行缓存器
是否几乎是空的？
否
是
71
请求访问总线
72
接收对总线的访问
73
访问系统存储器
74
从系统存储器中读出显示数据
77
给地址加上增量
75
将显示数据写入 行缓存器
76
否
串完成否？
是
78
利用显示数据刷新显示器屏幕

图 4