

19) RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

11) N° de publication :

2 901 362

(à n'utiliser que pour les  
commandes de reproduction)

21) N° d'enregistrement national :

06 04475

51) Int Cl<sup>8</sup> : G 01 R 31/3187 (2006.01), G 11 C 29/00

12)

## DEMANDE DE BREVET D'INVENTION

A1

22) Date de dépôt : 19.05.06.

30) Priorité :

43) Date de mise à la disposition du public de la demande : 23.11.07 Bulletin 07/47.

56) Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60) Références à d'autres documents nationaux apparentés :

71) Demandeur(s) : *STMICROELECTRONICS SA*  
*Société anonyme* — FR.

72) Inventeur(s) : TURGIS DAVID et BOROT BER-  
TRAND.

73) Titulaire(s) :

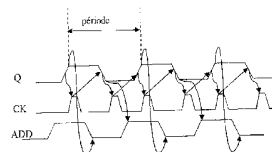
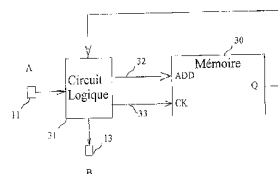
74) Mandataire(s) : SCHUFFENECKER THIERRY.

54) CIRCUIT DE QUALIFICATION ET DE CARACTERISATION D'UNE MEMOIRE EMBARQUEE DANS UN PRODUIT SEMI-CONDUCTEUR.

57) Un circuit et procédé de qualification ou de caractérisation d'une mémoire (600) intégrée dans un circuit semi-conducteur et comportant un circuit d'adressage (ADD), un circuit d'horloge (CK) et un circuit de lecture (Q). Le circuit comporte :

- des moyens d'initialisation (RAZ) de la mémoire venant charger au moins deux points mémoires avec deux valeurs complémentaires, lesdits points mémoires étant respectivement adressables via une première et une seconde adresses;

- une boucle d'oscillation comportant un circuit logique permettant de générer alternativement lesdites première et seconde adresses à partir des données lues en mémoire de manière à provoquer une alternance d'opérations de lecture entre lesdits premier et second point mémoires provoquant ainsi un phénomène oscillatoire mesurable en interne ou en externe et dont la fréquence dépend des paramètres internes de ladite mémoire.



FR 2 901 362 - A1



# Circuit de qualification et de caractérisation d'une mémoire embarquée dans un produit semi-conducteur

5

## Domaine technique de l'invention

La présente invention concerne le domaine des circuits microélectroniques et plus particulièrement un circuit permettant de caractériser une mémoire localisée  
10 dans un produit semi-conducteur.

## Etat de la technique

15 Les mémoires jouent un rôle de toute première importance dans les circuits électroniques contemporains. Il n'est guère, aujourd'hui, de circuits électronique un peu sophistiqués qui n'intègrent un voire plusieurs circuits mémoires destinés à permettre le stockage de microprogrammes mais également de données à traiter.

20 L'intégration d'une mémoire dans un ensemble microélectronique plus vaste impose sa nécessaire qualification comportant notamment sa caractérisation, à savoir la détermination précise des paramètres propres à la mémoires, lesquels dépendent étroitement du procédé de fabrication. De tels paramètres consistent notamment en son temps d'accès (*access time* dans la littérature anglo-saxonne),  
25 son temps d'initialisation (*setup time*), voir son temps de maintien (*hold time*).

L'état de la technique dispose déjà de méthodes connues permettant un accès à certains paramètres internes d'une mémoire.

30 Une première méthode connue est classiquement désignée sous l'appellation *DUMMY PATH* dans la littérature anglo-saxonne. Elle consiste à mesurer le temps d'accès d'une mémoire 10 à qualifier en organisant deux chemins distincts d'une information à traiter entre un plot d'entrée 11 (A) et un plot de sortie 13 (B). Un

multiplexeur 12 permet de choisir l'un des deux chemins pour effectuer la mesure du temps de transit on l'on peut ainsi, par différence, évaluer le temps d'accès de la mémoire 10 à qualifier.

5           La première méthode connue souffre malheureusement d'une grande imprécision et ce notamment lorsque l'on fonctionne à vitesse élevée. Il s'avère en effet difficile d'évaluer le transit d'une information au travers une mémoire lorsque cette même mémoire est localisée au cœur d'un produit semi-conducteur comportant nombre de circuits annexes, portes logiques, multiplexeurs etc... qui  
10       introduisent leur propres délais internes et, par conséquent, affecte la précision de la mesure. D'une manière général, on a du mal à accéder le délai exact de transit de l'information au travers de la « seule » mémoire localisée au sein d'une puce micro-électronique.

15           Une seconde méthode connue consiste à utiliser des circuits connus sous l'appellation anglo-saxonne *Built In Self Test* (BIST) ou encore *Built In Self Characterization*, permettant la mesure d'un certain nombre de caractéristiques de cette mémoire.

20           La figure 2 rappelle le schéma de principe d'un circuit de type BISC 20 disposé à côté de la mémoire 10 à qualifier. Le circuit BISC fournit le signal d'horloge CK à la mémoire 10 et reçoit en retour la donnée Q lue au sein de cette mémoire. Un traitement complexe permet alors de caractériser certains paramètres internes de la mémoire, et notamment de mesurer le temps d'accès (*access time*) et  
25       le temps d'initialisation (*setup time*) .

Les circuits BISC connus permettent de répondre au manque de précision de la méthode dite DUMMY PATH, mais requièrent de complexes structures se traduisant par une occupation rédhibitoire sur le substrat semi-conducteur et, de ce  
30       fait, en limite l'emploi dans les produits semi-conducteurs complexes comportant déjà un grand nombre de circuits internes. Or c'est justement dans les circuits complexes que le besoin de caractériser les mémoires est particulièrement important.

Pour cette raison, on limite souvent l'usage des circuits de type BISC aux seules mémoires réalisées dans le cadre d'un processus de qualification des circuits – lors de la fabrication des premières pré-séries, qui seront soumis à des tests de validation avant le début de la fabrication en masse, étant entendu que les circuits BISC ne seront pas intégrés dans le produit finalisé, ce qui reste peu satisfaisant.

L'invention se propose de résoudre ces problèmes en mettant à disposition des concepteurs de circuits microélectroniques et de mémoires un circuit de type BISC facile à réaliser et donnant accès à des paramètres internes à une mémoire telle que le temps d'initialisation (*Setup time*), le temps d'accès (*Access time*) et le temps de maintien (*hold time*).

## 15 **Exposé de l'invention**

C'est un premier objet de la présente invention que de réaliser un circuit de qualification et de caractérisation d'une mémoire permettant la mesure du temps d'accès, du temps d'initialisation et du temps de maintien de cette mémoire.

Un autre but de la présente invention consiste à permettre la réalisation d'un circuit mémoire permettant une auto-détermination de ses paramètres internes, et ce au moyen de circuits annexes faciles à réaliser et à intégrer dans le produit semi-conducteur.

Un troisième but de la présente invention consiste à réaliser un procédé d'autodétermination d'un circuit mémoire destiné à être embarqué dans un produit semi-conducteur.

L'invention réalise ces buts au moyen d'un circuit de qualification ou de caractérisation d'une mémoire (600) intégrée dans un circuit semi-conducteur et comportant un circuit d'adressage (ADD), un circuit d'horloge (CK) et un circuit de lecture (Q). Le circuit comporte :

- des moyens d'initialisation (RAZ) de la mémoire venant charger au moins deux points mémoires avec deux valeurs complémentaires, lesdits points mémoires étant respectivement adressables via une première et une seconde adresses ;
- une boucle d'oscillation comportant un circuit logique permettant de générer  
5 alternativement lesdites première et seconde adresses à partir des données lues en mémoire de manière à provoquer une alternance d'opérations de lecture entre lesdits premier et second point mémoires provoquant ainsi un phénomène oscillatoire mesurable en interne ou en externe et dont la fréquence dépend des paramètres internes de ladite mémoire.

10

De préférence le circuit comporte des moyens permettant de générer un signal d'horloge présentant un front montant à partir de toute commutation du signal (Q) en lecture de la mémoire, et des moyens de mesure en interne de la fréquence du signal généré par l'alternance de lecture desdits premier et second point  
15 mémoire afin de mesurer le temps d'accès de ladite mémoire à qualifier.

On notera que, de manière avantageuse, le circuit selon l'invention n'a pas besoin de comporter de moyen de mesure en interne de la fréquence du signal généré par l'alternance des lectures. Cette fréquence est mesurée de préférence  
20 lors d'une phase dite EWS (*Electrical Wafer Sort*). Cela permet de réduire avantageusement la surface utilisée

Dans un mode de réalisation particulier, le circuit logique permet de commuter entre un premier mode d'oscillation intégrant ladite mémoire à qualifier et  
25 un second mode d'oscillation n'intégrant pas la mémoire à qualifier afin d'assurer une mesure précise du temps d'accès de ladite mémoire.

Dans un mode de réalisation particulier, le circuit comporte des moyens permettant de venir régler le retard de présentation du front montant du signal d'horloge (CK) vers la mémoire afin de détecter un arrêt du mode oscillatoire et  
30 mesurer le temps d'initialisation de ladite mémoire.

De préférence, le circuit logique comporte un circuit provoquant une instabilité, avec un retard réglable, dans la présentation de l'adresse afin de

détecter un arrêt du mode oscillatoire et mesurer le temps de maintien de la mémoire. On mesure, plus précisément, l'écart entre le temps d'accès et le temps de cycle de la mémoire.

5

L'invention permet également la réalisation d'un produit semi-conducteur parfaitement autonome, tel qu'une mémoire par exemple, doté d'un circuit de qualification et de caractérisation de ladite mémoire.

10 L'invention permet enfin la réalisation d'un procédé de qualification d'une mémoire comportant des circuits d'adressage (ADD), un circuit d'horloge (CK) et un circuit de lecture de donnée (Q), ledit procédé comportant les étapes suivantes :

- une initialisation de ladite mémoire de manière à charger au moins deux points mémoires avec deux valeurs complémentaires, lesdits points mémoires étant  
15 respectivement adressables via une première et une seconde adresse ;

- réalisation d'une première boucle d'oscillation au moyen d'un circuit logique permettant de générer alternativement lesdites première et seconde adresses à partir des données lues en mémoire afin de générer un phénomène oscillatoire dont la fréquence est fonction des paramètres internes de ladite mémoire.

20

## Description des dessins

D'autres caractéristiques, but et avantages de l'invention apparaîtront à la  
25 lecture de la description et des dessins ci-après, donnés uniquement à titre d'exemples non limitatifs. Sur les dessins annexés :

La figure 1 illustre le principe d'une première méthode connue permettant d'accéder à des paramètres et mesures internes d'une mémoire, à savoir la  
30 méthode dite DUMMY PATH.

La figure 2 illustre le schéma de principe d'un circuit BISC classique permettant l'accès à un certain nombre de paramètres internes de la mémoire.

La figure 3 illustre le principe général d'un circuit de qualification et de caractérisation conforme à la présente invention.

La figure 4 illustre des chronogrammes représentatifs des signaux Q, CK et  
5 ADD pour le circuit de caractérisation et de qualification de la figure 1.

La figure 5 illustre un chronogramme représentatif illustrant les temps d'initialisation (*setup time*) et de maintien (*hold time*) .

10 La figure 6 illustre un premier mode de réalisation de l'invention permettant la mesure du temps d'accès (*access time*) d'une mémoire à qualifier et à caractériser.

La figure 7 illustre un second mode de réalisation de l'invention permettant la mesure du temps d'initialisation (*setup time*) d'une mémoire.

15

La figure 8 illustre un troisième mode de réalisation de l'invention permettant la mesure du temps de maintien (*hold time*) d'une mémoire.

## 20 **Description d'un mode de réalisation préféré**

On décrit à présent comment on peut, au moyen d'un circuit simple et particulièrement facile à intégrer dans une puce électronique, caractériser les  
25 paramètres internes d'une mémoire.

Dans un mode de réalisation particulier on envisage la caractérisation d'une mémoire de type RAM, quel que soit son type particulier SRAM, RAM, etc... Mais un homme du métier pourra clairement adapter l'invention à la caractérisation de  
30 tout type d'élément permettant de stocker une donnée, par exemple une mémoire de type ROM, PROM , EEPROM etc...

De préférence, on intégrera le circuit de qualification et de caractérisation au sein d'un produit semi-conducteur dans lequel se trouve également localisée au

moins une mémoire électronique. On peut disposer d'une mémoire comportant un circuit autonome de caractérisation.

5 La figure 3 illustre le principe général d'un circuit de qualification et de caractérisation conforme à la présente invention. Des moyens d'initialisation quelconque (registres, phase préalable d'écriture etc...) sont mis en œuvre pour venir charger, au sein de la mémoire, deux valeurs complémentaires respectivement dans deux points mémoires #1 et #2 respectivement définis par une première et une seconde adresse. Par exemple, on pourra considérer que la  
10 mémoire 600 comporte un premier point mémoire chargé avec une valeur prédéterminée (un '0' et un '1' logique) et un second point mémoire chargé avec la valeur complémentaire (un « 1 » ou un « 0 » logique) de manière à assurer un phénomène oscillatoire par une alternance de lecture des deux points mémoires.

15 A cet effet, le circuit selon l'invention intègre la mémoire dans une boucle d'oscillation de telle manière que la valeur Q lue en mémoire 30 est transmise à un circuit logique 31 permettant de générer une valeur d'adresse ADD sur un circuit 32 et une valeur d'horloge CK sur un circuit 33 permettant la sélection d'un second point mémoire stockant une valeur complémentaire ( resp. un '1' ou un '0' logique)  
20 à la valeur stockée dans le premier point mémoire.

Le circuit logique 31 permet ainsi la commutation, à une fréquence qui n'est fixée que par les paramètres internes de la mémoires et les délais intrinsèques à la boucle d'oscillation, de la mémoire entre les deux points mémoires stockant des  
25 valeurs complémentaires.

Le phénomène oscillatoire est mesurable en interne ou en externe et présente une fréquence qui est fonction des paramètres internes de ladite mémoire.

30 On obtient, grâce à ce circuit deux avantages significatifs :

En premier lieu, on peut mesurer les caractéristiques de la mémoire au moyen de la mesure d'une *fréquence* qui est bien plus facile à manipuler, et à mesurer, qu'un délai comme cela était le cas pour la méthode dite DUMMY PATH.

En particulier, la mesure de la fréquence est indépendante du circuit au travers duquel la fréquence d'oscillation, une fois générée, est transmise pour être mesurée hors le circuit semi-conducteur. Le circuit de l'invention est par conséquent insensible à la présence de multiples portes, circuits tampons intermédiaires etc...  
5 qui sont susceptibles de co-exister au sein du produit semi-conducteur et au travers desquels la fréquence doit être véhiculée. Le circuit et le procédé selon l'invention ne présentent pas, par conséquent, les inconvénients de la méthode dite DUMMY PATH qui, comme on l'a vu, est très sensible aux délais internes introduits par les autres circuits présents dans le circuit semi-conducteur.

10

En second lieu, et cela est un avantage particulièrement décisif, la petite taille du circuit permet une localisation proche de la mémoire à caractériser de manière à assurer une fréquence dépendant de manière précise des paramètres internes de la mémoire à caractériser. Cette petite taille permet en outre d'intégrer ce circuit de  
15 façon systématique sans surcoût significatif en surface pour le produit visé.

On notera que, dans un souci de clarté, on a pas représenté tous les signaux WRITE\_ENABLE, CHIP\_SELECT classiquement rencontrés dans une telle  
20 mémoire, mais seulement les signaux ADD, CK et Q.

D'une manière générale, on pourra effectuer la mesure du signal généré de diverses manières, soit au moyen d'un circuit spécifique situé lui-même également au sein du produit semi-conducteur et qui, de manière avantageuse, ne sera pas  
25 contraint à rester dans un voisinage proche de la mémoire, soit en véhiculant le signal de fréquence mesurable vers un plot 13 (B) de sortie.

La figure 4 illustre des chronogrammes des principaux signaux générés par le circuit logique 31. Comme on le voit, chaque commutation de la sortie Q de la  
30 mémoire entraîne la génération d'un front d'horloge CK montant et également une commutation correspondante du signal d'adresse de manière à permettre l'adressage de l'autre point mémoire stockant la valeur complémentaire. Et chaque front montant du signal d'horloge ainsi généré provoque, avec un retard égal au temps d'accès que l'on cherche à mesurer, la commutation de signal en sortie Q.

La fréquence obtenue est donc bien directement liée aux paramètres internes de la mémoire. Les points mémoires sollicités dans la boucle d'oscillation pourront être choisis en fonction de nombreux critères. Généralement, l'on choisit les points  
5 mémoires sur des lignes de bits distantes au sein de la matrice de la mémoire de manière à pouvoir calculer une valeur maximale de temps d'accès.

Mais un homme du métier pourra aisément adapter l'invention à des besoins spécifiques.

10

Une telle disposition présente deux avantages significatifs.

La figure 6 montre un mode de réalisation particulier de la boucle d'oscillation permettant une mesure du temps d'accès d'une mémoire 600, disposant d'une  
15 entrée d'adressage (ADD) et d'une sortie pour la lecture (Q). Une entrée symbolisée par RAZ (Remise à Zéro) sert à initialiser la mémoire de manière à assurer que deux points mémoires particuliers comportent deux valeurs complémentaires.

20

Le circuit de la figure 6 comporte un premier multiplexeur 610 comportant une première entrée 611 recevant un signal START\_CK permettant de générer le premier front montant du signal d'horloge CK démarrant l'oscillation de la boucle d'oscillation. Le multiplexeur 610 comporte une seconde entrée 612 et une sortie 613 qui est transmise à l'entrée horloge CK de la mémoire à qualifier 600. Le  
25 multiplexeur est commandé par un circuit 614 véhiculant un signal START\_MES transmis par un circuit 614 .

Le circuit de l'invention comporte un second multiplexeur 620 disposant d'une première entrée 621 connectée à la sortie en lecture de la mémoire et d'une  
30 seconde entrée 622 recevant directement le signal CK en sortie du premier multiplexeur 610.

Le multiplexeur comporte une entrée de commande 672 recevant un signal *Taac\_mode* et dispose d'une sortie qui est transmise à deux entrées,

respectivement 641 et 642 d'un troisième multiplexeur 640. L'entrée 642 du multiplexeur 640 est inverseuse. Le signal en sortie du multiplexeur 640 est transmis à une entrée d'horloge d'une bascule D 670 ainsi qu'à une entrée d'un premier circuit à retard 680, dont la sortie est connectée à une seconde entrée d'un  
5 second circuit à retard 690 ainsi qu'à l'entrée horloge de la bascule 670. Le second circuit à retard 690 dispose d'une sortie qui est connectée à la seconde entrée du premier multiplexeur 610.

La bascule D 670 comporte une sortie Q qui est transmise, via un inverseur  
10 660 à une première entrée d'une porte ET disposant d'une seconde entrée recevant le signal Taac\_mode également présent à l'entrée de commande du multiplexeur 620. La sortie de la porte 650 génère un signal qui sert, d'une part, à la commande du multiplexeur 640 via un circuit 671 et qui est également transmis à l'entrée D de la bascule 670.

15

Les éléments du circuit de la figure 6 étant présentés, l'on peut à présent décrire le fonctionnement de ce circuit.

Le fonctionnement démarre par une phase d'initialisation. Le mode  
20 d'oscillation est d'abord choisi, et ce au moyen du signal Taac\_mode qui est positionné à un état logique haut.. Lorsque la boucle d'oscillation intègre la mémoire 600, le signal Taac\_mode est positionné de manière à assurer que le multiplexeur 620 permette le passage du signal de l'entrée 621 vers sa sortie. A noter que l'on a également chargé en mémoire 600 deux points mémoires particuliers avec deux  
25 valeurs permettant la commande des circuits d'adressage ADD de la mémoire avec la valeur lue dans cette même mémoire afin de permettre, en mode lecture, une alternance d'opérations de lecture de ces deux points mémoires. Pour illustrer le propos, on vient charger dans deux points mémoires #1 et #2, d'adresses respectivement « 0 » et « 1 », les deux valeurs complémentaires « 1 » et « 0 » de  
30 manière à assurer que la lecture de la position #1 génère en sortie Q la valeur « 0 » venant assurer, lors du prochain front montant d'horloge, l'activation du point mémoire #2 ayant pour adresse « 1 », lequel renverra la valeur « 0 » qui activera le point mémoire #1 lors du prochain coup d'horloge. Cette initialisation particulière, illustrée par la commande RAZ (Remise à Zéro) dans la figure 6, permet d'assurer

une alternance d'opérations de lecture de deux point mémoires chargés avec deux valeurs complémentaires et, finalement, un phénomène oscillatoire.

De manière concrète, le régime d'oscillation commence par la génération (au  
5 moyen d'un système extérieur non représenté dans la figure 6) d'un front montant  
reçu à l'entrée 611 du multiplexeur 610, lequel est alors transmis en sortie et dirigé  
vers l'entrée CK de la mémoire 600. L'entrée START\_MES bascule ensuite dans  
un état assurant que, pour les prochain coups d'horloge, ce sera le signal présent  
sur la seconde entrée 612 qui sera transmis sur la sortie 613.

10

Ayant reçu à son entrée CK le premier front d'horloge, la mémoire 600 fournit  
en lecture une valeur Q – au bout d'un temps d'accès ne dépendant que des  
caractéristiques internes de la mémoire – définie par la valeur stockée au point  
mémoire dont l'adresse est identifiée par l'entrée ADD de la mémoire. Les  
15 conditions d'initialisation de la mémoire qui ont été décrites précédemment  
provoque alors une commutation du signal à la première entrée 621 du  
multiplexeur, se traduisant par exemple par un front descendant.

Ce signal est transmis aux deux entrées du multiplexeur 640, lequel  
20 provoque, une fois sur deux au moyen du signal de commande présent sur le circuit  
671 – généré par la cascade des éléments 670, 660 et 650 - une inversion du front  
de manière à assurer, en sortie sur le circuit 643, un front montant pour chaque  
commutation du signal Q en sortie de la mémoire. On observe ainsi que le  
multiplexeur 640 sélectionne en alternance les signaux 641 et 642 permettant une  
25 inversion du front un coup sur deux, assurant ainsi la continuité d'un front montant  
pour chaque commutation de la valeur Q lue en mémoire. Il est à noter que le  
premier délai 680 sert à retarder légèrement le signal d'horloge sur la bascule 670  
afin d'assurer que le multiplexeur 640 ait convenablement commuté avant de le  
faire commuter à nouveau. On assure ainsi, dans le cycle d'oscillation, un temps de  
30 cycle au moins supérieur au temps d'accès de la mémoire que l'on cherche à  
mesurer afin de s'assurer un bon fonctionnement de cette mémoire et les délais 680  
et 690 (qui en pratique peuvent se borner à l'équivalent de quelques inverseurs)  
permettent d'assurer ce temps de cycle suffisant pour le régime d'oscillation.

Le front montant généré sur le circuit 643 est par ailleurs transmis également, via le second circuit à retard 690 à la seconde entrée du multiplexeur 610 pour être transmise à nouveau, via le circuit 613, vers l'entrée CK de la mémoire et ainsi permettre l'entretien de l'oscillation. La valeur précise des retard pourra être  
5 adaptée en fonction des besoin, de manière, d'une part, à assurer un temps de cycle de la mémoire supérieur à son temps d'accès pour permettre l'oscillation et, d'autre part, rendre aisément mesurable la fréquence d'oscillation. En pratique, on peut réaliser simplement les éléments de retard au moyen de quelques inverseurs ou circuits de type « drivers »...

10

On génère ainsi une fréquence d'horloge dont la fréquence ne dépend que du temps d'accès de la mémoire 600, ainsi que des temps de transit via les multiplexeurs 610, 620, 640 et des circuits 680 et 690.

15

Ce signal d'horloge fait l'objet d'une mesure effectuée soit par un circuit interne également localisé sur le substrat semi-conducteur, soit par un circuit externe.

20

On bascule ensuite dans un second mode d'oscillation – n'intégrant pas la mémoire 600 au sein de la boucle d'oscillation – et ce au moyen du signal Taac\_mode venant commuter le multiplexeur 620 sur la seconde entrée 622. Comme on le voit dans la figure 6, on provoque cette fois la transmission directe du front d'horloge positif CK en sortie du multiplexeur 610 vers la sortie du multiplexeur 620, et ceci sans passer par la mémoire à qualifier.

25

Le signal de commande Taac\_mode étant à un état logique bas, il est transmis à une entrée de la porte ET 650, le multiplexeur 640 est continuellement bloqué sur la première entrée assurant ainsi une transmission directe du front montant vers la sortie 643 puis, via les éléments 680 et 690, vers la seconde entrée  
30 du multiplexeur 610.

On obtient ainsi, dans ce second mode d'oscillation, un signal dont la fréquence dépend directement des délais internes des éléments 610, 620, 640, 680 et 690, lesquels, à condition que les deux entrées du multiplexeur 40 soient

parfaitement équilibrées, seront sensiblement égaux aux délais mesurés lors du premier mode d'oscillation .

Comme pour le premier mode d'oscillation, on pourra mesurer cette  
5 fréquence, soit au sein du produit semi-conducteur au moyen d'un circuit spécifique,  
soit au moyen d'un circuit externe (non représenté). On notera que la fréquence  
d'oscillation, même lorsqu'elle est transmise à l'extérieur du circuit intégré via de  
multiples étages tampons, portes logiques, multiplexeurs etc..., n'est nullement  
altérée par ces mêmes éléments, en sorte que l'on dispose, en sortie du circuit  
10 intégrée, d'une représentation précise du temps d'accès de la mémoire à qualifier.

La différence des deux mesures effectuées dans les deux modes d'oscillation  
permet alors d'accéder à la valeur du temps d'accès de la mémoire 600. Un  
homme du métier prendra soin d'équilibrer les chemins 613 et 621 ainsi que les  
15 caractéristiques des entrées de 600 et 620 de façon à maximiser la précision de la  
mesure.

On observera et ceci apparaît comme un avantage considérable de la  
présente invention, que la mesure de la fréquence d'oscillation n'est pas altérée par  
20 l'existence de circuits annexes, disposés à côté de la mémoire, et qui pouvaient,  
dans le cadre de la méthode dite DUMMY PATH , perturber les mesures de délais  
mises en œuvre dans cette méthode.

En outre, et cela n'est pas l'un des moindres, on notera l'avantage  
25 considérable du circuit de la figure 6 qui occupe une place minimale sur le substrat  
semi-conducteur et autorise, de ce fait, son emploi direct dans le produit final lancé  
sur le marché.

L'invention permet de réaliser une mémoire complète, dotée d'un circuit  
30 autonome d'autodétermination, facile à intégrer sur le circuit semi-conducteur.

La figure 7 illustre un circuit conforme à la présente invention permettant la  
mesure du temps d'initialisation (*setup time*) de la mémoire. Par définition, le  
temps d'initialisation , tel qu'illustré dans la figure 5, est le temps minimum pendant

lequel un signal doit être positionné de manière stable AVANT que n'intervienne le front d'horloge. En bref, il s'agit de mesurer la durée pendant laquelle les signaux d'adresses doivent être positionnés de manière stable avant le front d'horloge pour que la mémoire fonctionne de manière convenable.

5

Il est à noter que ce paramètre est particulièrement difficile à mesurer avec les techniques connues. En particulier, on ne sait pas le mesurer de manière externe au circuit semi-conducteur.

10

On décrit à présent comment on peut mesurer, de manière simple, le temps d'initialisation (*setup time*) des adresses.

Les éléments qui sont communs avec ceux de la figure 6 portent les mêmes références.

15

Le circuit de qualification et de caractérisation est modifié, par rapport au circuit de la figure 6, par l'ajout de deux circuits de retard 701 et 702 disposés entre la sortie 613 et l'entrée CK de la mémoire à qualifier. En outre, on introduit une bascule D disposant d'une entrée D recevant la valeur Q en sortie de la mémoire 20 600 et disposant d'une sortie Q connectée à l'adresse de la mémoire 600. L'entrée d'horloge de la bascule D reçoit le front montant du signal en sortie du multiplexeur 610.

Le retard 701 est fixé à une valeur correspondant au retard de la bascule 700 25 tandis que le retard 702 est un retard réglable permettant de retarder, de manière commandée, le front montant du signal d'horloge transmis à l'entrée CK de la mémoire à qualifier. En pratique, on pourra réaliser le délai 702 réglable au moyen, par exemple, d'une batterie de multiplexeurs débrayables introduisant différentes valeurs de délais internes. Lorsque le délai réglable 702 présente une valeur 30 importante, cela donne largement le temps aux signaux d'adresses de se stabiliser à l'entrée ADD de la mémoire. En revanche, pour les très faibles valeurs du délai 702, on constate que le front montant d'horloge arrive en avance et, pour une certaine valeur correspondant au temps d'initialisation de la mémoire 600, la boucle d'oscillation cesse toute oscillation.

Ainsi, de cette manière, on peut simplement obtenir une mesure précise du temps d'initialisation de la mémoire simplement en observant pour quelles valeurs particulières du délai réglable 702 la boucle oscille ou n'oscille pas.

5

Le circuit de la présente invention permet également d'obtenir une mesure précise du délai de maintien ( *hold time*) de la mémoire 600. Comme on le sait, le temps de maintien est le temps pendant lequel un signal doit rester stable après un signal de référence (signal d'horloge). Il est à noter que l'on ne connaît pas de  
10 méthode classique pour mesurer ce temps de maintien d'une mémoire.

Le circuit de l'invention permet, une fois encore, d'accéder avec une grande simplicité à la valeur du temps de maintien.

15

La figure 8 illustre un circuit conforme à la présente invention permettant la mesure du temps de maintien « *hold* ». Par rapport au schéma de la figure 6 (tous les éléments communs étant repris et portant la même référence), on introduit à présent une cascade de deux éléments, à savoir un circuit XOR 800 et un retard  
à régler 802 en amont de l'adressage de la mémoire.

20

Le circuit XOR 800 comporte une première entrée recevant la valeur Q en sortie de la mémoire et une seconde entrée recevant le signal d'horloge en sortie du multiplexeur 610. Ainsi, une fois le front montant passé, le circuit XOR provoque une commutation forcée au sein de l'adresse qui est ensuite transmise, via le retard  
25 réglable 802 vers l'entrée ADD de la mémoire à qualifier.

Le front montant de l'horloge est également transmis à l'entrée CK de la mémoire via un autre délai 801 qui correspond au retard introduit par le circuit XOR  
800.

30

Ainsi, on peut venir provoquer, en venant régler la valeur précise du retard 802 (qui en pratique est réalisé au moyen d'une batterie de multiplexeurs), on vient modifier le temps pendant lequel l'adresse est maintenue stable après le front montant de l'horloge.

Pour des valeurs importantes du délai 802 , la boucle d'oscillation pourra osciller comme cela a été décrit.

5           En revanche, lorsque la valeur du délai décroîtra, on constatera à un moment la fin de l'oscillation ce qui pourra alors conduire à une mesure précise du temps de maintien de la mémoire 600 à qualifier.

10           Le circuit selon l'invention permet, une fois encore, d'accéder à ce paramètre important qu'est le temps de maintien et ce au moyen d'un circuit particulièrement simple à implémenter sur un substrat semi-conducteur.

15           On notera en outre, et c'est un autre avantage de l'invention, que l'on pourra implémenter le circuit de petite taille sur toute la surface d'un « wafer » de manière à permettre, ultérieurement par la mesure des caractéristiques de ce circuits, l'appréciation de la qualité de fabrication du « wafer ».

20           La mesure des temps d'accès, temps d'initialisation et temps de maintien a été décrite de manière séparée en relation avec les figures 6, 7 et 8 respectivement. Il est à noter, toutefois, que ces trois schémas pourront être avantageusement implémentés dans une même réalisation (au moyen de multiplexeurs et de circuits logiques volontairement non décrits afin de simplifier l'exposé de l'invention) afin de permettre, finalement, l'accès à trois paramètres essentiels d'une mémoire.

25           Le circuit qui vient d'être décrit facilite par conséquent la mesure de paramètres importants, tels que les temps d'accès, d'initialisation et de maintien d'un circuit mémoire, et de vérifier que ces paramètres correspondent bien aux consignes définies dans les spécifications (*design for test*). En outre, et c'est un autre avantage de ce circuit, on peut facilement mesurer et contrôler la précision du  
30           procédé de fabrication et de contrôler les éventuelles fluctuations, ce que l'on désigne couramment par la dénomination anglo-saxonne (*design for process monitoring*).

## Revendications

5

1. Circuit de qualification ou de caractérisation d'une mémoire (600) intégrée dans un circuit semi-conducteur et comportant un circuit d'adressage (ADD), un circuit d'horloge (CK) et un circuit de lecture (Q), ledit circuit étant caractérisé en ce qu'il comporte :

- 10 - des moyens d'initialisation (RAZ) de ladite mémoire (600) venant charger au moins deux points mémoires avec deux valeurs complémentaires, lesdits points mémoires étant respectivement adressables via une première et une seconde adresses ;
- une boucle d'oscillation (600, 610, 620, 640, 680, 690) comportant un circuit
- 15 logique permettant de générer alternativement lesdites première et seconde adresses à partir des données lues en mémoire de manière à provoquer une alternance d'opérations de lecture entre lesdits premier et second point mémoires provoquant ainsi un phénomène oscillatoire mesurable en interne ou en externe et dont la fréquence dépend des paramètres internes de ladite mémoire.

20

2. Circuit conformément à la revendication 1 caractérisé en ce que ledit circuit logique comporte :

- des moyens (640, 650, 660, 670) permettant de générer un signal d'horloge
- 25 présentant un front montant à partir de toute commutation du signal (Q) en lecture de la mémoire.
- des moyens de mesure en interne de la fréquence du signal généré par l'alternance de lecture desdits premier et second point mémoire afin de mesurer le temps d'accès de ladite mémoire à qualifier.

30

3. Circuit conformément à l'une des revendications précédentes caractérisé en ce qu'il comporte des moyens permettant de commuter entre un premier mode d'oscillation intégrant ladite mémoire à qualifier et un second mode d'oscillation n'intégrant pas la mémoire à qualifier afin d'assurer une mesure précise du temps d'accès de ladite mémoire.

4. Circuit conformément à l'une des revendications précédentes caractérisé en ce qu'il comporte un circuit (701, 702) permettant de régler le retard de présentation du front montant du signal d'horloge (CK) vers la mémoire afin de détecter un arrêt du mode oscillatoire et mesurer le temps d'initialisation de ladite mémoire.

5

5. Circuit conformément à l'une des revendications précédentes caractérisé en ce qu'il comporte un circuit pour provoquer une instabilité dans l'adresse présentée à la dite mémoire, avec un retard réglable, de manière à détecter un arrêt du mode oscillatoire pour mesurer le temps de maintien de la dite mémoire.

10

6. Produit semi-conducteur comportant au moins une mémoire électronique doté de circuits d'adressages (ADD), d'un circuit d'horloge (CK) et de circuit de lecture (Q), ledit produit étant caractérisé en ce qu'il comporte :

- des moyens d'initialisation de ladite mémoire venant charger au moins deux points mémoires avec deux valeurs complémentaires, lesdits points mémoires étant respectivement adressables via une première et une seconde adresses ;
- une boucle d'oscillation comportant un circuit logique permettant de générer alternativement lesdites première et seconde adresses à partir des données lues en mémoire de manière à provoquer une alternance d'opérations de lectures entre lesdits premier et second points mémoires générant un signal oscillatoire dont la fréquence dépend des paramètres internes de ladite mémoire.

20

7. Produit semi-conducteur conformément à la revendication 6 caractérisé en ce qu'il comporte :

25

- un premier multiplexeur (610) comportant une première entrée recevant un signal d'horloge permettant de démarrer le mode oscillatoire , une seconde entrée et une sortie, ledit premier multiplexeur (610) étant commandé par un premier signal de commande (START\_MES) ;
- une mémoire à qualifier ayant des circuits d'adressages (ADD), un circuit d'horloge (CK) recevant le signal en sortie dudit premier multiplexeur (610) et disposant d'une sortie en lecture (Q) ;

30

- un second multiplexeur (620) comportant une première entrée recevant la valeur lue (Q) en sortie de ladite mémoire et une seconde entrée recevant le signal en sortie dudit premier multiplexeur ; ledit second multiplexeur (620) étant commandable par un signal de commande (Taac\_mode) déterminant le mode  
5 d'oscillation de ladite boucle d'oscillation ;

- un circuit permettant de générer à partir du signal en sortie dudit second multiplexeur (620) un front montant pour chaque commutation dudit signal en sortie dudit second multiplexeur (620), ledit front montant étant transmis à ladite seconde entrée dudit premier multiplexeur.

10

**8.** Produit semi-conducteur selon la revendication 7 caractérisé en ce que ledit circuit de génération d'un front montant comporte un troisième multiplexeur (640) comportant une première entrée et une seconde entrée inverseuses, lesdites première et seconde entrées recevant le signal en sortie dudit second multiplexeur  
15 (620), ledit troisième multiplexeur étant commandé de manière à provoquer une fois sur deux la sélection de ladite seconde entrée pour générer un front montant haut pour chacune des commutations du signal en lecture de la mémoire.

**9.** Produit semi-conducteur selon la revendication 8 caractérisé en ce qu'il comporte  
20 un circuit (701, 702) permettant de régler le retard de présentation du front montant du signal d'horloge vers la mémoire afin de détecter un arrêt du mode oscillatoire pour mesurer le temps d'initialisation de ladite mémoire.

**10.** Produit semi-conducteur selon la revendication 8 ou 9 caractérisé en ce qu'il  
25 comporte en outre un circuit pour provoquer une instabilité dans l'adresse présentée à la dite mémoire, avec un retard réglable, de manière à détecter un arrêt du mode oscillatoire pour mesurer le temps de maintien de la dite mémoire.

**11.** Produit semi-conducteur selon l'une des revendications 7 à 10 caractérisé en ce  
30 qu'il consiste une mémoire RAM, SRAM, PROM, ROM ou EEPROM.

**12.** Procédé de qualification d'une mémoire comportant des circuits d'adressage (ADD), un circuit d'horloge (CK ) et un circuit de lecture de donnée (Q), ledit procédé comportant les étapes suivantes :.

- une initialisation de ladite mémoire de manière à charger au moins deux points mémoires avec deux valeurs complémentaires, lesdits points mémoires étant respectivement adressables via une première et une seconde adresse ;
- réalisation d'une première boucle d'oscillation au moyen d'un circuit logique permettant de générer alternativement lesdites première et seconde adresses à partir des données lues en mémoire afin de générer un phénomène oscillatoire dont la fréquence est fonction des paramètres internes de ladite mémoire.

10

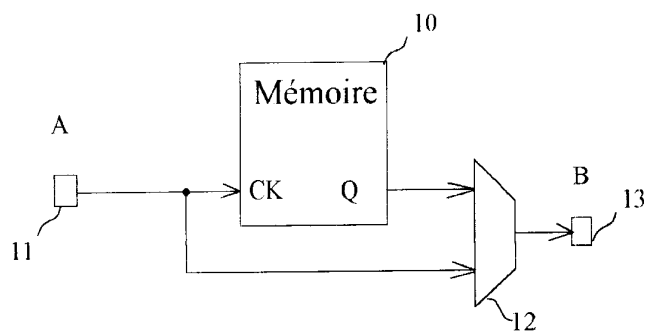


Fig. 1

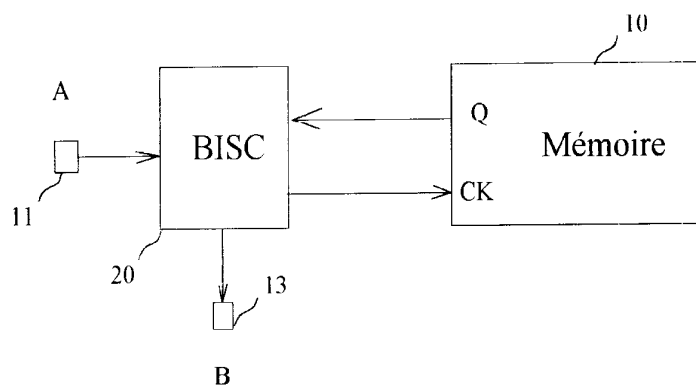


Fig. 2

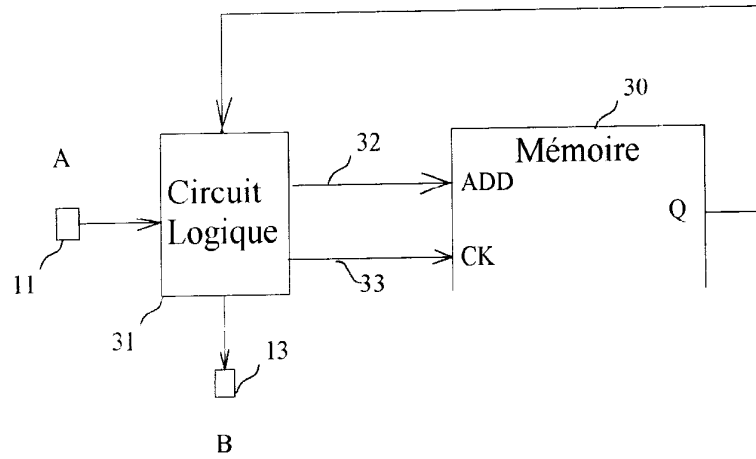


Fig. 3

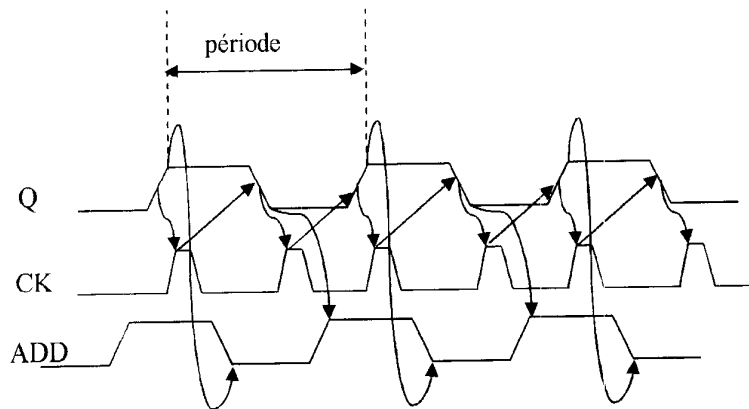


Fig. 4

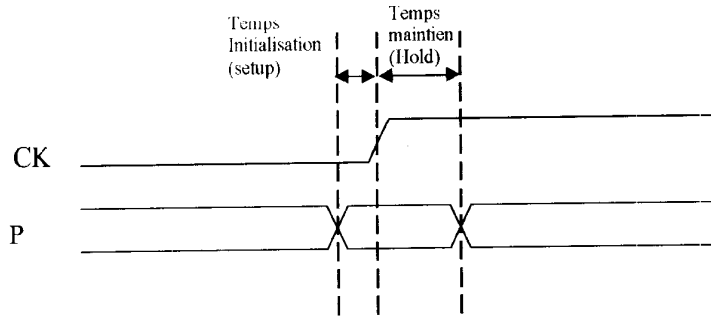


Fig. 5

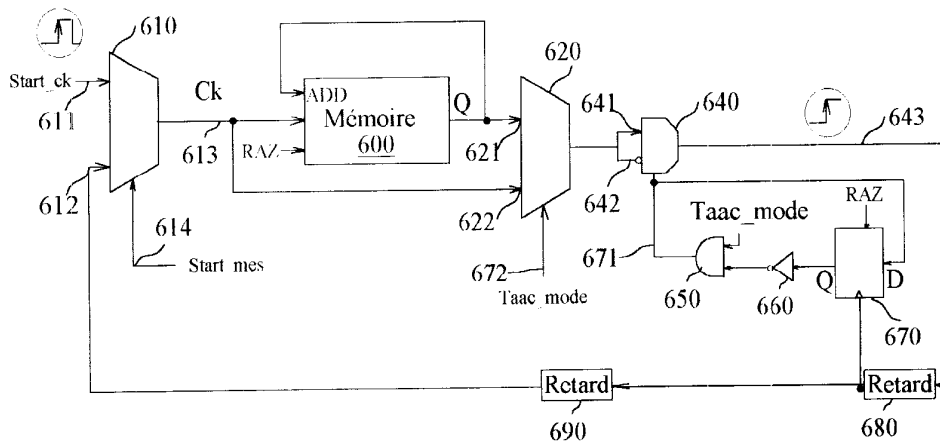


Fig. 6

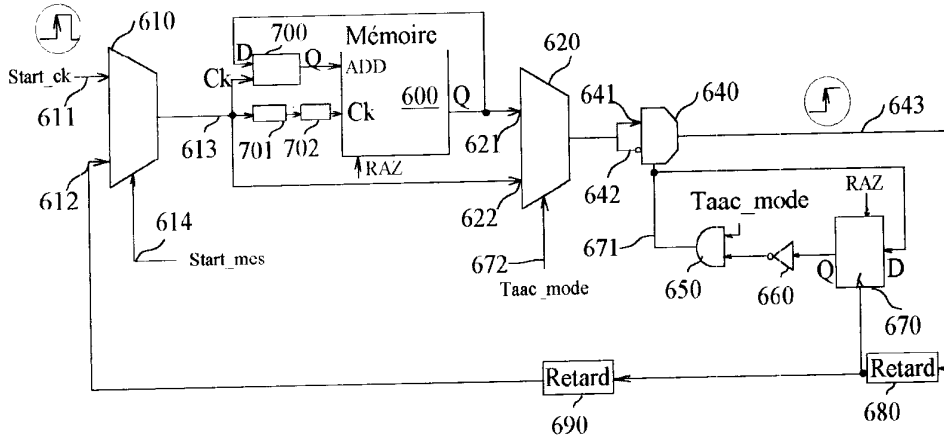


Fig. 7

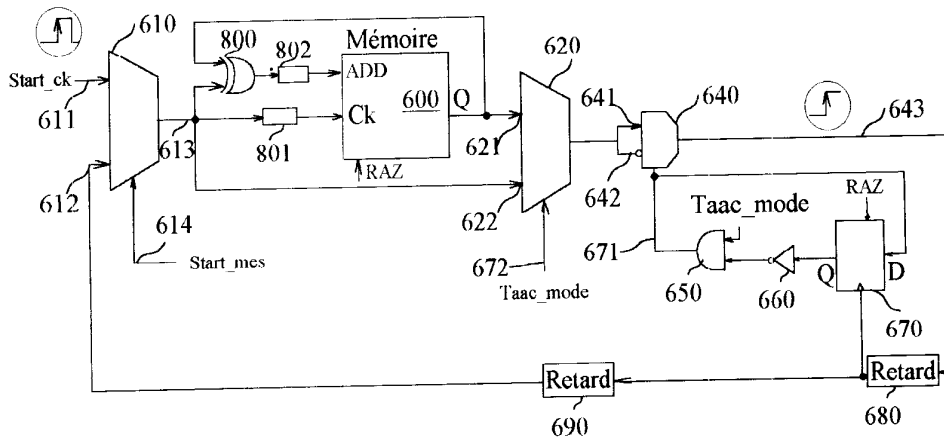


Fig. 8



**RAPPORT DE RECHERCHE  
PRÉLIMINAIRE**  
établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

N° d'enregistrement  
national

FA 681848  
FR 0604475

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2004/049711 A1 (KORSON STEVEN P [DE] ET AL) 11 mars 2004 (2004-03-11)	1-3,6,12	G01R31//3187 G11C29//00
Y	* figures 1,2 *	4,5	
X	US 2004/046615 A1 (KORSON STEVEN P [DE] ET AL) 11 mars 2004 (2004-03-11)	1-3,6,12	
Y	* figure 1 *	4,5	
X	WO 2005/008677 A (FUJITSU LTD [JP]; MAKI YASUHIKO [JP]) 27 janvier 2005 (2005-01-27)	1-6,12	
E	* figures 3,13 *		
E	US 2006/126412 A1 (MAKI YASUHIKO [JP]) 15 juin 2006 (2006-06-15)	1-3,5,6, 12	
X	* figures 3,13 *		
X	JP 09 091995 A (FUJITSU LTD) 4 avril 1997 (1997-04-04)	1,6,12	DOMAINES TECHNIQUES RECHERCHÉS (IPC)
X	* abrégé * * figures 1,2 *		
X	JP 03 030200 A (HITACHI LTD) 8 février 1991 (1991-02-08)	1,6,12	G11C
X	* abrégé * * figures 1,2 *		
X	JP 62 120698 A (FUJITSU LTD) 1 juin 1987 (1987-06-01)	1,6,12	
X	* abrégé; figures 1-4 *		
X	EP 0 020 999 A1 (IBM [US]; IBM FRANCE [US]) 7 janvier 1981 (1981-01-07)	1,6,12	
A	* abrégé *		
A	US 2002/008503 A1 (BUCKSCH THORSTEN [DE] ET AL) 24 janvier 2002 (2002-01-24)	4	
	* alinéa [0006] *		
Date d'achèvement de la recherche		Examineur	
8 novembre 2006		Havard, Corinne	
<p>CATÉGORIE DES DOCUMENTS CITÉS</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p>		<p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons ..... &amp; : membre de la même famille, document correspondant</p>	

1  
EPO FORM 1503 12.99 (P04C14)

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE  
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0604475 FA 681848**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 08-11-2006

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2004049711 A1	11-03-2004	US 2004218459 A1	04-11-2004
US 2004046615 A1	11-03-2004	AUCUN	
WO 2005008677 A	27-01-2005	CN 1802708 A	12-07-2006
US 2006126412 A1	15-06-2006	AUCUN	
JP 9091995 A	04-04-1997	JP 3761612 B2	29-03-2006
JP 3030200 A	08-02-1991	AUCUN	
JP 62120698 A	01-06-1987	AUCUN	
EP 0020999 A1	07-01-1981	DE 3062706 D1	19-05-1983
		FR 2460526 A1	23-01-1981
		JP 1355712 C	24-12-1986
		JP 56007300 A	24-01-1981
		JP 61017080 B	06-05-1986
		US 4332028 A	25-05-1982
US 2002008503 A1	24-01-2002	DE 10035169 A1	07-02-2002
		EP 1176607 A2	30-01-2002