

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3680594号

(P3680594)

(45) 発行日 平成17年8月10日(2005.8.10)

(24) 登録日 平成17年5月27日(2005.5.27)

(51) Int. Cl.<sup>7</sup>

F I

H03K 17/16	H03K 17/16	L
H01L 21/8238	H01L 27/08	321Z
H01L 27/092	H03K 17/687	F
H03K 17/687	H03K 19/094	B
H03K 19/0948		

請求項の数 6 (全 24 頁)

(21) 出願番号	特願平10-318692	(73) 特許権者	000005108
(22) 出願日	平成10年11月10日(1998.11.10)		株式会社日立製作所
(65) 公開番号	特開2000-151378(P2000-151378A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成12年5月30日(2000.5.30)	(74) 代理人	100075096
審査請求日	平成15年9月16日(2003.9.16)		弁理士 作田 康夫
		(72) 発明者	河野 一郎
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究
			所内
		(72) 発明者	矢野 和男
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究
			所内

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

ゲートが第1の入力により制御され、第1の動作電位点と第1のノードとの間にソースドレイン経路が接続された第1のpチャンネルFETと、

ゲートが第2の入力により制御され、第1のノードと第2のノードとの間にソースドレイン経路が接続された第1のnチャンネルFETと、

上記第2のノードと第2の動作電位点との間にソースドレイン経路が接続された第2のnチャンネルFETと、

上記第2のノードと第3の動作電位点との間にソースドレイン経路が接続された第3のnチャンネルFETと、

ゲートが上記第1の入力により制御され、第3のノードと第4のノードとの間にソースドレイン経路が接続された第2のpチャンネルFETと、

上記第1の動作電位点と上記第3のノードとの間にソースドレイン経路が接続された第3のpチャンネルFETと、

第4の動作電位点と上記第3のノードとの間にソースドレイン経路が接続された第4のpチャンネルFETと、

上記第4のノードと上記第2の動作電位点との間にソースドレイン経路が接続された第4のnチャンネルFETと、

ゲートが上記第4のノードにより制御され、上記第1の動作電位点と第5のノードとの間にソースドレイン経路が接続された第5のpチャンネルFETと、

10

20

ゲートが上記第 1 のノードにより制御され、上記第 5 のノードと上記第 2 の動作電位点との間にソースドレイン経路が接続された第 5 の n チャンネル F E T と、

ゲートが上記第 5 のノードにより制御され、上記第 1 の動作電位点と第 6 のノードとの間にソースドレイン経路が接続された第 6 の p チャンネル F E T と、

ゲートが上記第 5 のノードにより制御され、上記第 6 のノードと上記第 2 の動作電位点との間にソースドレイン経路が接続された第 6 の n チャンネル F E T とを有し、

上記第 2 の n チャンネル F E T のゲートは上記第 6 のノードにより制御され、

上記第 3 の n チャンネル F E T のゲートは上記第 5 のノードにより制御され、

上記第 3 の p チャンネル F E T のゲートは上記第 6 のノードにより制御され、

上記第 4 の p チャンネル F E T のゲートは上記第 5 のノードにより制御される半導体集積回路。 10

【請求項 2】

請求項 1 において、

上記第 3 の動作電位点の電位は、上記第 2 の動作電位点の電位と上記 n チャンネル F E T のしきい値電圧との間にあり、

上記第 4 の動作電位点の電位は、上記第 1 動作電位点の電位と（上記第 1 動作電位点 - 上記 p チャンネル F E T のしきい値電圧の絶対値）の電位との間にある半導体集積回路。

【請求項 3】

第 1 の動作電位点と第 1 のノードとの間にソースドレイン経路が接続された第 1 の p チャンネル F E T と、上記第 1 のノードと第 2 のノードとの間にソースドレイン経路が接続された第 1 の n チャンネル F E T とを有する第 1 回路と、 20

上記第 2 のノードと第 2 の動作電位点との間にソースドレイン経路が接続された第 2 の n チャンネル F E T と、

上記第 2 のノードと第 3 の動作電位点との間にソースドレイン経路が接続された第 3 の n チャンネル F E T と、

第 3 のノードと第 4 のノードとの間にソースドレイン経路が接続された第 2 の p チャンネル F E T と、上記第 4 のノードと上記第 2 動作電位点との間にソースドレイン経路が接続された第 4 の n チャンネル F E T とを有する第 2 回路と、

上記第 1 の動作電位点と上記第 3 のノードとの間にソースドレイン経路が接続された第 3 の p チャンネル F E T と、 30

第 4 の動作電位点と上記第 3 のノードとの間にソースドレイン経路が接続された第 4 の p チャンネル F E T とを有し、

上記第 1 の p チャンネル F E T 及び上記第 2 の p チャンネル F E T のゲートは第 1 の信号により制御され、

上記第 1 の n チャンネル F E T 及び上記第 4 の n チャンネル F E T のゲートは第 2 の信号により制御され、

上記第 1 回路は第 3 の信号を出力し、上記第 2 回路は第 4 の信号を出力し、

上記第 3 の n チャンネル F E T 及び上記第 4 の p チャンネル F E T のゲートは第 5 の信号により制御され、

上記第 2 の n チャンネル F E T 及び上記第 3 の p チャンネル F E T のゲートは第 6 の信号により制御され、 40

上記第 5 の信号は上記第 6 の信号の相補信号であり、

上記第 5 の信号は上記第 3 及び上記第 4 の信号の相補信号である半導体集積回路。

【請求項 4】

請求項 3 において、

上記第 3 の動作電位点の電位は、上記第 2 の動作電位点の電位と上記 n チャンネル F E T のしきい値電圧との間にあり、

上記第 4 の動作電位点の電位は、上記第 1 動作電位点の電位と（上記第 1 動作電位点 - 上記 p チャンネル F E T のしきい値電圧の絶対値）の電位との間にある半導体集積回路。

【請求項 5】

第1の動作電位点と第1のノードとの間にソースドレイン経路が接続されたp型の第1 F E Tと、上記第1のノードと第2のノードとの間にソースドレイン経路が接続されたn型の第2 F E Tとを有する第1回路と、

上記第2のノードと第2の動作電位点との間にソースドレイン経路が接続された第3 F E Tと、

上記第2のノードと第3の動作電位点との間にソースドレイン経路が接続された第4 F E Tと、

第3のノードと第4のノードとの間にソースドレイン経路が接続されたp型の第5 F E Tと、上記第4のノードと上記第2動作電位点との間にソースドレイン経路が接続されたn型の第6 F E Tとを有する第2回路と、

10

上記第1の動作電位点と上記第3のノードとの間にソースドレイン経路が接続された第7 F E Tと、

第4の動作電位点と上記第3のノードとの間にソースドレイン経路が接続された第8 F E Tとを有し、

上記第3 F E Tのオン/オフ状態は上記第4 F E Tのオン/オフ状態と相補であり、上記第3 F E Tのオン/オフ状態は上記第2 F E Tのオン/オフ状態と相補であり、

上記第7 F E Tのオン/オフ状態は上記第8 F E Tのオン/オフ状態と相補であり、上記第7 F E Tのオン/オフ状態は上記第5 F E Tのオン/オフ状態と相補である半導体集積回路。

#### 【請求項6】

20

請求項5において、

上記第3の動作電位点の電位は、上記第2の動作電位点の電位と上記nチャンネルF E Tのしきい値電圧との間にあり、

上記第4の動作電位点の電位は、上記第1動作電位点の電位と(上記第1動作電位点 - 上記pチャンネルF E Tのしきい値電圧の絶対値)の電位との間にある半導体集積回路。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、半導体集積回路に係わり、特にM O S トランジスタを用いた半導体集積回路に関する。

30

##### 【0002】

##### 【従来の技術】

近年、各種半導体集積回路においては、高集積化、低消費電力化が進められている。半導体集積回路においては、M O S トランジスタのO N - O F F特性を決めるしきい値電圧 $V_t$ が存在する。ドライブ能力を上げ、回路の動作速度を向上させるためには、しきい値電圧 $V_t$ を小さくしなければならない。また、内部電源 $V_{dd}$ を低電圧化した場合でも、高速動作を保つためには、同様に $V_t$ を小さく設定する必要がある。

##### 【0003】

しかしながら、しきい値電圧 $V_t$ を小さくすると、1993シンポジウム オン ブイ・エル・エス・アイ サーキット ダイジェスト オブ テクニカル ペーパーズ(1993年)第45頁から第46頁(1993 Symposium on VLSI Circuits Digest of Technical Papers, pp. 45 - 46)に記されているように、リーク電流が急激に増加し、半導体集積回路の消費電力が非常に大きくなるという問題を招く。

40

##### 【0004】

これを防止するために、1996アイ・イー・イー・イー インターナショナル ソリッドステイト サーキット コンファレンス ダイジェスト オブ テクニカル ペーパーズ(1996年)第166頁から第167頁(IEEE International Solid State Circuits Conference Digest of Technical Papers, pp. 166 - 167, 1996)によれば、

50

スタンバイ時やアクティブ時等の動作状態に応じて、基板バイアス電圧値を変化させ、MOSトランジスタのしきい値電圧を制御できる半導体集積回路が提案されている。

【0005】

また、アイ・イー・イー・イー ジャーナル オブ ソリッドステイト サーキット, Vol 30, No 8 (1995年) 第847頁から第854頁 (IEEE JOURNAL OF SOLID-STATE CIRCUIT, Vol 30, No 8, AUGUST 1995) によれば、電源供給線と擬似電源供給線を設け、これらの間にスイッチング用MOSトランジスタを配し、主回路には、擬似電源供給線から電源を供給する構成を取り、スタンバイ時には、スイッチング用MOSトランジスタをOFFして主回路に電源を供給しないことにより、低消費電力化を実現する提案がなされている。しかしながら、これらの従来技術を用いても、アクティブ時に高速に動作させるためには、リーク電流の増加が避けられない。

10

【0006】

図24に従来の回路例として、3段のインバータを示す。(a)は等価回路、(b)は具体的回路構成を示している。例えば、スタンバイ時にノードO1が“L”レベルの場合には、O3が“L”レベルとなり、ノードO2とO4が“H”レベルとなる。このとき、前2段のインバータを見ると、トランジスタQ1とQ4を通してリーク電流が流れるが、トランジスタのしきい値を下げるとリーク電流が大幅に増加する。

【0007】

一方、特開平7-162288によれば、しきい値電圧 $V_t$ を変えずに、OFFからONに遷移するMOSトランジスタに入力する信号と、ONからOFFに遷移するMOSトランジスタに入力する信号に時間差をつけ、後者の信号より前者の信号を早く伝搬させることにより、高速動作を実現する提案がなされている。しかしながら、前者の信号伝搬を早くすると、後者の信号伝搬が遅くなるため、全体としては大幅な高速化効果は望めない。この高速化効果は、高々10%程度であることが発明者らの検討により判明した。

20

【0008】

【発明が解決しようとする課題】

このように、従来の半導体集積回路においては、回路の動作速度を向上させる、あるいは、内部電源 $V_{dd}$ を低電圧化した場合にも高速動作を保とうとすると、アクティブ時のリーク電流が増加するという問題があった。

30

【0009】

本発明は、前記事情を考慮してなされたもので、その目的とするところは、アクティブ時のリーク電流による消費電力の増加を抑え、かつ高速に動作可能な半導体集積回路を提供することにある。

【0010】

【課題を解決するための手段】

前記課題を解決するために、本発明は次のような構成を採用している。すなわち、本発明は、ゲートが第1の入力により制御され、第1の動作電位点と第1のノードとの間にソースドレイン経路が接続された第1のpチャンネルFETと、ゲートが第2の入力により制御され、第1のノードと第2のノードとの間にソースドレイン経路が接続された第1のnチャンネルFETと、ゲートが第1のノードで制御され、第2のノードと第2の動作電位点との間にソースドレイン経路が接続された第2のnチャンネルFETと、ゲートが第1のノードで制御され、第2のノードと第3の動作電位点との間にソースドレイン経路が接続された第3のnチャンネルFETと、ゲートが第1の入力により制御され、第3のノードと第4のノードとの間にソースドレイン経路が接続された第2のpチャンネルFETと、ゲートが第4のノードにより制御され、第4の動作電位点と第3のノードとの間にソースドレイン経路が接続された第4のpチャンネルFETと、ゲートが第2の入力により制御され、第4のノードと第2の動作電位点との間にソースドレイン経路が接続された第4のnチャンネルFETと、からなることを特徴と

40

50

する。

【0011】

また、本発明は、ゲートが第1の入力により制御され、第1の動作電位点と第1のノードとの間にソースドレイン経路が接続された第1のpチャンネルFETと、ゲートが第2の入力により制御され、第1のノードと第2の動作電位点との間にソースドレイン経路が接続された第1のnチャンネルFETと、ゲートが第1の動作電位点で制御され、第1のノードと第2の動作電位点との間にソースドレイン経路が接続された第2のnチャンネルFETと、ゲートが第1のノードで制御され、第1の動作電位点と第2のノードとの間にソースドレイン経路が接続された第2のpチャンネルFETと、ゲートが第2の入力により制御され、第2のノードと第2の動作電位点との間にソースドレイン経路が接続された第3のnチャンネルFETと、ゲートが第2の動作電位点により制御され、第1の動作電位点と第2のノードとの間にソースドレイン経路が接続された第3のpチャンネルFETと、からなることを特徴とする。

10

【0012】

本発明を入力信号の動作の点から説明すると、PMOSトランジスタ（あるいはPチャンネルFET）とNMOSトランジスタ（あるいはNチャンネルFET）を含んでなる半導体集積回路であって、PMOSトランジスタのゲートに第1の信号が入力され、NMOSトランジスタのゲートに第2の信号が入力され、第1の信号と第2の信号は異なる信号であり、第1の信号の最大値がPL、最小値がPSであり、第2の信号の最大値がNL、最小値がNSであるときに、 $PS < NS < PL < NL$ であることを特徴とする。

20

【0013】

また、PMOSトランジスタとNMOSトランジスタを含んでなる半導体集積回路であって、PMOSトランジスタのゲートに第1の信号が入力され、NMOSトランジスタのゲートに第2の信号が入力され、第1の信号と第2の信号は異なる信号であり、第1の信号がPLとPSの間で変化し、第2の信号がNLとNSの間で変化し、PMOSトランジスタのオン・オフのしきい値であるゲート入力をPGとし、NMOSトランジスタのオン・オフのしきい値であるゲート入力をNGとしたとき、各値はPS、NS、NG、PG、PL、NLの順に並ぶことを特徴とする。

【0014】

ここで、NGとNLの差が、NGとNSの差より大きいことが望ましい。また、PGとPSの差が、PGとPLの差より大きいことも望ましい。

30

【0015】

具体的には第1の信号はPLとPSの間で変化する矩形波であり、第2の信号はNLとNSの間で変化する矩形波（たとえばパルス）である。制御の容易性から、これらの立ち上がりと立ち下りのタイミングは同期していることが望ましい。すなわち、位相が同じだが、波形の異なるパルス信号をPMOSトランジスタとNMOSトランジスタのゲートに与えて制御する。具体的には、PMOSトランジスタとNMOSトランジスタのHIGHとLOWがそれぞれ異なる。さらに具体的には、PMOSトランジスタは第1の信号の立ち下りでオンし、NMOSトランジスタは第2の信号の立ち上がりでオンする。本発明では、第1の信号と第2の信号に時間差（位相差）を設ける必要は特にない。

40

【0016】

これらをまとめて好適な形態に構成すると、PMOSトランジスタとNMOSトランジスタを含んでなる半導体集積回路であって、PMOSトランジスタのゲートに第1のパルス信号が入力され、NMOSトランジスタのゲートに第2のパルス信号が入力され、第1のパルス信号のHIGHの値と第2のパルス信号のHIGHの値は異なり、第1のパルス信号のLOWの値と第2のパルス信号のLOWの値は異なり、第1のパルス信号のHIGHからLOWへの切り替えタイミングと第2のパルス信号のHIGHからLOWへの切り替えタイミングは同期し、第1のパルス信号LOWのHIGHからへの切り替えタイミングと第2のパルス信号LOWのHIGHからへの切り替えタイミングは同期している。

【0017】

50

さらに、具体例を示すと、第1のパルス信号を形成する第1の回路と、第2のパルス信号を形成する第2の回路とを有し、第1の回路はソースドレイン経路が直列に接続されたPMOSトランジスタおよびNMOSトランジスタを有し、第2の回路はソースドレイン経路が直列に接続されたPMOSトランジスタおよびNMOSトランジスタを有している。

【0018】

また、さらに具体例を示すと、第1の回路のPMOSトランジスタおよびNMOSトランジスタはソースドレイン経路が第1の電位と第1の接続点に接続され、第2の回路のPMOSトランジスタおよびNMOSトランジスタはソースドレイン経路が第2の電位と第2の接続点に接続され、第1の接続点に対して第1のセレクトを介して第2の電位もしくは第3の電位が供給され、第2の接続点に対して第2のセレクトを介して第1の電位もしくは第4の電位が供給される。

10

【0019】

これらの回路を実現するのに好適な回路レイアウトについて言及すれば、第1の電位を給電する第1の配線、第2の電位を給電する第2の配線、第3の電位を給電する第3の配線、第4の電位を給電する第4の配線が、平行に配置されていることが、コンパクトな回路構成のために望ましい。これらの配線は同一の配線層に配置してもよいが、面積の増大を嫌う場合には、異なる配線層で構成して、上下に積層するように構成しても良い。

【0020】

さらに、本発明は、トランジスタの基板バイアスを制御してトランジスタのしきい値を変化させてサブスレッショルドリーク電流を低減する技術と組み合わせることもできる。このためには、PMOSトランジスタの基板バイアス電位を供給する第5の配線と、NMOSトランジスタの基板バイアス電位を供給する第6の配線が必要である。これらのレイアウトとしては、第1の配線～第6の配線が平行に配置することができる。これらは同一の配線層に形成しても良い。また、配線層に余裕がある場合は異なる配線層で構成して、上下に重ねれば回路面積が縮小できる。

20

【0021】

さらに、第1の配線～第6の配線を3本ずつにグループ分けし、第1のグループと第2のグループの間に、上記第1の回路、第2の回路、PMOSトランジスタおよびNMOSトランジスタの少なくとも一つを内蔵するセルを複数配置すれば、規則的なセル配置が実現できる。このとき、基板バイアス電位を供給する配線を省略することもできる。このときは2本ずつの2つのグループとなり、これらの間にセルが配置される。

30

【0022】

本発明は、従来の回路を適宜混在させて用いることができる。典型的な例としては、演算機能を有する論理ブロック、記憶機能を有するメモリブロックをする半導体集積回路であって、論理ブロックの内部に、第1の回路、第2の回路、PMOSトランジスタおよびNMOSトランジスタを内蔵する本発明の回路（たとえば後に図1に示す）を配置することができる。

【0023】

あるいは、第1の回路ブロック、第2の回路ブロックをする半導体集積回路であって、第1のブロックの内部に、PMOSトランジスタとNMOSトランジスタを含んでなる回路セルを有し、PMOSトランジスタのゲートに第1のパルス信号が入力され、NMOSトランジスタのゲートに第2のパルス信号が入力され、第1のパルス信号のHIGHの値と第2のパルス信号のHIGHの値は異なり、第1のパルス信号のLOWの値と第2のパルス信号のLOWの値は異なり、第1のパルス信号のHIGHからLOWへの切り替えタイミングと第2のパルス信号のHIGHからLOWへの切り替えタイミングは同期し、第1のパルス信号LOWのHIGHからへの切り替えタイミングと第2のパルス信号LOWのHIGHからへの切り替えタイミングは同期している。

40

【0024】

具体的には、第1のパルス信号を形成する第1の回路と、第2のパルス信号を形成する第2の回路とを第1の回路ブロック中に有し、第1の回路はソースドレイン経路が直列に接

50

続されたPMOSトランジスタおよびNMOSトランジスタを有し、第2の回路はソースドレイン経路が直列に接続されたPMOSトランジスタおよびNMOSトランジスタを有する。

【0025】

さらに具体的には、第1の回路のPMOSトランジスタおよびNMOSトランジスタはソースドレイン経路が第1の電位と第1の接続点に接続され、第2の回路のPMOSトランジスタおよびNMOSトランジスタはソースドレイン経路が第2の電位と第2の接続点に接続され、第1の接続点に対して第1のセクタを介して第2の電位もしくは第3の電位が供給され、第2の接続点に対して第2のセクタを介して第1の電位もしくは第4の電位が供給される。

10

【0026】

第1の回路ブロックには、上記の回路構成を実現するために、上記第1の電位を給電する第1の配線、上記第2の電位を給電する第2の配線、上記第3の電位を給電する第3の配線、上記第4の電位を給電する第4の配線が平行に配置されている。

【0027】

また、第2の回路ブロックには、従来の回路を適用することにし、第1の配線～第4の配線を平行に配置し、第3の電位を給電する第3の配線、第4の電位を給電する第4の配線が配置されていない。このように、本発明の回路と従来の回路をブロック分けすると、配線のためのスペースを節約でき、効率的な回路配置が可能となる。

【0028】

【発明の実施の形態】

以下、図面を参照して、本発明の実施例を説明する。

20

【0029】

図1は、本発明の第1の実施例に係わる半導体集積回路を示す回路構成図である。これは、1段のNANDゲートおよび4段のインバータの例である。従来のインバータは、nMOSトランジスタとpMOSトランジスタの各1個から構成するが、本実施例では、まず1つのインバータを2分割する。例えば、 $Q_{p11}$ 、 $Q_{n11}$ で構成する第1のインバータ(第1のCMOS回路)と $Q_{p13}$ 、 $Q_{n13}$ で構成する第2のインバータ(第2のCMOS回路)に分ける。但し、 $Q_{p11}$ 、 $Q_{n11}$ 、 $Q_{p13}$ 、 $Q_{n13}$ のチャンネル幅の合計は、従来と同じになるようにできる。

30

【0030】

次に、それぞれのインバータに、電圧源を選択するためのセクタを設ける。例えば、第1のインバータを構成する $Q_{p11}$ のソースに、 $Q_{p15}$ 、 $Q_{p16}$ で構成する第1のセクタを接続する。 $Q_{p15}$ のソースには、電圧値 $V_{dd}$ を持つ第1の電圧源を接続し、 $Q_{p16}$ のソースには、 $V_{dd} - V_{t1} < V_h < V_{dd}$  ( $V_{t1}$ はしきい値電圧)となるように設定された電圧値 $V_h$ を持つ第1のバイアス用電圧源を接続する。同様に、第2のインバータを構成する $Q_{n13}$ のソースに、 $Q_{n15}$ 、 $Q_{n16}$ で構成する第2のセクタを接続する。 $Q_{n15}$ のソースには、電圧値0を持つ第2の電圧源を接続し、 $Q_{n16}$ のソースには、 $0 < V_{l1} < V_{t1}$ となるように設定された電圧値 $V_{l1}$ を持つ第2のバイアス用電圧源を接続する。

40

【0031】

最後に、遅延用インバータを用いて、第1および第2のインバータの出力から生成した電圧源選択信号をセクタに入力する。例えば、第1の遅延用インバータを構成する $Q_{p17}$ 、 $Q_{n17}$ のゲートには、それぞれ第1のインバータの出力と第2のインバータの出力を接続し、第2の遅延用インバータの $Q_{p18}$ 、 $Q_{n18}$ のゲートには、共に第1の遅延用インバータの出力を接続する。第1のセクタおよび第2のセクタを構成する $Q_{p16}$ 、 $Q_{n16}$ のゲートには、第1の遅延用インバータの出力を接続し、 $Q_{p15}$ 、 $Q_{n15}$ のゲートには、第2の遅延用インバータの出力を接続する。

【0032】

同様な回路構成を、2段目( $Q_{p21}$ から $Q_{p28}$ 、 $Q_{n21}$ から $Q_{n28}$ )と3段目(

50

Q p 3 1 から Q p 3 8 , Q n 3 1 から Q n 3 8 ) についても実施する。但し、4 段目は Q p 4 と Q n 4 の従来と同様のインバータ構成である。多段構成時の接続については、第 1 のインバータの出力 P 1 は次段の p M O S 側 ( Q p 2 1 , Q p 2 3 ) にのみ入力し、第 2 のインバータの出力 N 1 は次段の n M O S 側 ( Q n 2 1 , Q n 2 3 ) にのみ入力する。これを繰り返して論理回路を構成する。

#### 【 0 0 3 3 】

結局この構成では、ゲートが第 1 の入力 P1 により制御され、第 1 の動作電位点 Vdd と第 1 のノード N2 との間にソースドレイン経路が接続された第 1 の p チャネル F E T Qp23 と、ゲートが第 2 の入力 N1 により制御され、第 1 のノード N2 と第 2 のノードとの間にソースドレイン経路が接続された第 1 の n チャネル F E T Qn23 と、ゲートが第 1 のノードで制御され、第 2 のノードと第 2 の動作電位点 GND との間にソースドレイン経路が接続された第 2 の n チャネル F E T Qn25 と、ゲートが第 1 のノード N2 で制御され、第 2 のノードと第 3 の動作電位点 V1 との間にソースドレイン経路が接続された第 3 の n チャネル F E T Qn26 と、ゲートが第 1 の入力 P1 により制御され、第 3 のノードと第 4 のノード P2 との間にソースドレイン経路が接続された第 2 の p チャネル F E T Qp21 と、ゲートが第 4 のノード P2 により制御され、第 1 の動作電位点 Vdd と第 3 のノードとの間にソースドレイン経路が接続された第 3 の p チャネル F E T Qp25 と、ゲートが第 4 のノード P2 により制御され、第 4 の動作電位点 Vh と第 3 のノードとの間にソースドレイン経路が接続された第 4 の p チャネル F E T Qp26 と、ゲートが第 2 の入力 N1 により制御され、第 4 のノード P2 と第 2 の動作電位点 GND との間にソースドレイン経路が接続された第 4 の n チャネル F E T Qn21 とを含んでいる。

#### 【 0 0 3 4 】

本実施例は、このように各信号線を入力、出力共に p M O S 側用と n M O S 側用の 2 本に分けて構成する。但し、初段の 1 段目は 1 つの信号に対して 1 本にすることができ、最終段の 4 段目は、通常のロジックで受けて ( 但し、入力は 2 種類 ) 1 つの信号に対して 1 本の信号線に戻すこともできる。このように論理回路群を構成して、論理回路群内は各信号 2 本を用いるし、群の入、出力は 1 本に戻すことができ、第 1 図に記載の本実施例と従来方式 ( たえば図 2 4 に開示の回路 ) を組み合わせてもよい。

#### 【 0 0 3 5 】

こうした場合の効果であるが、例えば、ノード P 1 と N 1 が “ L ” レベルの場合には、その信号が第 1 の遅延用インバータを通過して、第 2 のセレクトを構成する Q p 1 6 , Q n 1 6 のゲートに入力され、Q p 1 6 が O F F 、 Q n 1 6 が O N になる。さらに、第 1 の遅延用インバータの出力は、第 2 の遅延用インバータを通過して第 1 のセレクトを構成する Q p 1 5 , Q n 1 5 のゲートに入力され、Q p 1 5 が O N 、 Q n 1 5 が O F F になる。このため、ノード P 1 の電位は 0 のままであるが、ノード N 1 の電位は 0 から V 1 に引き上げられることになる。

#### 【 0 0 3 6 】

結果として、ノード P 1 と N 1 が “ L ” から “ H ” レベルに遷移する場合には、N 1 、すなわち n M O S 入力の立ち上がりは、従来インバータに比べて速くなる。

#### 【 0 0 3 7 】

図 2 に上記で説明した図 1 の回路の動作を示す。 n M O S 入力の立ち上がりの部分を図 2 の A に示す。ノード P 1 と N 1 が “ L ” レベルの場合には、ノード P 1 の電位は 0 のままであるが、ノード N 1 の電位は 0 から V 1 に引き上げられる。よって、本実施例は、n M O S の入力が O N し始める 0 から V t までの無駄な時間を削減するため、結果として動作スピードは向上する。

#### 【 0 0 3 8 】

その後、ノード P 1 と N 1 が “ H ” レベルになると、“ L ” レベルの場合と同様に、その信号が遅延用インバータを通過してセレクトに入力され、Q p 1 6 が O N 、 Q n 1 6 が O F F 、 Q p 1 5 が O F F 、 Q n 1 5 が O N になる。このため、ノード N 1 の電位は V d d のままであるが、ノード P 1 の電位は V d d から V h に引き下げられることになる。

#### 【 0 0 3 9 】

10

20

30

40

50



ノードP1とN1が“H”から“L”レベルに遷移する場合にも同様に、P1、すなわちpMOS入力の立ち下がり、従来のインバータに比べて速くなる。これを図2のBに示す。よって、pMOSがOFFからONし始める時間が減り、結果として動作スピードは向上する。その後、ノードP1とN1が“L”レベルになると、前述の理由によりノードN1の電位は0からV1に引き上げられ、次の遷移に備えた状態になる。

#### 【0040】

このような動作を一般化していえば、この実施例は、第1のパルス信号(N1)を形成する回路と、第2のパルス信号(N2)を形成する回路と、ゲートに入力される第1のパルス信号の立ち上がりでオンする第1のトランジスタ(NMOSトランジスタ)と、ゲートに入力される第2のパルス信号の立ち下がりでオンする第2のトランジスタと(PMOSトランジスタ)を有し、第1のトランジスタがオンする時点のゲート入力信号の値(Vt)と第1の信号(N1)のLOWレベルの差が、第1のトランジスタがオフする時点のゲート入力信号の値(Vdd - Vt)と第1の信号(N1)のHIGHレベルの差よりも小さく、第2のトランジスタがオンする時点のゲート入力信号の値と第2の信号(N2)のHIGHレベルの差が、第2のトランジスタがオフする時点のゲート入力信号の値と第2の信号(N2)のLOWレベルの差よりも小さくなっている。このような2種類の信号を用いる構成により、ゲートに与える信号の振幅を変えずドライバリティを維持したまま、またトランジスタしきい値も変えずに、トランジスタが高速にオンできるようになっていることが理解できるであろう。

#### 【0041】

図2より明らかなように、第1のパルス信号と第2のパルス信号の位相が同期しており、前掲の特開平7-162288のようにトランジスタの入力に位相ずれが生じることもないので制御や設計は簡単である。さらに、図2より明らかなように、第1のトランジスタがオンする時点のゲート入力信号の値と第1の信号のLOWレベルの差が、第1のトランジスタがオンする時点のゲート入力信号の値と第2の信号のLOWレベルの差よりも小さく、第2のトランジスタがオンする時点のゲート入力信号の値と第2の信号のHIGHレベルの差が、第2のトランジスタがオンする時点のゲート入力信号の値と第1の信号のHIGHレベルの差よりも小さい。

#### 【0042】

図3は、横軸に本発明のインバータのゲート遅延をとり、縦軸にリーク電流による消費電力比をとったグラフである。消費電力比は、従来のインバータの消費電力を1として正規化した値である。図中の三角印は、従来のインバータを使用した場合の結果を示し、各三角印の傍には、MOSトランジスタのしきい値電圧Vtを示している。また、丸印は、本発明のインバータを使用した場合の結果を示し、各丸印の傍には、バイアス用電源Vh, V1の電圧値を示している。

#### 【0043】

本発明では、電位差Vdd - Vhが大きいほど、またV1の電圧値が大きいほど、高速化効果が大きくなる。例えば、電源Vddが2.5Vの下で、従来のインバータ(Vt = 0.7)ではゲート遅延が0.168nsecであるのに対して、本発明では、Vh = 2.2, V1 = 0.3の場合には0.133nsecまで、Vh = 2.0, V1 = 0.5の場合には0.108nsecまで高速化できている。なお、本発明のMOSトランジスタのVtは一律0.7である。

#### 【0044】

一方、本発明では、高速化にともなって消費電力比が増加するが、Vtを下げて高速化を図る従来の技術に比べて、消費電力比が小さくなる。例えば、ゲート遅延が同じという条件下で比較すると、従来のインバータでは、Vt = 0.4の場合に消費電力比が5.4であるのに対して、本発明では、Vh = 2.2, V1 = 0.3の場合に3.0になっている。これは、従来のインバータでは、ONしているMOSのソース・ドレイン間電圧が常にVddであるのに対して、本発明では、VhまたはVdd - V1となるケースがあり、短チャネルの影響を受けてリーク電流が小さくなるためである。

10

20

30

40

50

## 【0045】

図4は、横軸に電源V<sub>dd</sub>の電圧値をとり、縦軸にインバータのゲート遅延比をとったグラフである。図中の三角印は、従来のインバータ( $V_t = 0.7$ )を使用した場合の結果を示し、丸印は、本発明のインバータ( $V_h = 2.0$ ,  $V_l = 0.5$ )を使用した場合の結果を示している。ゲート遅延比は、電源V<sub>dd</sub>が2.5Vの下での各インバータのゲート遅延を1としてそれぞれ正規化した値である。

## 【0046】

本発明では、V<sub>dd</sub>が低下した場合に、従来のインバータに比べてゲート遅延の増加率が小さくなる。例えば、V<sub>dd</sub> = 2.1の場合には、従来のインバータのゲート遅延比が1.6であるのに対して、本発明では1.3であり、V<sub>dd</sub> = 1.9の場合には、従来の

10

## 【0047】

したがって、本実施例を複数段組合せると、各段毎に高速化を図ることができる。また、本発明は、アクティブ時の高速動作と低リーク電流を実現するものであるが、スタンバイ時に第1のバイアス用電圧源の電圧値を下げ、第2のバイアス用電圧源の電圧値を上げることにより、スタンバイ時のリーク電流も削減することができる。例えば、第1のバイアス用電圧源1の電圧値をV<sub>dd</sub>に、第2のバイアス用電圧源2の電圧値を0に設定すればよい。

## 【0048】

図18は、横軸に温度をとり、縦軸にインバータのゲート遅延比をとったグラフである。

20

## 【0049】

図中の三角印は、従来のインバータを使用した場合の結果を示し、丸印は、本発明のインバータ( $V_h = 2.2$ ,  $V_l = 0.3$ )を使用した場合の結果を示している。ゲート遅延比は、温度が125 °Cの下での各インバータのゲート遅延を1としてそれぞれ正規化した値である。

## 【0050】

本発明では、温度が低下した場合に、従来のインバータに比べてゲート遅延の減少率が大きくなる。例えば、75 °Cの場合には、従来のインバータのゲート遅延比が0.95であるのに対して、本発明では0.90であり、-50 °Cの場合には、従来の

30

## 【0051】

図19にMOSトランジスタのソースドレイン間電流と温度の関係の例を示す。温度が低下すると、MOSトランジスタのソースドレイン間電流、すなわち駆動能力が大きくなるが、一方ではしきい値電圧が高くなる。従来のインバータでは、駆動能力が大きくなる効果と、しきい値電圧上昇により動作速度が低下する効果が相殺してしまうが、本発明では、温度低下とともにバイアス用電圧源V<sub>l</sub>の電圧値を上げ、バイアス用電圧源V<sub>h</sub>の電圧値を下げて、しきい値上昇分を補償することにより、動作速度が低下する効果を抑えることができるためである。

## 【0052】

図5は、図1に示した実施例のインバータ2段目のレイアウトの平面図である。白抜きの領域はポリシリコン層を示し、網掛けの領域は第1メタル層を示している。チャンネルを形成するゲート電極に、図1に対応するMOSトランジスタの名称(Q<sub>p11</sub>からQ<sub>p18</sub>, Q<sub>n11</sub>からQ<sub>n18</sub>)を付してある。それぞれのMOSの働きは、前述した通りである。また、黒塗りの正方形は入出力端子であり、nMOS, pMOSの入力にはそれぞれN<sub>1</sub>, P<sub>1</sub>を付し、出力にはそれぞれN<sub>2</sub>, P<sub>2</sub>を付してある。

40

## 【0053】

前掲1996アイ・イー・イー・イー インターナショナル ソリッドステイト サーキット コンファレンス ダイジェスト オブ テクニカル ペーパーズなどに開示される従来のレイアウト図では、V<sub>dd</sub>(第1の電圧源), GND(第2の電圧源), V<sub>b<sub>p</sub></sub>(p基板供給用電圧源), V<sub>b<sub>n</sub></sub>(n基板供給用電圧源)の4種類の電源線だけを持つが、

50

本実施例のレイアウト図では、さらにV<sub>h</sub>（第1のバイアス用電圧源）、V<sub>l</sub>（第2のバイアス用電圧源）の2種類の電源線を必要とする。

【0054】

V<sub>h</sub>の電源線は、V<sub>dd</sub>のそれと同様にpMOSに給電することから、V<sub>dd</sub>に近接して平行に配置し、逆にV<sub>l</sub>の電源線は、GNDのそれと同様にnMOSに給電することから、GNDに近接して平行に配置することが望ましい。これにより、電源線の無駄な引き回しをしなくて済むのである。

【0055】

図4は電源線にメタル1層のみを用いた場合を示しているが、2層以上使用できる場合には、例えば、V<sub>dd</sub>とV<sub>h</sub>の電源線を別の層にして重ね、GNDとV<sub>l</sub>の電源線を別の層にして重ねることにより、レイアウト面積を削減できる。

10

【0056】

本実施例では、従来のインバータに比べ素子数が増加するため、レイアウト面積は約2倍程度まで増加する。なぜなら、第1のインバータと第2のインバータのチャンネル幅は、従来のインバータと同じにできるし、遅延用インバータのチャンネル幅は、セレクトアのそれに比べて小さくできるので、セレクトアが面積の増加分になる。一方、セレクトアのチャンネル幅は、第1のインバータと第2のインバータのそれと同じにできるからである。

【0057】

例えば、第1のセレクトアを構成するQ<sub>p15</sub>、Q<sub>p16</sub>に必要なチャンネル幅は、第1のインバータを構成するQ<sub>p11</sub>と直列接続することから、Q<sub>p11</sub>のチャンネル幅までで十分である。同様に、第2のセレクトアを構成するQ<sub>n15</sub>、Q<sub>n16</sub>に必要なチャンネル幅は、第2のインバータを構成するQ<sub>n13</sub>と直列接続することから、Q<sub>n13</sub>のチャンネル幅までで十分である。なお、CMOS回路の素子数が増えると、セレクトアおよび遅延用インバータによる素子数増加の影響が相対的に小さくなるため、従来のCMOS回路と比較したレイアウト面積の増加は少なくなる。

20

【0058】

図6は、本発明の第2の実施例に係わる半導体集積回路を示す回路構成図である。第1の実施例ではインバータの例を示したが、この実施例ではその他の論理回路NAND、NORに本発明を適用した場合を示す。従来と同じNANDゲートおよびNORゲートをそれぞれ2分割し、前述の電圧源セレクトアと遅延用インバータを付加することにより論理を構成する。このように、本発明は全てのロジックに適用できる。

30

【0059】

具体的には、まず1つのNANDゲートを2分割し、1段目をQ<sub>p11</sub>、Q<sub>p12</sub>とQ<sub>n11</sub>、Q<sub>n12</sub>からなる第1のNANDゲート（第1のCMOS回路）と、Q<sub>p13</sub>、Q<sub>p14</sub>とQ<sub>n13</sub>、Q<sub>n14</sub>からなる第2のNANDゲート（第2のCMOS回路）に分ける。次に、Q<sub>p15</sub>、Q<sub>p16</sub>からなる第1のセレクトアをQ<sub>p11</sub>、Q<sub>p12</sub>のソースに接続し、Q<sub>n15</sub>、Q<sub>n16</sub>からなる第2のセレクトアをQ<sub>n12</sub>のソースに接続する。Q<sub>p15</sub>のソースには、電圧値V<sub>dd</sub>を持つ第1の電圧源を接続し、Q<sub>p16</sub>のソースには、電圧値V<sub>h</sub>を持つ第1のバイアス用電圧源を接続する。また、Q<sub>n15</sub>のソースには、電圧値0を持つ第2の電圧源を接続し、Q<sub>n16</sub>のソースには、電圧値V<sub>l</sub>を持つ第2のバイアス用電圧源を接続する。最後に、第1の遅延用インバータをなすQ<sub>p17</sub>、Q<sub>n17</sub>のゲートには、それぞれ第1のNANDゲートの出力と第2のNANDゲートの出力を接続し、第2の遅延用インバータをなすQ<sub>p18</sub>、Q<sub>n18</sub>のゲートには、共に第1の遅延用インバータの出力を接続する。第1のセレクトアおよび第2のセレクトアをなすQ<sub>p16</sub>、Q<sub>n16</sub>のゲートには、第1の遅延用インバータの出力を接続し、Q<sub>p15</sub>、Q<sub>n15</sub>のゲートには、第2の遅延用インバータの出力を接続する。

40

【0060】

2段目のNORゲートについても同様に、1つのNORゲートを2分割し、1段目をQ<sub>p21</sub>、Q<sub>p22</sub>とQ<sub>n21</sub>、Q<sub>n22</sub>からなる第1のNORゲート（第1のCMOS回路）と、Q<sub>p23</sub>、Q<sub>p24</sub>とQ<sub>n23</sub>、Q<sub>n24</sub>からなる第2のNORゲート（第2のC

50

MOS回路)に分ける。次に、Qp25, Qp26からなる第1のセクタをQp21, Qp22のソースに接続し、Qn25, Qn26からなる第2のセクタをQn22のソースに接続する。Qp25のソースには、電圧値Vddを持つ第1の電圧源を接続し、Qp26のソースには、電圧値Vhを持つ第1のバイアス用電圧源を接続する。また、Qn25のソースには、電圧値0を持つ第2の電圧源を接続し、Qn26のソースには、電圧値Vlを持つ第2のバイアス用電圧源を接続する。最後に、第1の遅延用インバータをなすQp27, Qn27のゲートには、それぞれ第1のNORゲートの出力と第2のNORゲートの出力を接続し、第2の遅延用インバータをなすQp28, Qn28のゲートには、共に第1の遅延用インバータの出力を接続する。第1のセクタおよび第2のセクタをなすQp26, Qn26のゲートには、第1の遅延用インバータの出力を接続し、Qp25, Qn25のゲートには、第2の遅延用インバータの出力を接続する。

【0061】

そして、1段目の第1のNANDゲートの出力を、2段目のpMOSトランジスタQp21, Qp23に入力し、第2のNANDゲートの出力を2段目のnMOSトランジスタQn21, Qn23に入力する。

【0062】

このような構成であっても、第1の実施例と同様に動作が高速になるという効果が得られる。つまり、pMOSトランジスタとnMOSトランジスタからなるCMOS回路を用いた各種のロジックに適用することができるのである。

【0063】

図16は、本発明の第3の実施例に係わる半導体集積回路を示す回路構成図である。この実施例では、トランスミッションゲートを用いたセクタ回路に本発明を適用した場合を示す。(b)に示す本発明のセクタ回路が、(a)に示す従来のセクタ回路と異なる点は、セクタ回路を構成するインバータを本発明のインバータに代えたことと、トランスミッションゲートをそれぞれ2つに分割したことにある。

【0064】

具体的には、まず本発明のインバータg1601にセレクト信号S(N), S(P)を入力し、トランスミッションゲートg1603とg1604にそれぞれデータ信号I1(N), I1(P)を入力し、トランスミッションゲートg1605とg1606にそれぞれデータ信号I2(N), I2(P)を入力する。次に、g1603とg1604をなすnMOSトランジスタのゲートにはg1601の出力であるSB(N)を接続し、pMOSトランジスタのゲートにはS(P)を接続する。g1605とg1606をなすnMOSトランジスタのゲートにはS(N)を接続し、pMOSトランジスタのゲートにはg1601の出力であるSB(P)を接続する。最後に、本発明のインバータg1602にg1603とg1605の出力OB(N)と、g1604とg1606の出力OB(P)を入力し、セクタ回路の出力信号O(N), O(P)を取り出す。このような構成であっても、第1の実施例と同様に動作が高速になるという効果が得られる。

【0065】

図17は、本発明の第4の実施例に係わる半導体集積回路を示す回路構成図である。この実施例では、トランスミッションゲートを用いたフリップフロップ回路に本発明を適用した場合を示す。(b)に示す本発明のフリップフロップ回路が、(a)に示す従来のフリップフロップ回路と異なる点は、入力信号I1を伝搬させるインバータを本発明のインバータに代えたことと、トランスミッションゲートをそれぞれ2つに分割したことにある。これらの変更は、第3の実施例と同様にできる。このような構成であっても、第1の実施例と同様に動作が高速になるという効果が得られる。

【0066】

図7は、本発明の第5の実施例に係わる半導体集積回路を示す回路構成図である。この実施例が第1の実施例と異なる点は、電圧源選択用セクタおよび遅延用インバータに代えて、出力と電圧源を結ぶ抵抗を設けることにある。例えば、1つのインバータを2分割し、1段目をQp11, Qn11からなる第1のインバータ(第1のCMOS回路)と、Q

p 1 3 , Q n 1 3 からなる第 2 のインバータ ( 第 2 の C M O S 回路 ) に分ける。次に、Q n 1 5 からなる抵抗用 M O S トランジスタのドレインには、第 1 のインバータの出力を接続し、Q n 1 5 のゲートには、電圧値 V d d を持つ第 1 の電圧源を接続し、Q n 1 5 のソースには、電圧値 0 を持つ第 2 の電圧源を接続する。同様に、Q p 1 5 からなる抵抗用 M O S トランジスタのドレインには、第 2 のインバータの出力を接続し、Q p 1 5 のゲートには第 2 の電圧源を接続し、Q p 1 5 のソースには第 1 の電圧源を接続する。

【 0 0 6 7 】

これにより、第 1 の実施例と同様に、n M O S および p M O S が O F F から O N し始めるまでの無駄な時間が削減できるため、動作スピードが向上するという効果が得られる。

【 0 0 6 8 】

具体的には、ノード P 1 と N 1 が “ L ” レベルの場合には、ノード P 1 の電位は 0 のままであるが、第 2 のインバータをなす Q n 1 3 と、抵抗用 M O S トランジスタをなす Q p 1 5 が O N するため、ノード N 1 の電位は、V d d を Q n 1 3 と Q p 1 5 の抵抗比で分割した電位 ( > 0 ) まで引き上げられる。結果として、ノード P 1 と N 1 が “ L ” から “ H ” レベルに遷移する場合には、N 1、すなわち n M O S 入力の上立ち上がりは、従来のインバータに比べて速くなる。

【 0 0 6 9 】

図 8 に上記で説明した図 7 の回路の動作波形を示す。図 8 の A には n M O S 入力の上立ち上がり部を示した。逆に、ノード P 1 と N 1 が “ H ” レベルの場合には、ノード N 1 の電位は V d d のままであるが、第 1 のインバータをなす Q p 1 1 と、抵抗用 M O S トランジスタをなす Q n 1 5 が O N するため、ノード P 1 の電位は、V d d を Q p 1 1 と Q n 1 5 の抵抗比で分割した電位 ( < V d d ) まで引き下げられる。結果として、ノード P 1 と N 1 が “ H ” から “ L ” レベルに遷移する場合には、P 1、すなわち p M O S 入力の上立ち下がり部は、従来のインバータに比べて速くなる。この動作を図 8 の B に示す。

【 0 0 7 0 】

このような構成であれば、従来のインバータに比べて抵抗用 M O S トランジスタ 2 つだけ素子が増えるが、第 1 の実施例に比べて素子数を少なくできる。さらに、第 1 の実施例で必要であった 2 種類のバイアス用電圧源が不要となる。

【 0 0 7 1 】

但し、正常動作のためには、“ L ” レベル時のノード N 1 の電位が V t を超えないように Q p 1 5 のチャネル幅を決め、“ H ” レベル時のノード P 1 の電位が V d d - V t を超えるように Q n 1 5 のチャネル幅を決める必要がある。また、抵抗用 M O S トランジスタにより、第 1 の電圧源と第 2 の電圧源の間に直流パスが形成されるため、第 1 の実施例に比べてリーク電流が多くなる。また、スタンバイ時に Q n 1 5 のゲート電位を下げ、Q p 1 5 のゲート電位を上げることにより、スタンバイ時のリーク電流を削減することができる。例えば、Q n 1 5 のゲートの電圧値を 0 に、Q p 1 5 のゲートの電圧値を V d d に設定すればよい。

【 0 0 7 2 】

図 9 は、本発明の第 6 の実施例に係わる半導体集積回路を示す回路構成図である。ここでは、目標動作周波数を実現しつつ、リーク電流を抑えるために、半導体集積回路を構成する信号経路のディレイに注目して、本発明の回路と従来の回路を使い分ける例について説明する。

【 0 0 7 3 】

図 9 の回路は、フリップフロップ f 9 0 1 から f 9 0 4、N A N D ゲート g 9 0 1 から g 9 0 9 で構成されている。例えば、この回路を 2 5 0 M H z で動作させるためには、フリップフロップ f 9 0 1 にクロック信号 C K が入力されてから、論理信号がフリップフロップ f 9 0 2 に到達するまでの経路のディレイと、フリップフロップ f 9 0 3 にクロック信号 C K が入力されてから、論理信号がフリップフロップ f 9 0 4 に到達するまでの経路のディレイが 4 n s e c 以内であることが求められる。

【 0 0 7 4 】

10

20

30

40

50

ここで、NANDゲートを従来の回路で構成した場合のディレイを1 nsec、本発明の回路で構成した場合のディレイを0.7 nsecとする。図中の網掛けで示したNANDゲートg905からg909は、本発明の回路で構成され、白抜きで示した素子は、従来の回路で構成されている。これにより、フリップフロップf901からf902に至る経路のディレイは4 nsec、フリップフロップf903からf904に至る経路のディレイは3.8 nsecとなり、双方とも目標の4 nsec以内が満たされる。なお、すべてのNANDゲートを従来の回路で構成した場合には、フリップフロップf903からf904に至る経路のディレイが5 nsecになってしまう。

【0075】

一方、リーク電流については、NANDゲートを従来の回路で構成した場合のリーク電流を1 pA、本発明の回路で構成した場合のリーク電流を10 pAとする。すべてのNANDゲートを本発明の回路で構成した場合の総リーク電流は90 pAになるが、図に示すように従来の回路を混在させることにより、総リーク電流を45 pAに抑えることができる。

10

【0076】

図10は、図9に示した実施例の半導体集積回路のレイアウトの平面図である。ここでは、論理ゲートをすべて模式的に矩形で示している。網掛けをした矩形、例えばg1001が本発明の回路で構成した論理ゲートを示し、白抜きの矩形、例えばg1002が従来の回路で構成した論理ゲートを示している。図中に、path1001として図9のf901からf902に至る経路、path1002としてf903からf904に至る経路を示した。

20

【0077】

図11は、本発明の第7の実施例に係わる半導体集積回路を示す回路構成図である。ここでは、互いに共有論理ゲートを持つ複数の信号経路において、本発明の回路と従来の回路を適宜混在させる場合に、本発明の回路の使用を最小限にするために、共通論理ゲートに本発明の回路を多く使用する例について説明する。

【0078】

図11の回路は、フリップフロップf1101からf1103、論理ゲートg1101からg1117により構成されている。例えば、f1101からf1102に至る経路、およびf1101からf1103に至る経路の目標とするディレイを9.5 nsecとする。双方の経路とも11個の論理ゲートで構成されており、9.5 nsecのディレイを実現するためには、少なくとも5個の素子を本発明の回路で構成する必要がある。

30

【0079】

ここで、図に示す構成にすることにより、本発明の回路で構成する論理ゲート数を最小にすることができる。また、このときの総リーク電流は62 pAであり、共有箇所以外の論理ゲートを本発明の回路で構成した場合の総リーク電流125 pAに比べて、大幅に削減することができる。

【0080】

図12は、本発明の第8の実施例に係わる半導体集積回路を示す回路構成図である。ここでは、互いに共有論理ゲートを持ち、その中で合流または分岐箇所となる論理ゲートが、本発明の回路で構成されている複数の信号経路において、合流または分岐箇所となる論理ゲートに隣接し、経路のディレイが大きい方の論理ゲートに本発明の回路を使用する例を説明する。

40

【0081】

図12の回路は、フリップフロップf1201から、1つまたは複数の論理ゲートで構成される回路c1201、論理ゲートg1201, g1202、論理ゲート群gg1201を通過してフリップフロップf1202に至る第1の経路、およびフリップフロップf1201から、1つまたは複数の論理ゲートで構成される回路c1201、論理ゲートg1201, g1203、論理ゲート群gg1202を通過してフリップフロップf1203に至る第2の経路で構成されている。従来の回路で一律に構成すると、両経路ともに目標ディ

50

レイを超えてしまうとする。ここで、両経路の共有論理ゲートである  $g 1 2 0 1$  を、本発明の回路で構成することは前述した。さらに、論理ゲート群  $g g 1 2 0 1$  と  $g g 1 2 0 2$  に着目すると、 $g g 1 2 0 2$  は  $N$  段の論理ゲートで構成され、 $g g 1 2 0 1$  は  $N + M$  段で構成されているため、 $g g 1 2 0 1$  を含む第 1 の経路が、 $g g 1 2 0 2$  を含む第 2 の経路よりディレイが大きくなる。

#### 【0082】

このような場合には、本発明の回路で構成された  $g 1 2 0 1$  でファンアウトした第 1 の経路の論理ゲート  $g 1 2 0 2$  を、本発明の回路で構成する。また、必要に応じて  $g g 1 2 0 1$  の論理ゲートのいくつかを本発明の回路で構成する。

#### 【0083】

図 1 3 は、本発明の半導体集積回路における電位供給線の配置図である。

#### 【0084】

これは、半導体集積回路上に、論理ゲートを横一列に配置し、複数の列を縦方向に並べることにより論理ゲートを 2 次的に配置し、さらに電源を供給するための動作電位供給線を配線した例である。ここでは、簡単のため論理ゲートの内部のパターンを省略し、矩形で示している。

#### 【0085】

図中では、電圧値  $V d d$  を持つ電源線 ( $V d d$ )、電圧値 0 を持つ電源線 ( $G N D$ )、電圧値  $V h$  を持つ電源線 ( $V h$ )、電圧値  $V l$  を持つ電源線 ( $V l$ ) をそれぞれ列に平行に配線した例を示しており、さらに列の左右に補強用に直角方向にも配線を施してある。このように、電源線を縦横方向に規則的にレイアウトすることにより、レイアウト面積の増加を抑えることが可能となる。

#### 【0086】

また、電源線  $V h$ 、 $V l$  への電位供給方法であるが、外部から直接供給する他に、内部電圧発生回路を設けて、それぞれに供給することもできる。

#### 【0087】

図 2 0 は、本発明の半導体集積回路における論理ゲートの配置図である。本発明では、新たに電源線  $V h$ 、 $V l$  が必要となるため、従来に比べてレイアウト面積が増加するわけであるが、本発明の論理ゲートをなるべくまとめて配置することにより、さらに面積の増加を抑えることができる。

#### 【0088】

図 2 0 ( a ) は、半導体集積回路上に、論理ゲートを横一列に配置し、複数の列を縦方向に並べることにより論理ゲートを 2 次的に配置し、さらに電源を供給するための動作電位供給線を配線した例である。ここでは、簡単のため論理ゲートの内部のパターンを省略し、矩形で示している。丸印が付された矩形は本発明の論理ゲートを示し、丸印のない矩形は従来の論理ゲートを示している。

#### 【0089】

また、図 2 0 ( b ) は本発明の論理ゲートの配置領域と従来の論理ゲートの配置領域の面積比を 1 : 3 で構成した例であるが、この比は、目標とする動作周波数および目標とするリーク電流値および搭載する論理回路によって決まる。本発明をゲートアレイに用いる場合には、本発明の論理ゲートの使用率比の概略値を予め見込んで、下地を形成しておくことになる。

#### 【0090】

図 1 4 に、本発明の半導体集積回路をマイクロプロセッサに適用した例について示す。主な構成ブロックは、 $C P U$  (中央演算装置)、 $F P U$  (浮動小数点演算ユニット)、キャッシュ (内臓メモリ)、 $B S C$  (バス制御)、 $D M A$  (ダイレクトメモリアクセス)、 $C P G$  (クロック制御)、 $I N T$  (割込み制御)、 $V h$  および  $V l$  の電源供給回路等であり、その内部のセルの配置を矩形で模式的に表している。各ブロック内のセルのうち、網掛けを施したものは本発明の回路で構成したセルであり、白抜きのは従来の回路で構成したセルである。例えば、タイミングクリティカルな経路が多く存在する  $C P U$ 、 $F P U$

10

20

30

40

50

等は、本発明の回路で構成したセルの数が多いたことが分かる。逆に、タイミングに余裕のあるINT等は、本発明の回路で構成したセルの割合が少ない。

【0091】

図21は、本発明の半導体集積回路をブロック間バッファに適用した例を示す。これは、ブロックb2101の出力信号を、長距離配線lw2103を介してブロックb2102に転送する様子を示している。本発明の論理ゲートは、b2101の出力端とb2102の入力端に使用されている。なお、ここではインバータを用いた例を示しているが、これに限るものではなく、各種のロジックで実施できる。

【0092】

本発明の論理ゲートでは、従来の論理ゲートに比べて、しきい値電圧に達するまでに要する電荷の移動量を少なくできるので、特に長距離配線等の大負荷の場合に、動作速度を向上させるのに好適である。また、lw2103の間の寄生容量の影響が大きくなるほど、動作速度が速くなるので、lw2103を近接して配置することがより好適である。

10

【0093】

図22は、本発明の半導体集積回路をメモリアドレスデコーダに適用した例を示す。この実施例では、行デコーダと列デコーダに本発明の論理ゲートを使用している。

【0094】

図23には図22の詳細回路図を示す。ここでは、簡単のためSRAMやDRAM等のメモリセルを矩形で示している。このような構成にすると、デコード動作が高速になるため、メモリの読み出しおよび書き込みが高速になるという効果が得られる。

20

【0095】

図15は、CPUブロックについて、横軸にサイクルタイム(最大経路ディレイ)をとり、縦軸に、従来の回路で構成した論理ゲートに代えて、本発明の回路で構成した論理ゲートを使用した比率(ゲート置換率)をとったグラフである。

【0096】

図中の消費電力比は、すべて従来の回路で構成した論理ゲートを使用して本ブロックを設計した場合の消費電力を1として正規化した値である。本ブロックは、すべて従来の回路で構成した論理ゲートを使用した場合には、サイクルタイム5ns(200MHz)で動作する。

【0097】

サイクルタイムを短くするほど、本発明の回路で構成した論理ゲートを多く使用することになる。例えば、サイクルタイム3.9ns(256MHz)で設計した場合には、ゲート置換率が約15%で消費電力比が5になり、サイクルタイム3.3ns(303MHz)で設計した場合には、ゲート置換率が約30%で消費電力比が10になっている。なお、電源V<sub>dd</sub>の電圧値は2.5であり、本発明の論理ゲートで使用するバイアス用電源V<sub>h</sub>、V<sub>l</sub>の電圧値は、それぞれV<sub>h</sub>=2.0、V<sub>l</sub>=0.5である。ゲート置換率が大きくなると消費電力比が著しく大きくなるため、ゲート置換率を30%以内に保つことが望ましい。適切な消費電力に抑えるためには、10%程度に抑えることがより好適である。

30

【0098】

このように、本発明によれば、アクティブ時のリーク電流を低く抑えながら動作スピードを高速化する回路を構成することが可能であり、さらに本発明の回路と従来の回路を必要に応じて適宜使い分け、かつ本発明の回路の使用を最小限に抑えることが可能であり、高速動作と低消費電力を同時に実現することが可能になる。

40

【0099】

さらに、しきい値電圧V<sub>t</sub>が高いMOSトランジスタを使用して、低消費電力を図った場合でも、高速動作を実現できる。

【0100】

また、本発明は、アクティブ時の高速動作と低リーク電流を実現するものであるが、スタンバイ時に基板バイアス電源を制御することにより、しきい値電圧を上げる公知の技術と

50



組み合わせることも可能である。

【0101】

【発明の効果】

以上説明したように、本発明によれば、アクティブ時のリーク電流を低く抑えながら動作速度を高速化する回路を構成し、さらに本発明の回路と従来の回路を必要に応じて適宜使い分け、かつ本発明の回路の使用を最小限に抑えることにより、アクティブ時のリーク電流による消費電力の増加を抑え、かつ高速に動作可能な半導体集積回路が得られる。

【図面の簡単な説明】

【図1】第1の実施例に係わる半導体集積回路を示す回路構成図。

【図2】第1の実施例における動作原理を説明するための入力信号波形の模式図。 10

【図3】第1の実施例におけるゲート遅延と消費電力比の関係を示す特性図。

【図4】第1の実施例における電源電圧とゲート遅延比の関係を示す特性図。

【図5】第1の実施例における2段目ゲートのレイアウトの平面図。

【図6】第2の実施例に係わる半導体集積回路を示す回路構成図。

【図7】第5の実施例に係わる半導体集積回路を示す回路構成図。

【図8】第5の実施例における動作原理を説明するための入力信号波形の模式図。

【図9】第6の実施例に係わる半導体集積回路を示す回路構成図。

【図10】第6の実施例における論理ゲートの配置図。

【図11】第7の実施例に係わる半導体集積回路を示す回路構成図。

【図12】第8の実施例に係わる半導体集積回路を示す回路構成図。 20

【図13】本発明の半導体集積回路における電位供給線の配置図。

【図14】本発明の半導体集積回路をマイクロプロセッサに適用した実施例を示す模式図

。

【図15】図14の実施例におけるサイクルタイムとゲート置換率の関係を示す特性図。

【図16】第3の実施例に係わる半導体集積回路を示す回路構成図。

【図17】第4の実施例に係わる半導体集積回路を示す回路構成図。

【図18】第1の実施例における温度とゲート遅延比の関係を示す特性図。

【図19】MOSトランジスタのソースドレイン間電流と温度の関係を示す特性図。

【図20】本発明の半導体集積回路における論理ゲートの配置図。

【図21】本発明の半導体集積回路をブロック間バッファに適用した実施例を示す模式図 30

。

【図22】本発明の半導体集積回路をメモリアドレスデコーダに適用した実施例を示す模式図。

【図23】図22の実施例におけるデコーダを示す回路構成図。

【図24】従来の3段のインバータの例を示す回路構成図。

【符号の説明】

Q<sub>p</sub> (Q<sub>p11</sub>, Q<sub>p14</sub>, ~, Q<sub>p33</sub>, Q<sub>p4</sub>) ... pMOSトランジスタ

Q<sub>n</sub> (Q<sub>n11</sub>, Q<sub>n14</sub>, ~, Q<sub>n33</sub>, Q<sub>n4</sub>) ... nMOSトランジスタ

V<sub>dd</sub>, GND, V<sub>h</sub>, V<sub>l</sub> ... 電位供給線

g<sub>901</sub> ~ g<sub>1606</sub> ... 論理ゲート

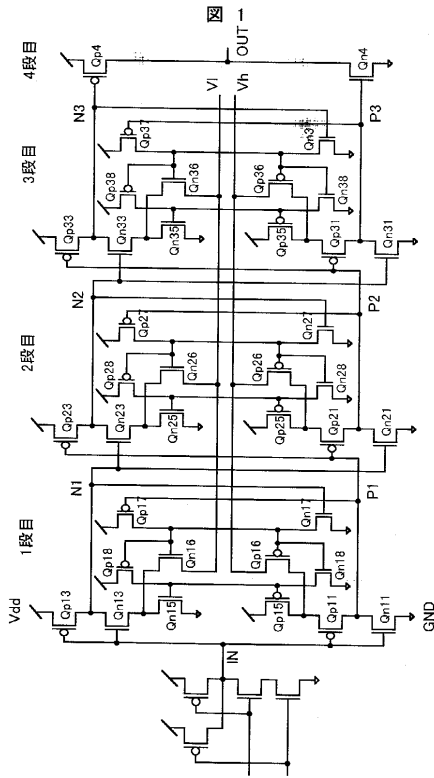
g<sub>g1201</sub> ~ g<sub>g1202</sub> ... 論理ゲート群

f<sub>901</sub> ~ f<sub>1203</sub> ... フリップフロップ

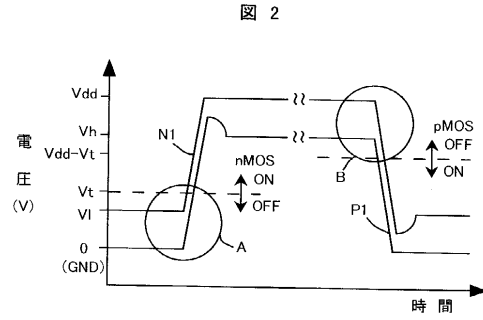
b<sub>2101</sub> ~ b<sub>2102</sub> ... 機能ブロック

lw<sub>2103</sub> ... 長距離配線。

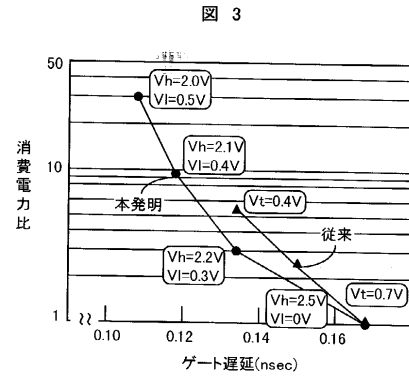
【 図 1 】



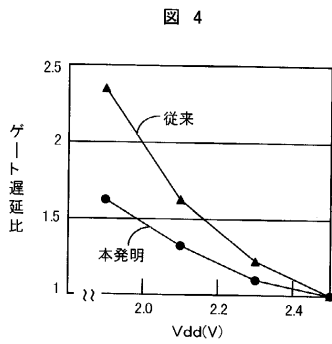
【 図 2 】



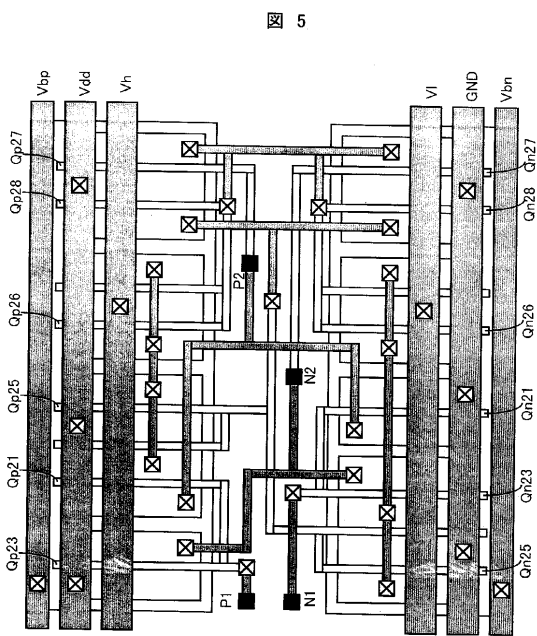
【 図 3 】



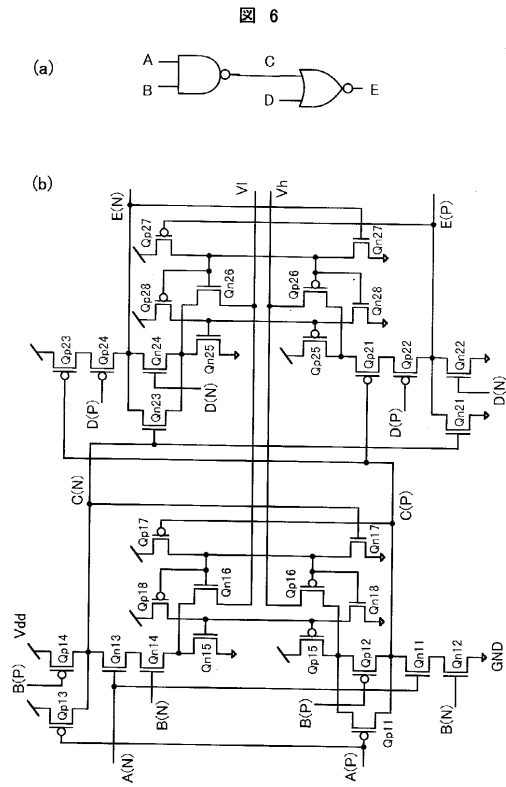
【 図 4 】



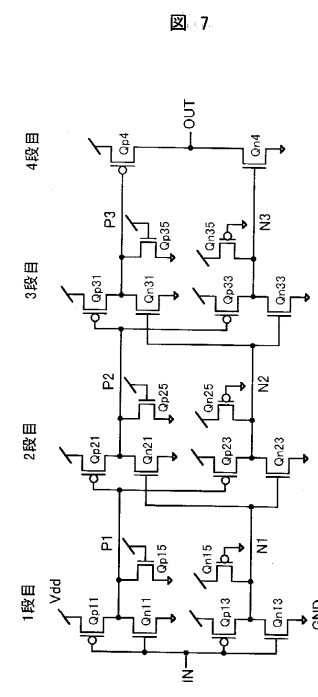
【 図 5 】



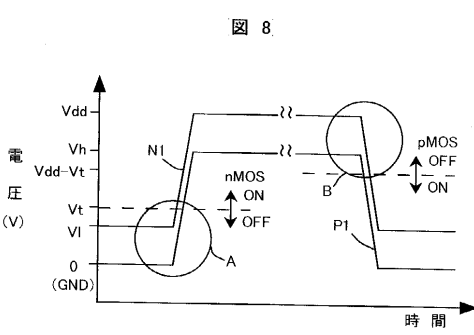
【 図 6 】



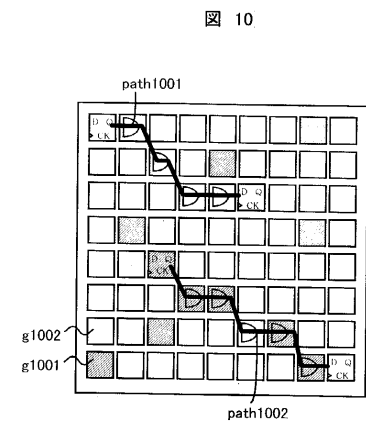
【 図 7 】



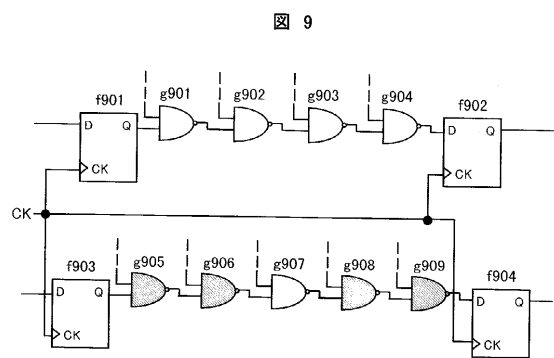
【 図 8 】



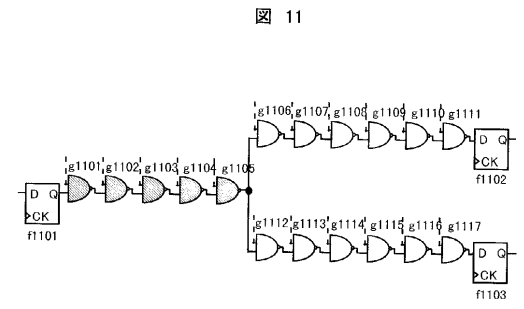
【 図 10 】



【 図 9 】

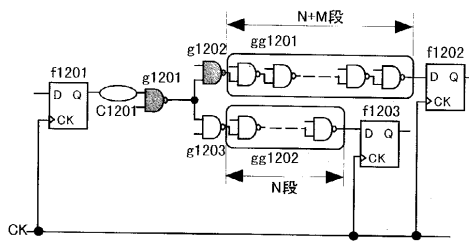


【 図 11 】



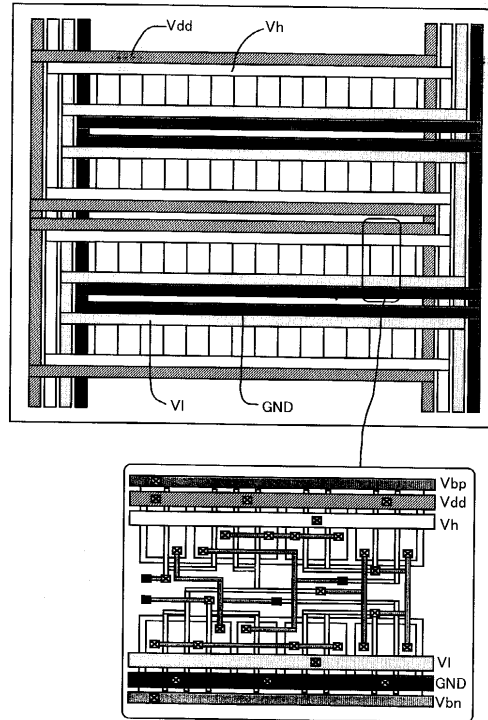
【 図 1 2 】

図 12



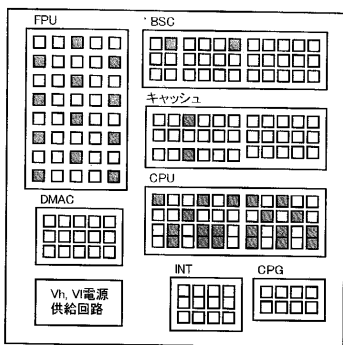
【 図 1 3 】

図 13



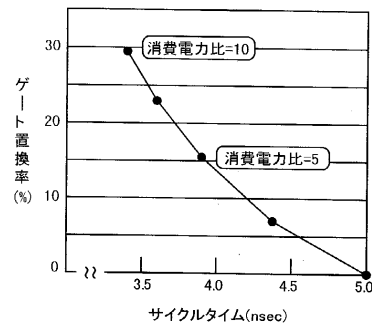
【 図 1 4 】

図 14



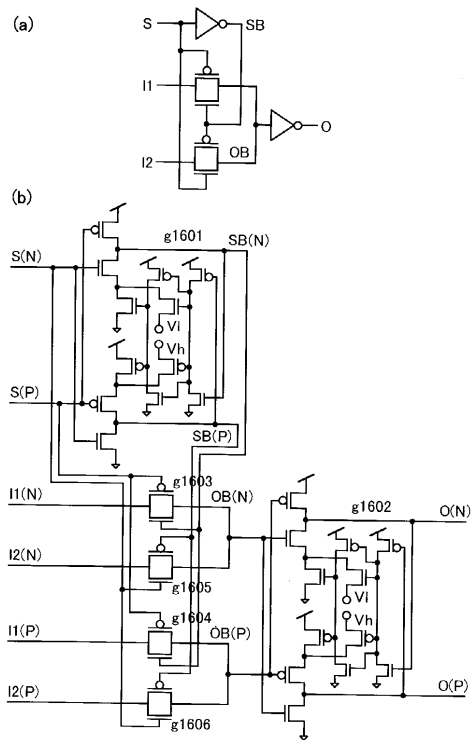
【 図 1 5 】

図 15



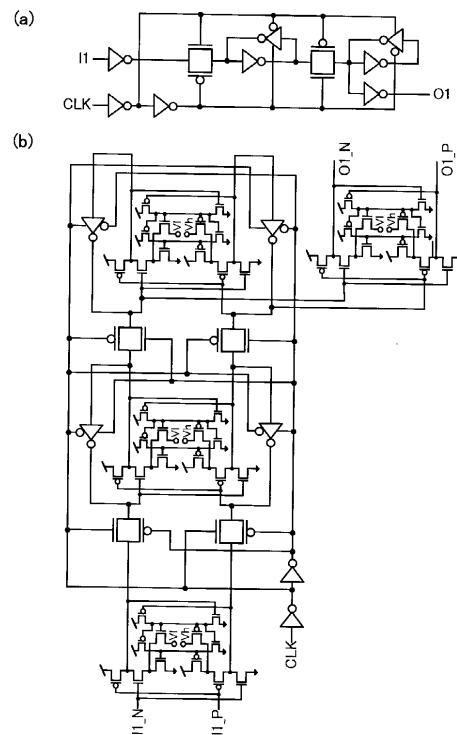
【 図 1 6 】

図 16



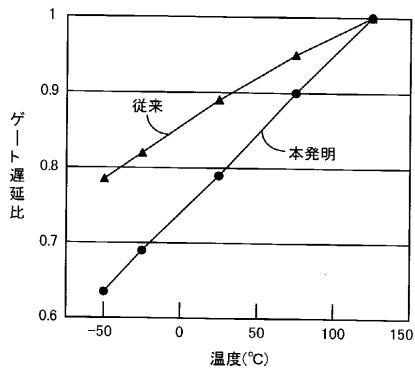
【 図 1 7 】

図 17



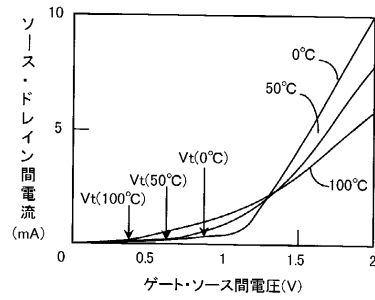
【 図 1 8 】

図 18



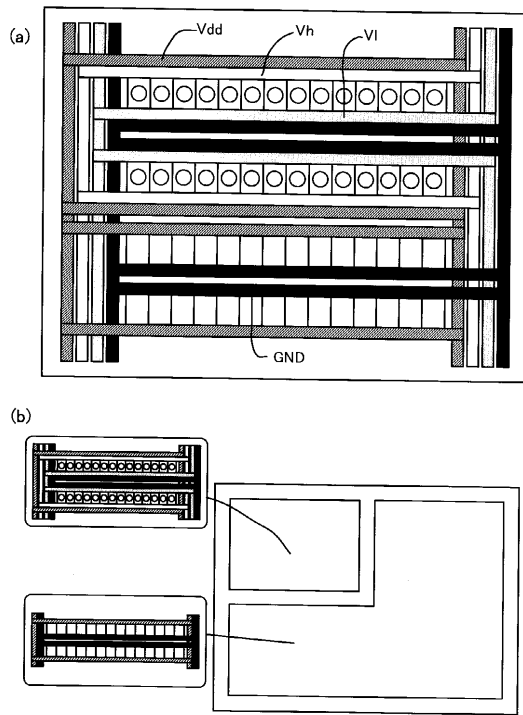
【 図 1 9 】

図 19



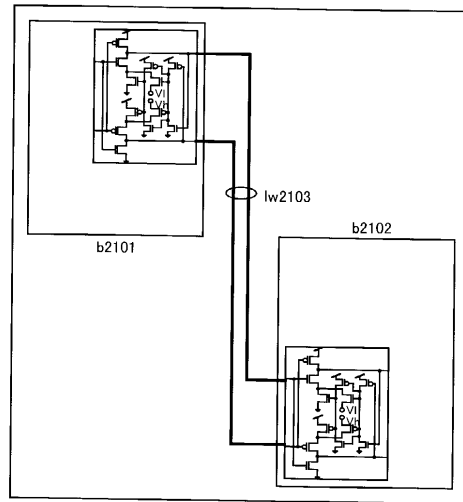
【 図 2 0 】

図 20



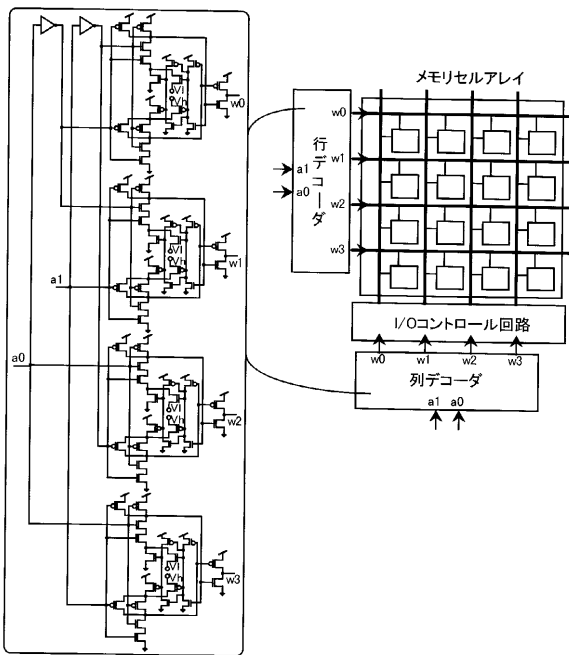
【 図 2 1 】

図 21



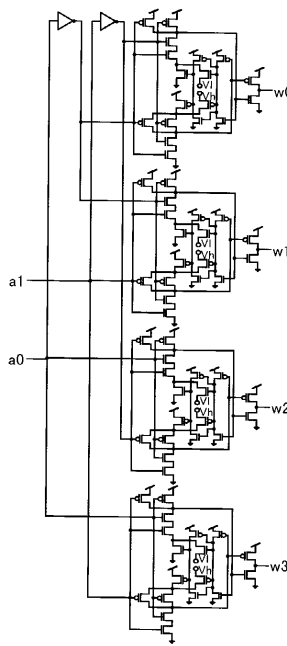
【 図 2 2 】

図 22



【 図 2 3 】

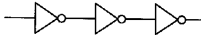
図 23



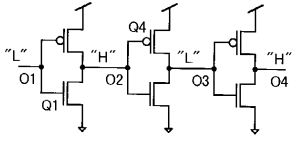
【 図 24 】

図 24

(a)



(b)



---

フロントページの続き

(72)発明者 加藤 直樹

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

審査官 石井 研一

(56)参考文献 特開平10-051289(JP,A)

特開平07-264039(JP,A)

特開平05-347550(JP,A)

特開平07-162288(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H03K 17/16

H01L 21/8238

H01L 27/092

H03K 17/687

H03K 19/0948