

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4182426号
(P4182426)

(45) 発行日 平成20年11月19日(2008.11.19)

(24) 登録日 平成20年9月12日(2008.9.12)

(51) Int.Cl.

F 1

H04N 1/41 (2006.01)

H04N 1/41

G06T 9/00 (2006.01)

G06T 9/00

H04N 7/26 (2006.01)

H04N 7/13

B

Z

請求項の数 15 (全 76 頁)

(21) 出願番号

特願2003-352798 (P2003-352798)

(22) 出願日

平成15年10月10日 (2003.10.10)

(65) 公開番号

特開2005-117582 (P2005-117582A)

(43) 公開日

平成17年4月28日 (2005.4.28)

審査請求日

平成18年10月10日 (2006.10.10)

(73) 特許権者 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100082740

弁理士 田辺 恵基

(72) 発明者 高木 聰

東京都品川区北品川6丁目7番35号ソニー株式会社内

審査官 松永 隆志

(56) 参考文献 特開2003-008906 (JP, A)

特開2003-250049 (JP, A)

最終頁に続く

(54) 【発明の名称】 画像処理装置、画像処理方法及び画像処理プログラム

(57) 【特許請求の範囲】

【請求項 1】

コードブロックデータから形成されたビットプレーンのうち、上位の桁の上記ビットプレーンから順に当該ビットプレーン上のビットを所定数でなるストライプに区切り、一のストライプに属する上記ビットを読み出した後に次のストライプに属する上記ビットを読み出すことにより処理対象となる処理ビットを所定の順序で読み出す第1の読み出部と、

上記処理ビットの存在する処理ビットプレーンよりも上位となる上位プレーンにおいて1である上記ビットが存在する場合が有意であり、1である上記ビットが存在しない場合を有意でないとし当該上位プレーンにおける各ビットの有意性をSIGビットからなるSIGプレーンとして記憶する際、上記ストライプごとの上記処理ビットから少なくとも1ビットずらした単位ごとに上記所定数の上記SIGビットを記憶する第1のメモリと、

上記第1のメモリから上記単位ごとに供給される上記SIGビットのうち、上記ストライプごとの上記処理ビットに対応するSIGビット、及び当該対応するSIGビットの上下に存在するSIGビットを保持する第1のレジスタと、

上記SIGプレーンにおいて、上記処理ビットに対応するSIGビットが有意でなく、上記処理ビットに対応するSIGビットの周囲近傍に存在するSIG近傍ビットが有意である場合には、上記SIGプレーンを参照して当該処理ビットをモデル化する第1の処理を実行すると共に、当該処理ビットの値を上記SIGプレーンに反映させる第1の処理部と

を有する画像処理装置。

【請求項 2】

上記第 1 のメモリは、

上記ストライプごとの上記処理ビットから上記所定数の半分だけずらした単位ごとに上記所定数の上記 S I G ビットを記憶する

請求項 1 に記載の画像処理装置。

【請求項 3】

上記所定数は、

4 である

請求項 2 に記載の画像処理装置。

【請求項 4】

10

上記第 1 のメモリは、

2 つの記憶領域を有し、当該 2 つの記憶領域に対し上記単位ごとでなる上記 S I G ビットを交互に記憶する

請求項 1 に記載の画像処理装置。

【請求項 5】

上記第 1 のレジスタは、

上記ストライプごとの上記処理ビットに対応する上記 S I G ビット及び当該対応する S I G ビットの上下に存在する S I G ビットを少なくとも 3 組保持するシフトレジスタである

請求項 1 に記載の画像処理装置。

20

【請求項 6】

上記コードブロックにおける最上位となる正負符号プレーン上の符号ビットを所定数でなるストライプに区切り、一のストライプに属する上記ビットを読み出した後に次のストライプに属する上記ビットを読み出すことにより処理対象となる処理符号ビットを所定の順序で読み出す第 2 の読み出部と、

上記ストライプごとの上記処理ビットから少なくとも 1 ビットずらした上記所定数の上記符号ビットを単位として上記正負符号プレーンを記憶する第 2 のメモリと、

上記第 2 のメモリから上記単位ごとに供給される上記符号ビットのうち、上記ストライプごとの上記処理ビットに対応する符号ビット、及び当該対応する符号ビットの近傍に存在する符号ビットを保持する第 2 のレジスタと、

30

上記処理ビットに対応する符号ビット及び上記処理ビットに対応する上記 S I G 近傍ビットを参照して上記処理ビットをモデル化する第 2 の処理を実行する第 2 の処理部とを有する請求項 1 に記載の画像処理装置。

【請求項 7】

上記第 2 のレジスタは、

上記ストライプごとの上記処理ビットに対応する上記符号ビット及び当該対応する符号ビットの上下に存在する符号ビットを少なくとも 3 組保持するシフトレジスタである

請求項 6 に記載の画像処理装置。

【請求項 8】

40

対応する上記処理ビットが上記 S I G プレーンにおいて有意とされた直後であることを表す R E F ビットからなる R E F プレーンを、上記処理ビットにおけるストライプに対応する所定数の R E F ビットを単位として記憶する第 3 のメモリと、

上記ストライプごとの上記処理ビットに対応する R E F ビットを保持する第 3 のレジスタと、

上記処理ビットが上記 S I G プレーンにおいて有意とされた直後である場合には、上記 S I G プレーンを参照して当該処理ビットをモデル化する第 3 の処理を実行する第 3 の処理部と、

対応する処理ビットが上記第 1 及び第 3 の処理部によって既にモデル化されたことを表す D O N E ビットからなる D O N E プレーンを、上記処理ビットにおけるストライプに対応する所定数の D O N E ビットを単位として記憶する第 4 のメモリと、

50

上記ストライプごとの上記処理ビットに対応する D O N E ビットを保持する第 4 のレジスタと、

上記処理ビットが上記第 1 及び第 3 の処理部によって未だモデル化されていない場合には、上記 S I G プレーンを参照して当該処理ビットをモデル化する第 4 の処理を実行する第 4 の処理部と

を有し、

上記第 1 、第 3 及び第 4 のレジスタは、

並列に設けられている

請求項 1 に記載の画像処理装置。

【請求項 9】

10

第 3 及び第 4 のレジスタは、

上記ストライプごと又は上記所定の単位ごとを 1 組とする上記 R E F ビット及び D O N E ビットを、少なくとも 3 組以上保持するシフトレジスタでなる

請求項 8 に記載の画像処理装置。

【請求項 10】

上記第 1 の処理部は、

上記処理ビットをモデル化するか否かを上記ストライプごとに判別する

請求項 1 に記載の画像処理装置。

【請求項 11】

20

コードブロックデータから形成されたビットプレーンのうち、上位の桁の上記ビットプレーンから順に当該ビットプレーン上のビットを所定数でなるストライプに区切り、一のストライプに属する上記ビットを読み出した後に次のストライプに属する上記ビットを読み出すことにより処理対象となる処理ビットを所定の順序で読み出す第 1 の読み出ステップと、

上記処理ビットの存在する処理ビットプレーンよりも上位となる上位プレーンにおいて 1 である上記ビットが存在する場合が有意であり、 1 である上記ビットが存在しない場合を有意でないとし当該上位プレーンにおける各ビットの有意性を S I G ビットからなる S I G プレーンとして記憶する際、上記ストライプごとの上記処理ビットから少なくとも 1 ビットずらした単位ごとに上記所定数の上記 S I G ビットを記憶する記憶ステップと、

上記第 1 のメモリから上記単位ごとに供給される上記 S I G ビットのうち、上記ストライプごとの上記処理ビットに対応する S I G ビット、及び当該対応する S I G ビットの上下に存在する S I G ビットを保持する保持ステップと、

上記 S I G プレーンにおいて、上記処理ビットに対応する S I G ビットが有意でなく、上記処理ビットに対応する S I G ビットの周囲近傍に存在する S I G 近傍ビットが有意である場合には、上記 S I G プレーンを参照して当該処理ビットをモデル化する第 1 の処理を実行すると共に、当該処理ビットの値を上記 S I G プレーンに反映させる第 1 の処理ステップと

画像処理方法。

【請求項 12】

40

コンピュータに対し、

コードブロックデータから形成されたビットプレーンのうち、上位の桁の上記ビットプレーンから順に当該ビットプレーン上のビットを所定数でなるストライプに区切り、一のストライプに属する上記ビットを読み出した後に次のストライプに属する上記ビットを読み出すことにより処理対象となる処理ビットを所定の順序で読み出す第 1 の読み出ステップと、

上記処理ビットの存在する処理ビットプレーンよりも上位となる上位プレーンにおいて 1 である上記ビットが存在する場合が有意であり、 1 である上記ビットが存在しない場合を有意でないとし当該上位プレーンにおける各ビットの有意性を S I G ビットからなる S I G プレーンとして表し、当該 S I G プレーンを上記所定数の上記 S I G ビットを単位として記憶する際、上記ストライプごとの上記処理ビットから少なくとも 1 ビットずらした

50

単位ごとに上記所定数の上記SIGビットを記憶する記憶ステップと、
 上記第1のメモリから上記単位ごとに供給される上記SIGビットのうち、上記ストライプごとの上記処理ビットに対応するSIGビット、及び当該対応するSIGビットの上下に存在するSIGビットを保持する保持ステップと、

上記SIGプレーンにおいて、上記処理ビットに対応するSIGビットが有意でなく、
 上記処理ビットに対応するSIGビットの周囲近傍に存在するSIG近傍ビットが有意である場合には、上記SIGプレーンを参照して当該処理ビットをモデル化する第1の処理を実行すると共に、当該処理ビットの値を上記SIGプレーンに反映させる第1の処理ステップと

を実行させる画像処理プログラム。

10

【請求項13】

所定の画素数でなる画像データにおける各画素を所定の桁数のビットで表すことにより形成されたコードブロックデータから桁ごとに平面化されてなるビットプレーンを生成するため、ビットとして供給されるシンボルデータのうち処理対象となる処理ビットを所定数ごとに読み出す第1の読み出部と、

上記処理ビットの存在する処理ビットプレーンよりも上位となる上位プレーンにおいて1である上記ビットが存在する場合が有意であり、1である上記ビットが存在しない場合を有意でないとし当該上位プレーンにおける各ビットの有意性をSIGビットからなるSIGプレーンとして記憶する際、上記ストライプごとの上記処理ビットから少なくとも1ビットずらした単位ごとに上記所定数の上記SIGビットを記憶する第1のメモリと、

20

上記第1のメモリから上記単位ごとに供給される上記SIGビットのうち、上記ビットプレーン上の上記ビットが上記所定数ごとに区切られてなるストライプごとの上記処理ビットに対応するSIGビット、及び当該対応するSIGビットの上下に存在するSIGビットを保持する第1のレジスタと、

上記SIGプレーンにおいて、上記処理ビットに対応するSIGビットが有意でなく、
 上記処理ビットに対応するSIGビットの周囲近傍に存在するSIG近傍ビットが有意である場合には、上記SIGプレーンを参照して当該処理ビットをモデル化する第1の処理を実行すると共に、当該処理ビットの値を上記SIGプレーンに反映させる第1の処理部と

を有する画像処理装置。

30

【請求項14】

所定の画素数でなる画像データにおける各画素を所定の桁数のビットで表すことにより形成されたコードブロックデータから桁ごとに平面化されてなるビットプレーンを生成するため、ビットとして供給されるシンボルデータのうち処理対象となる処理ビットを所定数ごとに読み出す第1の読み出ステップと、

上記処理ビットの存在する処理ビットプレーンよりも上位となる上位プレーンにおいて1である上記ビットが存在する場合が有意であり、1である上記ビットが存在しない場合を有意でないとし当該上位プレーンにおける各ビットの有意性をSIGビットからなるSIGプレーンとして記憶する際、上記ストライプごとの上記処理ビットから少なくとも1ビットずらした単位ごとに上記所定数の上記SIGビットを記憶する記憶ステップと、

40

上記第1のメモリから上記単位ごとに供給される上記SIGビットのうち、上記ビットプレーン上の上記ビットが上記所定数ごとに区切られてなるストライプごとの上記処理ビットに対応するSIGビット、及び当該対応するSIGビットの上下に存在するSIGビットを保持する保持ステップと、

上記SIGプレーンにおいて、上記処理ビットに対応するSIGビットが有意でなく、
 上記処理ビットに対応するSIGビットの周囲近傍に存在するSIG近傍ビットが有意である場合には、上記SIGプレーンを参照して当該処理ビットをモデル化する第1の処理を実行すると共に、当該処理ビットの値を上記SIGプレーンに反映させる第1の処理ステップと

を有する画像処理方法。

50

【請求項 15】

コンピュータに対し、

所定の画素数でなる画像データにおける各画素を所定の桁数のビットで表すことにより形成されたコードブロックデータから桁ごとに平面化されてなるビットプレーンを生成するため、ビットとして供給されるシンボルデータのうち処理対象となる処理ビットを所定数ごとに読み出す第1の読み出ステップと、

上記処理ビットの存在する処理ビットプレーンよりも上位となる上位プレーンにおいて1である上記ビットが存在する場合が有意であり、1である上記ビットが存在しない場合を有意でないとし当該上位プレーンにおける各ビットの有意性をSIGビットからなるSIGプレーンとして表し、当該SIGプレーンを上記所定数の上記SIGビットを単位として記憶する際、上記ストライプごとの上記処理ビットから少なくとも1ビットずらした単位ごとに上記所定数の上記SIGビットを記憶する記憶ステップと、

上記第1のメモリから上記単位ごとに供給される上記SIGビットのうち、上記ビットプレーン上に上記ビットが上記所定数ごとに区切られてなるストライプごとの上記処理ビットに対応するSIGビット、及び当該対応するSIGビットの上下に存在するSIGビットを保持する保持ステップと、

上記SIGプレーンにおいて、上記処理ビットに対応するSIGビットが有意でなく、上記処理ビットに対応するSIGビットの周囲近傍に存在するSIG近傍ビットが有意である場合には、上記SIGプレーンを参照して当該処理ビットをモデル化する第1の処理を実行すると共に、当該処理ビットの値を上記SIGプレーンに反映させる第1の処理ステップと

を実行させる画像処理プログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、符号化装置及び方法、復号化装置及び方法並びにプログラムに関し、例えばJPEG (Joint Photographic Experts Group) 2000規格に準拠した符号化装置及び復号化装置に適用して好適なものである。

【背景技術】

【0002】

近年、新しいデータ圧縮方式として、JPEG 2000規格と呼ばれる圧縮方式が規格化されている。

【0003】

図46は、かかるJPEG 2000規格に準拠した符号化装置1の構成を示すものであり、供給される画像データD1に対して入力画像処理部2においてDCレベルシフト処理及び色変換処理等の所定の入力画像処理を施した後、得られた信号処理画像データD2をDWT (Discrete Wavelet Transform) 部3に送出する。

【0004】

DWT部3は、供給される信号処理画像データD2に対してウェーブレット変換処理を施す。具体的には、図47に示すように、信号処理画像データD2を低域周波数通過型及び高域周波数通過型の2分割フィルタを通すことにより、当該信号処理画像データD2に基づく画像を例えばこの図47のように水平方向と垂直方向とに帯域(サブバンド)分割する。

【0005】

なおこの図47は、分割数が3レベルのものを示したものであり、図中『LL』は信号処理画像データD2における水平方向及び垂直方向が共に低域周波数側の成分、『LH』は信号処理画像データD2における水平方向が低域周波数側で垂直方向が高域周波数側の成分、『HL』は信号処理画像データD2における水平方向が高域周波数側で垂直方向が低域周波数側の成分、『HH』は信号処理画像データD2における水平方向及び垂直方向が共に高域周波数側の成分をそれぞれ示す。

10

20

30

40

50

【0006】

そしてDWT部3は、このようなウェーブレット変換処理により得られたウェーブレット係数をDWTデータD3として量子化部4に送出する。

【0007】

量子化部4は、供給されるDWTデータD3を順次量子化し、得られた量子化係数を、所定サイズのコードブロックに切り分けて、当該コードブロック単位のコードブロックデータD4として、EBCOT(Embedded Block Coding with Optimized Truncation)ブロック5のビットモデル部6に送出する。

【0008】

ビットモデル部6は、供給されるコードブロックデータD4を、ビットプレーンごとにデータをスキャンしながらCBM(Coefficient Bit Modeling)処理により係数ビットモデル化し、かくして得られたシンボル(Symbol)及びコンテクスト(Context)の各データD5、D6を算術符号化(Arithmetic Coder)部7に送出する。 10

【0009】

算術符号化部7は、供給されるシンボルデータD5及びコンテクストデータD6を入力として所定の算術符号化演算処理を実行することにより符号化列を生成し、これを符号化データD7としてパケタイズストリーム生成部8に送出する。

【0010】

パケタイズストリーム生成部8は、供給される符号化データD7をJPEG2000規格に応じたパケットフォーマットにパケット化する。これによりJPEG2000規格のシンタクスに合った符号化パケットデータD8を得ることができる。 20

【0011】

一方、図48は、JPEG2000規格に準拠した復号化装置10の構成を示すものである。

【0012】

この復号化装置10においては、上述のようにして生成されたJPEG2000規格のシンタクスに合った符号化パケットデータD10から画像情報部分である符号化データD11を抽出し、これをEBCOTブロック12の算術復号化部13に送出する。

【0013】

算術復号化部13は、符号化データD11及び後段のビットデモル部14から与えられるコンテクストデータD12を入力とした所定の算術復号化演算処理を実行し、かくして得られたシンボルデータD13をビットデモル部14に送出する。 30

【0014】

ビットデモル部14は、供給されるシンボルデータD13をCBM処理により係数ビットモデル化し、かくして得られた復号されたコードブロックデータD14を逆量子化部15に送出すると共に、このとき得られたコンタクスをコンタクスデータD12として算術復号化部13に送出する。

【0015】

逆量子化部15は、供給される復号量子化データD14に対して逆量子化処理を施すことによりウェーブレット係数を得、これを復号DWTデータD16としてIDWT部16に送出する。 40

【0016】

IDWT部16は、供給される復号DWTデータD16に対してウェーブレット逆変換処理を施し、かくして得られたウェーブレット逆変換画像データD16を入力画像処理部17に送出する。

【0017】

そして入力画像処理部17は、このウェーブレット逆変換画像データD16に対して所定の信号処理を施す。これにより符号化装置1(図46)において符号化された画像データD1(図46)を復号した画像データD17を得ることができる。

【0018】

なお、JPEG 2000 規格に準拠した符号化装置及び復号化装置に関する文献としては、以下の特許文献 1 や非特許文献 1 がある。

【特許文献 1】特開 2002-159009 公報

【非特許文献 1】特願 2003-130793 号

【発明の開示】

【発明が解決しようとする課題】

【0019】

ところが、かかる JPEG 2000 規格による符号化処理及び復号化処理は、処理内容が煩雑で、高速化を図り難い問題があった。

【0020】

本発明は以上の点を考慮してなされたもので、符号化処理又は復号化処理を高速化させ得る符号化装置及び方法、復号化装置及び方法並びにプログラムを提案しようとするものである。

【課題を解決するための手段】

【0021】

かかる課題を解決するため本発明においては、コードブロックデータから形成されたビットプレーンのうち、上位の桁のビットプレーンから順に当該ビットプレーン上のビットを所定数であるストライプに区切り、一のストライプに属するビットを読み出した後に次のストライプに属するビットを読み出すことにより処理対象となる処理ビットを所定の順序で読み出し、処理ビットの存在する処理ビットプレーンよりも上位となる上位プレーンにおいて 1 であるビットが存在する場合が有意であり、1 であるビットが存在しない場合を有意でないとし当該上位プレーンにおける各ビットの有意性を SIG ビットからなる SIG プレーンとして記憶する際、ストライプごとの処理ビットから少なくとも 1 ビットずらした単位ごとに所定数の SIG ビットを記憶し、第 1 のメモリから単位ごとに供給される SIG ビットのうち、ストライプごとの処理ビットに対応する SIG ビット、及び当該対応する SIG ビットの上下に存在する SIG ビットを保持し、SIG プレーンにおいて、処理ビットに対応する SIG ビットが有意でなく、処理ビットに対応する SIG ビットの周囲近傍に存在する SIG 近傍ビットが有意である場合には、SIG プレーンを参照して当該処理ビットをモデル化する第 1 の処理を実行すると共に、当該処理ビットの値を SIG プレーンに反映させるようにした。

【0022】

この結果本発明によれば、記憶手段にアクセスする回数を格段的に低減させることができる。

【0023】

また本発明においては、所定の画素数である画像データにおける各画素を所定の桁数のビットで表すことにより形成されたコードブロックデータから桁ごとに平面化されてなるビットプレーンを生成するために、ビットとして供給されるシンボルデータのうち処理対象となる処理ビットを所定数ごとに読み出し、処理ビットの存在する処理ビットプレーンよりも上位となる上位プレーンにおいて 1 であるビットが存在する場合が有意であり、1 であるビットが存在しない場合を有意でないとし当該上位プレーンにおける各ビットの有意性を SIG ビットからなる SIG プレーンとして記憶する際、ストライプごとの処理ビットから少なくとも 1 ビットずらした単位ごとに所定数の SIG ビットを記憶し、第 1 のメモリから単位ごとに供給される SIG ビットのうち、ビットプレーン上のビットが所定数ごとに区切られてなるストライプごとの処理ビットに対応する SIG ビット、及び当該対応する SIG ビットの上下に存在する SIG ビットを保持し、SIG プレーンにおいて、処理ビットに対応する SIG ビットが有意でなく、処理ビットに対応する SIG ビットの周囲近傍に存在する SIG 近傍ビットが有意である場合には、SIG プレーンを参照して当該処理ビットをモデル化する第 1 の処理を実行すると共に、当該処理ビットの値を SIG プレーンに反映させるようにした。

【0024】

10

20

30

40

50

この結果本発明によれば、記憶手段にアクセスする回数を格段的に低減させることができる。

【発明の効果】

【0025】

本発明によれば、記憶手段にアクセスする回数を格段的に低減させることができ、処理を高速化し得る画像処理装置、画像処理方法及び画像処理プログラムを実現できる。

【発明を実施するための最良の形態】

【0027】

以下図面について、本発明の一実施の形態を詳述する。

【0028】

(1) C B M処理の内容

本願発明は上述したJPEG2000規格に準拠した符号化装置1のビットモデル部6(図46)や復号化装置10のビットモデル部13(図48)において行われるCBM処理に関するものである。そこで、まずCBM処理の具体的処理内容について詳説する。

【0029】

(1-1) 1コードブロックとコードブロックサイズ

図46について上述したように、例えばJPEG2000規格に準拠した符号化装置1の量子化部4では、ウェーブレット係数を量子化したものをコードブロックと呼ばれる単位で切り出してビットモデル部6に与える。そしてビットモデル部6では、図1に示すように、このコードブロック20を単位としてCBM処理を行い、シンボルとコンテクストを生成することになる。

【0030】

ここでコードブロック20のサイズは、図2に示すように、大枠が定められている。従って、コードブロック20のサイズは、エンコード時にこのルールに従って選択することになる。

【0031】

この場合、コードブロック20は基本的にはサブバンドの左上境界から始まって位置付けられるので、図3に示すように、画像サイズとコードブロックサイズとの関係によっては不整合を生じる。このようにエンコード時に決定したものを通常サイズと呼び、不整合が生じたものを例外サイズと呼ぶ。

【0032】

例外サイズは必ず通常サイズよりも小さいものであり、基本的に格納しているデータの量が異なるだけであるので、例外サイズについて触れるのはここだけに留め、以下においては通常サイズのコードブロック20を取り上げて説明する。

【0033】

(1-2) ビットプレーン

上述のように、CBM処理ではコードブロック20を単位として処理(モデル化、シンボル・コンテクスト出力)を行うわけであるが、この処理はコードブロック20のデータをビットプレーンに分けて順に行われる。ビットプレーンはその名のとおり、『bit(0/1)』を表現するものが集まった平面である。

【0034】

図4に示すように、コードブロック20に分割されてきたデータは『Sign-Magnitude表現』、すなわち正負符号と絶対値による数値表現により表されている。最上位のビットプレーン22に各画素の正負符号が格納され、これを正負符号ビットプレーン22Sと呼ぶ。そしてこれよりも下位のビットプレーン22に各画素の絶対値データがビットごとに順に格納される。

【0035】

ここで仮に各画素のデータが16ビットで表現されているとするとき、コードブロックデータ20は、各画素の最上位ビット(bit15)が集まって構成するプレーンから最下位ビット(bit0)が集まって構成するプレーンまでの16枚のビットプレーン22に

10

20

30

40

50

分割されることになる。

【0036】

上位のビットプレーン22から順に眺めていくと、上述のように最上位ビットが集まって構成するビットプレーン22が正負符号ビットプレーン22Sであり、各画素の正負符号が格納される。

【0037】

各画素のその次のビットが集まって構成するビットプレーン22から最下位ビットが集まって構成するビットプレーン22までの合計15枚の各ビットプレーン22に、各画素のデータの絶対値がビットごとに分割されて格納されていることになる。この場合、統計的に上位のいくつかのビットプレーン22では全てのビット値が0であることが多い。このようなものをゼロビットプレーン220と呼ぶ。

【0038】

かかる15枚のビットプレーン22を上から順に見ていくと、やがて初めてゼロビットプレーン220ではないビットプレーン22にたどりつく。それをトップビットプレーン22Tと呼び、ここではそれが各画素の最下位ビット(bit0)から数えて10番目のビット(bit9)が集まって構成しているビットプレーン22だったとする。これよりも下位のビットプレーン22(それぞれ各画素の9番目以下のビットが集まって構成される各ビットプレーン22)は、データがあつたり無かつたりしてもここでは特に分類はない。

【0039】

ここまで話をまとめると、この例では、各画素の最上位ビット(bit15)が集まって構成しているものが正負符号ビットプレーン22S、各画素の次のビット(bit14)が集まって構成しているビットプレーン22から11番目のビット(bit10)が集まって構成しているビットプレーン22がゼロビットプレーン220(10枚)、10番目のビット(bit9)が集まって構成しているビットプレーン22がトップビットプレーン22T、9番目(bit8)のビットが集まって構成しているビットプレーン22から最下位ビットが集まって構成しているビットプレーン22までが残りの処理すべきビットプレーン22(9枚)というビットプレーン構成となっている。

【0040】

このようなビットプレーン構成のコードブロック20に対し、上述のビットモデル部6(図46)やビットモデル部13(図48)では次のようにCBM処理を行う。

1. 符号ビットプレーン22Sに対する処理は、後回しにする。
2. ゼロビットプレーン220に対してはCBM処理を行わない。
3. トップビットプレーン22Tで初めてCBM処理を行う。このCBM処理は“Cleanup Pass”(以下、これをCUパスと呼ぶ)と呼ばれる。
4. 残りの処理すべきビットプレーン22に対し、上位のビットプレーン22から順に、“Significance Propagation Pass”(以下、これをSPパスと呼ぶ)、“Magnitude Refinement Pass”(以下、これをMRパスと呼ぶ)及びCUパスをビットプレーン22ごとにそれぞれ行う。

【0041】

なお、SPパス、MRパス及びCUパスの詳細については後述する。

【0042】

(1-3)ビットプレーン内スキャン順序

コードブロック20内の各ビットプレーン22に対するアクセス順序はこれまでに説明した通りであるが、ビットプレーン22内において、各画素のデータにどういう順序でアクセスするかを示したのが図5である。この図5では、ビットプレーン22として8画素×8画素のものを例示している。

【0043】

ビットプレーン22は、縦4画素ずつ横方向に区切った場合の各行であるストライプ23に分けられる。ストライプ23中の縦1列をストライプカラム23Aと呼ぶ。ビットブ

10

20

30

40

50

レーン 22 の最上段のストライプ 23 における左端のストライプカラム 23A から処理を始め、1 つのストライプカラム 23A を処理したら隣のストライプカラム 23A に移り、それをそのストライプ 23 中繰り返す。1 ストライプ 23 の処理が完了したら下段のストライプ 23 に移動し、ビットプレーン 22 内の全ての画素を処理し終えるまでこれを繰り返すというのがビットプレーン 22 内でのスキャン順序（以下、これをビットプレーン内スキャン順序と呼ぶ）である。

【0044】

さらに、ビットプレーン 22 内におけるスキャンと 3 つのパス（SP パス、MR パス及び CU パス）との関係について以下に説明する。

【0045】

上述のようにトップビットプレーン 22T に対して CU パスのみを行い、それよりも下位のビットプレーン 22 に対しては、SP パス、MR パス及び CU パスの 3 つのパスを処理する。これとビットプレーン 22 内におけるスキャンとの関係を図 6～図 9 に示す。

【0046】

まず新たにビットプレーン 22 を CBM 処理しようという場合において、まだひとつのデータも処理されておらずこれから処理を開始しようとしている状態が図 6 である。SP パスの処理が必要な画素に対して行われ、この SP パス処理の終了した状態が図 7 となる。SP パスはビットプレーン内スキャン順序を守って行われる。

【0047】

次の MR パスは、SP パスで処理した画素は避け、該当する画素に対してのみ処理を行う。この MR パスの終了した状態が図 8 である。この MR パスにおいてもビットプレーン内スキャン順序は守る。

【0048】

さらに未処理で残った画素に対してもやはりビットプレーン内スキャン順序を守りながら CU パスで処理を行う。この CU パスの完了した状態が図 9 である。この結果、すべての画素が処理済みになったので、このビットプレーン 22 のビットモデル化は完了したことになる。

【0049】

なお『トップビットプレーン 22T』については、CU パスの処理のみを全ての画素に対して行う。

【0050】

(1-4) "Significance" について

次に各コーディング・パス（SP パス、MR パス及び CU パス）の説明に入る前に、“Significance” という状態量について説明する。“Significance” とは該当画素が『有意である（Significant）／有意でない（Insignificant）』ということを意味する。

【0051】

『有意である（Significant）』とは、「これまでの CBM 処理によって該当画素が 0 ではないとわかっている状態」のことをいい、換言すれば「値が『1』である画素（ビット）をすでにモデル化（符号化）し終えた」ということを意味する。

【0052】

また『有意でない（Insignificant）』とは、「該当画素の画素値が 0 であるか、又は 0 の可能性がある状態」のことをいい、換言すれば「（今のところ）値が『1』である画素（ビット）を未だモデル化（符号化）し終えていない」ということを意味する。

【0053】

さらに『該当画素』とは、ビットプレーン 22 上のある着目している画素のことをいう。

【0054】

なお、“Significance” はコードブロック 20（図 1）の全体に渡って更新されながら記憶保持される。従ってこれまで例示した 8 画素 × 8 画素のビットプレーン 22 が 16 枚からなるコードブロック 20 においていえば、64 画素（8 画素 × 8 画素）分の“Signif

10

20

30

40

50

icance" 状態量をコードブロック 20 に渡って記憶保持することになる。

【0055】

CBM 处理では、時間的にトップビットプレーン 22T から順に、ビットプレーン 22 内ではビットプレーン内スキャン順序に従って 3 つのコーディング・パス (トップビットプレーン 22T では CU パスのみ) を処理 (モデル化、シンボル・コンテクスト出力) するが、ある画素の係数 (正確にはウェーブレット変換係数を量子化したもの) の状態をこの "Significance" で表していることになる。

【0056】

因みに、CBM 处理が行われていないコードブロック 20 においては、すべての SIG プレーン上の値が "Insignificant" で始まり、各ビットプレーン 22 を処理していく過程において該当するものが "Significant" に転じていく。一度 "Significant" になったものが CBM 处理の途中で "Insignificant" に戻ることはない。

10

【0057】

(1 - 5) 3 つのコーディング・パス

次に、SL パス (Significance Propagation Pass) 、MR パス (Magnitude Refinement Pass) 、CU パス (Clean-up Pass) について説明する。

【0058】

この 3 つのコーディング・パスに従ってビットモデル化の処理を行う場合には、図 10 に示すように、これから処理しようとするビットプレーン 22 (以下、これを処理ビットプレーン 22 と呼ぶ) 以外に、正負符号ビットプレーン 22S (図 4) のデータを記憶保持するプレーン (以下、これを正負符号プレーンと呼ぶ) 30 と、 "Significance" を記録するプレーン (以下、これを SIG プレーンと呼ぶ 31) と、最初の "Refinement pass" であるか否か示すプレーン (以下、これを REF プレーンと呼ぶ) 32 と、処理ビットプレーン中で着目ビットが処理済みであるか否かを表すプレーン (以下、これを DONE プレーンと呼ぶ) 33 とを状態量の記録用 RAM として用意するのが一般的である。

20

【0059】

これら正負符号プレーン 30 、 SIG プレーン 31 、 REF プレーン 32 及び DONE プレーン 33 は、処理ビットプレーン 22 と同じ大きさを持つ (これまでの例では 8 画素 × 8 画素) プレーンである。

【0060】

この場合、正負符号プレーン 30 は、コードブロック 22 を処理している間はその値が変化せず記憶保持される。 SIG プレーン 31 は、 SP パス、 CU パスで値を変化させられる可能性がある。 REF プレーン 32 は、 MR パスで値を変化させられる可能性がある。 DONE プレーン 33 は、各コーディング・パスの処理が完了した画素に対応させて処理済のフラグを立てる状態量で、その処理ビットプレーン 22 に対する処理が完了した段階でリセットされる。

30

【0061】

(1 - 5 - 1) SP パスの処理

SP パスは、トップビットプレーン 22T (図 4) を除く処理ビットプレーン 22 において、最初に実施されるコーディング・パスである。この SP パスは、処理ビットプレーン 22 上の該当画素と同じ座標位置にある SIG プレーン 31 上のデータを参照しながら処理が進められる。

40

【0062】

すなわち図 11 に示すように、例えば処理ビットプレーン 22 上における該当画素の座標が (2, 1) であったとき (図 11 (B)) 、 SIG プレーン 31 上のこの該当画素に対応するビット (図 11 (C) における座標 (2, 1) のビット) と、その 8 近傍のビットとを合わせた (1, 0) 、 (2, 0) 、 (3, 0) 、 (1, 1) 、 (2, 1) 、 (3, 1) 、 (1, 2) 、 (2, 2) 、 (3, 2) の各座標位置のデータを参照することになる。なお参照する 8 近傍のビットうち、処理ビットプレーン 22 の外側に位置してしまったビットはすべて "Insignificant" とされる。

50

【0063】

S P パスの処理を行うに際しては、上述したビットプレーン内スキャン順序に従って、処理ビットプレーン 2 2 の左上を起点に、当該処理ビットプレーン 2 2 上の画素ごとに当該処理を行うことができるかどうかを調べる。具体的には、「『該当画素が“Significant”ではない (Insignificant)』かつ『該当画素の 8 近傍に“Significant”である画素が少なくともひとつ存在する』」という条件を満たすか否かを調査する。

【0064】

そしてこの条件を満たすときにその該当画素に対して S P パスの処理を行い、満たさないときには S P パスの処理を行わずにビットプレーン内スキャン順序に従って次の画素を評価する。

10

【0065】

次に、S P パスの処理に入った場合の流れを説明する。

【0066】

S P パスに入った場合、シンボルとして図 12 (A) に示す処理ビットプレーン 2 2 の該当画素の値 (0 / 1) を出力する。同時に、処理ビットプレーン 2 2 上の該当画素と対応する図 12 (B) に示す S I G プレーン 3 1 上のビットを囲む 8 近傍のビットのうち、“Significant”であるビットの数を数え、図 13 に示すルールに従ってコンテクストを出力する。

20

【0067】

なおこの図 13において、『H』、『V』、『D』及び『H + V』は、それぞれ処理ビットプレーン 2 2 上の該当画素と対応する S I G プレーン 3 1 上のビットの 8 近傍における左右 2 つのビット、上下 2 つのビット、斜め 4 つのビット、又は上下左右 4 つのビットうちの“Significant”であるビットの合計値を表す。

【0068】

また『C X』は、そのような状態のときのコンテクストを表す。例えば、その処理ビットプレーン 2 2 を含むコードブロック 2 0 (図 1) が画像の L L 成分 (図 4 7) であり、このとき『H』、『V』及び『D』がそれぞれ 0、0 及び 1 であった場合のコンテクストは 1 となり、『H』、『V』及び『D』がそれぞれ 1、0 及び 0 であった場合のコンテクストは 5 となる。

【0069】

30

シンボルの値が 0 である場合は、その該当画素に対する S P パスの処理がこれで完了し、この該当画素と D O N E プレーン 3 3 (図 10) 上の同じ座標位置にビットモデル化が完了した旨のフラグを立てる。

【0070】

これに対してシンボルの値が 1 (すなわち該当画素の値が 1) だった場合は、この該当画素は初めて 1 が現れた画素であることになり、今まで“Insignificant”であったが、ここで初めて“Significant”に転じ、S I G プレーン 3 1 上の同じ座標位置にフラグを立てる。このとき R E F プレーン 3 2 (図 10) 上の同座標位置にもフラグを立てる。これは次の M R パスのための処理である。

【0071】

40

さらに、その該当画素と同じ座標位置にある正負符号プレーン 3 0 上のビット (すなわち該当画素に対応する正負符号) の上下左右 4 近傍のビットを参照し、図 14 に示すルールに従ってコンテクストを出力する。

【0072】

またこれと同時に X O R 信号も出力され、これと当該コンテクストの排他的論理和を取ったものを、正負符号のシンボルとして出力することにより該当画素に対応する正負符号のビットモデル化を完了し、この段階でこの該当画素についての S P パスの処理も完了となる。このとき D O N E プレーン 3 3 (図 10) 上の該当画素と同じ座標位置にビットモデル化が完了したことを表すフラグを立てる。

【0073】

50

なお、上述のことからも明らかのように、スキャン順序によっては、S P パスによって“Significant”に新たに転じたものが他の（近傍）画素のS I G プレーン3 1上の8近傍参照時に影響を与えることがある。

【0074】

(1-5-2) M R パスの処理

M R パスは、トップビットプレーン2 2 T（図4）を除く処理ビットプレーン2 2について、S P パスに続いて実施されるコーディング・パスである。図15に処理の概略を示す。

【0075】

このM R パスの処理を行うに際しては、上述したビットプレーン内スキャン順序に従つて、処理ビットプレーン2 2 の左上を起点に、当該処理を行うことができるかどうかを各画素について調べる。具体的には、「『未処理（D O N E プレーン3 3 上の該当画素と同じ座標位置にフラグが立っていない）の処理ビットプレーン2 2 上の該当画素』であって『その該当画素が“Significant”である』」という条件を満たすか否かを調査する。

【0076】

そしてこの条件を満たすときにその該当画素に対してM R パスの処理を行い、満たさないときにはM R パスの処理を行わずに上述のビットプレーン内スキャン順序に従つて処理ビットプレーン2 2 上の次の画素を評価する。

【0077】

そしてM R パスの処理に入った場合、該当画素とS I G プレーン3 1 上の同じ座標位置にあるビットの8近傍のビットを参照し、図16に示すルールに従つてコンテキストを出力し、同時に該当画素の値（0 / 1）をシンボル（図16において『X』）として出力する。

【0078】

図16において、『該当画素を最初に本パス（M R パス）で符号化』しているのかどうかという状態は、R E F プレーン3 2（図10）の該当画素と同じ座標位置のフラグを参照する。このフラグが立っていれば、その該当画素が、S P パスで処理が行われた直後の処理ビットプレーン2 2 上の画素であるということがわかる。ただし、これ以降の下位のビットプレーン2 2 の処理時に誤って参照しないように、参照後にこのフラグをクリアする。

【0079】

(1-5-3) C U パスの処理

トップビットプレーン2 2 Tに対しては唯一これのみ、トップビットプレーン2 2 Tを除く他の処理対象のビットプレーン2 2 に対しては最後に実施されるコーディング・パスである。

【0080】

C U パスでは、上述したビットプレーン内スキャン順序に従つて、処理ビットプレーン2 2 の左上を起点に、C U パスの処理を行うことができるかどうかを各画素について調べるが、この段階で「未処理（D O N E プレーン3 3 上で該当画素と同じ座標位置にフラグが立っていない）の処理ビットプレーン2 2 上の画素」、すなわち処理ビットプレーン2 2 上のS P パス及びM R パスの処理対象とならない残りの画素がすべてC U パスの処理対象となる。

【0081】

C U パスでは、図17に示すように、上述したS P パスやM R パスのように該当画素と同じ座標位置にあるS I G プレーン3 1 上のビットの8近傍の値を参照するものに加えて、もう少し大きいランレンゲス符号化を行う。

【0082】

C U パスの処理は、まず処理ビットプレーン2 2 の左上を起点に、ランレンゲス処理を行うことができるかどうかを調べる。具体的には、ストライプカラム2 3 A 単位で、「『当該ストライプカラム2 3 A 内の4画素すべてがC U パスで処理すべき画素である』かつ

10

20

30

40

50

『当該ストライプカラム 23A 内の 4 画素すべてが “Insignificant” である』かつ『当該ストライプカラム 23A 内の 4 画素とそれぞれ同じ座標位置にある SIG プレーン 31 上の 4 つのビットの各 8 近傍に “Significance” が存在しない』』という条件を満たすか否かを調査する。

【0083】

そしてこの条件を満たすときにランレンジス処理に入り、コンテキストとして “run” を出力する。その上で、『当該ストライプカラム 23A 内の 4 画素の値がすべて 0 である』ときにはシンボルとして 0 を出力し、これに対して『当該ストライプカラム 23A の 4 画素の値がすべて 0 ではない』とき、すなわち 4 画素の中にひとつでも 1 が存在する場合には、(“run” を出力した上で) シンボルとして 1 を出力し、それに引き続い 10 て 2 回 “uniform” というコンテキストと対応するシンボルを出力する。

【0084】

この際 “uniform” コンテキストに対応するシンボルは、図 18 に示すようなルールでエンコードを行う。この図 18 で説明すると、ストライプカラム 23A 内の 4 画素が上から順に 0、0、1、0 で、初めて 1 が出てきたその位置を表現する『1、0』なる列がその順でシンボルとなる。“Insignificant” な画素において初めて 1 が現れたことになるので、その座標は “Significant” に転じ、図 17 (B) に示すように、かかる値が 1 の画素と同じ SIG プレーン 31 上の座標位置にフラグを立てる。同時に REF プレーン 32 (図 10) の同じ座標位置にもフラグを立てておくことはいうまでもない。

【0085】

続いてその該当画素の正負符号をモデル化するが、そのやり方は図 14 について上述した SP パスにおける正負符号のモデル化のそれと同じものである。さらにこの例ではストライプカラム 23A 内の 4 番目の画素がモデル化されずに残っているが、この画素については SP パスと同様のモデル化を行うことになる。

【0086】

(1-6) 3 つのコーディング・パスの依存関係

CBM 処理では 3 つのコーディング・パスを処理する。一度あるコーディング・パスでモデル化を行った処理ビットプレーン 22 上の画素がその処理ビットプレーン 22 中の他のコーディング・パスで再評価されることはない。DONE プレーン 33 を用いて処理済・未処理を管理しているためである。

【0087】

しかしながら、上述のように “Significance” は 8 近傍から影響を受けるため、一般的に “Significance” の依存関係がある。すなわち “Significance” に転じた画素があれば、近傍の画素がモデル化される際にその影響を受ける。

【0088】

(1-7) 従来の CBM 処理の問題

これまで CBM 処理の概略を示してきたが、ポイントは、

1. ひとつのビットプレーン 22 について 3 つのコーディング・パスを処理しなければならない
 2. 3 つのコーディング・パスにはビットプレーン 22 内で依存関係がある
 3. 上位のビットプレーン 22 で生成された SIG プレーン 31 の値を評価しながら下位のビットプレーン 22 のビットモデル化が行われる
- ということである。

【0089】

そのような制約のもと、上述した従来手法による CBM 処理では、

1. 上位のビットプレーン 22 から順番に処理を行う。
2. トップビットプレーン 22 T では CU パスの処理を行う。このとき SIG プレーン 31 が生成される。
3. トップビットプレーン 22 T に対する処理の完了後、ひとつ下のビットプレーン 22 に移り、SP パスの処理を行いつつ SIG プレーン 31 をアップデートする。

10

20

30

40

50

4. S P パスの処理を完了後、M R パスの処理を行う。処理に際して S I G プレーン 3 1 を参照する。
 5. M R パスの処理を完了後、C U パスの処理を行う。S I G プレーン 3 1 を参照しつつ、あらたにモデル化されたビットを取り込みつつ S I G プレーン 3 1 をアップデートする。これでひとつのビットプレーン 2 2 の処理を完了する。
 6. 次のビットプレーン 2 2 に移る。
 7. ...
- といった流れのシーケンシャルな処理となっていた。

【0090】

また従来手法におけるビットプレーン 2 2 (例えは 8 画素 × 8 画素) についての C B M 处理では、各コーディング・パスごとにビットプレーン内スキャン順序に従って、1 画素ずつ順に評価している。

【0091】

しかしながら、3 つのコーディング・パスを処理するビットプレーン 2 2 (主にこれが支配的である) では、6 4 画素を評価するのに少なくとも S P パス処理時に 6 4 回、M R パス処理時に 6 4 回の合わせて 1 9 2 回の係数参照を要する。また実際上は、これに加えて正負符号を評価する分も必要となる。

【0092】

ところがさらに同時にアクセスする S I G プレーン 3 1 に至っては、該当画素と同座標のビット及びその 8 近傍のビットの値を参照する必要があり、 $192 \text{ 回} \times (8 + 1) = 1728 \text{ 回}$ 、すなわち処理すべき 6 4 画素の 2 7 倍のデータアクセスが必要となり、それが回路の動作速度に限界を与えている。

【0093】

一方、これまでビットプレーン 2 2 が 8 画素 × 8 画素である場合の C B M 处理について説明してきたが、ウェーブレット変換して量子化された係数に対してコードブロックを切り出す際に、実際には 3 2 画素 × 3 2 画素や 6 4 画素 × 6 4 画素といったコードブロックサイズが使われることが多い。

【0094】

この場合、例えは 3 2 画素 × 3 2 画素 × 1 6 ビットのコードブロックサイズでは、 $32 \times 32 \times 16 = 16384 \text{ [bit]} = 16 \text{ [Kbit]}$ というデータ量となり、6 4 画素 × 6 4 画素 × 1 6 ビットのコードブロックサイズでは $64 \times 64 \times 16 = 65536 \text{ [bit]} = 64 \text{ [Kbit]}$ というデータ量となる。

【0095】

従って、例えは図 4 6 に示す J P E G 2 0 0 0 規格に準拠した符号化装置 1 や図 4 8 に示す復号化装置 1 0 を I C (I ntegrated C ircuit) 化しようと考えた場合、実際上用いられることが多い 3 2 画素 × 3 2 画素 × 1 6 ビットや 6 4 画素 × 6 4 画素 × 1 6 ビットのコードブロックサイズは、I C 内部の S R A M (S tatic R A M) に記憶保持するには大きいと言わざるを得ない。

【0096】

- そこで本願特許請求人は、上述した特願 2 0 0 3 - 1 3 0 7 9 3 号において、
1. I C 化した符号化装置及び復号化装置の外部にコードブロックデータを記憶保持する D R A M (D y n a m i c R A M) を設ける一方、係数ビットモデリングに必要な処理ビットプレーンデータを記憶保持する S R A M を I C 内部に設け、さらに処理に必要なデータ部分のみを順次切り取りながら S R A M からビットモデル部に読み込んで、C B M 处理をした後に S R A M に書き戻す Read - Modify - Write 形態をとる
 2. 従来 1 画素ずつ処理していた C B M 处理を、処理ビットプレーン 2 2 内のストライプカラム 2 3 A の大きさにあたる 4 画素まとめて演算子として構成し、処理を行う
 3. 4 画素拡張した演算子をすべてシフトレジスタを用いた演算子として構成することにより、処理ビットプレーンデータ、S I G プレーンデータ、R E F プレーンデータ、正負符号プレーンデータ及び D O N E プレーンデータの 5 つの情報が同期したパイプライン処理

10

20

30

40

50

理を行う

などの構成上の工夫を加えることによって、従来のCBM処理において存在した無駄時間を大幅に短縮し、処理時間の低減を図ることを提案している。

【0097】

しかしながら、この特願2003-130793号において提案した発明では、SIGブレーン31のデータを記憶保持するメモリの構成によっては当該メモリからのSIGブレーン31上の必要なデータの読み出しで処理が待たされ、「4画素拡張演算」の効果を十分に発揮できないことがある。

【0098】

例えは上述の特願2003-130793号に開示した符号化装置や復号化装置においてSIGブレーン31のデータを記憶保持するメモリの構成として、従来のようにSIGブレーン31上の1ビットについてメモリ語長(1ワード)を割り当てるという構成を採用した場合を考える。

10

【0099】

この場合、図19に示すように、処理ビットブレーン22上の1つのストライプカラム(図19(A-1))をCBM処理するためには、SIGブレーン31については18回(図19(A-2))、正負符号ブレーン30については14回(図19(A-3))のメモリアクセスが必要となる。

【0100】

このため例え処理ビットブレーン22の1ストライプカラム23Aを構成する4画素を1クロックで一括してメモリから読み出した場合(図19(B-1))でも、これら4画素をCBM処理するのに必要なSIGブレーン31上のデータや正負符号ブレーン30上のデータを読み出し終えるまでCBM処理が待たされることとなる(図19(B-2)、図19(B-3))。

20

【0101】

また図20に示すように、処理ビットブレーン22、正負符号ブレーン30、SIGブレーン31、REFブレーン32及びDONEブレーン33の各データをひとまとめにマルチプレクスして、ひとつのアドレスを指定することでこれらのデータを一括して取り出せるようなメモリ構成(たて串方式)を採用することも提案されているものの、この手法もメモリアクセス頻度の観点から考えれば上述の手法と全く変わりがない。

30

【0102】

そこで本願発明においては、上述のように従来1ビットずつ行っていたメモリからのSIGブレーン31のデータの読み出しを縦4ビットをひとつの単位(語長、ワード)とすることによって、かかる従来手法に比してSIGブレーン31上のデータの読み出しのためのメモリアクセス頻度を低減させようとするものである。以下、本実施の形態について説明する。

【0103】

(2) 第1の実施の形態

(2-1) 第1の実施の形態による符号化装置40の構成

(2-1-1) 符号化装置40の全体構成

40

図46との対応部分に同一符号を付して示す図21は、JPEG2000規格に準拠した本実施の形態による符号化装置40を示し、全体として一体にIC化(集積回路化)されて構成されている点と、ICの外部に量子化部4から出力されるコードブロックデータD4を記憶保持するDRAM41が設けられている点と、EBCOTブロック42の構成が異なる点とを除いて図46に示す符号化装置1と同様に構成されている。

【0104】

実際上、EBCOTブロック42においては、図22に示すように、それぞれSRAMからなる正負符号ブレーンバッファ50及び処理ビットブレーンバッファ51A、51Bが入力段に設けられており、DRAM41(図21)に記憶保持されたコードブロックデータD4のうち、正負符号ビットブレーン22Sのデータ(以下、これを単に正負符号ブ

50

レーンデータと呼ぶ) D 2 0 と、必要な処理ビットプレーン 2 2 のデータ(以下、これを単に処理ビットプレーンデータと呼ぶ) D 2 1 とを読み出し、これらをそれぞれ S R A M でなる正負符号バッファ 5 0 又はビットプレーンバッファ 5 1 A、5 1 B に記憶保持し得るようになされている。

【 0 1 0 5 】

この場合処理ビットプレーンバッファ 5 1 A、5 1 B は 2 つ設けられており、これにより一方の処理ビットプレーンバッファ 5 1 A、5 1 B に記憶保持した処理ビットプレーンデータ D 2 1 を C B M 処理しながら、他方の処理ビットプレーンバッファ 5 1 B、5 1 A に次の処理ビットプレーンデータ D 2 1 を書き込み得るようになされている。

【 0 1 0 6 】

また E B C O T ブロック 4 2 には、それぞれ少なくとも 1 ビットプレーン分のデータ及び 2 ビットプレーン分のデータの記憶容量を有する S R A M 5 2 A、5 2 B が設けられており、これにより C B M 処理時に利用する S I G プレーン 3 1(図 1 0) のデータ(以下、これを S I G プレーンデータと呼ぶ) D 2 2 を S R A M 5 2 A に記憶保持し、R E F プレーン 3 2(図 1 0) のデータ(以下、これを R E F プレーンデータと呼ぶ) D 2 3 及び D O N E プレーン 3 3(図 1 0) のデータ(以下、これを D O N E プレーンデータと呼ぶ) D 2 4 を S R A M 5 2 B に記憶保持することができるようになされている。

【 0 1 0 7 】

一方、処理ビットプレーンバッファ 5 1 A、5 1 B に記憶保持された処理ビットプレーンデータ D 2 1 は、スイッチャ 5 3 を介してビットモデル部 5 4 により所定単位で順次読み出される。そしてビットモデル部 5 4 は、この読み出した処理ビットプレーンデータ D 2 1 を、正負符号プレーンバッファ 5 0 に記憶保持された正負符号プレーンデータ D 2 0 と、S R A M 5 2 A、5 2 B に記憶保持された S I G プレーンデータ D 2 2、R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 4 とを利用しながら C B M 処理し、かくして得られたシンボル S B 及びコンテクスト C X を算術符号化部 5 5 に送出する。

【 0 1 0 8 】

算術符号化部 5 5 は、供給されるシンボル S B 及びコンテクスト C X を入力として算術符号化処理を行いながら符号化列を生成し、かくして得られた符号化データ D 2 5 をコードブロック 2 0 ごとに第 1 又は第 2 のビットストリームバッファ 5 6 A、5 6 B に順次交互に格納する。

【 0 1 0 9 】

そしてこの第 1 又は第 2 のビットストリームバッファ 5 6 A、5 6 B に格納された符号化データ D 2 5 は、この後スイッチャ 5 7 を介して後段のパケットサイズ・ストリーム生成部 8(図 2 1) に送出される。

【 0 1 1 0 】

このようにしてこの符号化装置 4 0 においては、D R A M 4 1 に格納されたコードブロックデータ D 4 から必要な処理ビットプレーンデータ D 2 1 のみを読み出してビットプレーンバッファ 5 1 A、5 1 B に記憶保持しながら、当該記憶保持した処理ビットプレーンデータ D 2 1 に対して順次 C B M 処理を施し得るようになされている。

【 0 1 1 1 】

(2 - 1 - 2) ビットモデル部 5 4 の構成

ここでビットモデル部 5 4 は、図 2 3 に示すように、シグナルスイッチャ 6 0、S P パス符号化処理部 6 1、M R パス符号化処理部 6 2、C U パス符号化処理部 6 3、出力スイッチャ 6 4 及び制御部 6 5 から構成されている。

【 0 1 1 2 】

この場合シグナルスイッチャ 6 0 は、トップビットプレーン 2 2 T 以外の処理ビットプレーン 2 2 に対する C B M 処理時、シーケンサ及びタイミングジェネレータとしての機能を有する制御部 6 5 の制御のもとに、処理ビットプレーンデータ D 2 1 を、図 2 4 (A) に示す 1 ストライプカラム 2 3 A を構成する 4 画素分を 1 ワードとして、ビットプレーン内スキャン順序に従って処理ビットプレーンバッファ 5 1 A、5 1 B から 1 ワードずつ順

10

20

30

40

50

次読み出し、これをまず S P パス符号化処理部 6 1 に送出する。

【 0 1 1 3 】

またシグナルスイッチャ 6 0 は、これと同期して、処理ビットプレーンバッファ 5 1 A 、 5 1 B から読み出された 4 画素分の処理ビットプレーンデータ D 2 1 に対して S P パス による符号化処理（以下、これを S P パス符号化処理と呼ぶ）をする際に必要となる、当該 4 画素とそれぞれ同座標にある正負符号プレーン 3 0 上の 4 ビット及びその上下の各ビット（合わせて 6 ビット、図 2 4 (C) 参照）の正負符号プレーンデータ D 2 0 を正負符号プレーンバッファ 5 0 から順次読み出し、これを S P パス符号化処理部 6 1 に送出する。

【 0 1 1 4 】

この場合正負符号プレーンバッファ 5 0 は、処理ビットプレーン 2 2 の各ストライプカラム 2 3 A とそれぞれ対応する 4 画素分を単位（ワード）として正負符号プレーンデータ D 2 0 を記憶しており、このワード単位で正負符号プレーンデータ D 2 0 を読書きし得るよう構成されている。従って、このときシグナルスイッチャ 6 0 は、かかる処理ビットプレーンバッファ 5 1 A 、 5 1 B から読み出された 4 画素分の処理ビットプレーンデータ D 2 1 を S P パス符号化処理する際に必要となる合計 6 ビットの正負符号プレーンデータ D 2 0 に対して、図 2 5 に示すように、実際には当該 4 画素とそれぞれ同座標にある正負符号プレーン 3 0 上の 4 画素分の正負符号プレーンデータ D 2 0 と、その上下のストライプカラム 2 3 A をそれぞれ構成する各 4 画素分の正負符号プレーンデータ D 2 0 とを正負符号プレーンバッファ 3 0 から 3 クロックかけて順次読み出し、これを S P パス符号化処理部 6 1 に送出することとなる。

【 0 1 1 5 】

さらにシグナルスイッチャ 6 0 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D 2 1 を S P パス符号化処理する際に必要となる、当該 4 画素とそれぞれ同座標にある S I G プレーン 3 1 上の 4 ビット及びその上下の各ビット（合計 6 ビット、図 2 4 (B) 参照）分の S I G プレーンデータ D 2 2 を S R A M 5 2 A から順次読み出し、これを S P パス符号化処理部 6 1 に送出する。

【 0 1 1 6 】

この場合 S R A M 5 2 A も、処理ビットプレーン 2 2 の各ストライプカラム 2 3 A とそれぞれ対応する 4 画素分を単位（ワード）として S I G プレーンデータ D 2 2 を記憶しており、このワード単位で S I G プレーンデータ D 2 2 を読書きし得るよう構成されている。従って、このときシグナルスイッチャ 6 0 は、かかる処理ビットプレーンバッファ 5 1 A 、 5 1 B から読み出された 4 画素分の処理ビットプレーンデータ D 2 1 を S P パス符号化処理する際に必要となる合計 6 ビット分の S I G プレーンデータ D 2 2 に対して、実際には当該 4 画素とそれぞれ同座標にある S I G プレーン 3 1 上の 4 ビットの S I G プレーンデータ D 2 2 と、その上下の各 4 ビット分の S G I プレーンデータ D 2 2 とを S R A M 5 2 A から 3 クロックかけて順次読み出し（図 2 5 ）、これを S P パス符号化処理部 6 1 に送出することとなる。

【 0 1 1 7 】

さらにシグナルスイッチャ 6 0 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D 2 1 を S P パス符号化処理する際に必要となる、当該 4 画素とそれぞれ同座標にある R E F プレーン 3 2 上の 4 ビット（図 2 4 (E) 参照）分の R E F プレーンデータ D 2 3 と、当該 4 画素と同座標にある D O N E プレーン 3 3 上の 4 ビット（図 2 4 (D) 参照）分の D O N E プレーンデータ D 2 4 とを S R A M 5 2 B から順次読み出し、これを S P パス符号化処理部 6 1 に送出する。

【 0 1 1 8 】

この場合 S R A M 5 2 B も、処理ビットプレーン 2 2 の各ストライプカラム 2 3 A とそれぞれ対応する 4 画素分を単位（ワード）として R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 3 を記憶しており、このワード単位で R E F プレーンデータ D 2 3 や D O N E プレーンデータ D 2 3 を読書きし得るよう構成されている。従って、シグナ

10

20

30

40

50

ルスイッチャ 6 0 は、かかる 4 ビット分の R E F プレーンデータ D 2 3 又は D O N E プレーンデータ D 2 4 をそれぞれ 1 クロックで S R A M 5 2 B から読み出し、これを S P パス 符号化処理部 6 1 に送出することとなる。

【 0 1 1 9 】

このとき S P パス符号化処理部 6 1 は、シグナルスイッチャ 6 0 から順次供給される処理ビットプレーンデータ D 2 1 と、これと対応する正負符号プレーンデータ D 2 0 、 S I G プレーンデータ D 2 2 、 R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 4 とを、それぞれ少なくとも過去 3 サンプル分だけ記憶保持し得るようになされている。

【 0 1 2 0 】

因みに、ここでは処理ビットプレーンデータ D 2 1 、 R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 4 については 1 ワードが 1 サンプルに該当し、正負符号プレーンデータ D 2 0 及び S I G プレーンデータ D 2 2 については縦方向に並ぶ 3 ワードが 1 サンプルに該当する。

【 0 1 2 1 】

そして S P パス符号化処理部 6 1 は、シグナルスイッチャ 6 0 から次のサンプルの処理ビットプレーンデータ D 2 1 等が与えられると、その 1 つ前のサンプルの処理ビットプレーンデータ D 2 1 (図 2 4 (A) において太枠で囲んだ 4 画素分) について、そのとき記憶保持している図 2 4 (B) ~ (E) においてそれぞれ太枠で囲まれた S I G プレーンデータ D 2 2 、正負符号プレーンデータ D 2 0 、 R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 4 を利用して、 S P パス符号化処理できるか否かの検出と、できる場合の S P パス符号化処理とを実行する。

【 0 1 2 2 】

そして S P パス符号化処理部 6 1 は、 S P パス符号化処理を行った場合、これにより得られたその画素についてのシンボル S B 及び正負符号についての各シンボル S B をシンボルデータ D 2 6 S として出力スイッチャ 6 4 に送出すると共に、その画素についてのコンテクスト C X 及び正負符号についてのコンテクスト C X をコンテクストデータ D 2 7 S として出力スイッチャ 6 4 に送出する。

【 0 1 2 3 】

また S P パス符号化処理部 6 1 は、 S P パス符号化処理を行ったときは、かかる S I G プレーンデータ D 2 2 、 R E F プレーンデータ D 2 3 及び又は D O N E プレーンデータ D 2 4 をこれに応じて更新し、その後これらをシグナルスイッチャ 6 0 を介して対応する S R A M 5 2 A 、 5 2 B に与えることにより、これら S I G プレーンデータ D 2 2 、 R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 4 をそれぞれ S R A M 5 2 A 、 5 2 B におけるもとのアドレス位置に書き戻せる (Read-Modify-Write) 。

【 0 1 2 4 】

一方、シグナルスイッチャ 6 0 は、このようにして処理ビットプレーンバッファ 5 1 A 、 5 1 B に格納された 1 ビットプレーン分のデータ (処理ビットプレーンデータ D 2 1) に対する S P パス符号化処理を終了すると、この後これと同様にして、制御部 6 5 の制御のもとに、同じ処理ビットプレーンデータ D 2 1 を、図 2 4 (A) に示す 1 ストライプカラム 2 3 A を構成する 4 画素分を 1 ワードとして、ビットプレーン内スキャン順序に従つて処理ビットプレーンバッファ 5 1 A 、 5 1 B から 1 ワードずつ順次読み出し、これを M R パス符号化処理部 6 2 に送出する。

【 0 1 2 5 】

またシグナルスイッチャ 6 0 は、これと同期して、処理ビットプレーンバッファ 5 1 A 、 5 1 B から読み出された 4 画素分の処理ビットプレーンデータ D 2 1 に対して M R パスによる符号化処理 (以下、これを M R パス符号化処理と呼ぶ) をする際に必要となる、当該 4 画素とそれぞれ同座標にある S I G プレーン 3 1 上の 4 ビット及びその上下の各ビット (合わせて 6 ビット、図 2 4 (B) 参照) の S I G プレーンデータ D 2 2 を S R A M 5 2 A から順次読み出し、これを M R パス符号化処理部 6 2 に送出する。

【 0 1 2 6 】

10

20

30

40

50

この際シグナルスイッチャ60は、上述のS Pバス符号化処理部61の場合と同様に、かかる処理ビットプレーンバッファ51A、51Bから読み出された4画素分の処理ビットプレーンデータD21をM Rバス符号化処理する際に必要となる合計6ビット分のS I Gプレーンデータに対して、実際には当該4画素とそれぞれ同座標にあるS I Gプレーン31上の4ビット分のS I GプレーンデータD22と、その上下の各4ビット分のS I GプレーンデータD22とをS R A M 5 2 Aから3クロックかけて順次読み出し(図25)、これをM Rバス符号化処理部62に送出することとなる。

【0127】

さらにシグナルスイッチャ60は、これと同期して、かかる4画素分の処理ビットプレーンデータD21をM Rバス符号化処理する際に必要となる、当該4画素と同座標にあるR E Fプレーン32上の1ワード(図24(E)参照)分のR E FプレーンデータD23と、当該4画素と同座標にあるD O N Eプレーン33上の1ワード(図24(D)参照)分のD O N EプレーンデータD24とをS R A M 5 2 Bから順次読み出し、これをM Rバス符号化処理部61に送出する。

【0128】

このときM Rバス符号化処理部62は、シグナルスイッチャ60から順次供給される4画素分の処理ビットプレーンデータD21と、これと対応するS I GプレーンデータD22、R E FプレーンデータD23及びD O N EプレーンデータD24とを、それぞれ少なくとも過去3サンプル分だけ記憶保持し得るようになされている。

【0129】

因みに、この場合も処理ビットプレーンデータD21、R E FプレーンデータD23及びD O N EプレーンデータD24については1ワードが1サンプルに該当し、正負符号プレーンデータD20及びS I GプレーンデータD22については縦方向に並ぶ3ワードが1サンプルに該当する。

【0130】

そしてM Rバス符号化処理部62は、シグナルスイッチャ60から次のサンプルの処理ビットプレーンデータD21等が与えられると、その1つ前のサンプルの処理ビットプレーンデータD21(図24(A)において太枠で囲んだ4画素分)について、そのとき記憶保持している図24(B)、(D)及び(E)においてそれぞれ太枠で囲まれた必要なS I GプレーンデータD22、R E FプレーンデータD23及びD O N EプレーンデータD24を利用して、M Rバス符号化処理できるか否かの検出と、できる場合のM Rバス符号化処理とを実行する。

【0131】

そしてM Rバス符号化処理部62は、M Rバス符号化処理を行った場合、これにより得られたその画素についてのシンボルS B及び正負符号についてのシンボルS BをシンボルデータD26Rとして出力スイッチャ64に送出すると共に、その画素についてのコンテクストC X及び正負符号についてのコンテクストC XをコンテクストデータD27Rとして出力スイッチャ64に送出する。

【0132】

またM Rバス符号化処理部62は、M Rバス符号化処理を行ったときは、S I GプレーンデータD22、R E FプレーンデータD23及び又はD O N EプレーンデータD24をこれに応じて更新し、その後これらをシグナルスイッチャ60を介して対応するS R A M 5 2 A、5 2 Bに与えることにより、これらS I GプレーンデータD22、R E FプレーンデータD23及びD O N EプレーンデータD24をそれぞれS R A M 5 2 A、5 2 Bにおけるもとのアドレス位置に書き戻させる(Read-Modify-Write)。

【0133】

他方、シグナルスイッチャ60は、このようにして処理ビットプレーンバッファ51A、51Bに格納された1ビットプレーン分のデータ(処理ビットプレーンデータD21)に対するM Rバス符号化処理を終了すると、この後これと同様にして、制御部65の制御のもとに、同じ処理ビットプレーンデータD21を、図24(A)に示す1ストライプカ

10

20

30

40

50

ラム 23A を構成する 4 画素分を 1 ワードとして、ビットプレーン内スキャン順序に従つて処理ビットプレーンバッファ 51A、51B から 1 ワードずつ順次読み出し、これを CU パス符号化処理部 63 に送出する。

【 0134 】

またシグナルスイッチャ 60 は、これと同期して、処理ビットプレーンバッファ 51A、51B から読み出された 4 画素分の処理ビットプレーンデータ D21 に対して CU パスによる符号化処理（以下、これを CU パス符号化処理と呼ぶ）をする際に必要となる、当該 4 画素とそれぞれ同座標にある正負符号プレーン 30 上の 4 ビット及びその上下の各ビット（合わせて 6 ビット、図 24（C）参照）分の正負符号プレーンデータ D20 を正負符号プレーンバッファ 50 から順次読み出し、これを CU パス符号化処理部 63 に送出する。

10

【 0135 】

この際シグナルスイッチャ 60 は、上述の SP パス符号化処理部 61 と同様に、かかる処理ビットプレーンバッファ 51A、51B から読み出された 4 画素分の処理ビットプレーンデータ D21 を CU パス符号化処理する際に必要となる合計 6 ビットの正負符号プレーンデータ D21 に対して、実際には当該 4 画素とそれぞれ同座標にある正負符号プレーン 30 上の 1 ストライプカラム 23A を構成する 4 ビット分の正負符号プレーンデータ D20 と、その上下のストライプカラム 23A をそれぞれ構成する各 4 ビットの正負符号プレーンデータ D20 とを正負符号プレーンバッファ 50 から 3 クロックかけて順次読み出し、これを CU パス符号化処理部 62 に送出することとなる。

20

【 0136 】

さらにシグナルスイッチャ 60 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D21 を CU パス符号化処理する際に必要となる、当該 4 画素とそれぞれ同座標にある SIG プレーン 31 上の 4 ビット及びその上下の各ビット（合計 6 ビット、図 24（B）参照）分の SIG プレーンデータ D22 を SRAM52A から順次読み出し、これを CU パス符号化処理部 63 に送出する。

20

【 0137 】

この場合においても、シグナルスイッチャ 60 は、かかる処理ビットプレーンバッファ 51A、51B から読み出された 4 画素分の処理ビットプレーンデータ D21 を CU パス符号化処理する際に必要となる合計 6 ビット分の SIG プレーンデータに対して、実際には当該 4 画素とそれぞれ同座標にある SIG プレーン 31 上の 4 ビットの SIG プレーンデータ D22 と、その上下の各 4 ビット分の SIG プレーンデータ D22 とを SRAM52A から 3 クロックかけて順次読み出し（図 25）、これを CU パス符号化処理部 63 に送出することとなる。

30

【 0138 】

さらにシグナルスイッチャ 60 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D21 を CU パス符号化処理する際に必要となる、当該 4 画素とそれぞれ同座標にある REF プレーン 32 上の 1 ワード（図 24（E）参照）分の REF プレーンデータ D23 と、当該 4 画素と同座標にある DONE プレーン 33 上の 1 ワード（図 24（D）参照）分の DONE プレーンデータ D24 とを SRAM52B から読み出し、これを CU パス符号化処理部 63 に送出する。

40

【 0139 】

このとき CU パス符号化処理部 63 は、シグナルスイッチャ 60 から順次供給される 4 画素分の処理ビットプレーンデータ D21 と、これと対応する正負符号プレーンデータ D20、SIG プレーンデータ D22、REF プレーンデータ D23 及び DONE プレーンデータ D24 とを、それぞれ少なくとも過去 3 サンプル分だけ記憶保持し得るようになされている。

【 0140 】

因みに、この場合も処理ビットプレーンデータ D21、REF プレーンデータ D23 及び DONE プレーンデータ D24 については 1 ワードが 1 サンプルに該当し、正負符号ブ

50

レーンデータD20及びSIGプレーンデータD22については縦方向に並ぶ3ワードが1サンプルに該当する。

【0141】

そしてCUバス符号化処理部63は、シグナルスイッチャ60から次のサンプルの処理ビットプレーンデータD21等が与えられると、その1つ前のサンプルの処理ビットプレーンデータD21(図24(A)において太枠で囲んだ4画素分)について、そのとき記憶保持している図24(B)~(E)においてそれぞれ太枠で囲まれたSIGプレーンデータD22、正負符号プレーンデータD20、REFプレーンデータD23及びDONEプレーンデータD24を利用して、CUバス符号化処理できるか否かの検出と、できる場合のCUバス符号化処理とを実行する。

10

【0142】

そしてCUバス符号化処理部63は、CUバス符号化処理を行った場合、これにより得られたその画素についてのシンボルSB及び正負符号についてのシンボルSBをシンボルデータD26Cとして出力スイッチャ64に送出すると共に、その画素についてのコンテクストCX及び正負符号についてのコンテクストCXをコンテクストデータD27Cとして出力スイッチャ64に送出する。

【0143】

またCUバス符号化処理部63は、CUバス符号化処理を行ったときは、かかるSIGプレーンデータD22、REFプレーンデータD23及び又はDONEプレーンデータD24をこれに応じて更新し、その後これらをシグナルスイッチ60を介して対応するSRAM52A、52Bに与えることにより、これらSIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24をそれぞれSRAM52A、52Bにおけるもとのアドレス位置に書き戻させる(Read-Modify-Write)。

20

【0144】

出力スイッチャ64においては、制御部65の制御のもとに、SPバス符号化処理部61、MRバス符号化処理部62及びCUバス符号化処理部63のそれぞれから与えられるシンボルデータD26S、D26R、D26Cと、コンテクストデータD27S、D27R、D27CとをそれぞれシンボルデータD26及びコンテクストデータD27として算術符号化部55に送出する。

【0145】

30

このようにしてこのビットモデル部54においては、処理ビットプレーン22上のストライプカラム23Aを構成する4画素を単位としてSPバス符号化処理、MRバス符号化処理及びCUバス符号化処理を行うと共に、このとき正負符号プレーンデータD20及びSIGプレーンデータD22についても当該ストライプカラム23Aと同位相の1ストライプカラム23Aを構成する4ビットをメモリワードとすることにより、メモリアクセス回数を格段的に低減させて、CBM処理を確実に高速に行い得るようになされている。

【0146】

(2-1-3)各コーディング・バス処理部の具体的構成

次に、SPバス符号化処理部61、MRバス符号化処理部62及びCUバス符号化処理部63の各構成についてそれぞれ順番に説明する。

40

【0147】

(2-1-3-1)SPバス符号化処理部61の構成

SPバス符号化処理部61は、図26に示すように、いずれもハードウェア構成の処理ビットシフトレジスタ部70、正符号シフトレジスタ部71、SIGシフトレジスタ部72、REFシフトレジスタ部73、DONEシフトレジスタ部74及びセレクタ75と、後述のようなセレクタ75に対する出力切替え制御等を行う制御部76とから構成されている。

【0148】

また処理ビットシフトレジスタ部70には3段のシフトレジスタ70Aが設けられると共に、正符号シフトレジスタ部71、SIGシフトレジスタ部72、REFシフトレジス

50

タ部 73 及び D O N E シフトレジスタ部 74 には、それぞれ 4 段のシフトレジスタ 71A ~ 74A が設けられている。

【 0149 】

これにより S P パス符号化処理部 61 は、上述のようにシグナルスイッチャ 60 (図 23) から順次与えられる各 1 サンプル分の処理ビットプレーンデータ D21 、正負符号プレーンデータ D20 、 S I G プレーンデータ D22 、 R E F プレーンデータ D23 及び D O N E プレーンデータ D24 を、それぞれ処理ビットシフトレジスタ部 70 、正符号シフトレジスタ部 71 、 S I G シフトレジスタ部 72 、 R E F シフトレジスタ部 73 及び D O N E シフトレジスタ部 74 の各シフトレジスタ 70A ~ 74A において順次シフトさせながら 3 サンプル分又は 4 サンプル分ずつ記憶保持し得るようになされている。

10

【 0150 】

そして処理ビットシフトレジスタ部 70 は、シグナルスイッチャ 60 から 1 サンプル分の処理ビットプレーンデータ D21 が与えられると、このとき自己のシフトレジスタ 70A の 2 段目にシフトされた 1 サンプル分の処理ビットプレーンデータ D21 をセレクタ 75 に出力する。

【 0151 】

またこのとき S I G シフトレジスタ部 72 は、これと同期して、自己のシフトレジスタ 72A に記憶保持した S I G プレーンデータ D22 を用いて、このとき処理ビットシフトレジスタ部 70 のシフトレジスタ 70A の 2 段目にシフトされた 4 画素について、それぞれ上述の S P パス符号化処理を行うための条件を満たしているか否かの検出処理を画素ごとに並行して行い、検出結果をセレクタ 75 に出力する。

20

【 0152 】

さらに S I G シフトレジスタ部 72 は、これと同期して、当該処理ビットシフトレジスタ部 70 のシフトレジスタ 70A の 2 段目にシフトされた 4 画素について、図 13 について上述したルールに従って、当該 4 画素ごとのコンテクスト C X をそれぞれ演算し、演算結果をセレクタ 75 に出力する。

【 0153 】

そして、このとき S I G シフトレジスタ部 72 により検出された、処理ビットシフトレジスタ部 70 のシフトレジスタ 70A の 2 段目にシフトされた 4 画素についての S P パス符号化処理を行うための条件を満たしているか否かの検出結果が全て否定的であった場合には、セレクタ 75 からは何も出力されず、処理ビットシフトレジスタ部 70 のシフトレジスタ 70A の 2 段目にシフトされた 1 サンプル (4 画素) 分の処理ビットプレーンデータ D21 に対する処理が終了する。

30

【 0154 】

これに対して、処理ビットシフトレジスタ部 70 のシフトレジスタ 70A の 2 段目にシフトされた 1 サンプルのうちのいずれかの画素 (以下、これを S P パス符号化処理対象画素と呼ぶ) についての検出結果が肯定的であった場合には、処理ビットシフトレジスタ部 70 から出力された当該 S P パス符号化処理対象画素のデータ値 (0 / 1) と、これに同期して S I G シフトレジスタ部 72 から出力された当該 S P パス符号化処理対象画素についてのコンテクスト C X の演算結果とが、それぞれその S P パス符号化処理対象画素のシンボル S B 及びコンテクスト C X としてセレクタ 75 から出力される。

40

【 0155 】

また、このシンボル S B の値が『 0 』であった場合、この後セレクタ 75 から D O N E シフトレジスタ部 74 に与えられる更新情報に基づいて、当該 D O N E シフトレジスタ部 74 のシフトレジスタ 74A に記憶保持された D O N E プレーンデータ D24 のうち、 S P パス符号化処理対象画素と同座標のビットの値が、ビットモデル化が完了したことを表す『 1 』に更新されて、この S P パス符号化処理対象画素に対する S P パス符号化処理が完了する。

【 0156 】

これに対して、このシンボル S B の値が『 1 』であった場合には、その情報が S I G S

50

フレジスタ部 7 2、REF シフトレジスタ部 7 3 及び正負符号シフトレジスタ部 7 1 にそれぞれ与えられる。

【 0 1 5 7 】

このとき SIG シフトレジスタ部 7 2 では、自己のシフトレジスタ 7 2 A に記憶保持された SIG プレーンデータ D 2 2 における SP パス符号化処理対象画素と同座標のビットの値が “Significant” であることを表す『1』に更新される。また REF シフトレジスタ部 7 3 では、自己のシフトレジスタ 7 3 A に記憶保持された REF プレーンデータ D 2 3 における SP パス符号化処理対象画素と同座標のビットの値が、“Significant” となつたことを表す『1』に更新される。

【 0 1 5 8 】

さらにこのとき正負符号シフトレジスタ部 7 1 は、この SP パス符号化処理対象画素の正負符号のシンボル SB 及びコンテクスト CX を図 14 について上述したルールに従って演算し、その演算結果をセレクタ 7 5 に送出する。かくしてこのシンボル SB 及びコンテクスト CX がセレクタ 7 5 を介して出力される。

【 0 1 5 9 】

そして、この後セレクタ 7 5 から DONE シフトレジスタ部 7 4 に更新情報与えられ、当該更新情報に基づき、DONE シフトレジスタ部 7 4 のシフトレジスタ 7 4 A に記憶保持された DONE プレーンデータ D 2 4 における SP パス符号化処理対象画素と同座標のビットの値が『1』に更新されて、当該 SP パス符号化処理対象画素に対する SP パス符号化処理が完了する。

【 0 1 6 0 】

また SP パス符号化処理部 6 1 は、この後同じサンプル（このとき処理ビットシフトレジスタ部 7 0 のシフトレジスタ 7 0 A の 2 段目に記憶保持された 1 サンプル）内の当該 SP パス符号化処理対象画素よりもビットプレーン内スキャン順序が後の各画素について、SP パス符号化処理を行うための条件を満たしていない場合にはスキップし、SP パス符号化処理を行うための条件を満たしている場合には上述の SP パス符号化処理対象画素と同様にして SP パス符号化処理を行う。そして SP パス符号化処理部 6 1 は、このような処理を当該サンプル内の全ての画素に対して行い終えると、当該サンプルに対する処理を終了する。

【 0 1 6 1 】

そして、SP パス符号化処理部 6 1 は、この後制御部 7 6 から制御部 6 5（図 23）に与えられる次の 1 サンプル分の処理ビットプレーンデータ D 2 1 等の転送要求に応じて、シグナルスイッチャ 6 0 から当該次の 1 サンプル分の処理ビットプレーンデータ D 2 1 等が与えられるごとに同様の処理を順次繰り返す。

【 0 1 6 2 】

またこの際 SP パス符号化処理部 6 1 は、次の 1 サンプル分の処理ビットプレーンデータ D 2 1 等が与えられるごとに、SIG シフトレジスタ部 7 2、REF シフトレジスタ部 7 3 及び DONE シフトレジスタ部 7 4 の各シフトレジスタ 7 2 A ~ 7 4 A の 4 段目にそれぞれ記憶保持された SIG プレーンデータ D 2 2、REF プレーンデータ D 2 3 及び DONE プレーンデータ D 2 4 をそれぞれシグナルスイッチャ 6 0 を介して対応する SRAM 52 A、52 B に与えることにより、これらを SRAM 52 A、52 B のもとの位置に書き戻させる。

【 0 1 6 3 】

このようにして SP パス符号化処理部 6 1 においては、ビットプレーンバッファ 51 A、51 B に格納された処理ビットプレーンデータ D 2 1 に対する SP パス符号化処理を行い得るようになされている。

【 0 1 6 4 】

(2 - 1 - 3 - 2) MR パス符号化処理部 6 2 の構成

一方、MR パス符号化処理部 6 2 は、図 27 に示すように、いずれもハードウェア構成の処理ビットシフトレジスタ部 8 0、SIG シフトレジスタ部 8 2、REF シフトレジス

10

20

30

40

50

タ部 8 3、 D O N E シフトレジスタ部 8 4 及びセレクタ 8 5 と、後述のようなセレクタ 8 5 に対する出力切替え制御等を行う制御部 8 6 とから構成されている。

【 0 1 6 5 】

また処理ビットシフトレジスタ部 8 0 には 3 段のシフトレジスタ 8 0 A が設けられると共に、 S I G シフトレジスタ部 8 2 、 R E F シフトレジスタ部 8 3 及び D O N E シフトレジスタ部 8 4 には、それぞれ 4 段のシフトレジスタ 8 2 A ~ 8 4 A が設けられている。

【 0 1 6 6 】

これにより M R パス符号化処理部 6 2 は、上述のようにシグナルスイッチャ 6 0 (図 2 3) から順次与えられる各 1 サンプル分の処理ビットプレーンデータ D 2 1 、 S I G プレーンデータ D 2 2 、 R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 4 を、 10 それぞれ処理ビットシフトレジスタ部 8 0 、 S I G シフトレジスタ部 8 2 、 R E F シフトレジスタ部 8 3 及び D O N E シフトレジスタ部 8 4 のシフトレジスタ 8 0 A 、 8 2 A ~ 8 4 A において順次シフトさせながら 3 サンプル分又は 4 サンプル分ずつ記憶保持し得るようになされている。

【 0 1 6 7 】

そして処理ビットシフトレジスタ部 8 0 は、シグナルスイッチャ 6 0 から 1 サンプル分の処理ビットプレーンデータ D 2 1 が与えられると、このとき自己のシフトレジスタ 8 0 A の 2 段目にシフトした 1 サンプル分の処理ビットプレーンデータ D 2 1 をセレクタ 8 5 に出力する。

【 0 1 6 8 】

またこのとき R E F シフトレジスタ部 8 3 及び D O N E シフトレジスタ部 8 4 は、これに同期して、自己のシフトレジスタ 8 3 A 、 8 4 A の 2 段目にシフトされた 1 サンプル分の R E F プレーンデータ D 2 3 又は D O N E プレーンデータ D 2 4 をセレクタ 8 5 に出力する。

【 0 1 6 9 】

そして S I G シフトレジスタ部 8 2 は、自己のシフトレジスタ 8 2 A に記憶保持した S I G プレーンデータ D 2 2 を用いて、処理ビットシフトレジスタ部 8 0 の 2 段目にシフトした 4 画素について、 R E F シフトレジスタ部 8 3 の出力を参照しながら図 1 6 について上述したルールに従ってコンテキスト C X を演算し、演算結果をセレクタ 8 5 に出力する。

【 0 1 7 0 】

そして、このとき D O N E プレーンデータ D 2 4 の値が全て『 1 』 (すなわち処理済) であった場合には、セレクタ 8 5 からは何も出力されずに、当該処理ビットシフトレジスタ部 8 0 のシフトレジスタ 8 0 A の 2 段目にシフトされた 1 サンプル分の処理ビットプレーンデータ D 2 1 に対する処理が終了する。

【 0 1 7 1 】

またかかる 1 サンプル分の D O N E プレーンデータ D 2 4 のうち、いずれかのデータ値が『 0 』 (すなわち未処理) であり、かつその D O N E プレーンデータ D 2 4 と対応する処理ビットシフトレジスタ部 8 0 のシフトレジスタ 8 0 A の 2 段目にシフトされた画素が“ Significant ” でなかった場合にも、セレクタ 8 5 からは何も出力されずに、当該処理ビットシフトレジスタ部 8 0 のシフトレジスタ 8 0 A の 2 段目にシフトされた 1 サンプル分の処理ビットプレーンデータ D 2 1 に対する処理が終了する。

【 0 1 7 2 】

これに対して、かかる 1 サンプル分の D O N E プレーンデータ D 2 4 のうち、いずれかのデータ値が『 0 』であり、かつその D O N E プレーンデータ D 2 4 と対応する処理ビットシフトレジスタ部 8 0 のシフトレジスタ 8 0 A の 2 段目にシフトされた画素が“ Significant ” であった場合には、当該画素 (以下、これを M R パス符号化処理対象画素と呼ぶ) が M R パス符号化処理すべき画素であることを意味する。

【 0 1 7 3 】

かくして、このときセレクタ 8 5 は、処理ビットシフトレジスタ部 8 0 から出力された

10

20

30

40

50

このMRパス符号化処理対象画素のデータ値(0/1)をシンボルSBとして出力する共に、これと併せてSIGシフトレジスタ部82から出力された、このMRパス符号化処理対象画素のコンテクストCXを出力する。

【0174】

またこのときREFシフトレジスタ部83では、そのMRパス符号化処理対象画素と同座標のビットが『1』である場合(すなわちフラグが立っている場合)にはこれがクリアされ、またDONEシフトレジスタ部84では、そのMRパス符号化処理対象画素と同座標のビットが、当該MRパス符号化処理対象画素が処理済みとなったことを意味する『1』に更新される。

【0175】

そして、MRパス符号化処理部62は、この後そのとき処理ビットシフトレジスタ部80のシフトレジスタ80Aの2段目にシフトされた残りの画素についても、当該画素がMRパス符号化処理すべき画素であった場合には、上述と同様にMRパス符号化処理する。

【0176】

さらにMRパス符号化処理部62は、この後制御部86から制御部65(図23)に与えられる次の1サンプル分の処理ビットプレーンデータD21等の転送要求に応じて、シグナルスイッチャ60から当該次の1サンプル分の処理ビットプレーンデータD21等が与えられるごとに同様の処理を順次繰り返す。

【0177】

またこの際MRパス符号化処理部62は、次の1サンプル分の処理ビットプレーンデータD21等が与えられるごとに、SIGシフトレジスタ部82、REFシフトレジスタ部83及びDONEシフトレジスタ部84の各シフトレジスタ82A~84Aの4段目にそれぞれ記憶保持されたSIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24をシグナルスイッチ60を介して対応するSRAM52A、52Bに与えることにより、それぞれSRAM52A、52Bのもとの位置に書き戻させる。

【0178】

このようにしてMRパス符号化処理部62においては、ビットプレーンバッファ51A、51Bに格納された処理ビットプレーンデータD21に対するMRパス符号化処理を行い得るようになされている。

【0179】

(2-1-3-3) CUパス符号化処理部63の構成

CUパス符号化処理部63は、図28に示すように、いずれもハードウェア構成の処理ビットシフトレジスタ部90、正符号シフトレジスタ部91、SIGシフトレジスタ部92、REFシフトレジスタ部93、DONEシフトレジスタ部94及びセレクタ95と、後述のようなセレクタ95に対する出力切替え制御等を行う制御部96とから構成されている。

【0180】

また処理ビットシフトレジスタ部90には3段のシフトレジスタ90Aが設けられると共に、正符号シフトレジスタ部91、SIGシフトレジスタ部92、REFシフトレジスタ部93及びDONEシフトレジスタ部94には、それぞれ4段のシフトレジスタ91A~94Aが設けられている。

【0181】

これによりCUパス符号化処理部63は、上述のようにシグナルスイッチャ60から順次与えられる各1サンプル分の処理ビットプレーンデータD21、正負符号プレーンデータD20、SIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24を、それぞれ処理ビットシフトレジスタ部90、正符号シフトレジスタ部91、SIGシフトレジスタ部92、REFシフトレジスタ部93及びDONEシフトレジスタ部94の各シフトレジスタ90A~94Aにおいて順次シフトさせながら3サンプル分又は4サンプル分ずつ記憶保持し得るようになされている。

10

20

30

40

50

【0182】

そして処理ビットシフトレジスタ部90は、シグナルスイッチャ60(図23)から1サンプル分の処理ビットプレーンデータD21が与えられると、このとき自己のシフトレジスタ90Aの2段目にシフトされた1サンプル分の処理ビットプレーンデータD21をセレクタ95に出力する。

【0183】

またこのときSIGシフトレジスタ部92は、これと同期して、自己のシフトレジスタ92Aに記憶保持したSIGプレーンデータD22を用い、DONEシフトレジスタ部94のシフトレジスタ94Aに記憶保持されたDONEプレーンデータD24を参照しながら、処理ビットシフトレジスタ部90のシフトレジスタ90Aの2段目にシフトされた4画素についてランレンジス処理を行い得るか否かを検出する。

10

【0184】

そしてランレンジス処理できない場合には、これら4画素について、それぞれ上述したSPパス符号化処理が順次行われることとなる。

【0185】

これに対してランレンジス処理できる場合、SIGシフトレジスタ部92は、図17及び図18について上述したルールに従って、まずコンテキストとして“run”を出力する。その上でSIGシフトレジスタ部92は、そのサンプル内の4画素の値が全て『0』であるときにはシンボルSBとして0を出力する。かくしてこれらコンテキストCX及びシンボルSBがセレクタ95を介して出力スイッチャ64(図23)に送出される。

20

【0186】

またSIGシフトレジスタ部92は、当該サンプル内の4画素の値が全て0ではないとき、すなわち4画素の中にひとつでも値が1の画素が存在する場合には、シンボルSBとして1を出力し、それに引き続いて図18について上述したルールに従って2回“uniform”というコンテキストCXと対応するシンボルSBを出力する。かくしてこれらコンテキストCX及びシンボルSBがセレクタ95を介して出力スイッチャ64(図23)に送出される。

【0187】

このときSIGシフトレジスタ部92では、自己のシフトレジスタ92Aに記憶保持されたSIGプレーンデータD22における当該値が1の画素と同座標のビットの値が“Significant”であることを表す『1』に更新される。またREFシフトレジスタ部93では、自己のシフトレジスタ93Aに記憶保持されたREFプレーンデータD23における当該画素と同座標のビットの値が“Significant”となったことを表す『1』に更新される。

30

【0188】

さらにこの後正負符号シフトレジスタ部91は、当該画素の正負符号のシンボルSB及びコンテキストCXを図14について上述したルールに従って演算し、その演算結果をセレクタ95に送出する。かくしてこのシンボルSB及びコンテキストCXが上述の“uniform”というコンテキストCX及び当該画素に対応するシンボルSBに続けてセレクタ95を介して出力スイッチャ64(図23)に送出される。

40

【0189】

そして、この後セレクタ95からDONEシフトレジスタ部94に更新情報与えられ、当該更新情報に基づき、DONEシフトレジスタ部94のシフトレジスタ94Aに記憶保持されたDONEプレーンデータD24における当該画素と同座標のビットの値が『1』に更新されて、当該画素に対するCUパス符号化処理が完了する。

【0190】

さらにCUパス符号化処理部63は、この後同じサンプル(このとき処理ビットシフトレジスタ部90のシフトレジスタ90Aの2段目に記憶保持された1サンプル)内の当該画素よりもビットプレーン内スキャン順序が遅い各画素について、それぞれSIGシフトレジスタ部92、REFシフトレジスタ部93及びDONEシフトレジスタ部94の各シ

50

トレジスタ 90A～94A に記憶保持された SIG プレーンデータ D22 、 REF プレーンデータ D23 及び DONE プレーンデータ D24 を必要に応じて順次更新しながら上述した CU パス符号化処理を施す。そして CU パス符号化処理部 63 は、このような処理を当該サンプル内の全ての画素に対して行い終えると、当該サンプルに対する処理を終了する。

【 0191 】

そして、 CU パス符号化処理部 63 は、この後制御部 96 から制御部 65 (図 23) に与えられる次の 1 サンプル分の処理ビットプレーンデータ D21 等の転送要求に応じて、シグナルスイッチ 60 から当該次の 1 サンプル分の処理ビットプレーンデータ D21 等が与えられるごとに同様の処理を順次繰り返す。

10

【 0192 】

またこの際 CU パス符号化処理部 63 は、次の 1 サンプル分の処理ビットプレーンデータ D21 等が与えられるごとに、 SIG シフトレジスタ部 92 、 REF シフトレジスタ部 93 及び DONE シフトレジスタ部 94 の各シフトレジスタ 92A～94A の 4 段目にそれぞれ記憶保持された SIG プレーンデータ D22 、 REF プレーンデータ D23 及び DONE プレーンデータ D24 をそれぞれシグナルスイッチ 60 を介して対応する SRAM 52A 、 52B に与えることにより、これらを SRAM52A 、 52B のもとの位置に書き戻させる。

【 0193 】

このようにして CU パス符号化処理部 63 においては、ビットプレーンバッファ 51A 、 51B に格納された処理ビットプレーンデータ D21 に対する CU パス符号化処理を行い得るようになされている。

20

【 0194 】

(2-2) 第 1 の実施の形態による復号化装置 100 の構成

(2-2-1) 復号化装置 100 の全体構成

図 48 との対応部分に同一符号を付して示す図 29 は、 JPEG2000 規格に準拠した本実施の形態による復号化装置 100 を示し、全体として一体に IC 化 (集積回路化) されて構成されている点と、 EBCOT ブロック 101 の構成が異なる点と、 IC の外部に当該 EBCOT ブロック 101 から出力されるコードブロックデータ D14 を記憶保持する DRAM102 が設けられている点とを除いて図 48 に示す復号化装置 10 と同様に構成されている。

30

【 0195 】

実際上、 EBCOT ブロック 101 においては、図 30 に示すように、それぞれ SRAM からなるストリームバッファ 110A 、 110B が入力段に設けられており、パケタイズストリーム分解部 11 から与えられる符号化データ D11 をこのストリームバッファ 110A 、 110B に記憶保持し得るようになされている。

【 0196 】

この場合ストリームバッファ 110A 、 110B は 2 つ設けられており、これにより一方のストリームバッファ 110A 、 110B に記憶保持したビットプレーン 22 の 1 枚分の符号化データ D11 を CBM 処理しながら、他方のストリームバッファ 110B 、 110A に次のビットプレーン 22 の 1 枚分の符号化データ D11 を書き込み得るようになされている。

40

【 0197 】

また EBCOT ブロック 101 には、それぞれ少なくとも 1 ビットプレーン分のデータ記憶容量を有する SRAM111A と、 2 ビットプレーン分のデータ記憶容量を有する SRAM111B とが設けられており、これにより CBM 処理時に利用する SIG プレーンデータ D30 を SRAM52A に記憶保持し、 REF プレーンデータ D31 及び DONE プレーンデータ D32 を SRAM52B に記憶保持することができるようになされている。

【 0198 】

50

一方、ストリームバッファ 110A、110B に記憶保持された符号化データ D11 は、スイッチャ 112 を介して算術復号化部 113 により所定単位で順次読み出される。そして算術復号化部 113 は、この読み出した符号化データ D11 と後段のビットモデル部 114 から与えられるコンテクストデータ D33 とを入力とした所定の算術復号化演算処理を実行し、かくして得られたシンボルデータ D34 をビットモデル部 114 に送出する。

【0199】

ビットモデル部 114 は、供給されるシンボルデータ D34 を C B M 処理により係数ビットモデル化する。この際ビットモデル部 114 は、S P パスによる復号化処理（以下、これを S P パス復号化処理と呼ぶ）、M R パスによる復号化処理（以下、これを M R パス復号化処理と呼ぶ）及び C U パスによる復号化処理（以下、これを C U パス復号化処理と呼ぶ）により順次復号されていく処理ビットプレーンデータ D35 及び正負符号プレーンデータ D36 をそれぞれ後段のそれぞれ S R A M でなるビットプレーンバッファ 116A、116B 又は正負符号プレーンバッファ 115 における対応する位置に順次格納する。

10

【0200】

またビットモデル部 114 は、これと併せて S R A M 111A、111B に記憶保持された S I G プレーンデータ D30、R E F プレーンデータ D31 及び D O N E プレーンデータ D32 を必要に応じて順次更新しつつ、さらにこれら一部が復号等された処理ビットプレーンデータ D35、正負符号プレーンデータ D36、S I G プレーンデータ D30、R E F プレーンデータ D31 及び D O N E プレーンデータ D32 を利用しながら C B M 処理を進める。さらにこのときビットモデル部 114 は、かかる処理ビットプレーンデータ D35 と併せて得られたコンテクストデータ D33 を上述のように順次算術復号化部 113 に送出する。

20

【0201】

そしてこのような C B M 処理により最終的に復号された処理ビットプレーンデータ D35 が第 1 又は第 2 のビットプレーンバッファ 116A、116B に記憶保持されると共に、最終的に復号された正負符号プレーンデータ D36 が正負符号プレーンバッファ 115 に記憶保持され、これらがその後所定のタイミングで読み出されて、スイッチャ 117 を介してコードブロックデータ D14 として上述の D R A M 102（図 29）に与えられて記憶保持される。

30

【0202】

さらにこの D R A M 102 に記憶保持されたコードブロックデータ D14 は、この後逆量子化部 14（図 29）に読み出されて所定の逆量子化処理が施される。

【0203】

このようにしてこの復号化装置 100 においては、パケタイズストリーム分解部 11 から与えられる符号化データ D11 を順次 C B M 処理することによりコードブロックデータ D35 を復号し、これを I C の外部に設けられた D R A M 41 に記憶保持しながら、後段の処理を行い得るようになされている。

40

【0204】

(2-2-2) ビットモデル部 114 の構成

ここでビットモデル 114 部は、図 31 に示すように、シグナルスイッチャ 120、S P パス復号化処理部 121、M R パス復号化処理部 122、C U パス復号化処理部 123、出力スイッチャ 124 及び制御部 125 から構成されている。

【0205】

この場合上述の算術復号化部 113（図 30）は、ストリームバッファ 110A、110B から読み出した符号化データ D11 と、S P パス復号化処理部 121、M R パス復号化処理部 122 又は C U パス復号化処理部 123 から与えられるコンテクストデータ D33 とに基づいて所定の算術復号化演算処理を実行する。そして算術復号化部 113 は、この結果として得られたシンボルデータ D34 のうち、符号化装置 40（図 19）において

50

S P パス符号化処理することにより得られた符号化データ D 1 1 に対して上述のような算術復号化処理を施すことにより得られたものについては S P パス復号化処理部 1 2 1 に送出する。

【 0 2 0 6 】

このときシグナルスイッチャ 1 2 0 は、シーケンサ及びタイミングジェネレータとしての機能を有する制御部 1 2 5 の制御のもとに、ビットプレーンバッファ 1 1 6 A、1 1 6 B に記憶保持されている復号前又は一部が復号された処理ビットプレーンデータ D 3 5 を、図 2 2 (A) に示す 1 ストライプカラム 2 3 A を構成する 4 画素分を 1 ワードとして、ビットプレーン内スキャン順序に従ってビットプレーンバッファ 1 1 6 A、1 1 6 B から 1 ワードずつ順次読み出し、これをまず S P パス復号化処理部 1 2 1 に送出する。 10

【 0 2 0 7 】

またシグナルスイッチャ 1 2 0 は、これと同期して、ビットプレーンバッファ 1 1 6 A、1 1 6 B から読み出された 4 画素分の処理ビットプレーンデータ D 3 5 を S P パス復号化処理により復号する際に必要となる、当該 4 画素とそれぞれ同座標にある正負符号プレーン 3 0 上の 4 ビット及びその上下の各ビット (合わせて 6 ビット、図 2 4 (C) 参照) 分の復号前又は一部が復号された正負符号プレーンデータ D 3 6 を正負符号プレーンバッファ 1 1 5 から順次読み出し、これを S P パス復号化処理部 1 2 1 に送出する。

【 0 2 0 8 】

この場合正負符号プレーンバッファ 1 1 5 は、処理ビットプレーン 2 2 の各ストライプカラム 2 3 A とそれぞれ対応する 4 画素分を単位 (1 ワード) として正負符号プレーンデータ D 3 6 を記憶しており、このワード単位で正負符号プレーンデータ D 3 6 を読み書きし得るように構成されている。従って、このときシグナルスイッチャ 1 2 0 は、かかるビットプレーンバッファ 1 1 6 A、1 1 6 B から読み出された 4 ビット分の処理ビットプレーンデータ D 3 5 を S P パス復号化処理する際に必要となる合計 6 ビットの正負符号プレーンデータ D 3 6 に対して、実際には当該 4 画素とそれぞれ同座標にある正負符号プレーン上の 1 ストライプカラム 2 3 A を構成する 4 ビットの正負符号プレーンデータ D 3 6 と、その上下のストライプカラム 2 3 A をそれぞれ構成する各 4 ビットの正負符号プレーンデータ D 3 6 とを正負符号プレーンバッファ 1 1 5 から 3 クロックかけて順次読み出し (図 2 5) 、これを S P パス復号化処理部 1 2 1 に送出することとなる。 20

【 0 2 0 9 】

さらにシグナルスイッチャ 1 2 0 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D 3 5 を S P パス復号化処理により復号する際に必要となる、当該 4 画素とそれぞれ同座標にある S I G プレーン 3 1 上の 4 ビット及その上下のビット (合わせて 6 ビット、図 2 2 (B) 参照) の S I G プレーンデータ D 3 0 を S R A M 1 1 1 A から順次読み出し、これを S P パス復号化処理部 1 2 1 に送出する。 30

【 0 2 1 0 】

この場合 S R A M 5 2 A も、処理ビットプレーン 2 2 の各ストライプカラム 2 3 A とそれぞれ対応する 4 画素分を単位 (ワード) として S I G プレーンデータ D 3 0 を記憶しており、このワード単位で S I G プレーンデータ D 3 0 を読み書きし得るように構成されている。従って、このときシグナルスイッチャ 1 2 0 は、かかるビットプレーンバッファ 1 1 6 A、1 1 6 B から読み出された 4 画素分の処理ビットプレーンデータ D 3 5 を S P パス復号化処理する際に必要となる合計 6 ビット分の S I G プレーンデータ D 3 0 に対して、実際には当該 4 画素とそれぞれ同座標にある S I G プレーン 3 1 上の 4 ビットの S I G プレーンデータ D 3 0 と、その上下の各 4 ビットの S G I プレーンデータ D 3 0 とを S R A M 1 1 1 A から 3 クロックかけて順次読み出し、これを S P パス復号化処理部 1 2 1 に送出することとなる。 40

【 0 2 1 1 】

さらにシグナルスイッチャ 1 2 0 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D 3 5 を S P パス復号化処理により復号する際に必要となる、当該 4 画素とそれぞれ同座標にある R E F プレーン 3 2 上の 4 ビット (図 2 4 (E) 参照) 分の R E F 50

プレーンデータD31と、当該4画素と同座標にあるDONEプレーン33上の4ビット(図24(D)参照)分のDONEプレーンデータD32とをSRAM111Bから順次読み出し、これをSPバス復号化処理部121に送出する。

【0212】

この場合SRAM111Bも、処理ビットプレーン22の各ストライプカラム23Aとそれぞれ対応する4画素分を単位(ワード)としてREFプレーンデータD31及びDONEプレーンデータD32を記憶しており、このワード単位でREFプレーンデータD31やDONEプレーンデータD32を読み書きし得るように構成されている。従って、シグナルスイッチャ120は、かかる4ビット分のREFプレーンデータD31又はDONEプレーンデータD32をそれぞれ1クロックでSRAM111Bから読み出してSPバス復号化処理部121に送出することとなる。10

【0213】

このときSPバス復号化処理部121は、シグナルスイッチャ120から順次供給される4画素分の処理ビットプレーンデータD35と、これと対応する正負符号プレーンデータD36、SIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32とを、それぞれ少なくとも過去3サンプル分だけ記憶保持し得るようになされている。

【0214】

因みに、処理ビットプレーンデータD35、REFプレーンデータD31及びDONEプレーンデータD32については1ワードが1サンプルに該当し、正負符号プレーンデータD36及びSIGプレーンデータD30については縦方向に並ぶ3ワードが1サンプルに該当する。20

【0215】

そしてSPバス復号化処理部121は、算術復号化部113から1シンボル分のシンボルデータD34が与えられると、図24(A)において太枠で囲んだそのとき記憶保持している1サンプル分のシンボルデータD34(4画素分)について、そのとき記憶保持している図24(B)~(E)においてそれぞれ太枠で囲まれたSIGプレーンデータD30、正負符号プレーンデータD36、REFプレーンデータD31及びDONEプレーンデータD32とを利用して、SPバス復号化処理できるか否かの検出と、できる場合のSPバス復号化処理とを実行する。30

【0216】

またSPバス復号化処理部121は、SPバス復号化処理を行ったときは、この際に得られたコンテキストCXを上述のように出力スイッチャ124を介してコンテキストデータD33として算術復号化部113(図30)に送出する一方、これと併せて得られた復号された処理ビットプレーンデータD35及び復号された正負符号プレーンデータD36をそれぞれビットプレーンバッファ116A、116B又は正負符号バッファ115における対応する位置に格納する。

【0217】

さらにSPバス復号化処理部121は、SPバス復号化処理を行ったときには、これに応じてSIGプレーンデータD30、REFプレーンデータD31及び又はDONEプレーンデータD32を更新し、その後これらをシグナルスイッチ120を介して対応するSRAM111A、111Bに与えることにより、これらSIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32をそれぞれSRAM111A、111Bのものとの位置に書き戻させる(Read-Modify-Write)。40

【0218】

一方、算術復号化部113(図30)は、ストリームバッファ110A、110Bから読み出した符号化データD11のうち、符号化装置40(図21)においてMRバス符号化処理することにより得られた符号化データD11に対して上述のような算術復号化演算処理を施すことにより得られたシンボルデータD34についてはMRバス復号化処理部122に送出する。50

【0219】

このときシグナルスイッチャ120は、制御部125の制御のもとに、ビットプレーンバッファ116A、116Bに記憶保持されている先行するSPバス復号化処理により一部が復号された処理ビットプレーンデータD35を、図24(A)に示す1ストライプカラム23Aを構成する4画素分を1ワードとして、ビットプレーン内スキャン順序に従ってビットプレーンバッファ116A、116Bから1ワード分ずつ順次読み出し、これをMRバス復号化処理部122に送出する。

【0220】

またシグナルスイッチャ120は、これと同期して、ビットプレーンバッファ116A、116Bから読み出された4画素分の処理ビットプレーンデータD35をMRバス復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビット及その上下のビット(合わせて6ビット、図24(B)参照)のSIGプレーンデータD30をSRAM111Aから順次読み出し、これをMRバス復号化処理部122に送出する。

10

【0221】

この際シグナルスイッチャ120は、かかるビットプレーンバッファ116A、116Bから読み出された4画素分の処理ビットプレーンデータD35をMRバス復号化処理する際に必要となる合計6ビット分のSIGプレーンデータD30に対して、実際には当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビット分のSIGプレーンデータD30と、その上下の各4ビット分のSIGプレーンデータD30とをSRAM111Aから3クロックかけて順次読み出し、これをMRバス復号化処理部122に送出することとなる。

20

【0222】

さらにシグナルスイッチャ120は、これと同期して、かかる4画素分の処理ビットプレーンデータD35をMRバス復号化処理する際に必要となる、当該4画素と同座標にあるREFプレーン32上の1ワード(図24(E)参照)分のREFプレーンデータD31と、当該4画素と同座標にあるDONEプレーン33上の1ワード(図22(D)参照)分のDONEプレーンデータD32とをSRAM111Bから順次読み出し、これをMRバス復号化処理部122に送出する。

30

このときMRバス復号化処理部122は、シグナルスイッチャ120から順次供給される4画素分の処理ビットプレーンデータD35と、これと対応するSIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32とを、それぞれ少なくとも過去3サンプル分だけ記憶保持し得るようになされている。

【0224】

因みに、この場合も処理ビットプレーンデータD35、REFプレーンデータD31及びDONEプレーンデータD32については1ワードが1サンプルに該当し、正負符号プレーンデータD36及びSIGプレーンデータD30については縦方向に並ぶ3ワードが1サンプルに該当する。

【0225】

40

そしてMRバス復号化処理部122は、算術復号化部113から1シンボル分のシンボルデータD34が与えられると、図24(A)において太枠で囲んだそのとき記憶保持している1サンプル分のシンボルデータD34(4画素分)について、そのとき記憶保持している図24(B)、(D)及び(E)においてそれぞれ太枠で囲まれたSIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32と、そのとき算術復号化部113から与えられたシンボルデータD34とを利用して、MRバス復号化処理できるか否かの検出と、できる場合のMRバス復号化処理とを実行する。

【0226】

またMRバス復号化処理部122は、MRバス復号化処理を行ったときは、この際に得られたコンテキストCXを上述のように出力スイッチャ124を介してコンテキストデー

50

タ D 3 3 として算術復号化部 1 1 3 (図 3 0) に送出する一方、これと併せて得られた復号された処理ビットプレーンデータ D 3 5 をビットプレーンバッファ 1 1 6 A、1 1 6 B の対応する位置に格納する。

【 0 2 2 7 】

さらに M R パス復号化処理部 1 2 2 は、M R パス復号化処理を行ったときには、これに応じて S I G プレーンデータ D 3 0 、R E F プレーンデータ D 3 1 及び又は D O N E プレーンデータ D 3 2 を更新し、その後これらをシグナルスイッチ 1 2 0 を介して対応する S R A M 1 1 1 A、1 1 1 B に与えることにより、これら S I G プレーンデータ D 3 0 、R E F プレーンデータ D 3 1 及び D O N E プレーンデータ D 3 2 をそれぞれ S R A M 1 1 1 A、1 1 1 B のもとの位置に書き戻させる (Read-Modify-Write) 。 10

【 0 2 2 8 】

これと同様にして、算術復号化部 1 1 3 (図 3 0) は、ストリームバッファ 1 1 0 A、1 1 0 B から読み出した符号化データ D 1 1 のうち、符号化装置 4 0 (図 2 1) において C U パス符号化処理することにより得られた符号化データ D 1 1 に対して所定の算術復号化演算処理を施すことにより得られたシンボルデータ D 3 4 については C U パス復号化処理部 1 2 3 に送出する。

【 0 2 2 9 】

このときシグナルスイッチ 1 2 0 は、制御部 1 2 5 の制御のもとに、ビットプレーンバッファ 1 1 6 A、1 1 6 B に記憶保持されている先行する S P パス復号化処理及び M R パス復号化処理 (トップビットプレーン 2 2 T に対する復号化処理の場合を除く) により一部が復号された処理ビットプレーンデータ D 3 5 を、図 2 4 (A) に示す 1 ストライプカラム 2 3 A を構成する 4 画素分を 1 ワードとして、ビットプレーン内スキャン順序に従ってビットプレーンバッファ 1 1 6 A、1 1 6 B から 1 ワードずつ順次読み出し、これを C U パス復号化処理部 1 2 3 に送出する。 20

【 0 2 3 0 】

またシグナルスイッチ 1 2 0 は、これと同期して、ビットプレーンバッファ 1 1 6 A、1 1 6 B から読み出された 4 画素分の処理ビットプレーンデータ D 3 5 を C U パス復号化処理により復号する際に必要となる、当該 4 画素とそれぞれ同座標にある正負符号プレーン 3 0 上の 4 ビット及びその上下の各ビット (合わせて 6 ビット、図 2 4 (C) 参照) 分の復号前又は一部が復号された正負符号データ D 3 6 を正負符号プレーンバッファ 1 1 5 から順次読み出し、これを C U パス復号化処理部 1 2 3 に送出する。 30

【 0 2 3 1 】

この際シグナルスイッチ 1 2 0 は、上述の S P パス復号化処理部 1 2 1 と同様に、かかるビットプレーンバッファ 1 1 6 A、1 1 6 B から読み出された 4 画素分の処理ビットプレーンデータ D 3 5 を C U パス復号化処理する際に必要となる合計 6 ビットの正負符号プレーンデータ D 3 6 に対して、実際には当該 4 画素とそれぞれ同座標にある正負符号プレーン 3 0 上の 1 ストライプカラム 2 3 A を構成する 4 ビットの正負符号データ D 3 6 と、その上下のストライプカラム 2 3 A をそれぞれ構成する各 4 ビットの正負符号データ D 3 6 とを正負符号プレーンバッファ 1 1 5 から 3 クロックかけて順次読み出し、これを C U パス復号化処理部 1 2 3 に送出することとなる。 40

【 0 2 3 2 】

さらにシグナルスイッチ 1 2 0 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D 3 5 を C U パス復号化処理により復号する際に必要となる、当該 4 画素とそれぞれ同座標にある S I G プレーン 3 1 上の 4 ビット及その上下のビット (合わせて 6 ビット、図 2 4 (B) 参照) の S I G プレーンデータ D 3 0 を S R A M 1 1 1 A から順次読み出し、これを C U パス復号化処理部 1 2 3 に送出する。

【 0 2 3 3 】

この場合においても、シグナルスイッチ 1 2 0 は、かかるビットプレーンバッファ 1 1 6 A、1 1 6 B から読み出された 4 画素分の処理ビットプレーンデータ D 3 5 を C U パス復号化処理する際に必要となる合計 6 ビット分の S I G プレーンデータ D 3 0 に対して 50

、実際には当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビット分のSIGプレーンデータD30と、その上下の各4ビット分のSIGプレーンデータD30とをSRAM111Aから3クロックかけて順次読み出し、これをCUバス復号化処理部123に送出することとなる。

【0234】

さらにシグナルスイッチャ120は、これと同期して、かかる4画素分の処理ビットプレーンデータD35をCUバス復号化処理する際に必要となる、当該4画素とそれぞれ同座標にあるREFプレーン32上の1ワード(図24(E)参照)分のREFプレーンデータD31と、当該4画素と同座標にあるDONEプレーン33上の1ワード(図24(D)参照)分のDONEプレーンデータD32とをSRAM111Bから順次読み出し、これをCUバス復号化処理部123に送出する。

10

【0235】

このときCUバス復号化処理部123は、シグナルスイッチャ120から順次供給される4画素分の処理ビットプレーンデータD35と、これと対応する正負符号プレーンデータD36、SIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32とを、それぞれ少なくとも過去3サンプル分だけ記憶保持し得るようになされている。

【0236】

因みに、この場合も処理ビットプレーンデータD35、REFプレーンデータD31及びDONEプレーンデータD32については1ワードが1サンプルに該当し、正負符号プレーンデータD36及びSIGプレーンデータD30については縦方向に並ぶ3ワードが1サンプルに該当する。

20

【0237】

そしてCUバス復号化処理部123は、算術復号化部113から1シンボル分のシンボルデータD34が与えられると、図24(A)において太枠で囲んだそのとき記憶保持している1サンプル分のシンボルデータD34(4画素分)について、そのとき記憶保持している図24(B)～(E)においてそれぞれ太枠で囲まれたSIGプレーンデータD30、正負符号プレーンデータD36、REFプレーンデータD31及びDONEプレーンデータD32と、そのとき算術復号化部113からシンボルデータD34が与えられるとを利用して、CUバス復号化処理できるか否かの検出と、できる場合のCUバス復号化処理及びできない場合のSPバス復号化処理とを実行する。

30

【0238】

またCUバス復号化処理部123は、CUバス復号化処理又はSPバス復号化処理を行ったときは、この際に得られたコンテクストCXを上述のように出力スイッチャ124を介してコンテクストデータD33として算術復号化部113(図30)に送出する一方、これと併せて得られた復号された処理ビットプレーンデータD35及び復号された正負符号プレーンデータD36をそれぞれビットプレーンバッファ116A、116B又は正負符号バッファ115の対応する位置に格納する。

【0239】

さらにCUバス復号化処理部123は、CUバス復号化処理又はSPバス復号化処理を行ったときには、これに応じてSIGプレーンデータD30、REFプレーンデータD31及び又はDONEプレーンデータD32を更新し、その後これらをシグナルスイッチ120を介して対応するSRAM111A、111Bに与えることにより、これらSIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32をそれぞれSRAM111A、111Bのもとの位置に書き戻させる(Read-Modify-Write)。

40

【0240】

このようにしてこのビットデモル部114においては、上述した符号化装置40(図21)のビットモデル部54(図23)と同様に、復号対象のビットプレーン22上のストライプカラム23Aを構成する4画素を単位としてSPバス復号化処理、MRバス復号

50

化処理及び C U パス復号化処理を行うと共に、このとき正負符号プレーンデータ D 3 6 及び S I G プレーンデータ D 3 0 についてもストライプカラム 2 3 A を構成する 4 ビットをメモリワードとすることにより、メモリアクセス回数を格段的に低減させて、C B M 処理を確実に高速に行い得るようになされている。

【 0 2 4 1 】

(2 - 2 - 3) 各コーディング・パス処理部の具体的構成

次に、S P パス復号化処理部 1 2 1 、M R パス復号化処理部 1 2 2 及び C U パス復号化処理部 1 2 3 の各構成についてそれぞれ順番に説明する。

【 0 2 4 2 】

(2 - 2 - 3 - 1) S P パス復号化処理部 1 2 1 の構成

10

S P パス復号化処理部 1 2 1 は、図 3 2 に示すように、いずれもハードウェア構成の処理ビットシフトレジスタ部 1 3 0 、正符号シフトレジスタ部 1 3 1 、S I G シフトレジスタ部 1 3 2 、R E F シフトレジスタ部 1 3 3 、D O N E シフトレジスタ部 1 3 4 及びセレクタ 1 3 5 と、後述のようなセレクタ 1 3 5 に対する出力切替え制御等を行う制御部 1 3 6 とから構成されている。

【 0 2 4 3 】

また処理ビットシフトレジスタ部 1 3 0 には 3 段のシフトレジスタ 1 3 0 A が設けられると共に、正符号シフトレジスタ部 1 3 1 、S I G シフトレジスタ部 1 3 2 、R E F シフトレジスタ部 1 3 3 及び D O N E シフトレジスタ部 1 3 4 には、それぞれ 4 段のシフトレジスタ 1 3 1 A ~ 1 3 4 A が設けられている。

20

【 0 2 4 4 】

これにより S P パス復号化処理部 1 3 1 は、上述のようにシグナルスイッチャ 1 2 0 (図 3 1) から順次与えられる各 1 サンプル分の処理ビットプレーンデータ D 3 5 、正負符号プレーンデータ D 3 6 、S I G プレーンデータ D 3 0 、R E F プレーンデータ D 3 1 及び D O N E プレーンデータ D 3 2 を、それぞれビットシフトレジスタ部 1 3 0 、正負符号シフトレジスタ部 1 3 1 、S I G シフトレジスタ部 1 3 2 、R E F シフトレジスタ部 1 3 3 及び D O N E シフトレジスタ部 1 3 4 の各シフトレジスタ 1 3 0 A ~ 1 3 4 A において順次シフトさせながら 3 サンプル分又は 4 サンプル分ずつ記憶保持し得るようになされている。

【 0 2 4 5 】

30

そして S I G シフトレジスタ部 1 3 2 は、算術復号化部 1 1 3 から 1 シンボル分のシンボルデータ D 3 4 が与えられると、そのとき自己のシフトレジスタ 1 3 2 A に記憶保持した S I G プレーンデータ D 3 0 を用いて、処理ビットシフトレジスタ部 1 3 0 のシフトレジスタ 1 3 0 A の 2 段目にシフトされた 4 画素について、それぞれ上述の S P パス復号化処理を行うための条件を満たしているか否かの検出処理を画素ごとに並行して行い、検出結果をセレクタ 1 3 5 に出力する。

【 0 2 4 6 】

また S I G シフトレジスタ部 1 3 2 は、これと同期して、処理ビットシフトレジスタ部 1 3 0 のシフトレジスタ 1 3 0 A の 2 段目にシフトされた 4 画素について、図 1 3 について上述したルールに従って、当該 4 画素ごとのコンテキスト C X をそれぞれ演算し、演算結果をセレクタ 1 3 5 に出力する。

40

【 0 2 4 7 】

そして、このとき S I G シフトレジスタ部 1 3 2 により検出された、処理ビットシフトレジスタ部 1 3 0 のシフトレジスタ 1 3 0 A の 2 段目にシフトされた 4 画素についての S P パス復号化処理を行うための条件を満たしているか否かの検出結果が全て否定的であった場合には、セレクタ 1 3 5 からは何も出力されず、処理ビットシフトレジスタ部 1 3 0 のシフトレジスタ 1 3 0 A の 2 段目にシフトされた 1 サンプル (4 画素) 分の処理ビットプレーンデータ D 3 5 に対する処理が完了する。

【 0 2 4 8 】

そして、この後制御部 1 3 6 からビットモデル部 1 1 4 全体の制御部 1 2 5 (図 3 1

50

) に与えられる転送要求に応じて、当該制御部 125 の制御のもとに、シグナルスイッチヤ 120 (図 31) から次の 1 サンプル分の処理ビットプレーンデータ D35 等が SP パス復号化処理部 121 に与えられる。かくして SP パス復号化処理部 121 は、これにより新たに処理ビットシフトレジスタ部 130 の 2 段目にシフトされた 1 サンプル (4 画素) 分の処理ビットプレーンデータ D35 について、同様の処理を開始する。

【0249】

これに対して、処理ビットシフトレジスタ部 130 のシフトレジスタ 130A の 2 段目にシフトされた 1 サンプルのうちのいずれかの画素 (以下、これを SP パス復号化処理対象画素と呼ぶ) についての検出結果が肯定的であった場合には、このとき算術復号化部 113 から与えられたシンボルデータ D34 のデータ値 (0/1) が処理ビットシフトレジスタ部 130 のシフトジレスタ 130A における当該 SP パス復号化処理対象画素と対応するビットに格納される。またこれと併せて、SIG シフトレジスタ部 132 から出力された当該 SP パス復号化処理対象画素についてのコンテキスト CX の演算結果がセレクタ 135 から出力されて算術復号化部 113 に与えられる。

10

【0250】

さらに、このときのシンボルデータ D34 のデータ値 (SP パス復号化処理対象画素の復号値) が『0』であった場合、この後セレクタ 135 から DONE シフトレジスタ部 134 に与えられる更新情報に基づいて、当該 DONE シフトレジスタ部 134 のシフトレジスタ 134A に記憶保持された DONE プレーンデータ D32 のうち、SP パス復号化処理対象画素と同座標のビットの値が、ビットデモデル化が完了したことを表す『1』に更新されて、この SP パス復号化処理対象画素に対する SP パス復号化処理が完了する。

20

【0251】

これに対して、このシンボルデータ D34 のデータ値が『1』であった場合、その情報が SIG シフトレジスタ部 132、REF シフトレジスタ部 133 及び正負符号シフトレジスタ部 131 にそれぞれ与えられる一方、これに続けて算術復号化部 113 (図 31) から与えられる 1 シンボル分のシンボルデータ D34 が正負符号シフトレジスタ部 131A に与えられる。

【0252】

このとき SIG シフトレジスタ部 132 では、自己のシフトレジスタ 132A に記憶保持された SIG プレーンデータ D30 における SP パス復号化処理対象画素と同座標のビットの値が "Significant" であることを表す『1』に更新される。また REF シフトレジスタ部 133 では、自己のシフトレジスタ 133A に記憶保持された REF プレーンデータ D31 における SP パス復号化処理対象画素と同座標のビットの値が、"Significant" となったことを表す『1』に更新される。

30

【0253】

さらにこのとき正負符号シフトレジスタ部 131 は、供給されるシンボルデータ D34 のデータ値 (0/1) に基づいて SP パス復号化処理対象画素の正負符号を復号化し、得られた正負符号ビットを自己のシフトレジスタ 131A における SP パス復号化処理対象画素と対応する位置に格納する一方、当該 SP パス復号化処理対象画素の正負符号ビットのコンテキスト CX を図 14 について上述したルールに従って演算し、その演算結果をセレクタ 135 に送出する。かくしてこのコンテキスト CX がセレクタ 135 を介して算術復号化部 113 に与えられる。

40

【0254】

そして、この後セレクタ 135 から DONE シフトレジスタ部 134 に更新情報が与えられ、当該更新情報に基づき、DONE シフトレジスタ部 134 のシフトレジスタ 134A に記憶保持された DONE プレーンデータ D32 における SP パス復号化処理対象画素と同座標のビットの値が『1』に更新されて、当該 SP パス復号化処理対象画素に対する SP パス復号化処理が完了する。

【0255】

そして、SP パス復号化処理部 121 は、この後算術復号化部 113 から 1 シンボル分

50

のシンボルデータ D 3 4 が与えられるごとに同様の処理を順次繰り返す。

【 0 2 5 6 】

またこの際 S P パス復号化処理部 1 2 1 は、シグナルスイッチャ 1 2 0 から 1 サンプル分の処理ビットプレーンデータ D 3 5 等が与えられるごとに、処理ビットシフトレジスタ部 1 3 0 のシフトレジスタ 1 3 0 A の 3 段目に記憶保持されていた処理ビットプレーンデータ D 3 5 と、正負符号シフトレジスタ部 1 3 1 のシフトレジスタ 1 3 1 A の 4 段目に記憶保持されていた正負符号プレーンデータ D 3 6 とを、それぞれシグナルスイッチャ 1 2 0 を介して対応するビットプレーンバッファ 1 1 6 A、1 1 6 B 又は正負符号バッファ 1 1 5 に与えてもとのアドレス位置に書き戻させる一方、 S I G シフトレジスタ部 1 3 2 、 R E F シフトレジスタ部 1 3 3 及び D O N E シフトレジスタ部 1 3 4 の各シフトレジスタ 1 3 2 A ~ 1 3 4 A の 4 段目にそれぞれ記憶保持された S I G プレーンデータ D 3 0 、 R E F プレーンデータ D 3 1 及び D O N E プレーンデータ D 3 2 を、それぞれシグナルスイッチャ 1 2 0 を介して対応する S R A M 1 1 1 A、1 1 1 B に与えてもとのアドレス位置に書き戻させる。 10

【 0 2 5 7 】

このようにして S P パス復号化処理部 1 2 1 においては、算術復号化部 1 1 3 から順次与えられるシンボルデータ D 3 4 に基づいて、 S P パス復号化処理を行い得るようになされている。

【 0 2 5 8 】

(2 - 2 - 3 - 2) M R パス復号化処理部 1 2 2 の構成

20

一方、 M R パス復号化処理部 1 2 2 は、図 3 3 に示すように、いずれもハードウェア構成の処理ビットシフトレジスタ部 1 4 0 、 S I G シフトレジスタ部 1 4 2 、 R E F シフトレジスタ部 1 4 3 、 D O N E シフトレジスタ部 1 4 4 及びセレクタ 1 4 5 と、後述のようなセレクタ 1 4 5 に対する出力切替え制御等を行う制御部 1 4 6 とから構成されている。

【 0 2 5 9 】

また処理ビットシフトレジスタ部 1 4 0 には 3 段のシフトレジスタ 1 4 0 A が設けられると共に、 S I G シフトレジスタ部 1 4 2 、 R E F シフトレジスタ部 1 4 3 及び D O N E シフトレジスタ部 1 4 4 には、それぞれ 4 段のシフトレジスタ 1 4 2 A ~ 1 4 4 A が設けられている。

【 0 2 6 0 】

30

これにより M R パス復号化処理部 1 2 2 は、上述のようにシグナルスイッチャ 1 2 0 (図 3 1) から順次与えられる各 1 サンプル分の処理ビットプレーンデータ D 3 5 、 S I G プレーンデータ D 3 0 、 R E F プレーンデータ D 3 1 及び D O N E プレーンデータ D 3 2 を、それぞれ処理ビットシフトレジスタ部 1 4 0 、 S I G シフトレジスタ部 1 4 2 、 R E F シフトレジスタ部 1 4 3 及び D O N E シフトレジスタ部 1 4 4 のシフトレジスタ 1 4 0 A 、 1 4 2 A ~ 1 4 4 A において順次シフトさせながら 3 サンプル分又は 4 サンプル分ずつ記憶保持し得るようになされている。

【 0 2 6 1 】

そして R E F シフトレジスタ部 1 4 3 及び D O N E シフトレジスタ部 1 4 4 は、算術復号化部 1 1 3 から 1 シンボル分のシンボルデータ D 3 4 が与えられると、そのとき自己のシフトレジスタ 1 4 3 A 、 1 4 4 A の 2 段目にシフトされた 1 サンプル分の R E F プレーンデータ D 3 1 又は D O N E プレーンデータ D 3 2 をセレクタ 1 4 5 に出力する。 40

【 0 2 6 2 】

またこのとき S I G シフトレジスタ部 1 4 2 は、自己のシフトレジスタ 1 4 2 A に記憶保持した S I G プレーンデータ D 3 0 を用いて、処理ビットシフトレジスタ部 1 4 0 の 2 段目にシフトした 4 画素について、 R E F シフトレジスタ部 1 4 3 の出力を参照しながら図 1 6 について上述したルールに従ってコンテクスト C X を演算し、演算結果をセレクタ 1 4 5 に出力する。

【 0 2 6 3 】

そして、このとき D O N E プレーンデータ D 3 2 の値が全て『 1 』 (すなわち処理済)

50

であった場合には、セレクタ 145 からは何も出力されずに、当該処理ビットシフトレジスタ部 140 のシフトレジスタ 140A の 2 段目にシフトされた 1 サンプル分の処理ビットプレーンデータ D35 に対する処理が終了する。

【0264】

またかかる 1 サンプル分の DONE プレーンデータ D32 のうち、いずれかのデータ値が『0』(すなわち未処理) であり、かつその DONE プレーンデータ D32 と対応する処理ビットシフトレジスタ部 140 のシフトレジスタ 140A の 2 段目にシフトされた画素が "Significant" でなかった場合にも、セレクタ 145 からは何も出力されずに、当該処理ビットシフトレジスタ部 140 のシフトレジスタ 140A の 2 段目にシフトされた 1 サンプル分の処理ビットプレーンデータ D35 に対する処理が終了する。

10

【0265】

そしてこれらの場合には、この後制御部 146 からビットデモデル部 114 全体の制御部 125 (図 31) に与えられる転送要求に応じて、当該制御部 125 の制御のもとに、シグナルスイッチャ 120 (図 31) から次の 1 サンプル分の処理ビットプレーンデータ D35 等が MR パス復号化処理部 122 に与えられる。かくして MR パス復号化処理部 121 は、これにより新たに処理ビットシフトレジスタ部 130 の 2 段目にシフトされた 1 サンプル (4 画素) 分の処理ビットプレーンデータ D35 について、同様の処理を開始する。

【0266】

これに対して、かかる 1 サンプル分の DONE プレーンデータ D32 のうち、いずれかのデータ値が『0』であり、かつその DONE プレーンデータ D32 と対応する処理ビットシフトレジスタ部 140 のシフトレジスタ 140A の 2 段目にシフトされた画素が "Significant" であった場合には、当該画素 (以下、これを MR パス復号化処理対象画素と呼ぶ) が MR パス復号化処理すべき画素であることを意味する。

20

【0267】

かくして、このとき算術復号化部 113 (図 31) から与えられたシンボルデータ D34 のデータ値 (0 / 1) が処理ビットシフトレジスタ部 140 のシフトジレスタ 140A における MR パス復号化処理対象画素と対応するビットに格納される一方、 SIG シフトレジスタ部 142 から出力された当該 MR パス復号化処理対象画素についてのコンテキスト CX の演算結果がセレクタ 145 から出力されて算術復号化部 113 に与えられる。

30

【0268】

またこのとき REF シフトレジスタ部 143 では、その MR パス復号化処理対象画素と同座標のビットが『1』である場合 (すなわちフラグが立っている場合) にはこれがクリアされ、また DONE シフトレジスタ部 144 では、その MR パス復号化処理対象画素と同座標のビットが、当該 MR パス復号化処理対象画素が処理済みとなったことを意味する『1』に更新されて、この MR パス復号化処理対象画素に対する MR パス復号化処理が完了する。

【0269】

そして、MR パス復号化処理部 122 は、この後そのとき処理ビットシフトレジスタ部 140 のシフトレジスタ 140A の 2 段目にシフトされた残りの画素についても、当該画素が MR パス復号化処理すべき画素であった場合には、上述と同様に MR パス復号化処理を実行する。

40

【0270】

そして、MR パス復号化処理部 122 は、この後算術復号化部 113 から 1 シンボル分のシンボルデータ D34 が与えられるごとに同様の処理を順次繰り返す。

【0271】

またこの際 MR パス復号化処理部 122 は、処理ビットシフトレジスタ部 140 のシフトレジスタ 140A に新たな 4 画素分の処理ビットプレーンデータ D35 が与えられるごとに、処理ビットシフトレジスタ部 140 のシフトレジスタ 140A の 3 段目に記憶保持されていた処理ビットプレーンデータ D35 をシグナルスイッチャ 120 を介して対応す

50

るビットプレーンバッファ 116A、116B に与えてもとのアドレス位置に書き戻させる一方、SIGシフトレジスタ部 142、REFシフトレジスタ部 143 及び DONE シフトレジスタ部 144 の各シフトレジスタ 142A ~ 144A の 4 段目にそれぞれ記憶保持された SIG プレーンデータ D30、REF プレーンデータ D31 及び DONE プレーンデータ D32 を、それぞれシグナルスイッチ 120 を介して対応する SRAM 111A、111B に与えてもとのアドレス位置に書き戻させる。

【0272】

このようにして MR パス復号化処理部 122 においては、算術復号化部 113 から与えられるシンボルデータ D34 に基づいて MR パス復号化処理を行い得るようになされている。

10

【0273】

(2-2-3-3) CU パス復号化処理部 123 の構成

CU パス復号化処理部 123 は、図 34 に示すように、いずれもハードウェア構成の処理ビットシフトレジスタ部 150、正符号シフトレジスタ部 151、SIG シフトレジスタ部 152、REF シフトレジスタ部 153、DONE シフトレジスタ部 154 及びセレクタ 155 と、後述のようなセレクタ 155 に対する出力切替え制御等を行う制御部 156 とから構成されている。

【0274】

また処理ビットシフトレジスタ部 150 には 3 段のシフトレジスタ 150A が設けられると共に、正符号シフトレジスタ部 151、SIG シフトレジスタ部 152、REF シフトレジスタ部 153 及び DONE シフトレジスタ部 154 には、それぞれ 4 段のシフトレジスタ 151A ~ 154A が設けられている。

20

【0275】

これにより CU パス復号化処理部 123 は、上述のようにシグナルスイッチ 120 (図 31) から順次与えられる各 1 サンプル分の処理ビットプレーンデータ D35、正負符号プレーンデータ D36、SIG プレーンデータ D30、REF プレーンデータ D31 及び DONE プレーンデータ D32 を、それぞれ処理ビットシフトレジスタ部 150、正符号シフトレジスタ部 151、SIG シフトレジスタ部 152、REF シフトレジスタ部 153 及び DONE シフトレジスタ部 154 の各シフトレジスタ 150A ~ 154A において順次シフトさせながら 3 サンプル分又は 4 サンプル分ずつ記憶保持し得るようになされている。

30

【0276】

そして SIG シフトレジスタ部 152 は、算術復号化部 113 から 1 シンボル分のシンボルデータ D34 が与えられると、そのとき自己のシフトレジスタ 152A に記憶保持した SIG プレーンデータ D30 と、DONE シフトレジスタ部 154 のシフトレジスタ 154A に記憶保持された DONE プレーンデータ D32 を用いて、処理ビットシフトレジスタ部 130 のシフトレジスタ 130A の 2 段目にシフトされた 4 画素が上述したランレングス処理を行うための条件を満たしているか否かを検出する。

【0277】

そしてかかる 4 画素がランレングス処理を行うための条件を満たしていない場合には、これら 4 画素のそれぞれについて、上述した SP パス復号化処理が順次行われる。

40

【0278】

これに対してかかる 4 画素がランレングス処理を行うための条件を満たしている場合であって、このとき算術復号化部 113 (図 31) から与えられた 1 シンボル分のシンボルデータ D34 のデータ値が『0』であったときには、処理ビットシフトレジスタ 150 のシフトレジスタ 150A における 2 段目の 1 番目 ~ 4 番目の各ビットにそれぞれ『0』が格納される。またこれと併せて SIG シフトレジスタ部 152 からこれに応じたコンテクスト CX ("run") が output され、このコンテクスト CX がセレクタ 155 を介して算術復号化部 113 (図 28) に与えられて、この処理ビットシフトレジスタ部 150 のシフトレジスタ 150A の 2 段目にシフトされた 1 サンプル (4 画素) 分の処理ビットプレー

50

ンデータ D 3 5 に対する処理が完了する。

【 0 2 7 9 】

またかかる 4 画素がランレンジス処理を行うための条件を満たしている場合であって、このとき算術復号化部 1 1 3 から与えられた 1 シンボル分のシンボルデータ D 3 4 のデータ値が『 1 』であったときには、その後算術復号化部 1 1 3 から与えられる 2 シンボル分のシンボルデータ D 3 4 のデータ値に応じて、図 1 8 について上述した処理と逆の処理が行われる。

【 0 2 8 0 】

具体的には、算術復号化部 1 1 3 から与えられた 2 シンボル分のシンボルデータ D 3 4 のデータ値が『 0 、 0 』であった場合には、処理ビットシフトレジスタ部 1 5 0 のシフトレジスタ 1 5 0 A における 2 段目の一一番上のビットに『 0 』が格納され、当該データ値が『 0 、 1 』であった場合には、処理ビットシフトレジスタ部 1 5 0 のシフトレジスタ 1 5 0 A における 2 段目の 1 番目及び 2 番目のビットにそれぞれ『 0 』又は『 1 』が格納される。また、算術復号化部 1 1 3 から与えられた 2 シンボル分のシンボルデータ D 3 4 のデータ値が『 1 、 0 』であった場合には、処理ビットシフトレジスタ部 1 5 0 のシフトレジスタ 1 5 0 A における 2 段目の 1 番目～ 3 番目のビットにそれぞれ『 0 』、『 0 』又は『 1 』が格納され、当該データ値が『 1 、 1 』であった場合には、処理ビットシフトレジスタ部 1 5 0 のシフトレジスタ 1 5 0 A における 2 段目の 1 番目～ 4 番目のビットにそれぞれ『 0 』、『 0 』、『 0 』又は『 1 』が格納される。さらに、これと併せて S I G シフトレジスタ部 1 5 2 から 2 回“ uniform ” というコンテクスト C X が output され、これがセレクタ 1 5 5 を介して算術復号化部 1 1 3 に与えられる。

【 0 2 8 1 】

さらにこのとき S I G シフトレジスタ部 1 5 2 では、自己のシフトレジスタ 1 5 2 A の 2 段目における、このとき処理ビットシフトレジスタ部 1 5 0 のシフトレジスタ 1 5 0 A の『 1 』が格納された画素（以下、これを C U パス復号化処理対象画素と呼ぶ）と同座標のビットの値が“ Significant ” であることを表す『 1 』に更新される。また R E F シフトレジスタ部 1 5 3 では、自己のシフトレジスタ 1 5 3 A に記憶保持された R E F プレーンデータ D 3 1 における当該 C U パス復号化処理対象画素と同座標のビットの値が“ Significant ” となったことを表す『 1 』に更新される。

【 0 2 8 2 】

さらにこの後、算術復号化部 1 1 3 から与えられる 1 シンボル分のシンボルデータ D 3 4 が正負符号シフトレジスタ部 1 5 1 に与えられる。そして正負符号シフトレジスタ部 1 5 1 では、かかる C U パス復号化処理対象画素の正負符号がこのシンボルデータ D 3 4 に基づいて演算されると共に当該 C U パス復号化処理対象画素のコンテクスト C X が図 1 4 について上述したルールに従って演算され、算出された正負符号が当該正負符号シフトレジスタ部 1 5 1 のシフトレジスタ 1 5 1 A における C U パス復号化処理対象画素と同座標のビットに格納され、コンテクスト C X がセレクタ 1 5 5 を介して算術復号化部 1 1 3 に出力される。

【 0 2 8 3 】

そして、この後セレクタ 1 5 5 から D O N E シフトレジスタ部 1 5 4 に更新情報与えられ、当該更新情報に基づき、 D O N E シフトレジスタ部 1 5 4 のシフトレジスタ 1 5 4 A に記憶保持された D O N E プレーンデータ D 3 2 における当該 C U パス復号化処理対象画素と同座標のビットの値が『 1 』に更新されて、当該 C U パス復号化処理対象画素に対する C U パス復号化処理が完了する。

【 0 2 8 4 】

さらに C U パス復号化処理部 1 2 3 は、この後同じサンプル（このとき処理ビットシフトレジスタ部 1 5 0 のシフトレジスタ 1 5 0 A の 2 段目に記憶保持された 1 サンプル）内の当該 C U パス復号化処理対象画素よりもビットプレーン内スキャン順序が後の各画素について、それぞれ S I G シフトレジスタ部 1 5 2 、 R E F シフトレジスタ部 1 5 3 及び D O N E シフトレジスタ部 1 5 4 の各シフトレジスタ 1 5 0 A ～ 1 5 4 A に記憶保持された

10

20

30

40

50

S I G プレーンデータ D 3 0 、 R E F プレーンデータ D 3 1 及び D O N E プレーンデータ D 3 2 を必要に応じて順次更新しながら上述した C U パス復号化処理を実行する。そして C U パス復号化処理部 1 2 3 は、このような処理を当該サンプル内の全ての画素に対して行い終えると、当該サンプルに対する C U パス復号化処理を完了する。

【 0 2 8 5 】

そして、 C U パス復号化処理部 1 2 3 は、この後算術復号化部 1 1 3 から 1 シンボル分のシンボルデータ D 3 4 が与えられるごとに同様の処理を順次繰り返す。

【 0 2 8 6 】

またこの際 C U パス復号化処理部 1 2 3 は、シグナルスイッチャ 1 2 0 から 1 サンプル分の処理ビットプレーンデータ D 3 5 等が与えられるごとに、処理ビットシフトレジスタ部 1 5 0 のシフトレジスタ 1 5 0 A の 3 段目に記憶保持されていた処理ビットプレーンデータ D 3 5 と、正負符号シフトレジスタ部 1 5 1 のシフトレジスタ 1 5 1 A の 4 段目に記憶保持されていた正負符号プレーンデータ D 3 6 とを、それぞれシグナルスイッチャ 1 2 0 を介して対応するビットプレーンバッファ 1 1 6 A 、 1 1 6 B 又は正負符号バッファ 1 1 5 に与えてもとのアドレス位置に書き戻させる一方、 S I G シフトレジスタ部 1 5 2 、 R E F シフトレジスタ部 1 5 3 及び D O N E シフトレジスタ部 1 5 4 の各シフトレジスタ 1 5 2 A ~ 1 5 4 A の 4 段目にそれぞれ記憶保持された S I G プレーンデータ D 3 0 、 R E F プレーンデータ D 3 1 及び D O N E プレーンデータ D 3 2 を、それぞれシグナルスイッチャ 1 2 0 を介して対応する S R A M 1 1 1 A 、 1 1 1 B に与えてもとのアドレス位置に書き戻させる。

10

20

【 0 2 8 7 】

このようにして C U パス復号化処理部 1 2 3 においては、算術復号化部 1 1 3 から順次与えられるシンボルデータ D 3 4 に基づいて、 C U パス復号化処理を行い得るようになされている。

【 0 2 8 8 】

(2 - 3) 第 1 の実施の形態の動作及び効果

以上の構成において、本実施の形態による符号化装置 4 0 及び復号化装置 1 0 0 では、ビットモデル部 5 4 又はビットデモデル部 1 1 4 において、処理ビットプレーン 2 2 上のストライプカラム 2 3 A を構成する 4 画素を単位として C B M 処理を行うと共に、このとき正負符号プレーンデータ D 2 0 、 D 3 5 及び S I G プレーンデータ D 2 2 、 D 3 0 についても処理ビットプレーン 2 2 上のストライプカラム 2 3 A と同位相の 4 ビットを単位 (1 ワード) として、正負符号プレーンバッファ 5 0 、 1 1 5 又は S R A M 5 2 A 、 1 1 1 A から読み出す。

30

【 0 2 8 9 】

従って、この符号化装置 4 0 及び復号化装置 1 0 0 では、正負符号プレーンデータ D 2 0 、 D 3 5 や S I G プレーンデータ D 2 2 、 D 3 0 の 1 ビットをメモリワードとする従来手法に比して、 C B M 処理時における正負符号プレーンバッファ 5 0 、 1 1 5 や S R A M 5 2 A 、 1 1 1 A に対するアクセス回数を格段的に低減させることができる。

【 0 2 9 0 】

実際上、例えば 64×64 サイズのビットプレーン 2 2 を処理する際にメモリから S I G プレーンデータ D 2 2 、 D 3 0 を読み出す回数を計算すると、従来の 1 画素ずつアクセスする手法の場合、直前の画素を処理する際に読み出した流用可能な S I G プレーンデータ D 2 2 、 D 3 0 を次の画素を処理する際に利用することなく、画素ごとに必要な S I G プレーンデータ D 2 2 、 D 3 0 を 1 ビットずつ読み出す構成 (以下、これをオーバラップ読み出し構成と呼ぶ) では 36100 回のメモリアクセスが必要となり、直前の画素を処理する際に読み出した流用可能な S I G プレーンデータ D 2 2 、 D 3 0 を次の画素を処理する際に利用し、足りない S I G プレーンデータ D 2 2 、 D 3 0 のみを 1 ビットずつ読み出す構成 (以下、これを更新部分限定読み出し構成と呼ぶ) では、 17860 回のメモリアクセスが必要となる。

40

【 0 2 9 1 】

50

これに対して S I G プレーンデータ D 2 2 、 D 3 0 を 4 ビット分ずつ一括して読み出す本実施の形態の手法によれば、オーバラップ読み出し構成とした場合であっても 8740 回のメモリアクセスで足り、また本実施の形態のように更新部分限定読み出し構成とした場合に至っては 2944 回のメモリアクセスで足りる。

【 0 2 9 2 】

よって、かかる J P E G 2 0 0 0 規格に準拠した符号化装置 4 0 及び復号化装置 1 0 0 におけるビットモデル部 5 4 又はビットデモデル部 1 1 4 の構成として上述のような第 1 の実施の形態の構成を採用することによって、これらビットモデル部 5 4 又はビットデモデル部 1 1 4 における C B M 処理の高速化を図ることができ、またこれに伴ってビットモデル部 5 4 又はビットデモデル部 1 1 4 の低消費電力化を図ることもできる。

10

【 0 2 9 3 】

以上の構成によれば、処理ビットプレーン 2 2 上のストライプカラム 2 3 A を構成する 4 画素を単位として C B M 処理を行うと共に、このとき正負符号プレーンデータ D 2 0 、 D 3 6 及び S I G プレーンデータ D 2 2 、 D 3 0 についても処理ビットプレーン 2 2 上のストライプカラム 2 3 A と同じ位相の 4 ビットを単位 (1 ワード) として取り扱うようにしたことにより、 C B M 処理時における正負符号プレーンバッファ 5 0 、 1 1 5 や S R A M 5 2 A 、 1 1 1 A に対するアクセス回数を格段的に低減させることができ、かくして符号化処理又は復号化処理を高速化させ得る符号化装置及び復号化装置を実現できる。

【 0 2 9 4 】

(3) 第 2 の実施の形態

20

(3 - 1) 第 2 の実施の形態による符号化装置 4 0 の E B C O T ブロック 1 6 0 の構成

図 2 2 との対応部分に同一符号を付して示す図 3 5 は、上述した J P E G 2 0 0 0 規格に準拠した符号化装置 4 0 (図 2 1) に適用される第 2 の実施の形態による E B C O T ブロック 1 6 0 を示し、処理ビットプレーンデータ D 2 2 のストライプカラム 2 3 A に対して正負符号プレーンバッファ 5 0 又は S R A M 5 2 A における正負符号プレーンデータ D 2 0 及び S I G プレーンデータ D 2 2 のワードの位相がずれている点を除いて第 1 の実施の形態による符号化装置 4 0 の E B C O T ブロック 4 2 とほぼ同様に構成されている。

【 0 2 9 5 】

すなわちこの E B C O T ブロック 1 6 0 の場合、図 3 6 に示すように、正負符号プレーンバッファ 1 6 1 (図 3 5) は、正負符号プレーンデータ D 2 0 に対する記憶領域が、それぞれ実際の正負符号プレーンデータ D 2 0 の記憶に使用する領域に対して上下方向にそれぞれ 2 ビット分ずつ拡張されており、処理ビットプレーン 2 2 上の 1 ストライプカラム 2 3 A を構成する 4 画素に対して 2 ビット分だけ上下に位相がずれた、縦方向に並ぶ 4 ビット分の正負符号プレーンデータ D 2 0 を単位 (1 ワード) として、これらを 1 クロックで一括して読み書きし得るようになされている。

30

【 0 2 9 6 】

また E B C O T ブロック 1 6 0 においては、 S R A M 1 6 2 (図 3 5) についても、図 3 6 のように S I G プレーンデータ D 2 2 に対する記憶領域が、それぞれ実際の S I G プレーンデータ D 2 2 の記憶に使用する領域に対して、上下方向にそれぞれ 2 ビット分ずつ拡張されており、処理ビットプレーン 2 2 上の 1 ストライプカラム 2 3 A を構成する 4 画素と 2 ビット分だけ上下方向に位相がずれた、縦方向に並ぶ 4 ビット分の S I G プレーンデータ D 2 2 を単位 (1 ワード) として、これらを 1 クロックで一括して読み書きし得るようになされている。

40

【 0 2 9 7 】

一方、図 3 7 に示すように、この E B C O T ブロック 1 6 0 のビットモデル部 1 6 3 は、シグナルスイッチャ 1 6 4 の構成を除いて第 1 の実施の形態による符号化装置 4 0 のビットモデル部 5 4 とほぼ同様に構成されている。

【 0 2 9 8 】

そしてシグナルスイッチャ 1 6 4 は、トップビットプレーン 2 2 T 以外の処理ビットプレーン 2 2 に対する C B M 処理時、制御部 6 5 の制御のもとに、処理ビットプレーンデータ

50

タ D 2 1 を、図 2 4 (A) に示す 1 ストライプカラム 2 3 A を構成する 4 画素分を 1 ワードとして、ビットプレーン内スキャン順序に従って処理ビットプレーンバッファ 5 1 A 、 5 1 B から 1 ワードずつ順次読み出し、これをまず S P パス符号化処理部 1 6 5 に送出する。

【 0 2 9 9 】

またシグナルスイッチャ 1 6 4 は、これと同期して、処理ビットプレーンバッファ 5 1 A 、 5 1 B から読み出された 4 画素分の処理ビットプレーンデータ D 2 1 に対して S P パス符号化処理する際に必要となる、当該 4 画素とそれぞれ同座標にある正負符号プレーン 3 0 上の 4 ビット及びその上下の各ビット (合わせて 6 ビット、図 2 4 (C) 参照) の正負符号プレーンデータ D 2 0 を正負符号プレーンバッファ 1 6 1 から順次読み出し、これを S P パス符号化処理部 1 6 5 に送出する。

10

【 0 3 0 0 】

この際シグナルスイッチャ 1 6 4 は、かかる処理ビットプレーンバッファ 5 1 A 、 5 1 B から読み出された 4 画素分の処理ビットプレーンデータ D 2 1 を S P パス符号化処理する際に必要となる合計 6 ビットの正負符号プレーンデータ D 2 0 に対して、実際には当該 4 画素とそれぞれ同座標にある正負符号プレーン 3 0 上の 4 ビットよりも上側に 2 ビットずれた 1 ワード (4 ビット) 分の正負符号プレーンデータ D 2 0 と、下側に 2 ビットずれた 1 ワード (4 ビット) 分の正負符号プレーンデータ D 2 0 とを正負符号プレーンバッファ 1 6 1 から 2 クロックかけて読み出し、これを S P パス符号化処理部 1 6 5 に送出することとなる。

20

【 0 3 0 1 】

さらにシグナルスイッチャ 1 6 4 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D 2 1 を S P パス符号化処理する際に必要となる、当該 4 画素とそれぞれ同座標にある S I G プレーン 3 1 上の 4 ビット及びその上下の各ビット (合計 6 ビット、図 2 4 (B) 参照) 分の S I G プレーンデータ D 2 2 を S R A M 5 2 A から順次読み出し、これを S P パス符号化処理部 1 6 5 に送出する。

【 0 3 0 2 】

この場合においても、シグナルスイッチャ 1 6 4 は、かかる処理ビットプレーンバッファ 5 1 A 、 5 1 B から読み出された 4 画素分の処理ビットプレーンデータ D 2 1 を S P パス符号化処理する際に必要となる合計 6 ビットの S I G プレーンデータ D 2 2 に対して、実際には当該 4 画素とそれぞれ同座標にある S I G プレーン 3 1 上の 4 ビットよりも上側に 2 ビットずれた 1 ワード (4 ビット) 分の S I G プレーンデータと、下側に 2 ビットずれた 1 ワード (4 ビット) 分の S I G プレーンデータ D 2 0 とを S R A M 1 6 2 から 2 クロックかけて読み出し、これを S P パス符号化処理部 1 6 5 に送出することとなる。

30

【 0 3 0 3 】

さらにシグナルスイッチャ 1 6 4 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D 2 1 を S P パス符号化処理する際に必要となる、当該 4 画素とそれぞれ同座標にある R E F プレーン 3 2 上の 4 ビット (図 2 4 (E) 参照) 分の R E F プレーンデータ D 2 3 と、当該 4 画素と同座標にある D O N E プレーン 3 3 上の 4 ビット (図 2 4 (D) 参照) 分の D O N E プレーンデータ D 2 4 とを S R A M 5 2 B から順次読み出し、これを S P パス符号化処理部 1 6 5 に送出する。

40

【 0 3 0 4 】

この場合 S R A M 5 2 B は、処理ビットプレーン 2 2 上の各ストライプカラム 2 3 A とそれに対応する 4 ビット分を単位 (1 ワード) として R E F プレーンデータ D 3 1 及び D O N E プレーンデータ D 3 2 を記憶しており、このワード単位で R E F プレーンデータ D 3 1 や D O N E プレーンデータ D 3 2 を読み書きし得るように構成されている。従って、シグナルスイッチャ 1 6 4 は、かかる 4 ビット分の R E F プレーンデータ D 3 1 又は D O N E プレーンデータ D 3 2 をそれぞれ 1 クロックで S R A M 5 2 B から読み出して S P パス符号化処理部 1 6 5 に送出することとなる。

【 0 3 0 5 】

50

このとき S P パス符号化処理部 165 は、シグナルスイッチャ 164 から順次供給される 4 画素分の処理ビットプレーンデータ D21 と、これと対応する正負符号プレーンデータ D20、S I G プレーンデータ D22、R E F プレーンデータ D23 及び D O N E プレーンデータ D24 とを、それぞれ少なくとも過去 3 サンプル分だけ記憶保持し得るようになされている。

【 0 3 0 6 】

因みに、ここでは処理ビットプレーンデータ D21、R E F プレーンデータ D23 及び D O N E プレーンデータ D24 については 1 ワードが 1 サンプルに該当し、正負符号プレーンデータ D20 及び S I G プレーンデータ D22 については縦方向に並ぶ 2 ワードが 1 サンプルに該当する。

10

【 0 3 0 7 】

そして S P パス符号化処理部 165 は、シグナルスイッチャ 164 から次のサンプルの処理ビットプレーンデータ D21 等が与えられると、第 1 の実施の形態による符号化装置 40 (図 21) の S P パス符号化処理部 61 と同様にして、必要に応じて S P パス符号化処理を実行し、そのとき得られたシンボル S B をシンボルデータ D26S として出力スイッチャ 64 に、コンテクスト C X をコンテクストデータ D27S として出力スイッチャ 64 にそれぞれ送出すると共に、必要に応じて S I G プレーンデータ D22、R E F プレーンデータ D23 及び又は D O N E プレーンデータ D24 を更新し、さらにこれら更新した S I G プレーンデータ D22、R E F プレーンデータ D23 及び D O N E プレーンデータ D24 を S R A M 162、S R A M 52B におけるもとのアドレス位置に書き戻す。

20

【 0 3 0 8 】

一方、シグナルスイッチャ 164 は、このようにして処理ビットプレーンバッファ 51A、51B に格納された 1 ビットプレーン分のデータ (処理ビットプレーンデータ D21) に対する S P パス符号化処理を終了すると、この後これと同様にして、制御部 65 の制御のもとに、同じ処理ビットプレーンデータ D21 をビットプレーン内スキャン順序に従って処理ビットプレーンバッファ 51A、51B から 1 ワードずつ順次読み出し、これを M R パス符号化処理部 166 に送出する。

【 0 3 0 9 】

またシグナルスイッチャ 164 は、これと同期して、処理ビットプレーンバッファ 51A、51B から読み出された 4 画素分の処理ビットプレーンデータ D21 に対して M R パス符号化処理する際に必要となる、当該 4 画素とそれぞれ同座標にある S I G プレーン 31 上の 4 ビット及びその上下の各ビット (合わせて 6 ビット、図 24 (B) 参照) の S I G プレーンデータ D22 を S R A M 162 から順次読み出し、これを M R パス符号化処理部 166 に送出する。

30

【 0 3 1 0 】

この際シグナルスイッチャ 164 は、上述の S P パス符号化処理部の場合と同様に、かかる処理ビットプレーンバッファ 51A、51B から読み出された 4 画素分の処理ビットプレーンデータ D21 を M R パス符号化処理する際に必要となる合計 6 ビット分の S I G プレーンデータ D22 に対して、実際には当該 4 画素とそれぞれ同座標にある S I G プレーン 31 上の 4 ビットよりも上側に 2 ビットずれた 1 ワード (4 ビット) 分の S I G プレーンデータ D22 と、下側に 2 ビットずれた 1 ワード (4 ビット) 分の S I G プレーンデータ D22 とを S R A M 162 から 2 クロックかけて読み出し、これを M R パス符号化処理部 166 に送出することとなる。

40

【 0 3 1 1 】

さらにシグナルスイッチャ 164 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D21 を M R パス符号化処理する際に必要となる、当該 4 画素と同座標にある R E F プレーン 32 上の 1 ワード (図 24 (E) 参照) 分の R E F プレーンデータ D23 と、当該 4 画素と同座標にある D O N E プレーン 33 上の 1 ワード (図 24 (D) 参照) 分の D O N E プレーンデータ D24 とを S R A M 52B から順次読み出し、これを M R パス符号化処理部 166 に送出する。

50

【0312】

このときMRバス符号化処理部166は、シグナルスイッチャ164から順次供給される4画素分の処理ビットプレーンデータD21と、これと対応するSIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24とを、それぞれ少なくとも過去3サンプル分だけ記憶保持し得るようになされている。

【0313】

因みに、この場合も処理ビットプレーンデータD21、REFプレーンデータD23及びDONEプレーンデータD24については1ワードが1サンプルに該当し、正負符号プレーンデータD20及びSIGプレーンデータD22については縦方向に並ぶ2ワードが1サンプルに該当する。

10

【0314】

そしてMRバス符号化処理部166は、シグナルスイッチャ164から次のサンプルの処理ビットプレーンデータD21等が与えられると、第1の実施の形態による符号化装置40(図21)のMRバス符号化処理部62と同様にして、必要に応じてMRバス符号化処理を実行し、そのとき得られたシンボルSBをシンボルデータD26Rとして出力スイッチャ64に、コンテクストCXをコンテクストデータD27Rとして出力スイッチャ64にそれぞれ送出する一方、必要に応じてSIGプレーンデータD22、REFプレーンデータD23及び又はDONEプレーンデータD24を更新し、さらにこれら更新したSIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24をSRAM162、52Bにおけるもとのアドレス位置に書き戻す。

20

【0315】

他方、シグナルスイッチャ164は、このようにして処理ビットプレーンバッファ51A、51Bに格納された1ビットプレーン分のデータ(処理ビットプレーンデータD21)に対するMRバス符号化処理を終了すると、この後これと同様にして、制御部65の制御のもとに、同じ処理ビットプレーンデータD21をビットプレーン内スキャン順序に従って処理ビットプレーンバッファ51A、51Bから1ワードずつ順次読み出し、これをCUバス符号化処理部167に送出する。

【0316】

またシグナルスイッチャ164は、これと同期して、処理ビットプレーンバッファ51A、51Bから読み出された4画素分の処理ビットプレーンデータD21に対してCUバス符号化処理する際に必要となる、当該4画素とそれぞれ同座標にある正負符号プレーン30上の4ビット及びその上下の各ビット(合わせて6ビット、図24(C)参照)分の正負符号プレーンデータD20を正負符号プレーンバッファ161(図35)から順次読み出し、これをCUバス符号化処理部167に送出する。

30

【0317】

この際シグナルスイッチャ164は、上述のSPバス符号化処理部165と同様に、かかる処理ビットプレーンバッファ51A、51Bから読み出された4画素分の処理ビットプレーンデータD21をCUバス符号化処理する際に必要となる合計6ビットの正負符号プレーンデータD20に対して、実際には当該4画素とそれぞれ同座標にある正負符号プレーン上の4ビットよりも上側に2ビットずれた1ワード(4ビット)分の正負符号プレーンデータD20と、下側に2ビットずれた1ワード(4ビット)分の正負符号プレーンデータD20とを正負符号プレーンバッファ161から2クロックかけて読み出し、これをCUバス符号化処理部167に送出することとなる。

40

【0318】

さらにシグナルスイッチャ164は、これと同期して、かかる4画素分の処理ビットプレーンデータD21をCUバス符号化処理する際に必要となる、当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビット及びその上下の各ビット(合計6ビット、図24(B)参照)分のSIGプレーンデータD22をSRAM162から順次読み出し、これをCUバス符号化処理部167に送出する。

【0319】

50

この場合においても、シグナルスイッチャ 164 は、かかる処理ビットプレーンバッファ 51A、51B から読み出された 4 画素分の処理ビットプレーンデータ D21 を C U パス符号化処理する際に必要となる合計 6 ビット分の S I G プレーンデータ D22 に対して、実際には当該 4 画素とそれぞれ同座標にある S I G プレーン 31 上の 4 ビットよりも上側に 2 ビットずれた 1 ワード (4 ビット) 分の S I G プレーンデータ D22 と、下側に 2 ビットずれた 1 ワード (4 ビット) 分の S I G プレーンデータ D22 とを S R A M 162 から 2 クロックかけて読み出し、これを C U パス符号化処理部 167 に送出することとなる。

【 0 3 2 0 】

さらにシグナルスイッチャ 164 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D21 を C U パス符号化処理する際に必要となる、当該 4 画素とそれぞれ同座標にある R E F プレーン 32 上の 1 ワード (図 24 (E) 参照) 分の R E F プレーンデータ D23 と、当該 4 画素と同座標にある D O N E プレーン 33 上の 1 ワード (図 24 (D) 参照) 分の D O N E プレーンデータ D24 とを S R A M 52B から読み出し、これを C U パス符号化処理部 167 に送出する。

【 0 3 2 1 】

このとき C U パス符号化処理部 167 は、シグナルスイッチャ 164 から順次供給される 4 画素分の処理ビットプレーンデータ D21 と、これと対応する正負符号プレーンデータ D20、S I G プレーンデータ D22、R E F プレーンデータ D23 及び D O N E プレーンデータ D24 とを、それぞれ少なくとも過去 3 サンプル分だけ記憶保持し得るようになされている。

【 0 3 2 2 】

因みに、この場合も処理ビットプレーンデータ D21、R E F プレーンデータ D23 及び D O N E プレーンデータ D24 については 1 ワードが 1 サンプルに該当し、正負符号プレーンデータ D20 及び S I G プレーンデータ D22 については縦方向に並ぶ 2 ワードが 1 サンプルに該当する。

【 0 3 2 3 】

そして C U パス符号化処理部 167 は、シグナルスイッチャ 164 から次のサンプルの処理ビットプレーンデータ D21 等が与えられると、第 1 の実施の形態による符号化装置 40 (図 21) の C U パス符号化処理部 63 と同様にして、C U パス符号化処理又は S P パス符号化処理を実行し、そのとき得られたシンボル S B をシンボルデータ D26C として出力スイッチャ 64 に、コンテクスト C X をコンテクストデータ D27C として出力スイッチャ 64 にそれぞれ送出する一方、必要に応じて S I G プレーンデータ D22、R E F プレーンデータ D23 及び又は D O N E プレーンデータ D24 を更新し、さらにこれら更新した S I G プレーンデータ D22、R E F プレーンデータ D23 及び D O N E プレーンデータ D24 を S R A M 162、52B におけるもとのアドレス位置に書き戻す。

【 0 3 2 4 】

このようにしてこのビットモデル部 163 においては、C B M 処理時における正負符号プレーンデータ D20 及び S I G プレーンデータ D22 のアクセス単位 (1 ワード) の位相を処理ビットプレーン 22 上のストライプカラム 23A に対して 2 ビット分ずらすことによって、処理ビットプレーンデータ D21 の 1 ストライプカラム 23A を処理する際の正負符号プレーンバッファ 161 や S R A M 162 へのアクセス回数を低減させ得るようになされている。

【 0 3 2 5 】

(3 - 2) 第 2 の実施の形態による復号化装置 100 の E B C O T ブロック 170 の構成

図 30 との対応部分に同一符号を付して示す図 38 は、上述の J P E G 2000 規格に準拠した復号化装置 100 (図 29) に適用される第 2 の実施の形態による E B C O T ブロック 170 を示し、処理ビットプレーンデータ D22 のストライプカラム 23A に対して正負符号プレーンバッファ 171 又は S R A M 172 における正負符号プレーンデータ D20 及び S I G プレーンデータ D22 のワードの位相がずれている点を除いて第 1 の実

10

20

30

40

50

施の形態による復号化装置 100 の E B C O T ブロック 4101 とほぼ同様に構成されている。

【 0326 】

すなわちこの E B C O T ブロック 170 の場合、図 36 について上述した正負符号プレーンバッファ 161 (図 35) 及び S R A M 162 (図 35) と同様に、正負符号プレーンバッファ 171 における正負符号プレーンデータ D36 に対する記憶領域と、 S R A M 172 における S I G プレーンデータ D30 に対する記憶領域とが、それぞれ実際の正負符号プレーンデータ D36 又は S I G プレーンデータ D30 の記憶に使用する領域に対して上下方向にそれぞれ 2 ビット分ずつ拡張されており、処理ビットプレーン 22 上の 1 ストライプカラム 23A を構成する 4 画素に対して 2 ビット分だけ位相がずれた、縦方向に並ぶ 4 ビット分の正負符号プレーンデータ D36 又は S I G プレーンデータ D30 をそれぞれ 1 ワードとして、これらを 1 クロックで一括して読書きし得るようになされている。
10

【 0327 】

また図 39 に示すように、この E B C O T ブロック 170 のビットデモデル部 173 は、シグナルスイッチャ 174 の構成を除いて第 1 の実施の形態による復号化装置 101 のビットデモデル部 114 とほぼ同様に構成されている。

【 0328 】

実際に、シグナルスイッチャ 174 は、制御部 125 の制御のもとに、ビットプレーンバッファ 116A、116B (図 38) に記憶保持されている復号前又は一部が復号された処理ビットプレーンデータ D35 を、図 24 (A) に示す 1 ストライプカラム 23A を構成する 4 画素分を 1 ワードとして、ビットプレーン内スキャン順序に従ってビットプレーンバッファ 116A、116B から 1 ワードずつ順次読み出し、これをまず S P パス復号化処理部 175 に送出する。
20

【 0329 】

またシグナルスイッチャ 174 は、これと同期して、ビットプレーンバッファ 116A、116B から読み出された 4 画素分の処理ビットプレーンデータ D35 を S P パス復号化処理により復号する際に必要となる、当該 4 画素とそれぞれ同座標にある正負符号プレーン 30 上の 4 ビット及びその上下の各ビット (合わせて 6 ビット、図 24 (C) 参照) 分の復号前又は一部が復号された正負符号プレーンデータ D36 を正負符号プレーンバッファ 171 から順次読み出し、これを S P パス復号化処理部 175 に送出する。
30

【 0330 】

この際シグナルスイッチャ 174 は、かかるビットプレーンバッファ 116A、116B から読み出された 4 画素分の処理ビットプレーンデータ D35 を S P パス復号化処理する際に必要となる合計 6 ビットの正負符号プレーンデータ D36 に対して、実際には当該 4 画素とそれぞれ同座標にある正負符号プレーン 30 上の 4 ビットよりも上側に 2 ビットずれた 1 ワード (4 ビット) 分の正負符号プレーンデータ D36 と、下側に 2 ビットずれた 1 ワード (4 ビット) 分の正負符号プレーンデータ D36 とを正負符号プレーンバッファ 171 から 2 クロックかけて読み出し、これを S P パス復号化処理部 175 に送出することとなる。

【 0331 】

さらにシグナルスイッチャ 174 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D35 を S P パス復号化処理により復号する際に必要となる、当該 4 画素とそれぞれ同座標にある S I G プレーン 31 上の 4 ビット及その上下のビット (合わせて 6 ビット、図 24 (B) 参照) の S I G プレーンデータ D30 を S R A M 172 から順次読み出し、これを S P パス復号化処理部 175 に送出する。
40

【 0332 】

この場合においても、シグナルスイッチャ 174 は、かかるビットプレーンバッファ 116A、116B (図 38) から読み出された 4 画素分の処理ビットプレーンデータ D21 を S P パス復号化処理する際に必要となる合計 6 ビットの S I G プレーンデータ D30 に対して、実際には当該 4 画素とそれぞれ同座標にある S I G プレーン 31 上の 4 ビット
50

よりも上側に 2 ビットずれた 1 ワード (4 ビット) 分の SIG プレーンデータ D30 と、下側に 2 ビットずれた 1 ワード (4 ビット) 分の SIG プレーンデータ D30 とを SRA M172 から 2 クロックかけて読み出し、これを SP パス復号化処理部 175 に送出することとなる。

【0333】

さらにシグナルスイッチャ 174 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D35 を SP パス復号化処理により復号する際に必要となる、当該 4 画素とそれぞれ同座標にある REF プレーン 32 上の 4 ビット (図 24 (E) 参照) 分の REF プレーンデータ D31 と、当該 4 画素と同座標にある DONE プレーン 33 上の 4 ビット (図 24 (D) 参照) 分の DONE プレーンデータ D32 とを SRA M111B から順次読み出し、これを SP パス復号化処理部 175 に送出する。

10

【0334】

この場合 SRA M111B は、処理ビットプレーン 22 上の各ストライプカラム 23A とそれぞれ対応する 4 ビット分を単位 (1 ワード) として REF プレーンデータ D31 及び DONE プレーンデータ D32 を記憶しており、このワード単位で REF プレーンデータ D31 や DONE プレーンデータ D32 を読み書きし得るように構成されている。従って、シグナルスイッチャ 174 は、かかる 4 ビット分の REF プレーンデータ D31 又は DONE プレーンデータ D32 をそれぞれ 1 クロックで SRA M111B から読み出して SP パス復号化処理部 175 に送出することとなる。

【0335】

20

このとき SP パス復号化処理部 175 は、シグナルスイッチャ 174 から順次供給される 4 画素分の処理ビットプレーンデータ D35 と、これと対応する正負符号プレーンデータ D36、SIG プレーンデータ D30、REF プレーンデータ D31 及び DONE プレーンデータ D32 とを、それぞれ少なくとも過去 3 サンプル分だけ記憶保持し得るようになされている。

【0336】

因みに、ここでは処理ビットプレーンデータ D35、REF プレーンデータ D31 及び DONE プレーンデータ D32 については 1 ワードがそれぞれ 1 サンプルに該当し、正負符号プレーンデータ D36 及び SIG プレーンデータ D30 については縦方向に並ぶ 2 ワードがそれぞれ 1 サンプルに該当する。

30

【0337】

そして SP パス復号化処理部 175 は、算術復号化部 113 から 1 シンボル分のシンボルデータ D34 が与えられると、第 1 の実施の形態による復号化装置 101 (図 29) の SP パス復号化処理部 175 と同様にして、必要に応じて SP パス復号化処理を実行し、そのとき得られたコンテキスト CX を出力スイッチャ 124 を介してコンテキストデータ D33 として算術復号部 113 (図 38) に送出すると共に、これと併せて得られた復号された処理ビットプレーンデータ D35 及び復号された正負符号プレーンデータ D36 をそれぞれビットプレーンバッファ 116A、116B 又は正負符号バッファ 171 の対応する位置に格納する。さらに SP パス復号化処理部 175 は、必要に応じて SIG プレーンデータ D22、REF プレーンデータ D23 及び又は DONE プレーンデータ D24 を更新すると共に、これら更新した SIG プレーンデータ D22、REF プレーンデータ D23 及び DONE プレーンデータ D24 を SRA M172、52B におけるもとのアドレス位置に書き戻す。

40

【0338】

一方、算術復号化部 113 (図 38) は、ストリームバッファ 110A、110B から読み出した符号化データ D11 のうち、符号化装置 40 (図 21) において MR パス符号化処理することにより得られた符号化データ D11 に対して上述のような算術復号化演算処理を施すことにより得られたシンボルデータ D34 については MR パス復号化処理部 176 に送出する。

【0339】

50

このときシグナルスイッチャ174は、制御部125の制御のもとに、ビットプレーンバッファ116A、116Bに記憶保持されている先行するS Pバス復号化処理により一部が復号された処理ビットプレーンデータD35を、図24(A)に示す1ストライプカラム23Aを構成する4画素分を1ワードとして、ビットプレーン内スキャン順序に従ってビットプレーンバッファ116A、116Bから1ワード分ずつ順次読み出し、これをM Rバス復号化処理部176に送出する。

【0340】

またシグナルスイッチャ174は、これと同期して、ビットプレーンバッファ116A、116Bから読み出された4画素分の処理ビットプレーンデータD35をM Rバス復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にあるS I Gプレーン31上の4ビット及その上下のビット(合わせて6ビット、図24(B)参照)のS I GプレーンデータD30をS R A M 1 7 2から順次読み出し、これをM Rバス復号化処理部176に送出する。

【0341】

この際シグナルスイッチャ174は、かかる処理ビットプレーンバッファ51A、51Bから読み出された4画素分の処理ビットプレーンデータD21をM Rバス復号化処理する際に必要となる合計6ビット分のS I Gプレーンデータに対して、実際には当該4画素とそれぞれ同座標にあるS I Gプレーン上の4ビットよりも上側に2ビットずれた1ワード(4ビット)分のS I Gプレーンデータと、下側に2ビットずれた1ワード(4ビット)分のS I GプレーンデータとをS R A Mから2クロックかけて読み出し、これをM Rバス復号化処理部176に送出することとなる。

【0342】

さらにシグナルスイッチャ174は、これと同期して、かかる4画素分の処理ビットプレーンデータD35をM Rバス復号化処理する際に必要となる、当該4画素と同座標にあるR E Fプレーン32上の1ワード(図24(E)参照)分のR E FプレーンデータD31と、当該4画素と同座標にあるD O N Eプレーン33上の1ワード(図24(D)参照)分のD O N EプレーンデータD32とをS R A M 1 1 1 Bから順次読み出し、これをM Rバス復号化処理部176に送出する。

【0343】

このときM Rバス復号化処理部176は、シグナルスイッチャ174から順次供給される4画素分の処理ビットプレーンデータD35と、これと対応するS I GプレーンデータD30、R E FプレーンデータD31及びD O N EプレーンデータD32とを、それぞれ少なくとも過去3サンプル分だけ記憶保持し得るようになされている。

【0344】

因みに、この場合も処理ビットプレーンデータD35、R E FプレーンデータD31及びD O N EプレーンデータD32については1ワードがそれぞれ1サンプルに該当し、正負符号プレーンデータD D 3 6及びS I GプレーンデータD30については縦方向に並ぶ2ワード分が1サンプルに該当する。

【0345】

そしてM Rバス復号化処理部1176は、算術復号化部113(図38)から1シンボル分のシンボルデータD34が与えられると、第1の実施の形態による復号化装置101(図29)のM Rバス復号化処理部122(図31)と同様にして、必要に応じてM Rバス復号化処理を実行し、そのとき得られたコンテクストC Xを出力スイッチャ124を介してコンテクストデータD33として算術復号部113(図38)に送出すると共に、これと併せて得られた復号された処理ビットプレーンデータD35をビットプレーンバッファ116A、116Bの対応する位置に格納する。さらにM Rバス復号化処理部176は、必要に応じてS I GプレーンデータD30、R E FプレーンデータD31及び又はD O N EプレーンデータD32を更新すると共に、これら更新したS I GプレーンデータD30、R E FプレーンデータD31及びD O N EプレーンデータD32をS R A M 1 7 2、1 1 1 Bにおけるもとのアドレス位置に書き戻す。

10

20

30

40

50

【0346】

これと同様にして、算術復号化部113(図38)は、ストリームバッファ110A、110Bから読み出した符号化データD11のうち、符号化装置40(図21)においてCUバス符号化処理することにより得られた符号化データD11に対して所定の算術復号化演算処理を施すことにより得られたシンボルデータD34についてはCUバス復号化処理部177に送出する。

【0347】

このときシグナルスイッチャ174は、制御部125の制御のもとに、ビットプレーンバッファ116A、116Bに記憶保持されている先行するSPバス復号化処理及びMRバス復号化処理(トップビットプレーン22Tに対する復号化処理の場合を除く)により一部が復号された処理ビットプレーンデータD35を、図24(A)に示す1ストライプカラム23Aを構成する4画素分を1ワードとして、ビットプレーン内スキャン順序に従ってビットプレーンバッファ116A、116Bから1ワードずつ順次読み出し、これをCUバス復号化処理部177に送出する。

10

【0348】

またシグナルスイッチャ174は、これと同期して、ビットプレーンバッファ116A、116Bから読み出された4画素分の処理ビットプレーンデータD35をCUバス復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にある正負符号プレーン30上の4ビット及びその上下の各ビット(合わせて6ビット、図24(C)参照)分の復号前又は一部が復号された正負符号プレーンデータD36を正負符号プレーンバッファ171から順次読み出し、これをCUバス復号化処理部177に送出する。

20

【0349】

この際シグナルスイッチャ174は、かかるビットプレーンバッファ116A、116Bから読み出された4画素分の処理ビットプレーンデータD35をCUバス復号化処理する際に必要となる合計6ビットの正負符号プレーンデータD36に対して、実際には当該4画素とそれぞれ同座標にある正負符号プレーン30上の4ビットよりも上側に2ビットずれた1ワード(4ビット)分の正負符号プレーンデータD36と、下側に2ビットずれた1ワード(4ビット)分の正負符号プレーンデータD36とを正負符号プレーンバッファ171から2クロックかけて読み出し、これをCUバス復号化処理部177に送出することとなる。

30

【0350】

さらにシグナルスイッチャ174は、これと同期して、かかる4画素分の処理ビットプレーンデータD35をCUバス復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビット及その上下のビット(合わせて6ビット、図24(B)参照)のSIGプレーンデータD30をSRAM172から順次読み出し、これをCUバス復号化処理部177に送出する。

【0351】

この場合においても、シグナルスイッチャ174は、かかるビットプレーンバッファ116A、51Bから読み出された4画素分の処理ビットプレーンデータD35をCUバス復号化処理する際に必要となる合計6ビット分のSIGプレーンデータD30に対して、実際には当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビットよりも上側に2ビットずれた1ワード(4ビット)分のSIGプレーンデータD30と、下側に2ビットずれた1ワード(4ビット)分のSIGプレーンデータD30とをSRAM172から2クロックかけて読み出し、これをCUバス復号化処理部177に送出することとなる。

40

【0352】

さらにシグナルスイッチャ174は、これと同期して、かかる4画素分の処理ビットプレーンデータD35をCUバス復号化処理する際に必要となる、当該4画素とそれぞれ同座標にあるREFプレーン32上の1ワード(図24(E)参照)分のREFプレーンデータD31と、当該4画素と同座標にあるDONEプレーン33上の1ワード(図24(

50

D) 参照) 分の D O N E プレーンデータ D 3 2 とを S R A M 1 1 1 B から順次読み出し、これを C U パス復号化処理部 1 7 7 に送出する。

【 0 3 5 3 】

このとき C U パス復号化処理部 1 7 7 は、シグナルスイッチャ 1 7 4 から順次供給される 4 画素分の処理ビットプレーンデータ D 3 5 と、これと対応する正負符号プレーンデータ D 3 6 、 S I G プレーンデータ D 3 0 、 R E F プレーンデータ D 3 1 及び D O N E プレーンデータ D 3 2 とを、それぞれ少なくとも過去 3 サンプル分だけ記憶保持し得るようになされている。

【 0 3 5 4 】

因みに、この場合も処理ビットプレーンデータ D 3 5 、 R E F プレーンデータ D 3 1 及び D O N E プレーンデータ D 3 2 については 1 ワードがそれぞれ 1 サンプルに該当し、正負符号プレーンデータ D 3 6 及び S I G プレーンデータ D 3 0 については縦方向に並ぶ 2 ワード分が 1 サンプルに該当する。

【 0 3 5 5 】

そして C U パス復号化処理部 1 7 7 は、算術復号化部 1 1 3 (図 3 8) から 1 シンボル分のシンボルデータ D 3 4 が与えられると、第 1 の実施の形態による復号化装置 1 0 1 (図 2 9) の C U パス復号化処理部 1 2 3 (図 3 1) と同様にして、必要に応じて C U パス復号化処理又は S P パス復号化処理を実行し、そのとき得られたコンテクスト C X を出力スイッチャ 1 2 4 を介してコンテクストデータ D 3 3 として算術復号部 1 1 3 (図 3 8) に送出すると共に、これと併せて得られた復号された処理ビットプレーンデータ D 3 5 及び復号された正負符号プレーンデータ D 3 6 をそれぞれビットプレーンバッファ 1 1 6 A 、 1 1 6 B 又は正負符号バッファ 1 7 1 の対応する位置に格納する。さらに C U パス復号化処理部 1 7 7 は、必要に応じて S I G プレーンデータ D 3 0 、 R E F プレーンデータ D 3 1 及び又は D O N E プレーンデータ D 3 2 を更新すると共に、これら更新した S I G プレーンデータ D 3 0 、 R E F プレーンデータ D 3 1 及び D O N E プレーンデータ D 3 2 を S R A M 1 7 2 、 5 2 B におけるもとのアドレス位置に書き戻す。

【 0 3 5 6 】

このようにしてこのビットモデル部 1 7 3 においても、 C B M 処理時における正負符号プレーンデータ及び S I G プレーンデータのアクセス単位 (1 ワード) の位相を処理ビットプレーン 2 2 上のストライプカラムに対して 2 ビット分ずらすことによって、処理ビットプレーンデータ D 3 5 の 1 ストライプカラム 2 3 A を処理する際のメモリアクセス回数を低減させ得るようになされている。

【 0 3 5 7 】

(3 - 3) 第 2 の実施の形態の動作及び効果

以上の構成において、本実施の形態によるビットモデル部 1 6 3 及びビットモデル部 1 7 3 では、処理ビットプレーン 2 2 上のストライプカラム 2 A を構成する 4 画素を単位として C B M 処理を行うと共に、このとき正負符号プレーンデータ D 2 0 、 D 3 6 及び S I G プレーンデータ D 2 2 、 D 3 0 については、ストライプカラム 2 3 A に対して縦方向に 2 ビットずれた 4 ビットをアクセス単位 (1 ワード) として、正負符号プレーンバッファ 1 6 1 、 1 7 1 又は S R A M 1 6 2 、 1 7 2 から読み出す。

【 0 3 5 8 】

従って、図 2 5 及び図 3 6 を見比べてみても明らかのように、 1 ストライプカラム 2 3 A 分の処理ビットプレーンデータ D 2 1 、 D 3 5 を C B M 処理するに際して、第 1 の実施の形態のビットモデル部 5 4 及びビットモデル部 1 1 4 によれば、 9 ワード分の正負符号プレーンデータ D 2 0 、 D 3 6 や S I G プレーンデータ D 2 2 、 D 3 0 の読み出し (メモリアクセス) が必要であったのに対し、この第 2 の実施の形態のビットモデル部 1 6 3 及びビットモデル部 1 7 3 によれば、 6 ワード分の正負符号プレーンデータ D 2 0 、 D 3 6 や S I G プレーンデータ D 2 2 、 D 3 0 の読み出し (メモリアクセス) で足りることとなり、より一層と C B M 処理時における正負符号プレーンバッファ 5 0 、 1 1 5 や S R A M 5 2 A 、 1 1 1 A に対するアクセス回数を格段的に低減させることができる。

10

20

30

40

50

【0359】

実際上、例えば 64×64 サイズのビットプレーン22を処理する際にメモリからSIGブレーンデータD22、D30を読み出す回数を計算すると、第1の実施の形態の手法の場合、上述のようにオーバラップ読み出し構成のときには8740回、更新部分限定読み出し構成のときには2944回のメモリアクセスが必要となるのに対し、本実施の形態の手法によれば、オーバラップ読み出し構成のときには6080回、本実施の形態のように更新部分限定読み出し構成のときには2048回のメモリアクセスで足りる。

【0360】

よって、かかるJPEG2000規格に準拠した符号化装置40及び復号化装置100におけるビットモデル部163又はビットデモデル部173の構成として上述のような第2の実施の形態の構成を採用することによって、これらビットモデル部163又はビットデモデル部173におけるCBM処理のより一層の高速化を図ることができ、またこれに伴ってビットモデル部163又はビットデモデル部173の低消費電力化を図ることもできる。

10

【0361】

以上の構成によれば、処理ビットプレーン22上のストライプカラム23Aを構成する4画素を単位としてCBM処理すると共に、このとき正負符号ブレーンデータD20、D36及びSIGブレーンデータD22、D30については、ストライプカラム23Aに対して縦方向に2ビットずれた4ビットをアクセス単位(1ワード)として、正負符号ブレーンバッファ161、171又はSRAM162、172から読み出すようにしたことにより、第1の実施の形態に比してより一層とCBM処理時における正負符号ブレーンバッファ50、115やSRAM52A、111Aに対するアクセス回数を格段的に低減させることができ、かくして符号化処理又は復号化処理をより一層と高速化させ得る符号化装置及び復号化装置を実現できる。

20

【0362】

(4) 第3の実施の形態

(4-1) 第3の実施の形態による符号化装置40のEBCOTブロックの構成

図35との対応部分に同一符号を付して示す図40は、図21について上述のJPEG2000規格に準拠した符号化装置40に適用される第3の実施の形態によるEBCOTブロック180を示し、2ワード分の正負符号ブレーンデータD20及びSIGブレーンデータD22を1クロックで読み出し得るようになされた点を除いて第2の実施の形態によるEBCOTブロック160(図35)と同様に構成されている。

30

【0363】

すなわちこのEBCOTブロック180の場合、2つの正負符号ブレーンバッファ181A、181Bが設けられており、ビットブレーン内スキャン順序に従ってDRAM41(図21)から読み出した正負符号ブレーンデータD20のうち、図42に示すように、正負符号ブレーン30をストライプ単位で順次交互に分けた場合における一方のグループに属する正負符号ブレーンデータD20を一方の正負符号ブレーンバッファ(以下、これを第1の正負符号ブレーンバッファと呼ぶ)181Aに記憶保持すると共に、他方のグループに属する正負符号ブレーンデータD20を他方の正負符号ブレーンバッファ(以下、これを第2の正負符号ブレーンバッファと呼ぶ)181Bに記憶保持するようになされている。

40

【0364】

このときこれら第1及び第2の正負符号ブレーンバッファ181A、181Bは、図36について上述したのと同様に、それぞれ自己に割り当てられた正負符号ブレーンデータD20に対する記憶領域が、実際の正負符号ブレーンデータD20の記憶に使用する領域に対して上下方向にそれぞれ2ビット分ずつ拡張されており、処理ビットブレーン22上の1ストライプカラム23Aを構成する4画素に対して2ビット分だけ位相がずれた縦方向に並ぶ4ビット分の正負符号ブレーンデータD20を1ワードとして、これらを1クロックで一括して読み書きし得るようになされている。

50

【0365】

またこのEBCOT ブロック 180 では、SIG プレーンデータ D22 を記憶保持する SRAM 182A、182B も 2 つ設けられており、SIG プレーンデータ D22 のうち SIG プレーン 31 を図 41 のようにストライプ単位で順次交互に分けた場合における一方のグループに属する SIG プレーンデータ D22 を一方の SRAM (以下、これを第 1 の SRAM と呼ぶ) 182A に記憶保持すると共に、他方のグループに属する SIG プレーンデータ D22 を他方の SRAM (以下、これを第 2 の SRAM と呼ぶ) 182B に記憶保持するようになされている。

【0366】

このときこれら第 1 及び第 2 の SRAM 182A、182B の場合も、図 36 について 10 上述したのと同様に、それぞれ自己に割り当てられた SIG プレーンデータ D22 に対する記憶領域が、実際の SIG プレーンデータ D22 の記憶に使用する領域に対して上下方向にそれぞれ 2 ビット分ずつ拡張されており、処理ビットプレーン 22 上の 1 ストライプカラム 23A を構成する 4 画素に対して 2 ビット分だけ位相がずれた縦方向に並ぶ 4 ビット分の SIG プレーンデータ D22 を 1 ワードとして、これらを 1 クロックで一括して読書きし得るようになされている。

【0367】

一方、図 37 との対応部分に同一符号を付した図 42 に示すように、このEBCOT ブロック 180 のビットモデル部 183 は、シグナルスイッチャ 184 の構成を除いて第 2 の実施の形態による符号化装置 40 (図 21) のビットモデル部 163 と同様に構成されている。

【0368】

そしてシグナルスイッチャ 184 は、トップビットプレーン 22T 以外の処理ビットプレーン 22 に対する CBM 処理時、制御部 65 の制御のもとに、処理ビットプレーンデータ D21 を、図 24 (A) に示す 1 ストライプカラム 23A を構成する 4 画素分を 1 ワードとして、ビットプレーン内スキャン順序に従って処理ビットプレーンバッファ 51A、51B から 1 ワードずつ順次読み出し、これをまず SP パス符号化処理部 165 に送出する。

【0369】

またシグナルスイッチャ 184 は、これと同期して、処理ビットプレーンバッファ 51A、51B から読み出された 4 画素分の処理ビットプレーンデータ D21 に対して SP パス符号化処理する際に必要となる、当該 4 画素とそれぞれ同座標にある正負符号プレーン 30 上の 4 ビット及びその上下の各ビット (合わせて 6 ビット、図 24 (C) 参照) の正負符号プレーンデータ D20 を第 1 及び第 2 の正負符号プレーンバッファ 181A、181B から順次読み出し、これを SP パス符号化処理部 165 に送出する。

【0370】

この際シグナルスイッチャ 184 は、かかる処理ビットプレーンバッファ 51A、51B から読み出された 4 画素分の処理ビットプレーンデータ D21 を SP パス符号化処理する際に必要となる合計 6 ビットの正負符号プレーンデータに対して、実際には当該 4 画素とそれぞれ同座標にある正負符号プレーン 30 上の 4 ビットよりも上側に 2 ビットずれた 1 ワード (4 ビット) 分の正負符号プレーンデータ D20 と、下側に 2 ビットずれた 1 ワード (4 ビット) 分の正負符号プレーンデータ D20 とをそれぞれ対応する第 1 又は第 2 の正負符号プレーンバッファ 181A、181B から同時に 1 クロックで読み出し、これを SP パス符号化処理部 165 に送出することとなる。

【0371】

さらにシグナルスイッチャ 184 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D21 を SP パス符号化処理する際に必要となる、当該 4 画素とそれぞれ同座標にある SIG プレーン 31 上の 4 ビット及びその上下の各ビット (合計 6 ビット、図 24 (B) 参照) 分の SIG プレーンデータ D22 を第 1 及び第 2 の SRAM 182A、182B から順次読み出し、これを SP パス符号化処理部 165 に送出する。

10

20

30

40

50

【0372】

この場合においても、シグナルスイッチャ184は、かかる処理ビットプレーンバッファ51A、51Bから読み出された4画素分の処理ビットプレーンデータD21をSPバス符号化処理する際に必要となる合計6ビットのSIGプレーンデータD22に対して、実際には当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビットよりも上側に2ビットずれた1ワード(4ビット)分のSIGプレーンデータD22と、下側に2ビットずれた1ワード(4ビット)分のSIGプレーンデータD22とをそれぞれ対応する第1又は第2のSRAM182A、182Bから同時に1クロックで読み出し、これをSPバス符号化処理部165に送出することとなる。

【0373】

10

さらにシグナルスイッチャ184は、これと同期して、かかる4画素分の処理ビットプレーンデータD21をSPバス符号化処理する際に必要となる、当該4画素とそれぞれ同座標にあるREFプレーン32上の1ワード(図24(E)参照)分のREFプレーンデータD23と、当該4画素と同座標にあるDONEプレーン33上の1ワード(図24(D)参照)分のDONEプレーンデータD24とを、第2の実施の形態のシグナルスイッチャ164(図37)と同様にしてSRAM52Bから順次読み出し、これをSPバス符号化処理部165に送出する。

【0374】

かくしてビットモデル部183では、この後SPバス符号化処理部165において、第2の実施の形態と同様にしてSPバス符号化処理が必要に応じて行われ、そのとき得られたシンボルSBがシンボルデータD26Sとして出力スイッチャ64に、コンテクストCXがコンテクストデータとして出力スイッチャにそれぞれ送出される。また必要に応じてSIGプレーンデータD22、REFプレーンデータD23及び又はDONEプレーンデータD24が更新され、さらにこれら更新されたSIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24が第1若しくは第2のSRAM182A、182B又はSRAM52Bにおけるもとのアドレス位置に書き戻される。

20

【0375】

一方、シグナルスイッチャ184は、このようにして処理ビットプレーンバッファ51A、51Bに格納された1ビットプレーン分のデータ(処理ビットプレーンデータD21)に対するSPバス符号化処理を終了すると、この後これと同様にして、制御部65の制御のもとに、同じ処理ビットプレーンデータD21を、図24(A)に示す1ストライプカラム23Aを構成する4画素分を1ワードとして、ビットプレーン内スキャン順序に従って処理ビットプレーンバッファ51A、51Bから1ワードずつ順次読み出し、これをMRバス符号化処理部166に送出する。

30

【0376】

またシグナルスイッチャ184は、これと同期して、処理ビットプレーンバッファ51A、51Bから読み出された4画素分の処理ビットプレーンデータD21に対してMRバス符号化処理する際に必要となる、当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビット及びその上下の各ビット(合わせて6ビット、図24(B)参照)のSIGプレーンデータD22を第1及び第2のSRAM182A、182Bから順次読み出し、これをMRバス符号化処理部166に送出する。

40

【0377】

この際シグナルスイッチャ184は、かかる合計6ビットのSIGプレーンデータD22に対して、実際には当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビットよりも上側に2ビットずれた1ワード(4ビット)分のSIGプレーンデータD22と、下側に2ビットずれた1ワード(4ビット)分のSIGプレーンデータD22とをそれぞれ対応する第1又は第2のSRAM182A、182Bから同時に1クロックで読み出し、これをMRバス符号化処理部166に送出することとなる。

【0378】

さらにシグナルスイッチャ184は、これと同期して、かかる4画素分の処理ビット

50

レーンデータD21をMRバス符号化処理する際に必要となる、当該4画素とそれぞれ同座標にあるREFプレーン32上の1ワード(図24(E)参照)分のREFプレーンデータD23と、当該4画素と同座標にあるDONEプレーン33上の1ワード(図22(D)参照)分のDONEプレーンデータD24とを、第2の実施の形態のシグナルスイッチャ164(図37)と同様にしてSRAM52Bから順次読み出し、これをMRバス符号化処理部166に送出する。

【0379】

かくしてビットモデル部183では、この後MRバス符号化処理部166において、第2の実施の形態と同様にしてMRバス符号化処理が必要に応じて行われ、そのとき得られたシンボルSBがシンボルデータD26Sとして出力スイッチャ64に、コンテクストCXがコンテクストデータとして出力スイッチャにそれぞれ送出される。また必要に応じてSIGプレーンデータD22、REFプレーンデータD23及び又はDONEプレーンデータD24が更新され、さらにこれら更新されたSIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24が第1若しくは第2のSRAM182A、182B又はSRAM52Bにおけるもとのアドレス位置に書き戻される。

10

【0380】

他方、シグナルスイッチャ184は、このようにして処理ビットプレーンバッファ51A、51Bに格納された1ビットプレーン分のデータ(処理ビットプレーンデータD21)に対するMRバス符号化処理を終了すると、この後これと同様にして、制御部65の制御のもとに、同じ処理ビットプレーンデータD21をビットプレーン内スキャン順序に従って処理ビットプレーンバッファ51A、51Bから1ワードずつ順次読み出し、これをCUバス符号化処理部167に送出する。

20

【0381】

またシグナルスイッチャ184は、これと同期して、処理ビットプレーンバッファ51A、51Bから読み出された4画素分の処理ビットプレーンデータD21に対してCUバス符号化処理する際に必要となる、当該4画素とそれぞれ同座標にある正負符号プレーン30上の4ビット及びその上下の各ビット(合わせて6ビット、図24(C)参照)分の正負符号プレーンデータD20を第1及び第2の正負符号プレーンバッファ181A、181Bから順次読み出し、これをCUバス符号化処理部167に送出する。

30

【0382】

この際シグナルスイッチャ184は、上述のSPバス符号化処理部165と同様に、かかる合計6ビットの正負符号プレーンデータD20に対して、実際には当該4画素とそれぞれ同座標にある正負符号プレーン30上の4ビットよりも上側に2ビットずれた1ワード(4ビット)分の正負符号プレーンデータD20と、下側に2ビットずれた1ワード(4ビット)分の正負符号プレーンデータD20とをそれぞれ対応する第1又は第2の正負符号プレーンバッファ181A、181Bから同時に1クロックで読み出し、これをCUバス符号化処理部167に送出することとなる。

【0383】

さらにシグナルスイッチャ184は、これと同期して、かかる4画素分の処理ビットプレーンデータD21をCUバス符号化処理する際に必要となる、当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビット及びその上下の各ビット(合計6ビット、図24(B)参照)分のSIGプレーンデータD22を第1及び第2のSRAM182A、182Bから順次読み出し、これをCUバス符号化処理部167に送出する。

40

【0384】

この場合においても、シグナルスイッチャ184は、かかる合計6ビット分のSIGプレーンデータD22に対して、実際には当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビットよりも上側に2ビットずれた1ワード(4ビット)分のSIGプレーンデータD22と、下側に2ビットずれた1ワード(4ビット)分のSIGプレーンデータD22とをそれぞれ対応する第1又は第2のSRAM182A、182Bから同時に1クロックで読み出し、これをCUバス符号化処理部167に送出することとなる。

50

【0385】

さらにシグナルスイッチャ185は、これと同期して、かかる4画素分の処理ビットブレーンデータD21をCUバス符号化処理する際に必要となる、当該4画素とそれぞれ同座標にあるREFブレーン32上の1ワード(図24(E)参照)分のREFブレーンデータD23と、当該4画素と同座標にあるDONEブレーン33上の1ワード(図24(D)参照)分のDONEブレーンデータD24とを第2の実施の形態のシグナルスイッチャ164(図37)と同様にしてSRAM52Bから読み出し、これをCUバス符号化処理部167に送出する。

【0386】

かくしてビットモデル部183では、この後CUバス符号化処理部167において、第2の実施の形態と同様にしてCUバス符号化処理又はSPバス符号化処理が必要に応じて行われ、そのとき得られたシンボルSBがシンボルデータD26Sとして出力スイッチャ64に、コンテクストCXがコンテクストデータとして出力スイッチャにそれぞれ送出される。また必要に応じてSIGブレーンデータD22、REFブレーンデータD23及び又はDONEブレーンデータD24が更新され、さらにこれら更新されたSIGブレーンデータD22、REFブレーンデータD23及びDONEブレーンデータD24が第1若しくは第2のSRAM52A又はSRAM52Bにおけるもとのアドレス位置に書き戻される。

【0387】

このようにしてこのビットモデル部183においては、正負符号ブレーンデータD20を記憶保持するためのメモリとして2つの第1及び第2の正負符号ブレーンバッファ181A、181Bを設けると共に、SIGブレーンデータD22を記憶保持するためのメモリとして2つの第1及び第2のSRAM182A、182Bを設けることによって、処理ビットブレーンデータD21の1ストライプカラム23Aを処理する際のメモリアクセス回数をより一層と低減させ得るようになされている。

【0388】

(4-2)第3の実施の形態による復号化装置100のEBCOTブロック190の構成

図38との対応部分に同一符号を付して示す図43は、図29について上述のJPEG2000規格に準拠した復号化装置100に適用される第3の実施の形態によるEBCOTブロック190を示し、2ワード分の正負符号ブレーンデータD36及びSIGブレーンデータD30を1クロックで読み出し得るようになされた点を除いて第2の実施の形態による復号化装置100(図29)のEBCOTブロック170(図37)と同様に構成されている。

【0389】

すなわちこのEBCOTブロック190の場合、2つの正負符号ブレーンバッファ191A、191Bが設けられており、復号した正負符号ブレーンデータD36のうち、正負符号ブレーン30を図41のようにストライプ単位で順次交互に分けた場合における一方のグループに属する正負符号ブレーンデータD36を一方の正負符号ブレーンバッファ(以下、これを第1の正負符号ブレーンバッファと呼ぶ)191Aに記憶保持すると共に、他方のグループに属する正負符号ブレーンデータD36を他方の正負符号ブレーンバッファ(以下、これを第2の正負符号ブレーンバッファと呼ぶ)191Bに記憶保持するようになされている。

【0390】

このときこれら第1及び第2の正負符号ブレーンバッファ191A、191Bは、図36について上述したのと同様に、それぞれ自己に割り当てられた正負符号ブレーンデータD36に対する記憶領域が、実際の正負符号ブレーンデータD36の記憶に使用する領域に対して上下方向にそれぞれ2ビット分ずつ拡張されており、処理ビットブレーン22上の1ストライプカラム23Aを構成する4画素に対して2ビット分だけ位相がずれた縦方向に並ぶ4ビット分の正負符号ブレーンデータD36を1ワードとして、これらを1クロックで一括して読み書きし得るようになされている。

10

20

30

40

50

【0391】

またこのEBCOT ブロック 190 では、SIG プレーンデータ D30 を記憶保持するための 2 つの SRAM 192A、192B が設けられており、SIG プレーンデータ D30 のうち SIG プレーン 31 を図 41 のようにストライプ単位で順次交互に分けた場合における一方のグループに属する SIG プレーンデータ D30 を一方の SRAM (以下、これを第 1 の SRAM と呼ぶ) 192A に記憶保持すると共に、他方のグループに属する SIG プレーンデータ D30 を他方の SRAM (以下、これを第 2 の SRAM と呼ぶ) 192B に記憶保持するようになされている。

【0392】

このときこれら第 1 及び第 2 の SRAM 192A、192B の場合も、図 36 について 10 上述したのと同様に、それぞれ自己に割り当てられた SIG プレーンデータ D30 に対する記憶領域が、実際の SIG プレーンデータ D30 の記憶に使用する領域に対して上下方向にそれぞれ 2 ビット分ずつ拡張されており、処理ビットプレーン 22 上の 1 ストライプカラム 23A を構成する 4 画素に対して 2 ビット分だけ位相がずれた縦方向に並ぶ 4 ビット分の SIG プレーンデータ D30 を 1 ワードとして、これらを 1 クロックで一括して読書きし得るようになされている。

【0393】

一方、図 39 との対応部分に同一符号を付した図 44 に示すように、このEBCOT ブロック 190 のビットモデル部 193 は、シグナルスイッチャ 194 の構成を除いて第 2 の実施の形態による復号化装置 100 (図 29) のビットモデル部 173 (図 39) 20 と同様に構成されている。

【0394】

そしてシグナルスイッチャ 194 は、制御部 125 の制御のもとに、ビットプレーンバッファ 116A、116B に記憶保持されている復号前又は一部が復号された処理ビットプレーンデータ D35 を、図 24 (A) に示す 1 ストライプカラム 23A を構成する 4 画素分を 1 ワードとして、ビットプレーン内スキャン順序に従ってビットプレーンバッファ 116A、116B から 1 ワードずつ順次読み出し、これをまず SP パス復号化処理部 175 に送出する。

【0395】

またシグナルスイッチャ 194 は、これと同期して、ビットプレーンバッファ 116A、116B から読み出された 4 画素分の処理ビットプレーンデータ D35 を SP パス復号化処理により復号する際に必要となる、当該 4 画素とそれぞれ同座標にある正負符号プレーン 30 上の 4 ビット及びその上下の各ビット (合わせて 6 ビット、図 24 (C) 参照) 分の復号前又は一部が復号された正負符号プレーンデータ D36 を第 1 及び第 2 の正負符号プレーンバッファ 191A、191B から順次読み出し、これを SP パス復号化処理部 175 に送出する。 30

【0396】

この際シグナルスイッチャ 194 は、上述のように処理ビットプレーン 22 のストライプカラム 23A に対して正負符号プレーン 30 上において縦方向に 2 ビットだけ位相がずれた縦 4 ビット分の正負符号プレーンデータ D36 をアクセス単位 (1 ワード) としているため、かかる合計 6 ビットの正負符号プレーンデータ D36 に対して、実際には当該 4 画素とそれぞれ同座標にある正負符号プレーン 30 上の 4 ビットよりも上側に 2 ビットずれた 1 ワード (4 ビット) 分の正負符号プレーンデータ D36 と、下側に 2 ビットずれた 1 ワード (4 ビット) 分の正負符号プレーンデータ D36 とをそれぞれ対応する第 1 又は第 2 の正負符号プレーンバッファ 191A、191B から同時に 1 クロックで読み出し、これを SP パス復号化処理部 175 に送出することとなる。 40

【0397】

さらにシグナルスイッチャ 194 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D35 を SP パス復号化処理により復号する際に必要となる、当該 4 画素とそれぞれ同座標にある SIG プレーン 31 上の 4 ビット及ぼその上下のビット (合わせて 6 50

ビット、図24(B)参照)のSIGプレーンデータD30を第1及び第2のSRAM192A、192Bから順次読み出し、これをSPバス復号化処理部175に送出する。

【0398】

この場合においても、シグナルスイッチャ194は、かかる処理ビットプレーンバッファ51A、51Bから読み出された4画素分の処理ビットプレーンデータD21をSPバス復号化処理する際に必要となる合計6ビットのSIGプレーンデータD30に対して、実際には当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビットよりも上側に2ビットずれた1ワード(4ビット)分のSIGプレーンデータD30と、下側に2ビットずれた1ワード(4ビット)分のSIGプレーンデータD30とをそれぞれ対応する第1又は第2のSRAM192A、192Bから同時に1クロックで読み出し、これをSPバス復号化処理部175に送出することとなる。 10

【0399】

さらにシグナルスイッチャ194は、これと同期して、かかる4画素分の処理ビットプレーンデータD35をSPバス復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にあるREFプレーン32上の1ワード(図24(E)参照)分のREFプレーンデータD31と、当該4画素と同座標にあるDONEプレーン33上の1ワード(図24(D)参照)分のDONEプレーンデータD32とを、第2の実施の形態のシグナルスイッチャ174(図39)と同様にしてSRAM111Bから順次読み出し、これをSPバス復号化処理部175に送出する。 20

【0400】

かくしてビットモデル部93では、この後SPバス復号化処理部175において、第2の実施の形態と同様にしてSPバス復号化処理が必要に応じて行われ、そのとき得られたコンテクストCXが出力スイッチャ124を介してコンテクストデータD33として算術復号部113(図43)に送出され、これと併せて得られた復号された処理ビットプレーンデータD35及び復号された正負符号プレーンデータD36がそれぞれビットプレーンバッファ116A、116B又は第1若しくは第2の正負符号バッファ191A、191Bの対応する位置に格納される。また必要に応じてSIGプレーンデータD30、REFプレーンデータD31及び又はDONEプレーンデータD32が更新され、さらにこれら更新されたSIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32が第1若しくは第2のSRAM192A、192B又はSRAM111Bにおけるもとのアドレス位置に書き戻される。 30

【0401】

一方、算術復号部113(図43)は、ストリームバッファ110A、110Bから読み出した符号化データD11のうち、符号化装置40(図21)においてMRバス符号化処理することにより得られた符号化データD11に対して上述のような算術復号化演算処理を施すことにより得られたシンボルデータD34についてはMRバス復号化処理部176に送出する。

【0402】

このときシグナルスイッチャ194は、制御部125の制御のもとに、ビットプレーンバッファ116A、116Bに記憶保持されている先行するSPバス復号化処理により一部が復号された処理ビットプレーンデータD35を、図24(A)に示す1ストライプカラム23Aを構成する4画素分を1ワードとして、ビットプレーン内スキャン順序に従つてビットプレーンバッファ116A、116Bから1ワード分ずつ順次読み出し、これをMRバス復号化処理部176に送出する。 40

【0403】

またシグナルスイッチャ194は、これと同期して、ビットプレーンバッファ116A、116Bから読み出された4画素分の処理ビットプレーンデータD35をMRバス復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビット及その上下のビット(合わせて6ビット、図24(B)参照)のSIGプレーンデータD30を第1及び第2のSRAM192A、192Bから順次読み出し 50

、これをM R パス復号化処理部 1 7 6 に送出する。

【 0 4 0 4 】

この際シグナルスイッチャ 1 9 4 は、上述の S P パス復号化処理部 1 7 5 の場合と同様に、かかるビットプレーンバッファ 1 1 6 A、1 1 6 B から読み出された 4 画素分の処理ビットプレーンデータ D 3 5 を M R パス復号化処理する際に必要となる合計 6 ビット分の S I G プレーンデータ D 3 0 に対して、実際には当該 4 画素とそれぞれ同座標にある S I G プレーン 3 1 上の 4 ビットよりも上側に 2 ビットずれた 1 ワード (4 ビット) 分の S I G プレーンデータ D 3 0 と、下側に 2 ビットずれた 1 ワード (4 ビット) 分の S I G プレーンデータ D 3 0 とをそれぞれ対応する第 1 又は第 2 の S R A M 1 9 2 A、1 9 2 B から同時に 1 クロックで読み出し、これを M R パス復号化処理部 1 7 6 に送出することとなる 10 。

【 0 4 0 5 】

さらにシグナルスイッチャ 1 9 4 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D 3 5 を M R パス復号化処理する際に必要となる、当該 4 画素と同座標にある R E F プレーン 3 2 上の 1 ワード (図 2 4 (E) 参照) 分の R E F プレーンデータ D 3 1 と、当該 4 画素と同座標にある D O N E プレーン 3 3 上の 1 ワード (図 2 4 (D) 参照) 分の D O N E プレーンデータ D 3 2 とを、第 2 の実施の形態のシグナルスイッチャ 1 7 4 (図 3 9) と同様にして S R A M 1 1 1 B から順次読み出し、これを M R パス復号化処理部 1 7 6 に送出する。

【 0 4 0 6 】

かくしてビットデモデル部 1 9 3 では、この後 M R パス復号化処理部 1 2 1 において、第 2 の実施の形態と同様にして S P パス復号化処理が必要に応じて行われ、そのとき得られたコンテクスト C X が出力スイッチャ 1 2 4 を介してコンテクストデータ D 3 3 として算術復号部 1 1 3 (図 4 3) に送出され、これと併せて得られた復号された処理ビットプレーンデータ D 3 5 及び復号された正負符号プレーンデータ D 3 6 がそれぞれビットプレーンバッファ 1 1 6 A、1 1 6 B 又は第 1 若しくは第 2 の正負符号バッファ 1 9 1 A、1 9 1 B の対応する位置に格納される。また必要に応じて S I G プレーンデータ D 3 0 、 R E F プレーンデータ D 3 1 及び又は D O N E プレーンデータ D 3 2 が更新され、さらにこれら更新された S I G プレーンデータ D 3 0 、 R E F プレーンデータ D 3 1 及び D O N E プレーンデータ D 3 2 が第 1 若しくは第 2 の S R A M 1 9 2 A、1 9 2 B 又は S R A M 1 1 1 B におけるもとのアドレス位置に書き戻される。 30

【 0 4 0 7 】

これと同様にして、算術復号部 1 1 3 (図 4 3) は、ストリームバッファ 1 1 0 A、1 1 0 B から読み出した符号化データ D 1 1 のうち、符号化装置 4 0 (図 2 1) において C U パス符号化処理することにより得られた符号化データ D 1 1 に対して所定の算術復号化演算処理を施すことにより得られたシンボルデータ D 3 4 については C U パス復号化処理部 1 7 7 に送出する。

【 0 4 0 8 】

このときシグナルスイッチャ 1 9 4 は、制御部 1 2 5 の制御のもとに、ビットプレーンバッファ 1 1 6 A、1 1 6 B に記憶保持されている先行する S P パス復号化処理及び M R パス復号化処理 (トップビットプレーン 2 2 T に対する復号化処理の場合を除く) により一部が復号された処理ビットプレーンデータ D 3 5 を、図 2 4 (A) に示す 1 ストライプカラム 2 3 A を構成する 4 画素分を 1 ワードとして、ビットプレーン内スキャン順序に従ってビットプレーンバッファ 1 1 6 A、1 1 6 B から 1 ワードずつ順次読み出し、これを C U パス復号化処理部 1 7 7 に送出する。 40

【 0 4 0 9 】

またシグナルスイッチャ 1 9 4 は、これと同期して、ビットプレーンバッファ 1 1 6 A、1 1 6 B から読み出された 4 画素分の処理ビットプレーンデータ D 3 5 を C U パス復号化処理により復号する際に必要となる、当該 4 画素とそれぞれ同座標にある正負符号プレーン 3 0 上の 4 ビット及びその上下の各ビット (合わせて 6 ビット、図 2 4 (C) 参照) 50

分の復号前又は一部が復号された正負符号プレーンデータ D 3 6 を第 1 及び第 2 の正負符号プレーンバッファ 1 9 1 A、1 9 1 B から順次読み出し、これを C U パス復号化処理部 1 7 7 に送出する。

【 0 4 1 0 】

この際シグナルスイッチャ 1 9 4 は、上述の S P パス復号化処理部 1 7 5 の場合と同様に、かかる処理ビットプレーンバッファ 5 1 A、5 1 B から読み出された 4 画素分の処理ビットプレーンデータ D 3 5 を C U パス復号化処理する際に必要となる合計 6 ビットの正負符号プレーンデータ D 3 6 に対して、実際には当該 4 画素とそれぞれ同座標にある正負符号プレーン上の 4 ビットよりも上側に 2 ビットずれた 1 ワード (4 ビット) 分の正負符号プレーンデータ D 3 6 と、下側に 2 ビットずれた 1 ワード (4 ビット) 分の正負符号プレーンデータ D 3 6 とをそれぞれ対応する第 1 又は第 2 の正負符号プレーンバッファ 1 9 1 A、1 9 1 B から同時に 1 クロックで読み出し、これを C U パス復号化処理部 1 7 7 に送出することとなる。

【 0 4 1 1 】

さらにシグナルスイッチャ 1 9 4 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D 3 5 を C U パス復号化処理により復号する際に必要となる、当該 4 画素とそれぞれ同座標にある S I G プレーン 3 1 上の 4 ビット及その上下のビット (合わせて 6 ビット、図 2 4 (B) 参照) の S I G プレーンデータ D 3 0 を第 1 及び第 2 の S R A M 1 9 2 A、1 9 2 B から順次読み出し、これを C U パス復号化処理部 1 7 7 に送出する。

【 0 4 1 2 】

この場合においても、シグナルスイッチャ 1 9 4 は、かかる処理ビットプレーンバッファ 5 1 A、5 1 B から読み出された 4 画素分の処理ビットプレーンデータ D 3 5 を C U パス復号化処理する際に必要となる合計 6 ビット分の S I G プレーンデータ D 3 0 に対して、実際には当該 4 画素とそれぞれ同座標にある S I G プレーン 3 0 上の 4 ビットよりも上側に 2 ビットずれた 1 ワード (4 ビット) 分の S I G プレーンデータ D 3 0 と、下側に 2 ビットずれた 1 ワード (4 ビット) 分の S I G プレーンデータ D 3 0 とをそれぞれ対応する第 1 又は第 2 の S R A M 1 9 2 A、1 9 2 B から同時に 1 クロックで読み出し、これを C U パス復号化処理部 1 7 7 に送出することとなる。

【 0 4 1 3 】

さらにシグナルスイッチャ 1 9 4 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D 3 5 を C U パス復号化処理する際に必要となる、当該 4 画素とそれぞれ同座標にある R E F プレーン 3 2 上の 1 ワード (図 2 4 (E) 参照) 分の R E F プレーンデータ D 3 1 と、当該 4 画素と同座標にある D O N E プレーン 3 3 上の 1 ワード (図 2 4 (D) 参照) 分の D O N E プレーンデータ D 3 2 とを第 2 の実施の形態のシグナルスイッチャ 1 7 4 (図 3 9) と同様にして S R A M 1 1 1 B から読み出し、これを C U パス復号化処理部 1 7 7 に送出する。

【 0 4 1 4 】

かくしてビットデモデル部 1 9 3 では、この後 C U パス復号化処理部 1 7 7 において、第 2 の実施の形態と同様にして C U パス復号化処理又は S P パス復号化処理が必要に応じて行われ、そのとき得られたコンテキスト C X が出力スイッチャ 1 2 4 を介してコンテキストデータ D 3 3 として算術復号部 1 1 3 (図 4 3) に送出され、これと併せて得られた復号された処理ビットプレーンデータ D 3 5 及び復号された正負符号プレーンデータ D 3 6 がそれぞれビットプレーンバッファ 1 1 6 A、1 1 6 B 又は第 1 若しくは第 2 の正負符号バッファ 1 9 1 A、1 9 1 B の対応する位置に格納される。また必要に応じて S I G プレーンデータ D 3 0、R E F プレーンデータ D 3 1 及び又は D O N E プレーンデータ D 3 2 が更新され、さらにこれら更新された S I G プレーンデータ D 3 0、R E F プレーンデータ D 3 1 及び D O N E プレーンデータ D 3 2 が第 1 若しくは第 2 の S R A M 1 9 2 A、1 9 2 B 又は S R A M 1 1 1 B におけるもとのアドレス位置に書き戻される。

【 0 4 1 5 】

このようにしてこのビットデモデル部 1 9 3 においても、正負符号プレーンデータ D 3

10

20

30

40

50

6を記憶保持するためのメモリとして2つの第1及び第2の正負符号プレーンバッファ191A、191Bを設けると共に、SIGプレーンデータD30を記憶保持するためのメモリとして2つの第1及び第2のSRAM192A、192Bを設けることによって、処理ビットプレーンデータD35の1ストライプカラム23Aを処理する際のメモリアクセス回数をより一層と低減させ得るようになされている。

【0416】

(4-3) 第3の実施の形態の動作及び効果

以上の構成において、本実施の形態によるビットモデル部183及びビットデモデル部193では、正負符号プレーンデータD20、D36を正負符号プレーン30のストライプ23ごとに第1及び第2の正負符号プレーンバッファ181A、181Bに順次交互に記憶保持すると共に、SIGプレーンデータD22、D30をSIGプレーン31のストライプ23ごとに第1及び第2のSRAMプレーンバッファ192A、192Bに順次交互に記憶保持し、CBM処理時には、必要な2ワード分の正負符号プレーンデータD20、D30を第1及び第2の正負符号プレーンバッファ181A、181Bのそれぞれから1クロックで同時に読み出すと共に、必要な2ワード分のSIGプレーンデータD22、D30を第1及び第2のSRAMプレーンバッファ192A、192Bのそれぞれから1クロックで同時に読み出す。

10

【0417】

従って、1ストライプカラム23A分の処理ビットプレーンデータD21、D35をCBM処理するに際して、第2の実施の形態のビットモデル部163及びビットデモデル部173によれば、必要な正負符号プレーンデータD20、D30やSIGプレーンデータD22、D30を読み出すのに6クロック必要となるのに対し、この第3の実施の形態のビットモデル部163及びビットデモデル部173によれば、3クロックで足りることとなり、より一層とCBM処理時におけるメモリアクセス回数を格段的に低減させることができる。

20

【0418】

実際上、例えば 64×64 サイズのビットプレーン22を処理する際にメモリからSIGプレーンデータD22、D30を読み出す回数を計算すると、第2の実施の形態の手法の場合、上述のようにオーバラップ読み出し構成のときには6080回、更新部分限定読み出し構成のときには2048回のメモリアクセスが必要となるのに対して、本実施の形態の手法によれば、オーバラップ読み出し構成のときには3040回、本実施の形態のように更新部分限定読み出し構成のときには1024回のメモリアクセスで足りる。

30

【0419】

因みに、図45に示すように、この1024回という数は、SIGプレーンデータD22、D30を1ビット分ずつメモリから読み出す従来手法におけるオーバラップ読み出し構成のほぼ1/35の数である。

【0420】

よって、かかるJPEG2000規格に準拠した符号化装置40及び復号化装置100におけるビットモデル部183又はビットデモデル部193の構成として上述のような第2の実施の形態の構成を採用することによって、これらビットモデル部183又はビットデモデル部193におけるCBM処理のより一層の高速化を図ることができ、またこれに伴ってビットモデル部183又はビットデモデル部193の低消費電力化を図ることもできる。

40

【0421】

以上の構成によれば、第2の実施の形態の構成に加え、正負符号プレーンデータD20、D36を正負符号プレーン30のストライプ23ごとに第1及び第2の正負符号プレーンバッファ181A、181Bに順次交互に記憶保持すると共に、SIGプレーンデータD22、D30をSIGプレーン31のストライプ23ごとに第1及び第2のSRAMプレーンバッファ192A、192Bに順次交互に記憶保持し、CBM処理時には、必要な2ワード分の正負符号プレーンデータD20、D30を第1及び第2の正負符号プレーン

50

バッファ 181A、181B のそれぞれから 1 クロックで同時に読み出すと共に、必要な 2 ワード分の SIG プレーンデータ D22、D30 を第 1 及び第 2 の SRAM プレーンバッファ 192A、192B のそれぞれから 1 クロックで同時に読み出すようにしたことにより、第 2 の実施の形態に比べてより一層と CBM 处理時におけるメモリアクセス回数を格段的に低減させることができ、かくして符号化処理又は復号化処理をより一層と高速化させ得る符号化装置及び復号化装置を実現できる。

【 0422 】

(5) 他の実施の形態

なお上述の第 1 ~ 第 3 実施の形態においては、本発明を JPEG2000 規格に準拠した符号化装置 40 (図 21) 又は復号化装置 100 (図 29) に適用するようにした場合について述べたが、本発明はこれに限らず、要は、画像情報に対する符号化処理の処理状況に応じて順次更新する所定の状態量を表す状態量情報を用いて符号化処理又は復号化処理するこの他種々の符号化装置及び復号化装置に広く適用することができる。

10

【 0423 】

また上述の第 1 ~ 第 3 の実施の形態においては、1ストライプカラム 23A を構成する 4 画素を処理単位として、画像情報としての処理ビットプレーンデータ D21 に対して当該ストライプカラム 23A ごとに符号化処理を施す符号化手段としてのビットモデル部 54、163、183 を図 23 、図 37 又は図 42 のように構成するようにした場合について述べたが、本発明はこれに限らず、この他種々の構成を広く適用することができる。

20

【 0424 】

さらに上述の第 1 ~ 第 3 の実施の形態においては、ビットモデル部 54、163、183 が CBM 处理を行うときに用いる状態量情報としての正負符号プレーンデータ D20 や、SIG プレーンデータ D22 、REF プレーンデータ D23 及び DONE プレーンデータ D24 を記憶する記憶手段として、SRAM からなる正負符号プレーンバッファ 50、115 や、SRAM 52A、111A、192A、192B を適用するようにした場合について述べたが、本発明はこれに限らず、SRAM 以外のメモリ等を広く適用することができる。

【 0425 】

さらに上述の第 1 ~ 第 3 の実施の形態においては、処理ビットプレーンデータ D21 の 1ストライプカラム 23A に対応させて、正負符号プレーン 30 や、SIG プレーン 31 、REF プレーン 32 及び DONE プレーン 33 上の縦方向に並ぶ 4 ビットを 1 ワードとして取り扱うようにした場合について述べたが、本発明はこれに限らず、これ (縦方向に並ぶ 4 ビット) 以外を 1 ワードとして取り扱うようにしても良い。

30

【 0426 】

さらに上述の第 1 ~ 第 3 の実施の形態においては、符号化処理をハードウェア処理により行うようにした場合について述べたが、本発明はこれに限らず、正負符号プレーンデータ D20 や、SIG プレーンデータ D22 、REF プレーンデータ D23 及び DONE プレーンデータ D24 を対応する正負符号プレーンバッファ 50、161、181A、181B 又は SRAM 52A、52B、162、182A、182B に記憶させる第 1 の処理と、処理ビットプレーンデータ D21 の 1ストライプカラム 23A ごとに、対応する正負符号プレーンデータ D20 、SIG プレーンデータ D22 、REF プレーンデータ D23 及び又は DONE プレーンデータ D24 をワード単位で正負符号プレーンバッファ 50、161、181A、181B 又は SRAM 52A、52B、162、182A、182B から読み出し、当該読み出した正負符号プレーンデータ D20 、SIG プレーンデータ D22 、REF プレーンデータ D23 及び又は DONE プレーンデータ D24 を用いて符号化処理を行う第 2 の処理との全てをソフトウェア処理で行うようにしても良い。

40

【 0427 】

さらに上述の実施の形態においては、1ストライプカラム 23A を構成する 4 画素を処理単位として、符号化された画像情報でなる符号化画像情報としての符号化データ D11 に対して当該ストライプカラム 23A ごとに復号化処理を施す復号化手段としてのビット

50

デモデル部 114、163、193を図31、図39又は図44のように構成するようにした場合について述べたが、本発明はこれに限らず、この他種々の構成を広く適用することができる。

【0428】

さらに上述の第1～第3の実施の形態においては、ビットデモデル部 114、163、193がCBM処理を行うときに用いる状態量情報としての正負符号プレーンデータD36や、SIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32を記憶する記憶手段として、SRAMからなる正負符号プレーンバッファ115、171、191A、191Bや、SRAM111A、111B、172、192A、192Bを適用するようにした場合について述べたが、本発明はこれに限らず、SRAM以外のメモリ等を広く適用することができる。 10

【0429】

さらに上述の第1～第3の実施の形態においては、復号化処理をハードウェア処理により行うようにした場合について述べたが、本発明はこれに限らず、正負符号プレーンデータD35や、SIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32を対応する正負符号プレーンバッファ115、171、191A、191B又はSRAM111A、111B、172、192A、192Bに記憶させる第1の処理と、処理ビットプレーンデータD35の1ストライプカラム23Aごとに、対応する正負符号プレーンデータD36、SIGプレーンデータD30、REFプレーンデータD31及び又はDONEプレーンデータD32をワード単位で正負符号プレーンバッファ115、171、191A、191B又はSRAM111A、111B、172、192A、192Bから読み出し、当該読み出した正負符号プレーンデータD35、SIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32を用いて符号化処理を行う第2の処理との全てをソフトウェア処理で行うようにしても良い。 20

【産業上の利用可能性】

【0430】

本発明は、例えばJPEG2000規格に準拠した符号化装置及び復号化装置の他、これに類似する符号化又は復号化のアルゴリズムを有する符号化又は復号化規格に準拠した符号化装置及び復号化装置に適用することができる。

【図面の簡単な説明】 30

【0431】

【図1】コードブロックとビットプレーンの説明に供する概念図である。

【図2】コードブロックサイズの説明に供する概念図である。

【図3】コードブロックサイズの説明に供する概念図である。

【図4】コードブロック内のビットプレーンの説明に供する概念図である。

【図5】ビットプレーン内スキャン順序の説明に供する概念図である。

【図6】ビットプレーン内スキャン順序の説明に供する概念図である。

【図7】ビットプレーン内スキャン順序の説明に供する概念図である。

【図8】ビットプレーン内スキャン順序の説明に供する概念図である。

【図9】ビットプレーン内スキャン順序の説明に供する概念図である。 40

【図10】各種状態量記録用プレーンの説明に供する概念図である。

【図11】SPバスの説明に供する概念図である。

【図12】SPバスの説明に供する概念図である。

【図13】SPバスにおけるコンテクストエンコーディングルールの説明に供する概念図である。

【図14】SPバスにおける正負符号のコンテクストエンコーディングルールの説明に供する概念図である。

【図15】MRバスの説明に供する概念図である。

【図16】MRバスにおけるコンテクストエンコーディングルールの説明に供する概念図である。 50

【図17】C U パスの説明に供する概念図である。

【図18】uniformのコンテクストエンコーディングルールの説明に供する概念図である。

。

【図19】従来のメモリアクセス手法の説明に供する概念図及び波形図である。

【図20】従来のメモリアクセス手法の説明に供する概念図である。

【図21】第1の実施の形態によるJ P E G 2 0 0 0 符号化装置の構成を示すブロック図である。

【図22】図21に示す符号化装置におけるE B C O T ブロックの構成を示すブロック図である。

【図23】図22に示すE B C O T ブロックにおけるビットモデル部の構成を示すブロック図である。

10

【図24】本実施の形態によるビットプレーンアクセスの説明に供する概念図である。

【図25】第1の実施の形態によるメモリアクセス手法の説明に供する概念図である。

【図26】符号化装置におけるS P パス符号化処理部の概略構成を示すブロック図である。

。

【図27】符号化装置におけるM R パス符号化処理部の概略構成を示すブロック図である。

。

【図28】符号化装置におけるC U パス符号化処理部の概略構成を示すブロック図である。

。

【図29】第1の実施の形態によるJ P E G 2 0 0 0 復号化装置の構成を示すブロック図である。

20

【図30】図29に示す復号化装置におけるE B C O T ブロックの構成を示すブロック図である。

【図31】図30に示すE B C O T ブロックにおけるビットモデル部の構成を示すブロック図である。

【図32】復号化装置におけるS P パス復号化処理部の概略構成を示すブロック図である。

。

【図33】復号化装置におけるM R パス復号化処理部の概略構成を示すブロック図である。

。

【図34】復号化装置におけるC U パス復号化処理部の概略構成を示すブロック図である。

30

【図35】第2の実施の形態による符号化装置のE B C O T ブロックの構成を示すブロック図である。

【図36】第2の実施の形態によるメモリアクセス手法の説明に供する概念図である。

【図37】図35に示すE B C O T ブロックにおけるビットモデル部の構成を示すブロック図である。

【図38】第2の実施の形態による復号化装置のE B C O T ブロックの構成を示すブロック図である。

【図39】図38に示すE B C O T ブロックにおけるビットモデル部の構成を示すブロック図である。

40

【図40】第3の実施の形態による符号化装置のE B C O T ブロックの構成を示すブロック図である。

【図41】正負符号プレーンデータ又はS I G プレーンデータの分配の説明に供する概念図である。

【図42】図40に示すE B C O T ブロックにおけるビットモデル部の構成を示すブロック図である。

【図43】第3の実施の形態による復号化装置のE B C O T ブロックの構成を示すブロック図である。

【図44】図43に示すE B C O T ブロックにおけるビットモデル部の構成を示すブロック図である。

50

【図45】従来手法と、第1～第3の実施の形態による手法とのメモリアクセス回数の比較の説明に供する図表である。

【図46】従来のJPEG2000符号化装置の構成を示すブロック図である。

【図47】ウェーブレット変換の説明に供する概念図である。

【図48】従来のJPEG2000復号化装置の構成を示すブロック図である。

【符号の説明】

【0432】

22.....ビットプレーン、23.....ストライプ、23A.....ストライプカラム、30...
...正負符号プレーン、31.....SIGプレーン、32.....REFプレーン、33.....DO
NEプレーン、40.....符号化装置、42、101、160、170、180、190...
...EBCOTブロック、50、171、191A、191B.....正負符号プレーンバッ
ア、52A、52B、111A、111B、192A、192B.....SRAM、54、1
63、183.....ビットモデル部、61、165.....SPバス符号化処理部、62、16
6.....MRバス符号化処理部、63、167.....CUバス符号化処理部、65、76、8
6、96、125.....制御部、100.....復号化装置、114、173、193.....ビッ
トモデル部、121、175.....SPバス復号化処理部、122、176.....MRバス
復号化処理部、123、177.....CUバス復号化処理部、D4.....コードブロックデ
タ、D11.....符号化データ、D20、D36.....正負符号プレーンデータ、D21、D
35.....処理ビットプレーンデータ、D22、D30.....SIGプレーンデータ、D23
、D31.....REFプレーンデータ、D24、D32.....DONEプレーンデータ、D2
6、D34、D40.....シンボルデータ、D27、D33、D41.....コンテクストデータ。
10
20
20

【図1】

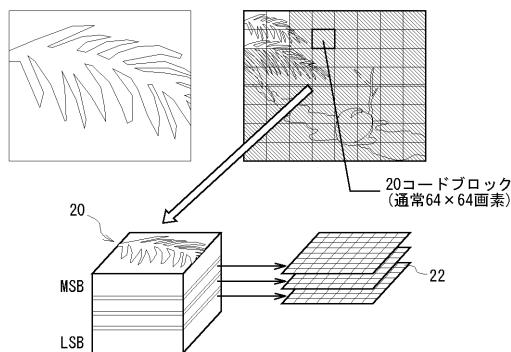


図1 コードブロックとビットプレーン

【図3】

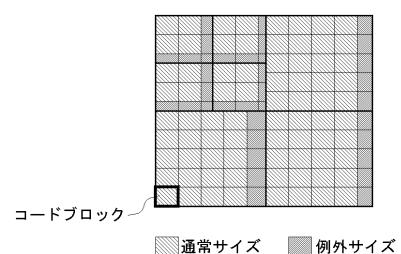
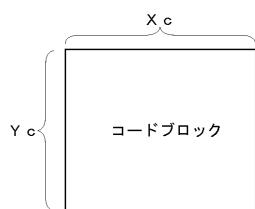


図3 コードブロックのサイズ (2)

【図2】



・ X_c 、 Y_c は2のべき乗
・ $4 \leq X_c \leq 1024$ 、 $4 \leq Y_c \leq 1024$
・ $X_c \times Y_c \leq 4096$

図2 コードブロックのサイズ (1)

【図4】

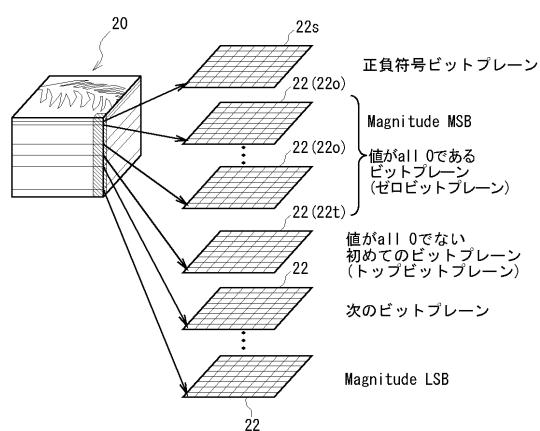


図4 コードブロック内ビットプレーン

【図5】

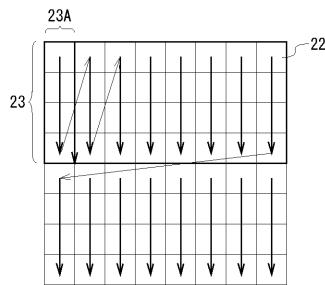


図5 ビットプレーン内スキャン順序

【図6】

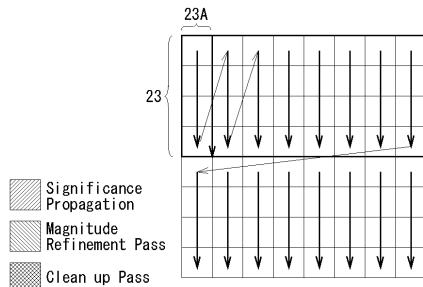


図6 ビットプレーン内スキャン (1)

【図7】

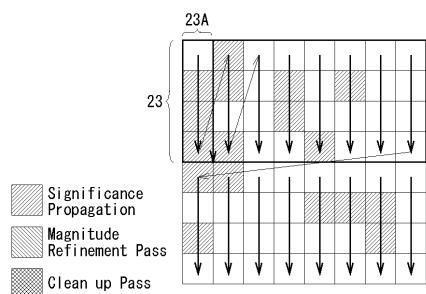


図7 ビットプレーン内スキャン (2)

【図9】

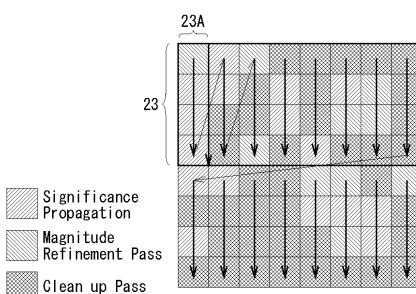


図9 ビットプレーン内スキャン (4)

【図8】

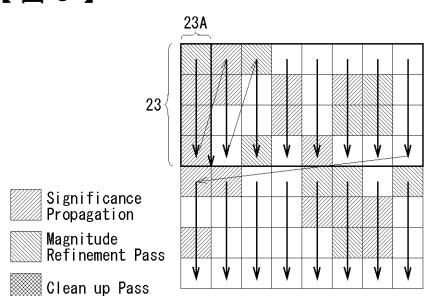


図8 ビットプレーン内スキャン (3)

【図10】

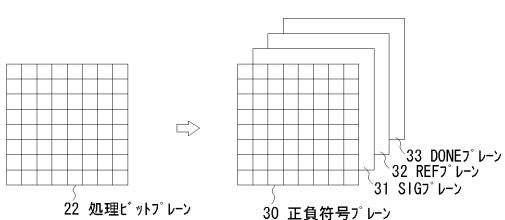


図10 各種状態量記録用プレーン

【図 1 1】

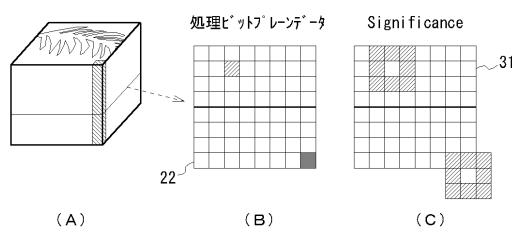
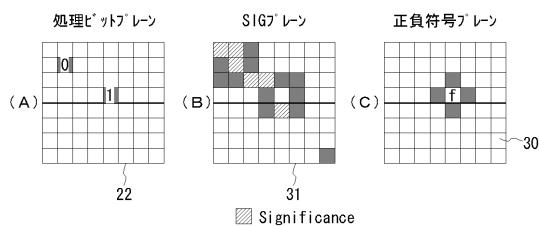


図 1 1 Significanceの8近傍参照

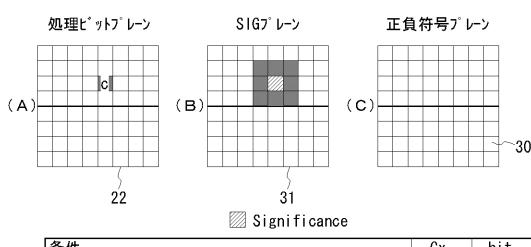
【図 1 2】



条件	Context	Symbol
自身はInsignificantで近傍にSignificantが存在する。データは0	Cx	0
自身はInsignificantで近傍にSignificantが存在する。データは1	Cx	1
自身はInsignificantで近傍にSignificantが存在する。データは1のデータでSignificantに変化続いて符号のビットモデルMC	Sign cx	f

図 1 2 SPバスの処理

【図 1 5】



条件	Cx	bit
Significantであるデータのビットモデル化、Significantになって初めてMR Pass化	Cx	c

図 1 5 MSバスの処理

【図 1 6】

(A)	$\Sigma H + \Sigma V + \Sigma D$	該当係数を最初に本バスで符号化	Cx	ビット
Don't care	No	16	X	
≥ 1	Yes	15		
$= 0$	Yes	14		

(B)	D0	V0	D1	ΣD はD0-3の中で有意味である個数	
	H0		H1		
	D2	V1	D3		

図 1 6 MRバスのコンテクストエンコーディングルール

【図 1 3】

LL or LH成分			HL成分			HH成分		CX	ビット
ΣH	ΣV	ΣD	ΣH	ΣV	ΣD	$\Sigma H + \Sigma V$	ΣD		
2	-	-	2	-	-	≥ 3	8	X	
1	≥ 1	1	≥ 1	1	-	≥ 1	2		
1	0	≥ 1	0	1	≥ 1	0	2		
1	0	0	0	1	0	≥ 2	1		
0	2	-	2	0	-	1	1		
0	1	-	1	0	-	0	1		
0	0	≥ 2	0	0	≥ 2	≥ 2	0		
0	0	1	0	0	1	1	0		
0	0	0	0	0	0	0	0		
0	0	0	0	0	0	0	0		

図 1 3 SPバスのコンテクストエンコーディングルール

【図 1 4】

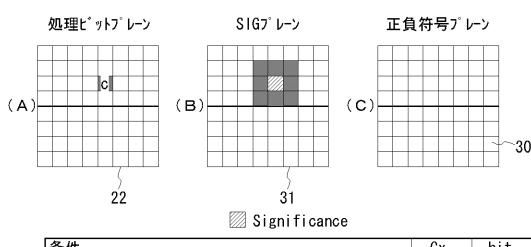
X=0:正			X=1:負			ビット=X xor XR		
H0	X	H1	V0					
V1								

	値
[正の有意, 正の有意]	1
[正の有意, 有意でない]	0
[正の有意, 負の有意]	-1
[有意でない, 有意でない]	0
[負の有意, 負の有意]	-1
[負の有意, 有意でない]	1

H値	V値	CX	XR
1	1	13	0
1	0	12	
1	-1	11	
0	1	10	1
0	0	9	
0	-1	10	
-1	1	11	
-1	0	12	
-1	-1	13	

図 1 4 正負符号のコンテクストエンコーディングルール

【図 1 5】



条件	Cx	bit
Significantであるデータのビットモデル化、Significantになって初めてMR Pass化	Cx	c

図 1 5 MSバスの処理

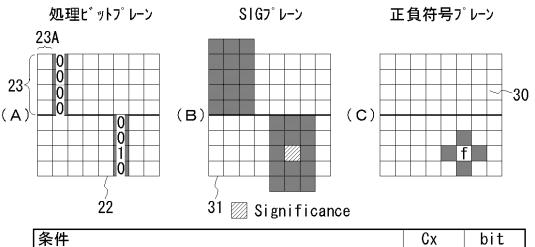
【図 1 6】

(A)	$\Sigma H + \Sigma V + \Sigma D$	該当係数を最初に本バスで符号化	Cx	ビット
Don't care	No	16	X	
≥ 1	Yes	15		
$= 0$	Yes	14		

(B)	D0	V0	D1	ΣD はD0-3の中で有意味である個数	
	H0		H1		
	D2	V1	D3		

図 1 6 MRバスのコンテクストエンコーディングルール

【図 1 7】



条件	Cx	bit
ストライプのデータがすべて0、かつ対応する近傍がすべてSignificantでない	run	c
	run	c
	uniform	c
	uniform	c
ストライプのデータが少なくともひとつ1、近傍にSignificantがない	Sign	f
1のデータでSignificantとなる	CX	0
それ以降はSP PASSと同様な処理を行う	CX	0

図 1 7 CUバスの処理

【図 1 8】

(A)	<table border="1"> <tr><td>1</td><td></td></tr> <tr><td>x</td><td>uniform</td></tr> <tr><td>x</td><td>0</td></tr> <tr><td></td><td></td></tr> </table>	1		x	uniform	x	0		
1									
x	uniform								
x	0								
(B)	<table border="1"> <tr><td>0</td><td></td></tr> <tr><td>1</td><td>uniform</td></tr> <tr><td>x</td><td>1</td></tr> <tr><td></td><td></td></tr> </table>	0		1	uniform	x	1		
0									
1	uniform								
x	1								
(C)	<table border="1"> <tr><td>0</td><td></td></tr> <tr><td>0</td><td>uniform</td></tr> <tr><td>1</td><td>0</td></tr> <tr><td>x</td><td></td></tr> </table>	0		0	uniform	1	0	x	
0									
0	uniform								
1	0								
x									
(D)	<table border="1"> <tr><td>0</td><td></td></tr> <tr><td>0</td><td>uniform</td></tr> <tr><td>1</td><td>1</td></tr> <tr><td></td><td></td></tr> </table>	0		0	uniform	1	1		
0									
0	uniform								
1	1								

図 1 8 uniformのコンテクストエンコーディングルール

【 図 1 9 】

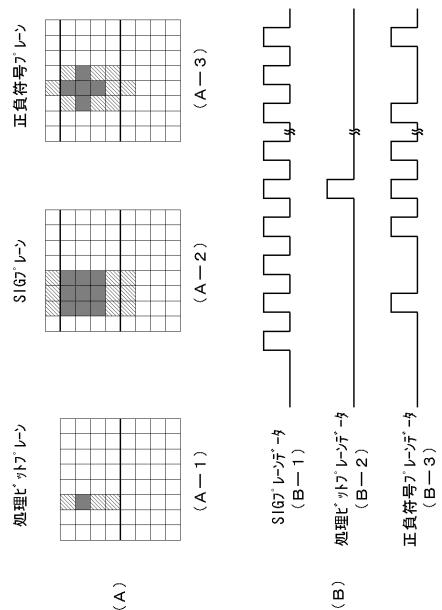


図19 従来手法によるメモリアクセス(1)

【 図 2 0 】

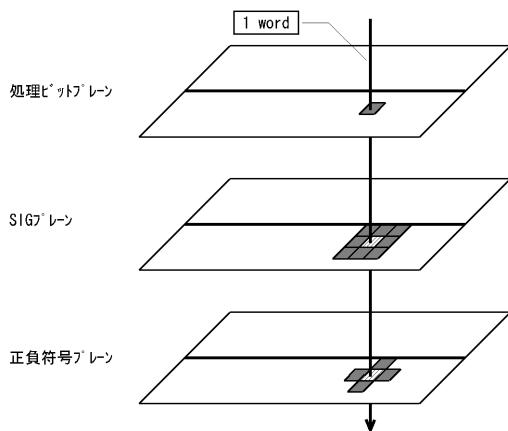


図20 従来手法によるメモリアクセス (2)

【 図 2 1 】

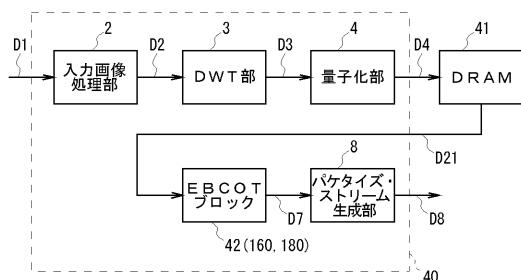


図21 第1の形態によるJPEG2000
符号化装置の構成

【 図 2 2 】

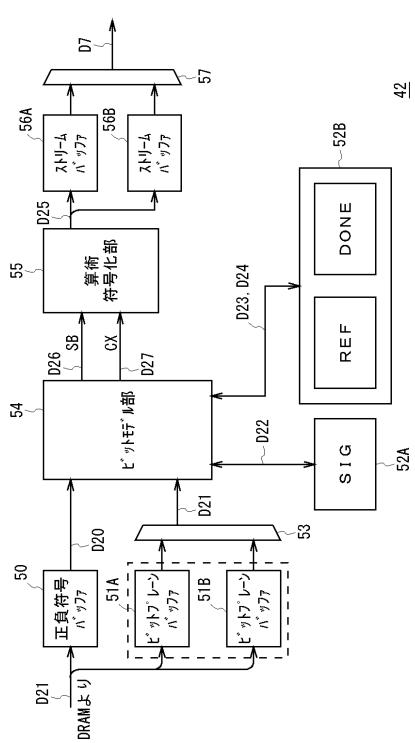


図22 第1の実施の形態による符号化装置のEBCOTブロックの構成

【図23】

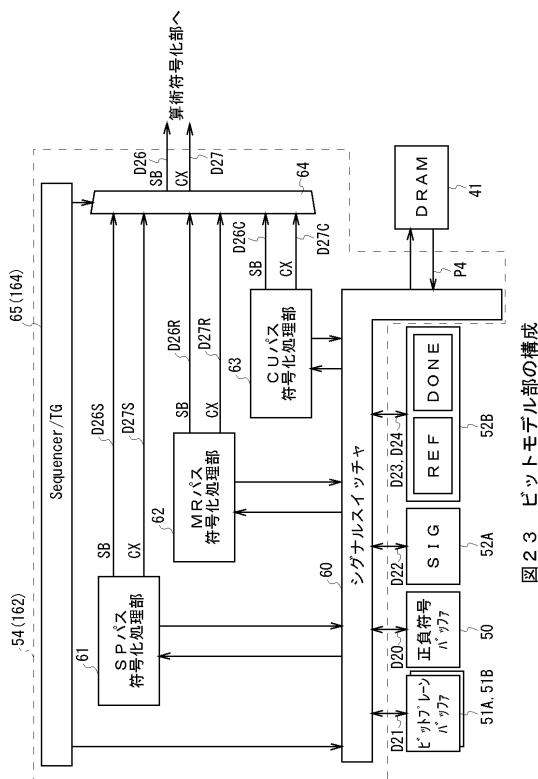


図23 ビットモデル部の構成

【図24】

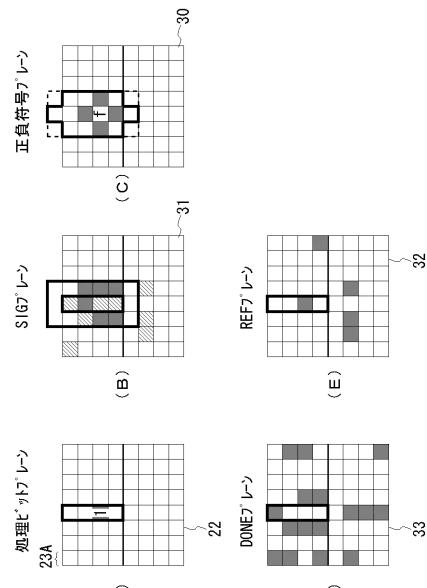


図24 本実施の形態によるビットブレーンアクセス

【図25】

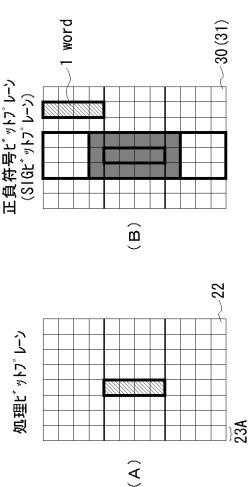


図25 第1の形態によるメモリアクセス

【図26】

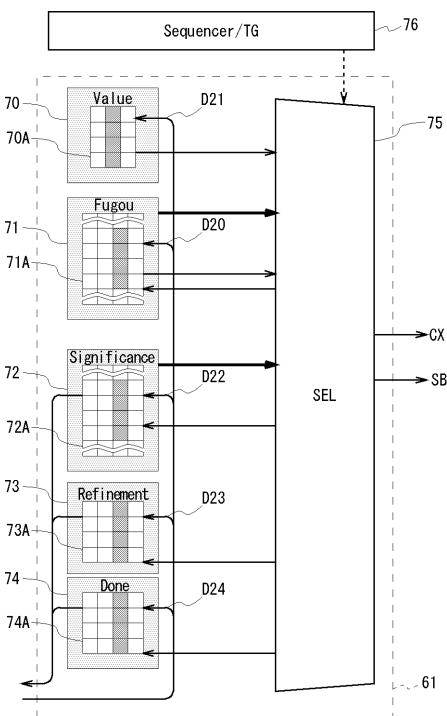


図26 SPバス 符号化処理部の構成

【図27】

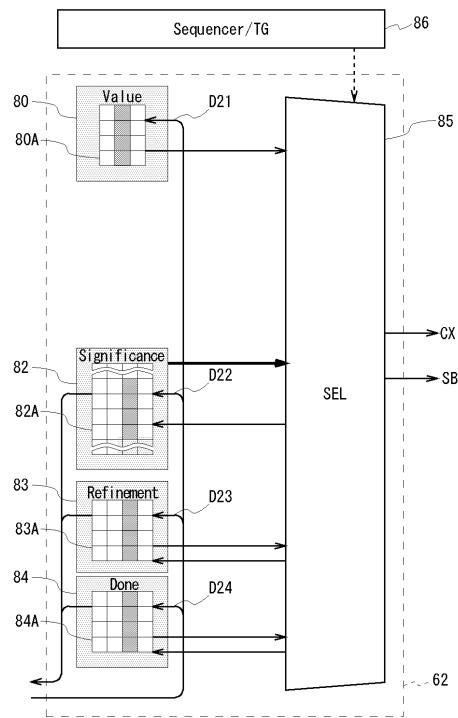


図27 MRバス符号化処理部の構成

【図28】

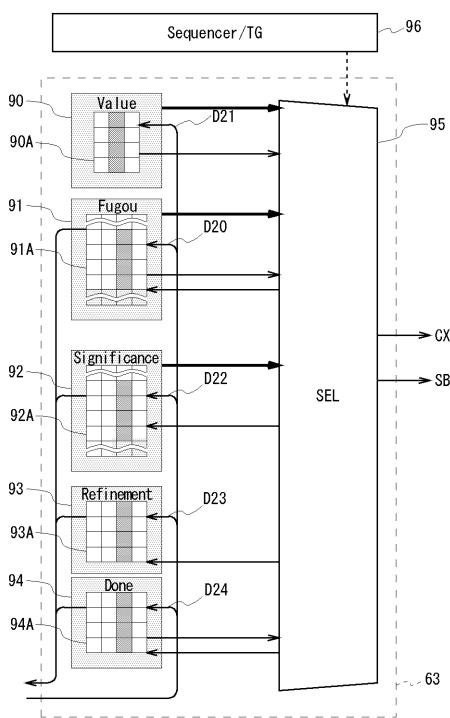


図28 CUバス符号化処理部の構成

【図29】

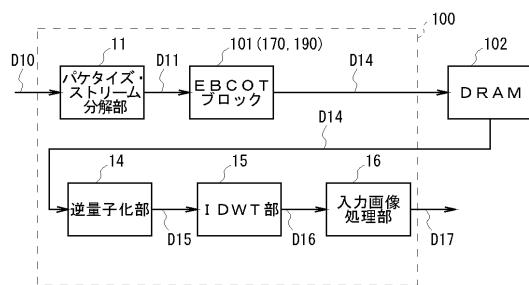


図29 第1の実施の形態によるJPEG 2000復号化装置の構成

【図30】

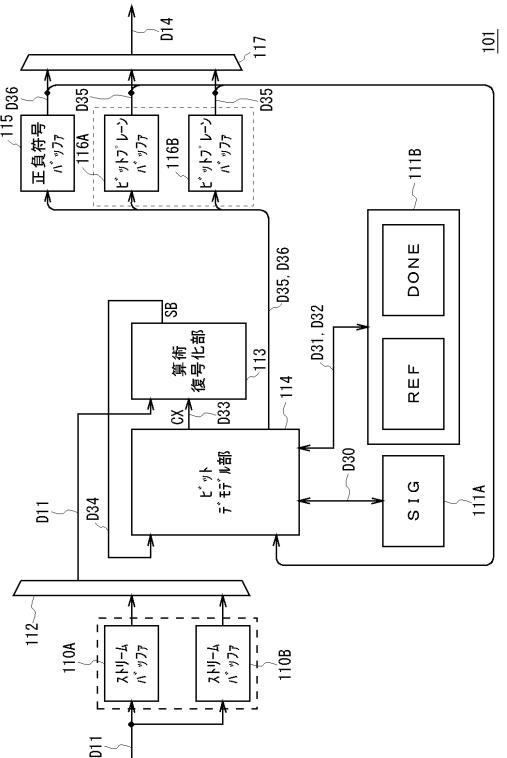


図30 第1の実施の形態による復号化装置のEBCOT ブロックの構成

【図 3 1】

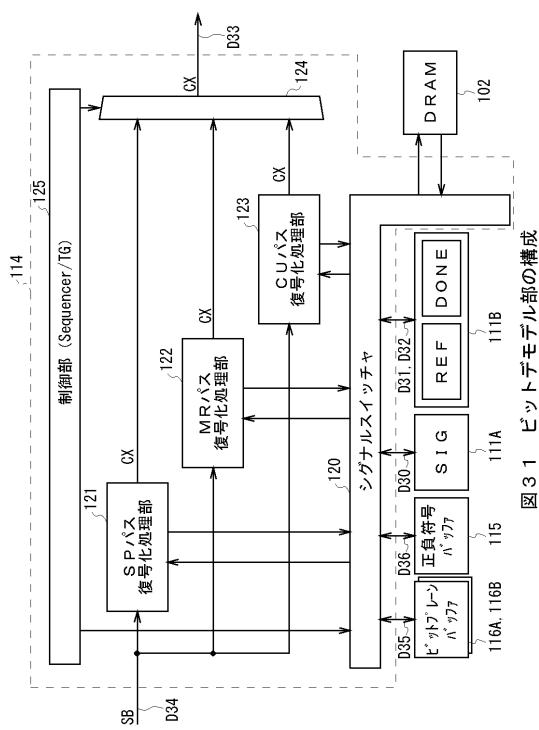


図 3 1 ビットモデル部の構成

【図 3 2】

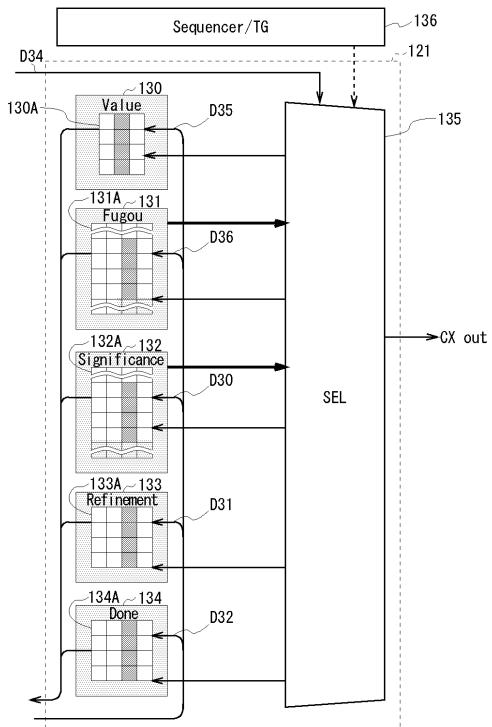


図 3 2 SPバス復号化処理部の構成

【図 3 3】

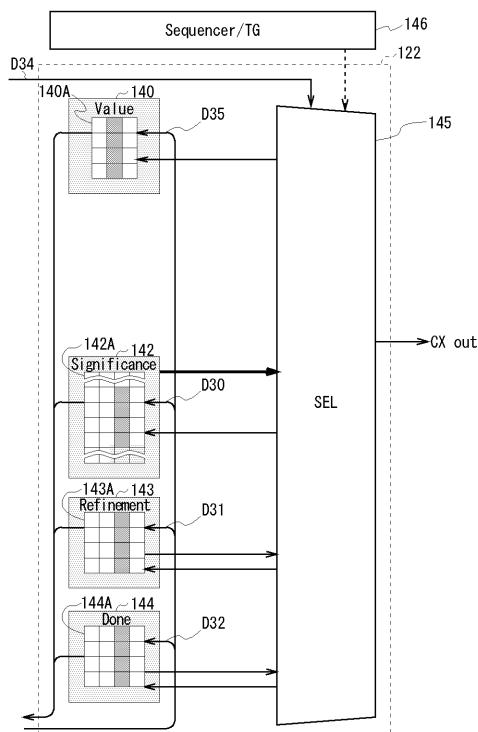


図 3 3 MRバス復号化処理部の構成

【図 3 4】

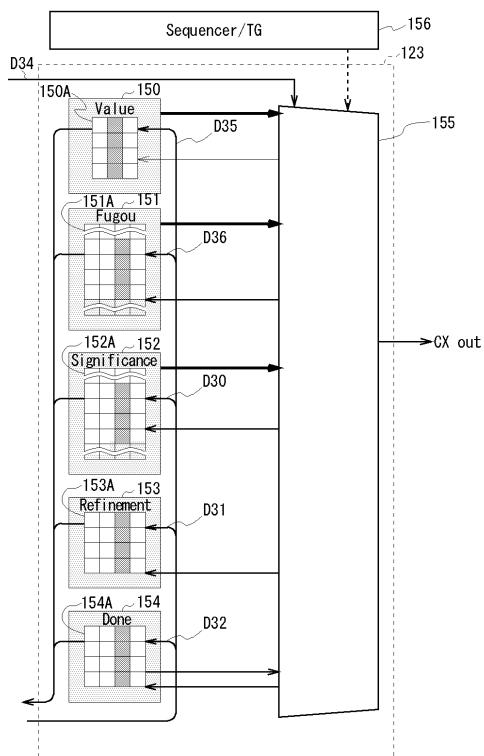
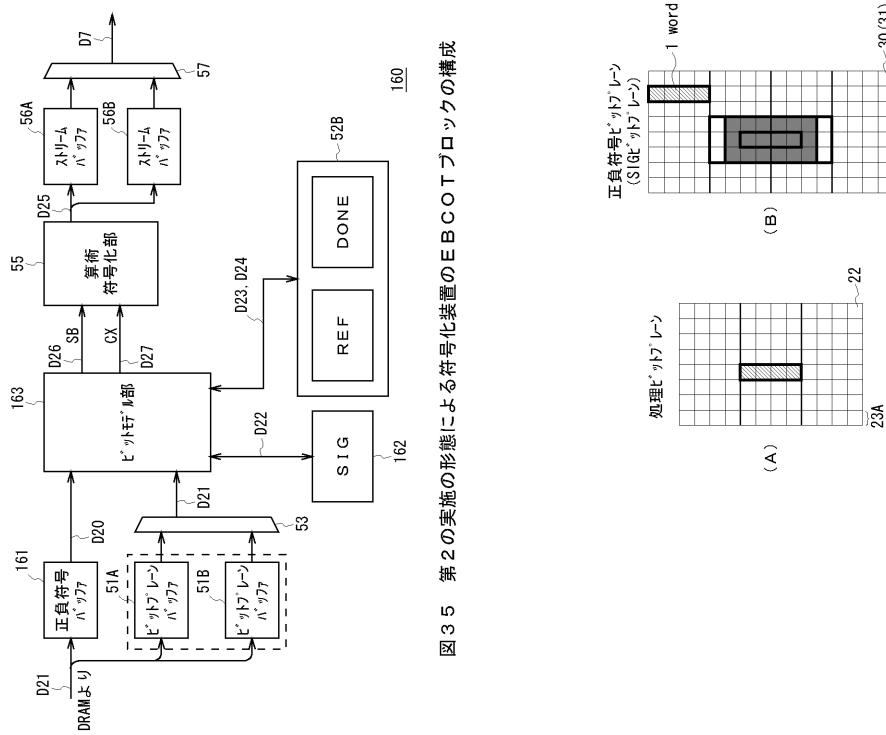


図 3 4 CUバス復号化処理部の構成

【図 3 5】



【図 3 6】

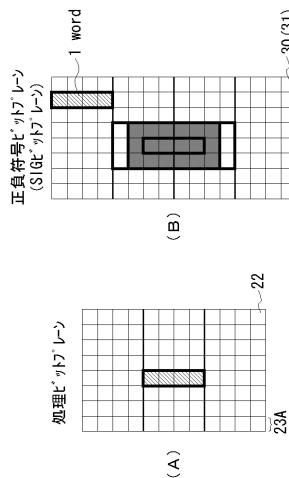


図 3 6 第2の実施の形態による符号化装置のEBCTブロックの構成

【図 3 7】

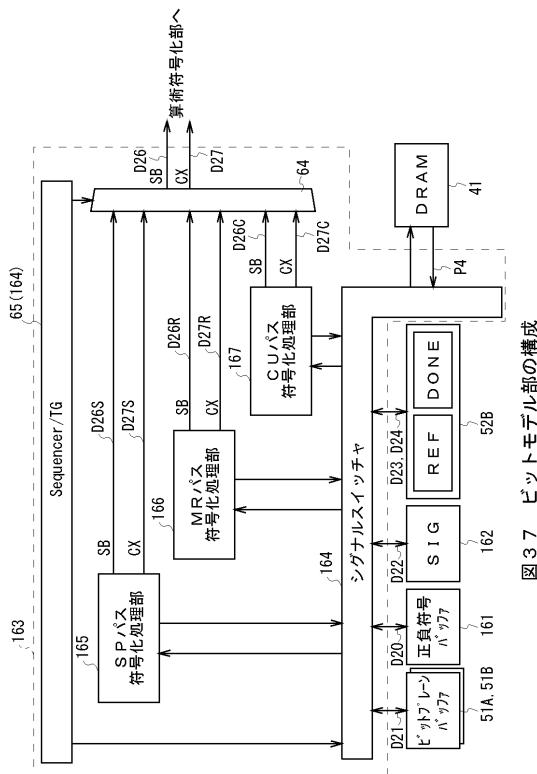


図 3 7 ビットモデル部の構成

【図 3 8】

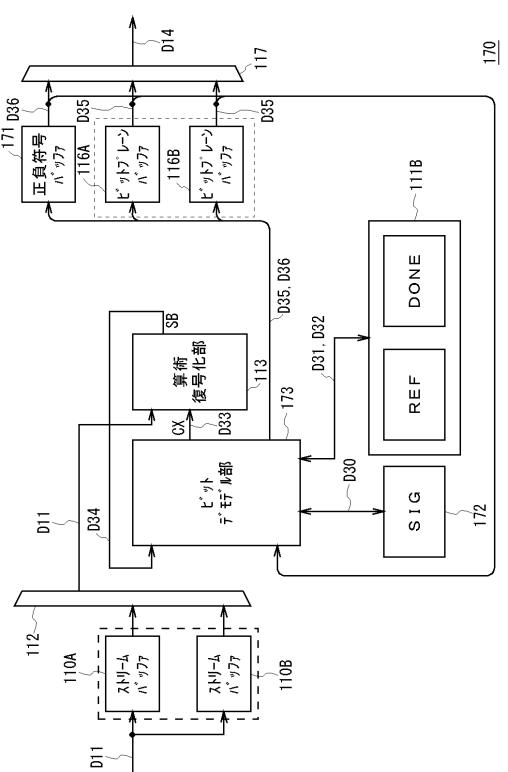


図 3 8 第2の実施の形態による復号化装置のEBCTブロックの構成

【図39】

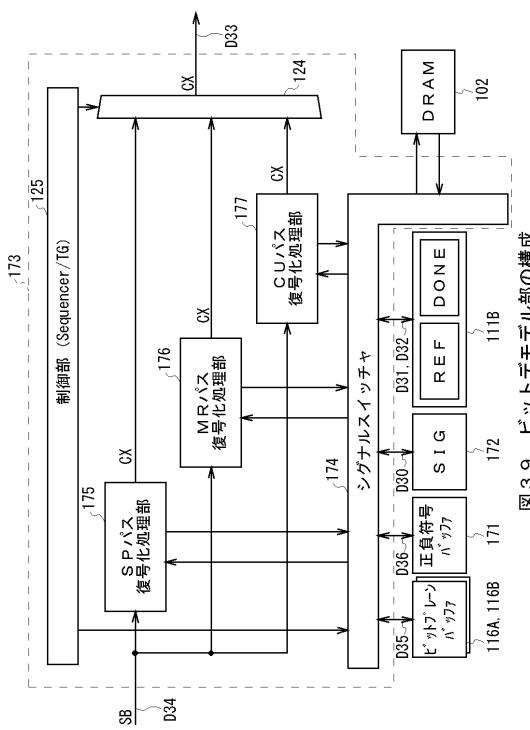


図39 ビットモデル部の構成

【 図 4 0 】

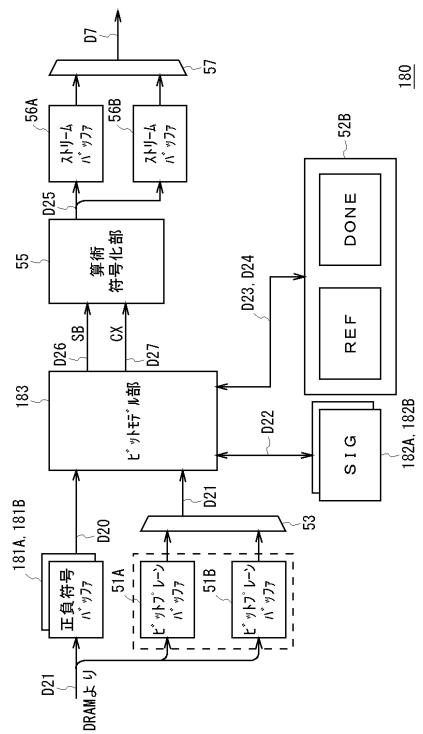


図40 第3の実施の形態による符号化装置のEBCOTプロック部の構成

【 図 4 1 】

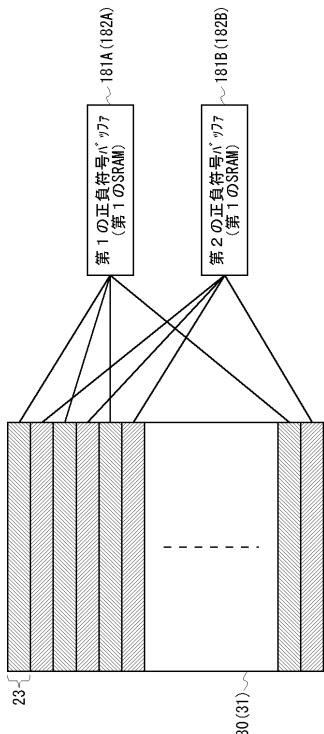


図4-1 正負符号プレーンデータ又はSIGプレーンデータの分配

【図4-2】

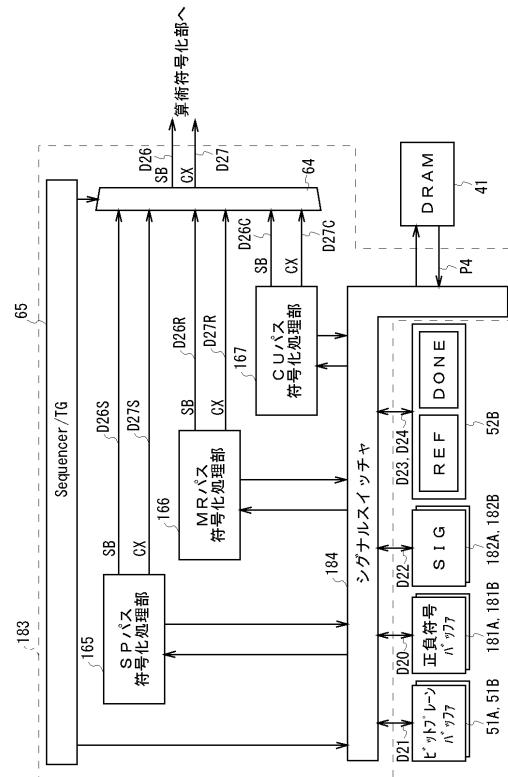
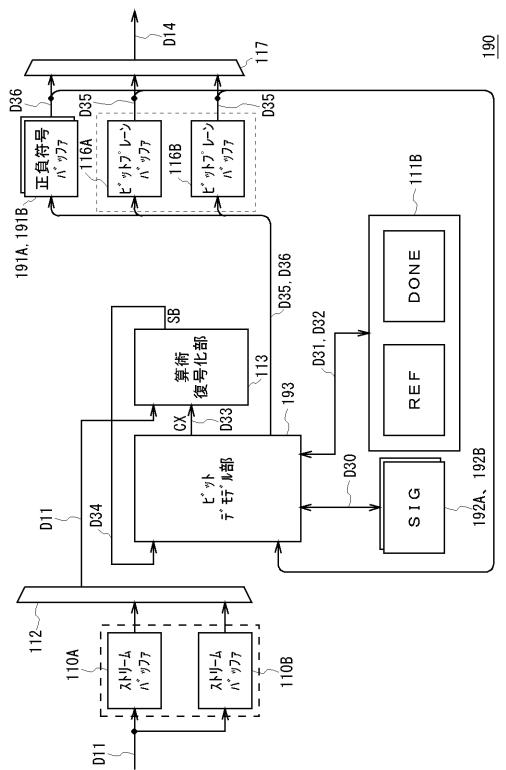


図4.2 ビットモデル部の構成

【図43】



【図48】

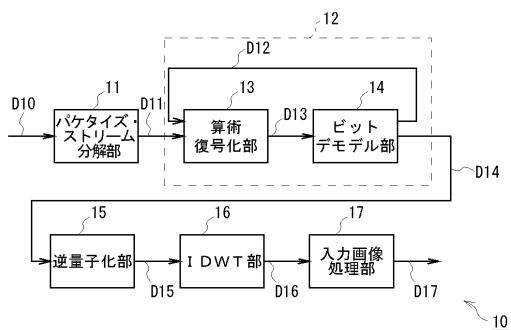


図4.8 従来のJPEG2000復号化装置の構成

フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H 04N	1 / 41
G 06T	9 / 00
H 04N	7 / 26