

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4182426号
(P4182426)

(45) 発行日 平成20年11月19日 (2008.11.19)

(24) 登録日 平成20年9月12日 (2008.9.12)

| | | | |
|---------------|-------------|------------------|----------------------|
| (51) Int. Cl. | | F I | |
| HO 4 N | 1/41 | (2006.01) | HO 4 N 1/41 B |
| GO 6 T | 9/00 | (2006.01) | GO 6 T 9/00 |
| HO 4 N | 7/26 | (2006.01) | HO 4 N 7/13 Z |

請求項の数 15 (全 76 頁)

| | | | |
|-----------|-------------------------------|-----------|---------------------------|
| (21) 出願番号 | 特願2003-352798 (P2003-352798) | (73) 特許権者 | 000002185 |
| (22) 出願日 | 平成15年10月10日 (2003.10.10) | | ソニー株式会社 |
| (65) 公開番号 | 特開2005-117582 (P2005-117582A) | | 東京都港区港南1丁目7番1号 |
| (43) 公開日 | 平成17年4月28日 (2005.4.28) | (74) 代理人 | 100082740 |
| 審査請求日 | 平成18年10月10日 (2006.10.10) | | 弁理士 田辺 恵基 |
| | | (72) 発明者 | 高木 聡 |
| | | | 東京都品川区北品川6丁目7番35号ソニー株式会社内 |
| | | 審査官 | 松永 隆志 |
| | | (56) 参考文献 | 特開2003-008906 (JP, A) |
| | | |) |
| | | | 特開2003-250049 (JP, A) |
| | | |) |
| | | | 最終頁に続く |

(54) 【発明の名称】 画像処理装置、画像処理方法及び画像処理プログラム

(57) 【特許請求の範囲】

【請求項1】

コードブロックデータから形成されたビットプレーンのうち、上位の桁の上記ビットプレーンから順に当該ビットプレーン上のビットを所定数でなるストライプに区切り、一のストライプに属する上記ビットを読み出した後に次のストライプに属する上記ビットを読み出すことにより処理対象となる処理ビットを所定の順序で読み出す第1の読出部と、

上記処理ビットの存在する処理ビットプレーンよりも上位となる上位プレーンにおいて1である上記ビットが存在する場合は有意であり、1である上記ビットが存在しない場合は有意でないとし当該上位プレーンにおける各ビットの有意性をS I GビットからなるS I Gプレーンとして記憶する際、上記ストライプごとの上記処理ビットから少なくとも1

ビットずらした単位ごとに上記所定数の上記S I Gビットを記憶する第1のメモリと、
上記第1のメモリから上記単位ごとに供給される上記S I Gビットのうち、上記ストライプごとの上記処理ビットに対応するS I Gビット、及び当該対応するS I Gビットの上下に存在するS I Gビットを保持する第1のレジスタと、

上記S I Gプレーンにおいて、上記処理ビットに対応するS I Gビットが有意でなく、上記処理ビットに対応するS I Gビットの周囲近傍に存在するS I G近傍ビットが有意である場合には、上記S I Gプレーンを参照して当該処理ビットをモデル化する第1の処理を実行すると共に、当該処理ビットの値を上記S I Gプレーンに反映させる第1の処理部と

を有する画像処理装置。

10

20

【請求項 2】

上記第 1 のメモリは、

上記ストライプごとの上記処理ビットから上記所定数の半分だけずらした単位ごとに上記所定数の上記 S I G ビットを記憶する

請求項 1 に記載の画像処理装置。

【請求項 3】

上記所定数は、

4 である

請求項 2 に記載の画像処理装置。

【請求項 4】

上記第 1 のメモリは、

2 つの記憶領域を有し、当該 2 つの記憶領域に対し上記単位ごとでなる上記 S I G ビットを交互に記憶する

請求項 1 に記載の画像処理装置。

【請求項 5】

上記第 1 のレジスタは、

上記ストライプごとの上記処理ビットに対応する上記 S I G ビット及び当該対応する S I G ビットの上下に存在する S I G ビットを少なくとも 3 組保持するシフトレジスタでなる

請求項 1 に記載の画像処理装置。

【請求項 6】

上記コードブロックにおける最上位となる正負符号プレーン上の符号ビットを所定数でなるストライプに区切り、一のストライプに属する上記ビットを読み出した後に次のストライプに属する上記ビットを読み出すことにより処理対象となる処理符号ビットを所定の順序で読み出す第 2 の読出部と、

上記ストライプごとの上記処理ビットから少なくとも 1 ビットずらした上記所定数の上記符号ビットを単位として上記正負符号プレーンを記憶する第 2 のメモリと、

上記第 2 のメモリから上記単位ごとに供給される上記符号ビットのうち、上記ストライプごとの上記処理ビットに対応する符号ビット、及び当該対応する符号ビットの近傍に存在する符号ビットを保持する第 2 のレジスタと、

上記処理ビットに対応する符号ビット及び上記処理ビットに対応する上記 S I G 近傍ビットを参照して上記処理ビットをモデル化する第 2 の処理を実行する第 2 の処理部と

を有する請求項 1 に記載の画像処理装置。

【請求項 7】

上記第 2 のレジスタは、

上記ストライプごとの上記処理ビットに対応する上記符号ビット及び当該対応する符号ビットの上下に存在する符号ビットを少なくとも 3 組保持するシフトレジスタでなる

請求項 6 に記載の画像処理装置。

【請求項 8】

対応する上記処理ビットが上記 S I G プレーンにおいて有意とされた直後であることを表す R E F ビットからなる R E F プレーンを、上記処理ビットにおけるストライプに対応する所定数の R E F ビットを単位として記憶する第 3 のメモリと、

上記ストライプごとの上記処理ビットに対応する R E F ビットを保持する第 3 のレジスタと、

上記処理ビットが上記 S I G プレーンにおいて有意とされた直後である場合には、上記 S I G プレーンを参照して当該処理ビットをモデル化する第 3 の処理を実行する第 3 の処理部と、

対応する処理ビットが上記第 1 及び第 3 の処理部によって既にモデル化されたことを表す D O N E ビットからなる D O N E プレーンを、上記処理ビットにおけるストライプに対応する所定数の D O N E ビットを単位として記憶する第 4 のメモリと、

10

20

30

40

50

上記ストライプごとの上記処理ビットに対応する D O N E ビットを保持する第 4 のレジスタと、

上記処理ビットが上記第 1 及び第 3 の処理部によって未だモデル化されていない場合には、上記 S I G プレーンを参照して当該処理ビットをモデル化する第 4 の処理を実行する第 4 の処理部と

を有し、

上記第 1、第 3 及び第 4 のレジスタは、

並列に設けられている

請求項 1 に記載の画像処理装置。

【請求項 9】

第 3 及び第 4 のレジスタは、

上記ストライプごと又は上記所定の単位ごとを 1 組とする上記 R E F ビット及び D O N E ビットを、少なくとも 3 組以上保持するシフトレジスタでなる

請求項 8 に記載の画像処理装置。

【請求項 10】

上記第 1 の処理部は、

上記処理ビットをモデル化するか否かを上記ストライプごとに判別する

請求項 1 に記載の画像処理装置。

【請求項 11】

コードブロックデータから形成されたビットプレーンのうち、上位の桁の上記ビットプレーンから順に当該ビットプレーン上のビットを所定数でなるストライプに区切り、一のストライプに属する上記ビットを読み出した後に次のストライプに属する上記ビットを読み出すことにより処理対象となる処理ビットを所定の順序で読み出す第 1 の読出ステップと、

上記処理ビットの存在する処理ビットプレーンよりも上位となる上位プレーンにおいて 1 である上記ビットが存在する場合は有意であり、1 である上記ビットが存在しない場合は有意でないとし当該上位プレーンにおける各ビットの有意性を S I G ビットからなる S I G プレーンとして記憶する際、上記ストライプごとの上記処理ビットから少なくとも 1 ビットずらした単位ごとに上記所定数の上記 S I G ビットを記憶する記憶ステップと、

上記第 1 のメモリから上記単位ごとに供給される上記 S I G ビットのうち、上記ストライプごとの上記処理ビットに対応する S I G ビット、及び当該対応する S I G ビットの下に存在する S I G ビットを保持する保持ステップと、

上記 S I G プレーンにおいて、上記処理ビットに対応する S I G ビットが有意でなく、上記処理ビットに対応する S I G ビットの周囲近傍に存在する S I G 近傍ビットが有意である場合には、上記 S I G プレーンを参照して当該処理ビットをモデル化する第 1 の処理を実行すると共に、当該処理ビットの値を上記 S I G プレーンに反映させる第 1 の処理ステップと

画像処理方法。

【請求項 12】

コンピュータに対し、

コードブロックデータから形成されたビットプレーンのうち、上位の桁の上記ビットプレーンから順に当該ビットプレーン上のビットを所定数でなるストライプに区切り、一のストライプに属する上記ビットを読み出した後に次のストライプに属する上記ビットを読み出すことにより処理対象となる処理ビットを所定の順序で読み出す第 1 の読出ステップと、

上記処理ビットの存在する処理ビットプレーンよりも上位となる上位プレーンにおいて 1 である上記ビットが存在する場合は有意であり、1 である上記ビットが存在しない場合は有意でないとし当該上位プレーンにおける各ビットの有意性を S I G ビットからなる S I G プレーンとして表し、当該 S I G プレーンを上記所定数の上記 S I G ビットを単位として記憶する際、上記ストライプごとの上記処理ビットから少なくとも 1 ビットずらした

10

20

30

40

50

単位ごとに上記所定数の上記S I Gビットを記憶する記憶ステップと、

上記第1のメモリから上記単位ごとに供給される上記S I Gビットのうち、上記ストライプごとの上記処理ビットに対応するS I Gビット、及び当該対応するS I Gビットの上下に存在するS I Gビットを保持する保持ステップと、

上記S I Gプレーンにおいて、上記処理ビットに対応するS I Gビットが有意でなく、上記処理ビットに対応するS I Gビットの周囲近傍に存在するS I G近傍ビットが有意である場合には、上記S I Gプレーンを参照して当該処理ビットをモデル化する第1の処理を実行すると共に、当該処理ビットの値を上記S I Gプレーンに反映させる第1の処理ステップと

を実行させる画像処理プログラム。

10

【請求項13】

所定の画素数でなる画像データにおける各画素を所定の桁数のビットで表すことにより形成されたコードブロックデータから桁ごとに平面化されてなるビットプレーンを生成するために、ビットとして供給されるシンボルデータのうち処理対象となる処理ビットを所定数ごとに読み出す第1の読出部と、

上記処理ビットの存在する処理ビットプレーンよりも上位となる上位プレーンにおいて1である上記ビットが存在する場合は有意であり、1である上記ビットが存在しない場合は有意でないとし当該上位プレーンにおける各ビットの有意性をS I GビットからなるS I Gプレーンとして記憶する際、上記ストライプごとの上記処理ビットから少なくとも1ビットずらした単位ごとに上記所定数の上記S I Gビットを記憶する第1のメモリと、

20

上記第1のメモリから上記単位ごとに供給される上記S I Gビットのうち、上記ビットプレーン上の上記ビットが上記所定数ごとに区切られてなるストライプごとの上記処理ビットに対応するS I Gビット、及び当該対応するS I Gビットの上下に存在するS I Gビットを保持する第1のレジスタと、

上記S I Gプレーンにおいて、上記処理ビットに対応するS I Gビットが有意でなく、上記処理ビットに対応するS I Gビットの周囲近傍に存在するS I G近傍ビットが有意である場合には、上記S I Gプレーンを参照して当該処理ビットをモデル化する第1の処理を実行すると共に、当該処理ビットの値を上記S I Gプレーンに反映させる第1の処理部と

を有する画像処理装置。

30

【請求項14】

所定の画素数でなる画像データにおける各画素を所定の桁数のビットで表すことにより形成されたコードブロックデータから桁ごとに平面化されてなるビットプレーンを生成するために、ビットとして供給されるシンボルデータのうち処理対象となる処理ビットを所定数ごとに読み出す第1の読出ステップと、

上記処理ビットの存在する処理ビットプレーンよりも上位となる上位プレーンにおいて1である上記ビットが存在する場合は有意であり、1である上記ビットが存在しない場合は有意でないとし当該上位プレーンにおける各ビットの有意性をS I GビットからなるS I Gプレーンとして記憶する際、上記ストライプごとの上記処理ビットから少なくとも1ビットずらした単位ごとに上記所定数の上記S I Gビットを記憶する記憶ステップと、

40

上記第1のメモリから上記単位ごとに供給される上記S I Gビットのうち、上記ビットプレーン上の上記ビットが上記所定数ごとに区切られてなるストライプごとの上記処理ビットに対応するS I Gビット、及び当該対応するS I Gビットの上下に存在するS I Gビットを保持する保持ステップと、

上記S I Gプレーンにおいて、上記処理ビットに対応するS I Gビットが有意でなく、上記処理ビットに対応するS I Gビットの周囲近傍に存在するS I G近傍ビットが有意である場合には、上記S I Gプレーンを参照して当該処理ビットをモデル化する第1の処理を実行すると共に、当該処理ビットの値を上記S I Gプレーンに反映させる第1の処理ステップと

を有する画像処理方法。

50

【請求項 15】

コンピュータに対し、

所定の画素数でなる画像データにおける各画素を所定の桁数のビットで表すことにより形成されたコードブロックデータから桁ごとに平面化されてなるビットプレーンを生成するために、ビットとして供給されるシンボルデータのうち処理対象となる処理ビットを所定数ごとに読み出す第1の読出ステップと、

上記処理ビットの存在する処理ビットプレーンよりも上位となる上位プレーンにおいて1である上記ビットが存在する場合は有意であり、1である上記ビットが存在しない場合は有意でないとし当該上位プレーンにおける各ビットの有意性をSIGビットからなるSIGプレーンとして表し、当該SIGプレーンを上記所定数の上記SIGビットを単位として記憶する際、上記ストライプごとの上記処理ビットから少なくとも1ビットずらした単位ごとに上記所定数の上記SIGビットを記憶する記憶ステップと、

上記第1のメモリから上記単位ごとに供給される上記SIGビットのうち、上記ビットプレーン上の上記ビットが上記所定数ごとに区切られてなるストライプごとの上記処理ビットに対応するSIGビット、及び当該対応するSIGビットの上下に存在するSIGビットを保持する保持ステップと、

上記SIGプレーンにおいて、上記処理ビットに対応するSIGビットが有意でなく、上記処理ビットに対応するSIGビットの周囲近傍に存在するSIG近傍ビットが有意である場合には、上記SIGプレーンを参照して当該処理ビットをモデル化する第1の処理を実行すると共に、当該処理ビットの値を上記SIGプレーンに反映させる第1の処理ステップと

を実行させる画像処理プログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、符号化装置及び方法、復号化装置及び方法並びにプログラムに関し、例えばJPE G (Joint Photographic Experts Group) 2000規格に準拠した符号化装置及び復号化装置に適用して好適なものである。

【背景技術】

【0002】

近年、新しいデータ圧縮方式として、JPE G 2000規格と呼ばれる圧縮方式が規格化されている。

【0003】

図46は、かかるJPE G 2000規格に準拠した符号化装置1の構成を示すものであり、供給される画像データD1に対して入力画像処理部2においてDCレベルシフト処理及び色変換処理等の所定の入力画像処理を施した後、得られた信号処理画像データD2をDWT (Discrete Wavelet Transform) 部3に送出する。

【0004】

DWT部3は、供給される信号処理画像データD2に対してウェーブレット変換処理を施す。具体的には、図47に示すように、信号処理画像データD2を低域周波数通過型及び高域周波数通過型の2分割フィルタを通すことにより、当該信号処理画像データD2に基づく画像を例えばこの図47のように水平方向と垂直方向とに帯域(サブバンド)分割する。

【0005】

なおこの図47は、分割数が3レベルのものを示したものであり、図中『LL』は信号処理画像データD2における水平方向及び垂直方向が共に低域周波数側の成分、『LH』は信号処理画像データD2における水平方向が低域周波数側で垂直方向が高域周波数側の成分、『HL』は信号処理画像データD2における水平方向が高域周波数側で垂直方向が低域周波数側の成分、『HH』は信号処理画像データD2における水平方向及び垂直方向が共に高域周波数側の成分をそれぞれ示す。

10

20

30

40

50

【 0 0 0 6 】

そしてDWT部3は、このようなウェーブレット変換処理により得られたウェーブレット係数をDWTデータD3として量子化部4に送出する。

【 0 0 0 7 】

量子化部4は、供給されるDWTデータD3を順次量子化し、得られた量子化係数を、所定サイズのコードブロックに切り分けて、当該コードブロック単位のコードブロックデータD4として、EBCT(Embedded Block Coding with Optimized Truncation)ブロック5のビットモデル部6に送出する。

【 0 0 0 8 】

ビットモデル部6は、供給されるコードブロックデータD4を、ビットプレーンごとにデータをスキャンしながらCBM(Coefficient Bit Modeling)処理により係数ビットモデル化し、かくして得られたシンボル(Symbol)及びコンテキスト(Context)の各データD5、D6を算術符号化(Arithmetic Coder)部7に送出する。

10

【 0 0 0 9 】

算術符号化部7は、供給されるシンボルデータD5及びコンテキストデータD6を入力として所定の算術符号化演算処理を実行することにより符号化列を生成し、これを符号化データD7としてパケタイズストリーム生成部8に送出する。

【 0 0 1 0 】

パケタイズストリーム生成部8は、供給される符号化データD7をJPEG2000規格に応じたパケットフォーマットにパケット化する。これによりJPEG2000規格のシンタクスに合った符号化パケットデータD8を得ることができる。

20

【 0 0 1 1 】

一方、図48は、JPEG2000規格に準拠した復号化装置10の構成を示すものである。

【 0 0 1 2 】

この復号化装置10においては、上述のようにして生成されたJPEG2000規格のシンタクスに合った符号化パケットデータD10から画像情報部分である符号化データD11を抽出し、これをEBCTブロック12の算術復号化部13に送出する。

【 0 0 1 3 】

算術復号化部13は、符号化データD11及び後段のビットデモデル部14から与えられるコンテキストデータD12を入力とした所定の算術復号化演算処理を実行し、かくして得られたシンボルデータD13をビットデモデル部14に送出する。

30

【 0 0 1 4 】

ビットデモデル部14は、供給されるシンボルデータD13をCBM処理により係数ビットモデル化し、かくして得られた復号されたコードブロックデータD14を逆量子化部15に送出すると共に、このとき得られたコンタクスをコンタクスデータD12として算術復号化部13に送出する。

【 0 0 1 5 】

逆量子化部15は、供給される復号量子化データD14に対して逆量子化処理を施すことによりウェーブレット係数を得、これを復号DWTデータD16としてIDWT部16に送出する。

40

【 0 0 1 6 】

IDWT部16は、供給される復号DWTデータD16に対してウェーブレット逆変換処理を施し、かくして得られたウェーブレット逆変換画像データD16を入力画像処理部17に送出する。

【 0 0 1 7 】

そして入力画像処理部17は、このウェーブレット逆変換画像データD16に対して所定の信号処理を施す。これにより符号化装置1(図46)において符号化された画像データD1(図46)を復号した画像データD17を得ることができる。

【 0 0 1 8 】

50

なお、J P E G 2 0 0 0 規格に準拠した符号化装置及び復号化装置に関する文献としては、以下の特許文献 1 や非特許文献 1 がある。

【特許文献 1】特開 2 0 0 2 - 1 5 9 0 0 9 公報

【非特許文献 1】特願 2 0 0 3 - 1 3 0 7 9 3 号

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 9 】

ところが、かかる J P E G 2 0 0 0 規格による符号化処理及び復号化処理は、処理内容が煩雑で、高速化を図り難い問題があった。

【 0 0 2 0 】

本発明は以上の点を考慮してなされたもので、符号化処理又は復号化処理を高速化させる符号化装置及び方法、復号化装置及び方法並びにプログラムを提案しようとするものである。

【課題を解決するための手段】

【 0 0 2 1 】

かかる課題を解決するため本発明においては、コードブロックデータから形成されたビットプレーンのうち、上位の桁のビットプレーンから順に当該ビットプレーン上のビットを所定数となるストライプに区切り、一のストライプに属するビットを読み出した後に次のストライプに属するビットを読み出すことにより処理対象となる処理ビットを所定の順序で読み出し、処理ビットの存在する処理ビットプレーンよりも上位となる上位プレーンにおいて 1 であるビットが存在する場合は有意であり、1 であるビットが存在しない場合は有意でないとし当該上位プレーンにおける各ビットの有意性を S I G ビットからなる S I G プレーンとして記憶する際、ストライプごとの処理ビットから少なくとも 1 ビットずらした単位ごとに所定数の S I G ビットを記憶し、第 1 のメモリから単位ごとに供給される S I G ビットのうち、ストライプごとの処理ビットに対応する S I G ビット、及び当該対応する S I G ビットの上下に存在する S I G ビットを保持し、S I G プレーンにおいて、処理ビットに対応する S I G ビットが有意でなく、処理ビットに対応する S I G ビットの周囲近傍に存在する S I G 近傍ビットが有意である場合には、S I G プレーンを参照して当該処理ビットをモデル化する第 1 の処理を実行すると共に、当該処理ビットの値を S I G プレーンに反映させるようにした。

【 0 0 2 2 】

この結果本発明によれば、記憶手段にアクセスする回数を格段的に低減させることができる。

【 0 0 2 3 】

また本発明においては、所定の画素数となる画像データにおける各画素を所定の桁数のビットで表すことにより形成されたコードブロックデータから桁ごとに平面化されてなるビットプレーンを生成するために、ビットとして供給されるシンボルデータのうち処理対象となる処理ビットを所定数ごとに読み出し、処理ビットの存在する処理ビットプレーンよりも上位となる上位プレーンにおいて 1 であるビットが存在する場合は有意であり、1 であるビットが存在しない場合は有意でないとし当該上位プレーンにおける各ビットの有意性を S I G ビットからなる S I G プレーンとして記憶する際、ストライプごとの処理ビットから少なくとも 1 ビットずらした単位ごとに所定数の S I G ビットを記憶し、第 1 のメモリから単位ごとに供給される S I G ビットのうち、ビットプレーン上のビットが所定数ごとに区切られてなるストライプごとの処理ビットに対応する S I G ビット、及び当該対応する S I G ビットの上下に存在する S I G ビットを保持し、S I G プレーンにおいて、処理ビットに対応する S I G ビットが有意でなく、処理ビットに対応する S I G ビットの周囲近傍に存在する S I G 近傍ビットが有意である場合には、S I G プレーンを参照して当該処理ビットをモデル化する第 1 の処理を実行すると共に、当該処理ビットの値を S I G プレーンに反映させるようにした。

【 0 0 2 4 】

この結果本発明によれば、記憶手段にアクセスする回数を格段的に低減させることができる。

【発明の効果】

【0025】

本発明によれば、記憶手段にアクセスする回数を格段的に低減させることができ、処理を高速化し得る画像処理装置、画像処理方法及び画像処理プログラムを実現できる。

【発明を実施するための最良の形態】

【0027】

以下図面について、本発明の一実施の形態を詳述する。

【0028】

10

(1) C B M 処理の内容

本願発明は上述した J P E G 2 0 0 0 規格に準拠した符号化装置 1 のビットモデル部 6 (図 4 6) や復号化装置 1 0 のビットモデル部 1 3 (図 4 8) において行われる C B M 処理に関するものである。そこで、まず C B M 処理の具体的処理内容について詳説する。

【0029】

(1-1) 1 コードブロックとコードブロックサイズ

図 4 6 について上述したように、例えば J P E G 2 0 0 0 規格に準拠した符号化装置 1 の量子化部 4 では、ウェーブレット係数を量子化したものをコードブロックと呼ばれる単位で切り出してビットモデル部 6 に与える。そしてビットモデル部 6 では、図 1 に示すように、このコードブロック 2 0 を単位として C B M 処理を行い、シンボルとコンテキスト

20

を生成することになる。

【0030】

ここでコードブロック 2 0 のサイズは、図 2 に示すように、大枠が定められている。従って、コードブロック 2 0 のサイズは、エンコード時にこのルールに従って選択することになる。

【0031】

この場合、コードブロック 2 0 は基本的にはサブバンドの左上境界から始まって位置付けられるので、図 3 に示すように、画像サイズとコードブロックサイズとの関係によっては不整合を生じる。このようにエンコード時に決定したものを通常サイズと呼び、不整合が生じたものを例外サイズと呼ぶ。

30

【0032】

例外サイズは必ず通常サイズよりも小さいものであり、基本的に格納しているデータの量が異なるだけであるので、例外サイズについて触れるのはここだけに留め、以下においては通常サイズのコードブロック 2 0 を取り上げて説明する。

【0033】

(1-2) ビットプレーン

上述のように、C B M 処理ではコードブロック 2 0 を単位として処理 (モデル化、シンボル・コンテキスト出力) を行うわけであるが、この処理はコードブロック 2 0 のデータをビットプレーンに分けて順に行われる。ビットプレーンはその名の通り、『b i t (0 / 1)』を表現するものが集まった平面である。

40

【0034】

図 4 に示すように、コードブロック 2 0 に分割されてきたデータは『Sign-Magnitude表現』、すなわち正負符号と絶対値による数値表現により表されている。最上位のビットプレーン 2 2 に各画素の正負符号が格納され、これを正負符号ビットプレーン 2 2 S と呼ぶ。そしてこれよりも下位のビットプレーン 2 2 に各画素の絶対値データがビットごとに順に格納される。

【0035】

ここで仮に各画素のデータが 1 6 ビットで表現されているとすると、コードブロックデータ 2 0 は、各画素の最上位ビット (b i t 1 5) が集まって構成するプレーンから最下位ビット (b i t 0) が集まって構成するプレーンまでの 1 6 枚のビットプレーン 2 2 に

50

分割されることになる。

【 0 0 3 6 】

上位のビットプレーン 2 2 から順に眺めていくと、上述のように最上位ビットが集まって構成するビットプレーン 2 2 が正負符号ビットプレーン 2 2 S であり、各画素の正負符号が格納される。

【 0 0 3 7 】

各画素のその次のビットが集まって構成するビットプレーン 2 2 から最下位ビットが集まって構成するビットプレーン 2 2 までの合計 1 5 枚の各ビットプレーン 2 2 に、各画素のデータの絶対値がビットごとに分割されて格納されていることになる。この場合、統計的に上位のいくつかのビットプレーン 2 2 では全てのビット値が 0 であるということが多い。このようなものをゼロビットプレーン 2 2 0 と呼ぶ。

10

【 0 0 3 8 】

かかる 1 5 枚のビットプレーン 2 2 を上から順に見ていくと、やがて初めてゼロビットプレーン 2 2 0 ではないビットプレーン 2 2 にたどりつく。それをトップビットプレーン 2 2 T と呼び、ここではそれが各画素の最下位ビット (b i t 0) から数えて 1 0 番目のビット (b i t 9) が集まって構成しているビットプレーン 2 2 だったとする。これよりも下位のビットプレーン 2 2 (それぞれ各画素の 9 番目以下のビットが集まって構成される各ビットプレーン 2 2) は、データがあったり無かったりしてもここでは特に分類はしない。

【 0 0 3 9 】

20

ここまでの話をまとめると、この例では、各画素の最上位ビット (b i t 1 5) が集まって構成しているものが正負符号ビットプレーン 2 2 S、各画素の次のビット (b i t 1 4) が集まって構成しているビットプレーン 2 2 から 1 1 番目のビット (b i t 1 0) が集まって構成しているビットプレーン 2 2 がゼロビットプレーン 2 2 0 (1 0 枚)、1 0 番目のビット (b i t 9) が集まって構成しているビットプレーン 2 2 がトップビットプレーン 2 2 T、9 番目 (b i t 8) のビットが集まって構成しているビットプレーン 2 2 から最下位ビットが集まって構成しているビットプレーン 2 2 までが残りの処理すべきビットプレーン 2 2 (9 枚) というビットプレーン構成となっている。

【 0 0 4 0 】

このようなビットプレーン構成のコードブロック 2 0 に対し、上述のビットモデル部 6 (図 4 6) やビットデモデル部 1 3 (図 4 8) では次のように C B M 処理を行う。

30

1. 符号ビットプレーン 2 2 S に対する処理は、後回しにする。
2. ゼロビットプレーン 2 2 0 に対しては C B M 処理を行わない。
3. トップビットプレーン 2 2 T で初めて C B M 処理を行う。この C B M 処理は “ Clean-up Pass ” (以下、これを C U パスと呼ぶ) と呼ばれる。
4. 残りの処理すべきビットプレーン 2 2 に対し、上位のビットプレーン 2 2 から順に、 “ Significance Propagation Pass ” (以下、これを S P パスと呼ぶ)、 “ Magnitude Refinement Pass ” (以下、これを M R パスと呼ぶ) 及び C U パスをビットプレーン 2 2 ごとにそれぞれ行う。

【 0 0 4 1 】

40

なお、S P パス、M R パス及び C U パスの詳細については後述する。

【 0 0 4 2 】

(1 - 3) ビットプレーン内スキャン順序

コードブロック 2 0 内の各ビットプレーン 2 2 に対するアクセス順序はこれまでに説明した通りであるが、ビットプレーン 2 2 内において、各画素のデータにどのような順序でアクセスするかを示したのが図 5 である。この図 5 では、ビットプレーン 2 2 として 8 画素 × 8 画素のものを例示している。

【 0 0 4 3 】

ビットプレーン 2 2 は、縦 4 画素ずつ横方向に区切った場合の各行であるストライプ 2 3 に分けられる。ストライプ 2 3 中の縦 1 列をストライプカラム 2 3 A と呼ぶ。ビット

50

レーン 2 2 の最上段のストライプ 2 3 における左端のストライプカラム 2 3 A から処理を始め、1つのストライプカラム 2 3 A を処理したら隣のストライプカラム 2 3 A に移り、それをそのストライプ 2 3 中繰り返す。1ストライプ 2 3 の処理が完了したら下段のストライプ 2 3 に移動し、ビットプレーン 2 2 内の全ての画素を処理し終えるまでこれを繰り返すというのがビットプレーン 2 2 内でのスキャン順序（以下、これをビットプレーン内スキャン順序と呼ぶ）である。

【 0 0 4 4 】

さらに、ビットプレーン 2 2 内におけるスキャンと 3 つのパス（S P パス、M R パス及び C U パス）との関係について以下に説明する。

【 0 0 4 5 】

上述のようにトップビットプレーン 2 2 T に対して C U パスのみを行い、それよりも下位のビットプレーン 2 2 に対しては、S P パス、M R パス及び C U パスの 3 つのパスを処理する。これとビットプレーン 2 2 内におけるスキャンとの関係を図 6 ～ 図 9 に示す。

【 0 0 4 6 】

まず新たにビットプレーン 2 2 を C B M 処理しようという場合において、まだひとつのデータも処理されておらずこれから処理を開始しようとしている状態が図 6 である。S P パスの処理が必要な画素に対して行われ、この S P パス処理の終了した状態が図 7 となる。S P パスはビットプレーン内スキャン順序を守って行われる。

【 0 0 4 7 】

次の M R パスは、S P パスで処理した画素は避け、該当する画素に対してのみ処理を行う。この M R パスの終了した状態が図 8 である。この M R パスにおいてもビットプレーン内スキャン順序は守る。

【 0 0 4 8 】

さらに未処理で残った画素に対してもやはりビットプレーン内スキャン順序を守りながら C U パスで処理を行う。この C U パスの完了した状態が図 9 である。この結果、すべての画素が処理済みになったので、このビットプレーン 2 2 のビットモデル化は完了したことになる。

【 0 0 4 9 】

なお『トップビットプレーン 2 2 T 』については、C U パスの処理のみを全ての画素に対して行う。

【 0 0 5 0 】

（ 1 - 4 ） “ Significance ” について

次に各コーディング・パス（S P パス、M R パス及び C U パス）の説明に入る前に、“ Significance ” という状態量について説明する。“ Significance ” とは該当画素が『有意である（Significant）／有意でない（Insignificant）』ということを意味する。

【 0 0 5 1 】

『有意である（Significant）』とは、「これまでの C B M 処理によって該当画素が 0 ではないとわかっている状態」のことをいい、換言すれば「値が『 1 』である画素（ビット）をすでにモデル化（符号化）し終えた」ということを意味する。

【 0 0 5 2 】

また『有意でない（Insignificant）』とは、「該当画素の画素値が 0 であるか、又は 0 の可能性がある状態」のことをいい、換言すれば「（今のところ）値が『 1 』である画素（ビット）を未だモデル化（符号化）し終えていない」ということを意味する。

【 0 0 5 3 】

さらに『該当画素』とは、ビットプレーン 2 2 上のある着目している画素のことをいう。

【 0 0 5 4 】

なお、“ Significance ” はコードブロック 2 0（図 1）の全体に渡って更新されながら記憶保持される。従ってこれまで例示した 8 画素 × 8 画素のビットプレーン 2 2 が 1 6 枚からなるコードブロック 2 0 においていえば、6 4 画素（8 画素 × 8 画素）分の “ Signif

10

20

30

40

50

ificance” 状態量をコードブロック 20 に渡って記憶保持することになる。

【0055】

C B M 処理では、時間的にトップビットプレーン 22 T から順に、ビットプレーン 22 内ではビットプレーン内スキャン順序に従って 3 つのコーディング・パス（トップビットプレーン 22 T では C U パスのみ）を処理（モデル化、シンボル・コンテキスト出力）するが、ある画素の係数（正確にはウェーブレット変換係数を量子化したもの）の状態をこの “Significance” で表していることになる。

【0056】

因みに、C B M 処理が行われていないコードブロック 20 においては、すべての S I G プレーン上の値が “Insignificant” で始まり、各ビットプレーン 22 を処理していく過程において該当するものが “Significant” に転じていく。一度 “Significant” になったものが C B M 処理の途中で “Insignificant” に戻ることはない。

【0057】

（1 - 5）3 つのコーディング・パス

次に、S L パス（Significance Propagation Pass）、M R パス（Magnitude Refinement Pass）、C U パス（Clean-up Pass）について説明する。

【0058】

この 3 つのコーディング・パスに従ってビットモデル化の処理を行う場合には、図 10 に示すように、これから処理しようとするビットプレーン 22（以下、これを処理ビットプレーン 22 と呼ぶ）以外に、正負符号ビットプレーン 22 S（図 4）のデータを記憶保持するプレーン（以下、これを正負符号プレーンと呼ぶ）30 と、“Significance” を記録するプレーン（以下、これを S I G プレーンと呼ぶ）31 と、最初の “Refinement pass” であるか否か示すプレーン（以下、これを R E F プレーンと呼ぶ）32 と、処理ビットプレーン中で着目ビットが処理済みであるか否かを表すプレーン（以下、これを D O N E プレーンと呼ぶ）33 とを状態量の記録用 R A M として用意するのが一般的である。

【0059】

これら正負符号プレーン 30、S I G プレーン 31、R E F プレーン 32 及び D O N E プレーン 33 は、処理ビットプレーン 22 と同じ大きさを持つ（これまでの例では 8 画素 × 8 画素）プレーンである。

【0060】

この場合、正負符号プレーン 30 は、コードブロック 22 を処理している間はその値が変化せず記憶保持される。S I G プレーン 31 は、S P パス、C U パスで値を変化させられる可能性がある。R E F プレーン 32 は、M R パスで値を変化させられる可能性がある。D O N E プレーン 33 は、各コーディング・パスの処理が完了した画素に対応させて処理済のフラグを立てる状態量で、その処理ビットプレーン 22 に対する処理が完了した段階でリセットされる。

【0061】

（1 - 5 - 1）S P パスの処理

S P パスは、トップビットプレーン 22 T（図 4）を除く処理ビットプレーン 22 において、最初に実施されるコーディング・パスである。この S P パスは、処理ビットプレーン 22 上の該当画素と同じ座標位置にある S I G プレーン 31 上のデータを参照しながら処理が進められる。

【0062】

すなわち図 11 に示すように、例えば処理ビットプレーン 22 上における該当画素の座標が（2，1）であったとき（図 11（B））、S I G プレーン 31 上のこの該当画素に対応するビット（図 11（C）における座標（2，1）のビット）と、その 8 近傍のビットとを合わせた（1，0）、（2，0）、（3，0）、（1，1）、（2，1）、（3，1）、（1，2）、（2，2）、（3，2）の各座標位置のデータを参照することになる。なお参照する 8 近傍のビットうち、処理ビットプレーン 22 の外側に位置してしまったビットはすべて “Insignificant” とされる。

10

20

30

40

50

【 0 0 6 3 】

S P パスの処理を行うに際しては、上述したビットプレーン内スキャン順序に従って、処理ビットプレーン 2 2 の左上を起点に、当該処理ビットプレーン 2 2 上の画素ごとに当該処理を行うことができるかどうかを調べる。具体的には、『該当画素が “Significant” ではない (Insignificant) 』かつ『該当画素の 8 近傍に “Significant” である画素が少なくともひとつ存在する』という条件を満たすか否かを調査する。

【 0 0 6 4 】

そしてこの条件を満たすときにその該当画素に対して S P パスの処理を行い、満たさないときには S P パスの処理を行わずにビットプレーン内スキャン順序に従って次の画素を評価する。

10

【 0 0 6 5 】

次に、S P パスの処理に入った場合の流れを説明する。

【 0 0 6 6 】

S P パスに入った場合、シンボルとして図 1 2 (A) に示す処理ビットプレーン 2 2 の該当画素の値 (0 / 1) を出力する。同時に、処理ビットプレーン 2 2 上の該当画素と対応する図 1 2 (B) に示す S I G プレーン 3 1 上のビットを囲む 8 近傍のビットのうち、“Significant” であるビットの数を数え、図 1 3 に示すルールに従ってコンテキストを出力する。

【 0 0 6 7 】

なおこの図 1 3 において、『 H 』、『 V 』、『 D 』及び『 H + V 』は、それぞれ処理ビットプレーン 2 2 上の該当画素と対応する S I G プレーン 3 1 上のビットの 8 近傍における左右 2 つのビット、上下 2 つのビット、斜め 4 つのビット、又は上下左右 4 つのビットうちの “Significant” であるビットの合計値を表す。

20

【 0 0 6 8 】

また『 C X 』は、そのような状態のときのコンテキストを表す。例えば、その処理ビットプレーン 2 2 を含むコードブロック 2 0 (図 1) が画像の L L 成分 (図 4 7) であり、このとき『 H 』、『 V 』及び『 D 』がそれぞれ 0、0 及び 1 であった場合のコンテキストは 1 となり、『 H 』、『 V 』及び『 D 』がそれぞれ 1、0 及び 0 であった場合のコンテキストは 5 となる。

【 0 0 6 9 】

シンボルの値が 0 である場合は、その該当画素に対する S P パスの処理がこれで完了し、この該当画素と D O N E プレーン 3 3 (図 1 0) 上の同じ座標位置にビットモデル化が完了した旨のフラグを立てる。

30

【 0 0 7 0 】

これに対してシンボルの値が 1 (すなわち該当画素の値が 1) だった場合は、この該当画素は初めて 1 が現れた画素であることになり、いままで “Insignificant” であったが、ここで初めて “Significant” に転じ、S I G プレーン 3 1 上の同じ座標位置にフラグを立てる。このとき R E F プレーン 3 2 (図 1 0) 上の同座標位置にもフラグを立てる。これは次の M R パスのための処理である。

【 0 0 7 1 】

さらに、その該当画素と同じ座標位置にある正負符号プレーン 3 0 上のビット (すなわち該当画素に対応する正負符号) の上下左右 4 近傍のビットを参照し、図 1 4 に示すルールに従ってコンテキストを出力する。

40

【 0 0 7 2 】

またこれと同時に X O R 信号も出力され、これと当該コンテキストの排他的論理和を取ったものを、正負符号のシンボルとして出力することにより該当画素に対応する正負符号のビットモデル化を完了し、この段階でこの該当画素についての S P パスの処理も完了となる。このとき D O N E プレーン 3 3 (図 1 0) 上の該当画素と同じ座標位置にビットモデル化が完了したことを表すフラグを立てる。

【 0 0 7 3 】

50

なお、上述のことからも明らかなように、スキャン順序によっては、S Pパスによって“Significant”に新たに転じたものが他の（近傍）画素のS I Gプレーン3 1上の8近傍参照時に影響を与えることがある。

【0074】

（1 - 5 - 2）M Rパスの処理

M Rパスは、トップビットプレーン2 2 T（図4）を除く処理ビットプレーン2 2について、S Pパスに続いて実施されるコーディング・パスである。図15に処理の概略を示す。

【0075】

このM Rパスの処理を行うに際しては、上述したビットプレーン内スキャン順序に従って、処理ビットプレーン2 2の左上を起点に、当該処理を行うことができるかどうかを各画素について調べる。具体的には、「『未処理（D O N Eプレーン3 3上の該当画素と同じ座標位置にフラグが立っていない）の処理ビットプレーン2 2上の該当画素』であって『その該当画素が“Significant”である』』という条件を満たすか否かを調査する。

【0076】

そしてこの条件を満たすときにその該当画素に対してM Rパスの処理を行い、満たさないときにはM Rパスの処理を行わずに上述のビットプレーン内スキャン順序に従って処理ビットプレーン2 2上の次の画素を評価する。

【0077】

そしてM Rパスの処理に入った場合、該当画素とS I Gプレーン3 1上の同じ座標位置にあるビットの8近傍のビットを参照し、図16に示すルールに従ってコンテキストを出力し、同時に該当画素の値（0 / 1）をシンボル（図16において『X』）として出力する。

【0078】

図16において、『該当画素を最初に本パス（M Rパス）で符号化』しているのかどうかという状態は、R E Fプレーン3 2（図10）の該当画素と同じ座標位置のフラグを参照する。このフラグが立っていれば、その該当画素が、S Pパスで処理が行われた直後の処理ビットプレーン2 2上の画素であるということがわかる。ただし、これ以降の下位のビットプレーン2 2の処理時に誤って参照しないように、参照後にこのフラグをクリアする。

【0079】

（1 - 5 - 3）C Uパスの処理

トップビットプレーン2 2 Tに対しては唯一これのみ、トップビットプレーン2 2 Tを除く他の処理対象のビットプレーン2 2に対しては最後に実施されるコーディング・パスである。

【0080】

C Uパスでは、上述したビットプレーン内スキャン順序に従って、処理ビットプレーン2 2の左上を起点に、C Uパスの処理を行うことができるかどうかを各画素について調べるが、この段階で「未処理（D O N Eプレーン3 3上で該当画素と同じ座標位置にフラグが立っていない）の処理ビットプレーン2 2上の画素」、すなわち処理ビットプレーン2 2上のS Pパス及びM Rパスの処理対象とならない残りの画素がすべてC Uパスの処理対象となる。

【0081】

C Uパスでは、図17に示すように、上述したS PパスやM Rパスのように該当画素と同じ座標位置にあるS I Gプレーン3 1上のビットの8近傍の値を参照するものに加えて、もう少し大きいランレングス符号化を行う。

【0082】

C Uパスの処理は、まず処理ビットプレーン2 2の左上を起点に、ランレングス処理を行うことができるかどうかを調べる。具体的には、ストライプカラム2 3 A単位で、「『当該ストライプカラム2 3 A内の4画素すべてがC Uパスで処理すべき画素である』かつ

10

20

30

40

50

『当該ストライプカラム 2 3 A 内の 4 画素すべてが “Insignificant” である』かつ『当該ストライプカラム 2 3 A 内の 4 画素とそれぞれ同じ座標位置にある S I G プレーン 3 1 上の 4 つのビットの各 8 近傍に “Significance” が存在しない』という条件を満たすか否かを調査する。

【 0 0 8 3 】

そしてこの条件を満たすときにランレングス処理に入り、コンテキストとして “run” を出力する。その上で、『当該ストライプカラム 2 3 A 内の 4 画素の値がすべて 0 である』ときにはシンボルとして 0 を出力し、これに対して『当該ストライプカラム 2 3 A の 4 画素の値がすべて 0 ではない』とき、すなわち 4 画素の中にひとつでも 1 が存在する場合には、(“run” を出力した上で) シンボルとして 1 を出力し、それに引き続いて 2 回 “u
niform” というコンテキストと対応するシンボルを出力する。

10

【 0 0 8 4 】

この際 “uniform” コンテキストに対応するシンボルは、図 1 8 に示すようなルールでエンコードを行う。この図 1 8 で説明すると、ストライプカラム 2 3 A 内の 4 画素が上から順に 0、0、1、0 で、初めて 1 が出てきたその位置を表現する『1、0』なる列がその順でシンボルとなる。“Insignificant” な画素において初めて 1 が現れたことになるので、その座標は “Significant” に転じ、図 1 7 (B) に示すように、かかる値が 1 の画素と同じ S I G プレーン 3 1 上の座標位置にフラグを立てる。同時に R E F プレーン 3 2 (図 1 0) の同じ座標位置にもフラグを立てておくことはいうまでもない。

【 0 0 8 5 】

20

続いてその該当画素の正負符号をモデル化するが、そのやり方は図 1 4 について上述した S P パスにおける正負符号のモデル化のそれと同じものである。さらにこの例ではストライプカラム 2 3 A 内の 4 番目の画素がモデル化されずに残っているが、この画素については S P パスと同様のモデル化を行うことになる。

【 0 0 8 6 】

(1 - 6) 3 つのコーディング・パスの依存関係

C B M 処理では 3 つのコーディング・パスを処理する。一度あるコーディング・パスでモデル化を行った処理ビットプレーン 2 2 上の画素がその処理ビットプレーン 2 2 中の他のコーディング・パスで再評価されることはない。D O N E プレーン 3 3 を用いて処理済・未処理を管理しているためである。

30

【 0 0 8 7 】

しかしながら、上述のように “Significance” は 8 近傍から影響を受けるため、一般的に “Significance” の依存関係がある。すなわち “Significance” に転じた画素があれば、近傍の画素がモデル化される際にその影響を受ける。

【 0 0 8 8 】

(1 - 7) 従来の C B M 処理の問題

これまで C B M 処理の概略を示してきたが、ポイントは、

1. ひとつのビットプレーン 2 2 について 3 つのコーディング・パスを処理しなければならない
 2. 3 つのコーディング・パスにはビットプレーン 2 2 内で依存関係がある
 3. 上位のビットプレーン 2 2 で生成された S I G プレーン 3 1 の値を評価しながら下位のビットプレーン 2 2 のビットモデル化が行われる
- ということである。

40

【 0 0 8 9 】

そのような制約のもと、上述した従来手法による C B M 処理では、

1. 上位のビットプレーン 2 2 から順番に処理を行う。
2. トップビットプレーン 2 2 T では C U パスの処理を行う。このとき S I G プレーン 3 1 が生成される。
3. トップビットプレーン 2 2 T に対する処理の完了後、ひとつ下のビットプレーン 2 2 に移り、S P パスの処理を行いつつ S I G プレーン 3 1 をアップデートする。

50

4. S P パスの処理を完了後、M R パスの処理を行う。処理に際して S I G プレーン 3 1 を参照する。
5. M R パスの処理を完了後、C U パスの処理を行う。S I G プレーン 3 1 を参照しつつ、あらたにモデル化されたビットを取り込みつつ S I G プレーン 3 1 をアップデートする。これでひとつのビットプレーン 2 2 の処理を完了する。
6. 次のビットプレーン 2 2 に移る。
7. ...

といった流れのシーケンシャルな処理となっていた。

【 0 0 9 0 】

また従来手法におけるビットプレーン 2 2 (例えば 8 画素 × 8 画素) についての C B M 処理では、各コーディング・パスごとにビットプレーン内スキャン順序に従って、1 画素ずつ順に評価している。

【 0 0 9 1 】

しかしながら、3つのコーディング・パスを処理するビットプレーン 2 2 (主にこれが支配的である) では、64 画素を評価するのに少なくとも S P パス処理時に 64 回、M R パス処理時に 64 回の合わせて 192 回の係数参照を要する。また実際上は、これに加えて正負符号を評価する分も必要となる。

【 0 0 9 2 】

ところがさらに同時にアクセスする S I G プレーン 3 1 に至っては、該当画素と同座標のビット及びその 8 近傍のビットの値を参照する必要があり、 $192 \text{ 回} \times (8 + 1) = 1728 \text{ 回}$ 、すなわち処理すべき 64 画素の 27 倍のデータアクセスが必要となり、それが回路の動作速度に限界を与えている。

【 0 0 9 3 】

一方、これまでビットプレーン 2 2 が 8 画素 × 8 画素である場合の C B M 処理について説明してきたが、ウェーブレット変換して量子化された係数に対してコードブロックを切り出す際に、実際には 32 画素 × 32 画素や 64 画素 × 64 画素といったコードブロックサイズが使われることが多い。

【 0 0 9 4 】

この場合、例えば 32 画素 × 32 画素 × 16 ビットのコードブロックサイズでは、 $32 \times 32 \times 16 = 16384 \text{ [bit]} = 16 \text{ [Kbit]}$ というデータ量となり、64 画素 × 64 画素 × 16 ビットのコードブロックサイズでは $64 \times 64 \times 16 = 65536 \text{ [bit]} = 64 \text{ [Kbit]}$ というデータ量となる。

【 0 0 9 5 】

従って、例えば図 4 6 に示す J P E G 2 0 0 0 規格に準拠した符号化装置 1 や図 4 8 に示す復号化装置 1 0 を I C (Integrated Circuit) 化しようと考えた場合、実際上用いられることが多い 32 画素 × 32 画素 × 16 ビットや 64 画素 × 64 画素 × 16 ビットのコードブロックサイズは、I C 内部の S R A M (Static R A M) に記憶保持するには大きいと言わざるを得ない。

【 0 0 9 6 】

そこで本願特許請求人は、上述した特願 2 0 0 3 - 1 3 0 7 9 3 号において、

1. I C 化した符号化装置及び復号化装置の外部にコードブロックデータを記憶保持する D R A M (Dynamic R A M) を設ける一方、係数ビットモデリングに必要な処理ビットプレーンデータを記憶保持する S R A M を I C 内部に設け、さらに処理に必要なデータ部分のみを順次切り取りながら S R A M からビットモデル部に読み込んで、C B M 処理をした後に S R A M に書き戻す Read - Modify - Write 形態をとる
2. 従来 1 画素ずつ処理していた C B M 処理を、処理ビットプレーン 2 2 内のストライプカラム 2 3 A の大きさにあたる 4 画素まとめて演算子として構成し、処理を行う
3. 4 画素拡張した演算子をすべてシフトレジスタを用いた演算子として構成することにより、処理ビットプレーンデータ、S I G プレーンデータ、R E F プレーンデータ、正負符号プレーンデータ及び D O N E プレーンデータの 5 つの情報が同期したパイプライン処

10

20

30

40

50

理を行う

などの構成上の工夫を加えることによって、従来のＣＢＭ処理において存在した無駄時間を大幅に短縮し、処理時間の低減を図ることを提案している。

【００９７】

しかしながら、この特願２００３－１３０７９３号において提案した発明では、ＳＩＧプレーン３１のデータを記憶保持するメモリの構成によっては当該メモリからのＳＩＧプレーン３１上の必要なデータの読み出しで処理が待たされ、「４画素拡張演算」の効果を十分に発揮できないことがある。

【００９８】

例えば上述の特願２００３－１３０７９３号に開示した符号化装置や復号化装置においてＳＩＧプレーン３１のデータを記憶保持するメモリの構成として、従来のようにＳＩＧプレーン３１上の１ビットについてメモリ語長（１ワード）を割り当てるという構成を採用した場合を考える。

【００９９】

この場合、図１９に示すように、処理ビットプレーン２２上の１つのストライプカラム（図１９（Ａ－１））をＣＢＭ処理するためには、ＳＩＧプレーン３１については１８回（図１９（Ａ－２））、正負符号プレーン３０については１４回（図１９（Ａ－３））のメモリアクセスが必要となる。

【０１００】

このため例えば処理ビットプレーン２２の１ストライプカラム２３Ａを構成する４画素を１クロックで一括してメモリから読み出した場合（図１９（Ｂ－１））でも、これら４画素をＣＢＭ処理するのに必要なＳＩＧプレーン３１上のデータや正負符号プレーン３０上のデータを読み出し終えるまでＣＢＭ処理が待たされることとなる（図１９（Ｂ－２）、図１９（Ｂ－３））。

【０１０１】

また図２０に示すように、処理ビットプレーン２２、正負符号プレーン３０、ＳＩＧプレーン３１、ＲＥＦプレーン３２及びＤＯＮＥプレーン３３の各データをひとまとめにマルチプレクスして、ひとつのアドレスを指定することでこれらのデータを一括して取り出せるようなメモリ構成（たて串方式）を採用することも提案されているものの、この手法もメモリアクセス頻度の観点から考えれば上述の手法と全く変わらない。

【０１０２】

そこで本願発明においては、上述のように従来１ビットずつ行っていたメモリからのＳＩＧプレーン３１のデータの読み出しを縦４ビットをひとつの単位（語長、ワード）とすることによって、かかる従来手法に比してＳＩＧプレーン３１上のデータの読み出しのためのメモリアクセス頻度を低減させようとするものである。以下、本実施の形態について説明する。

【０１０３】

（２）第１の実施の形態

（２－１）第１の実施の形態による符号化装置４０の構成

（２－１－１）符号化装置４０の全体構成

図４６との対応部分に同一符号を付して示す図２１は、ＪＰＥＧ２０００規格に準拠した本実施の形態による符号化装置４０を示し、全体として一体にＩＣ化（集積回路化）されて構成されている点と、ＩＣの外部に量子化部４から出力されるコードブロックデータＤ４を記憶保持するＤＲＡＭ４１が設けられている点と、ＥＢＣＯＴブロック４２の構成が異なる点とを除いて図４６に示す符号化装置１と同様に構成されている。

【０１０４】

實際上、ＥＢＣＯＴブロック４２においては、図２２に示すように、それぞれＳＲＡＭからなる正負符号プレーンバッファ５０及び処理ビットプレーンバッファ５１Ａ、５１Ｂが入力段に設けられており、ＤＲＡＭ４１（図２１）に記憶保持されたコードブロックデータＤ４のうち、正負符号ビットプレーン２２Ｓのデータ（以下、これを単に正負符号ブ

10

20

30

40

50

レーンデータと呼ぶ) D 2 0 と、必要な処理ビットプレーン 2 2 のデータ(以下、これを単に処理ビットプレーンデータと呼ぶ) D 2 1 とを読み出し、これらをそれぞれ S R A M となる正負符号バッファ 5 0 又はビットプレーンバッファ 5 1 A、5 1 B に記憶保持し得るようになされている。

【 0 1 0 5 】

この場合処理ビットプレーンバッファ 5 1 A、5 1 B は 2 つ設けられており、これにより一方の処理ビットプレーンバッファ 5 1 A、5 1 B に記憶保持した処理ビットプレーンデータ D 2 1 を C B M 処理しながら、他方の処理ビットプレーンバッファ 5 1 B、5 1 A に次の処理ビットプレーンデータ D 2 1 を書き込み得るようになされている。

【 0 1 0 6 】

また E B C O T ブロック 4 2 には、それぞれ少なくとも 1 ビットプレーン分のデータ及び 2 ビットプレーン分のデータの記憶容量を有する S R A M 5 2 A、5 2 B が設けられており、これにより C B M 処理時に利用する S I G プレーン 3 1 (図 1 0) のデータ(以下、これを S I G プレーンデータと呼ぶ) D 2 2 を S R A M 5 2 A に記憶保持し、R E F プレーン 3 2 (図 1 0) のデータ(以下、これを R E F プレーンデータと呼ぶ) D 2 3 及び D O N E プレーン 3 3 (図 1 0) のデータ(以下、これを D O N E プレーンデータと呼ぶ) D 2 4 を S R A M 5 2 B に記憶保持することができるようになされている。

【 0 1 0 7 】

一方、処理ビットプレーンバッファ 5 1 A、5 1 B に記憶保持された処理ビットプレーンデータ D 2 1 は、スイッチャ 5 3 を介してビットモデル部 5 4 により所定単位で順次読み出される。そしてビットモデル部 5 4 は、この読み出した処理ビットプレーンデータ D 2 1 を、正負符号プレーンバッファ 5 0 に記憶保持された正負符号プレーンデータ D 2 0 と、S R A M 5 2 A、5 2 B に記憶保持された S I G プレーンデータ D 2 2、R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 4 とを利用しながら C B M 処理し、かくして得られたシンボル S B 及びコンテキスト C X を算術符号化部 5 5 に送出する。

【 0 1 0 8 】

算術符号化部 5 5 は、供給されるシンボル S B 及びコンテキスト C X を入力として算術符号化処理を行いながら符号化列を生成し、かくして得られた符号化データ D 2 5 をコードブロック 2 0 ごとに第 1 又は第 2 のビットストリームバッファ 5 6 A、5 6 B に順次交互に格納する。

【 0 1 0 9 】

そしてこの第 1 又は第 2 のビットストリームバッファ 5 6 A、5 6 B に格納された符号化データ D 2 5 は、この後スイッチャ 5 7 を介して後段のパケットサイズ・ストリーム生成部 8 (図 2 1) に送出される。

【 0 1 1 0 】

このようにしてこの符号化装置 4 0 においては、D R A M 4 1 に格納されたコードブロックデータ D 4 から必要な処理ビットプレーンデータ D 2 1 のみを読み出してビットプレーンバッファ 5 1 A、5 1 B に記憶保持しながら、当該記憶保持した処理ビットプレーンデータ D 2 1 に対して順次 C B M 処理を施し得るようになされている。

【 0 1 1 1 】

(2 - 1 - 2) ビットモデル部 5 4 の構成

ここでビットモデル部 5 4 は、図 2 3 に示すように、シグナルスイッチャ 6 0、S P パス符号化処理部 6 1、M R パス符号化処理部 6 2、C U パス符号化処理部 6 3、出力スイッチャ 6 4 及び制御部 6 5 から構成されている。

【 0 1 1 2 】

この場合シグナルスイッチャ 6 0 は、トップビットプレーン 2 2 T 以外の処理ビットプレーン 2 2 に対する C B M 処理時、シーケンサ及びタイミングジェネレータとしての機能を有する制御部 6 5 の制御のもとに、処理ビットプレーンデータ D 2 1 を、図 2 4 (A) に示す 1 ストライプカラム 2 3 A を構成する 4 画素分を 1 ワードとして、ビットプレーン内スキャン順序に従って処理ビットプレーンバッファ 5 1 A、5 1 B から 1 ワードずつ順

10

20

30

40

50

次読み出し、これをまずS Pパス符号化処理部61に送出する。

【0113】

またシグナルスイッチャ60は、これと同期して、処理ビットプレーンバッファ51A、51Bから読み出された4画素分の処理ビットプレーンデータD21に対してS Pパスによる符号化処理（以下、これをS Pパス符号化処理と呼ぶ）をする際に必要となる、当該4画素とそれぞれ同座標にある正負符号プレーン30上の4ビット及びその上下の各ビット（合わせて6ビット、図24（C）参照）の正負符号プレーンデータD20を正負符号プレーンバッファ50から順次読み出し、これをS Pパス符号化処理部61に送出する。

【0114】

この場合正負符号プレーンバッファ50は、処理ビットプレーン22の各ストライプカラム23Aとそれぞれ対応する4画素分を単位（ワード）として正負符号プレーンデータD20を記憶しており、このワード単位で正負符号プレーンデータD20を読書きし得るように構成されている。従って、このときシグナルスイッチャ60は、かかる処理ビットプレーンバッファ51A、51Bから読み出された4画素分の処理ビットプレーンデータD21をS Pパス符号化処理する際に必要となる合計6ビットの正負符号プレーンデータD20に対して、図25に示すように、実際には当該4画素とそれぞれ同座標にある正負符号プレーン30上の4画素分の正負符号プレーンデータD20と、その上下のストライプカラム23Aをそれぞれ構成する各4画素分の正負符号プレーンデータD20とを正負符号プレーンバッファ30から3クロックかけて順次読み出し、これをS Pパス符号化処理部61に送出することとなる。

【0115】

さらにシグナルスイッチャ60は、これと同期して、かかる4画素分の処理ビットプレーンデータD21をS Pパス符号化処理する際に必要となる、当該4画素とそれぞれ同座標にあるS I Gプレーン31上の4ビット及びその上下の各ビット（合計6ビット、図24（B）参照）分のS I GプレーンデータD22をS R A M 5 2 Aから順次読み出し、これをS Pパス符号化処理部61に送出する。

【0116】

この場合S R A M 5 2 Aも、処理ビットプレーン22の各ストライプカラム23Aとそれぞれ対応する4画素分を単位（ワード）としてS I GプレーンデータD22を記憶しており、このワード単位でS I GプレーンデータD22を読書きし得るように構成されている。従って、このときシグナルスイッチャ60は、かかる処理ビットプレーンバッファ51A、51Bから読み出された4画素分の処理ビットプレーンデータD21をS Pパス符号化処理する際に必要となる合計6ビット分のS I GプレーンデータD22に対して、実際には当該4画素とそれぞれ同座標にあるS I Gプレーン31上の4ビットのS I GプレーンデータD22と、その上下の各4ビット分のS G IプレーンデータD22とをS R A M 5 2 Aから3クロックかけて順次読み出し（図25）、これをS Pパス符号化処理部61に送出することとなる。

【0117】

さらにシグナルスイッチャ60は、これと同期して、かかる4画素分の処理ビットプレーンデータD21をS Pパス符号化処理する際に必要となる、当該4画素とそれぞれ同座標にあるR E Fプレーン32上の4ビット（図24（E）参照）分のR E FプレーンデータD23と、当該4画素と同座標にあるD O N Eプレーン33上の4ビット（図24（D）参照）分のD O N EプレーンデータD24とをS R A M 5 2 Bから順次読み出し、これをS Pパス符号化処理部61に送出する。

【0118】

この場合S R A M 5 2 Bも、処理ビットプレーン22の各ストライプカラム23Aとそれぞれ対応する4画素分を単位（ワード）としてR E FプレーンデータD23及びD O N EプレーンデータD23を記憶しており、このワード単位でR E FプレーンデータD23やD O N EプレーンデータD23を読書きし得るように構成されている。従って、シグナ

10

20

30

40

50

ルスイッチャ60は、かかる4ビット分のREFプレーンデータD23又はDONEプレーンデータD24をそれぞれ1クロックでSRAM52Bから読み出し、これをSPパス符号化処理部61に送出することとなる。

【0119】

このときSPパス符号化処理部61は、シグナルスイッチャ60から順次供給される処理ビットプレーンデータD21と、これと対応する正負符号プレーンデータD20、SIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24とを、それぞれ少なくとも過去3サンプル分だけ記憶保持し得るようになされている。

【0120】

因みに、ここでは処理ビットプレーンデータD21、REFプレーンデータD23及びDONEプレーンデータD24については1ワードが1サンプルに該当し、正負符号プレーンデータD20及びSIGプレーンデータD22については縦方向に並ぶ3ワードが1サンプルに該当する。

10

【0121】

そしてSPパス符号化処理部61は、シグナルスイッチャ60から次のサンプルの処理ビットプレーンデータD21等が与えられると、その1つ前のサンプルの処理ビットプレーンデータD21(図24(A)において太枠で囲んだ4画素分)について、そのとき記憶保持している図24(B)~(E)においてそれぞれ太枠で囲まれたSIGプレーンデータD22、正負符号プレーンデータD20、REFプレーンデータD23及びDONEプレーンデータD24を利用して、SPパス符号化処理できるか否かの検出と、できる場合のSPパス符号化処理とを実行する。

20

【0122】

そしてSPパス符号化処理部61は、SPパス符号化処理を行った場合、これにより得られたその画素についてのシンボルSB及び正負符号についての各シンボルSBをシンボルデータD26Sとして出力スイッチャ64に送出すると共に、その画素についてのコンテキストCX及び正負符号についてのコンテキストCXをコンテキストデータD27Sとして出力スイッチャ64に送出する。

【0123】

またSPパス符号化処理部61は、SPパス符号化処理を行ったときは、かかるSIGプレーンデータD22、REFプレーンデータD23及び又はDONEプレーンデータD24をこれに応じて更新し、その後これらをシグナルスイッチ60を介して対応するSRAM52A、52Bに与えることにより、これらSIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24をそれぞれSRAM52A、52Bにおけるもとのアドレス位置に書き戻させる(Read-Modify-Write)。

30

【0124】

一方、シグナルスイッチャ60は、このようにして処理ビットプレーンバッファ51A、51Bに格納された1ビットプレーン分のデータ(処理ビットプレーンデータD21)に対するSPパス符号化処理を終了すると、この後これと同様にして、制御部65の制御のもとに、同じ処理ビットプレーンデータD21を、図24(A)に示す1ストライプカラム23Aを構成する4画素分を1ワードとして、ビットプレーン内スキャン順序に従って処理ビットプレーンバッファ51A、51Bから1ワードずつ順次読み出し、これをMRパス符号化処理部62に送出する。

40

【0125】

またシグナルスイッチャ60は、これと同期して、処理ビットプレーンバッファ51A、51Bから読み出された4画素分の処理ビットプレーンデータD21に対してMRパスによる符号化処理(以下、これをMRパス符号化処理と呼ぶ)をする際に必要となる、当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビット及びその上下の各ビット(合わせて6ビット、図24(B)参照)のSIGプレーンデータD22をSRAM52Aから順次読み出し、これをMRパス符号化処理部62に送出する。

【0126】

50

この際シグナルスイッチャ60は、上述のSPパス符号化処理部61の場合と同様に、かかる処理ビットプレーンバッファ51A、51Bから読み出された4画素分の処理ビットプレーンデータD21をMRパス符号化処理する際に必要となる合計6ビット分のSIGプレーンデータに対して、実際には当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビット分のSIGプレーンデータD22と、その上下の各4ビット分のSIGプレーンデータD22とをSRAM52Aから3クロックかけて順次読み出し(図25)、これをMRパス符号化処理部62に送出することとなる。

【0127】

さらにシグナルスイッチャ60は、これと同期して、かかる4画素分の処理ビットプレーンデータD21をMRパス符号化処理する際に必要となる、当該4画素と同座標にあるREFプレーン32上の1ワード(図24(E)参照)分のREFプレーンデータD23と、当該4画素と同座標にあるDONEプレーン33上の1ワード(図24(D)参照)分のDONEプレーンデータD24とをSRAM52Bから順次読み出し、これをMRパス符号化処理部61に送出する。

【0128】

このときMRパス符号化処理部62は、シグナルスイッチャ60から順次供給される4画素分の処理ビットプレーンデータD21と、これと対応するSIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24とを、それぞれ少なくとも過去3サンプル分だけ記憶保持し得るようになされている。

【0129】

因みに、この場合も処理ビットプレーンデータD21、REFプレーンデータD23及びDONEプレーンデータD24については1ワードが1サンプルに該当し、正負符号プレーンデータD20及びSIGプレーンデータD22については縦方向に並ぶ3ワードが1サンプルに該当する。

【0130】

そしてMRパス符号化処理部62は、シグナルスイッチャ60から次のサンプルの処理ビットプレーンデータD21等が与えられると、その1つ前のサンプルの処理ビットプレーンデータD21(図24(A)において太枠で囲んだ4画素分)について、そのとき記憶保持している図24(B)、(D)及び(E)においてそれぞれ太枠で囲まれた必要なSIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24を利用して、MRパス符号化処理できるか否かの検出と、できる場合のMRパス符号化処理とを実行する。

【0131】

そしてMRパス符号化処理部62は、MRパス符号化処理を行った場合、これにより得られたその画素についてのシンボルSB及び正負符号についてのシンボルSBをシンボルデータD26Rとして出力スイッチャ64に送出すると共に、その画素についてのコンテキストCX及び正負符号についてのコンテキストCXをコンテキストデータD27Rとして出力スイッチャ64に送出する。

【0132】

またMRパス符号化処理部62は、MRパス符号化処理を行ったときは、SIGプレーンデータD22、REFプレーンデータD23及び又はDONEプレーンデータD24をこれに応じて更新し、その後これらをシグナルスイッチ60を介して対応するSRAM52A、52Bに与えることにより、これらSIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24をそれぞれSRAM52A、52Bにおけるもとのアドレス位置に書き戻させる(Read-Modify-Write)。

【0133】

他方、シグナルスイッチャ60は、このようにして処理ビットプレーンバッファ51A、51Bに格納された1ビットプレーン分のデータ(処理ビットプレーンデータD21)に対するMRパス符号化処理を終了すると、この後これと同様に、制御部65の制御のもとに、同じ処理ビットプレーンデータD21を、図24(A)に示す1ストライプカ

10

20

30

40

50

ラム 2 3 A を構成する 4 画素分を 1 ワードとして、ビットプレーン内スキャン順序に従って処理ビットプレーンバッファ 5 1 A、5 1 B から 1 ワードずつ順次読み出し、これを C U パス符号化処理部 6 3 に送出する。

【 0 1 3 4 】

またシグナルスイッチャ 6 0 は、これと同期して、処理ビットプレーンバッファ 5 1 A、5 1 B から読み出された 4 画素分の処理ビットプレーンデータ D 2 1 に対して C U パスによる符号化処理（以下、これを C U パス符号化処理と呼ぶ）をする際に必要となる、当該 4 画素とそれぞれ同座標にある正負符号プレーン 3 0 上の 4 ビット及びその上下の各ビット（合わせて 6 ビット、図 2 4（C）参照）分の正負符号プレーンデータ D 2 0 を正負符号プレーンバッファ 5 0 から順次読み出し、これを C U パス符号化処理部 6 3 に送出する。

10

【 0 1 3 5 】

この際シグナルスイッチャ 6 0 は、上述の S P パス符号化処理部 6 1 と同様に、かかる処理ビットプレーンバッファ 5 1 A、5 1 B から読み出された 4 画素分の処理ビットプレーンデータ D 2 1 を C U パス符号化処理する際に必要となる合計 6 ビットの正負符号プレーンデータ D 2 1 に対して、実際には当該 4 画素とそれぞれ同座標にある正負符号プレーン 3 0 上の 1 ストライプカラム 2 3 A を構成する 4 ビット分の正負符号プレーンデータ D 2 0 と、その上下のストライプカラム 2 3 A をそれぞれ構成する各 4 ビットの正負符号プレーンデータ D 2 0 とを正負符号プレーンバッファ 5 0 から 3 クロックかけて順次読み出し、これを C U パス符号化処理部 6 2 に送出することとなる。

20

【 0 1 3 6 】

さらにシグナルスイッチャ 6 0 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D 2 1 を C U パス符号化処理する際に必要となる、当該 4 画素とそれぞれ同座標にある S I G プレーン 3 1 上の 4 ビット及びその上下の各ビット（合計 6 ビット、図 2 4（B）参照）分の S I G プレーンデータ D 2 2 を S R A M 5 2 A から順次読み出し、これを C U パス符号化処理部 6 3 に送出する。

【 0 1 3 7 】

この場合においても、シグナルスイッチャ 6 0 は、かかる処理ビットプレーンバッファ 5 1 A、5 1 B から読み出された 4 画素分の処理ビットプレーンデータ D 2 1 を C U パス符号化処理する際に必要となる合計 6 ビット分の S I G プレーンデータに対して、実際には当該 4 画素とそれぞれ同座標にある S I G プレーン 3 1 上の 4 ビットの S I G プレーンデータ D 2 2 と、その上下の各 4 ビット分の S I G プレーンデータ D 2 2 とを S R A M 5 2 A から 3 クロックかけて順次読み出し（図 2 5）、これを C U パス符号化処理部 6 3 に送出することとなる。

30

【 0 1 3 8 】

さらにシグナルスイッチャ 6 0 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D 2 1 を C U パス符号化処理する際に必要となる、当該 4 画素とそれぞれ同座標にある R E F プレーン 3 2 上の 1 ワード（図 2 4（E）参照）分の R E F プレーンデータ D 2 3 と、当該 4 画素と同座標にある D O N E プレーン 3 3 上の 1 ワード（図 2 4（D）参照）分の D O N E プレーンデータ D 2 4 とを S R A M 5 2 B から読み出し、これを C U パス符号化処理部 6 3 に送出する。

40

【 0 1 3 9 】

このとき C U パス符号化処理部 6 3 は、シグナルスイッチャ 6 0 から順次供給される 4 画素分の処理ビットプレーンデータ D 2 1 と、これと対応する正負符号プレーンデータ D 2 0、S I G プレーンデータ D 2 2、R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 4 とを、それぞれ少なくとも過去 3 サンプル分だけ記憶保持し得るようになっている。

【 0 1 4 0 】

因みに、この場合も処理ビットプレーンデータ D 2 1、R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 4 については 1 ワードが 1 サンプルに該当し、正負符号ブ

50

レーンデータD 2 0及びS I GプレーンデータD 2 2については縦方向に並ぶ3ワードが1サンプルに該当する。

【0141】

そしてC Uパス符号化処理部63は、シグナルスイッチャ60から次のサンプルの処理ビットプレーンデータD 2 1等が与えられると、その1つ前のサンプルの処理ビットプレーンデータD 2 1(図24(A)において太枠で囲んだ4画素分)について、そのとき記憶保持している図24(B)~(E)においてそれぞれ太枠で囲まれたS I GプレーンデータD 2 2、正負符号プレーンデータD 2 0、R E FプレーンデータD 2 3及びD O N EプレーンデータD 2 4を利用して、C Uパス符号化処理できるか否かの検出と、できる場合のC Uパス符号化処理とを実行する。

10

【0142】

そしてC Uパス符号化処理部63は、C Uパス符号化処理を行った場合、これにより得られたその画素についてのシンボルS B及び正負符号についてのシンボルS BをシンボルデータD 2 6 Cとして出力スイッチャ64に送出すると共に、その画素についてのコンテキストC X及び正負符号についてのコンテキストC XをコンテキストデータD 2 7 Cとして出力スイッチャ64に送出する。

【0143】

またC Uパス符号化処理部63は、C Uパス符号化処理を行ったときは、かかるS I GプレーンデータD 2 2、R E FプレーンデータD 2 3及び又はD O N EプレーンデータD 2 4をこれに応じて更新し、その後これらをシグナルスイッチ60を介して対応するS R A M 5 2 A、5 2 Bに与えることにより、これらS I GプレーンデータD 2 2、R E FプレーンデータD 2 3及びD O N EプレーンデータD 2 4をそれぞれS R A M 5 2 A、5 2 Bにおけるもとのアドレス位置に書き戻させる(Read-Modify-Write)。

20

【0144】

出力スイッチャ64においては、制御部65の制御のもとに、S Pパス符号化処理部61、M Rパス符号化処理部62及びC Uパス符号化処理部63のそれぞれから与えられるシンボルデータD 2 6 S、D 2 6 R、D 2 6 Cと、コンテキストデータD 2 7 S、D 2 7 R、D 2 7 CとをそれぞれシンボルデータD 2 6及びコンテキストデータD 2 7として算術符号化部55に送出する。

【0145】

30

このようにしてこのビットモデル部54においては、処理ビットプレーン22上のストライプカラム23Aを構成する4画素を単位としてS Pパス符号化処理、M Rパス符号化処理及びC Uパス符号化処理を行うと共に、このとき正負符号プレーンデータD 2 0及びS I GプレーンデータD 2 2についても当該ストライプカラム23Aと同位相の1ストライプカラム23Aを構成する4ビットをメモリワードとすることにより、メモリアクセス回数を格段的に低減させて、C B M処理を確実に高速に行い得るようになされている。

【0146】

(2-1-3)各コーディング・パス処理部の具体的構成

次に、S Pパス符号化処理部61、M Rパス符号化処理部62及びC Uパス符号化処理部63の各構成についてそれぞれ順番に説明する。

40

【0147】

(2-1-3-1)S Pパス符号化処理部61の構成

S Pパス符号化処理部61は、図26に示すように、いずれもハードウェア構成の処理ビットシフトレジスタ部70、正符号シフトレジスタ部71、S I Gシフトレジスタ部72、R E Fシフトレジスタ部73、D O N Eシフトレジスタ部74及びセクタ75と、後述のようなセクタ75に対する出力切替え制御等を行う制御部76とから構成されている。

【0148】

また処理ビットシフトレジスタ部70には3段のシフトレジスタ70Aが設けられると共に、正符号シフトレジスタ部71、S I Gシフトレジスタ部72、R E Fシフトレジスタ

50

タ部 7 3 及び D O N E シフトレジスタ部 7 4 には、それぞれ 4 段のシフトレジスタ 7 1 A ~ 7 4 A が設けられている。

【 0 1 4 9 】

これにより S P パス符号化処理部 6 1 は、上述のようにシグナルスイッチャ 6 0 (図 2 3) から順次与えられる各 1 サンプル分の処理ビットプレーンデータ D 2 1、正負符号プレーンデータ D 2 0、S I G プレーンデータ D 2 2、R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 4 を、それぞれ処理ビットシフトレジスタ部 7 0、正符号シフトレジスタ部 7 1、S I G シフトレジスタ部 7 2、R E F シフトレジスタ部 7 3 及び D O N E シフトレジスタ部 7 4 の各シフトレジスタ 7 0 A ~ 7 4 A において順次シフトさせながら 3 サンプル分又は 4 サンプル分ずつ記憶保持し得るようになされている。

10

【 0 1 5 0 】

そして処理ビットシフトレジスタ部 7 0 は、シグナルスイッチャ 6 0 から 1 サンプル分の処理ビットプレーンデータ D 2 1 が与えられると、このとき自己のシフトレジスタ 7 0 A の 2 段目にシフトされた 1 サンプル分の処理ビットプレーンデータ D 2 1 をセクタ 7 5 に出力する。

【 0 1 5 1 】

またこのとき S I G シフトレジスタ部 7 2 は、これと同期して、自己のシフトレジスタ 7 2 A に記憶保持した S I G プレーンデータ D 2 2 を用いて、このとき処理ビットシフトレジスタ部 7 0 のシフトレジスタ 7 0 A の 2 段目にシフトされた 4 画素について、それぞれ上述の S P パス符号化処理を行うための条件を満たしているか否かの検出処理を画素ごとに並行して行い、検出結果をセクタ 7 5 に出力する。

20

【 0 1 5 2 】

さらに S I G シフトレジスタ部 7 2 は、これと同期して、当該処理ビットシフトレジスタ部 7 0 のシフトレジスタ 7 0 A の 2 段目にシフトされた 4 画素について、図 1 3 について上述したルールに従って、当該 4 画素ごとのコンテキスト C X をそれぞれ演算し、演算結果をセクタ 7 5 に出力する。

【 0 1 5 3 】

そして、このとき S I G シフトレジスタ部 7 2 により検出された、処理ビットシフトレジスタ部 7 0 のシフトレジスタ 7 0 A の 2 段目にシフトされた 4 画素についての S P パス符号化処理を行うための条件を満たしているか否かの検出結果が全て否定的であった場合には、セクタ 7 5 からは何も出力されず、処理ビットシフトレジスタ部 7 0 のシフトレジスタ 7 0 A の 2 段目にシフトされた 1 サンプル (4 画素) 分の処理ビットプレーンデータ D 2 1 に対する処理が終了する。

30

【 0 1 5 4 】

これに対して、処理ビットシフトレジスタ部 7 0 のシフトレジスタ 7 0 A の 2 段目にシフトされた 1 サンプルのうちのいずれかの画素 (以下、これを S P パス符号化処理対象画素と呼ぶ) についての検出結果が肯定的であった場合には、処理ビットシフトレジスタ部 7 0 から出力された当該 S P パス符号化処理対象画素のデータ値 (0 / 1) と、これに同期して S I G シフトレジスタ部 7 2 から出力された当該 S P パス符号化処理対象画素についてのコンテキスト C X の演算結果とが、それぞれその S P パス符号化処理対象画素のシンボル S B 及びコンテキスト C X としてセクタ 7 5 から出力される。

40

【 0 1 5 5 】

また、このシンボル S B の値が『 0 』であった場合、この後セクタ 7 5 から D O N E シフトレジスタ部 7 4 に与えられる更新情報に基づいて、当該 D O N E シフトレジスタ部 7 4 のシフトレジスタ 7 4 A に記憶保持された D O N E プレーンデータ D 2 4 のうち、S P パス符号化処理対象画素と同座標のビットの値が、ビットモデル化が完了したことを表す『 1 』に更新されて、この S P パス符号化処理対象画素に対する S P パス符号化処理が完了する。

【 0 1 5 6 】

これに対して、このシンボル S B の値が『 1 』であった場合には、その情報が S I G シ

50

フトレジスタ部 7 2、R E F シフトレジスタ部 7 3 及び正負符号シフトレジスタ部 7 1 にそれぞれ与えられる。

【 0 1 5 7 】

このとき S I G シフトレジスタ部 7 2 では、自己のシフトレジスタ 7 2 A に記憶保持された S I G プレーンデータ D 2 2 における S P パス符号化処理対象画素と同座標のビットの値が “ Significant ” であることを表す『 1 』に更新される。また R E F シフトレジスタ部 7 3 では、自己のシフトレジスタ 7 3 A に記憶保持された R E F プレーンデータ D 2 3 における S P パス符号化処理対象画素と同座標のビットの値が、 “ Significant ” となったことを表す『 1 』に更新される。

【 0 1 5 8 】

さらにこのとき正負符号シフトレジスタ部 7 1 は、この S P パス符号化処理対象画素の正負符号のシンボル S B 及びコンテキスト C X を図 1 4 について上述したルールに従って演算し、その演算結果をセクタ 7 5 に送出する。かくしてこのシンボル S B 及びコンテキスト C X がセクタ 7 5 を介して出力される。

【 0 1 5 9 】

そして、この後セクタ 7 5 から D O N E シフトレジスタ部 7 4 に更新情報与えられ、当該更新情報に基づき、D O N E シフトレジスタ部 7 4 のシフトレジスタ 7 4 A に記憶保持された D O N E プレーンデータ D 2 4 における S P パス符号化処理対象画素と同座標のビットの値が『 1 』に更新されて、当該 S P パス符号化処理対象画素に対する S P パス符号化処理が完了する。

【 0 1 6 0 】

また S P パス符号化処理部 6 1 は、この後同じサンプル（このとき処理ビットシフトレジスタ部 7 0 のシフトレジスタ 7 0 A の 2 段目に記憶保持された 1 サンプル）内の当該 S P パス符号化処理対象画素よりもビットプレーン内スキャン順序が後の各画素について、S P パス符号化処理を行うための条件を満たしていない場合にはスキップし、S P パス符号化処理を行うための条件を満たしている場合には上述の S P パス符号化処理対象画素と同様にして S P パス符号化処理を行う。そして S P パス符号化処理部 6 1 は、このような処理を当該サンプル内の全ての画素に対して行い終わると、当該サンプルに対する処理を終了する。

【 0 1 6 1 】

そして、S P パス符号化処理部 6 1 は、この後制御部 7 6 から制御部 6 5（図 2 3）に与えられる次の 1 サンプル分の処理ビットプレーンデータ D 2 1 等の転送要求に応じて、シグナルスイッチ 6 0 から当該次の 1 サンプル分の処理ビットプレーンデータ D 2 1 等が与えられるごとに同様の処理を順次繰り返す。

【 0 1 6 2 】

またこの際 S P パス符号化処理部 6 1 は、次の 1 サンプル分の処理ビットプレーンデータ D 2 1 等が与えられるごとに、S I G シフトレジスタ部 7 2、R E F シフトレジスタ部 7 3 及び D O N E シフトレジスタ部 7 4 の各シフトレジスタ 7 2 A ~ 7 4 A の 4 段目にそれぞれ記憶保持された S I G プレーンデータ D 2 2、R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 4 をそれぞれシグナルスイッチ 6 0 を介して対応する S R A M 5 2 A、5 2 B に与えることにより、これらを S R A M 5 2 A、5 2 B のもとの位置に書き戻させる。

【 0 1 6 3 】

このようにして S P パス符号化処理部 6 1 においては、ビットプレーンバッファ 5 1 A、5 1 B に格納された処理ビットプレーンデータ D 2 1 に対する S P パス符号化処理を行い得るようになされている。

【 0 1 6 4 】

（ 2 - 1 - 3 - 2 ） M R パス符号化処理部 6 2 の構成

一方、M R パス符号化処理部 6 2 は、図 2 7 に示すように、いずれもハードウェア構成の処理ビットシフトレジスタ部 8 0、S I G シフトレジスタ部 8 2、R E F シフトレジス

10

20

30

40

50

タ部 8 3、D O N E シフトレジスタ部 8 4 及びセクタ 8 5 と、後述のようなセクタ 8 5 に対する出力切替え制御等を行う制御部 8 6 とから構成されている。

【 0 1 6 5 】

また処理ビットシフトレジスタ部 8 0 には 3 段のシフトレジスタ 8 0 A が設けられると共に、S I G シフトレジスタ部 8 2、R E F シフトレジスタ部 8 3 及び D O N E シフトレジスタ部 8 4 には、それぞれ 4 段のシフトレジスタ 8 2 A ~ 8 4 A が設けられている。

【 0 1 6 6 】

これにより M R パス符号化処理部 6 2 は、上述のようにシグナルスイッチャ 6 0 (図 2 3) から順次与えられる各 1 サンプル分の処理ビットプレーンデータ D 2 1、S I G プレーンデータ D 2 2、R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 4 を、それぞれ処理ビットシフトレジスタ部 8 0、S I G シフトレジスタ部 8 2、R E F シフトレジスタ部 8 3 及び D O N E シフトレジスタ部 8 4 のシフトレジスタ 8 0 A、8 2 A ~ 8 4 A において順次シフトさせながら 3 サンプル分又は 4 サンプル分ずつ記憶保持し得るようになされている。

【 0 1 6 7 】

そして処理ビットシフトレジスタ部 8 0 は、シグナルスイッチャ 6 0 から 1 サンプル分の処理ビットプレーンデータ D 2 1 が与えられると、このとき自己のシフトレジスタ 8 0 A の 2 段目にシフトした 1 サンプル分の処理ビットプレーンデータ D 2 1 をセクタ 8 5 に出力する。

【 0 1 6 8 】

またこのとき R E F シフトレジスタ部 8 3 及び D O N E シフトレジスタ部 8 4 は、これに同期して、自己のシフトレジスタ 8 3 A、8 4 A の 2 段目にシフトされた 1 サンプル分の R E F プレーンデータ D 2 3 又は D O N E プレーンデータ D 2 4 をセクタ 8 5 に出力する。

【 0 1 6 9 】

そして S I G シフトレジスタ部 8 2 は、自己のシフトレジスタ 8 2 A に記憶保持した S I G プレーンデータ D 2 2 を用いて、処理ビットシフトレジスタ部 8 0 の 2 段目にシフトした 4 画素について、R E F シフトレジスタ部 8 3 の出力を参照しながら図 1 6 について上述したルールに従ってコンテキスト C X を演算し、演算結果をセクタ 8 5 に出力する。

【 0 1 7 0 】

そして、このとき D O N E プレーンデータ D 2 4 の値が全て『 1 』（すなわち処理済）であった場合には、セクタ 8 5 からは何も出力されずに、当該処理ビットシフトレジスタ部 8 0 のシフトレジスタ 8 0 A の 2 段目にシフトされた 1 サンプル分の処理ビットプレーンデータ D 2 1 に対する処理が終了する。

【 0 1 7 1 】

またかかる 1 サンプル分の D O N E プレーンデータ D 2 4 のうち、いずれかのデータ値が『 0 』（すなわち未処理）であり、かつその D O N E プレーンデータ D 2 4 と対応する処理ビットシフトレジスタ部 8 0 のシフトレジスタ 8 0 A の 2 段目にシフトされた画素が “ Significant ” でなかった場合にも、セクタ 8 5 からは何も出力されずに、当該処理ビットシフトレジスタ部 8 0 のシフトレジスタ 8 0 A の 2 段目にシフトされた 1 サンプル分の処理ビットプレーンデータ D 2 1 に対する処理が終了する。

【 0 1 7 2 】

これに対して、かかる 1 サンプル分の D O N E プレーンデータ D 2 4 のうち、いずれかのデータ値が『 0 』であり、かつその D O N E プレーンデータ D 2 4 と対応する処理ビットシフトレジスタ部 8 0 のシフトレジスタ 8 0 A の 2 段目にシフトされた画素が “ Significant ” であった場合には、当該画素（以下、これを M R パス符号化処理対象画素と呼ぶ）が M R パス符号化処理すべき画素であることを意味する。

【 0 1 7 3 】

かくして、このときセクタ 8 5 は、処理ビットシフトレジスタ部 8 0 から出力された

10

20

30

40

50

このMRパス符号化処理対象画素のデータ値(0/1)をシンボルSBとして出力する共に、これと併せてSIGシフトレジスタ部82から出力された、このMRパス符号化処理対象画素のコンテキストCXを出力する。

【0174】

またこのときREFシフトレジスタ部83では、そのMRパス符号化処理対象画素と同座標のビットが『1』である場合(すなわちフラグが立っている場合)にはこれがクリアされ、またDONEシフトレジスタ部84では、そのMRパス符号化処理対象画素と同座標のビットが、当該MRパス符号化処理対象画素が処理済みとなったことを意味する『1』に更新される。

【0175】

そして、MRパス符号化処理部62は、この後そのとき処理ビットシフトレジスタ部80のシフトレジスタ80Aの2段目にシフトされた残りの画素についても、当該画素がMRパス符号化処理すべき画素であった場合には、上述と同様にMRパス符号化処理する。

【0176】

さらにMRパス符号化処理部62は、この後制御部86から制御部65(図23)に与えられる次の1サンプル分の処理ビットプレーンデータD21等の転送要求に応じて、シグナルスイッチ60から当該次の1サンプル分の処理ビットプレーンデータD21等が与えられるごとに同様の処理を順次繰り返す。

【0177】

またこの際MRパス符号化処理部62は、次の1サンプル分の処理ビットプレーンデータD21等が与えられるごとに、SIGシフトレジスタ部82、REFシフトレジスタ部83及びDONEシフトレジスタ部84の各シフトレジスタ82A~84Aの4段目にそれぞれ記憶保持されたSIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24をシグナルスイッチ60を介して対応するSRAM52A、52Bに与えることにより、それぞれSRAM52A、52Bのものの位置に書き戻させる。

【0178】

このようにしてMRパス符号化処理部62においては、ビットプレーンバッファ51A、51Bに格納された処理ビットプレーンデータD21に対するMRパス符号化処理を行い得るようになされている。

【0179】

(2-1-3)CUパス符号化処理部63の構成

CUパス符号化処理部63は、図28に示すように、いずれもハードウェア構成の処理ビットシフトレジスタ部90、正符号シフトレジスタ部91、SIGシフトレジスタ部92、REFシフトレジスタ部93、DONEシフトレジスタ部94及びセクタ95と、後述のようなセクタ95に対する出力切替え制御等を行う制御部96とから構成されている。

【0180】

また処理ビットシフトレジスタ部90には3段のシフトレジスタ90Aが設けられると共に、正符号シフトレジスタ部91、SIGシフトレジスタ部92、REFシフトレジスタ部93及びDONEシフトレジスタ部94には、それぞれ4段のシフトレジスタ91A~94Aが設けられている。

【0181】

これによりCUパス符号化処理部63は、上述のようにシグナルスイッチ60から順次与えられる各1サンプル分の処理ビットプレーンデータD21、正負符号プレーンデータD20、SIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24を、それぞれ処理ビットシフトレジスタ部90、正符号シフトレジスタ部91、SIGシフトレジスタ部92、REFシフトレジスタ部93及びDONEシフトレジスタ部94の各シフトレジスタ90A~94Aにおいて順次シフトさせながら3サンプル分又は4サンプル分ずつ記憶保持し得るようになされている。

10

20

30

40

50

【 0 1 8 2 】

そして処理ビットシフトレジスタ部 9 0 は、シグナルスイッチャ 6 0 (図 2 3) から 1 サンプル分の処理ビットプレーンデータ D 2 1 が与えられると、このとき自己のシフトレジスタ 9 0 A の 2 段目にシフトされた 1 サンプル分の処理ビットプレーンデータ D 2 1 をセクタ 9 5 に出力する。

【 0 1 8 3 】

またこのとき S I G シフトレジスタ部 9 2 は、これと同期して、自己のシフトレジスタ 9 2 A に記憶保持した S I G プレーンデータ D 2 2 を用い、 D O N E シフトレジスタ部 9 4 のシフトレジスタ 9 4 A に記憶保持された D O N E プレーンデータ D 2 4 を参照しながら、処理ビットシフトレジスタ部 9 0 のシフトレジスタ 9 0 A の 2 段目にシフトされた 4 画素についてランレングス処理を行い得るか否かを検出する。

10

【 0 1 8 4 】

そしてランレングス処理できない場合には、これら 4 画素について、それぞれ上述した S P パス符号化処理が順次行われることとなる。

【 0 1 8 5 】

これに対してランレングス処理できる場合、 S I G シフトレジスタ部 9 2 は、図 1 7 及び図 1 8 について上述したルールに従って、まずコンテキストとして “ run ” を出力する。その上で S I G シフトレジスタ部 9 2 は、そのサンプル内の 4 画素の値が全て『 0 』であるときにはシンボル S B として 0 を出力する。かくしてこれらコンテキスト C X 及びシンボル S B がセクタ 9 5 を介して出力スイッチャ 6 4 (図 2 3) に送出される。

20

【 0 1 8 6 】

また S I G シフトレジスタ部 9 2 は、当該サンプル内の 4 画素の値が全て 0 ではないとき、すなわち 4 画素の中にひとつでも値が 1 の画素が存在する場合には、シンボル S B として 1 を出力し、それに引き続いて図 1 8 について上述したルールに従って 2 回 “ uniform ” というコンテキスト C X と対応するシンボル S B を出力する。かくしてこれらコンテキスト C X 及びシンボル S B がセクタ 9 5 を介して出力スイッチャ 6 4 (図 2 3) に送出される。

【 0 1 8 7 】

このとき S I G シフトレジスタ部 9 2 では、自己のシフトレジスタ 9 2 A に記憶保持された S I G プレーンデータ D 2 2 における当該値が 1 の画素と同座標のビットの値が “ Significant ” であることを表す『 1 』に更新される。また R E F シフトレジスタ部 9 3 では、自己のシフトレジスタ 9 3 A に記憶保持された R E F プレーンデータ D 2 3 における当該画素と同座標のビットの値が “ Significant ” となったことを表す『 1 』に更新される。

30

【 0 1 8 8 】

さらにこの後正負符号シフトレジスタ部 9 1 は、当該画素の正負符号のシンボル S B 及びコンテキスト C X を図 1 4 について上述したルールに従って演算し、その演算結果をセクタ 9 5 に送出する。かくしてこのシンボル S B 及びコンテキスト C X が上述の “ uniform ” というコンテキスト C X 及び当該画素に対応するシンボル S B に続けてセクタ 9 5 を介して出力スイッチャ 6 4 (図 2 3) に送出される。

40

【 0 1 8 9 】

そして、この後セクタ 9 5 から D O N E シフトレジスタ部 9 4 に更新情報与えられ、当該更新情報に基づき、 D O N E シフトレジスタ部 9 4 のシフトレジスタ 9 4 A に記憶保持された D O N E プレーンデータ D 2 4 における当該画素と同座標のビットの値が『 1 』に更新されて、当該画素に対する C U パス符号化処理が完了する。

【 0 1 9 0 】

さらに C U パス符号化処理部 6 3 は、この後同じサンプル(このとき処理ビットシフトレジスタ部 9 0 のシフトレジスタ 9 0 A の 2 段目に記憶保持された 1 サンプル)内の当該画素よりもビットプレーン内スキャン順序が遅い各画素について、それぞれ S I G シフトレジスタ部 9 2 、 R E F シフトレジスタ部 9 3 及び D O N E シフトレジスタ部 9 4 の各シ

50

フトレジスタ 90A ~ 94A に記憶保持された S I G プレーンデータ D 2 2、R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 4 を必要に応じて順次更新しながら上述した S P パス符号化処理を施す。そして C U パス符号化処理部 6 3 は、このような処理を当該サンプル内の全ての画素に対して行い終わると、当該サンプルに対する処理を終了する。

【 0 1 9 1 】

そして、C U パス符号化処理部 6 3 は、この後制御部 9 6 から制御部 6 5 (図 2 3) に与えられる次の 1 サンプル分の処理ビットプレーンデータ D 2 1 等の転送要求に応じて、シグナルスイッチャ 6 0 から当該次の 1 サンプル分の処理ビットプレーンデータ D 2 1 等が与えられるごとに同様の処理を順次繰り返す。

10

【 0 1 9 2 】

またこの際 C U パス符号化処理部 6 3 は、次の 1 サンプル分の処理ビットプレーンデータ D 2 1 等が与えられるごとに、S I G シフトレジスタ部 9 2、R E F シフトレジスタ部 9 3 及び D O N E シフトレジスタ部 9 4 の各シフトレジスタ 9 2 A ~ 9 4 A の 4 段目にそれぞれ記憶保持された S I G プレーンデータ D 2 2、R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 4 をそれぞれシグナルスイッチ 6 0 を介して対応する S R A M 5 2 A、5 2 B に与えることにより、これらを S R A M 5 2 A、5 2 B のもとの位置に書き戻させる。

【 0 1 9 3 】

このようにして C U パス符号化処理部 6 3 においては、ビットプレーンバッファ 5 1 A、5 1 B に格納された処理ビットプレーンデータ D 2 1 に対する C U パス符号化処理を行い得るようになされている。

20

【 0 1 9 4 】

(2 - 2) 第 1 の実施の形態による復号化装置 1 0 0 の構成

(2 - 2 - 1) 復号化装置 1 0 0 の全体構成

図 4 8 との対応部分に同一符号を付して示す図 2 9 は、J P E G 2 0 0 0 規格に準拠した本実施の形態による復号化装置 1 0 0 を示し、全体として一体に I C 化 (集積回路化) されて構成されている点と、E B C O T ブロック 1 0 1 の構成が異なる点と、I C の外部に当該 E B C O T ブロック 1 0 1 から出力されるコードブロックデータ D 1 4 を記憶保持する D R A M 1 0 2 が設けられている点とを除いて図 4 8 に示す復号化装置 1 0 と同様に構成されている。

30

【 0 1 9 5 】

實際上、E B C O T ブロック 1 0 1 においては、図 3 0 に示すように、それぞれ S R A M からなるストリームバッファ 1 1 0 A、1 1 0 B が入力段に設けられており、パケタイズストリーム分解部 1 1 から与えられる符号化データ D 1 1 をこのストリームバッファ 1 1 0 A、1 1 0 B に記憶保持し得るようになされている。

【 0 1 9 6 】

この場合ストリームバッファ 1 1 0 A、1 1 0 B は 2 つ設けられており、これにより一方のストリームバッファ 1 1 0 A、1 1 0 B に記憶保持したビットプレーン 2 2 の 1 枚分の符号化データ D 1 1 を C B M 処理しながら、他方のストリームバッファ 1 1 0 B、1 1 0 A に次のビットプレーン 2 2 の 1 枚分の符号化データ D 1 1 を書き込み得るようになされている。

40

【 0 1 9 7 】

また E B C O T ブロック 1 0 1 には、それぞれ少なくとも 1 ビットプレーン分のデータ記憶容量を有する S R A M 1 1 1 A と、2 ビットプレーン分のデータ記憶容量を有する S R A M 1 1 1 B とが設けられており、これにより C B M 処理時に利用する S I G プレーンデータ D 3 0 を S R A M 5 2 A に記憶保持し、R E F プレーンデータ D 3 1 及び D O N E プレーンデータ D 3 2 を S R A M 5 2 B に記憶保持することができるようになされている。

【 0 1 9 8 】

50

一方、ストリームバッファ110A、110Bに記憶保持された符号化データD11は、スイッチ112を介して算術復号化部113により所定単位で順次読み出される。そして算術復号化部113は、この読み出した符号化データD11と後段のビットモデル部114から与えられるコンテキストデータD33とを入力とした所定の算術復号化演算処理を実行し、かくして得られたシンボルデータD34をビットモデル部114に送出する。

【0199】

ビットモデル部114は、供給されるシンボルデータD34をCBM処理により係数ビットモデル化する。この際ビットモデル部114は、SPパスによる復号化処理（以下、これをSPパス復号化処理と呼ぶ）、MRパスによる復号化処理（以下、これをMRパス復号化処理と呼ぶ）及びCUパスによる復号化処理（以下、これをCUパス復号化処理と呼ぶ）により順次復号されていく処理ビットプレーンデータD35及び正負符号プレーンデータD36をそれぞれ後段のそれぞれSRAMでなるビットプレーンバッファ116A、116B又は正負符号プレーンバッファ115における対応する位置に順次格納する。

【0200】

またビットモデル部114は、これと併せてSRAM111A、111Bに記憶保持されたSIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32を必要に応じて順次更新しつつ、さらにこれら一部が復号等された処理ビットプレーンデータD35、正負符号プレーンデータD36、SIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32を利用しながらCBM処理を進める。さらにこのときビットモデル部114は、かかる処理ビットプレーンデータD35と併せて得られたコンテキストデータD33を上述のように順次算術復号化部113に送出する。

【0201】

そしてこのようなCBM処理により最終的に復号された処理ビットプレーンデータD35が第1又は第2のビットプレーンバッファ116A、116Bに記憶保持されると共に、最終的に復号された正負符号プレーンデータD36が正負符号プレーンバッファ115に記憶保持され、これらがその後所定のタイミングで読み出されて、スイッチ117を介してコードブロックデータD14として上述のDRAM102（図29）に与えられて記憶保持される。

【0202】

さらにこのDRAM102に記憶保持されたコードブロックデータD14は、この後逆量子化部14（図29）に読み出されて所定の逆量子化処理が施される。

【0203】

このようにしてこの復号化装置100においては、パケタイズストリーム分解部11から与えられる符号化データD11を順次CBM処理することによりコードブロックデータD35を復号し、これをICの外部に設けられたDRAM41に記憶保持しながら、後段の処理を行い得るようになされている。

【0204】

（2-2-2）ビットモデル部114の構成

ここでビットモデル114部は、図31に示すように、シグナルスイッチ120、SPパス復号化処理部121、MRパス復号化処理部122、CUパス復号化処理部123、出力スイッチ124及び制御部125から構成されている。

【0205】

この場合上述の算術復号化部113（図30）は、ストリームバッファ110A、110Bから読み出した符号化データD11と、SPパス復号化処理部121、MRパス復号化処理部122又はCUパス復号化処理部123から与えられるコンテキストデータD33とに基づいて所定の算術復号化演算処理を実行する。そして算術復号化部113は、この結果として得られたシンボルデータD34のうち、符号化装置40（図19）において

S Pパス符号化処理することにより得られた符号化データD 1 1に対して上述のような算術復号化処理を施すことにより得られたものについてはS Pパス復号化処理部1 2 1に送出する。

【0206】

このときシグナルスイッチャ1 2 0は、シーケンサ及びタイミングジェネレータとしての機能を有する制御部1 2 5の制御のもとに、ビットプレーンバッファ1 1 6 A、1 1 6 Bに記憶保持されている復号前又は一部が復号された処理ビットプレーンデータD 3 5を、図2 2 (A) に示す1ストライプカラム2 3 Aを構成する4画素分を1ワードとして、ビットプレーン内スキャン順序に従ってビットプレーンバッファ1 1 6 A、1 1 6 Bから1ワードずつ順次読み出し、これをまずS Pパス復号化処理部1 2 1に送出する。

10

【0207】

またシグナルスイッチャ1 2 0は、これと同期して、ビットプレーンバッファ1 1 6 A、1 1 6 Bから読み出された4画素分の処理ビットプレーンデータD 3 5をS Pパス復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にある正負符号プレーン3 0上の4ビット及びその上下の各ビット(合わせて6ビット、図2 4 (C) 参照)分の復号前又は一部が復号された正負符号プレーンデータD 3 6を正負符号プレーンバッファ1 1 5から順次読み出し、これをS Pパス復号化処理部1 2 1に送出する。

【0208】

この場合正負符号プレーンバッファ1 1 5は、処理ビットプレーン2 2の各ストライプカラム2 3 Aとそれぞれ対応する4画素分を単位(1ワード)として正負符号プレーンデータD 3 6を記憶しており、このワード単位で正負符号プレーンデータD 3 6を読書きし得るように構成されている。従って、このときシグナルスイッチャ1 2 0は、かかるビットプレーンバッファ1 1 6 A、1 1 6 Bから読み出された4ビット分の処理ビットプレーンデータD 3 5をS Pパス復号化処理する際に必要となる合計6ビットの正負符号プレーンデータD 3 6に対して、実際には当該4画素とそれぞれ同座標にある正負符号プレーン上の1ストライプカラム2 3 Aを構成する4ビットの正負符号プレーンデータD 3 6と、その上下のストライプカラム2 3 Aをそれぞれ構成する各4ビットの正負符号プレーンデータD 3 6とを正負符号プレーンバッファ1 1 5から3クロックかけて順次読み出し(図2 5)、これをS Pパス復号化処理部1 2 1に送出することとなる。

20

【0209】

さらにシグナルスイッチャ1 2 0は、これと同期して、かかる4画素分の処理ビットプレーンデータD 3 5をS Pパス復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にあるS I Gプレーン3 1上の4ビット及びその上下のビット(合わせて6ビット、図2 2 (B) 参照)のS I GプレーンデータD 3 0をS R A M 1 1 1 Aから順次読み出し、これをS Pパス復号化処理部1 2 1に送出する。

30

【0210】

この場合S R A M 5 2 Aも、処理ビットプレーン2 2の各ストライプカラム2 3 Aとそれぞれ対応する4画素分を単位(ワード)としてS I GプレーンデータD 3 0を記憶しており、このワード単位でS I GプレーンデータD 3 0を読書きし得るように構成されている。従って、このときシグナルスイッチャ1 2 0は、かかるビットプレーンバッファ1 1 6 A、1 1 6 Bから読み出された4画素分の処理ビットプレーンデータD 3 5をS Pパス復号化処理する際に必要となる合計6ビット分のS I GプレーンデータD 3 0に対して、実際には当該4画素とそれぞれ同座標にあるS I Gプレーン3 1上の4ビットのS I GプレーンデータD 3 0と、その上下の各4ビットのS I GプレーンデータD 3 0とをS R A M 1 1 1 Aから3クロックかけて順次読み出し、これをS Pパス復号化処理部1 2 1に送出することとなる。

40

【0211】

さらにシグナルスイッチャ1 2 0は、これと同期して、かかる4画素分の処理ビットプレーンデータD 3 5をS Pパス復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にあるR E Fプレーン3 2上の4ビット(図2 4 (E) 参照)分のR E F

50

プレーンデータD31と、当該4画素と同座標にあるDONEプレーン33上の4ビット(図24(D)参照)分のDONEプレーンデータD32とをSRAM111Bから順次読み出し、これをSPパス復号化処理部121に送出する。

【0212】

この場合SRAM111Bも、処理ビットプレーン22の各ストライプカラム23Aとそれぞれ対応する4画素分を単位(ワード)としてREFプレーンデータD31及びDONEプレーンデータD32を記憶しており、このワード単位でREFプレーンデータD31やDONEプレーンデータD32を読書きし得るように構成されている。従って、シグナルスイッチャ120は、かかる4ビット分のREFプレーンデータD31又はDONEプレーンデータD32をそれぞれ1クロックでSRAM111Bから読み出してSPパス復号化処理部121に送出することとなる。

10

【0213】

このときSPパス復号化処理部121は、シグナルスイッチャ120から順次供給される4画素分の処理ビットプレーンデータD35と、これと対応する正負符号プレーンデータD36、SIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32とを、それぞれ少なくとも過去3サンプル分だけ記憶保持し得るようになされている。

【0214】

因みに、処理ビットプレーンデータD35、REFプレーンデータD31及びDONEプレーンデータD32については1ワードが1サンプルに該当し、正負符号プレーンデータD36及びSIGプレーンデータD30については縦方向に並ぶ3ワードが1サンプルに該当する。

20

【0215】

そしてSPパス復号化処理部121は、算術復号化部113から1シンボル分のシンボルデータD34が与えられると、図24(A)において太枠で囲んだそのとき記憶保持している1サンプル分のシンボルデータD34(4画素分)について、そのとき記憶保持している図24(B)~(E)においてそれぞれ太枠で囲まれたSIGプレーンデータD30、正負符号プレーンデータD36、REFプレーンデータD31及びDONEプレーンデータD32とを利用して、SPパス復号化処理できるか否かの検出と、できる場合のSPパス復号化処理とを実行する。

30

【0216】

またSPパス復号化処理部121は、SPパス復号化処理を行ったときは、この際に得られたコンテキストCXを上述のように出力スイッチャ124を介してコンテキストデータD33として算術復号化部113(図30)に送出する一方、これと併せて得られた復号された処理ビットプレーンデータD35及び復号された正負符号プレーンデータD36をそれぞれビットプレーンバッファ116A、116B又は正負符号バッファ115における対応する位置に格納する。

【0217】

さらにSPパス復号化処理部121は、SPパス復号化処理を行ったときには、これに応じてSIGプレーンデータD30、REFプレーンデータD31及び又はDONEプレーンデータD32を更新し、その後これらをシグナルスイッチ120を介して対応するSRAM111A、111Bに与えることにより、これらSIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32をそれぞれSRAM111A、111Bのものの位置に書き戻させる(Read-Modify-Write)。

40

【0218】

一方、算術復号化部113(図30)は、ストリームバッファ110A、110Bから読み出した符号化データD11のうち、符号化装置40(図21)においてMRパス符号化処理することにより得られた符号化データD11に対して上述のような算術復号化演算処理を施すことにより得られたシンボルデータD34についてはMRパス復号化処理部122に送出する。

50

【 0 2 1 9 】

このときシグナルスイッチャ 1 2 0 は、制御部 1 2 5 の制御のもとに、ビットプレーンバッファ 1 1 6 A、1 1 6 B に記憶保持されている先行する S P パス復号化処理により一部が復号された処理ビットプレーンデータ D 3 5 を、図 2 4 (A) に示す 1 ストライプカラム 2 3 A を構成する 4 画素分を 1 ワードとして、ビットプレーン内スキャン順序に従ってビットプレーンバッファ 1 1 6 A、1 1 6 B から 1 ワード分ずつ順次読み出し、これを M R パス復号化処理部 1 2 2 に送出する。

【 0 2 2 0 】

またシグナルスイッチャ 1 2 0 は、これと同期して、ビットプレーンバッファ 1 1 6 A、1 1 6 B から読み出された 4 画素分の処理ビットプレーンデータ D 3 5 を M R パス復号化処理により復号する際に必要となる、当該 4 画素とそれぞれ同座標にある S I G プレーン 3 1 上の 4 ビット及其の上下のビット（合わせて 6 ビット、図 2 4 (B) 参照）の S I G プレーンデータ D 3 0 を S R A M 1 1 1 A から順次読み出し、これを M R パス復号化処理部 1 2 2 に送出する。

10

【 0 2 2 1 】

この際シグナルスイッチャ 1 2 0 は、かかるビットプレーンバッファ 1 1 6 A、1 1 6 B から読み出された 4 画素分の処理ビットプレーンデータ D 3 5 を M R パス復号化処理する際に必要となる合計 6 ビット分の S I G プレーンデータ D 3 0 に対して、実際には当該 4 画素とそれぞれ同座標にある S I G プレーン 3 1 上の 4 ビット分の S I G プレーンデータ D 3 0 と、その上下の各 4 ビット分の S I G プレーンデータ D 3 0 とを S R A M 1 1 1 A から 3 クロックかけて順次読み出し、これを M R パス復号化処理部 1 2 2 に送出することとなる。

20

【 0 2 2 2 】

さらにシグナルスイッチャ 1 2 0 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D 3 5 を M R パス復号化処理する際に必要となる、当該 4 画素と同座標にある R E F プレーン 3 2 上の 1 ワード（図 2 4 (E) 参照）分の R E F プレーンデータ D 3 1 と、当該 4 画素と同座標にある D O N E プレーン 3 3 上の 1 ワード（図 2 2 (D) 参照）分の D O N E プレーンデータ D 3 2 とを S R A M 1 1 1 B から順次読み出し、これを M R パス復号化処理部 1 2 2 に送出する。

【 0 2 2 3 】

このとき M R パス復号化処理部 1 2 2 は、シグナルスイッチャ 1 2 0 から順次供給される 4 画素分の処理ビットプレーンデータ D 3 5 と、これと対応する S I G プレーンデータ D 3 0、R E F プレーンデータ D 3 1 及び D O N E プレーンデータ D 3 2 とを、それぞれ少なくとも過去 3 サンプル分だけ記憶保持し得るようになされている。

30

【 0 2 2 4 】

因みに、この場合も処理ビットプレーンデータ D 3 5、R E F プレーンデータ D 3 1 及び D O N E プレーンデータ D 3 2 については 1 ワードが 1 サンプルに該当し、正負符号プレーンデータ D 3 6 及び S I G プレーンデータ D 3 0 については縦方向に並ぶ 3 ワードが 1 サンプルに該当する。

【 0 2 2 5 】

そして M R パス復号化処理部 1 2 2 は、算術復号化部 1 1 3 から 1 シンボル分のシンボルデータ D 3 4 が与えられると、図 2 4 (A) において太枠で囲んだそのとき記憶保持している 1 サンプル分のシンボルデータ D 3 4（4 画素分）について、そのとき記憶保持している図 2 4 (B)、(D) 及び (E) においてそれぞれ太枠で囲まれた S I G プレーンデータ D 3 0、R E F プレーンデータ D 3 1 及び D O N E プレーンデータ D 3 2 と、そのとき算術復号化部 1 1 3 から与えられたシンボルデータ D 3 4 とを利用して、M R パス復号化処理できるか否かの検出と、できる場合の M R パス復号化処理とを実行する。

40

【 0 2 2 6 】

また M R パス復号化処理部 1 2 2 は、M R パス復号化処理を行ったときは、この際に得られたコンテキスト C X を上述のように出力スイッチャ 1 2 4 を介してコンテキストデー

50

タD 3 3として算術復号化部 1 1 3 (図 3 0)に送出する一方、これと併せて得られた復号された処理ビットプレーンデータD 3 5をビットプレーンバッファ 1 1 6 A、1 1 6 Bの対応する位置に格納する。

【 0 2 2 7 】

さらにMRパス復号化処理部 1 2 2は、MRパス復号化処理を行ったときには、これに応じてSIGプレーンデータD 3 0、REFプレーンデータD 3 1及び又はDONEプレーンデータD 3 2を更新し、その後これらをシグナルスイッチ 1 2 0を介して対応するSRAM 1 1 1 A、1 1 1 Bに与えることにより、これらSIGプレーンデータD 3 0、REFプレーンデータD 3 1及びDONEプレーンデータD 3 2をそれぞれSRAM 1 1 1 A、1 1 1 Bのものと位置に書き戻させる(Read-Modify-Write)。

10

【 0 2 2 8 】

これと同様にして、算術復号化部 1 1 3 (図 3 0)は、ストリームバッファ 1 1 0 A、1 1 0 Bから読み出した符号化データD 1 1のうち、符号化装置 4 0 (図 2 1)においてCUパス符号化処理することにより得られた符号化データD 1 1に対して所定の算術復号化演算処理を施すことにより得られたシンボルデータD 3 4についてはCUパス復号化処理部 1 2 3に送出する。

【 0 2 2 9 】

このときシグナルスイッチ 1 2 0は、制御部 1 2 5の制御のもとに、ビットプレーンバッファ 1 1 6 A、1 1 6 Bに記憶保持されている先行するSPパス復号化処理及びMRパス復号化処理(トップビットプレーン 2 2 Tに対する復号化処理の場合を除く)により一部が復号された処理ビットプレーンデータD 3 5を、図 2 4 (A)に示す1ストライプカラム 2 3 Aを構成する4画素分を1ワードとして、ビットプレーン内スキャン順序に従ってビットプレーンバッファ 1 1 6 A、1 1 6 Bから1ワードずつ順次読み出し、これをCUパス復号化処理部 1 2 3に送出する。

20

【 0 2 3 0 】

またシグナルスイッチ 1 2 0は、これと同期して、ビットプレーンバッファ 1 1 6 A、1 1 6 Bから読み出された4画素分の処理ビットプレーンデータD 3 5をCUパス復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にある正負符号プレーン 3 0上の4ビット及びその上下の各ビット(合わせて6ビット、図 2 4 (C)参照)分の復号前又は一部が復号された正負符号プレーンデータD 3 6を正負符号プレーンバッファ 1 1 5から順次読み出し、これをCUパス復号化処理部 1 2 3に送出する。

30

【 0 2 3 1 】

この際シグナルスイッチ 1 2 0は、上述のSPパス復号化処理部 1 2 1と同様に、かかるビットプレーンバッファ 1 1 6 A、1 1 6 Bから読み出された4画素分の処理ビットプレーンデータD 3 5をCUパス復号化処理する際に必要となる合計6ビットの正負符号プレーンデータD 3 6に対して、実際には当該4画素とそれぞれ同座標にある正負符号プレーン 3 0上の1ストライプカラム 2 3 Aを構成する4ビットの正負符号プレーンデータD 3 6と、その上下のストライプカラム 2 3 Aをそれぞれ構成する各4ビットの正負符号プレーンデータD 3 6とを正負符号プレーンバッファ 1 1 5から3クロックかけて順次読み出し、これをCUパス復号化処理部 1 2 3に送出することとなる。

40

【 0 2 3 2 】

さらにシグナルスイッチ 1 2 0は、これと同期して、かかる4画素分の処理ビットプレーンデータD 3 5をCUパス復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にあるSIGプレーン 3 1上の4ビット及びその上下のビット(合わせて6ビット、図 2 4 (B)参照)のSIGプレーンデータD 3 0をSRAM 1 1 1 Aから順次読み出し、これをCUパス復号化処理部 1 2 3に送出する。

【 0 2 3 3 】

この場合においても、シグナルスイッチ 1 2 0は、かかるビットプレーンバッファ 1 1 6 A、1 1 6 Bから読み出された4画素分の処理ビットプレーンデータD 3 5をCUパス復号化処理する際に必要となる合計6ビット分のSIGプレーンデータD 3 0に対して

50

、実際には当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビット分のSIGプレーンデータD30と、その上下の各4ビット分のSIGプレーンデータD30とをSRAM111Aから3クロックかけて順次読み出し、これをCUPバス復号化処理部123に送出することとなる。

【0234】

さらにシグナルスイッチャ120は、これと同期して、かかる4画素分の処理ビットプレーンデータD35をCUPバス復号化処理する際に必要となる、当該4画素とそれぞれ同座標にあるREFプレーン32上の1ワード(図24(E)参照)分のREFプレーンデータD31と、当該4画素と同座標にあるDONEプレーン33上の1ワード(図24(D)参照)分のDONEプレーンデータD32とをSRAM111Bから順次読み出し、これをCUPバス復号化処理部123に送出する。

10

【0235】

このときCUPバス復号化処理部123は、シグナルスイッチャ120から順次供給される4画素分の処理ビットプレーンデータD35と、これと対応する正負符号プレーンデータD36、SIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32とを、それぞれ少なくとも過去3サンプル分だけ記憶保持し得るようになされている。

【0236】

因みに、この場合も処理ビットプレーンデータD35、REFプレーンデータD31及びDONEプレーンデータD32については1ワードが1サンプルに該当し、正負符号プレーンデータD36及びSIGプレーンデータD30については縦方向に並ぶ3ワードが1サンプルに該当する。

20

【0237】

そしてCUPバス復号化処理部123は、算術復号化部113から1シンボル分のシンボルデータD34が与えられると、図24(A)において太枠で囲んだそのとき記憶保持している1サンプル分のシンボルデータD34(4画素分)について、そのとき記憶保持している図24(B)~(E)においてそれぞれ太枠で囲まれたSIGプレーンデータD30、正負符号プレーンデータD36、REFプレーンデータD31及びDONEプレーンデータD32と、そのとき算術復号化部113からシンボルデータD34が与えられるとを利用して、CUPバス復号化処理できるか否かの検出と、できる場合のCUPバス復号化処理及びできない場合のSPバス復号化処理とを実行する。

30

【0238】

またCUPバス復号化処理部123は、CUPバス復号化処理又はSPバス復号化処理を行ったときは、この際に得られたコンテキストCXを上述のように出力スイッチャ124を介してコンテキストデータD33として算術復号化部113(図30)に送出する一方、これと併せて得られた復号された処理ビットプレーンデータD35及び復号された正負符号プレーンデータD36をそれぞれビットプレーンバッファ116A、116B又は正負符号バッファ115の対応する位置に格納する。

【0239】

さらにCUPバス復号化処理部123は、CUPバス復号化処理又はSPバス復号化処理を行ったときには、これに応じてSIGプレーンデータD30、REFプレーンデータD31及び又はDONEプレーンデータD32を更新し、その後これらをシグナルスイッチ120を介して対応するSRAM111A、111Bに与えることにより、これらSIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32をそれぞれSRAM111A、111Bのものの位置に書き戻させる(Read-Modify-Write)。

40

【0240】

このようにしてこのビットモデル部114においては、上述した符号化装置40(図21)のビットモデル部54(図23)と同様に、復号対象のビットプレーン22上のストライプカラム23Aを構成する4画素を単位としてSPバス復号化処理、MRバス復号

50

化処理及びC Uパス復号化処理を行うと共に、このとき正負符号プレーンデータD 3 6及びS I GプレーンデータD 3 0についてもストライプカラム2 3 Aを構成する4ビットをメモリワードとすることにより、メモリアクセス回数を格段的に低減させて、C B M処理を確実に高速に行い得るようになされている。

【0241】

(2-2-3)各コーディング・パス処理部の具体的構成

次に、S Pパス復号化処理部1 2 1、M Rパス復号化処理部1 2 2及びC Uパス復号化処理部1 2 3の各構成についてそれぞれ順番に説明する。

【0242】

(2-2-3-1)S Pパス復号化処理部1 2 1の構成

S Pパス復号化処理部1 2 1は、図3 2に示すように、いずれもハードウェア構成の処理ビットシフトレジスタ部1 3 0、正符号シフトレジスタ部1 3 1、S I Gシフトレジスタ部1 3 2、R E Fシフトレジスタ部1 3 3、D O N Eシフトレジスタ部1 3 4及びセクタ1 3 5と、後述のようなセクタ1 3 5に対する出力切替え制御等を行う制御部1 3 6とから構成されている。

【0243】

また処理ビットシフトレジスタ部1 3 0には3段のシフトレジスタ1 3 0 Aが設けられると共に、正符号シフトレジスタ部1 3 1、S I Gシフトレジスタ部1 3 2、R E Fシフトレジスタ部1 3 3及びD O N Eシフトレジスタ部1 3 4には、それぞれ4段のシフトレジスタ1 3 1 A ~ 1 3 4 Aが設けられている。

【0244】

これによりS Pパス復号化処理部1 3 1は、上述のようにシグナルスイッチャ1 2 0 (図3 1)から順次与えられる各1サンプル分の処理ビットプレーンデータD 3 5、正負符号プレーンデータD 3 6、S I GプレーンデータD 3 0、R E FプレーンデータD 3 1及びD O N EプレーンデータD 3 2を、それぞれビットシフトレジスタ部1 3 0、正負符号シフトレジスタ部1 3 1、S I Gシフトレジスタ部1 3 2、R E Fシフトレジスタ部1 3 3及びD O N Eシフトレジスタ部1 3 4の各シフトレジスタ1 3 0 A ~ 1 3 4 Aにおいて順次シフトさせながら3サンプル分又は4サンプル分ずつ記憶保持し得るようになされている。

【0245】

そしてS I Gシフトレジスタ部1 3 2は、算術復号化部1 1 3から1シンボル分のシンボルデータD 3 4が与えられると、そのとき自己のシフトレジスタ1 3 2 Aに記憶保持したS I GプレーンデータD 3 0を用いて、処理ビットシフトレジスタ部1 3 0のシフトレジスタ1 3 0 Aの2段目にシフトされた4画素について、それぞれ上述のS Pパス復号化処理を行うための条件を満たしているか否かの検出処理を画素ごとに並行して行い、検出結果をセクタ1 3 5に出力する。

【0246】

またS I Gシフトレジスタ部1 3 2は、これと同期して、処理ビットシフトレジスタ部1 3 0のシフトレジスタ1 3 0 Aの2段目にシフトされた4画素について、図1 3について上述したルールに従って、当該4画素ごとのコンテキストC Xをそれぞれ演算し、演算結果をセクタ1 3 5に出力する。

【0247】

そして、このときS I Gシフトレジスタ部1 3 2により検出された、処理ビットシフトレジスタ部1 3 0のシフトレジスタ1 3 0 Aの2段目にシフトされた4画素についてのS Pパス復号化処理を行うための条件を満たしているか否かの検出結果が全て否定的であった場合には、セクタ1 3 5からは何も出力されず、処理ビットシフトレジスタ部1 3 0のシフトレジスタ1 3 0 Aの2段目にシフトされた1サンプル(4画素)分の処理ビットプレーンデータD 3 5に対する処理が完了する。

【0248】

そして、この後制御部1 3 6からビットデモデル部1 1 4全体の制御部1 2 5 (図3 1

10

20

30

40

50

）に与えられる転送要求に応じて、当該制御部 125 の制御のもとに、シグナルスイッチャ 120（図 31）から次の 1 サンプル分の処理ビットプレーンデータ D35 等が S P パス復号化処理部 121 に与えられる。かくして S P パス復号化処理部 121 は、これにより新たに処理ビットシフトレジスタ部 130 の 2 段目にシフトされた 1 サンプル（4 画素）分の処理ビットプレーンデータ D35 について、同様の処理を開始する。

【0249】

これに対して、処理ビットシフトレジスタ部 130 のシフトレジスタ 130A の 2 段目にシフトされた 1 サンプルのうちのいずれかの画素（以下、これを S P パス復号化処理対象画素と呼ぶ）についての検出結果が肯定的であった場合には、このとき算術復号化部 113 から与えられたシンボルデータ D34 のデータ値（0 / 1）が処理ビットシフトレジスタ部 130 のシフトレジスタ 130A における当該 S P パス復号化処理対象画素と対応するビットに格納される。またこれと併せて、S I G シフトレジスタ部 132 から出力された当該 S P パス復号化処理対象画素についてのコンテキスト C X の演算結果がセクタ 135 から出力されて算術復号化部 113 に与えられる。

10

【0250】

さらに、このときのシンボルデータ D34 のデータ値（S P パス復号化処理対象画素の復号値）が『0』であった場合、この後セクタ 135 から D O N E シフトレジスタ部 134 に与えられる更新情報に基づいて、当該 D O N E シフトレジスタ部 134 のシフトレジスタ 134A に記憶保持された D O N E プレーンデータ D32 のうち、S P パス復号化処理対象画素と同座標のビットの値が、ビットデモデル化が完了したことを表す『1』に更新されて、この S P パス復号化処理対象画素に対する S P パス復号化処理が完了する。

20

【0251】

これに対して、このシンボルデータ D34 のデータ値が『1』であった場合、その情報が S I G シフトレジスタ部 132、R E F シフトレジスタ部 133 及び正負符号シフトレジスタ部 131 にそれぞれ与えられる一方、これに続けて算術復号化部 113（図 31）から与えられる 1 シンボル分のシンボルデータ D34 が正負符号シフトレジスタ部 131A に与えられる。

【0252】

このとき S I G シフトレジスタ部 132 では、自己のシフトレジスタ 132A に記憶保持された S I G プレーンデータ D30 における S P パス復号化処理対象画素と同座標のビットの値が“Significant”であることを表す『1』に更新される。また R E F シフトレジスタ部 133 では、自己のシフトレジスタ 133A に記憶保持された R E F プレーンデータ D31 における S P パス復号化処理対象画素と同座標のビットの値が、“Significant”となったことを表す『1』に更新される。

30

【0253】

さらにこのとき正負符号シフトレジスタ部 131 は、供給されるシンボルデータ D34 のデータ値（0 / 1）に基づいて S P パス復号化処理対象画素の正負符号を復号化し、得られた正負符号ビットを自己のシフトレジスタ 131A における S P パス復号化処理対象画素と対応する位置に格納する一方、当該 S P パス復号化処理対象画素の正負符号ビットのコンテキスト C X を図 14 について上述したルールに従って演算し、その演算結果をセクタ 135 に送出する。かくしてこのコンテキスト C X がセクタ 135 を介して算術復号化部 113 に与えられる。

40

【0254】

そして、この後セクタ 135 から D O N E シフトレジスタ部 134 に更新情報が与えられ、当該更新情報に基づき、D O N E シフトレジスタ部 134 のシフトレジスタ 134A に記憶保持された D O N E プレーンデータ D32 における S P パス復号化処理対象画素と同座標のビットの値が『1』に更新されて、当該 S P パス復号化処理対象画素に対する S P パス復号化処理が完了する。

【0255】

そして、S P パス復号化処理部 121 は、この後算術復号化部 113 から 1 シンボル分

50

のシンボルデータD 3 4 が与えられるごとに同様の処理を順次繰り返す。

【 0 2 5 6 】

またこの際S Pパス復号化処理部1 2 1は、シグナルスイッチャ1 2 0から1サンプル分の処理ビットプレーンデータD 3 5等が与えられるごとに、処理ビットシフトレジスタ部1 3 0のシフトレジスタ1 3 0 Aの3段目に記憶保持されていた処理ビットプレーンデータD 3 5と、正負符号シフトレジスタ部1 3 1のシフトレジスタ1 3 1 Aの4段目に記憶保持されていた正負符号プレーンデータD 3 6とを、それぞれシグナルスイッチャ1 2 0を介して対応するビットプレーンバッファ1 1 6 A、1 1 6 B又は正負符号バッファ1 1 5に与えてもとのアドレス位置に書き戻させる一方、S I Gシフトレジスタ部1 3 2、R E Fシフトレジスタ部1 3 3及びD O N Eシフトレジスタ部1 3 4の各シフトレジスタ1 3 2 A ~ 1 3 4 Aの4段目にそれぞれ記憶保持されたS I GプレーンデータD 3 0、R E FプレーンデータD 3 1及びD O N EプレーンデータD 3 2を、それぞれシグナルスイッチャ1 2 0を介して対応するS R A M 1 1 1 A、1 1 1 Bに与えてもとのアドレス位置に書き戻させる。

10

【 0 2 5 7 】

このようにしてS Pパス復号化処理部1 2 1においては、算術復号化部1 1 3から順次与えられるシンボルデータD 3 4に基づいて、S Pパス復号化処理を行い得るようになっている。

【 0 2 5 8 】

(2 - 2 - 3 - 2) M Rパス復号化処理部1 2 2の構成

20

一方、M Rパス復号化処理部1 2 2は、図3 3に示すように、いずれもハードウェア構成の処理ビットシフトレジスタ部1 4 0、S I Gシフトレジスタ部1 4 2、R E Fシフトレジスタ部1 4 3、D O N Eシフトレジスタ部1 4 4及びセクタ1 4 5と、後述のようなセクタ1 4 5に対する出力切替え制御等を行う制御部1 4 6とから構成されている。

【 0 2 5 9 】

また処理ビットシフトレジスタ部1 4 0には3段のシフトレジスタ1 4 0 Aが設けられると共に、S I Gシフトレジスタ部1 4 2、R E Fシフトレジスタ部1 4 3及びD O N Eシフトレジスタ部1 4 4には、それぞれ4段のシフトレジスタ1 4 2 A ~ 1 4 4 Aが設けられている。

【 0 2 6 0 】

30

これによりM Rパス復号化処理部1 2 2は、上述のようにシグナルスイッチャ1 2 0 (図3 1) から順次与えられる各1サンプル分の処理ビットプレーンデータD 3 5、S I GプレーンデータD 3 0、R E FプレーンデータD 3 1及びD O N EプレーンデータD 3 2を、それぞれ処理ビットシフトレジスタ部1 4 0、S I Gシフトレジスタ部1 4 2、R E Fシフトレジスタ部1 4 3及びD O N Eシフトレジスタ部1 4 4のシフトレジスタ1 4 0 A、1 4 2 A ~ 1 4 4 Aにおいて順次シフトさせながら3サンプル分又は4サンプル分ずつ記憶保持し得るようになっている。

【 0 2 6 1 】

そしてR E Fシフトレジスタ部1 4 3及びD O N Eシフトレジスタ部1 4 4は、算術復号化部1 1 3から1シンボル分のシンボルデータD 3 4が与えられると、そのとき自己のシフトレジスタ1 4 3 A、1 4 4 Aの2段目にシフトされた1サンプル分のR E FプレーンデータD 3 1又はD O N EプレーンデータD 3 2をセクタ1 4 5に出力する。

40

【 0 2 6 2 】

またこのときS I Gシフトレジスタ部1 4 2は、自己のシフトレジスタ1 4 2 Aに記憶保持したS I GプレーンデータD 3 0を用いて、処理ビットシフトレジスタ部1 4 0の2段目にシフトした4画素について、R E Fシフトレジスタ部1 4 3の出力を参照しながら図1 6について上述したルールに従ってコンテキストC Xを演算し、演算結果をセクタ1 4 5に出力する。

【 0 2 6 3 】

そして、このときD O N EプレーンデータD 3 2の値が全て『 1 』(すなわち処理済)

50

であった場合には、セクタ 1 4 5 からは何も出力されずに、当該処理ビットシフトレジスタ部 1 4 0 のシフトレジスタ 1 4 0 A の 2 段目にシフトされた 1 サンプル分の処理ビットプレーンデータ D 3 5 に対する処理が終了する。

【 0 2 6 4 】

またかかる 1 サンプル分の D O N E プレーンデータ D 3 2 のうち、いずれかのデータ値が『 0 』（すなわち未処理）であり、かつその D O N E プレーンデータ D 3 2 と対応する処理ビットシフトレジスタ部 1 4 0 のシフトレジスタ 1 4 0 A の 2 段目にシフトされた画素が“Significant”でなかった場合にも、セクタ 1 4 5 からは何も出力されずに、当該処理ビットシフトレジスタ部 1 4 0 のシフトレジスタ 1 4 0 A の 2 段目にシフトされた 1 サンプル分の処理ビットプレーンデータ D 3 5 に対する処理が終了する。

10

【 0 2 6 5 】

そしてこれらの場合には、この後制御部 1 4 6 からビットモデル部 1 1 4 全体の制御部 1 2 5（図 3 1）に与えられる転送要求に応じて、当該制御部 1 2 5 の制御のもとに、シグナルスイッチャ 1 2 0（図 3 1）から次の 1 サンプル分の処理ビットプレーンデータ D 3 5 等が M R パス復号化処理部 1 2 2 に与えられる。かくして M R パス復号化処理部 1 2 1 は、これにより新たに処理ビットシフトレジスタ部 1 3 0 の 2 段目にシフトされた 1 サンプル（4 画素）分の処理ビットプレーンデータ D 3 5 について、同様の処理を開始する。

【 0 2 6 6 】

これに対して、かかる 1 サンプル分の D O N E プレーンデータ D 3 2 のうち、いずれかのデータ値が『 0 』であり、かつその D O N E プレーンデータ D 3 2 と対応する処理ビットシフトレジスタ部 1 4 0 のシフトレジスタ 1 4 0 A の 2 段目にシフトされた画素が“Significant”であった場合には、当該画素（以下、これを M R パス復号化処理対象画素と呼ぶ）が M R パス復号化処理すべき画素であることを意味する。

20

【 0 2 6 7 】

かくして、このとき算術復号化部 1 1 3（図 3 1）から与えられたシンボルデータ D 3 4 のデータ値（0 / 1）が処理ビットシフトレジスタ部 1 4 0 のシフトレジスタ 1 4 0 A における M R パス復号化処理対象画素と対応するビットに格納される一方、S I G シフトレジスタ部 1 4 2 から出力された当該 M R パス復号化処理対象画素についてのコンテキスト C X の演算結果がセクタ 1 4 5 から出力されて算術復号化部 1 1 3 に与えられる。

30

【 0 2 6 8 】

またこのとき R E F シフトレジスタ部 1 4 3 では、その M R パス復号化処理対象画素と同座標のビットが『 1 』である場合（すなわちフラグが立っている場合）にはこれがクリアされ、また D O N E シフトレジスタ部 1 4 4 では、その M R パス復号化処理対象画素と同座標のビットが、当該 M R パス復号化処理対象画素が処理済みとなったことを意味する『 1 』に更新されて、この M R パス復号化処理対象画素に対する M R パス復号化処理が完了する。

【 0 2 6 9 】

そして、M R パス復号化処理部 1 2 2 は、この後そのとき処理ビットシフトレジスタ部 1 4 0 のシフトレジスタ 1 4 0 A の 2 段目にシフトされた残りの画素についても、当該画素が M R パス復号化処理すべき画素であった場合には、上述と同様に M R パス復号化処理を実行する。

40

【 0 2 7 0 】

そして、M R パス復号化処理部 1 2 2 は、この後算術復号化部 1 1 3 から 1 シンボル分のシンボルデータ D 3 4 が与えられるごとに同様の処理を順次繰り返す。

【 0 2 7 1 】

またこの際 M R パス復号化処理部 1 2 2 は、処理ビットシフトレジスタ部 1 4 0 のシフトレジスタ 1 4 0 A に新たな 4 画素分の処理ビットプレーンデータ D 3 5 が与えられるごとに、処理ビットシフトレジスタ部 1 4 0 のシフトレジスタ 1 4 0 A の 3 段目に記憶保持されていた処理ビットプレーンデータ D 3 5 をシグナルスイッチャ 1 2 0 を介して対応す

50

るビットプレーンバッファ 116A、116B に与えてもとのアドレス位置に書き戻させる一方、SIGシフトレジスタ部 142、REFシフトレジスタ部 143 及び DONEシフトレジスタ部 144 の各シフトレジスタ 142A ~ 144A の 4 段目にそれぞれ記憶保持された SIG プレーンデータ D30、REF プレーンデータ D31 及び DONE プレーンデータ D32 を、それぞれシグナルスイッチ 120 を介して対応する SRAM 111A、111B に与えてもとのアドレス位置に書き戻させる。

【0272】

このようにして MR パス復号化処理部 122 においては、算術復号化部 113 から与えられるシンボルデータ D34 に基づいて MR パス復号化処理を行い得るようになされている。

10

【0273】

(2-2-3-3) CU パス復号化処理部 123 の構成

CU パス復号化処理部 123 は、図 34 に示すように、いずれもハードウェア構成の処理ビットシフトレジスタ部 150、正符号シフトレジスタ部 151、SIGシフトレジスタ部 152、REFシフトレジスタ部 153、DONEシフトレジスタ部 154 及びセクタ 155 と、後述のようなセクタ 155 に対する出力切替え制御等を行う制御部 156 とから構成されている。

【0274】

また処理ビットシフトレジスタ部 150 には 3 段のシフトレジスタ 150A が設けられると共に、正符号シフトレジスタ部 151、SIGシフトレジスタ部 152、REFシフトレジスタ部 153 及び DONEシフトレジスタ部 154 には、それぞれ 4 段のシフトレジスタ 151A ~ 154A が設けられている。

20

【0275】

これにより CU パス復号化処理部 123 は、上述のようにシグナルスイッチ 120 (図 31) から順次与えられる各 1 サンプル分の処理ビットプレーンデータ D35、正負符号プレーンデータ D36、SIG プレーンデータ D30、REF プレーンデータ D31 及び DONE プレーンデータ D32 を、それぞれ処理ビットシフトレジスタ部 150、正符号シフトレジスタ部 151、SIGシフトレジスタ部 152、REFシフトレジスタ部 153 及び DONEシフトレジスタ部 154 の各シフトレジスタ 150A ~ 154A において順次シフトさせながら 3 サンプル分又は 4 サンプル分ずつ記憶保持し得るようになされている。

30

【0276】

そして SIGシフトレジスタ部 152 は、算術復号化部 113 から 1 シンボル分のシンボルデータ D34 が与えられると、そのとき自己のシフトレジスタ 152A に記憶保持した SIG プレーンデータ D30 と、DONEシフトレジスタ部 154 のシフトレジスタ 154A に記憶保持された DONE プレーンデータ D32 を用いて、処理ビットシフトレジスタ部 130 のシフトレジスタ 130A の 2 段目にシフトされた 4 画素が上述したランレングス処理を行うための条件を満たしているか否かを検出する。

【0277】

そしてかかる 4 画素がランレングス処理を行うための条件を満たしていない場合には、これら 4 画素のそれぞれについて、上述した SP パス復号化処理が順次行われる。

40

【0278】

これに対してかかる 4 画素がランレングス処理を行うための条件を満たしている場合であって、このとき算術復号化部 113 (図 31) から与えられた 1 シンボル分のシンボルデータ D34 のデータ値が『0』であったときには、処理ビットシフトレジスタ 150 のシフトレジスタ 150A における 2 段目の 1 番目 ~ 4 番目の各ビットにそれぞれ『0』が格納される。またこれと併せて SIGシフトレジスタ部 152 からこれに応じたコンテキスト CX (“run”) が出力され、このコンテキスト CX がセクタ 155 を介して算術復号化部 113 (図 28) に与えられて、この処理ビットシフトレジスタ部 150 のシフトレジスタ 150A の 2 段目にシフトされた 1 サンプル (4 画素) 分の処理ビットプレー

50

ンデータD35に対する処理が完了する。

【0279】

またかかる4画素がランレングス処理を行うための条件を満たしている場合であって、このとき算術復号化部113から与えられた1シンボル分のシンボルデータD34のデータ値が『1』であったときには、その後算術復号化部113から与えられる2シンボル分のシンボルデータD34のデータ値に応じて、図18について上述した処理と逆の処理が行われる。

【0280】

具体的には、算術復号化部113から与えられた2シンボル分のシンボルデータD34のデータ値が『0、0』であった場合には、処理ビットシフトレジスタ部150のシフトレジスタ150Aにおける2段目の一番上のビットに『0』が格納され、当該データ値が『0、1』であった場合には、処理ビットシフトレジスタ部150のシフトレジスタ150Aにおける2段目の1番目及び2番目のビットにそれぞれ『0』又は『1』が格納される。また、算術復号化部113から与えられた2シンボル分のシンボルデータD34のデータ値が『1、0』であった場合には、処理ビットシフトレジスタ部150のシフトレジスタ150Aにおける2段目の1番目～3番目のビットにそれぞれ『0』、『0』又は『1』が格納され、当該データ値が『1、1』であった場合には、処理ビットシフトレジスタ部150のシフトレジスタ150Aにおける2段目の1番目～4番目のビットにそれぞれ『0』、『0』、『0』又は『1』が格納される。さらに、これと併せてSIGシフトレジスタ部152から2回“uniform”というコンテキストCXが出力され、これがセレクトクタ155を介して算術復号化部113に与えられる。

【0281】

さらにこのときSIGシフトレジスタ部152では、自己のシフトレジスタ152Aの2段目における、このとき処理ビットシフトレジスタ部150のシフトレジスタ150Aの『1』が格納された画素（以下、これをCUパス復号化処理対象画素と呼ぶ）と同座標のビットの値が“Significant”であることを表す『1』に更新される。またREFシフトレジスタ部153では、自己のシフトレジスタ153Aに記憶保持されたREFプレーンデータD31における当該CUパス復号化処理対象画素と同座標のビットの値が“Significant”となったことを表す『1』に更新される。

【0282】

さらにこの後、算術復号化部113から与えられる1シンボル分のシンボルデータD34が正負符号シフトレジスタ部151に与えられる。そして正負符号シフトレジスタ部151では、かかるCUパス復号化処理対象画素の正負符号がこのシンボルデータD34に基づいて演算されると共に当該CUパス復号化処理対象画素のコンテキストCXが図14について上述したルールに従って演算され、算出された正負符号が当該正負符号シフトレジスタ部151のシフトレジスタ151AにおけるCUパス復号化処理対象画素と同座標のビットに格納され、コンテキストCXがセレクトクタ155を介して算術復号化部113に出力される。

【0283】

そして、この後セレクトクタ155からDONEシフトレジスタ部154に更新情報与えられ、当該更新情報に基づき、DONEシフトレジスタ部154のシフトレジスタ154Aに記憶保持されたDONEプレーンデータD32における当該CUパス復号化処理対象画素と同座標のビットの値が『1』に更新されて、当該CUパス復号化処理対象画素に対するCUパス復号化処理が完了する。

【0284】

さらにCUパス復号化処理部123は、この後同じサンプル（このとき処理ビットシフトレジスタ部150のシフトレジスタ150Aの2段目に記憶保持された1サンプル）内の当該CUパス復号化処理対象画素よりもビットプレーン内スキャン順序が後の各画素について、それぞれSIGシフトレジスタ部152、REFシフトレジスタ部153及びDONEシフトレジスタ部154の各シフトレジスタ150A～154Aに記憶保持された

S I G プレーンデータ D 3 0、R E F プレーンデータ D 3 1 及び D O N E プレーンデータ D 3 2 を必要に応じて順次更新しながら上述した C U パス復号化処理を実行する。そして C U パス復号化処理部 1 2 3 は、このような処理を当該サンプル内の全ての画素に対して行い終わると、当該サンプルに対する C U パス復号化処理を完了する。

【 0 2 8 5 】

そして、C U パス復号化処理部 1 2 3 は、この後算術復号化部 1 1 3 から 1 シンボル分のシンボルデータ D 3 4 が与えられるごとに同様の処理を順次繰り返す。

【 0 2 8 6 】

またこの際 C U パス復号化処理部 1 2 3 は、シグナルスイッチャ 1 2 0 から 1 サンプル分の処理ビットプレーンデータ D 3 5 等が与えられるごとに、処理ビットシフトレジスタ部 1 5 0 のシフトレジスタ 1 5 0 A の 3 段目に記憶保持されていた処理ビットプレーンデータ D 3 5 と、正負符号シフトレジスタ部 1 5 1 のシフトレジスタ 1 5 1 A の 4 段目に記憶保持されていた正負符号プレーンデータ D 3 6 とを、それぞれシグナルスイッチャ 1 2 0 を介して対応するビットプレーンバッファ 1 1 6 A、1 1 6 B 又は正負符号バッファ 1 1 5 に与えてもとのアドレス位置に書き戻させる一方、S I G シフトレジスタ部 1 5 2、R E F シフトレジスタ部 1 5 3 及び D O N E シフトレジスタ部 1 5 4 の各シフトレジスタ 1 5 2 A ~ 1 5 4 A の 4 段目にそれぞれ記憶保持された S I G プレーンデータ D 3 0、R E F プレーンデータ D 3 1 及び D O N E プレーンデータ D 3 2 を、それぞれシグナルスイッチ 1 2 0 を介して対応する S R A M 1 1 1 A、1 1 1 B に与えてもとのアドレス位置に書き戻させる。

【 0 2 8 7 】

このようにして C U パス復号化処理部 1 2 3 においては、算術復号化部 1 1 3 から順次与えられるシンボルデータ D 3 4 に基づいて、C U パス復号化処理を行い得るようになっている。

【 0 2 8 8 】

(2 - 3) 第 1 の実施の形態の動作及び効果

以上の構成において、本実施の形態による符号化装置 4 0 及び復号化装置 1 0 0 では、ビットモデル部 5 4 又はビットデモデル部 1 1 4 において、処理ビットプレーン 2 2 上のストライプカラム 2 3 A を構成する 4 画素を単位として C B M 処理を行うと共に、このとき正負符号プレーンデータ D 2 0、D 3 5 及び S I G プレーンデータ D 2 2、D 3 0 についても処理ビットプレーン 2 2 上のストライプカラム 2 3 A と同位相の 4 ビットを単位 (1 ワード) として、正負符号プレーンバッファ 5 0、1 1 5 又は S R A M 5 2 A、1 1 1 A から読み出す。

【 0 2 8 9 】

従って、この符号化装置 4 0 及び復号化装置 1 0 0 では、正負符号プレーンデータ D 2 0、D 3 5 や S I G プレーンデータ D 2 2、D 3 0 の 1 ビットをメモリワードとする従来手法に比して、C B M 処理時における正負符号プレーンバッファ 5 0、1 1 5 や S R A M 5 2 A、1 1 1 A に対するアクセス回数を格段的に低減させることができる。

【 0 2 9 0 】

實際上、例えば 64 x 64 サイズのビットプレーン 2 2 を処理する際にメモリから S I G プレーンデータ D 2 2、D 3 0 を読み出す回数を計算すると、従来の 1 画素ずつアクセスする手法の場合、直前の画素を処理する際に読み出した流用可能な S I G プレーンデータ D 2 2、D 3 0 を次の画素を処理する際に利用することなく、画素ごとに必要な S I G プレーンデータ D 2 2、D 3 0 を 1 ビットずつ読み出す構成 (以下、これをオーバーラップ読み出し構成と呼ぶ) では 36100 回のメモリアクセスが必要となり、直前の画素を処理する際に読み出した流用可能な S I G プレーンデータ D 2 2、D 3 0 を次の画素を処理する際に利用し、足りない S I G プレーンデータ D 2 2、D 3 0 のみを 1 ビットずつ読み出す構成 (以下、これを更新部分限定読み出し構成と呼ぶ) では、17860 回のメモリアクセスが必要となる。

【 0 2 9 1 】

これに対してS I GプレーンデータD 2 2、D 3 0を4ビット分ずつ一括して読み出す本実施の形態の手法によれば、オーバーラップ読出し構成とした場合であっても8740回のメモリアクセスで足り、また本実施の形態のように更新部分限定読出し構成とした場合に至っては2944回のメモリアクセスで足りる。

【0292】

よって、かかるJ P E G 2 0 0 0規格に準拠した符号化装置40及び復号化装置100におけるビットモデル部54又はビットデモデル部114の構成として上述のような第1の実施の形態の構成を採用することによって、これらビットモデル部54又はビットデモデル部114におけるC B M処理の高速化を図ることができ、またこれに伴ってビットモデル部54又はビットデモデル部114の低消費電力化を図ることもできる。

10

【0293】

以上の構成によれば、処理ビットプレーン22上のストライプカラム23Aを構成する4画素を単位としてC B M処理を行うと共に、このとき正負符号プレーンデータD 2 0、D 3 6及びS I GプレーンデータD 2 2、D 3 0についても処理ビットプレーン22上のストライプカラム23Aと同じ位相の4ビットを単位(1ワード)として取り扱うようにしたことにより、C B M処理時における正負符号プレーンバッファ50、115やS R A M 5 2 A、111Aに対するアクセス回数を格段的に低減させることができ、かくして符号化処理又は復号化処理を高速化させ得る符号化装置及び復号化装置を実現できる。

【0294】

(3)第2の実施の形態

20

(3-1)第2の実施の形態による符号化装置40のE B C O Tブロック160の構成

図22との対応部分に同一符号を付して示す図35は、上述したJ P E G 2 0 0 0規格に準拠した符号化装置40(図21)に適用される第2の実施の形態によるE B C O Tブロック160を示し、処理ビットプレーンデータD 2 2のストライプカラム23Aに対して正負符号プレーンバッファ50又はS R A M 5 2 Aにおける正負符号プレーンデータD 2 0及びS I GプレーンデータD 2 2のワードの位相がずれている点を除いて第1の実施の形態による符号化装置40のE B C O Tブロック42とほぼ同様に構成されている。

【0295】

すなわちこのE B C O Tブロック160の場合、図36に示すように、正負符号プレーンバッファ161(図35)は、正負符号プレーンデータD 2 0に対する記憶領域が、それぞれ実際の正負符号プレーンデータD 2 0の記憶に使用する領域に対して上下方向にそれぞれ2ビット分ずつ拡張されており、処理ビットプレーン22上の1ストライプカラム23Aを構成する4画素に対して2ビット分だけ上下に位相がずれた、縦方向に並ぶ4ビット分の正負符号プレーンデータD 2 0を単位(1ワード)として、これらを1クロックで一括して読書きし得るようになされている。

30

【0296】

またE B C O Tブロック160においては、S R A M 1 6 2(図35)についても、図36のようにS I GプレーンデータD 2 2に対する記憶領域が、それぞれ実際のS I GプレーンデータD 2 2の記憶に使用する領域に対して、上下方向にそれぞれ2ビット分ずつ拡張されており、処理ビットプレーン22上の1ストライプカラム23Aを構成する4画素と2ビット分だけ上下方向に位相がずれた、縦方向に並ぶ4ビット分のS I GプレーンデータD 2 2を単位(1ワード)として、これらを1クロックで一括して読書きし得るようになされている。

40

【0297】

一方、図37に示すように、このE B C O Tブロック160のビットモデル部163は、シグナルスイッチャ164の構成を除いて第1の実施の形態による符号化装置40のビットモデル部54とほぼ同様に構成されている。

【0298】

そしてシグナルスイッチャ164は、トップビットプレーン22T以外の処理ビットプレーン22に対するC B M処理時、制御部65の制御のもとに、処理ビットプレーンデー

50

タD 2 1を、図 2 4 (A) に示す 1 ストライプカラム 2 3 A を構成する 4 画素分を 1 ワードとして、ビットプレーン内スキャン順序に従って処理ビットプレーンバッファ 5 1 A、5 1 B から 1 ワードずつ順次読み出し、これをまず S P パス符号化処理部 1 6 5 に送出する。

【 0 2 9 9 】

またシグナルスイッチャ 1 6 4 は、これと同期して、処理ビットプレーンバッファ 5 1 A、5 1 B から読み出された 4 画素分の処理ビットプレーンデータ D 2 1 に対して S P パス符号化処理する際に必要となる、当該 4 画素とそれぞれ同座標にある正負符号プレーン 3 0 上の 4 ビット及びその上下の各ビット（合わせて 6 ビット、図 2 4 (C) 参照）の正負符号プレーンデータ D 2 0 を正負符号プレーンバッファ 1 6 1 から順次読み出し、これを S P パス符号化処理部 1 6 5 に送出する。

10

【 0 3 0 0 】

この際シグナルスイッチャ 1 6 4 は、かかる処理ビットプレーンバッファ 5 1 A、5 1 B から読み出された 4 画素分の処理ビットプレーンデータ D 2 1 を S P パス符号化処理する際に必要となる合計 6 ビットの正負符号プレーンデータ D 2 0 に対して、実際には当該 4 画素とそれぞれ同座標にある正負符号プレーン 3 0 上の 4 ビットよりも上側に 2 ビットずれた 1 ワード（ 4 ビット）分の正負符号プレーンデータ D 2 0 と、下側に 2 ビットずれた 1 ワード（ 4 ビット）分の正負符号プレーンデータ D 2 0 とを正負符号プレーンバッファ 1 6 1 から 2 クロックかけて読み出し、これを S P パス符号化処理部 1 6 5 に送出することとなる。

20

【 0 3 0 1 】

さらにシグナルスイッチャ 1 6 4 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D 2 1 を S P パス符号化処理する際に必要となる、当該 4 画素とそれぞれ同座標にある S I G プレーン 3 1 上の 4 ビット及びその上下の各ビット（合計 6 ビット、図 2 4 (B) 参照）分の S I G プレーンデータ D 2 2 を S R A M 5 2 A から順次読み出し、これを S P パス符号化処理部 6 1 に送出する。

【 0 3 0 2 】

この場合においても、シグナルスイッチャ 1 6 4 は、かかる処理ビットプレーンバッファ 5 1 A、5 1 B から読み出された 4 画素分の処理ビットプレーンデータ D 2 1 を S P パス符号化処理する際に必要となる合計 6 ビットの S I G プレーンデータ D 2 2 に対して、実際には当該 4 画素とそれぞれ同座標にある S I G プレーン 3 1 上の 4 ビットよりも上側に 2 ビットずれた 1 ワード（ 4 ビット）分の S I G プレーンデータと、下側に 2 ビットずれた 1 ワード（ 4 ビット）分の S I G プレーンデータ D 2 0 とを S R A M 1 6 2 から 2 クロックかけて読み出し、これを S P パス符号化処理部 1 6 5 に送出することとなる。

30

【 0 3 0 3 】

さらにシグナルスイッチャ 1 6 4 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D 2 1 を S P パス符号化処理する際に必要となる、当該 4 画素とそれぞれ同座標にある R E F プレーン 3 2 上の 4 ビット（図 2 4 (E) 参照）分の R E F プレーンデータ D 2 3 と、当該 4 画素と同座標にある D O N E プレーン 3 3 上の 4 ビット（図 2 4 (D) 参照）分の D O N E プレーンデータ D 2 4 とを S R A M 5 2 B から順次読み出し、これを S P パス符号化処理部 1 6 5 に送出する。

40

【 0 3 0 4 】

この場合 S R A M 5 2 B は、処理ビットプレーン 2 2 上の各ストライプカラム 2 3 A とそれぞれ対応する 4 ビット分を単位（ 1 ワード）として R E F プレーンデータ D 3 1 及び D O N E プレーンデータ D 3 2 を記憶しており、このワード単位で R E F プレーンデータ D 3 1 や D O N E プレーンデータ D 3 2 を読書きし得るように構成されている。従って、シグナルスイッチャ 1 6 4 は、かかる 4 ビット分の R E F プレーンデータ D 3 1 又は D O N E プレーンデータ D 3 2 をそれぞれ 1 クロックで S R A M 5 2 B から読み出して S P パス符号化処理部 1 6 5 に送出することとなる。

【 0 3 0 5 】

50

このとき S P パス符号化処理部 1 6 5 は、シグナルスイッチャ 1 6 4 から順次供給される 4 画素分の処理ビットプレーンデータ D 2 1 と、これと対応する正負符号プレーンデータ D 2 0、S I G プレーンデータ D 2 2、R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 4 とを、それぞれ少なくとも過去 3 サンプル分だけ記憶保持し得るようになされている。

【 0 3 0 6 】

因みに、ここでは処理ビットプレーンデータ D 2 1、R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 4 については 1 ワードが 1 サンプルに該当し、正負符号プレーンデータ D 2 0 及び S I G プレーンデータ D 2 2 については縦方向に並ぶ 2 ワードが 1 サンプルに該当する。

10

【 0 3 0 7 】

そして S P パス符号化処理部 1 6 5 は、シグナルスイッチャ 1 6 4 から次のサンプルの処理ビットプレーンデータ D 2 1 等が与えられると、第 1 の実施の形態による符号化装置 4 0 (図 2 1) の S P パス符号化処理部 6 1 と同様にして、必要に応じて S P パス符号化処理を実行し、そのとき得られたシンボル S B をシンボルデータ D 2 6 S として出力スイッチャ 6 4 に、コンテキスト C X をコンテキストデータ D 2 7 S として出力スイッチャ 6 4 にそれぞれ送出すると共に、必要に応じて S I G プレーンデータ D 2 2、R E F プレーンデータ D 2 3 及び又は D O N E プレーンデータ D 2 4 を更新し、さらにこれら更新した S I G プレーンデータ D 2 2、R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 4 を S R A M 1 6 2、S R A M 5 2 B におけるもとのアドレス位置に書き戻す。

20

【 0 3 0 8 】

一方、シグナルスイッチャ 1 6 4 は、このようにして処理ビットプレーンバッファ 5 1 A、5 1 B に格納された 1 ビットプレーン分のデータ (処理ビットプレーンデータ D 2 1) に対する S P パス符号化処理を終了すると、この後これと同様にして、制御部 6 5 の制御のもとに、同じ処理ビットプレーンデータ D 2 1 をビットプレーン内スキャン順序に従って処理ビットプレーンバッファ 5 1 A、5 1 B から 1 ワードずつ順次読み出し、これを M R パス符号化処理部 1 6 6 に送出する。

【 0 3 0 9 】

またシグナルスイッチャ 1 6 4 は、これと同期して、処理ビットプレーンバッファ 5 1 A、5 1 B から読み出された 4 画素分の処理ビットプレーンデータ D 2 1 に対して M R パス符号化処理する際に必要となる、当該 4 画素とそれぞれ同座標にある S I G プレーン 3 1 上の 4 ビット及びその上下の各ビット (合わせて 6 ビット、図 2 4 (B) 参照) の S I G プレーンデータ D 2 2 を S R A M 1 6 2 から順次読み出し、これを M R パス符号化処理部 1 6 6 に送出する。

30

【 0 3 1 0 】

この際シグナルスイッチャ 1 6 4 は、上述の S P パス符号化処理部の場合と同様に、かかる処理ビットプレーンバッファ 5 1 A、5 1 B から読み出された 4 画素分の処理ビットプレーンデータ D 2 1 を M R パス符号化処理する際に必要となる合計 6 ビット分の S I G プレーンデータ D 2 2 に対して、実際には当該 4 画素とそれぞれ同座標にある S I G プレーン 3 1 上の 4 ビットよりも上側に 2 ビットずれた 1 ワード (4 ビット) 分の S I G プレーンデータ D 2 2 と、下側に 2 ビットずれた 1 ワード (4 ビット) 分の S I G プレーンデータ D 2 2 とを S R A M 1 6 2 から 2 クロックかけて読み出し、これを M R パス符号化処理部 1 6 6 に送出することとなる。

40

【 0 3 1 1 】

さらにシグナルスイッチャ 1 6 4 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D 2 1 を M R パス符号化処理する際に必要となる、当該 4 画素と同座標にある R E F プレーン 3 2 上の 1 ワード (図 2 4 (E) 参照) 分の R E F プレーンデータ D 2 3 と、当該 4 画素と同座標にある D O N E プレーン 3 3 上の 1 ワード (図 2 4 (D) 参照) 分の D O N E プレーンデータ D 2 4 とを S R A M 5 2 B から順次読み出し、これを M R パス符号化処理部 1 6 6 に送出する。

50

【0312】

このときMRパス符号化処理部166は、シグナルスイッチャ164から順次供給される4画素分の処理ビットプレーンデータD21と、これと対応するSIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24とを、それぞれ少なくとも過去3サンプル分だけ記憶保持し得るようになされている。

【0313】

因みに、この場合も処理ビットプレーンデータD21、REFプレーンデータD23及びDONEプレーンデータD24については1ワードが1サンプルに該当し、正負符号プレーンデータD20及びSIGプレーンデータD22については縦方向に並ぶ2ワードが1サンプルに該当する。

10

【0314】

そしてMRパス符号化処理部166は、シグナルスイッチャ164から次のサンプルの処理ビットプレーンデータD21等が与えられると、第1の実施の形態による符号化装置40(図21)のMRパス符号化処理部62と同様にして、必要に応じてMRパス符号化処理を実行し、そのとき得られたシンボルSBをシンボルデータD26Rとして出力スイッチャ64に、コンテキストCXをコンテキストデータD27Rとして出力スイッチャ64にそれぞれ送出する一方、必要に応じてSIGプレーンデータD22、REFプレーンデータD23及び又はDONEプレーンデータD24を更新し、さらにこれら更新したSIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24をSRAM162、52Bにおけるもとのアドレス位置に書き戻す。

20

【0315】

他方、シグナルスイッチャ164は、このようにして処理ビットプレーンバッファ51A、51Bに格納された1ビットプレーン分のデータ(処理ビットプレーンデータD21)に対するMRパス符号化処理を終了すると、この後これと同様にして、制御部65の制御のもとに、同じ処理ビットプレーンデータD21をビットプレーン内スキャン順序に従って処理ビットプレーンバッファ51A、51Bから1ワードずつ順次読み出し、これをCUパス符号化処理部167に送出する。

【0316】

またシグナルスイッチャ164は、これと同期して、処理ビットプレーンバッファ51A、51Bから読み出された4画素分の処理ビットプレーンデータD21に対してCUパス符号化処理する際に必要となる、当該4画素とそれぞれ同座標にある正負符号プレーン30上の4ビット及びその上下の各ビット(合わせて6ビット、図24(C)参照)分の正負符号プレーンデータD20を正負符号プレーンバッファ161(図35)から順次読み出し、これをCUパス符号化処理部167に送出する。

30

【0317】

この際シグナルスイッチャ164は、上述のSPパス符号化処理部165と同様に、かかる処理ビットプレーンバッファ51A、51Bから読み出された4画素分の処理ビットプレーンデータD21をCUパス符号化処理する際に必要となる合計6ビットの正負符号プレーンデータD20に対して、実際には当該4画素とそれぞれ同座標にある正負符号プレーン上の4ビットよりも上側に2ビットずれた1ワード(4ビット)分の正負符号プレーンデータD20と、下側に2ビットずれた1ワード(4ビット)分の正負符号プレーンデータD20とを正負符号プレーンバッファ161から2クロックかけて読み出し、これをCUパス符号化処理部167に送出することとなる。

40

【0318】

さらにシグナルスイッチャ164は、これと同期して、かかる4画素分の処理ビットプレーンデータD21をCUパス符号化処理する際に必要となる、当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビット及びその上下の各ビット(合計6ビット、図24(B)参照)分のSIGプレーンデータD22をSRAM162から順次読み出し、これをCUパス符号化処理部167に送出する。

【0319】

50

この場合においても、シグナルスイッチャ 164 は、かかる処理ビットプレーンバッファ 51A、51B から読み出された 4 画素分の処理ビットプレーンデータ D21 を CUPAS 符号化処理する際に必要となる合計 6 ビット分の SIG プレーンデータ D22 に対して、実際には当該 4 画素とそれぞれ同座標にある SIG プレーン 31 上の 4 ビットよりも上側に 2 ビットずれた 1 ワード (4 ビット) 分の SIG プレーンデータ D22 と、下側に 2 ビットずれた 1 ワード (4 ビット) 分の SIG プレーンデータ D22 とを SRAM 162 から 2 クロックかけて読み出し、これを CUPAS 符号化処理部 167 に送出することとなる。

【0320】

さらにシグナルスイッチャ 164 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D21 を CUPAS 符号化処理する際に必要となる、当該 4 画素とそれぞれ同座標にある REF プレーン 32 上の 1 ワード (図 24 (E) 参照) 分の REF プレーンデータ D23 と、当該 4 画素と同座標にある DONE プレーン 33 上の 1 ワード (図 24 (D) 参照) 分の DONE プレーンデータ D24 とを SRAM 52B から読み出し、これを CUPAS 符号化処理部 167 に送出する。

【0321】

このとき CUPAS 符号化処理部 167 は、シグナルスイッチャ 164 から順次供給される 4 画素分の処理ビットプレーンデータ D21 と、これと対応する正負符号プレーンデータ D20、SIG プレーンデータ D22、REF プレーンデータ D23 及び DONE プレーンデータ D24 とを、それぞれ少なくとも過去 3 サンプル分だけ記憶保持し得るようになされている。

【0322】

因みに、この場合も処理ビットプレーンデータ D21、REF プレーンデータ D23 及び DONE プレーンデータ D24 については 1 ワードが 1 サンプルに該当し、正負符号プレーンデータ D20 及び SIG プレーンデータ D22 については縦方向に並ぶ 2 ワードが 1 サンプルに該当する。

【0323】

そして CUPAS 符号化処理部 167 は、シグナルスイッチャ 164 から次のサンプルの処理ビットプレーンデータ D21 等が与えられると、第 1 の実施の形態による符号化装置 40 (図 21) の CUPAS 符号化処理部 63 と同様にして、CUPAS 符号化処理又は SP 符号化処理を実行し、そのとき得られたシンボル SB をシンボルデータ D26C として出力スイッチャ 64 に、コンテキスト CX をコンテキストデータ D27C として出力スイッチャ 64 にそれぞれ送出する一方、必要に応じて SIG プレーンデータ D22、REF プレーンデータ D23 及び又は DONE プレーンデータ D24 を更新し、さらにこれら更新した SIG プレーンデータ D22、REF プレーンデータ D23 及び DONE プレーンデータ D24 を SRAM 162、52B におけるもとのアドレス位置に書き戻す。

【0324】

このようにしてこのビットモデル部 163 においては、CBM 処理時における正負符号プレーンデータ D20 及び SIG プレーンデータ D22 のアクセス単位 (1 ワード) の位相を処理ビットプレーン 22 上のストライプカラム 23A に対して 2 ビット分ずらすことによって、処理ビットプレーンデータ D21 の 1 ストライプカラム 23A を処理する際の正負符号プレーンバッファ 161 や SRAM 162 へのアクセス回数を低減させ得るようになされている。

【0325】

(3-2) 第 2 の実施の形態による復号化装置 100 の EBCOT ブロック 170 の構成
図 30 との対応部分に同一符号を付して示す図 38 は、上述の JPEG 2000 規格に準拠した復号化装置 100 (図 29) に適用される第 2 の実施の形態による EBCOT ブロック 170 を示し、処理ビットプレーンデータ D22 のストライプカラム 23A に対して正負符号プレーンバッファ 171 又は SRAM 172 における正負符号プレーンデータ D20 及び SIG プレーンデータ D22 のワードの位相がずれている点を除いて第 1 の実

10

20

30

40

50

施の形態による復号化装置 100 の EBCOT ブロック 4101 とほぼ同様に構成されている。

【0326】

すなわちこの EBCOT ブロック 170 の場合、図 36 について上述した正負符号プレーンバッファ 161 (図 35) 及び S RAM 162 (図 35) と同様に、正負符号プレーンバッファ 171 における正負符号プレーンデータ D36 に対する記憶領域と、S RAM 172 における S I G プレーンデータ D30 に対する記憶領域とが、それぞれ実際の正負符号プレーンデータ D36 又は S I G プレーンデータ D30 の記憶に使用する領域に対して上下方向にそれぞれ 2 ビット分ずつ拡張されており、処理ビットプレーン 22 上の 1 ストライプカラム 23A を構成する 4 画素に対して 2 ビット分だけ位相がずれた、縦方向に並ぶ 4 ビット分の正負符号プレーンデータ D36 又は S I G プレーンデータ D30 をそれぞれ 1 ワードとして、これらを 1 クロックで一括して読書きし得るようになされている。

10

【0327】

また図 39 に示すように、この EBCOT ブロック 170 のビットモデル部 173 は、シグナルスイッチャ 174 の構成を除いて第 1 の実施の形態による復号化装置 101 のビットモデル部 114 とほぼ同様に構成されている。

【0328】

實際上、シグナルスイッチャ 174 は、制御部 125 の制御のもとに、ビットプレーンバッファ 116A、116B (図 38) に記憶保持されている復号前又は一部が復号された処理ビットプレーンデータ D35 を、図 24 (A) に示す 1 ストライプカラム 23A を構成する 4 画素分を 1 ワードとして、ビットプレーン内スキャン順序に従ってビットプレーンバッファ 116A、116B から 1 ワードずつ順次読み出し、これをまず S P パス復号化処理部 175 に送出する。

20

【0329】

またシグナルスイッチャ 174 は、これと同期して、ビットプレーンバッファ 116A、116B から読み出された 4 画素分の処理ビットプレーンデータ D35 を S P パス復号化処理により復号する際に必要となる、当該 4 画素とそれぞれ同座標にある正負符号プレーン 30 上の 4 ビット及びその上下の各ビット (合わせて 6 ビット、図 24 (C) 参照) 分の復号前又は一部が復号された正負符号プレーンデータ D36 を正負符号プレーンバッファ 171 から順次読み出し、これを S P パス復号化処理部 175 に送出する。

30

【0330】

この際シグナルスイッチャ 174 は、かかるビットプレーンバッファ 116A、116B から読み出された 4 画素分の処理ビットプレーンデータ D35 を S P パス復号化処理する際に必要となる合計 6 ビットの正負符号プレーンデータ D36 に対して、実際には当該 4 画素とそれぞれ同座標にある正負符号プレーン 30 上の 4 ビットよりも上側に 2 ビットずれた 1 ワード (4 ビット) 分の正負符号プレーンデータ D36 と、下側に 2 ビットずれた 1 ワード (4 ビット) 分の正負符号プレーンデータ D36 とを正負符号プレーンバッファ 171 から 2 クロックかけて読み出し、これを S P パス復号化処理部 175 に送出することとなる。

【0331】

さらにシグナルスイッチャ 174 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D35 を S P パス復号化処理により復号する際に必要となる、当該 4 画素とそれぞれ同座標にある S I G プレーン 31 上の 4 ビット及びその上下のビット (合わせて 6 ビット、図 24 (B) 参照) の S I G プレーンデータ D30 を S RAM 172 から順次読み出し、これを S P パス復号化処理部 175 に送出する。

40

【0332】

この場合においても、シグナルスイッチャ 174 は、かかるビットプレーンバッファ 116A、116B (図 38) から読み出された 4 画素分の処理ビットプレーンデータ D21 を S P パス復号化処理する際に必要となる合計 6 ビットの S I G プレーンデータ D30 に対して、実際には当該 4 画素とそれぞれ同座標にある S I G プレーン 31 上の 4 ビット

50

よりも上側に2ビットずれた1ワード(4ビット)分のSIGプレーンデータD30と、下側に2ビットずれた1ワード(4ビット)分のSIGプレーンデータD30とをSRAM172から2クロックかけて読み出し、これをSPパス復号化処理部175に送出することとなる。

【0333】

さらにシグナルスイッチャ174は、これと同期して、かかる4画素分の処理ビットプレーンデータD35をSPパス復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にあるREFプレーン32上の4ビット(図24(E)参照)分のREFプレーンデータD31と、当該4画素と同座標にあるDONEプレーン33上の4ビット(図24(D)参照)分のDONEプレーンデータD32とをSRAM111Bから順次読み出し、これをSPパス復号化処理部175に送出する。

10

【0334】

この場合SRAM111Bは、処理ビットプレーン22上の各ストライプカラム23Aとそれぞれ対応する4ビット分を単位(1ワード)としてREFプレーンデータD31及びDONEプレーンデータD32を記憶しており、このワード単位でREFプレーンデータD31やDONEプレーンデータD32を読書きし得るように構成されている。従って、シグナルスイッチャ174は、かかる4ビット分のREFプレーンデータD31又はDONEプレーンデータD32をそれぞれ1クロックでSRAM111Bから読み出してSPパス復号化処理部175に送出することとなる。

【0335】

20

このときSPパス復号化処理部175は、シグナルスイッチャ174から順次供給される4画素分の処理ビットプレーンデータD35と、これと対応する正負符号プレーンデータD36、SIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32とを、それぞれ少なくとも過去3サンプル分だけ記憶保持し得るようになされている。

【0336】

因みに、ここでは処理ビットプレーンデータD35、REFプレーンデータD31及びDONEプレーンデータD32については1ワードがそれぞれ1サンプルに該当し、正負符号プレーンデータD36及びSIGプレーンデータD30については縦方向に並ぶ2ワードがそれぞれ1サンプルに該当する。

30

【0337】

そしてSPパス復号化処理部175は、算術復号化部113から1シンボル分のシンボルデータD34が与えられると、第1の実施の形態による復号化装置101(図29)のSPパス復号化処理部175と同様に、必要に応じてSPパス復号化処理を実行し、そのとき得られたコンテキストCXを出力スイッチャ124を介してコンテキストデータD33として算術復号部113(図38)に送出すると共に、これと併せて得られた復号された処理ビットプレーンデータD35及び復号された正負符号プレーンデータD36をそれぞれビットプレーンバッファ116A、116B又は正負符号バッファ171の対応する位置に格納する。さらにSPパス復号化処理部175は、必要に応じてSIGプレーンデータD22、REFプレーンデータD23及び又はDONEプレーンデータD24を更新すると共に、これら更新したSIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24をSRAM172、52Bにおけるもとのアドレス位置に書き戻す。

40

【0338】

一方、算術復号化部113(図38)は、ストリームバッファ110A、110Bから読み出した符号化データD11のうち、符号化装置40(図21)においてMRパス符号化処理することにより得られた符号化データD11に対して上述のような算術復号化演算処理を施すことにより得られたシンボルデータD34についてはMRパス復号化処理部176に送出する。

【0339】

50

このときシグナルスイッチャ 174 は、制御部 125 の制御のもとに、ビットプレーンバッファ 116 A、116 B に記憶保持されている先行する S P パス復号化処理により一部が復号された処理ビットプレーンデータ D 35 を、図 24 (A) に示す 1 ストライプカラム 23 A を構成する 4 画素分を 1 ワードとして、ビットプレーン内スキャン順序に従ってビットプレーンバッファ 116 A、116 B から 1 ワード分ずつ順次読み出し、これを M R パス復号化処理部 176 に送出する。

【0340】

またシグナルスイッチャ 174 は、これと同期して、ビットプレーンバッファ 116 A、116 B から読み出された 4 画素分の処理ビットプレーンデータ D 35 を M R パス復号化処理により復号する際に必要となる、当該 4 画素とそれぞれ同座標にある S I G プレーン 31 上の 4 ビット及其の上下のビット（合わせて 6 ビット、図 24 (B) 参照）の S I G プレーンデータ D 30 を S R A M 172 から順次読み出し、これを M R パス復号化処理部 176 に送出する。

10

【0341】

この際シグナルスイッチャ 174 は、かかる処理ビットプレーンバッファ 51 A、51 B から読み出された 4 画素分の処理ビットプレーンデータ D 21 を M R パス復号化処理する際に必要となる合計 6 ビット分の S I G プレーンデータに対して、実際には当該 4 画素とそれぞれ同座標にある S I G プレーン上の 4 ビットよりも上側に 2 ビットずれた 1 ワード（4 ビット）分の S I G プレーンデータと、下側に 2 ビットずれた 1 ワード（4 ビット）分の S I G プレーンデータとを S R A M から 2 クロックかけて読み出し、これを M R パス復号化処理部 176 に送出することとなる。

20

【0342】

さらにシグナルスイッチャ 174 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D 35 を M R パス復号化処理する際に必要となる、当該 4 画素と同座標にある R E F プレーン 32 上の 1 ワード（図 24 (E) 参照）分の R E F プレーンデータ D 31 と、当該 4 画素と同座標にある D O N E プレーン 33 上の 1 ワード（図 24 (D) 参照）分の D O N E プレーンデータ D 32 とを S R A M 111 B から順次読み出し、これを M R パス復号化処理部 176 に送出する。

【0343】

このとき M R パス復号化処理部 176 は、シグナルスイッチャ 174 から順次供給される 4 画素分の処理ビットプレーンデータ D 35 と、これと対応する S I G プレーンデータ D 30、R E F プレーンデータ D 31 及び D O N E プレーンデータ D 32 とを、それぞれ少なくとも過去 3 サンプル分だけ記憶保持し得るようになされている。

30

【0344】

因みに、この場合も処理ビットプレーンデータ D 35、R E F プレーンデータ D 31 及び D O N E プレーンデータ D 32 については 1 ワードがそれぞれ 1 サンプルに該当し、正負符号プレーンデータ D D 36 及び S I G プレーンデータ D 30 については縦方向に並ぶ 2 ワード分が 1 サンプルに該当する。

【0345】

そして M R パス復号化処理部 1176 は、算術復号化部 113（図 38）から 1 シンボル分のシンボルデータ D 34 が与えられると、第 1 の実施の形態による復号化装置 101（図 29）の M R パス復号化処理部 122（図 31）と同様にして、必要に応じて M R パス復号化処理を実行し、そのとき得られたコンテキスト C X を出力スイッチャ 124 を介してコンテキストデータ D 33 として算術復号部 113（図 38）に送出すると共に、これと併せて得られた復号された処理ビットプレーンデータ D 35 をビットプレーンバッファ 116 A、116 B の対応する位置に格納する。さらに M R パス復号化処理部 176 は、必要に応じて S I G プレーンデータ D 30、R E F プレーンデータ D 31 及び又は D O N E プレーンデータ D 32 を更新すると共に、これら更新した S I G プレーンデータ D 30、R E F プレーンデータ D 31 及び D O N E プレーンデータ D 32 を S R A M 172、111 B におけるもとのアドレス位置に書き戻す。

40

50

【0346】

これと同様にして、算術復号化部113(図38)は、ストリームバッファ110A、110Bから読み出した符号化データD11のうち、符号化装置40(図21)においてCUPAS符号化処理することにより得られた符号化データD11に対して所定の算術復号化演算処理を施すことにより得られたシンボルデータD34についてはCUPAS復号化処理部177に送出する。

【0347】

このときシグナルスイッチャ174は、制御部125の制御のもとに、ビットプレーンバッファ116A、116Bに記憶保持されている先行するSPAS復号化処理及びMRPAS復号化処理(トップビットプレーン22Tに対する復号化処理の場合を除く)により一部が復号された処理ビットプレーンデータD35を、図24(A)に示す1ストライプカラム23Aを構成する4画素分を1ワードとして、ビットプレーン内スキャン順序に従ってビットプレーンバッファ116A、116Bから1ワードずつ順次読み出し、これをCUPAS復号化処理部177に送出する。

10

【0348】

またシグナルスイッチャ174は、これと同期して、ビットプレーンバッファ116A、116Bから読み出された4画素分の処理ビットプレーンデータD35をCUPAS復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にある正負符号プレーン30上の4ビット及びその上下の各ビット(合わせて6ビット、図24(C)参照)分の復号前又は一部が復号された正負符号プレーンデータD36を正負符号プレーンバッファ171から順次読み出し、これをCUPAS復号化処理部177に送出する。

20

【0349】

この際シグナルスイッチャ174は、かかるビットプレーンバッファ116A、116Bから読み出された4画素分の処理ビットプレーンデータD35をCUPAS復号化処理する際に必要となる合計6ビットの正負符号プレーンデータD36に対して、実際には当該4画素とそれぞれ同座標にある正負符号プレーン30上の4ビットよりも上側に2ビットずれた1ワード(4ビット)分の正負符号プレーンデータD36と、下側に2ビットずれた1ワード(4ビット)分の正負符号プレーンデータD36とを正負符号プレーンバッファ171から2クロックかけて読み出し、これをCUPAS復号化処理部177に送出することとなる。

30

【0350】

さらにシグナルスイッチャ174は、これと同期して、かかる4画素分の処理ビットプレーンデータD35をCUPAS復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビット及びその上下のビット(合わせて6ビット、図24(B)参照)のSIGプレーンデータD30をSRAM172から順次読み出し、これをCUPAS復号化処理部177に送出する。

【0351】

この場合においても、シグナルスイッチャ174は、かかるビットプレーンバッファ116A、51Bから読み出された4画素分の処理ビットプレーンデータD35をCUPAS復号化処理する際に必要となる合計6ビット分のSIGプレーンデータD30に対して、実際には当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビットよりも上側に2ビットずれた1ワード(4ビット)分のSIGプレーンデータD30と、下側に2ビットずれた1ワード(4ビット)分のSIGプレーンデータD30とをSRAM172から2クロックかけて読み出し、これをCUPAS復号化処理部177に送出することとなる。

40

【0352】

さらにシグナルスイッチャ174は、これと同期して、かかる4画素分の処理ビットプレーンデータD35をCUPAS復号化処理する際に必要となる、当該4画素とそれぞれ同座標にあるREFプレーン32上の1ワード(図24(E)参照)分のREFプレーンデータD31と、当該4画素と同座標にあるDONEプレーン33上の1ワード(図24(

50

D) 参照) 分のDONEプレーンデータD32とをSRAM111Bから順次読み出し、これをCUPバス復号化処理部177に送出する。

【0353】

このときCUPバス復号化処理部177は、シグナルスイッチャ174から順次供給される4画素分の処理ビットプレーンデータD35と、これと対応する正負符号プレーンデータD36、SIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32とを、それぞれ少なくとも過去3サンプル分だけ記憶保持し得るようになされている。

【0354】

因みに、この場合も処理ビットプレーンデータD35、REFプレーンデータD31及びDONEプレーンデータD32については1ワードがそれぞれ1サンプルに該当し、正負符号プレーンデータD36及びSIGプレーンデータD30については縦方向に並ぶ2ワード分が1サンプルに該当する。

【0355】

そしてCUPバス復号化処理部177は、算術復号化部113(図38)から1シンボル分のシンボルデータD34が与えられると、第1の実施の形態による復号化装置101(図29)のCUPバス復号化処理部123(図31)と同様にして、必要に応じてCUPバス復号化処理又はSPバス復号化処理を実行し、そのとき得られたコンテキストCXを出力スイッチャ124を介してコンテキストデータD33として算術復号部113(図38)に送出すると共に、これと併せて得られた復号された処理ビットプレーンデータD35及び復号された正負符号プレーンデータD36をそれぞれビットプレーンバッファ116A、116B又は正負符号バッファ171の対応する位置に格納する。さらにCUPバス復号化処理部177は、必要に応じてSIGプレーンデータD30、REFプレーンデータD31及び又はDONEプレーンデータD32を更新すると共に、これら更新したSIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32をSRAM172、52Bにおけるもとのアドレス位置に書き戻す。

【0356】

このようにしてこのビットモデル部173においても、CBM処理時における正負符号プレーンデータ及びSIGプレーンデータのアクセス単位(1ワード)の位相を処理ビットプレーン22上のストライプカラムに対して2ビット分ずらすことによって、処理ビットプレーンデータD35の1ストライプカラム23Aを処理する際のメモリアクセス回数を低減させ得るようになされている。

【0357】

(3-3) 第2の実施の形態の動作及び効果

以上の構成において、本実施の形態によるビットモデル部163及びビットモデル部173では、処理ビットプレーン22上のストライプカラム2Aを構成する4画素を単位としてCBM処理を行うと共に、このとき正負符号プレーンデータD20、D36及びSIGプレーンデータD22、D30については、ストライプカラム23Aに対して縦方向に2ビットずれた4ビットをアクセス単位(1ワード)として、正負符号プレーンバッファ161、171又はSRAM162、172から読み出す。

【0358】

従って、図25及び図36を見比べてみても明らかなように、1ストライプカラム23A分の処理ビットプレーンデータD21、D35をCBM処理するに際して、第1の実施の形態のビットモデル部54及びビットモデル部114によれば、9ワード分の正負符号プレーンデータD20、D36やSIGプレーンデータD22、D30の読み出し(メモリアクセス)が必要であったのに対し、この第2の実施の形態のビットモデル部163及びビットモデル部173によれば、6ワード分の正負符号プレーンデータD20、D36やSIGプレーンデータD22、D30の読み出し(メモリアクセス)で足りることとなり、より一層とCBM処理時における正負符号プレーンバッファ50、115やSRAM52A、111Aに対するアクセス回数を格段的に低減させることができる。

【 0 3 5 9 】

實際上、例えば64×64サイズのビットプレーン22を処理する際にメモリからSIGプレーンデータD22、D30を読み出す回数を計算すると、第1の実施の形態の手法の場合、上述のようにオーバーラップ読出し構成のときには8740回、更新部分限定読出し構成のときには2944回のメモリアクセスが必要となるのに対して、本実施の形態の手法によれば、オーバーラップ読出し構成のときには6080回、本実施の形態のように更新部分限定読出し構成のときには2048回のメモリアクセスで足りる。

【 0 3 6 0 】

よって、かかるJPEG2000規格に準拠した符号化装置40及び復号化装置100におけるビットモデル部163又はビットデモデル部173の構成として上述のような第2の実施の形態の構成を採用することによって、これらビットモデル部163又はビットデモデル部173におけるCBM処理のより一層の高速化を図ることができ、またこれに伴ってビットモデル部163又はビットデモデル部173の低消費電力化を図ることもできる。

【 0 3 6 1 】

以上の構成によれば、処理ビットプレーン22上のストライプカラム2Aを構成する4画素を単位としてCBM処理すると共に、このとき正負符号プレーンデータD20、D36及びSIGプレーンデータD22、D30については、ストライプカラム23Aに対して縦方向に2ビットずれた4ビットをアクセス単位(1ワード)として、正負符号プレーンバッファ161、171又はSRAM162、172から読み出すようにしたことにより、第1の実施の形態に比してより一層とCBM処理時における正負符号プレーンバッファ50、115やSRAM52A、111Aに対するアクセス回数を格段的に低減させることができ、かくして符号化処理又は復号化処理をより一層と高速化させ得る符号化装置及び復号化装置を実現できる。

【 0 3 6 2 】

(4) 第3の実施の形態

(4-1) 第3の実施の形態による符号化装置40のEBCOTブロックの構成

図35との対応部分に同一符号を付して示す図40は、図21について上述のJPEG2000規格に準拠した符号化装置40に適用される第3の実施の形態によるEBCOTブロック180を示し、2ワード分の正負符号プレーンデータD20及びSIGプレーンデータD22を1クロックで読み出し得るようになされた点を除いて第2の実施の形態によるEBCOTブロック160(図35)と同様に構成されている。

【 0 3 6 3 】

すなわちこのEBCOTブロック180の場合、2つの正負符号プレーンバッファ181A、181Bが設けられており、ビットプレーン内スキャン順序に従ってDRAM41(図21)から読み出した正負符号プレーンデータD20のうち、図42に示すように、正負符号プレーン30をストライプ単位で順次交互に分けた場合における一方のグループに属する正負符号プレーンデータD20を一方の正負符号プレーンバッファ(以下、これを第1の正負符号プレーンバッファと呼ぶ)181Aに記憶保持すると共に、他方のグループに属する正負符号プレーンデータD20を他方の正負符号プレーンバッファ(以下、これを第2の正負符号プレーンバッファと呼ぶ)181Bに記憶保持するようになされている。

【 0 3 6 4 】

このときこれら第1及び第2の正負符号プレーンバッファ181A、181Bは、図36について上述したのと同様に、それぞれ自己に割り当てられた正負符号プレーンデータD20に対する記憶領域が、実際の正負符号プレーンデータD20の記憶に使用する領域に対して上下方向にそれぞれ2ビット分ずつ拡張されており、処理ビットプレーン22上の1ストライプカラム23Aを構成する4画素に対して2ビット分だけ位相がずれた縦方向に並ぶ4ビット分の正負符号プレーンデータD20を1ワードとして、これらを1クロックで一括して読書きし得るようになされている。

【 0 3 6 5 】

またこのEBCOTブロック180では、SIGプレーンデータD22を記憶保持するSRAM182A、182Bも2つ設けられており、SIGプレーンデータD22のうちSIGプレーン31を図41のようにストライプ単位で順次交互に分けた場合における一方のグループに属するSIGプレーンデータD22を一方のSRAM（以下、これを第1のSRAMと呼ぶ）182Aに記憶保持すると共に、他方のグループに属するSIGプレーンデータD22を他方のSRAM（以下、これを第2のSRAMと呼ぶ）182Bに記憶保持するようになされている。

【 0 3 6 6 】

このときこれら第1及び第2のSRAM182A、182Bの場合も、図36について上述したのと同様に、それぞれ自己に割り当てられたSIGプレーンデータD22に対する記憶領域が、実際のSIGプレーンデータD22の記憶に使用する領域に対して上下方向にそれぞれ2ビット分ずつ拡張されており、処理ビットプレーン22上の1ストライプカラム23Aを構成する4画素に対して2ビット分だけ位相がずれた縦方向に並ぶ4ビット分のSIGプレーンデータD22を1ワードとして、これらを1クロックで一括して読書きし得るようになされている。

【 0 3 6 7 】

一方、図37との対応部分に同一符号を付した図42に示すように、このEBCOTブロック180のビットモデル部183は、シグナルスイッチャ184の構成を除いて第2の実施の形態による符号化装置40（図21）のビットモデル部163と同様に構成されている。

【 0 3 6 8 】

そしてシグナルスイッチャ184は、トップビットプレーン22T以外の処理ビットプレーン22に対するCBM処理時、制御部65の制御のもとに、処理ビットプレーンデータD21を、図24（A）に示す1ストライプカラム23Aを構成する4画素分を1ワードとして、ビットプレーン内スキャン順序に従って処理ビットプレーンバッファ51A、51Bから1ワードずつ順次読み出し、これをまずSPパス符号化処理部165に送出する。

【 0 3 6 9 】

またシグナルスイッチャ184は、これと同期して、処理ビットプレーンバッファ51A、51Bから読み出された4画素分の処理ビットプレーンデータD21に対してSPパス符号化処理する際に必要となる、当該4画素とそれぞれ同座標にある正負符号プレーン30上の4ビット及びその上下の各ビット（合わせて6ビット、図24（C）参照）の正負符号プレーンデータD20を第1及び第2の正負符号プレーンバッファ181A、181Bから順次読み出し、これをSPパス符号化処理部165に送出する。

【 0 3 7 0 】

この際シグナルスイッチャ184は、かかる処理ビットプレーンバッファ51A、51Bから読み出された4画素分の処理ビットプレーンデータD21をSPパス符号化処理する際に必要となる合計6ビットの正負符号プレーンデータに対して、実際には当該4画素とそれぞれ同座標にある正負符号プレーン30上の4ビットよりも上側に2ビットずれた1ワード（4ビット）分の正負符号プレーンデータD20と、下側に2ビットずれた1ワード（4ビット）分の正負符号プレーンデータD20とをそれぞれ対応する第1又は第2の正負符号プレーンバッファ181A、181Bから同時に1クロックで読み出し、これをSPパス符号化処理部165に送出することとなる。

【 0 3 7 1 】

さらにシグナルスイッチャ184は、これと同期して、かかる4画素分の処理ビットプレーンデータD21をSPパス符号化処理する際に必要となる、当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビット及びその上下の各ビット（合計6ビット、図24（B）参照）分のSIGプレーンデータD22を第1及び第2のSRAM182A、182Bから順次読み出し、これをSPパス符号化処理部165に送出する。

10

20

30

40

50

【0372】

この場合においても、シグナルスイッチャ184は、かかる処理ビットプレーンバッファ51A、51Bから読み出された4画素分の処理ビットプレーンデータD21をSPパス符号化処理する際に必要となる合計6ビットのSIGプレーンデータD22に対して、実際には当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビットよりも上側に2ビットずれた1ワード(4ビット)分のSIGプレーンデータD22と、下側に2ビットずれた1ワード(4ビット)分のSIGプレーンデータD22とをそれぞれ対応する第1又は第2のSRAM182A、182Bから同時に1クロックで読み出し、これをSPパス符号化処理部165に送出することとなる。

【0373】

さらにシグナルスイッチャ184は、これと同期して、かかる4画素分の処理ビットプレーンデータD21をSPパス符号化処理する際に必要となる、当該4画素とそれぞれ同座標にあるREFプレーン32上の1ワード(図24(E)参照)分のREFプレーンデータD23と、当該4画素と同座標にあるDONEプレーン33上の1ワード(図24(D)参照)分のDONEプレーンデータD24とを、第2の実施の形態のシグナルスイッチャ164(図37)と同様にしてSRAM52Bから順次読み出し、これをSPパス符号化処理部165に送出する。

【0374】

かくしてビットモデル部183では、この後SPパス符号化処理部165において、第2の実施の形態と同様にしてSPパス符号化処理が必要に応じて行われ、そのとき得られたシンボルSBがシンボルデータD26Sとして出力スイッチャ64に、コンテキストCXがコンテキストデータとして出力スイッチャにそれぞれ送出される。また必要に応じてSIGプレーンデータD22、REFプレーンデータD23及び又はDONEプレーンデータD24が更新され、さらにこれら更新されたSIGプレーンデータD22、REFプレーンデータD23及びDONEプレーンデータD24が第1若しくは第2のSRAM182A、182B又はSRAM52Bにおけるもとのアドレス位置に書き戻される。

【0375】

一方、シグナルスイッチャ184は、このようにして処理ビットプレーンバッファ51A、51Bに格納された1ビットプレーン分のデータ(処理ビットプレーンデータD21)に対するSPパス符号化処理を終了すると、この後これと同様にして、制御部65の制御のもとに、同じ処理ビットプレーンデータD21を、図24(A)に示す1ストライプカラム23Aを構成する4画素分を1ワードとして、ビットプレーン内スキャン順序に従って処理ビットプレーンバッファ51A、51Bから1ワードずつ順次読み出し、これをMRパス符号化処理部166に送出する。

【0376】

またシグナルスイッチャ184は、これと同期して、処理ビットプレーンバッファ51A、51Bから読み出された4画素分の処理ビットプレーンデータD21に対してMRパス符号化処理する際に必要となる、当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビット及びその上下の各ビット(合わせて6ビット、図24(B)参照)のSIGプレーンデータD22を第1及び第2のSRAM182A、182Bから順次読み出し、これをMRパス符号化処理部166に送出する。

【0377】

この際シグナルスイッチャ184は、かかる合計6ビットのSIGプレーンデータD22に対して、実際には当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビットよりも上側に2ビットずれた1ワード(4ビット)分のSIGプレーンデータD22と、下側に2ビットずれた1ワード(4ビット)分のSIGプレーンデータD22とをそれぞれ対応する第1又は第2のSRAM182A、182Bから同時に1クロックで読み出し、これをMRパス符号化処理部166に送出することとなる。

【0378】

さらにシグナルスイッチャ184は、これと同期して、かかる4画素分の処理ビットプ

10

20

30

40

50

レーンデータD 2 1をMRパス符号化処理する際に必要となる、当該4画素とそれぞれ同座標にあるREFプレーン3 2上の1ワード(図2 4(E)参照)分のREFプレーンデータD 2 3と、当該4画素と同座標にあるDONEプレーン3 3上の1ワード(図2 2(D)参照)分のDONEプレーンデータD 2 4とを、第2の実施の形態のシグナルスイッチ1 6 4(図3 7)と同様にしてSRAM 5 2 Bから順次読み出し、これをMRパス符号化処理部1 6 6に送出する。

【0 3 7 9】

かくしてビットモデル部1 8 3では、この後MRパス符号化処理部1 6 6において、第2の実施の形態と同様にしてMRパス符号化処理が必要に応じて行われ、そのとき得られたシンボルSBがシンボルデータD 2 6 Sとして出力スイッチ6 4に、コンテキストC 10 Xがコンテキストデータとして出力スイッチにそれぞれ送出される。また必要に応じてSIGプレーンデータD 2 2、REFプレーンデータD 2 3及び又はDONEプレーンデータD 2 4が更新され、さらにこれら更新されたSIGプレーンデータD 2 2、REFプレーンデータD 2 3及びDONEプレーンデータD 2 4が第1若しくは第2のSRAM 1 8 2 A、1 8 2 B又はSRAM 5 2 Bにおけるもとのアドレス位置に書き戻される。

【0 3 8 0】

他方、シグナルスイッチ1 8 4は、このようにして処理ビットプレーンバッファ5 1 A、5 1 Bに格納された1ビットプレーン分のデータ(処理ビットプレーンデータD 2 1)に対するMRパス符号化処理を終了すると、この後これと同様にして、制御部6 5の制御のもとに、同じ処理ビットプレーンデータD 2 1をビットプレーン内スキャン順序に従 20 って処理ビットプレーンバッファ5 1 A、5 1 Bから1ワードずつ順次読み出し、これをCUパス符号化処理部1 6 7に送出する。

【0 3 8 1】

またシグナルスイッチ1 8 4は、これと同期して、処理ビットプレーンバッファ5 1 A、5 1 Bから読み出された4画素分の処理ビットプレーンデータD 2 1に対してCUパス符号化処理する際に必要となる、当該4画素とそれぞれ同座標にある正負符号プレーン3 0上の4ビット及びその上下の各ビット(合わせて6ビット、図2 4(C)参照)分の正負符号プレーンデータD 2 0を第1及び第2の正負符号プレーンバッファ1 8 1 A、1 8 1 Bから順次読み出し、これをCUパス符号化処理部1 6 7に送出する。

【0 3 8 2】

この際シグナルスイッチ1 8 4は、上述のSPパス符号化処理部1 6 5と同様に、かかる合計6ビットの正負符号プレーンデータD 2 0に対して、実際には当該4画素とそれぞれ同座標にある正負符号プレーン3 0上の4ビットよりも上側に2ビットずれた1ワード(4ビット)分の正負符号プレーンデータD 2 0と、下側に2ビットずれた1ワード(4ビット)分の正負符号プレーンデータD 2 0とをそれぞれ対応する第1又は第2の正負符号プレーンバッファ1 8 1 A、1 8 1 Bから同時に1クロックで読み出し、これをCUパス符号化処理部1 6 7に送出することとなる。

【0 3 8 3】

さらにシグナルスイッチ1 8 4は、これと同期して、かかる4画素分の処理ビットプレーンデータD 2 1をCUパス符号化処理する際に必要となる、当該4画素とそれぞれ同座標にあるSIGプレーン3 1上の4ビット及びその上下の各ビット(合計6ビット、図2 4(B)参照)分のSIGプレーンデータD 2 2を第1及び第2のSRAM 1 8 2 A、1 8 2 Bから順次読み出し、これをCUパス符号化処理部1 6 7に送出する。

【0 3 8 4】

この場合においても、シグナルスイッチ1 8 4は、かかる合計6ビット分のSIGプレーンデータD 2 2に対して、実際には当該4画素とそれぞれ同座標にあるSIGプレーン3 1上の4ビットよりも上側に2ビットずれた1ワード(4ビット)分のSIGプレーンデータD 2 2と、下側に2ビットずれた1ワード(4ビット)分のSIGプレーンデータD 2 2とをそれぞれ対応する第1又は第2のSRAM 1 8 2 A、1 8 2 Bから同時に1クロックで読み出し、これをCUパス符号化処理部1 6 7に送出することとなる。

【 0 3 8 5 】

さらにシグナルスイッチャ 1 8 5 は、これと同期して、かかる 4 画素分の処理ビットプレーンデータ D 2 1 を C U パス符号化処理する際に必要となる、当該 4 画素とそれぞれ同座標にある R E F プレーン 3 2 上の 1 ワード (図 2 4 (E) 参照) 分の R E F プレーンデータ D 2 3 と、当該 4 画素と同座標にある D O N E プレーン 3 3 上の 1 ワード (図 2 4 (D) 参照) 分の D O N E プレーンデータ D 2 4 とを第 2 の実施の形態のシグナルスイッチャ 1 6 4 (図 3 7) と同様にして S R A M 5 2 B から読み出し、これを C U パス符号化処理部 1 6 7 に送出する。

【 0 3 8 6 】

かくしてビットモデル部 1 8 3 では、この後 C U パス符号化処理部 1 6 7 において、第 2 の実施の形態と同様にして C U パス符号化処理又は S P パス符号化処理が必要に応じて行われ、そのとき得られたシンボル S B がシンボルデータ D 2 6 S として出力スイッチャ 6 4 に、コンテキスト C X がコンテキストデータとして出力スイッチャにそれぞれ送出される。また必要に応じて S I G プレーンデータ D 2 2 、 R E F プレーンデータ D 2 3 及び又は D O N E プレーンデータ D 2 4 が更新され、さらにこれら更新された S I G プレーンデータ D 2 2 、 R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 4 が第 1 若しくは第 2 の S R A M 5 2 A 又は S R A M 5 2 B におけるもとのアドレス位置に書き戻される。

【 0 3 8 7 】

このようにしてこのビットモデル部 1 8 3 においては、正負符号プレーンデータ D 2 0 を記憶保持するためのメモリとして 2 つの第 1 及び第 2 の正負符号プレーンバッファ 1 8 1 A 、 1 8 1 B を設けると共に、 S I G プレーンデータ D 2 2 を記憶保持するためのメモリとして 2 つの第 1 及び第 2 の S R A M 1 8 2 A 、 1 8 2 B を設けることによって、処理ビットプレーンデータ D 2 1 の 1 ストライプカラム 2 3 A を処理する際のメモリアクセス回数をより一層と低減させ得るようになされている。

【 0 3 8 8 】

(4 - 2) 第 3 の実施の形態による復号化装置 1 0 0 の E B C O T ブロック 1 9 0 の構成 図 3 8 との対応部分に同一符号を付して示す図 4 3 は、図 2 9 について上述の J P E G 2 0 0 0 規格に準拠した復号化装置 1 0 0 に適用される第 3 の実施の形態による E B C O T ブロック 1 9 0 を示し、 2 ワード分の正負符号プレーンデータ D 3 6 及び S I G プレーンデータ D 3 0 を 1 クロックで読み出し得るようになされた点を除いて第 2 の実施の形態による復号化装置 1 0 0 (図 2 9) の E B C O T ブロック 1 7 0 (図 3 7) と同様に構成されている。

【 0 3 8 9 】

すなわちこの E B C O T ブロック 1 9 0 の場合、 2 つの正負符号プレーンバッファ 1 9 1 A 、 1 9 1 B が設けられており、復号した正負符号プレーンデータ D 3 6 のうち、正負符号プレーン 3 0 を図 4 1 のようにストライプ単位で順次交互に分けた場合における一方のグループに属する正負符号プレーンデータ D 3 6 を一方の正負符号プレーンバッファ (以下、これを第 1 の正負符号プレーンバッファと呼ぶ) 1 9 1 A に記憶保持すると共に、他方のグループに属する正負符号プレーンデータ D 3 6 を他方の正負符号プレーンバッファ (以下、これを第 2 の正負符号プレーンバッファと呼ぶ) 1 9 1 B に記憶保持するようになされている。

【 0 3 9 0 】

このときこれら第 1 及び第 2 の正負符号プレーンバッファ 1 9 1 A 、 1 9 1 B は、図 3 6 について上述したのと同様に、それぞれ自己に割り当てられた正負符号プレーンデータ D 3 6 に対する記憶領域が、実際の正負符号プレーンデータ D 3 6 の記憶に使用する領域に対して上下方向にそれぞれ 2 ビット分ずつ拡張されており、処理ビットプレーン 2 2 上の 1 ストライプカラム 2 3 A を構成する 4 画素に対して 2 ビット分だけ位相がずれた縦方向に並ぶ 4 ビット分の正負符号プレーンデータ D 3 6 を 1 ワードとして、これらを 1 クロックで一括して読書きし得るようになされている。

【0391】

またこのEBCOTブロック190では、SIGプレーンデータD30を記憶保持するための2つのSRAM192A、192Bが設けられており、SIGプレーンデータD30のうちSIGプレーン31を図41のようにストライプ単位で順次交互に分けた場合における一方のグループに属するSIGプレーンデータD30を一方のSRAM（以下、これを第1のSRAMと呼ぶ）192Aに記憶保持すると共に、他方のグループに属するSIGプレーンデータD30を他方のSRAM（以下、これを第2のSRAMと呼ぶ）192Bに記憶保持するようになされている。

【0392】

このときこれら第1及び第2のSRAM192A、192Bの場合も、図36について上述したのと同様に、それぞれ自己に割り当てられたSIGプレーンデータD30に対する記憶領域が、実際のSIGプレーンデータD30の記憶に使用する領域に対して上下方向にそれぞれ2ビット分ずつ拡張されており、処理ビットプレーン22上の1ストライプカラム23Aを構成する4画素に対して2ビット分だけ位相がずれた縦方向に並ぶ4ビット分のSIGプレーンデータD30を1ワードとして、これらを1クロックで一括して読書きし得るようになされている。

【0393】

一方、図39との対応部分に同一符号を付した図44に示すように、このEBCOTブロック190のビットモデル部193は、シグナルスイッチャ194の構成を除いて第2の実施の形態による復号化装置100（図29）のビットモデル部173（図39）と同様に構成されている。

【0394】

そしてシグナルスイッチャ194は、制御部125の制御のもとに、ビットプレーンバッファ116A、116Bに記憶保持されている復号前又は一部が復号された処理ビットプレーンデータD35を、図24（A）に示す1ストライプカラム23Aを構成する4画素分を1ワードとして、ビットプレーン内スキャン順序に従ってビットプレーンバッファ116A、116Bから1ワードずつ順次読み出し、これをまずSPパス復号化処理部175に送出する。

【0395】

またシグナルスイッチャ194は、これと同期して、ビットプレーンバッファ116A、116Bから読み出された4画素分の処理ビットプレーンデータD35をSPパス復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にある正負符号プレーン30上の4ビット及びその上下の各ビット（合わせて6ビット、図24（C）参照）分の復号前又は一部が復号された正負符号プレーンデータD36を第1及び第2の正負符号プレーンバッファ191A、191Bから順次読み出し、これをSPパス復号化処理部175に送出する。

【0396】

この際シグナルスイッチャ194は、上述のように処理ビットプレーン22のストライプカラム23Aに対して正負符号プレーン30上において縦方向に2ビットだけ位相がずれた縦4ビット分の正負符号プレーンデータD36をアクセス単位（1ワード）としているため、かかる合計6ビットの正負符号プレーンデータD36に対して、実際には当該4画素とそれぞれ同座標にある正負符号プレーン30上の4ビットよりも上側に2ビットずれた1ワード（4ビット）分の正負符号プレーンデータD36と、下側に2ビットずれた1ワード（4ビット）分の正負符号プレーンデータD36とをそれぞれ対応する第1又は第2の正負符号プレーンバッファ191A、191Bから同時に1クロックで読み出し、これをSPパス復号化処理部175に送出することとなる。

【0397】

さらにシグナルスイッチャ194は、これと同期して、かかる4画素分の処理ビットプレーンデータD35をSPパス復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビット及びその上下のビット（合わせて6

10

20

30

40

50

ビット、図24(B)参照)のSIGプレーンデータD30を第1及び第2のSRAM192A、192Bから順次読み出し、これをSPパス復号化処理部175に送出する。

【0398】

この場合においても、シグナルスイッチャ194は、かかる処理ビットプレーンバッファ51A、51Bから読み出された4画素分の処理ビットプレーンデータD21をSPパス復号化処理する際に必要となる合計6ビットのSIGプレーンデータD30に対して、実際には当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビットよりも上側に2ビットずれた1ワード(4ビット)分のSIGプレーンデータD30と、下側に2ビットずれた1ワード(4ビット)分のSIGプレーンデータD30とをそれぞれ対応する第1又は第2のSRAM192A、192Bから同時に1クロックで読み出し、これをSPパス復号化処理部175に送出することとなる。

10

【0399】

さらにシグナルスイッチャ194は、これと同期して、かかる4画素分の処理ビットプレーンデータD35をSPパス復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にあるREFプレーン32上の1ワード(図24(E)参照)分のREFプレーンデータD31と、当該4画素と同座標にあるDONEプレーン33上の1ワード(図24(D)参照)分のDONEプレーンデータD32とを、第2の実施の形態のシグナルスイッチャ174(図39)と同様にしてSRAM111Bから順次読み出し、これをSPパス復号化処理部175に送出する。

【0400】

20

かくしてビットモデル部93では、この後SPパス復号化処理部175において、第2の実施の形態と同様にしてSPパス復号化処理が必要に応じて行われ、そのとき得られたコンテキストCXが出力スイッチャ124を介してコンテキストデータD33として算術復号部113(図43)に送出され、これと併せて得られた復号された処理ビットプレーンデータD35及び復号された正負符号プレーンデータD36がそれぞれビットプレーンバッファ116A、116B又は第1若しくは第2の正負符号バッファ191A、191Bの対応する位置に格納される。また必要に応じてSIGプレーンデータD30、REFプレーンデータD31及び又はDONEプレーンデータD32が更新され、さらにこれら更新されたSIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32が第1若しくは第2のSRAM192A、192B又はSRAM111Bにおけるもとのアドレス位置に書き戻される。

30

【0401】

一方、算術復号化部113(図43)は、ストリームバッファ110A、110Bから読み出した符号化データD11のうち、符号化装置40(図21)においてMRパス符号化処理することにより得られた符号化データD11に対して上述のような算術復号化演算処理を施すことにより得られたシンボルデータD34についてはMRパス復号化処理部176に送出する。

【0402】

このときシグナルスイッチャ194は、制御部125の制御のもとに、ビットプレーンバッファ116A、116Bに記憶保持されている先行するSPパス復号化処理により一部が復号された処理ビットプレーンデータD35を、図24(A)に示す1ストライプコラム23Aを構成する4画素分を1ワードとして、ビットプレーン内スキャン順序に従ってビットプレーンバッファ116A、116Bから1ワード分ずつ順次読み出し、これをMRパス復号化処理部176に送出する。

40

【0403】

またシグナルスイッチャ194は、これと同期して、ビットプレーンバッファ116A、116Bから読み出された4画素分の処理ビットプレーンデータD35をMRパス復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビット及其の上下のビット(合わせて6ビット、図24(B)参照)のSIGプレーンデータD30を第1及び第2のSRAM192A、192Bから順次読み出し

50

、これをMRパス復号化処理部176に送出する。

【0404】

この際シグナルスイッチャ194は、上述のSPパス復号化処理部175の場合と同様に、かかるビットプレーンバッファ116A、116Bから読み出された4画素分の処理ビットプレーンデータD35をMRパス復号化処理する際に必要となる合計6ビット分のSIGプレーンデータD30に対して、実際には当該4画素とそれぞれ同座標にあるSIGプレーン31上の4ビットよりも上側に2ビットずれた1ワード(4ビット)分のSIGプレーンデータD30と、下側に2ビットずれた1ワード(4ビット)分のSIGプレーンデータD30とをそれぞれ対応する第1又は第2のSRAM192A、192Bから同時に1クロックで読み出し、これをMRパス復号化処理部176に送出することとなる。

10

【0405】

さらにシグナルスイッチャ194は、これと同期して、かかる4画素分の処理ビットプレーンデータD35をMRパス復号化処理する際に必要となる、当該4画素と同座標にあるREFプレーン32上の1ワード(図24(E)参照)分のREFプレーンデータD31と、当該4画素と同座標にあるDONEプレーン33上の1ワード(図24(D)参照)分のDONEプレーンデータD32とを、第2の実施の形態のシグナルスイッチャ174(図39)と同様にしてSRAM111Bから順次読み出し、これをMRパス復号化処理部176に送出する。

【0406】

20

かくしてビットモデル部193では、この後MRパス復号化処理部121において、第2の実施の形態と同様にしてSPパス復号化処理が必要に応じて行われ、そのとき得られたコンテキストCXが出力スイッチャ124を介してコンテキストデータD33として算術復号部113(図43)に送出され、これと併せて得られた復号された処理ビットプレーンデータD35及び復号された正負符号プレーンデータD36がそれぞれビットプレーンバッファ116A、116B又は第1若しくは第2の正負符号バッファ191A、191Bの対応する位置に格納される。また必要に応じてSIGプレーンデータD30、REFプレーンデータD31及び又はDONEプレーンデータD32が更新され、さらにこれら更新されたSIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32が第1若しくは第2のSRAM192A、192B又はSRAM111Bにおけるもとのアドレス位置に書き戻される。

30

【0407】

これと同様にして、算術復号化部113(図43)は、ストリームバッファ110A、110Bから読み出した符号化データD11のうち、符号化装置40(図21)においてCUパス符号化処理することにより得られた符号化データD11に対して所定の算術復号化演算処理を施すことにより得られたシンボルデータD34についてはCUパス復号化処理部177に送出する。

【0408】

このときシグナルスイッチャ194は、制御部125の制御のもとに、ビットプレーンバッファ116A、116Bに記憶保持されている先行するSPパス復号化処理及びMRパス復号化処理(トップビットプレーン22Tに対する復号化処理の場合を除く)により一部が復号された処理ビットプレーンデータD35を、図24(A)に示す1ストライプカラム23Aを構成する4画素分を1ワードとして、ビットプレーン内スキャン順序に従ってビットプレーンバッファ116A、116Bから1ワードずつ順次読み出し、これをCUパス復号化処理部177に送出する。

40

【0409】

またシグナルスイッチャ194は、これと同期して、ビットプレーンバッファ116A、116Bから読み出された4画素分の処理ビットプレーンデータD35をCUパス復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にある正負符号プレーン30上の4ビット及びその上下の各ビット(合わせて6ビット、図24(C)参照)

50

分の復号前又は一部が復号された正負符号プレーンデータD 3 6を第1及び第2の正負符号プレーンバッファ1 9 1 A、1 9 1 Bから順次読み出し、これをC Uパス復号化処理部1 7 7に送出する。

【0 4 1 0】

この際シグナルスイッチャ1 9 4は、上述のS Pパス復号化処理部1 7 5の場合と同様に、かかる処理ビットプレーンバッファ5 1 A、5 1 Bから読み出された4画素分の処理ビットプレーンデータD 3 5をC Uパス復号化処理する際に必要となる合計6ビットの正負符号プレーンデータD 3 6に対して、実際には当該4画素とそれぞれ同座標にある正負符号プレーン上の4ビットよりも上側に2ビットずれた1ワード(4ビット)分の正負符号プレーンデータD 3 6と、下側に2ビットずれた1ワード(4ビット)分の正負符号プレーンデータD 3 6とをそれぞれ対応する第1又は第2の正負符号プレーンバッファ1 9 1 A、1 9 1 Bから同時に1クロックで読み出し、これをC Uパス復号化処理部1 7 7に送出することとなる。

10

【0 4 1 1】

さらにシグナルスイッチャ1 9 4は、これと同期して、かかる4画素分の処理ビットプレーンデータD 3 5をC Uパス復号化処理により復号する際に必要となる、当該4画素とそれぞれ同座標にあるS I Gプレーン3 1上の4ビット及其の上下のビット(合わせて6ビット、図2 4 (B)参照)のS I GプレーンデータD 3 0を第1及び第2のS R A M 1 9 2 A、1 9 2 Bから順次読み出し、これをC Uパス復号化処理部1 7 7に送出する。

【0 4 1 2】

20

この場合においても、シグナルスイッチャ1 9 4は、かかる処理ビットプレーンバッファ5 1 A、5 1 Bから読み出された4画素分の処理ビットプレーンデータD 3 5をC Uパス復号化処理する際に必要となる合計6ビット分のS I GプレーンデータD 3 0に対して、実際には当該4画素とそれぞれ同座標にあるS I Gプレーン3 0上の4ビットよりも上側に2ビットずれた1ワード(4ビット)分のS I GプレーンデータD 3 0と、下側に2ビットずれた1ワード(4ビット)分のS I GプレーンデータD 3 0とをそれぞれ対応する第1又は第2のS R A M 1 9 2 A、1 9 2 Bから同時に1クロックで読み出し、これをC Uパス復号化処理部1 7 7に送出することとなる。

【0 4 1 3】

さらにシグナルスイッチャ1 9 4は、これと同期して、かかる4画素分の処理ビットプレーンデータD 3 5をC Uパス復号化処理する際に必要となる、当該4画素とそれぞれ同座標にあるR E Fプレーン3 2上の1ワード(図2 4 (E)参照)分のR E FプレーンデータD 3 1と、当該4画素と同座標にあるD O N Eプレーン3 3上の1ワード(図2 4 (D)参照)分のD O N EプレーンデータD 3 2とを第2の実施の形態のシグナルスイッチャ1 7 4(図3 9)と同様にしてS R A M 1 1 1 Bから読み出し、これをC Uパス復号化処理部1 7 7に送出する。

30

【0 4 1 4】

かくしてビットデモデル部1 9 3では、この後C Uパス復号化処理部1 7 7において、第2の実施の形態と同様にしてC Uパス復号化処理又はS Pパス復号化処理が必要に応じて行われ、そのとき得られたコンテキストC Xが出力スイッチャ1 2 4を介してコンテキストデータD 3 3として算術復号部1 1 3(図4 3)に送出され、これと併せて得られた復号された処理ビットプレーンデータD 3 5及び復号された正負符号プレーンデータD 3 6がそれぞれビットプレーンバッファ1 1 6 A、1 1 6 B又は第1若しくは第2の正負符号バッファ1 9 1 A、1 9 1 Bの対応する位置に格納される。また必要に応じてS I GプレーンデータD 3 0、R E FプレーンデータD 3 1及び又はD O N EプレーンデータD 3 2が更新され、さらにこれら更新されたS I GプレーンデータD 3 0、R E FプレーンデータD 3 1及びD O N EプレーンデータD 3 2が第1若しくは第2のS R A M 1 9 2 A、1 9 2 B又はS R A M 1 1 1 Bにおけるもとのアドレス位置に書き戻される。

40

【0 4 1 5】

このようにしてこのビットデモデル部1 9 3においても、正負符号プレーンデータD 3

50

6を記憶保持するためのメモリとして2つの第1及び第2の正負符号プレーンバッファ191A、191Bを設けると共に、SIGプレーンデータD30を記憶保持するためのメモリとして2つの第1及び第2のSRAM192A、192Bを設けることによって、処理ビットプレーンデータD35の1ストライプカラム23Aを処理する際のメモリアクセス回数をより一層と低減させ得るようになされている。

【0416】

(4-3)第3の実施の形態の動作及び効果

以上の構成において、本実施の形態によるビットモデル部183及びビットデモデル部193では、正負符号プレーンデータD20、D36を正負符号プレーン30のストライプ23ごとに第1及び第2の正負符号プレーンバッファ181A、181Bに順次交互に記憶保持すると共に、SIGプレーンデータD22、D30をSIGプレーン31のストライプ23ごとに第1及び第2のSRAMプレーンバッファ192A、192Bに順次交互に記憶保持し、CBM処理時には、必要な2ワード分の正負符号プレーンデータD20、D30を第1及び第2の正負符号プレーンバッファ181A、181Bのそれぞれから1クロックで同時に読み出すと共に、必要な2ワード分のSIGプレーンデータD22、D30を第1及び第2のSRAMプレーンバッファ192A、192Bのそれぞれから1クロックで同時に読み出す。

【0417】

従って、1ストライプカラム23A分の処理ビットプレーンデータD21、D35をCBM処理するに際して、第2の実施の形態のビットモデル部163及びビットデモデル部173によれば、必要な正負符号プレーンデータD20、D30やSIGプレーンデータD22、D30を読み出すのに6クロック必要となるのに対し、この第3の実施の形態のビットモデル部163及びビットデモデル部173によれば、3クロックで足りることとなり、より一層とCBM処理時におけるメモリアクセス回数を格段的に低減させることができる。

【0418】

實際上、例えば64×64サイズのビットプレーン22を処理する際にメモリからSIGプレーンデータD22、D30を読み出す回数を計算すると、第2の実施の形態の手法の場合、上述のようにオーバーラップ読出し構成のときには6080回、更新部分限定読出し構成のときには2048回のメモリアクセスが必要となるのに対して、本実施の形態の手法によれば、オーバーラップ読出し構成のときには3040回、本実施の形態のように更新部分限定読出し構成のときには1024回のメモリアクセスで足りる。

【0419】

因みに、図45に示すように、この1024回という数は、SIGプレーンデータD22、D30を1ビット分ずつメモリから読み出す従来手法におけるオーバーラップ読出し構成のほぼ1/35の数である。

【0420】

よって、かかるJPEG2000規格に準拠した符号化装置40及び復号化装置100におけるビットモデル部183又はビットデモデル部193の構成として上述のような第2の実施の形態の構成を採用することによって、これらビットモデル部183又はビットデモデル部193におけるCBM処理のより一層の高速化を図ることができ、またこれに伴ってビットモデル部183又はビットデモデル部193の低消費電力化を図ることもできる。

【0421】

以上の構成によれば、第2の実施の形態の構成に加え、正負符号プレーンデータD20、D36を正負符号プレーン30のストライプ23ごとに第1及び第2の正負符号プレーンバッファ181A、181Bに順次交互に記憶保持すると共に、SIGプレーンデータD22、D30をSIGプレーン31のストライプ23ごとに第1及び第2のSRAMプレーンバッファ192A、192Bに順次交互に記憶保持し、CBM処理時には、必要な2ワード分の正負符号プレーンデータD20、D30を第1及び第2の正負符号プレーン

バッファ 181A、181B のそれぞれから 1 クロックで同時に読み出すと共に、必要な 2 ワード分の S I G プレーンデータ D 2 2、D 3 0 を第 1 及び第 2 の S R A M プレーンバッファ 192A、192B のそれぞれから 1 クロックで同時に読み出すようにしたことにより、第 2 の実施の形態に比べてより一層と C B M 処理時におけるメモリアクセス回数を格段的に低減させることができ、かくして符号化処理又は復号化処理をより一層と高速化させ得る符号化装置及び復号化装置を実現できる。

【0422】

(5) 他の実施の形態

なお上述の第 1 ～ 第 3 実施の形態においては、本発明を J P E G 2 0 0 0 規格に準拠した符号化装置 40 (図 21) 又は復号化装置 100 (図 29) に適用するようにした場合について述べたが、本発明はこれに限らず、要は、画像情報に対する符号化処理の処理状況に応じて順次更新する所定の状態量を表す状態量情報を用いて符号化処理又は復号化処理するこの他種々の符号化装置及び復号化装置に広く適用することができる。

【0423】

また上述の第 1 ～ 第 3 の実施の形態においては、1 ストライプカラム 23A を構成する 4 画素を処理単位として、画像情報としての処理ビットプレーンデータ D 2 1 に対して当該ストライプカラム 23A ごとに符号化処理を施す符号化手段としてのビットモデル部 54、163、183 を図 23、図 37 又は図 42 のように構成するようにした場合について述べたが、本発明はこれに限らず、この他種々の構成を広く適用することができる。

【0424】

さらに上述の第 1 ～ 第 3 の実施の形態においては、ビットモデル部 54、163、183 が C B M 処理を行うときに用いる状態量情報としての正負符号プレーンデータ D 2 0 や、S I G プレーンデータ D 2 2、R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 4 を記憶する記憶手段として、S R A M からなる正負符号プレーンバッファ 50、115 や、S R A M 52A、111A、192A、192B を適用するようにした場合について述べたが、本発明はこれに限らず、S R A M 以外のメモリ等を広く適用することができる。

【0425】

さらに上述の第 1 ～ 第 3 の実施の形態においては、処理ビットプレーンデータ D 2 1 の 1 ストライプカラム 23A に対応させて、正負符号プレーン 30 や、S I G プレーン 31、R E F プレーン 32 及び D O N E プレーン 33 上の縦方向に並ぶ 4 ビットを 1 ワードとして取り扱うようにした場合について述べたが、本発明はこれに限らず、これ (縦方向に並ぶ 4 ビット) 以外を 1 ワードとして取り扱うようにしても良い。

【0426】

さらに上述の第 1 ～ 第 3 の実施の形態においては、符号化処理をハードウェア処理により行うようにした場合について述べたが、本発明はこれに限らず、正負符号プレーンデータ D 2 0 や、S I G プレーンデータ D 2 2、R E F プレーンデータ D 2 3 及び D O N E プレーンデータ D 2 4 を対応する正負符号プレーンバッファ 50、161、181A、181B 又は S R A M 52A、52B、162、182A、182B に記憶させる第 1 の処理と、処理ビットプレーンデータ D 2 1 の 1 ストライプカラム 23A ごとに、対応する正負符号プレーンデータ D 2 0、S I G プレーンデータ D 2 2、R E F プレーンデータ D 2 3 及び又は D O N E プレーンデータ D 2 4 をワード単位で正負符号プレーンバッファ 50、161、181A、181B 又は S R A M 52A、52B、162、182A、182B から読み出し、当該読み出した正負符号プレーンデータ D 2 0、S I G プレーンデータ D 2 2、R E F プレーンデータ D 2 3 及び又は D O N E プレーンデータ D 2 4 を用いて符号化処理を行う第 2 の処理との全てをソフトウェア処理で行うようにしても良い。

【0427】

さらに上述の実施の形態においては、1 ストライプカラム 23A を構成する 4 画素を処理単位として、符号化された画像情報でなる符号化画像情報としての符号化データ D 1 1 に対して当該ストライプカラム 23A ごとに復号化処理を施す復号化手段としてのビット

デモデル部 114、163、193を図31、図39又は図44のように構成するようにした場合について述べたが、本発明はこれに限らず、この他種々の構成を広く適用することができる。

【0428】

さらに上述の第1～第3の実施の形態においては、ビットデモデル部114、163、193がCBM処理を行うときに用いる状態量情報としての正負符号プレーンデータD36や、SIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32を記憶する記憶手段として、SRAMからなる正負符号プレーンバッファ115、171、191A、191Bや、SRAM111A、111B、172、192A、192Bを適用するようにした場合について述べたが、本発明はこれに限らず、SRAM以外のメモリ等を広く適用することができる。

10

【0429】

さらに上述の第1～第3の実施の形態においては、復号化処理をハードウェア処理により行うようにした場合について述べたが、本発明はこれに限らず、正負符号プレーンデータD35や、SIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32を対応する正負符号プレーンバッファ115、171、191A、191B又はSRAM111A、111B、172、192A、192Bに記憶させる第1の処理と、処理ビットプレーンデータD35の1ストライプカラム23Aごとに、対応する正負符号プレーンデータD36、SIGプレーンデータD30、REFプレーンデータD31及び又はDONEプレーンデータD32をワード単位で正負符号プレーンバッファ115、171、191A、191B又はSRAM111A、111B、172、192A、192Bから読み出し、当該読み出した正負符号プレーンデータD35、SIGプレーンデータD30、REFプレーンデータD31及びDONEプレーンデータD32を用いて符号化処理を行う第2の処理との全てをソフトウェア処理で行うようにしても良い。

20

【産業上の利用可能性】

【0430】

本発明は、例えばJPEG2000規格に準拠した符号化装置及び復号化装置の他、これに類似する符号化又は復号化のアルゴリズムを有する符号化又は復号化規格に準拠した符号化装置及び復号化装置に適用することができる。

【図面の簡単な説明】

30

【0431】

【図1】コードブロックとビットプレーンの説明に供する概念図である。

【図2】コードブロックサイズの説明に供する概念図である。

【図3】コードブロックサイズの説明に供する概念図である。

【図4】コードブロック内のビットプレーンの説明に供する概念図である。

【図5】ビットプレーン内スキャン順序の説明に供する概念図である。

【図6】ビットプレーン内スキャン順序の説明に供する概念図である。

【図7】ビットプレーン内スキャン順序の説明に供する概念図である。

【図8】ビットプレーン内スキャン順序の説明に供する概念図である。

【図9】ビットプレーン内スキャン順序の説明に供する概念図である。

40

【図10】各種状態量記録用プレーンの説明に供する概念図である。

【図11】SPパスの説明に供する概念図である。

【図12】SPパスの説明に供する概念図である。

【図13】SPパスにおけるコンテキストエンコーディング規則の説明に供する概念図である。

【図14】SPパスにおける正負符号のコンテキストエンコーディング規則の説明に供する概念図である。

【図15】MRパスの説明に供する概念図である。

【図16】MRパスにおけるコンテキストエンコーディング規則の説明に供する概念図である。

50

【図 1 7】C U パスの説明に供する概念図である。

【図 1 8】uniformのコンテキストエンコーディングルールの説明に供する概念図である。

【図 1 9】従来のメモリアクセス手法の説明に供する概念図及び波形図である。

【図 2 0】従来のメモリアクセス手法の説明に供する概念図である。

【図 2 1】第 1 の実施の形態による J P E G 2 0 0 0 符号化装置の構成を示すブロック図である。

【図 2 2】図 2 1 に示す符号化装置における E B C O T ブロックの構成を示すブロック図である。

【図 2 3】図 2 2 に示す E B C O T ブロックにおけるビットモデル部の構成を示すブロック図である。

【図 2 4】本実施の形態によるビットプレーンアクセスの説明に供する概念図である。

【図 2 5】第 1 の実施の形態によるメモリアクセス手法の説明に供する概念図である。

【図 2 6】符号化装置における S P パス符号化処理部の概略構成を示すブロック図である。

【図 2 7】符号化装置における M R パス符号化処理部の概略構成を示すブロック図である。

【図 2 8】符号化装置における C U パス符号化処理部の概略構成を示すブロック図である。

【図 2 9】第 1 の実施の形態による J P E G 2 0 0 0 復号化装置の構成を示すブロック図である。

【図 3 0】図 2 9 に示す復号化装置における E B C O T ブロックの構成を示すブロック図である。

【図 3 1】図 3 0 に示す E B C O T ブロックにおけるビットモデル部の構成を示すブロック図である。

【図 3 2】復号化装置における S P パス復号化処理部の概略構成を示すブロック図である。

【図 3 3】復号化装置における M R パス復号化処理部の概略構成を示すブロック図である。

【図 3 4】復号化装置における C U パス復号化処理部の概略構成を示すブロック図である。

【図 3 5】第 2 の実施の形態による符号化装置の E B C O T ブロックの構成を示すブロック図である。

【図 3 6】第 2 の実施の形態によるメモリアクセス手法の説明に供する概念図である。

【図 3 7】図 3 5 に示す E B C O T ブロックにおけるビットモデル部の構成を示すブロック図である。

【図 3 8】第 2 の実施の形態による復号化装置の E B C O T ブロックの構成を示すブロック図である。

【図 3 9】図 3 8 に示す E B C O T ブロックにおけるビットモデル部の構成を示すブロック図である。

【図 4 0】第 3 の実施の形態による符号化装置の E B C O T ブロックの構成を示すブロック図である。

【図 4 1】正負符号プレーンデータ又は S I G プレーンデータの分配の説明に供する概念図である。

【図 4 2】図 4 0 に示す E B C O T ブロックにおけるビットモデル部の構成を示すブロック図である。

【図 4 3】第 3 の実施の形態による復号化装置の E B C O T ブロックの構成を示すブロック図である。

【図 4 4】図 4 3 に示す E B C O T ブロックにおけるビットモデル部の構成を示すブロック図である。

10

20

30

40

50

【図４５】従来手法と、第１～第３の実施の形態による手法とのメモリアクセス回数の比較の説明に供する図表である。

【図４６】従来のＪＰＥＧ２０００符号化装置の構成を示すブロック図である。

【図４７】ウェーブレット変換の説明に供する概念図である。

【図４８】従来のＪＰＥＧ２０００復号化装置の構成を示すブロック図である。

【符号の説明】

【０４３２】

２２……ビットプレーン、２３……ストライプ、２３Ａ……ストライプカラム、３０…
…正負符号プレーン、３１……ＳＩＧプレーン、３２……ＲＥＦプレーン、３３……ＤＯ
…ＮＥプレーン、４０……符号化装置、４２、１０１、１６０、１７０、１８０、１９０…
…ＥＢＣＯＴブロック、５０、１７１、１９１Ａ、１９１Ｂ……正負符号プレーンバッ
…ファ、５２Ａ、５２Ｂ、１１１Ａ、１１１Ｂ、１９２Ａ、１９２Ｂ……ＳＲＡＭ、５４、１
…６３、１８３……ビットモデル部、６１、１６５……ＳＰパス符号化処理部、６２、１６
…６……ＭＲパス符号化処理部、６３、１６７……ＣＵパス符号化処理部、６５、７６、８
…６、９６、１２５……制御部、１００……復号化装置、１１４、１７３、１９３……ビット
…モデル部、１２１、１７５……ＳＰパス復号化処理部、１２２、１７６……ＭＲパス
…復号化処理部、１２３、１７７……ＣＵパス復号化処理部、Ｄ４……コードブロックデー
…タ、Ｄ１１……符号化データ、Ｄ２０、Ｄ３６……正負符号プレーンデータ、Ｄ２１、Ｄ
…３５……処理ビットプレーンデータ、Ｄ２２、Ｄ３０……ＳＩＧプレーンデータ、Ｄ２３
…、Ｄ３１……ＲＥＦプレーンデータ、Ｄ２４、Ｄ３２……ＤＯＮＥプレーンデータ、Ｄ２
…６、Ｄ３４、Ｄ４０……シンボルデータ、Ｄ２７、Ｄ３３、Ｄ４１……コンテキストデー
…タ。

10

20

【図１】

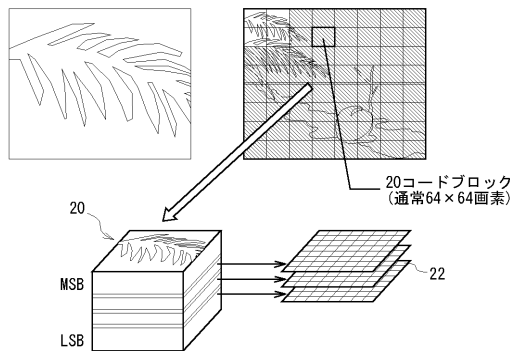


図１ コードブロックとビットプレーン

【図３】

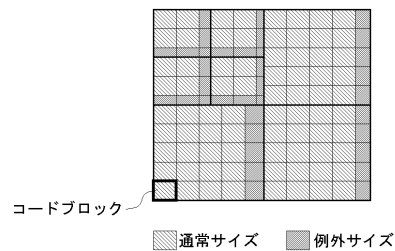


図３ コードブロックのサイズ（２）

【図２】

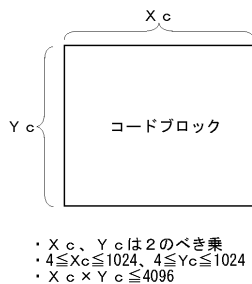


図２ コードブロックのサイズ（１）

【図 4】

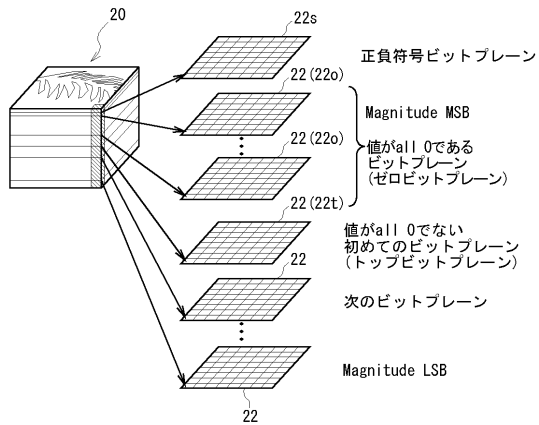


図 4 コードブロック内のビットプレーン

【図 5】

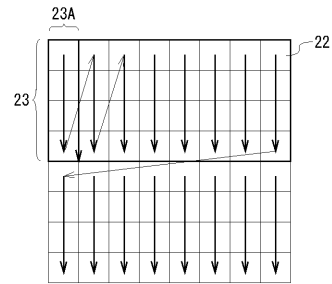


図 5 ビットプレーン内スキャン順序

【図 6】

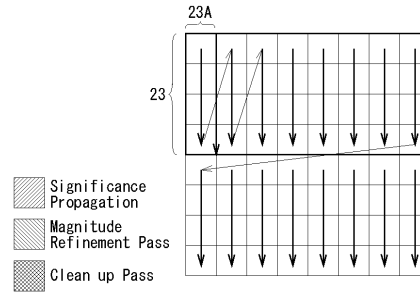


図 6 ビットプレーン内スキャン (1)

【図 7】

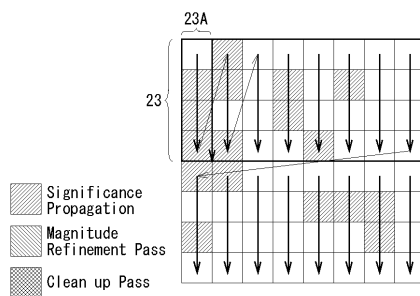


図 7 ビットプレーン内スキャン (2)

【図 9】

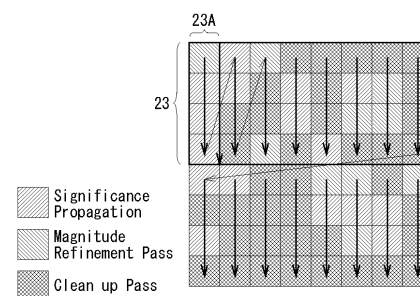


図 9 ビットプレーン内スキャン (4)

【図 8】

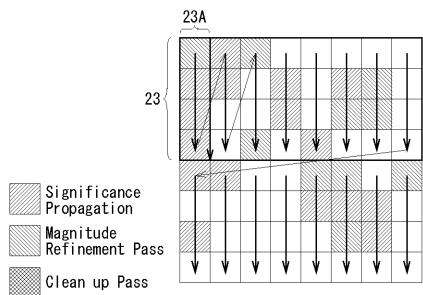


図 8 ビットプレーン内スキャン (3)

【図 10】

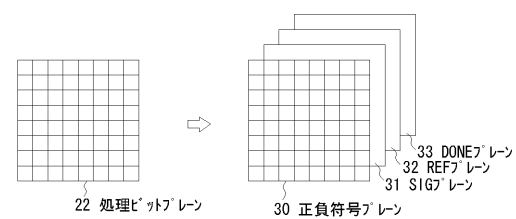


図 10 各種状態量記録用プレーン

【図 1 1】

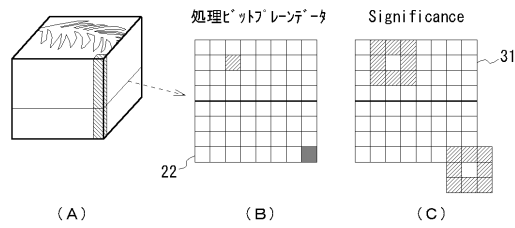


図 1 1 Significanceの8近傍参照

【図 1 3】

| LL or LH成分 | | | HL成分 | | | HH成分 | | | CX | ビット |
|------------|------------|------------|------------|------------|------------|-----------------------|------------|---|----|-----|
| ΣH | ΣV | ΣD | ΣH | ΣV | ΣD | $\Sigma H + \Sigma V$ | ΣD | | | |
| 2 | - | - | - | 2 | - | - | ≥ 3 | 8 | | X |
| 1 | ≥ 1 | 1 | ≥ 1 | 1 | - | ≥ 1 | 2 | 7 | | |
| 1 | 0 | ≥ 1 | 0 | 1 | ≥ 1 | 0 | 2 | 6 | | |
| 1 | 0 | 0 | 0 | 1 | 0 | ≥ 2 | 1 | 5 | | |
| 0 | 2 | - | 2 | 0 | - | 1 | 1 | 4 | | |
| 0 | 1 | - | 1 | 0 | - | 0 | 1 | 3 | | |
| 0 | 0 | ≥ 2 | 0 | 0 | ≥ 2 | ≥ 2 | 0 | 2 | | |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | | |

図 1 3 SPパスのコンテキストエンコーディングルール

【図 1 2】

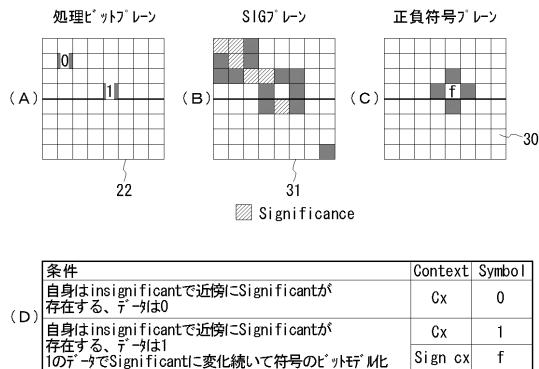


図 1 2 SPパスの処理

【図 1 4】

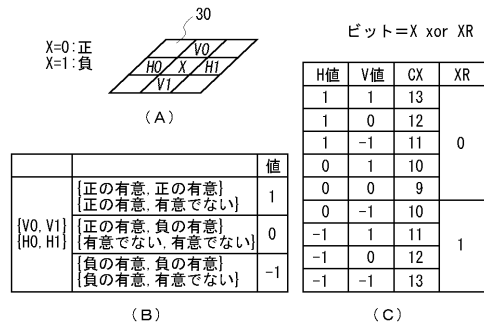


図 1 4 正負符号のコンテキストエンコーディングルール

【図 1 5】

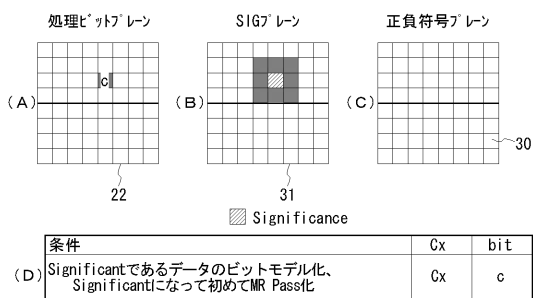


図 1 5 MSパスの処理

【図 1 6】

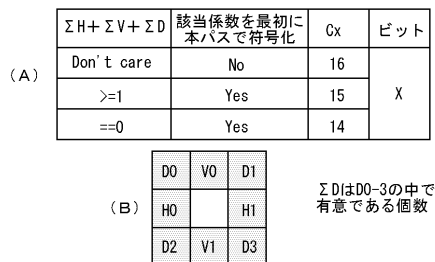


図 1 6 MRパスのコンテキストエンコーディングルール

【図 1 7】

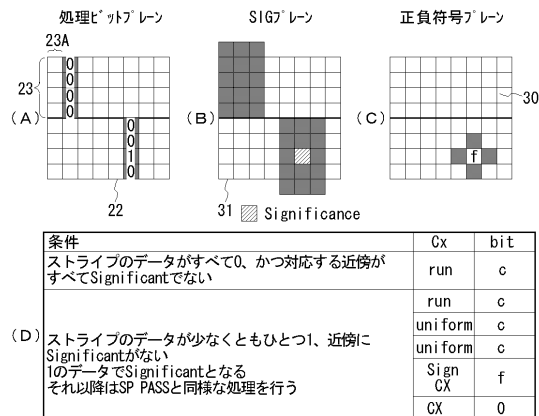


図 1 7 CUパスの処理

【図 1 8】

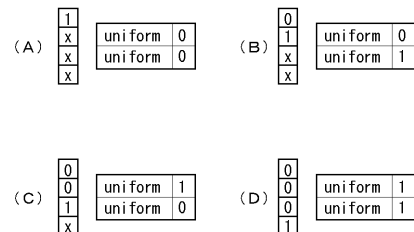
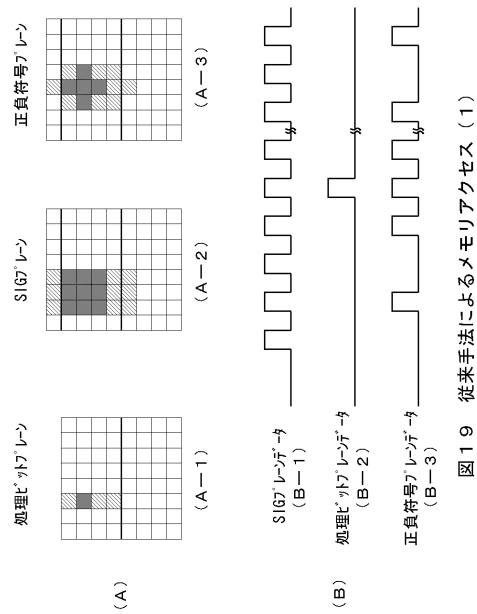


図 1 8 uniformのコンテキストエンコーディングルール

【図 19】



【図 20】

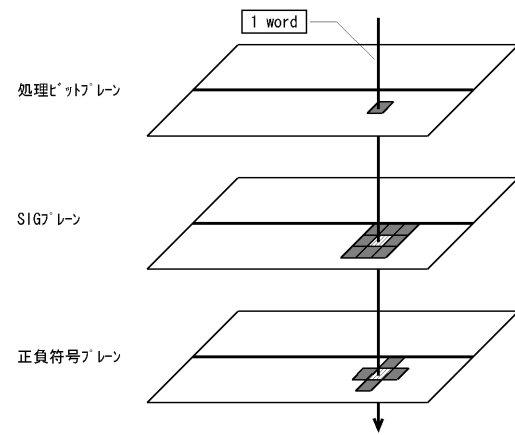


図 20 従来手法によるメモリアクセス (2)

【図 21】

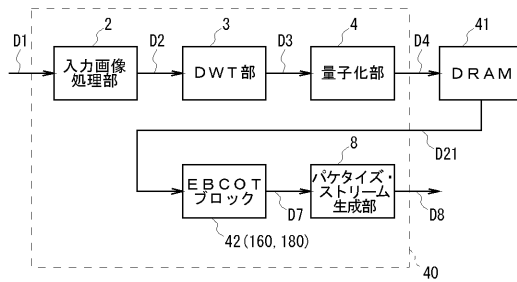


図 21 第1の形態によるJPEG2000符号化装置の構成

【図 22】

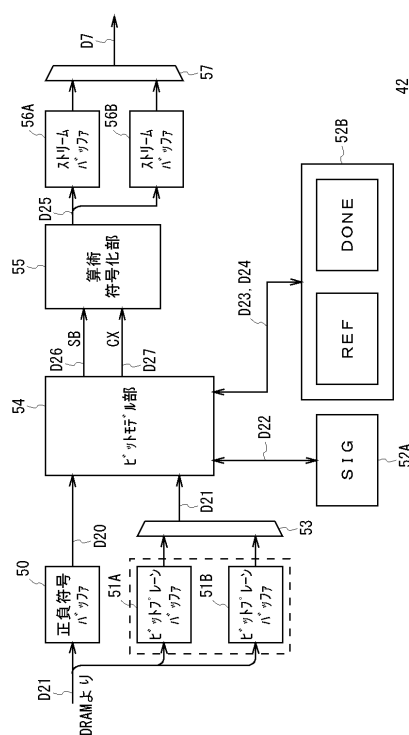
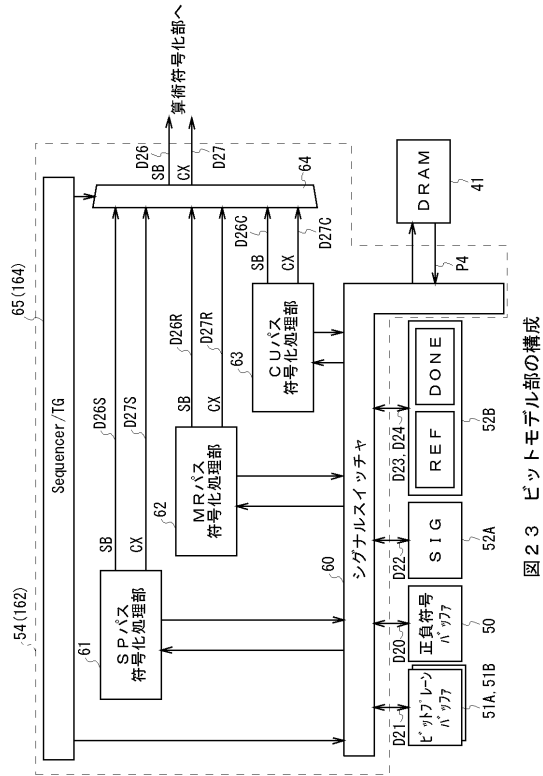


図 22 第1の実施の形態による符号化装置のEBCOTブロックの構成

【 図 2 3 】



【 図 2 4 】

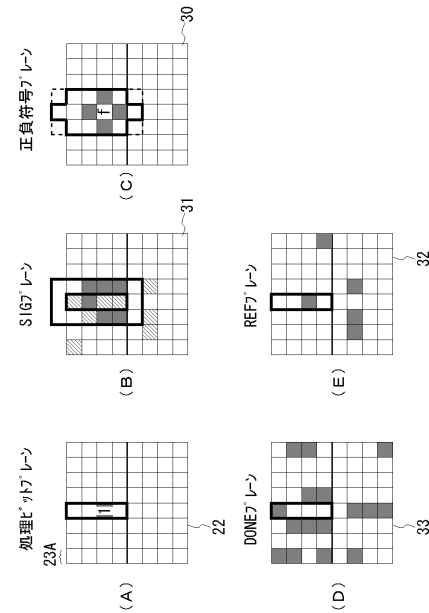


図24 本実施の形態によるビットプレーションアクセス

【 図 2 5 】

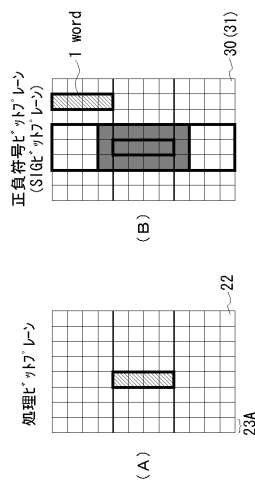


図25 第1の形態によるメモリアクセス

【 図 2 6 】

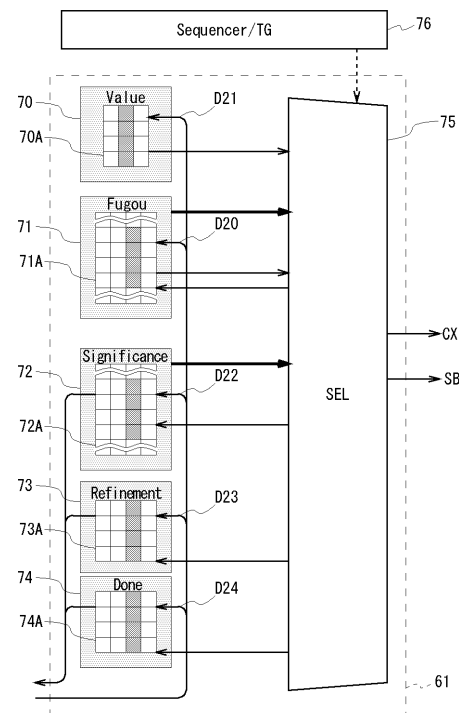


図 26 SPパス符号化処理部の構成

【 図 2 7 】

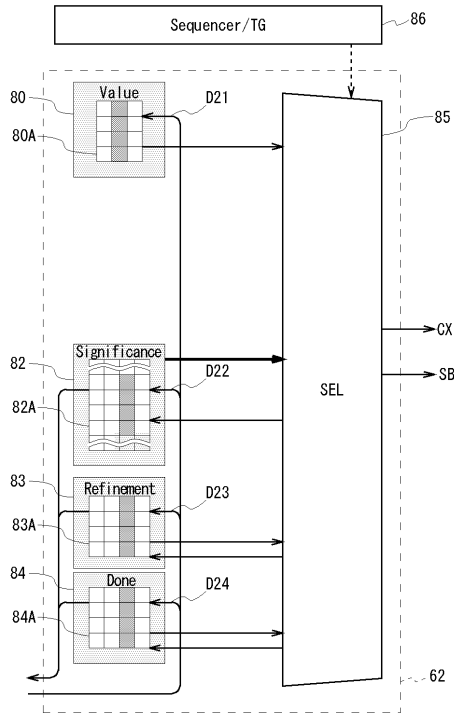


図 27 MRパス符号化処理部の構成

【 図 2 8 】

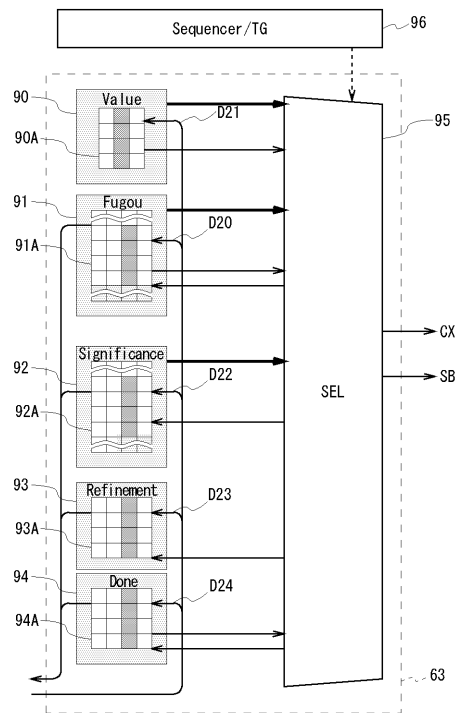


図 28 CUパス符号化処理部の構成

【 図 2 9 】

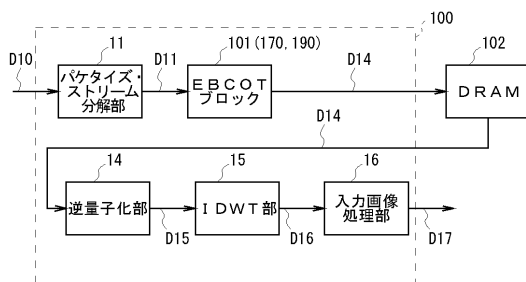


図 29 第 1 の実施の形態による J P E G 2 0 0 0
復号化装置の構成

【 図 3 0 】

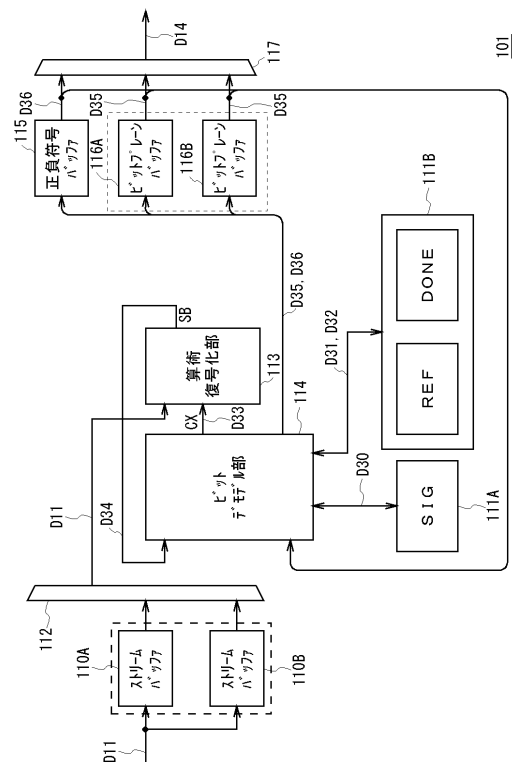


図30 第1の実施の形態による復号化装置のEBCOTブロックの構成

【図 3 1】

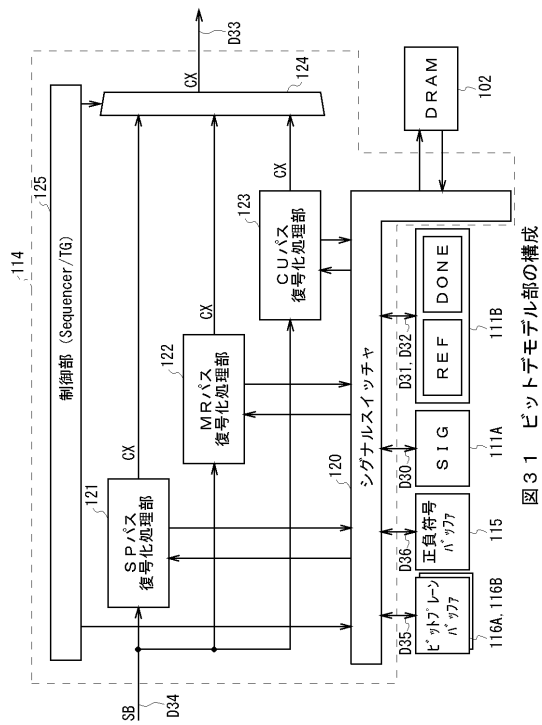


図 3 1 ビットモデル部の構成

【図 3 2】

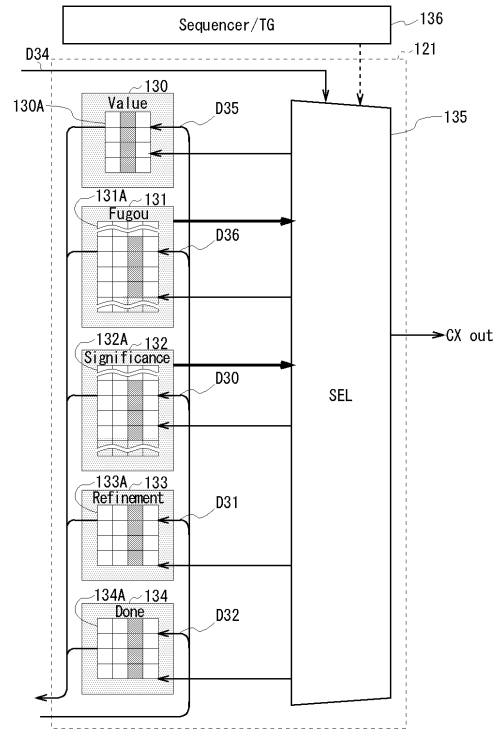


図 3 2 SPバス復号化処理部の構成

【図 3 3】

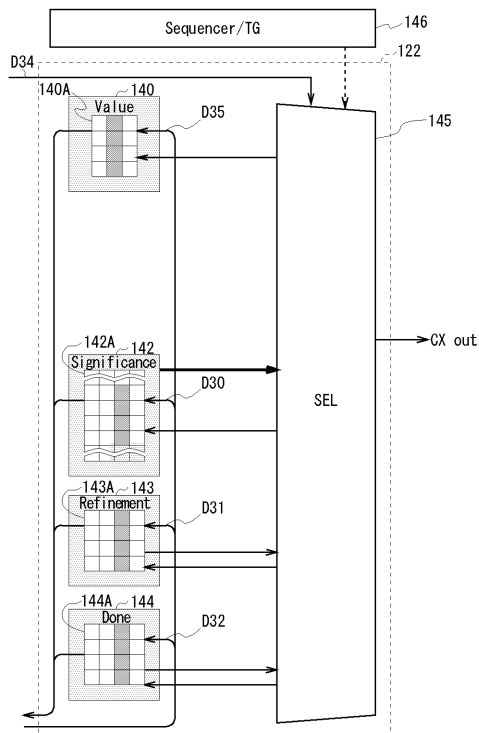


図 3 3 MRバス復号化処理部の構成

【図 3 4】

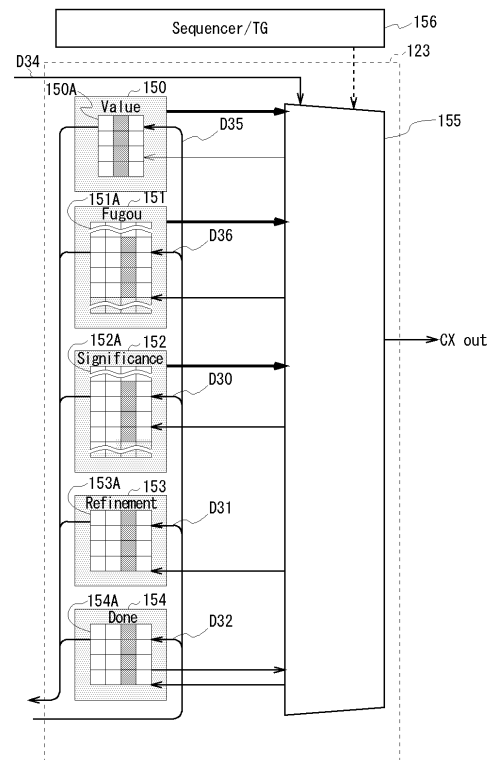


図 3 4 CUバス復号化処理部の構成

【 図 3 5 】

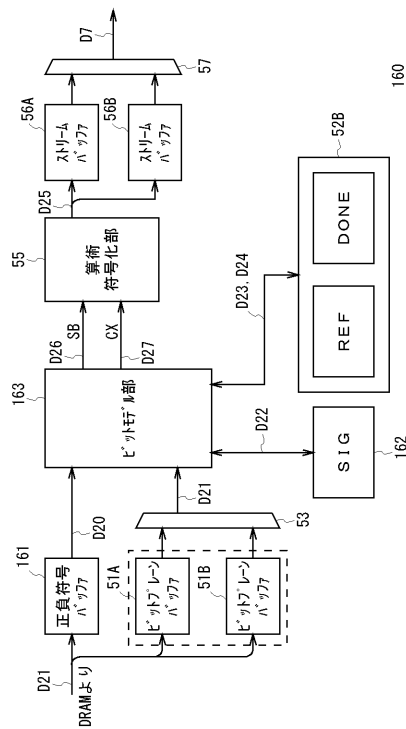


図35 第2の実施の形態による符号化装置のEBCOTブロックの構成

【 図 3 6 】

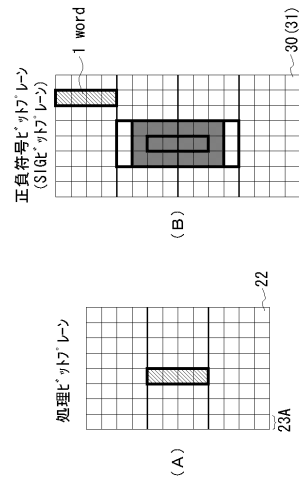


図36 第2の形態によるメモリアクセス

【 図 3 7 】

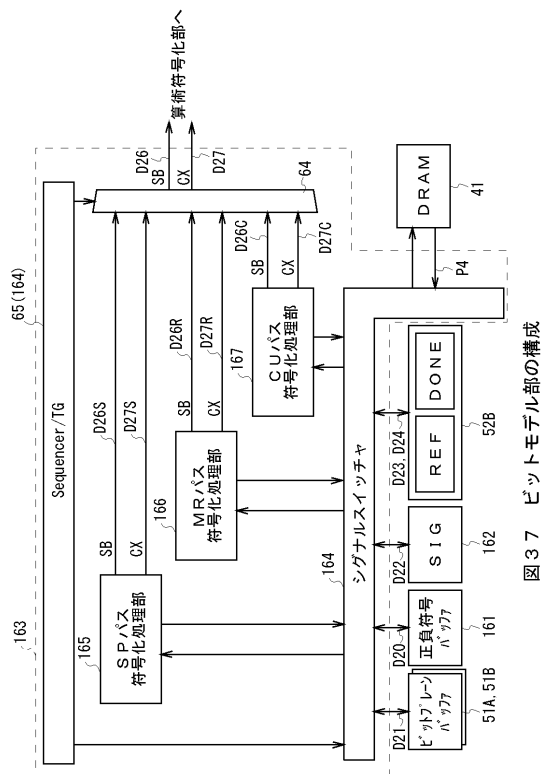


図37 ビットモデル部の構成

【 図 3 8 】

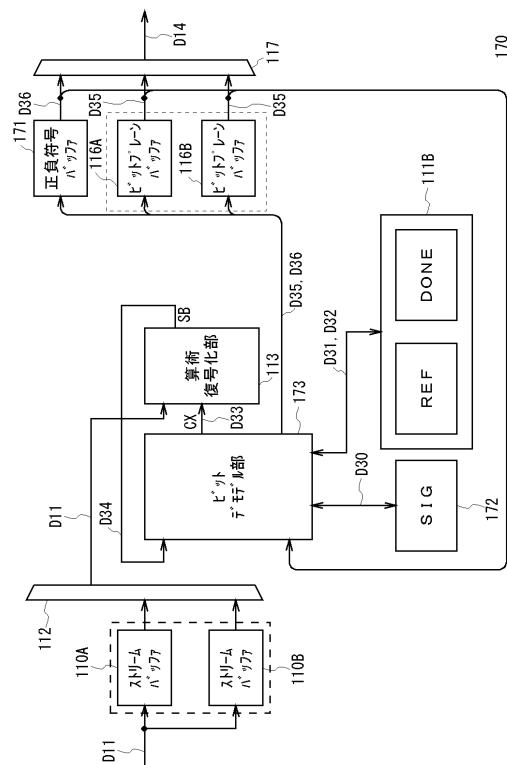
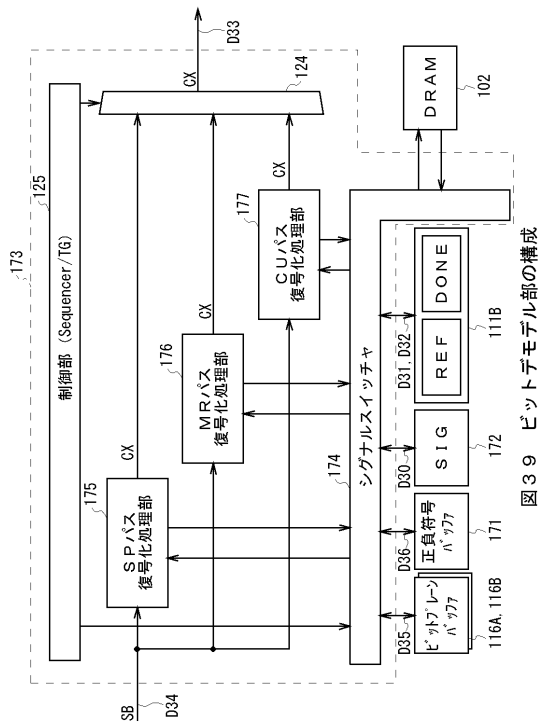


図38 第2の実施の形態による復号化装置のEBCOTブロックの構成

【 図 3 9 】



【 図 4 0 】

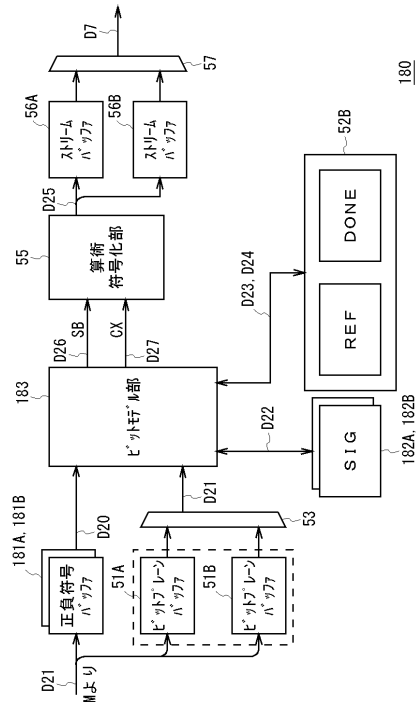


図40 第3の実施の形態による符号化装置のEBCOTブロック部の構成

【 図 4 1 】

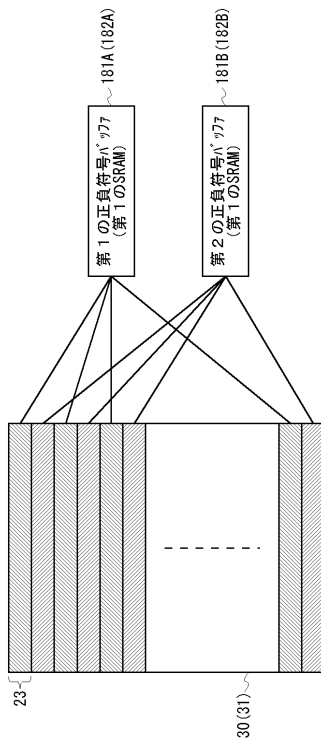


図4-1 正負符号プレーンデータ又はSIGプレーンデータの分配

【 図 4 2 】

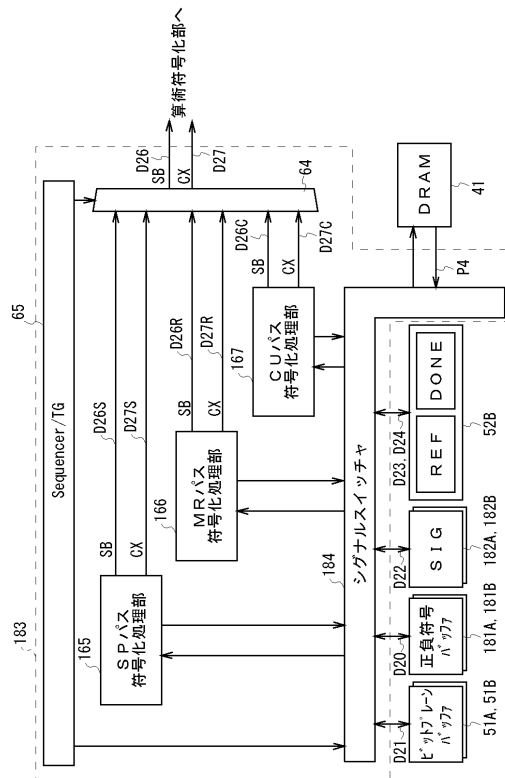


図42 ビットモデル部の構成

【図 4 3】

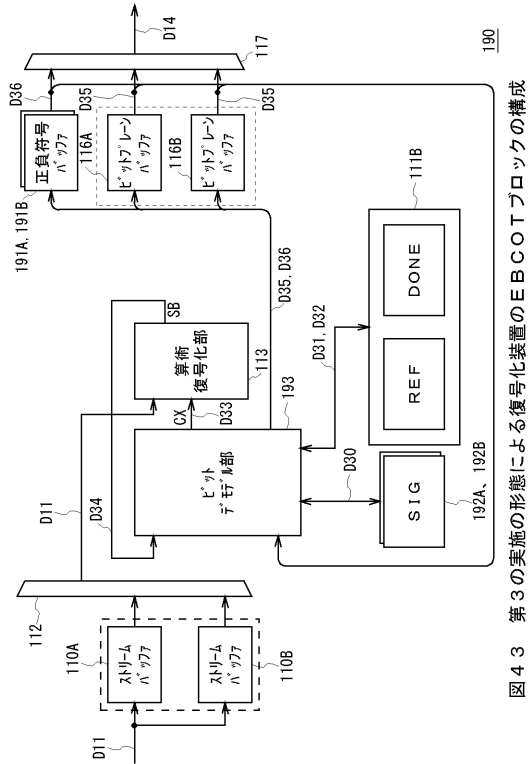


図 4 3 第 3 の実施の形態による復号化装置の EBCOT ブロックの構成

【図 4 4】

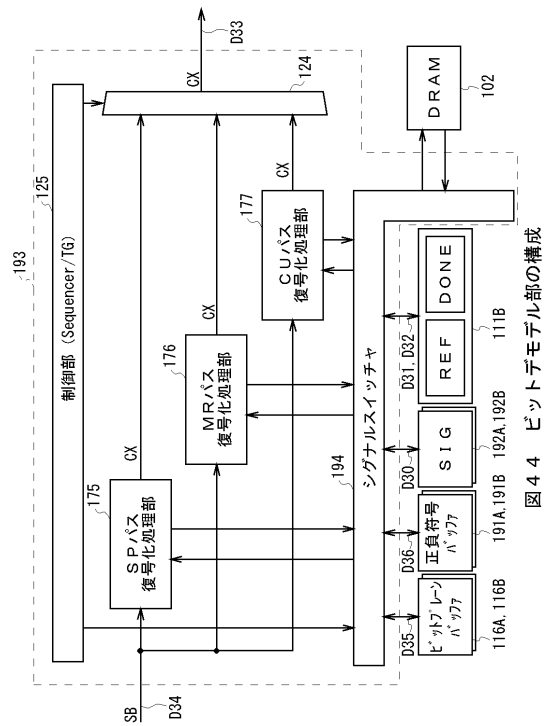


図 4 4 ビットモデル部の構成

【図 4 5】

| | 構成名 | オーバーラップ 読み出し構成 | 更新部分限定 読み出し構成 |
|---|---|-------------------|------------------|
| 1 | 従来手法 | 3 6 . 1 0 0 | 1 7 . 8 6 0 |
| 2 | 第 1 の実施の形態 (ストライプカム同期) | 8 . 7 4 0 | 2 . 9 4 4 |
| 3 | 第 2 の実施の形態 (ストライプカム位相ずらし) | 6 . 0 8 0 | 2 . 0 4 8 |
| 4 | 第 3 の実施の形態 (ストライプカム位相ずらし + メモリ・インターリーブ) | 3 . 0 4 0 | 1 . 0 2 4 |

図 4 5 メモリアクセス回数の比較

【図 4 6】

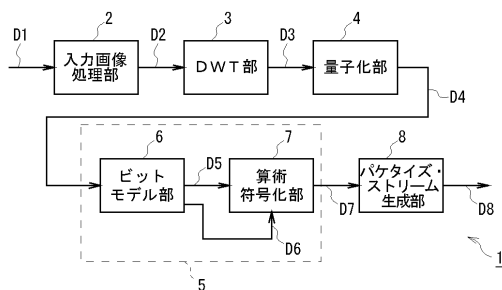


図 4 6 従来の J P E G 2 0 0 0 符号化装置の構成

【図 4 7】

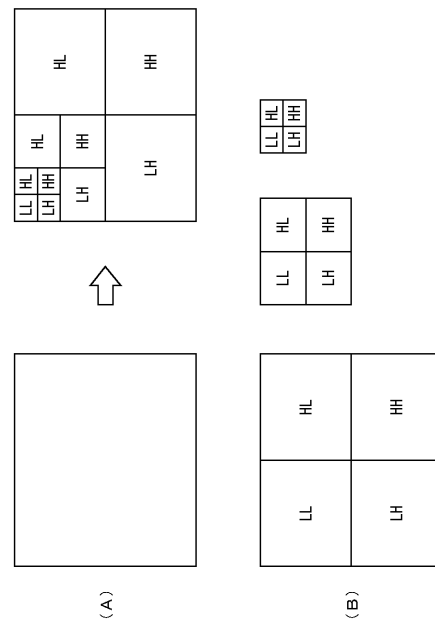


図 4 7 画像の帯域分割

【図 48】

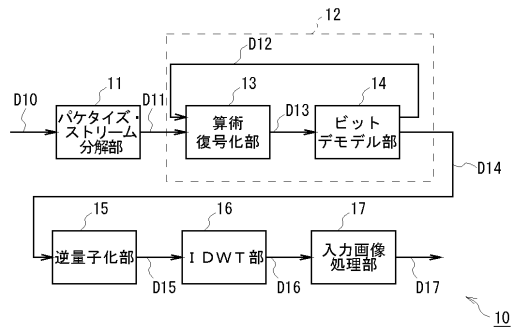


図48 従来のJPEG2000復号化装置の構成

フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

| | |
|---------|---------|
| H 0 4 N | 1 / 4 1 |
| G 0 6 T | 9 / 0 0 |
| H 0 4 N | 7 / 2 6 |