

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-250962

(P2013-250962A)

(43) 公開日 平成25年12月12日(2013.12.12)

| | | |
|-----------------------------|-----------------|-------------|
| (51) Int.Cl. | F I | テーマコード (参考) |
| G06F 12/08 (2006.01) | G06F 12/08 579 | 5B005 |
| G06F 1/32 (2006.01) | G06F 12/08 543B | 5B011 |
| | G06F 12/08 501C | |
| | G06F 1/00 332Z | |

審査請求 未請求 請求項の数 11 O L (全 39 頁)

| | | | |
|--------------|------------------------------|----------|---|
| (21) 出願番号 | 特願2013-94859 (P2013-94859) | (71) 出願人 | 000153878 |
| (22) 出願日 | 平成25年4月29日 (2013.4.29) | | 株式会社半導体エネルギー研究所 |
| (31) 優先権主張番号 | 特願2012-104839 (P2012-104839) | | 神奈川県厚木市長谷398番地 |
| (32) 優先日 | 平成24年5月1日 (2012.5.1) | (72) 発明者 | 黒川 義元 |
| (33) 優先権主張国 | 日本国 (JP) | | 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内 |
| | | Fターム(参考) | 5B005 JJ22 LL03 MM01 NN12 NN43 NN45 PP03 TT02 VV03 5B011 EA04 EA08 EB01 JA04 LL06 MA07 |

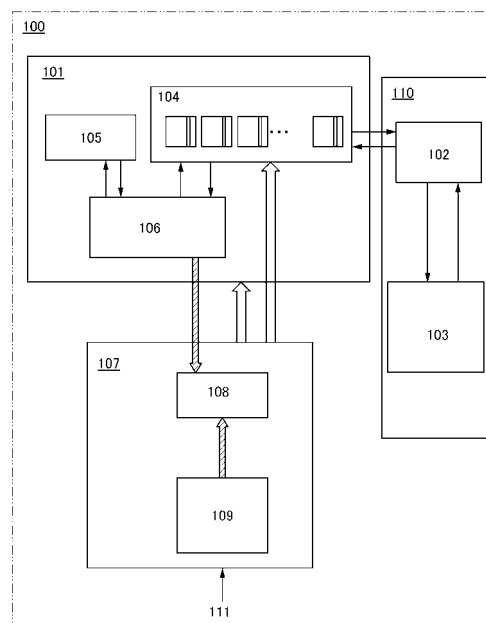
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】消費電力の低減が可能な半導体装置を提供する。

【解決手段】CPUを搭載する半導体装置において、キャッシュメモリへのアクセス頻度を監視し、アクセス頻度が均一である場合はCPUへの電源電圧の供給を遮断し、アクセス頻度が不均一である場合は時間差を置いてキャッシュメモリ内のメモリへの電源電圧の供給を遮断し、最終的にCPUへの電源電圧の供給を遮断することができる。また、ダーティービットの判定に基づき効率の良いライトバック処理を行うことで、半導体装置の一層の省電力化を図れる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

ダーティービットを複数含むキャッシュメモリ、及び演算回路を備えるCPUと、
制御回路を備える電源管理回路と、
記憶装置と、を有し、
前記電源管理回路は、前記CPUへの電源電圧の供給、又は供給の遮断を行い、
前記ダーティービットは、前記キャッシュメモリに格納されている第1のデータと、前記記憶装置に格納されている第2のデータとの一致あるいは不一致を示し、
前記演算回路は、前記キャッシュメモリへのアクセス頻度を監視し、
前記制御回路は、前記CPUへの前記電源電圧の供給の遮断を開始するタイミング、又は遮断を終了するタイミングを決定することを特徴とする半導体装置。 10

【請求項 2】

請求項1において、
前記電源管理回路は、前記キャッシュメモリ内のメモリへの前記電源電圧の供給、又は供給の遮断を行うことを特徴とする半導体装置。

【請求項 3】

請求項1又は請求項2において、
前記電源管理回路は、前記演算回路及び前記制御回路からの出力に基づいて、設定値を設定する設定レジスタを備えることを特徴とする半導体装置。

【請求項 4】

請求項1乃至請求項3のいずれか一項において、
前記CPUへの前記電源電圧の供給を遮断する前に、
前記ダーティービットが、前記第1のデータと前記第2のデータとが一致しないことを示した場合、前記記憶装置には前記第1のデータが格納され、
前記ダーティービットが、前記第1のデータと前記第2のデータとが一致することを示した場合、前記記憶装置には前記第2のデータが格納されることを特徴とする半導体装置。 20

【請求項 5】

請求項1乃至請求項4のいずれか一項において、
前記ダーティービットは、前記キャッシュメモリに格納されている前記第1のデータと、前記キャッシュメモリに格納されている第3のデータとの一致あるいは不一致を示すことを特徴とする半導体装置。 30

【請求項 6】

請求項1乃至請求項5のいずれか一項において、
前記キャッシュメモリは、前記第1のデータの有効あるいは無効を示すためのバリッドビットを複数含むことを特徴とする半導体装置。

【請求項 7】

請求項6において、
前記バリッドビットが、前記第1のデータの無効を示し、
且つ前記ダーティービットが、前記第1のデータと前記第2のデータとが一致しないことを示した場合、前記記憶装置には前記第1のデータが格納されることを特徴とする半導体装置。 40

【請求項 8】

請求項1乃至請求項7のいずれか一項において、
前記CPUは不揮発性ラッチを備えることを特徴とする半導体装置。

【請求項 9】

請求項1乃至請求項8のいずれか一項において、
前記制御回路は、前記CPUへの前記電源電圧の供給を遮断する期間を設定するタイマ回路を備えることを特徴とする半導体装置。

【請求項 10】

請求項 1 乃至請求項 9 のいずれか一項において、

オペレーティングシステムによって管理されるタスクを、前記 CPU が実行していないときに、前記 CPU への前記電源電圧の供給を遮断することを特徴とする半導体装置。

【請求項 11】

請求項 1 乃至請求項 10 のいずれか一項において、

前記キャッシュメモリは、n-way セットアソシエティブ方式のキャッシュメモリであることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、半導体装置に関する。特に、CPU への電源電圧の供給を遮断する事で、消費電力を削減させた半導体装置に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

現在のコンピュータは、ほとんどがストアプログラム方式を用いるノイマン型コンピュータである。ストアプログラム方式は、演算処理に必要なデータを CPU 外部の記憶装置に格納し、該データを順次読み出す方式である。そのため、演算処理性能の向上には、CPU 自体の高速化に加えて、CPU と CPU 外部の記憶装置との間で、該データのロード及びストアの高速化が求められている。

20

【0004】

CPU と、CPU 外部の記憶装置との間に生じる速度差を埋め、データ処理の高速化を図るために、キャッシュメモリが利用されている。例えば、CPU の近くに配置され、CPU に読み出される頻度の高いデータを格納する高速なキャッシュメモリと、CPU から離れて配置され、記憶容量の大きな記憶装置とを階層的に設置する事により、CPU のアクセス速度を高められる。

【0005】

キャッシュメモリを階層的に複数設置する事も可能である。CPU に近い階層のキャッシュメモリから順に 1 次キャッシュ（一例として、小容量 16 ~ 64 KB）、2 次キャッシュ（一例として、中容量 256 ~ 512 KB）、3 次キャッシュ（一例として、大容量 1 ~ 8 MB）等と呼ばれる。CPU に近い階層程、小容量、高速なキャッシュメモリを用いる。CPU 外部の記憶装置もまた、主記憶装置、補助記憶装置等、階層的に設置されることが多い。

30

【0006】

キャッシュメモリには、CPU の演算処理に必要な全てのデータを格納することはできない。必要なデータがキャッシュメモリに存在する場合はキャッシュヒット、存在しない場合はキャッシュミスと呼ばれる。キャッシュミス時は、CPU 外部の記憶装置から必要なデータを取得する必要がある。また、キャッシュメモリのデータが更新されていれば、CPU 外部の記憶装置に更新データを書き戻す必要がある。キャッシュメモリの書き換え対象となるラインを決定する方式として、キャッシュメモリに格納された時刻が最も古いラインを選択する FIFO (First in First out) 方式、アクセスされた時刻が最も古いラインを選択する LRU (Least Recently Used) 方式等が挙げられる。

40

【0007】

また、CPU の演算処理により得られた更新データの制御方式として、ライトスルー方式、ライトバック方式、等が挙げられる。ライトスルー方式は、更新データをキャッシュメモリ及び主記憶装置に同時に格納する。従って、キャッシュミス時に、更新データを格納したラインが書き換え対象のラインとなった場合、更新データを主記憶装置に書き戻さな

50

くても良い。

【 0 0 0 8 】

一方ライトバック方式は、更新データを一旦キャッシュメモリにのみ格納する。従って、キャッシュミス時に、更新データを格納したラインが書き換え対象のラインとなった場合、更新データをキャッシュメモリから主記憶装置に書き戻す必要がある。ライトバック方式を採用することで、主記憶装置へのアクセス頻度を低減することができ、データ処理の高速化が図れるが、一定期間、キャッシュメモリと主記憶装置との間でデータの一致（データのコヒーレンシ）が取れない。データのコヒーレンシを維持するためには、キャッシュメモリに搭載されるダーティービットを利用することができる。

【 0 0 0 9 】

特許文献 1 では、CPU がアイドル状態に入る直前にライトバック処理を行い、ライトバック処理後にアイドル処理を行うことにより、データのコヒーレンシを保ちながら、CPU の消費電力を低減させている。

【 0 0 1 0 】

特許文献 2 では、ダーティーテーブルメモリが溢れた時のみ、ダーティービットをスキャンして、ライトバック処理を行うことにより、キャッシュデータ全体におけるダーティーデータの割合が高い場合において、処理時間を低減させている。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 1 】

【 特許文献 1 】 特開 2 0 0 2 - 1 0 8 7 0 2 号公報

【 特許文献 2 】 特開 2 0 0 8 - 3 0 5 3 0 5 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 2 】

一定期間、CPU への電源電圧の供給を完全に遮断することで、CPU を搭載する半導体装置の消費電力を抑制することができる。しかし、遮断と同時に、キャッシュメモリに格納されているデータの内容は消失する。タイミングを考慮せず、例えばキャッシュメモリへのアクセスが頻繁に行われている状態において、パワーゲーティングを行えば、キャッシュメモリの性能低下が顕著になる。

【 0 0 1 3 】

特許文献 1 では、CPU のアイドル状態への移行を利用する事で、キャッシュメモリの性能低下を軽減しているが、CPU は、新たなタスクの発生に備えて、アイドル状態中も一定の電力を消費している。

【 0 0 1 4 】

即ち、CPU を搭載する半導体装置の信頼性を損なうことなく、CPU への電源電圧の供給を完全に遮断することは、非常に難しい。

【 0 0 1 5 】

また、電源電圧の遮断直前にキャッシュメモリに格納されているデータの退避処理、電源電圧の再供給後にキャッシュメモリに新たに格納されるデータの復帰処理の高速化、及び高効率化も求められる。

【 0 0 1 6 】

そこで、消費電力の低減が可能な半導体装置を提供することを課題の一つとする。

【 0 0 1 7 】

また、キャッシュメモリの性能低下を軽減しつつ、電力消費を抑制する半導体装置を提供することを課題の一つとする。

【 0 0 1 8 】

また、効率の良いデータ退避及びデータ復帰を行うことを課題の一つとする。

【 課題を解決するための手段 】

【 0 0 1 9 】

10

20

30

40

50

キャッシュメモリへのアクセス頻度を、CPU内の演算回路で監視し、監視結果に基づいて、電源管理回路により、CPUへの電源電圧の供給を断つ。また、電源管理回路はキャッシュメモリ内のメモリへの電源電圧の供給を断つこともできる。

【0020】

CPUへの電源電圧の供給の遮断は、CPUがアイドル状態に移行するタイミング、キャッシュメモリへのアクセスが無いタイミングで行われても良い。

【0021】

また、電源電圧の供給を必要としないキャッシュメモリ内のメモリから電源電圧の供給の遮断が行われ、最終的にCPUへの電源電圧の供給の遮断が行われても良い。

【0022】

また、CPUからのアクセス頻度が低いキャッシュメモリ内のメモリから電源電圧の供給の遮断が行われ、最終的にCPUへの電源電圧の供給の遮断が行われても良い。

【0023】

本明細書で開示する本発明の一態様は、ダーティービットを複数含むキャッシュメモリ、及び演算回路を備えるCPUと、制御回路を備える電源管理回路と、記憶装置と、を有し、電源管理回路は、CPUへの電源電圧の供給、又は供給の遮断を行い、ダーティービットは、キャッシュメモリに格納されている第1のデータと、記憶装置に格納されている第2のデータとの一致あるいは不一致を示し、演算回路は、キャッシュメモリへのアクセス頻度を監視し、制御回路は、CPUへの電源電圧の供給の遮断を開始するタイミング又は、遮断を終了するタイミングを決定することを特徴とする半導体装置である。

【0024】

電源管理回路は、演算回路及び制御回路からの出力に基づいて、設定値を設定する設定レジスタを備えていても良い。

【0025】

また、CPUへの電源電圧の供給を遮断する前に、ダーティービットが、第1のデータと第2のデータとが一致しない事をした場合、記憶装置には第1のデータが格納され、ダーティービットが、第1のデータと第2のデータとが一致する事をした場合、記憶装置には第2のデータが格納される。即ち、キャッシュメモリ内の変更されたデータに対してのみライトバック処理が行われる。

【0026】

また、ダーティービットは、キャッシュメモリに格納されている第1のデータと、キャッシュメモリに格納されている第3のデータとの一致あるいは不一致を示すことも可能である。

【0027】

また、キャッシュメモリは、第1のデータの有効あるいは無効を示すためのバリッドビットを複数含んでいても良い。バリッドビットが、第1のデータの無効を示し、且つ、ダーティービットが、第1のデータと第2のデータとが一致しない事をした場合、記憶装置には第1のデータが格納される。

【0028】

また、CPUは不揮発性ラッチを備えていても良い。

【0029】

また、制御回路は、CPUへの電源電圧の供給を遮断する期間を設定するタイマ回路を備えていても良い。

【0030】

また、オペレーティングシステムによって管理されるタスクを、CPUが実行していないときに、CPUへの電源電圧の供給を遮断することが好ましい。

【0031】

また、キャッシュメモリ内のメモリは、複数のセットに分離されるn-wayセットアソシエイティブ方式のキャッシュメモリであっても良い。

【0032】

10

20

30

40

50

また、キャッシュメモリは、ダイレクトマップ方式、フルアソシエティブ方式等を用いても良い。

【 0 0 3 3 】

なお、本明細書におけるライトバック処理とは、あるラインにおいてライトバック処理を行うことを意味するものとする。

【 0 0 3 4 】

また、本明細書におけるライトバック判定処理とは、ライトバック処理が必要なラインを判定し、該ラインに対してのみライトバック処理を行うことを意味するものとする。

【 0 0 3 5 】

また、本明細書におけるタスクとは、C P U が実行する処理の実行単位を意味するものとする。例えば、C P U が実行する命令を複数まとめて、意味のある命令群とみなしたものを意味するものとする。

【 発明の効果 】

【 0 0 3 6 】

本発明の一態様によれば、キャッシュメモリへのアクセス頻度を監視し、アクセス頻度が均一である場合はC P U への電源電圧の供給を遮断し、アクセス頻度が不均一である場合は時間差を置いてメモリへの電源電圧の供給を遮断し、最終的にC P U への電源電圧の供給を遮断することができる。従って、キャッシュメモリの性能低下、及び半導体装置の信頼性低下を軽減させつつ、半導体装置の電力消費を抑制できる。更に、ダーティビットの判定に基づき効率の良いライトバック処理を行うことで、半導体装置の一層の省電力化を図れる。

【 図面の簡単な説明 】

【 0 0 3 7 】

【 図 1 】 本発明の一態様に係る半導体装置を説明する図。

【 図 2 】 本発明の一態様に係る半導体装置を説明する図。

【 図 3 】 実行できるタスクが存在しない場合のフローチャートを説明する図。

【 図 4 】 ライトバック判定処理のフローチャートを説明する図。

【 図 5 】 実行できるタスクが存在する場合のフローチャートを説明する図。

【 図 6 】 メモリセルの構成を示す回路図。

【 図 7 】 メモリセルの構成を示す回路図。

【 図 8 】 本発明の一態様に係る不揮発性レジスタを示す回路図。

【 図 9 】 本発明の一態様に係る不揮発性レジスタの動作を示すタイミングチャート。

【 図 1 0 】 本発明の一態様に係る不揮発性レジスタを示す回路図。

【 図 1 1 】 本発明の一態様に係る不揮発性レジスタの動作を示すタイミングチャート。

【 図 1 2 】 本発明の一態様に係るキャッシュメモリ及び記憶装置を示す回路図。

【 図 1 3 】 電子機器の一例を示す図。

【 図 1 4 】 電源管理回路の動作の一例を示す図。

【 発明を実施するための形態 】

【 0 0 3 8 】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【 0 0 3 9 】

(実施の形態 1)

本実施の形態では、一例として n - w a y セットアソシエティブ方式のキャッシュメモリを適用した半導体装置の構成について図 1 を用いて説明する。該半導体装置は、キャッシュメモリへのアクセス頻度を監視し、監視結果に基づいてキャッシュメモリの状態を考

慮しながら、電源管理回路によってCPUへの電源電圧の供給を遮断することが可能である。また、キャッシュメモリに搭載されているダーティビットの判定を利用することで、処理時間を短縮した高効率なライトバック処理を行うことが可能である。

【0040】

半導体装置100は、CPU101と、記憶装置110と、電源管理回路107とを有する。CPU101には、キャッシュメモリ104と、レジスタ105と、演算回路106とが備えられている。記憶装置110には、主記憶装置102と、補助記憶装置103とが備えられている。電源管理回路107には、設定レジスタ108と、制御回路109とが備えられている。

【0041】

CPU101の演算処理等に必要なデータは、レジスタ105、キャッシュメモリ104、記憶装置110、のいずれかに格納されている。n-wayセットアソシエイティブ方式のキャッシュメモリは、複数のセットを有し、各セットは、複数のラインを有する。

【0042】

ライトバック処理の際、キャッシュメモリ104のあるラインに格納されているデータは、直接記憶装置110に退避させても良いし、他のセット又は他のラインに退避させた後、記憶装置110に退避させても良い。

【0043】

CPU101は、キャッシュメモリ104、及びレジスタ105に格納されている命令(データ)を読み出し、該当する処理(演算処理等)を、演算回路106により実行する。

【0044】

演算回路106は、キャッシュメモリ104、レジスタ105及び設定レジスタ108へのデータの格納、又該データの読み出しを行う。更に、演算回路106は、キャッシュメモリ104へのアクセス頻度を監視し、監視結果に基づく設定値を、設定レジスタ108へと出力する。監視結果とは、例えばメモリへのアクセス頻度が均一であるか不均一であるか、キャッシュメモリの使用頻度の高低を含む履歴、等を指す。

【0045】

なお、演算回路106の構成は特に限定されない。演算回路106は、キャッシュメモリ104を常にモニタするモニタ回路を備えていても良い。

【0046】

なお、CPU101は、データがキャッシュメモリ104に存在しない場合には、主記憶装置102、補助記憶装置103、の順にアクセスし、該記憶装置に格納されているデータを取得することが可能である。

【0047】

電源管理回路107は、設定レジスタ108に書き込まれた設定値に基づいて、CPU101への電源電圧111の供給、又は供給の遮断を行う。また、キャッシュメモリ104内のメモリへの電源電圧111の供給、又は供給の遮断を行うこともできる。なお、キャッシュメモリ内のメモリへの電源電圧の供給の遮断は、使用頻度、アクセス頻度の低いメモリ、電源電圧が供給される必要のないメモリに対して行うことが可能である。詳細については後述する。

【0048】

設定レジスタ108は、電源管理回路107の動作を制御する。動作を制御するための設定値は、演算回路106及び制御回路109によって設定され、設定レジスタ108に書き込まれている。設定値は、キャッシュメモリへのアクセス頻度に応じて設定されている。なお、電源管理回路の動作は、設定値により様々なパターンで制御可能である。本実施の形態では、電源管理回路の動作として具体例として3つのパターンに分けて説明する。1つ目のパターンとして、キャッシュメモリへのアクセスが無い、又はキャッシュメモリ内の各セット又は各ラインへのアクセス頻度に差が無い場合、電源管理回路は、即座にCPUへの電源電圧の供給の遮断を行う。2つ目のパターンとして、アクセス頻度に差がある場合、電源管理回路は、キャッシュメモリ内のセットの中で、最もアクセス頻度の高い

10

20

30

40

50

セットを除いたセットに対して、同時に電源電圧の供給の遮断を行い、最終的に、CPUへの電源電圧の供給の遮断を行う。3つ目のパターンとして、アクセス頻度に差が有る場合、電源管理回路は、アクセス頻度の低いキャッシュメモリ内のセットから、順番に電源電圧の供給の遮断を行い、最終的に、CPUへの電源電圧の供給の遮断を行う。詳細については後述する。

【0049】

なお、設定レジスタに書き込まれた設定値はこれらに限定されず、CPUの状態、キャッシュメモリの使用頻度及びアクセス頻度、キャッシュメモリのサイズ、アプリケーションの有無等により、自由に設定変更可能である。

【0050】

制御回路109は、CPU101及びキャッシュメモリ104内のメモリへの電源電圧111の供給、及び供給の遮断を行うタイミング、キャッシュメモリ104内のどのメモリから電源電圧111の供給を遮断するか、遮断する期間の長さ、等を決定し、設定値を設定レジスタ108へと出力する。

【0051】

なお、電源管理回路107に電源電圧111を供給する手段は特に限定されない。公知のACアダプタや、バッテリー等を用いても良い。

【0052】

なお、CPU101及びキャッシュメモリ104内のメモリへの電源電圧の供給、及び供給の遮断を行うタイミング特に限定されない。

【0053】

なお、遮断する期間の長さは、特に限定されない。基本プログラムに含まれるタスクのスケジューリング機能により算出されても良い。CPUの演算処理性能に影響がないように算出されることが好ましい。遮断する期間の長さが長い程、半導体装置の省電力化が図れる。

【0054】

なお、制御回路109は、遮断期間を計測する機能を有している。計測機能は特に限定されない。計測機能は、タイマ回路であっても良い。

【0055】

また、制御回路109は、新たなタスクの存在を判定する機能を有する回路等により制御されても良い。例えば、該回路により新たなタスクの存在が確認されなかった場合、電源電圧の供給を遮断し、該回路により新たなタスクの存在が確認された場合、電源電圧を再供給する、等の制御を行っても良い。

【0056】

なお、新たなタスクの存在を判定する機能を有する回路の一例として、周辺機器からの割り込み信号を検出する回路が挙げられる。該回路は、キーボード、ポインティングデバイス、タッチパネルなどの入力装置が操作された場合に、入力装置が生成する割り込み信号を検出する。

【0057】

記憶装置110は、主記憶装置102、補助記憶装置103が階層的に配置されている。キャッシュメモリ104と記憶装置110の間ではデータのコヒーレンシ維持のために、定期的に相互アクセスが行われている。なお、本発明の一態様においてCPUへの電源電圧の供給遮断直前にキャッシュメモリ104に格納されていたデータは、CPUへの電源電圧の供給遮断直後には記憶装置110に格納されている。

【0058】

レジスタ105は、即時利用される演算結果を、一時的に記憶する。また、演算処理に必要なデータのアドレスや、周辺機器の動作状態等を記憶する。レジスタ105には、CPUへのアクセス速度が高速な半導体メモリを用いる事が好ましい。更に、レジスタ105には、CPUへの電源電圧の供給を遮断してもデータが保持される不揮発性メモリを用いる事が好ましい。CPUへの電源電圧の供給遮断直前に保持されたデータを用いて、再供

10

20

30

40

50

給後も演算処理の続きを再開できるためである。

【0059】

具体的には、不揮発性のラッチ、不揮発性のレジスタ等が挙げられる。不揮発性のラッチ、及び、不揮発性のレジスタの構成としては、公知の構成が適用できる（実施の形態5を参酌）。一例として、不揮発性のラッチ、及び、不揮発性のレジスタにおけるトランジスタに酸化物半導体を用いることができる。

【0060】

キャッシュメモリ104は、CPU101が実行するプログラム、演算処理に必要なデータ等の一部を一時的に記憶する。キャッシュメモリ104は、CPU101から高速にアクセスできるように配置されることが好ましい。また、CPUへのアクセス速度が高速な半導体メモリを用いる事が好ましい。具体的には、フリップフロップ回路によって構成されるSRAM(Static Random Access Memory)等が挙げられる（実施の形態3を参酌）。

10

【0061】

主記憶装置102は、演算回路106等で使用するプログラムやデータ等の一部を一時的に格納する。主記憶装置102は、キャッシュメモリ104に比べて容量が大きく、揮発性メモリを用いる事が好ましい。具体的には、DRAM(Dynamic Random Access Memory)、MRAM(Magnetoresistive Random Access Memory)等が挙げられる（実施の形態3を参酌）。

20

【0062】

補助記憶装置103は、主記憶装置102に比べて容量が大きく、長期間データを保存することが可能な不揮発性のメモリを用いることが好ましい。具体的には、HDD(Hard Disk Drive)、フレキシブルディスクドライブ、光ディスクドライブ等が挙げられる。なお、補助記憶装置103から主記憶装置102へのプログラムやデータ等の格納は、CPU101が実行する基本プログラム(OS:Operating System)によって管理されている。

【0063】

次に、図14の模式図を用いて、電源管理回路の動作について説明する。電源管理回路の動作の具体例を3つのパターンに分けて説明する。上述のように、本発明の一態様に係る半導体装置は、キャッシュメモリへのアクセス頻度を監視し、監視結果に基づいてキャッシュメモリの状態を考慮しながら、電源管理回路によってCPUへの電源電圧の供給を遮断することが可能である。また、電源管理回路によってキャッシュメモリ内のメモリへの電源電圧の供給を遮断することが可能である。

30

【0064】

図14において、キャッシュメモリは、4-wayセットアソシエティブ方式であり、4個のセット(セット(1)~セット(4))を有する。各セットは、4個のライン(line(1)~line(4))を含む。

【0065】

CPU内の演算回路は、キャッシュメモリへのアクセス頻度を監視することができる。具体的には、図14に示す4-wayセットアソシエティブ方式の場合、4個のセットにおけるアクセス頻度、4個のラインにおけるアクセス頻度を監視することができる。

40

【0066】

図14(A)は、4個のセット(セット(1)~セット(4))に対して同時に、電源電圧の供給の遮断を行った場合を示している。この場合、電源管理回路は、CPUとキャッシュメモリへの電源電圧の供給の遮断を同時に行っている。

【0067】

CPUにとって実行すべきタスクが無い、またCPUがアイドル状態に移行する、等のようにキャッシュメモリへのアクセスが無い場合は、4個のセットに対して同時に、電源電圧の供給の遮断を行うことが好ましい。

【0068】

50

更に、4個のセットに対してアクセス頻度が均一である場合等も、4個のセットに対して同時に、電源電圧の供給の遮断を行うことが好ましい。

【0069】

図14(B)は、セット(1)、セット(3)、セット(4)に対して同時に、電源電圧の供給の遮断を行った場合を示している。4個のセットそれぞれに対して、アクセス頻度が不均一である場合であり、且つアクセス頻度が最も高いセットを特定できる場合は、このように、アクセス頻度が最も高いセット(2)を除いたセット(1)、セット(3)、セット(4)に対して、同時に電源電圧の供給の遮断を行い、最終的に、CPUへの電源電圧の供給の遮断を行うことが好ましい。なお、CPUからのセット(2)に対するアクセス頻度が、セット(1)、セット(3)、セット(4)に対するアクセス頻度よりも際

10

【0070】

図14(B)のように、CPUからのアクセス頻度が最も高いセット(2)を抽出し、セット(2)を稼働させることで、キャッシュメモリの性能低下を低減できる。なお、セット(2)の駆動時間は、キャッシュメモリの性能が維持できる程度であることが好ましい。

【0071】

この場合、CPUへの電源電圧の供給を遮断するまでの間、少なくとも4個のセット全てを稼働させるよりは、CPUの消費電力を低減させた状態で、演算処理を行う事ができる。また、CPUからのアクセス頻度が最も高いセット(2)を稼働させることで、キャッシュメモリの性能低下を軽減しつつ電力消費を抑制することができる。

20

【0072】

また、データ退避については、セット(1)、セット(3)、セット(4)に対して行われる電源電圧の供給の遮断直前に、これらのセットのデータを、記憶装置に退避させる。その後、セット(2)を暫く稼働させた後、セット(2)に対して行われる電源電圧の供給の遮断直前に、セット(2)のデータを、記憶装置に退避させる。

【0073】

図14(C)は、CPUからのアクセス頻度が低いセット、又電源電圧が供給される必要の無いセットから順番に、電源電圧の供給の遮断を行った場合を示している。勿論この場合も、4個のセットそれぞれに対して、アクセス頻度が不均一である。

30

【0074】

まず、キャッシュメモリ内でCPUからのアクセス頻度が最も低いセット(2)の中の、アクセス頻度が最も高いline(4)に格納されているデータを、同じキャッシュメモリ内のセット(1)のline(4)に、一旦退避させる。この場合、セット(1)のline(4)に格納されているデータよりも、セット(2)のline(4)に格納されているデータの方が、CPUからのアクセス頻度が高いことが好ましい。

【0075】

その後、セット(2)に対して電源電圧の供給の遮断を行う。

【0076】

次いで、アクセス頻度がセット(2)よりも高いセット(4)の中の、アクセス頻度が最も高いline(2)に格納されているデータを、同じキャッシュメモリ内のセット(1)のline(2)に、一旦退避させる。この場合、セット(1)のline(2)に格納されているデータよりも、セット(4)のline(2)に格納されているデータの方が、CPUからのアクセス頻度が高いことが好ましい。

40

【0077】

その後、セット(4)に対して電源電圧の供給の遮断を行う。

【0078】

次いで、アクセス頻度がセット(4)よりも高いセット(3)の中の、アクセス頻度が最も高いline(3)に格納されているデータを、同じキャッシュメモリ内のセット(1)のline(3)に、一旦退避させる。この場合、セット(1)のline(3)に格

50

納されているデータよりも、セット(3)のline(3)に格納されているデータの方が、CPUからのアクセス頻度が高いことが好ましい。

【0079】

その後、セット(3)に対して電源電圧の供給の遮断を行う。

【0080】

図14(C)のように、CPUからのアクセス頻度が最も高いセット(1)を抽出し、更に、セット(1)のラインよりもアクセス頻度の高いラインを、セット(2)、セット(3)、セット(4)のラインから探し出し、該ラインに格納されているデータを一旦、セット(1)に退避させることで、セット(1)のアクセス頻度を高めることができる。

【0081】

更に、セット(1)を除いたセット(2)、セット(3)、セット(4)に対して電源電圧の供給の遮断を行って休止させ、セット(1)を暫く稼働させることで、キャッシュメモリの性能を最大限に引き出しながら、半導体装置の消費電力を低減することができる。

【0082】

その後、セット(1)を暫く稼働させた後、セット(1)に対して行われる電源電圧の供給の遮断直前に、セット(1)のデータを、記憶装置に退避させる。なお、該セット(1)の駆動時間は、キャッシュメモリの性能が維持できる程度であることが好ましい。

【0083】

このように、キャッシュメモリ104のあるセットのあるラインに格納されているデータを、他のセットの対応するラインに一旦退避させた後、最終的に記憶装置に退避させても良い。

【0084】

図14(C)では、CPUへの電源電圧の供給の遮断を行うまで、最も使用頻度の高いセットに対して電源電圧の供給の遮断を行わないため、キャッシュメモリへのアクセス効率を高めながら、電力消費を抑制できる。

【0085】

図2に、本発明の一態様に係るキャッシュメモリ104の構成の一例を示す。

【0086】

また、本実施の形態では一例として、キャッシュメモリ104は、n-wayセットアソシエティブ方式を用いているが、ダイレクトマップ方式、フルアソシエティブ方式等を用いても良い。n-wayセットアソシエティブ方式は、あるアドレスのデータを格納するセットとしてn(nは2以上の自然数)個のセット、ラインとしてs(sは2以上の自然数)個のラインを候補とする方式である。

【0087】

キャッシュメモリ104は、n個のセット204を有する。セット204は、s個のライン(line(1)~line(s))を含む。各ライン200は、バリッドビット201と、ダーティービット202と、を含むフラグ領域207と、データ領域203と、タグ領域205と、を有する。

【0088】

データ領域203は、プログラム及び演算処理等に必要なデータを記憶する領域である。例えば、主記憶装置(又は補助記憶装置)のあるアドレスに格納されているデータを該アドレスに対応するラインのデータ領域に格納する場合、該ラインのデータ領域に格納されているデータと、該アドレスに格納されているデータとが一致する。

【0089】

タグ領域205は、データ領域203に格納されたデータに対応するアドレスを記憶する。

【0090】

フラグ領域207は、少なくともバリッドビット201と、ダーティービット202とを含み、ライン200のデータ領域203に格納されたデータの属性を示す領域である。

【0091】

10

20

30

40

50

バリッドビット 201 は、ライン 200 のデータ領域 203 に格納されたデータが有効であるか、無効であることを示す。

【0092】

本明細書において、バリッドビット 201 のデータがデータ A（一例として、“0”）であるときは、ライン 200 のデータ領域 203 に格納されたデータが無効であることを意味する。例えば、CPU 101 外部の記憶装置のあるアドレスのデータを、対応するライン 200 のデータ領域 203 に格納する前の状態等を示す。バリッドビット 201 のデータがデータ A であるラインからデータを読み出すと、キャッシュミスになる。

【0093】

本明細書において、バリッドビット 201 のデータがデータ B（一例として、“1”）であるときは、ライン 200 のデータ領域 203 に格納されたデータが有効であることを意味する。即ちバリッドビット 201 のデータがデータ B であるラインのデータ領域 203 に格納されたデータと CPU 101 が要求したアドレスとが一致すると、キャッシュヒットになる。この場合、CPU 101 は該ラインのデータ領域 203 に格納されたデータを用いて演算処理を進めることができる。

【0094】

なお、本発明の一態様に係る半導体装置 100 において、CPU 101 への電源電圧の供給が再開した際に、全バリッドビットのデータをデータ A に設定する。（実施の形態 2 を参照。）一例として、バリッドビットをリセット付のラッチとし、CPU への電源電圧の供給が再開した際に、全バリッドビットをリセットする構成としてもよい。該構成とすることで、後述するように、CPU の演算処理の再開を高速に行い、CPU への電源電圧の供給を遮断する期間をより長期間とすることも可能である。

【0095】

また、バリッドビット 201 は、不揮発性記憶装置とすることが好ましい。

【0096】

ダーティービット 202 は、ライン 200 のデータ領域 203 に格納されたデータが変更されているか、変更されていないかを示す。すなわち、該ラインに格納されているデータと、主記憶装置の該ラインに対応するアドレスに格納されているデータとが異なるか、一致するかを示す。なお、本明細書においては、バリッドビットのデータがデータ B の時に限り、ダーティービット 202 の判定を可能とする。即ち、バリッドビットのデータがデータ B 且つダーティービットのデータがデータ C に設定されている場合、該ラインのデータは変更されている、バリッドビットのデータがデータ B 且つダーティービットのデータがデータ D に設定されている場合、該ラインのデータは変更されていない。

【0097】

本明細書において、ダーティービット 202 のデータがデータ C（一例として、“1”）に設定されているとは、ライン 200 のデータ領域 203 に、CPU 101 外部の記憶装置からデータを格納した後に、該データが変更されていることを示す。即ち、データ領域 203 に格納されたデータと、外部の記憶装置の対応するアドレスのデータとが一致しないことを示す。

【0098】

ダーティービット 202 のデータがデータ D（一例として、“0”）に設定されているとは、ライン 200 のデータ領域 203 に、CPU 101 外部の記憶装置からデータを格納した後に、該データが変更されていないことを示す。即ち、データ領域 203 に格納されたデータと、外部の記憶装置の対応するアドレスのデータとが一致することを示す。

【0099】

図 3 に、半導体装置 100 において、CPU 101 に供給する電源電圧の遮断を行う場合のフローチャートを示す。

【0100】

本発明の一態様においては、CPU 101 への電源電圧の供給を遮断する直前に効率の良いデータ退避を行い、電源再供給後のデータの自己復帰に要する処理時間を短縮すること

10

20

30

40

50

で、CPUへの電源電圧の供給を遮断する期間をより長期間とし、半導体装置100の消費電力を抑制することができる。

【0101】

CPU101への電源電圧の供給を遮断するタイミングは特に限定されないが、基本的には実行できるタスクが存在しないタイミングで行われる事が好ましい。

【0102】

ステップ31において、実行できるタスクが存在するか否かの判定が行われる。ステップ31は、CPU101が実行する基本プログラム(OS: Operating System)によって管理される構成が好ましい。より具体的には、実行できるタスクが存在するか否かは、基本プログラムに含まれるタスクのスケジューリング機能により管理する。なお、実行できるタスクが存在しないとは、一定期間、実行すべきタスクが存在しないことも含む。この判定において、実行できるタスクが存在する(Yes)と判定された場合は、ステップ32へと進みタスクが実行される。実行できるタスクが存在しない(No)と判定された場合は、ステップ33へと進む。

10

【0103】

ステップ32において、CPU101は、タスクを実行する。該タスクが終了した後は、ステップ31に戻る。

【0104】

ステップ33において、CPU101への電源電圧の供給を遮断する直前にキャッシュメモリ104のライトバック処理を行う。ステップ33は、CPU101がライトバック処理を行うための専用命令で実行する構成とすることが好ましい。

20

【0105】

CPU101への電源電圧の供給を遮断する際、CPU101内部のキャッシュメモリ104のデータと、外部の主記憶装置102又は補助記憶装置103のデータとのコヒーレンシ維持処理が必要である。ステップ33におけるライトバック処理によって、キャッシュメモリ104のデータと外部の主記憶装置102又は補助記憶装置103のデータとを一致させることができる。

【0106】

ステップ34において、ライトバック処理後にCPU101への電源電圧の供給を遮断する。なお、レジスタ105が不揮発性レジスタであれば、CPUへの電源電圧の供給を遮断しても、レジスタ105に格納されているデータは保存されたままである。

30

【0107】

ステップ34の処理は、電源管理回路107により実行される。具体的には、制御回路109及び演算回路106によって決められ、設定レジスタ108に書き込まれた設定値に従って、電源管理回路107の動作は制御され、電源管理回路107はステップ34の処理を行う。

【0108】

ステップ35において、CPU101への電源電圧の供給を再開する。ステップ35の処理もまた、ステップ34の処理と同様に、電源管理回路107により実行される。

【0109】

上記のように、実行できるタスクが存在しない期間にCPU101に供給される電源を遮断することによって、CPU101の演算性能を低下させることなく半導体装置100の消費電力を削減できる。

40

【0110】

ステップ35の後は、ステップ31に戻る。

【0111】

ステップ35においてCPUへの電源電圧の供給を再開した直後に、全バリッドビットのデータを一括してデータAに設定する(実施の形態2を参酌)。該設定により、CPUへの電源電圧の供給が再開し、CPUが演算処理を再開する時に、全バリッドビットのデータがデータAになる。CPU内部のレジスタ105(不揮発性レジスタ又はパイプライン

50

を構成するフリップフロップ等)には、CPUへの電源電圧の供給を遮断する直前におけるデータが格納されているため、続きの命令から実行する事が可能である。全バリッドビットのデータがデータAに設定されているため、CPUへの電源電圧の供給を再開した直後は、キャッシュミスを頻発することになる。しかし、電源電圧の供給再開直後に実行する演算処理に必要な命令及びデータを順にキャッシュメモリに格納しながら、演算処理を再開できる。従って、キャッシュメモリ全体のデータを全て復帰させてから演算処理を再開する場合と比べて、実効的な処理時間が短く且つ効率的である。

【0112】

なお、ステップ34からステップ35までの期間、即ちCPU101への電源電圧の供給を遮断する期間の長さは、半導体装置100に搭載される、タイマ回路により設定されても良い。ステップ34の実行と同時に、タイマ回路により、一定期間を計測した後、ステップ35へと進むこともできる。

10

【0113】

ステップ35は、ステップ34の後に新たなタスクが発生した場合であっても実行することができる。なお、制御回路109により、ステップ34の後に発生した新たなタスクの存在を確認することができる。

【0114】

上述したフローチャートによれば、CPUへの電源電圧の供給を遮断する期間をより長期間とする事ができる。従って、半導体装置の電力消費を抑制できる。また、CPUが実行するタスクが存在しない期間に、電源電圧を遮断することによって、CPUが実行する演算処理の正味の演算速度を低下させることなく半導体装置の消費電力を削減できる。

20

【0115】

図4に、CPU101への電源電圧の供給を遮断する直前のライトバック判定処理のフローチャートを示す。効率の良いデータ退避を行うことで、半導体装置の消費電力を削減することができる。

【0116】

ステップ40において、ライトバック判定処理を開始する。

【0117】

ステップ41において、まず、最初の1ライン分のダーティービット及びバリッドビットの読み出しを行う。バリッドビットのデータがデータBの場合(データ領域に格納されたデータが有効である場合)、ステップ42へと進む。バリッドビットのデータがデータBであるラインに対してのみ、ダーティービットのデータがデータCであるかデータDであるかの判定が行われる。バリッドビットのデータがデータAの場合、バリッドビットのデータがデータAであるラインに格納されているデータは、無効であるため、ステップ42に進まずに、次のラインの判定、即ち再びステップ41へと進む。ステップ41は、CPU101の専用命令で実行する構成とすることが好ましい。

30

【0118】

ステップ42において、ダーティービットの論理状態(例えば、“1”を示していればデータC、“0”を示していればデータD等)からダーティービットのデータがデータCであるかデータDであるかの判定を行う。

40

【0119】

上記ステップ42の判別において、ダーティービットがデータCであると判断された場合には、該ラインのデータ領域に格納されたデータが変更されていることを意味する。従って、ステップ43において、該ラインのデータ領域に格納されたデータを、CPU外部の記憶装置(例えば主記憶装置102又は補助記憶装置103等)の対応するアドレスに格納する。すなわち、該ラインのライトバック処理を行う。ステップ42は、CPU101の専用命令で実行する構成とすることが好ましい。

【0120】

なお、バリッドビットを不揮発性メモリとし、各ラインのバリッドビットのデータをデータAに設定することが好ましい。バリッドビットのデータをデータAに設定する事で、上

50

述したように、CPUへの電源電圧の供給を再開した際、CPUの演算処理の再開の高速化が図れる。なお、パリティビットのデータをデータAに設定する処理は、ステップ41の後、ステップ42の後、ステップ43の後など、適宜実行することができる。

【0121】

上記ステップ42の判定において、ダーティービットがデータDであると判断された場合には、該ラインのデータ領域に格納されたデータが変更されていないことを意味する。従って、ステップ44の判定へと進む。

【0122】

ステップ44において、全てのラインについてライトバック判定処理が完了したか否かの判定を行う。

10

【0123】

上記ステップ44の判定において、ライトバック判定処理が完了していないラインがある(No)と判断された場合には、上記ステップ41の判定に戻る。

【0124】

また、上記ステップ44の判定において、全てのラインについてライトバック判定処理が完了した(Yes)と判断された場合には、ステップ45へと進む。即ち、全ラインのライトバック判定処理が終了する。

【0125】

ステップ45において、全てのラインについてライトバック判定処理が完了した後、CPUへの電源電圧の供給を遮断する。

20

【0126】

即ち、ダーティービットのデータがデータCであるラインのデータ領域に格納されていたデータのみライトバック処理を行うため、全てのラインのデータ領域に格納されていたデータのライトバック処理を行う場合と比べて効率的である。CPUへの電源電圧の供給を遮断する直前のデータ退避に要する処理時間を短縮することにより、遮断期間をより長期間とすることができる。従って半導体装置の消費電力を低減できる。

【0127】

また、ダーティービットのデータがデータDであるラインのデータ領域に格納されていたデータについては、CPU外部の記憶装置の対応するアドレスに同じデータが残っていることを意味する。従って、CPUへの電源電圧の供給を遮断する直前に、キャッシュメモリに格納されたデータと、CPU外部の記憶装置に格納されたデータとの間のコヒーレンスを維持できている。即ち、CPUへの電源電圧の供給を再開した後も演算処理の連続性を保つ事が可能である。

30

【0128】

図5に、半導体装置100においてタスクが実行されている場合の、フローチャートを示す。

【0129】

ステップ501において、CPUから、あるアドレスに対する読み出し、又は書き込みが要求される。

【0130】

ステップ502の判定において、該アドレスのデータがキャッシュメモリ104上にあるか否かの判定を行う。具体的には、該アドレスに対応するラインのタグ領域に格納されたタグデータが読み出され、該アドレスのデータと該タグデータとの比較を行う。

40

【0131】

ステップ502の判別において、該アドレスのデータがキャッシュメモリ104上にある(Yes)と判断された場合には、ステップ503の判別へと進む。具体的には、該アドレスのデータと該タグデータとが一致する場合である。

【0132】

ステップ503の判定において、読み出しが書き込みかの判定を行う。

【0133】

50

ステップ 5 0 3 の判別において、読み出しであると判断された場合には、ステップ 5 0 4 へと進み、ステップ 5 0 4 において、キャッシュメモリ 1 0 4 上のデータが CPU に渡される。具体的には、該ラインのデータ領域に格納されたデータが読み出され、CPU が該データを取得する。その後、ステップ 5 0 7 へと進む。ステップ 5 0 7 において CPU からの要求待ち状態になる。

【 0 1 3 4 】

また、ステップ 5 0 3 の判別において、書き込みであると判断された場合には、ステップ 5 0 5 へと進み、ステップ 5 0 5 において、キャッシュメモリ 1 0 4 上のデータを CPU から受け取ったデータに変更する。具体的には、CPU から取得したデータを該ラインのデータ領域に格納する。

10

【 0 1 3 5 】

ステップ 5 0 6 において、該ラインに対してダーティービットをセットする。

【 0 1 3 6 】

その後、ステップ 5 0 7 へと進み、ステップ 5 0 7 において CPU からの要求待ち状態になる。

【 0 1 3 7 】

また、上記ステップ 5 0 2 の判定において、該アドレスのデータがキャッシュメモリ 1 0 4 上に無い (N o) と判断された場合には、ステップ 5 0 8 の判定へと進む。

【 0 1 3 8 】

ステップ 5 0 8 において、CPU 外部の記憶装置の対応するアドレスに格納されているデータと入れ替えを行うキャッシュメモリ 1 0 4 のラインの選択が行われる。そして、該ラインはダーティか否かの判定を行う。具体的には、ダーティービットにより判定を行う。

20

【 0 1 3 9 】

ステップ 5 0 9 の判定において、該ラインはダーティである (Y e s) と判断された場合には、ステップ 5 1 0 へと進む。

【 0 1 4 0 】

ステップ 5 1 0 において、該ラインのデータを CPU 外部の記憶装置の対応するアドレスに書き戻す。該ラインのデータが、該記憶装置に書き戻される。

【 0 1 4 1 】

ステップ 5 0 9 の判定において、該ラインはダーティではない (N o) と判断された場合には、ステップ 5 1 1 へと進む。

30

【 0 1 4 2 】

ステップ 5 1 1 において、CPU 外部の記憶装置の対応するアドレスにおけるデータがキャッシュメモリ 1 0 4 の該ラインに格納する分だけ読み出され、該ラインに書き込まれる。

【 0 1 4 3 】

その後、上記ステップ 5 0 3 の判定へと進む。

【 0 1 4 4 】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

40

【 0 1 4 5 】

(実施の形態 2)

実施の形態 1 で示したように、本発明の一態様における半導体装置においては、CPU への電源電圧の供給が再開した際に、全バリッドビットのデータをデータ A に設定する。このようなバリッドビットの処理によって、CPU への電源電圧の供給を再開した直後は、キャッシュミスが頻発することになる。しかし、CPU への電源電圧の供給再開直後に実行する演算処理に必要な命令及びデータを順にキャッシュメモリに格納しながら、演算処理を再開できる。そのため、キャッシュメモリ全体のデータを全て復帰させてから演算処理を再開する場合と比べて、CPU の演算処理の再開を高速に行うことができる。CPU が演算処理を再開するために要する処理時間を短縮することで、電源電圧の供給を遮断す

50

る期間をより長くし、半導体装置の消費電力を低減できる。

【0146】

本実施の形態では、全バリッドビットのデータをデータAに設定することが可能であり、且つその処理を高速に行うことが可能なバリッドビットの構成の一例について図6を用いて説明する。

【0147】

図6(A)は、本実施の形態におけるキャッシュメモリのバリッドビットのメモリセルの構成を示す回路図である。図6(A)において、メモリセルは、電源線305、グランド線306、書き込み時のワード線304、読み出し時のワード線307、書き込み時のデータ線301、書き込み時のデータ線302、読み出し時のデータ線303と、Nチャネル型トランジスタ308、Nチャネル型トランジスタ309、Nチャネル型トランジスタ310、Nチャネル型トランジスタ312、Nチャネル型トランジスタ314A、インバータ回路313を有する。

10

【0148】

図6(A)では、Nチャネル型トランジスタ312のゲート電極が形成するノードをノード311Aと記す。

【0149】

Nチャネル型トランジスタ314Aのゲート電極は、配線315Aと電氣的に接続され、一方の電極はグランド線306と電氣的に接続され、他方の電極はノード311Bと電氣的に接続されている。配線315Aは、バリッドビットのメモリセルを制御することができる。なお、各ラインは1ビットのバリッドビットを有し、該ラインのデータがデータB(ここでは"1")であれば、データ領域に格納されたデータが有効であり、データA(ここでは"0")であればデータ領域に格納されたデータが無効であるとする。バリッドビットのデータをデータAに設定する処理を行っている間、Nチャネル型トランジスタ314Aはオン状態となり、メモリセルのデータは"0"となる。

20

【0150】

図6(A)に示すように、キャッシュメモリにおける全てのバリッドビットのメモリセルに、Nチャネル型トランジスタ314Aを設ける事で、全てのバリッドビットのデータを同時にデータAに設定することが可能となる。具体的には、Nチャネル型トランジスタ314Aのゲート電極と電氣的に接続されている配線315Aによってメモリセルのデータを制御する事で、全てのバリッドビットのメモリセルのデータを同時に"0"とすることができる。従って、バリッドビットのデータをデータAに設定する処理を同時に、且つ高速に行うことで、電源再供給後のデータの自己復帰に要する処理時間を短縮することができる。

30

【0151】

図6(A)ではNチャネル型トランジスタ314Aを用いたが、図6(B)に示すようにPチャネル型トランジスタ314Bを、各メモリセルに付加する構成を用いても良い。

【0152】

なお、図6(A)及び図6(B)に示すメモリセルに用いられるトランジスタに、酸化物半導体を用いても良い。

40

【0153】

また、バリッドビットを不揮発性記憶装置としても良い。

【0154】

なお、図7(A)に示すように、Nチャネル型トランジスタ314AをSRAMのメモリセルに設けて、全バリッドビットのデータをデータAに設定する処理を行うことも可能である。又、図7(B)に示すように、Pチャネル型トランジスタ314BをSRAMのメモリセルに設けて、全バリッドビットのデータをデータAに設定する処理を行うことも可能である。

【0155】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる

50

。

【 0 1 5 6 】

(実施の形態 3)

本実施の形態では、実施の形態 1 で示したキャッシュメモリの構成の一例について図 1 2 (A) を用いて説明する。具体的には、フリップフロップ回路を記憶部に用いた S R A M で、キャッシュメモリを構成した一例について説明する。また、実施の形態 1 で示した C P U 外部の記憶装置 (例えば主記憶装置等) の構成の一例について図 1 2 (B) を用いて説明する。具体的には、D R A M で、C P U 外部の記憶装置を構成した一例について説明する。

【 0 1 5 7 】

なお、携帯電話、スマートフォン、電子書籍などの携帯情報端末機器において、画像データ等の一時記憶には、S R A M または D R A M が使用されることが多い。本発明の一態様における半導体装置において、キャッシュメモリには、よりアクセス速度が高速な S R A M を用いることが好ましい。また、主記憶装置には、より大容量な D R A M を用いることが好ましい。

【 0 1 5 8 】

図 1 2 (A) は、実施の形態 1 におけるキャッシュメモリが備えるメモリセル 8 0 0 を示している。メモリセル 8 0 0 は、N チャネル型トランジスタ 8 0 1、N チャネル型トランジスタ 8 0 2、P チャネル型トランジスタ 8 0 3、P チャネル型トランジスタ 8 0 4、N チャネル型トランジスタ 8 0 5、N チャネル型トランジスタ 8 0 6、の 6 個のトランジスタを有する。また、電源線 8 0 7、グランド線 8 0 8、ワード線 8 0 9、データ線 8 1 0、データ線 8 1 1、ノード 8 1 2、ノード 8 1 3 を有する。

【 0 1 5 9 】

P チャネル型トランジスタ 8 0 3 と N チャネル型トランジスタ 8 0 5 は、インバータ回路 8 1 4 を構成している。また、P チャネル型トランジスタ 8 0 4 と N チャネル型トランジスタ 8 0 6 は、インバータ回路 8 1 5 を構成している。メモリセル 8 0 0 は、2 個の対になるこれらのインバータ回路によってフリップフロップ回路 8 1 6 を構成している。フリップフロップ回路 8 1 6 は、' H ' (h i g h) と、' L ' (l o w) の 2 状態を対応させて安定状態を保ち 1 ビットの情報 (データ等の記憶内容) を、一時的に記憶することができる。

【 0 1 6 0 】

P チャネル型トランジスタ 8 0 3 のソース端子又はドレイン端子の一方の端子は、電源線 8 0 7 と電氣的に接続されている。P チャネル型トランジスタ 8 0 4 のソース端子又はドレイン端子の一方の端子は、電源線 8 0 7 と電氣的に接続されている。N チャネル型トランジスタ 8 0 5 のソース端子又はドレイン端子の一方の端子は、グランド線 8 0 8 と電氣的に接続されている。N チャネル型トランジスタ 8 0 6 のソース端子又はドレイン端子の一方の端子は、グランド線 8 0 8 と電氣的に接続されている。N チャネル型トランジスタ 8 0 1 のゲート端子は、ワード線 8 0 9 と電氣的に接続され、ソース端子又はドレイン端子の一方の端子はデータ線 8 1 0 と電氣的に接続されている。N チャネル型トランジスタ 8 0 2 のゲート端子は、ワード線 8 0 9 と電氣的に接続され、ソース端子又はドレイン端子の一方の端子はデータ線 8 1 1 と電氣的に接続されている。

【 0 1 6 1 】

N チャネル型トランジスタ 8 0 1 のソース端子又はドレイン端子の他方の端子、P チャネル型トランジスタ 8 0 3 のソース端子又はドレイン端子の他方の端子、N チャネル型トランジスタ 8 0 5 のソース端子又はドレイン端子の他方の端子、P チャネル型トランジスタ 8 0 4 のゲート端子、N チャネル型トランジスタ 8 0 6 のゲート端子は、電氣的に接続されノード 8 1 2 を形成している。

【 0 1 6 2 】

N チャネル型トランジスタ 8 0 2 のソース端子又はドレイン端子の他方の端子、P チャネル型トランジスタ 8 0 4 のソース端子又はドレイン端子の他方の端子、N チャネル型トラ

10

20

30

40

50

ンジスタ 806 のソース端子又はドレイン端子の他方の端子、Pチャネル型トランジスタ 803 のゲート端子、Nチャネル型トランジスタ 805 のゲート端子は、電氣的に接続されノード 813 を形成している。

【0163】

本明細書におけるキャッシュメモリでは、CPUへの電源電圧さえ供給し続ければ、メモリセル 800 は、データを保持することができる。また、一部のメモリセル 800 への電源電圧さえ供給し続ければ、一部のメモリセル 800 は、データを保持することができる。また、CPUへの電源電圧が遮断されるとキャッシュメモリ内のメモリセル 800 は、データを消失する。

【0164】

なお、該メモリセルの構成は実施の形態 1 及び実施の形態 2 で示したバリッドビットの記憶部として、用いられてもよい。

【0165】

また、該メモリセルの構成は実施の形態 1 で示したダーティービットの記憶部として、用いられてもよい。

【0166】

本発明の一態様によれば、CPUへの電源電圧が再供給された直後に、キャッシュメモリ内の全バリッドビットのデータをデータ A に設定する。電源電圧の遮断と同時に、遮断直前のキャッシュメモリ内のデータは消失するが、該設定後は、レジスタや、外部の記憶装置に格納されているデータを用いながら、キャッシュメモリ内の上記メモリセル 800 に再び演算処理に必要なデータを格納することができる。該設定を行わない場合、電源電圧が再供給された直後において、上記メモリセル 800 に格納されているデータは、特定できない。従って、該設定を行う場合に比べて、データ復帰が非効率になる。キャッシュメモリ内の全バリッドビットに対して、一括且つ高速で該設定を行う構成については実施の形態 2 を参酌することができる。

【0167】

メモリセル 800 における書き込みの動作について説明する。ワード線 809 を 'H' にすることにより、Nチャネル型トランジスタ 801 (選択トランジスタ)、Nチャネル型トランジスタ 802 (選択トランジスタ) がオン状態になり導通する。データ線 810 を 'H'、データ線 811 を 'L' にすることにより、Pチャネル型トランジスタ 803 及び Nチャネル型トランジスタ 805 は、Nチャネル型トランジスタ 802 を介して、データ線 811 に引かれ、Pチャネル型トランジスタ 803 はオン、Nチャネル型トランジスタ 805 はオフになる。また、Pチャネル型トランジスタ 804 及び Nチャネル型トランジスタ 806 は、Nチャネル型トランジスタ 801 を介して、データ線 810 に引かれ、Pチャネル型トランジスタ 804 はオフ、Nチャネル型トランジスタ 806 はオンになる。ノード 812 には、"1" が書き込まれ、ノード 813 には、"0" が書き込まれる。このようにして、メモリセル 800 にデータが書き込まれる。

【0168】

メモリセル 800 における記憶保持の原理について説明する。ワード線 809 を 'L' にすることにより、Nチャネル型トランジスタ 801 (選択トランジスタ)、Nチャネル型トランジスタ 802 (選択トランジスタ) はオフ状態になり導通しない。従って、CPUへの電源電圧が供給され続けている間は、ノード 812 の "1"、ノード 813 の "0" は、そのまま固定されて保持される。即ち、キャッシュメモリ内の全メモリセル 800 には、"1" の情報、又は "0" の情報が記憶されることになる。

【0169】

メモリセル 800 における読み出しの動作について説明する。ワード線 809 を 'H' にすることにより、Nチャネル型トランジスタ 801 (選択トランジスタ)、Nチャネル型トランジスタ 802 (選択トランジスタ) がオン状態になり導通する。データ線 810、データ線 811 は、'H' あるいは 'L' を検出して、記憶内容 (データ) を記録する。データ線 810 は、ノード 812 に対応した電位を読み出し、データ線 811 は、ノード

10

20

30

40

50

８１３に対応した電位を読み出す。読み出しの際の検出増幅は、センスアンプ等の増幅回路で行うことができる。

【０１７０】

図１２（Ｂ）は、実施の形態１における主記憶装置が備えるメモリセル９００を示している。メモリセル９００は、Ｎチャネル型トランジスタ９０１、コンデンサ９０２、を有する。１個のメモリセル９００は、１個のトランジスタと１個のコンデンサを有する。また、グラウンド線９０３、ワード線９０４、データ線９０５を有する。

【０１７１】

Ｎチャネル型トランジスタ９０１のゲート端子は、ワード線９０４と電氣的に接続されている。Ｎチャネル型トランジスタ９０１のソース端子又はドレイン端子の一方の端子は、データ線９０５と電氣的に接続されている。Ｎチャネル型トランジスタ９０１のソース端子又はドレイン端子の他方の端子は、コンデンサ９０２の一方の端子と電氣的に接続されている。コンデンサ９０２の他方の端子は、グラウンド線９０３と電氣的に接続されている。

10

【０１７２】

メモリセル９００における書き込みの動作について説明する。メモリセル９００に、"１"を書き込むには、ワード線９０４の電位を'Ｈ'にすることにより、Ｎチャネル型トランジスタ９０１のゲートの電位を'Ｈ'にする。更に、データ線９０５の電位を'Ｈ'にすることにより、Ｎチャネル型トランジスタ９０１がオン状態になり導通する。Ｎチャネル型トランジスタ９０１を介して、コンデンサ９０２は充電される。コンデンサ９０２には、"１"の情報が蓄えられるため、メモリセル９００に"１"が書き込まれる。

20

【０１７３】

一方、メモリセル９００に、"０"を書き込むには"１"の情報を取り除けばよい。従って、ワード線９０４の電位を'Ｈ'にし、データ線９０５の電位を'Ｌ'にすることにより、Ｎチャネル型トランジスタ９０１をオフ状態にする。この時、Ｎチャネル型トランジスタ９０１は導通しない。Ｎチャネル型トランジスタ９０１を介してコンデンサ９０２は放電される。コンデンサ９０２には、"０"の情報が蓄えられるため、メモリセル９００に"０"が書き込まれる。なお、メモリセル９００に、すでに"０"が書き込まれていれば変化は起こらない。このように、ワード線９０４の電位と、データ線９０５の電位を'Ｈ'と'Ｌ'と交互に切り替えることで、主記憶装置が備える全メモリセル９００に"１"、"０"の情報を書き込むことができる。

30

【０１７４】

メモリセル９００における記憶保持の原理について説明する。メモリセル９００が、"１"、"０"の情報を保持しておくためには、ワード線９０４の電位を'Ｌ'に保つことにより、Ｎチャネル型トランジスタ９０１をオフ状態にしておけば良い。この時、コンデンサ９０２は、データ線９０５と分離されているため、充電も放電も起こらない。従って、全メモリセル９００には、"１"の情報、又は"０"の情報が記憶されることになる。

【０１７５】

メモリセル８００における読み出しの動作について説明する。メモリセル８００が、書き込まれた情報を読み出すためには、ワード線９０４の電位を'Ｈ'にし、コンデンサ９０２から、データ線９０５に電荷が流れ出すかどうかを検出すればよい。この際の検出増幅は、センスアンプ等の増幅回路で行うことができる。

40

【０１７６】

例えば、メモリセル８００に"１"が記憶されていた場合、Ｎチャネル型トランジスタ９０１を介して、コンデンサ９０２からデータ線９０５に放電電流が流れ込むため、データ線９０５の電位が瞬間的に上昇する。従って、メモリセル８００に"１"が記憶されていたと判断することができる。

【０１７７】

一方、メモリセル８００に"０"が記憶されていた場合、Ｎチャネル型トランジスタ９０１を介して、コンデンサ９０２からデータ線９０５に電荷が流れ込むことはないため、デ

50

ータ線 905 の電位に上昇は検出されず、メモリセル 800 に "0" が記憶されていたと判断することができる。このように、ワード線 904 の電位と、データ線 905 の電位を 'H' と 'L' と交互に切り替えることで、主記憶装置が備える全メモリセル 900 における "1"、"0" の全ての情報を読み出すことができる。なお、読み出しの際に、コンデンサ 902 が放電してしまうため、記憶していたデータが破壊されてしまう。従って、D R A M を主記憶装置に用いた場合、再書き込みという操作が必要になる。

【0178】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0179】

(実施の形態 4)

本明細書に開示する半導体装置は、C P U を搭載する様々な電子機器に適用することができる。C P U への電源電圧の供給を遮断する事で、電力消耗を抑制し、電子機器の消費電力を低減させることができる。電子機器としては、可搬型のテレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、遊技機(パチンコ機、スロットマシン等)、ゲーム筐体等、が挙げられる。

【0180】

図 13 に電子機器の具体例を示す。図 13 (A) 及び図 13 (B) は、2 つ折り可能なタブレット型端末である。該タブレット型端末には、バッテリーによって電源電圧が供給される C P U 等が内蔵されている。図 13 (A) は、開いた状態であり、タブレット型端末は、筐体 9630、表示部 9631a、表示部 9631b、表示モード切り替えスイッチ 9034、電源スイッチ 9035、省電力モード切り替えスイッチ 9036、留め具 9033、操作スイッチ 9038 を有する。

【0181】

表示部 9631a は、一部をタッチパネルの領域 9632a とすることができ、表示された操作キー 9638 にふれることでデータ入力を行うことができる。なお、表示部 9631a においては、一例として半分の領域が表示のみの機能を有する構成、もう半分の領域がタッチパネルの機能を有する構成を示しているが、該構成に限定されない。表示部 9631a の全面をキーボードボタン表示させてタッチパネルとし、表示部 9631b を表示画面として用いることができる。

【0182】

また、表示部 9631b においても表示部 9631a と同様に、表示部 9631b の一部をタッチパネルの領域 9632b とすることができる。また、タッチパネルのキーボード表示切り替えボタン 9639 が表示されている位置に指やスタイラスなどでふれることで表示部 9631b にキーボードボタン表示することができる。

【0183】

また、タッチパネルの領域 9632a とタッチパネルの領域 9632b に対して同時にタッチ入力することもできる。

【0184】

また、表示モード切り替えスイッチ 9034 は、縦表示または横表示などの表示の向きを切り替え、白黒表示やカラー表示の切り替えなどを選択できる。省電力モード切り替えスイッチ 9036 は、タブレット型端末に内蔵している光センサで検出される使用時の外光の光量に応じて表示の輝度を最適なものとすることができる。タブレット型端末は光センサだけでなく、ジャイロ、加速度センサ等の傾きを検出するセンサなどの他の検出装置を内蔵させてもよい。なお、省電力モードの際、タブレット型端末に内蔵されている C P U への電源電圧の供給を完全に遮断しても良い。

【0185】

また、図 13 (A) では表示部 9631b と表示部 9631a の表示面積が同じ例を示しているが特に限定されず、一方のサイズともう一方のサイズが異なってもよく、表示

10

20

30

40

50

の品質も異なっているがよい。例えば一方が他方よりも高精細な表示を行える表示パネルとしてもよい。

【0186】

図13(B)は、閉じた状態であり、タブレット型端末は、筐体9630、太陽電池9633、充放電制御回路9634、バッテリー9635、DCDCコンバータ9636を有する。なお、図13(B)では充放電制御回路9634の一例としてバッテリー9635、DCDCコンバータ9636を有する構成について示している。

【0187】

なお、タブレット型端末は2つ折り可能なため、未使用時に筐体9630を閉じた状態にすることができる。従って、表示部9631a、表示部9631bを保護できるため、耐久性に優れ、長期使用の観点からも信頼性の優れたタブレット型端末を提供できる。

10

【0188】

また、この他にも図13(A)および図13(B)に示したタブレット型端末は、様々な情報(静止画、動画、テキスト画像など)を表示する機能、カレンダー、日付または時刻などを表示部に表示する機能、表示部に表示した情報をタッチ入力操作または編集するタッチ入力機能、様々なソフトウェア(プログラム)によって処理を制御する機能、等を有することができる。

【0189】

タブレット型端末の表面に装着された太陽電池9633によって、電力をタッチパネル、表示部、または映像信号処理部等に供給することができる。なお、太陽電池9633は、筐体9630の片面又は両面に設けることができ、バッテリー9635の充電を効率的に行う構成とすることができるため好適である。なおバッテリー9635としては、リチウムイオン電池を用いると、小型化を図れる等の利点がある。

20

【0190】

また、図13(B)に示す充放電制御回路9634の構成、および動作について図13(C)にブロック図を示し説明する。図13(C)には、太陽電池9633、バッテリー9635、DCDCコンバータ9636、コンバータ9637、スイッチSW1乃至SW3、表示部9631について示しており、バッテリー9635、DCDCコンバータ9636、コンバータ9637、スイッチSW1乃至SW3が、図13(B)に示す充放電制御回路9634に対応する箇所となる。

30

【0191】

まず外光により太陽電池9633により発電がされる場合の動作の例について説明する。太陽電池で発電した電力は、バッテリー9635を充電するための電圧となるようDCDCコンバータ9636で昇圧または降圧がなされる。そして、表示部9631の動作に太陽電池9633からの電力が用いられる際にはスイッチSW1をオンにし、コンバータ9637で表示部9631に必要な電圧に昇圧または降圧をすることとなる。また、表示部9631での表示を行わない際には、SW1をオフにし、SW2をオンにしてバッテリー9635の充電を行う構成とすればよい。

【0192】

なお太陽電池9633については、発電手段の一例として示したが、特に限定されず、圧電素子(ピエゾ素子)や熱電変換素子(ペルティエ素子)などの他の発電手段によるバッテリー9635の充電を行う構成であってもよい。例えば、無線(非接触)で電力を送受信して充電する無接点電力伝送モジュールや、また他の充電手段を組み合わせる構成としてもよい。

40

【0193】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0194】

(実施の形態5)

本実施の形態では、実施の形態1で示した不揮発性レジスタの構成の一例について図8(

50

A)を用いて説明する。

【0195】

図8(A)において、不揮発性レジスタ400は、オフ電流が極めて小さいトランジスタ411と、容量素子412と、演算回路421と、演算回路422と、演算回路423と、スイッチ424と、を有する。トランジスタ411として、チャネルが酸化物半導体層に形成されるトランジスタを用いる例を示し、OSの符号を付す。演算回路421の出力端子(図中、out)は、演算回路422の入力端子(図中、in)と電氣的に接続される。演算回路422の入力端子(図中、in)は、スイッチ424を介して演算回路423の出力端子(図中、out)と電氣的に接続される。演算回路422の出力端子(図中、out)は、演算回路421の入力端子(図中、in)と電氣的に接続される。演算回路421の入力端子(図中、in)は、トランジスタ411のソース及びドレインの一方と電氣的に接続される。トランジスタ411のソース及びドレインの他方は、容量素子412の一对の電極のうち的一方、及び演算回路423の入力端子(図中、in)と電氣的に接続される。ここで、容量素子412の一对の電極のうち的一方を、ノードF(図中、F)で示す。

10

【0196】

演算回路421、演算回路422、及び演算回路423としては、それぞれ、インバータ、スリーステートバッファ、クロックドインバータ、NAND回路、NOR回路等を用いることができる。図8(A)では、演算回路423として、インバータ430を用いる例を示す。スイッチとしては、例えばアナログスイッチ、トランジスタ等を用いることができる。図8(A)では、スイッチ424として、トランジスタ413を用いる例を示す。トランジスタ413は、例えば、シリコン層またはシリコン基板にチャネルが形成されるトランジスタとすることができる。

20

【0197】

ここで、演算回路423とスイッチ424を合わせた電流駆動能力は、演算回路421の電流駆動能力よりも大きくすることが好ましい。なお、スイッチ424の電流駆動能力が十分に大きい場合には、演算回路423の電流駆動能力を、演算回路421の電流駆動能力よりも大きくすることが好ましい。こうして、ノードMB(図中、MB)の電位を、容量素子412によって保持された信号(電位)に対応する信号とすることが容易となる。

30

【0198】

例えば、演算回路421はインバータによって構成され、当該インバータと、インバータ430とは相補型のトランジスタを用いた構成である場合に、各トランジスタは次のように設計することが望ましい。インバータ430の有する一導電型のトランジスタのチャネル長を L_1 、チャネル幅を W_1 、移動度を μ_1 とし、演算回路421を構成するインバータの有する前記一導電型とは異なる導電型のトランジスタのチャネル長を L_2 、チャネル幅を W_2 、移動度を μ_2 とすると、 $\mu_1(W_1/L_1) > \mu_2(W_2/L_2)$ とするのが好ましい。つまり、インバータ430の有するnチャネル型のトランジスタのチャネル長を L_1 、チャネル幅を W_1 、移動度を μ_1 とし、演算回路421を構成するインバータの有するpチャネル型のトランジスタのチャネル長を L_2 、チャネル幅を W_2 、移動度を μ_2 とすると、 $\mu_1(W_1/L_1) > \mu_2(W_2/L_2)$ とするのが好ましい。または、インバータ430の有するpチャネル型のトランジスタのチャネル長を L_1 、チャネル幅を W_1 、移動度を μ_1 とし、演算回路421を構成するインバータの有するnチャネル型のトランジスタのチャネル長を L_2 、チャネル幅を W_2 、移動度を μ_2 とすると、 $\mu_1(W_1/L_1) > \mu_2(W_2/L_2)$ とするのが好ましい。ここで、スイッチ424の電流駆動能力が十分に大きい場合とは、例えば、スイッチを424がトランジスタ413によって構成される場合に、トランジスタのチャネル長を L_3 、チャネル幅を W_3 、移動度を μ_3 としたとき、 $\mu_3(W_3/L_3)$ が $\mu_2(W_2/L_2)$ や $\mu_1(W_1/L_1)$ と比べて十分に大きいことをいう。 $\mu_3(W_3/L_3)$ が十分に大きい場合に、上記不等式が成立するように、各回路のトランジスタを設計するのが好ましい。

40

【0199】

50

トランジスタ 4 1 1 のゲートは端子 S G 1 と電氣的に接続される。トランジスタ 4 1 1 は端子 S G 1 に入力される制御信号によって、オン状態またはオフ状態が選択される。スイッチ 4 2 4 は端子 S G 2 に入力される制御信号によって、オン状態またはオフ状態が選択される。図 8 (A) では、端子 S G 2 はトランジスタ 4 1 3 のゲートと電氣的に接続されている。容量素子 4 1 2 の一對の電極のうちの他方は、端子 C と電氣的に接続される。端子 C には、一定の電位が入力される構成とすることができる。例えば、低電源電位が入力される構成とすることができる。

【 0 2 0 0 】

演算回路 4 2 1、演算回路 4 2 2、演算回路 4 2 3 を、トランジスタを用いて構成する場合に、当該トランジスタは、酸化物半導体以外の半導体でなる層または基板にチャンネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャンネルが形成されるトランジスタとすることができる。

10

【 0 2 0 1 】

また、トランジスタ 4 1 1 は、酸化物半導体層を挟んで上下に 2 つのゲートを有するトランジスタとすることができる。一方のゲートに制御信号を入力し、他方のゲートには、別の制御信号を入力することができる。別の制御信号は、一定の電位の信号であってもよい。一定の電位は、低電源電位や高電源電位であってもよい。なお、2 つのゲートを電氣的に接続し、制御信号を入力してもよい。他方のゲートに入力する信号によって、トランジスタ 4 1 1 のしきい値電圧等を制御することが可能である。また、トランジスタ 4 1 1 のオフ電流を更に低減することも可能である。トランジスタ 4 1 1 のオン電流を増大させることも可能である。

20

【 0 2 0 2 】

図 8 (A) に示した不揮発性レジスタ 4 0 0 では、電源電圧が供給されている間は、演算回路 4 2 1 と演算回路 4 2 2 によって帰還ループが形成され、帰還ループによってデータを保持することができる。演算回路 4 2 1 と演算回路 4 2 2 とを有し、帰還ループによってデータを保持する回路としては、フリップフロップ回路が挙げられる。図 8 (A) に示す構成は、フリップフロップ回路 4 0 1 において、オフ電流が極めて小さいトランジスタ 4 1 1 と、容量素子 4 1 2 と、演算回路 4 2 3 と、スイッチ 4 2 4 とを追加した構成に相当する。図 8 (A) においてこの追加した部分を回路 4 0 2 で示す。

【 0 2 0 3 】

フリップフロップ回路 4 0 1 は、ノード M (図中、M) とノード M B (図中、M B) を有し、電源電圧が供給されている間、ノード M B に保持される信号は、ノード M に保持された信号の反転信号となる。トランジスタ 4 1 1 のソース及びドレインの一方は、ノード M と電氣的に接続される。トランジスタ 4 1 1 のソース及びドレインの他方は、容量素子 4 1 2 の一對の電極のうちの一方、及び演算回路 4 2 3 の入力端子 (図中、i n) と電氣的に接続される。演算回路 4 2 3 の出力端子 (図中、o u t) は、スイッチ 4 2 4 を介してノード M B と電氣的に接続される。

30

【 0 2 0 4 】

なお、図 8 (A) では、演算回路 4 2 3 として入力された信号の反転信号を出力する回路を用い、スイッチ 4 2 4 を介してノード M B に当該出力を入力する構成を示したがこれに限定されない。図 8 (B) に示すように、演算回路 4 2 3 として入力された信号を反転させずに出力する回路を用い、スイッチ 4 2 4 を介してノード M に当該出力を入力する構成としてもよい。このような演算回路 4 2 3 としては、例えば、インバータを偶数個直列に電氣的に接続した構成を用いることができる。図 8 (B) では、演算回路 4 2 3 として、インバータ 4 3 0 a とインバータ 4 3 0 b が直列に電氣的に接続された構成を用いた例を示す。なお、図 8 (B) においてその他の部分は図 8 (A) と同様であるため説明は省略する。

40

【 0 2 0 5 】

不揮発性レジスタの駆動方法

図 8 (A) の不揮発性レジスタ 4 0 0 の駆動方法の一態様について説明する。不揮発性レ

50

ジスタ400において、電源電圧の供給の後、消費電力を削減するために電源電圧の供給を停止し、再び電源電圧を供給する場合の駆動方法は以下のようにすることができる。なお、フリップフロップ回路401は、クロック信号及びクロック信号の反転信号に同期してデータの入出力を行う回路であるとして、以下の説明を行う。説明には図9のタイミングチャートを用い、図8(A)の符号も参照する。

【0206】

なお、図9において、MはノードMの電位を示し、MBはノードMBの電位を示し、FはノードFの電位を示し、SG1は端子SG1に入力される制御信号の信号電位を示し、SG2は端子SG2に入力される制御信号の信号電位を示し、Vは電源電圧を示し、CLKはクロック信号の信号電位を示し、CLKBはクロック信号の反転信号の信号電位を示す。図9中、斜線部分は、任意の信号電位とすることができる。

10

【0207】

ここで、図9では、SG1がハイレベルの場合にトランジスタ411がオン状態となり、SG1がローレベルの場合にトランジスタ411がオフ状態となる例を示したがこれに限定されない。以下の説明とトランジスタ411のオン状態及びオフ状態の関係が同様となるようにSG1の信号電位を適宜定めることができる。また、図9では、SG2がハイレベルの場合にトランジスタ413がオン状態となり、SG2がローレベルの場合にトランジスタ413がオフ状態となる例を示したがこれに限定されない。以下の説明とトランジスタ413のオン状態及びオフ状態の関係が同様となるようにSG2の信号電位を適宜定めることができる。

20

【0208】

< 電源電圧供給時の動作 >

期間1において、不揮発性レジスタ400へ電源電圧VとしてVDDが供給され、且つクロック信号の信号電位CLK、及びクロック信号の反転信号の信号電位CLKBは、ハイレベルまたはローレベルに周期的に変化する。このとき、クロック信号やクロック信号の反転信号に同期して、演算回路421及び演算回路422によって構成される帰還ループがデータに対応する信号（及びその反転信号）を保持する。図9では、期間1の最後において、ノードMに信号電位VXが保持され、ノードMBに信号電位VXBが保持されている例を示す。ここで、信号電位VXBは、信号電位VXに対応する信号の反転信号の電位に相当する。期間1では、SG2がローレベルであり、スイッチ424はオフ状態である。こうして、不揮発性レジスタ400は、入力されたデータを帰還ループによって保持し、また帰還ループによって保持されたデータを出力する。ここで、酸化物半導体層にチャネルが形成されるトランジスタ411は、シリコン層やシリコン基板にチャネルが形成されるトランジスタと比較して移動度が低い。移動度が低いトランジスタが帰還ループ上に存在すると、帰還ループにおけるデータ入力及び出力のスピードが遅くなる。不揮発性レジスタ400では、帰還ループ上に、酸化物半導体層にチャネルが形成されるトランジスタ411が存在しない。そのため、帰還ループによるデータの書き込み及び読み出しは高速に行うことができ、不揮発性レジスタ400におけるデータの書き込み及び読み出し速度（動作速度）は速い。なお、このとき酸化物半導体層にチャネルが形成されるトランジスタ411はオフ状態であることが好ましい。仮に、トランジスタ411が常にオン状態であると、帰還ループによるデータの書き込み及び読み出し時に、容量素子412へもデータに対応する信号電位が常に入力されることとなり、帰還ループによるデータの書き込み及び読み出しの速度が低下してしまう。

30

40

【0209】

< 電源電圧供給停止前の動作 >

期間2において、クロック信号の信号電位CLK、及びクロック信号の反転信号の信号電位CLKBを固定する。即ち、クロック信号の信号電位CLK、及びクロック信号の反転信号の信号電位CLKBを、所定のデータが帰還ループによって保持された状態のクロック信号の信号電位CLK、及びクロック信号の反転信号の信号電位CLKBのままとする。つまり、通常、クロック信号やクロック信号の反転信号は、ハイレベルまたはローレベ

50

ルにレベル（信号電位）が周期的に変化する信号であるが、この変化をさせない期間を設ける。ここで、クロック信号やクロック信号の反転信号のレベル（信号電位）を固定する期間を、クロック信号固定期間とも呼ぶ。期間 2 は、クロック信号固定期間に相当する。このため、クロック信号固定期間において、ノード M は信号電位 V_X のままであり、ノード MB は信号電位 $V_X B$ のままである。図 9 では、クロック信号の信号電位 CLK がローレベルに固定され、クロック信号の反転信号の信号電位 CLKB がハイレベルに固定される例を示したがこれに限定されない。クロック信号の信号電位 CLK がハイレベルに固定され、クロック信号の反転信号の信号電位 CLKB がローレベルに固定されてもよい。そして、クロック信号固定期間において、SG1 をハイレベルからローレベルに変化させることにより、オフ電流が極めて小さいトランジスタ 411 をオフ状態とする。例えば、クロック信号固定期間の直前において、SG1 がハイレベルでありトランジスタ 411 がオン状態であった場合には、クロック信号固定期間において SG1 をハイレベルからローレベルに変化させてトランジスタ 411 をオフ状態とする。例えば、クロック信号固定期間の直前において、SG1 がローレベルでありトランジスタ 411 がオフ状態であった場合には、クロック信号固定期間において SG1 をローレベルからハイレベルに変化させてトランジスタ 411 を一旦オン状態とした後に、SG1 をローレベルとしてオフ状態とする。こうして、容量素子 412 の一对の電極のうち的一方に対応するノード F の電位は V_X となる。なお、トランジスタ 411 がハイレベルとなった後、ノード F の電位が V_X となる迄には、時間がかかる。こうして、帰還ループによって保持されていたデータに対応する信号（電位）を容量素子 412 に保持する。なお、SG2 はローレベルであり、スイッチ 424 はオフ状態のままである。

10

20

【0210】

このように、クロック信号やクロック信号の反転信号のレベルを一定に保った状態で、オフ電流が極めて小さいトランジスタ 411 をオフ状態とすることによって、帰還ループによって保持されたデータに対応する信号（電位）の変動を抑制した状態で、当該データに対応する信号（電位）を容量素子 412 に保持することができる。

【0211】

< 電源電圧供給停止の動作 >

期間 3 において、不揮発性レジスタ 400 への電源電圧の供給を停止する（電源電圧 V を 0 にする）。こうして、期間 3 において、ノード M 及びノード MB の電位は任意となる。また、期間 3 において、クロック信号及びクロック信号の反転信号の供給を停止することができる。ここで、クロック信号及びクロック信号の反転信号の供給を停止するとは、クロック信号の信号電位 CLK、及びクロック信号の反転信号の信号電位 CLKB を共に同じレベル（例えば、ローレベル）とすることに相当する。こうして、電源電圧だけでなく、クロック信号及びクロック信号の反転信号の供給を停止することによって、クロック信号やクロック信号の反転信号を供給するための電力も削減することができる。なお、SG2 はローレベルであり、スイッチ 424 はオフ状態のままである。

30

【0212】

ここで、SG1 はローレベルであり、オフ電流が極めて小さいトランジスタ 411 はオフ状態のままであり、不揮発性レジスタ 400 への電源電圧 V の供給が停止した後においても、帰還ループによって保持されていたデータに対応する信号（電位）が容量素子 412 によって保持される。つまり、ノード F の電位は V_X のままである。こうして、オフ電流が極めて小さいトランジスタ 411 を用いることによって、容量素子 412 によって保持された信号（電位）を長期間保つことができるため、不揮発性レジスタ 400 は電源電圧の供給が停止した後も、長期間に渡ってデータを保持することができる。また、データの書き換えを繰り返すことによる不揮発性レジスタ 400 の疲労は少なく、データの書き換え可能な回数を多くすることができる。

40

【0213】

なお、不揮発性レジスタ 400 では、オフ電流が極めて小さいトランジスタ 411 がオフ状態となり、且つスイッチ 424 がオフ状態となっている間は、容量素子 412 の一对の

50

電極のうち的一方と、帰還ループの各ノードとは、電氣的に遮断されている。それ故、トランジスタ 4 1 1 がオフ状態となり、且つスイッチ 4 2 4 がオフ状態となっていれば、不揮発性レジスタ 4 0 0 への電源電圧の供給停止と、クロック信号及びクロック信号の反転信号の供給停止とは、同時に行うこともできるし、一方を行った後に他方を行うこともできる。つまり、電源電圧供給停止のシーケンスに自由度がある。

【 0 2 1 4 】

< 電源電圧供給再開の動作 >

期間 4 において、電源電圧 V を V D D として、不揮発性レジスタ 4 0 0 への電源電圧の供給を再開する。また、電源電圧の供給停止時におけるレベル（信号電位）に戻して固定された、クロック信号やクロック信号の反転信号を供給する。こうして、クロック信号固定期間を開始する。図 9 では、クロック信号の信号電位 C L K がローレベルに固定され、クロック信号の反転信号の信号電位 C L K B がハイレベルに固定される。ここで、トランジスタ 4 1 1 がオフ状態となり、且つスイッチ 4 2 4 がオフ状態となっていれば、不揮発性レジスタ 4 0 0 への電源電圧の供給再開と、電源電圧の供給停止時におけるレベル（信号電位）に戻して固定されたクロック信号やクロック信号の反転信号の供給再開とは、同時に行うこともできるし、一方を行った後に他方を行うこともできる。つまり、電源電圧供給再開のシーケンスに自由度がある。

【 0 2 1 5 】

その後、S G 2 はハイレベルとして、スイッチ 4 2 4 をオン状態とする。なお、S G 1 はローレベルであり、オフ電流が極めて小さいトランジスタ 4 1 1 はオフ状態のままである。容量素子 4 1 2 によって保持された信号（電位）、つまりノード F の電位 V X は演算回路 4 2 3 によって対応する信号 V X B に変換され、スイッチ 4 2 4 がオン状態となると、帰還ループのノード M B に入力される。こうして、ノード M B の電位はやがて V X B となる。すると、ノード M の電位もやがて V X となる。こうして、電源電圧の供給停止前に保持していたデータを再び帰還ループによって保持することができる。その後、S G 2 はローレベルとして、スイッチ 4 2 4 を再びオフ状態とする。

【 0 2 1 6 】

ここで、演算回路 4 2 3 とスイッチ 4 2 4 を合わせた電流駆動能力は、演算回路 4 2 1 の電流駆動能力よりも大きくすることが好ましい。なお、スイッチ 4 2 4 の電流駆動能力が十分に大きい場合には、演算回路 4 2 3 の電流駆動能力を、演算回路 4 2 1 の電流駆動能力よりも大きくすることが好ましい。こうして、ノード M B の電位を、容量素子 4 1 2 によって保持された信号（電位）に対応する信号とすることが容易となる。

【 0 2 1 7 】

例えば、演算回路 4 2 1 はインバータによって構成され、当該インバータと、インバータ 4 3 0 とは相補型のトランジスタを用いた構成である場合に、各トランジスタは次のように設計することが望ましい。インバータ 4 3 0 の有する一導電型のトランジスタのチャネル長を L_1 、チャネル幅を W_1 、移動度を μ_1 とし、演算回路 4 2 1 を構成するインバータの有する前記一導電型とは異なる導電型のトランジスタのチャネル長を L_2 、チャネル幅を W_2 、移動度を μ_2 とすると、 $\mu_1 (W_1 / L_1) > \mu_2 (W_2 / L_2)$ とするのが好ましい。つまり、インバータ 4 3 0 の有する n チャネル型のトランジスタのチャネル長を L_1 、チャネル幅を W_1 、移動度を μ_1 とし、演算回路 4 2 1 を構成するインバータの有する p チャネル型のトランジスタのチャネル長を L_2 、チャネル幅を W_2 、移動度を μ_2 とすると、 $\mu_1 (W_1 / L_1) > \mu_2 (W_2 / L_2)$ とするのが好ましい。または、インバータ 4 3 0 の有する p チャネル型のトランジスタのチャネル長を L_1 、チャネル幅を W_1 、移動度を μ_1 とし、演算回路 4 2 1 を構成するインバータの有する n チャネル型のトランジスタのチャネル長を L_2 、チャネル幅を W_2 、移動度を μ_2 とすると、 $\mu_1 (W_1 / L_1) > \mu_2 (W_2 / L_2)$ とするのが好ましい。ここで、スイッチ 4 2 4 の電流駆動能力が十分に大きい場合とは、例えば、スイッチを 4 2 4 がトランジスタ 4 1 3 によって構成される場合に、トランジスタのチャネル長を L_3 、チャネル幅を W_3 、移動度を μ_3 としたとき、 $\mu_3 (W_3 / L_3)$ が $\mu_2 (W_2 / L_2)$ や $\mu_1 (W_1 / L_1)$ と比べて

十分に大きいことをいう。 $\mu 3 (W 3 / L 3)$ が十分に大きい場合に、上記不等式が成立するように、各回路のトランジスタを設計するのが好ましい。

【0218】

期間5において、クロック信号やクロック信号の反転信号のレベル（信号電位）の固定を解除する。即ち、クロック信号やクロック信号の反転信号を、ハイレベルまたはローレベルにレベル（信号電位）が周期的に変化する通常の信号に戻す。こうして、不揮発性レジスタは、帰還ループによるデータの書き込み及び読み出しを再開することができる。その後の動作は、上記（電源電圧供給時の動作）と同様である。

【0219】

上記のとおり、帰還ループに保持されたデータを容量素子412に書き込むための経路（データ待避経路）と、容量素子412に保持されたデータを帰還ループに戻すための経路（データ復帰経路）とが異なる。データ復帰経路に配置されるスイッチ424として、移動度が高い素子を用いることにより、（電源電圧供給再開の動作）をより高速に行うことができる。例えば、トランジスタ413として、シリコン層またはシリコン基板にチャネルが形成されるトランジスタを用いることによって、（電源電圧供給再開の動作）をより高速に行うことができる。

10

【0220】

上述のとおり、図8（A）における回路402は、電源電圧が供給されている間にフリップフロップ回路401に保持されたデータが入力端子（図中、in）から入力され当該データを保持し、電源電圧が供給されない間も当該データを保持し、電源電圧が供給されるとフリップフロップ回路401に出力端子（図中、out）から当該データ（に対応する信号）を提供する動作を行うので、不揮発性の不揮発性レジスタと呼ぶこともできる。データの書き換えを繰り返すことによる、当該不揮発性の不揮発性レジスタの疲労は少なく、データの書き換え可能な回数を多くすることができる。

20

【0221】

以上が、不揮発性レジスタ400の駆動方法の説明である。

【0222】

<記憶装置、信号処理回路>

本発明の記憶装置の一態様は、不揮発性レジスタ400を一または複数用いて構成された記憶装置とすることができる。また、本発明の信号処理回路の一態様は、当該記憶装置を用いた信号処理回路とすることができる。例えば、信号処理回路が有するレジスタ、キャッシュメモリ等の記憶装置に不揮発性レジスタ400を用いることができる。

30

【0223】

さらに、信号処理回路は、上記記憶装置に加え、記憶装置とデータのやり取りを行う演算回路等の各種論理回路を有してもよい。そして、記憶装置へ電源電圧の供給を停止すると共に、当該記憶装置とデータのやり取りを行う演算回路への電源電圧の供給を停止するようにしてもよい。

【0224】

本発明の信号処理回路の一態様は、CPUと、メモリと、メモリとCPUとのアクセスを制御する周辺制御装置とを有し、CPU、メモリ、及び周辺制御装置はそれぞれ、不揮発性レジスタ400を有する構成であってもよい。そして、CPU、メモリ、及び周辺制御装置を有する信号処理回路の全体において、電源電圧の供給を停止するようにしてもよい。

40

【0225】

不揮発性レジスタ400を信号処理回路に用いることで、電源電圧の供給停止によるデータの消失を防ぐことができ、電源電圧を再供給した後、短時間で電源供給停止前の状態に復帰することができる。そのため、必要なときのみ電源電圧を供給する、ノーマリオフの駆動方法を採用することができ、消費電力を大幅に削減することができる。また、信号処理回路の動作速度を高速化することができ、更に信頼性も高めることができる。

【0226】

50

本実施の形態は、他の実施の形態と適宜組み合わせる実施することが可能である。

【0227】

(実施の形態6)

本実施の形態では、実施の形態1で示した不揮発性レジスタの図8(A)とは別の構成の一例について図10を用いて説明する。

【0228】

図10において、不揮発性レジスタ400は、フリップフロップ回路401a、フリップフロップ回路401b、回路402a、及び回路402bを有する。フリップフロップ回路401aの出力端子(図中、out)は、フリップフロップ回路401bの入力端子(図中、in)と電氣的に接続されている。フリップフロップ回路401aの入力端子(図中、in)が不揮発性レジスタ400の入力端子Dとなり、フリップフロップ回路401bの出力端子(図中、out)が不揮発性レジスタ400の出力端子Qとなる。

10

【0229】

回路402a及び回路402bは、図8(A)における回路402と同様の構成とすることができる。

【0230】

フリップフロップ回路401aは、演算回路421a及び演算回路422aを有し、演算回路421a、演算回路422a、及び回路402aの電氣的接続関係は、図8(A)における演算回路421、演算回路422、及び回路402の電氣的接続関係と同様とすることができる。なお、フリップフロップ回路401aでは、アナログスイッチ426aを有し、アナログスイッチ426aを介して、フリップフロップ回路401aの入力端子(図中、in)はノードMaと電氣的に接続されている。アナログスイッチ426a及び演算回路422aには、クロック信号CLK1及びクロック信号CLK1の反転信号CLK1Bが入力されている。ここで、クロック信号CLK1及びクロック信号CLK1の反転信号CLK1Bによって、アナログスイッチ426aがオン状態のときには、演算回路422aの出力はフローティングとなり、アナログスイッチ426aがオフ状態のときには、演算回路422aは入力された信号を反転して出力するものとする。ノードMBaは、フリップフロップ回路401aの出力端子(図中、out)と電氣的に接続されている。

20

【0231】

フリップフロップ回路401bは、演算回路421b及び演算回路422bを有し、演算回路421b、演算回路422b、及び回路402bの電氣的接続関係は、図8(A)における演算回路421、演算回路422、及び回路402の電氣的接続関係と同様とすることができる。なお、フリップフロップ回路401bでは、アナログスイッチ426bを有し、アナログスイッチ426bを介して、フリップフロップ回路401bの入力端子(図中、in)はノードMbと電氣的に接続されている。アナログスイッチ426b及び演算回路422bには、クロック信号CLK2及びクロック信号CLK2の反転信号CLK2Bが入力されている。ここで、クロック信号CLK2及びクロック信号CLK2の反転信号CLK2Bによって、アナログスイッチ426bがオン状態のときには、演算回路422bの出力はフローティングとなり、アナログスイッチ426bがオフ状態のときには、演算回路422bは入力された信号を反転して出力するものとする。ノードMBbは、フリップフロップ回路401bの出力端子(図中、out)と電氣的に接続されている。

30

40

【0232】

クロック信号CLK2は、クロック信号CLK1の反転信号とすることもできるし、クロック信号CLK1の位相をずらした信号とすることもできる。即ち、図10における不揮発性レジスタ400に単相のクロック信号を供給する構成とすることもできるし、2相のクロック信号を供給する構成とすることもできる。2相のクロックを供給する構成とし、クロック信号CLK1とクロック信号CLK2それぞれのデューティ比(1周期におけるハイレベルの期間の割合)を50%未満とし、クロック信号CLK1とクロック信号CLK2が共にローレベルとなる期間を設けることによって、入力端子Dに入力されたデータがクロック信号(クロック信号CLK1及びクロック信号CLK2)に関係なく出力端

50

子Qから出力されるのを抑制することができる。なお、入力端子Dに入力されたデータがクロック信号（クロック信号CLK1及びクロック信号CLK2）に関係なく出力端子Qから出力される現象は、データの筒抜け、データ・レーシング等と呼ばれる。

【0233】

不揮発性レジスタの駆動方法

図10に示した不揮発性レジスタ400の駆動方法について図11のタイミングチャートを用いて説明する。図8(A)、図10の符号も参照する。

【0234】

なお、図11において、MaはノードMaの電位を示し、MbaはノードMbaの電位を示し、MbはノードMbの電位を示し、MbbはノードMbbの電位を示し、Vは電源電圧を示し、CLK1はクロック信号CLK1の信号電位を示し、CLKB1はクロック信号CLK1の反転信号の信号電位を示し、CLK2はクロック信号CLK2の信号電位を示し、CLKB2はクロック信号CLK2の反転信号の信号電位を示す。また、回路402a及び回路402bそれぞれについて、FはノードFの電位を示し、SG1は端子SG1に入力される制御信号の信号電位を示し、SG2は端子SG2に入力される制御信号の信号電位を示す。図11中、斜線部分は、任意の信号電位とすることができる。

【0235】

ここで、図11では、SG1がハイレベルの場合にトランジスタ411がオン状態となり、SG1がローレベルの場合にトランジスタ411がオフ状態となる例を示したがこれに限定されない。以下の説明とトランジスタ411のオン状態及びオフ状態の関係が同様となるようにSG1の信号電位を適宜定めることができる。また、図11では、SG2がハイレベルの場合にトランジスタ413がオン状態となり、SG2がローレベルの場合にトランジスタ413がオフ状態となる例を示したがこれに限定されない。以下の説明とトランジスタ413のオン状態及びオフ状態の関係が同様となるようにSG2の信号電位を適宜定めることができる。

【0236】

<電源電圧供給時の動作>

期間1において、不揮発性レジスタ400へ電源電圧VとしてVDDが供給され、且つCLK1、CLK2、CLKB1及びCLKB2は、ハイレベルまたはローレベルに周期的に変化する。ここで、図11に示す期間1では、クロック信号CLK1とクロック信号CLK2それぞれのデューティ比（1周期におけるハイレベルの期間の割合）を50%未満とし、クロック信号CLK1とクロック信号CLK2が共にローレベルとなる期間を設けることによって、入力端子Dに入力されたデータがクロック信号（クロック信号CLK1及びクロック信号CLK2）に関係なく出力端子Qから出力されるのを抑制している。

【0237】

期間1では、クロック信号やクロック信号の反転信号に同期して、演算回路421a及び演算回路422aによって構成される帰還ループ、並びに、演算回路421b及び演算回路422bによって構成される帰還ループそれぞれが、データに対応する信号（及びその反転信号）を保持する。図11では、期間1の終わりにおいて、ノードMaに信号電位VXが保持され、ノードMbaに信号電位VXBが保持され、ノードMbに信号電位VYBが保持され、ノードMbbに信号電位VYが保持されている例を示す。ここで、信号電位VXBは、信号電位VXに対応する信号の反転信号の電位に相当する。信号電位VYBは、信号電位VYに対応する信号の反転信号の電位に相当する。期間1では、回路402a及び回路402bそれぞれにおいて、SG2がローレベルであり、スイッチ424はオフ状態である。こうして、不揮発性レジスタ400は、クロック信号CLK1とクロック信号CLK2に同期して、入力端子Dから入力されたデータをフリップフロップ回路401aの帰還ループによって保持し、フリップフロップ回路401aの帰還ループによって保持されたデータをフリップフロップ回路401bに入力し、フリップフロップ回路401bの帰還ループによって保持されたデータを出力端子Qから出力する。ここで、酸化物半導体層にチャネルが形成されるトランジスタ411は、シリコン層やシリコン基板にチャ

10

20

30

40

50

ネルが形成されるトランジスタと比較して移動度が低い。移動度が低いトランジスタが帰還ループ上に存在すると、帰還ループにおけるデータ入力及び出力のスピードが遅くなる。不揮発性レジスタ400では、帰還ループ上に、酸化物半導体層にチャネルが形成されるトランジスタ411が存在しない。そのため、帰還ループによるデータの書き込み及び読み出しは高速に行うことができ、不揮発性レジスタ400におけるデータの書き込み及び読み出し速度（動作速度）は速い。なお、このとき、回路402a及び回路402bにおいて、酸化物半導体層にチャネルが形成されるトランジスタ411はオフ状態であることが好ましい。仮に、回路402a及び回路402bにおいて、トランジスタ411が常にオン状態であると、各帰還ループによるデータの書き込み及び読み出し時に、回路402aの容量素子412及び回路402bの容量素子412へもデータに対応する信号電位が常に入力されることとなり、各帰還ループによるデータの書き込み及び読み出しの速度が低下してしまう。

10

【0238】

< 電源電圧供給停止前の動作 >

期間2において、CLK1、CLK2、CLKB1及びCLKB2を固定する。即ち、CLK1、CLK2、CLKB1及びCLKB2それぞれを、所定のデータが帰還ループによって保持された状態のCLK1、CLK2、CLKB1及びCLKB2のままとする。つまり、通常、クロック信号やクロック信号の反転信号は、ハイレベルまたはローレベルにレベル（信号電位）が周期的に変化する信号であるが、この変化をさせない期間を設ける。ここで、クロック信号やクロック信号の反転信号のレベル（信号電位）を固定する期間を、クロック信号固定期間とも呼ぶ。期間2は、クロック信号固定期間に相当する。このため、クロック信号固定期間において、ノードMaは信号電位VXのままであり、ノードMbは信号電位VXBのままであり、ノードMbは信号電位VYBのままであり、ノードMBbは信号電位VYのままである。図11では、CLK1及びCLK2がローレベルに固定され、CLKB1及びCLKB2がハイレベルに固定される例を示したがこれに限定されない。CLK1及びCLK2がハイレベルに固定され、CLKB1及びCLKB2がローレベルに固定されてもよい。そして、クロック信号固定期間において、回路402a及び回路402bそれぞれにおいて、SG1をハイレベルからローレベルに変化させることにより、オフ電流が極めて小さいトランジスタ411をオフ状態とする。例えば、回路402a及び回路402bそれぞれについて、クロック信号固定期間の直前において、SG1がハイレベルでありトランジスタ411がオン状態であった場合には、クロック信号固定期間においてSG1をハイレベルからローレベルに変化させてトランジスタ411をオフ状態とする。例えば、回路402a及び回路402bそれぞれについて、クロック信号固定期間の直前において、SG1がローレベルでありトランジスタ411がオフ状態であった場合には、クロック信号固定期間においてSG1をローレベルからハイレベルに変化させてトランジスタ411を一旦オン状態とした後に、SG1をローレベルとしてオフ状態とする。こうして、回路402aにおいて、容量素子412の一对の電極のうちの一方に対応するノードFの電位はVXとなり、回路402bにおいて、容量素子412の一对の電極のうちの一方に対応するノードFの電位はVYBとなる。なお、回路402a及び回路402bそれぞれにおいて、トランジスタ411がハイレベルとなった後、ノードFの電位が上記電位となる迄には、時間がかかる。こうして、各帰還ループによって保持されていたデータに対応する信号（電位）を回路402a及び回路402bそれぞれの容量素子412に保持する。なお、回路402a及び回路402bそれぞれにおいて、SG2はローレベルであり、スイッチ424はオフ状態のままである。

20

30

40

【0239】

このように、クロック信号やクロック信号の反転信号のレベルを一定に保った状態で、オフ電流が極めて小さいトランジスタ411をオフ状態とすることによって、各帰還ループによって保持されたデータに対応する信号（電位）の変動を抑制した状態で、当該データに対応する信号（電位）を回路402a及び回路402bそれぞれの容量素子412に保持することができる。

50

【 0 2 4 0 】

< 電源電圧供給停止の動作 >

期間 3 において、不揮発性レジスタ 4 0 0 への電源電圧の供給を停止する（電源電圧 V を 0 にする）。こうして、期間 3 において、ノード M a、ノード M b、ノード M B a 及びノード M B b の電位は任意となる。また、期間 3 において、クロック信号及びクロック信号の反転信号の供給を停止することができる。ここで、クロック信号及びクロック信号の反転信号の供給を停止するとは、C L K 1 と C L K B 1 を共に同じレベル（例えば、ローレベル）とし、C L K 2 と C L K B 2 を共に同じレベル（例えば、ローレベル）とすることに相当する。こうして、電源電圧だけでなく、クロック信号及びクロック信号の反転信号の供給を停止することによって、クロック信号やクロック信号の反転信号を供給するための電力も削減することができる。なお、回路 4 0 2 a 及び回路 4 0 2 b それぞれにおいて、S G 2 はローレベルであり、スイッチ 4 2 4 はオフ状態のままである。

10

【 0 2 4 1 】

ここで、回路 4 0 2 a 及び回路 4 0 2 b それぞれにおいて、S G 1 はローレベルであり、オフ電流が極めて小さいトランジスタ 4 1 1 はオフ状態のままであり、不揮発性レジスタ 4 0 0 への電源電圧 V の供給が停止した後においても、各帰還ループによって保持されていたデータに対応する信号（電位）が回路 4 0 2 a 及び回路 4 0 2 b それぞれの容量素子 4 1 2 によって保持される。つまり、回路 4 0 2 a におけるノード F の電位は V X のままであり、回路 4 0 2 b におけるノード F の電位は V Y B のままである。こうして、オフ電流が極めて小さいトランジスタ 4 1 1 を用いることによって、回路 4 0 2 a 及び回路 4 0 2 b それぞれの容量素子 4 1 2 によって保持された信号（電位）を長期間保つことができるため、不揮発性レジスタ 4 0 0 は電源電圧の供給が停止した後も、長期間に渡ってデータを保持することができる。また、データの書き換えを繰り返すことによる不揮発性レジスタ 4 0 0 の疲労は少なく、データの書き換え可能な回数を多くすることができる。

20

【 0 2 4 2 】

なお、不揮発性レジスタ 4 0 0 では、回路 4 0 2 a 及び回路 4 0 2 b それぞれにおいて、オフ電流が極めて小さいトランジスタ 4 1 1 がオフ状態となり、且つスイッチ 4 2 4 がオフ状態となっている間は、容量素子 4 1 2 の一対の電極のうち的一方と、帰還ループの各ノードとは、電気的に遮断されている。それ故、回路 4 0 2 a 及び回路 4 0 2 b それぞれにおいて、トランジスタ 4 1 1 がオフ状態となり、且つスイッチ 4 2 4 がオフ状態となっていれば、不揮発性レジスタ 4 0 0 への電源電圧の供給停止と、クロック信号及びクロック信号の反転信号の供給停止とは、同時に行うこともできるし、一方を行った後に他方を行うこともできる。つまり、電源電圧供給停止のシーケンスに自由度がある。

30

【 0 2 4 3 】

< 電源電圧供給再開の動作 >

期間 4 において、電源電圧 V を V D D として、不揮発性レジスタ 4 0 0 への電源電圧の供給を再開する。また、電源電圧の供給停止時におけるレベル（信号電位）に戻して固定された、クロック信号やクロック信号の反転信号を供給する。こうして、クロック信号固定期間を開始する。図 1 1 では、C L K 1 及び C L K 2 がローレベルに固定され、C L K B 1 及び C L K B 2 がハイレベルに固定される。ここで、回路 4 0 2 a 及び回路 4 0 2 b それぞれにおいて、トランジスタ 4 1 1 がオフ状態となり、且つスイッチ 4 2 4 がオフ状態となっていれば、不揮発性レジスタ 4 0 0 への電源電圧の供給再開と、電源電圧の供給停止時におけるレベル（信号電位）に戻して固定されたクロック信号やクロック信号の反転信号の供給再開とは、同時に行うこともできるし、一方を行った後に他方を行うこともできる。つまり、電源電圧供給再開のシーケンスに自由度がある。

40

【 0 2 4 4 】

その後、回路 4 0 2 a 及び回路 4 0 2 b それぞれにおいて、S G 2 はハイレベルとして、スイッチ 4 2 4 をオン状態とする。なお、回路 4 0 2 a 及び回路 4 0 2 b それぞれにおいて、S G 1 はローレベルであり、オフ電流が極めて小さいトランジスタ 4 1 1 はオフ状態のままである。回路 4 0 2 a において、容量素子 4 1 2 によって保持された信号（電位）

50

、つまりノードFの電位V_Xは演算回路423によって対応する信号V_XBに変換され、スイッチ424がオン状態となると、帰還ループのノードM_Baに入力される。こうして、ノードM_Baの電位はやがてV_XBとなる。すると、ノードM_aの電位もやがてV_Xとなる。回路402bにおいて、容量素子412によって保持された信号（電位）、つまりノードFの電位V_YBは演算回路423によって対応する信号V_Yに変換され、スイッチ424がオン状態となると、帰還ループのノードM_Bbに入力される。こうして、ノードM_Bbの電位はやがてV_Yとなる。すると、ノードM_bの電位もやがてV_YBとなる。こうして、電源電圧の供給停止前に保持していたデータを再び帰還ループによって保持することができる。その後、回路402a及び回路402bそれぞれにおいて、SG2はローレベルとして、スイッチ424を再びオフ状態とする。

10

【0245】

期間5において、クロック信号やクロック信号の反転信号のレベル（信号電位）の固定を解除する。即ち、クロック信号やクロック信号の反転信号を、ハイレベルまたはローレベルにレベル（信号電位）が周期的に変化する通常の信号に戻す。こうして、不揮発性レジスタは、帰還ループによるデータの書き込み及び読み出しを再開することができる。その後の動作は、上記（電源電圧供給時の動作）と同様である。

【0246】

上記のとおり、帰還ループに保持されたデータを容量素子412に書き込むための経路（データ待避経路）と、容量素子412に保持されたデータを帰還ループに戻すための経路（データ復帰経路）とが異なる。データ復帰経路に配置されるスイッチ424として、移動度が高い素子を用いることにより、（電源電圧供給再開の動作）をより高速に行うことができる。例えば、トランジスタ413として、シリコン層またはシリコン基板にチャンネルが形成されるトランジスタを用いることによって、（電源電圧供給再開の動作）をより高速に行うことができる。

20

【0247】

以上が、不揮発性レジスタ400の駆動方法の説明である。

【0248】

<記憶装置、信号処理回路>

本発明の記憶装置の一態様は、不揮発性レジスタ400を一または複数用いて構成された記憶装置とすることができる。また、本発明の信号処理回路の一態様は、当該記憶装置を用いた信号処理回路とすることができる。例えば、信号処理回路が有するレジスタ、キャッシュメモリ等の記憶装置に不揮発性レジスタ400を用いることができる。

30

【0249】

さらに、信号処理回路は、上記記憶装置に加え、記憶装置とデータのやり取りを行う演算回路等の各種論理回路を有してもよい。そして、記憶装置へ電源電圧の供給を停止すると共に、当該記憶装置とデータのやり取りを行う演算回路への電源電圧の供給を停止するようにしてもよい。

【0250】

本発明の信号処理回路の一態様は、CPUと、メモリと、メモリとCPUとのアクセスを制御する周辺制御装置とを有し、CPU、メモリ、及び周辺制御装置はそれぞれ、不揮発性レジスタ400を有する構成であってもよい。そして、CPU、メモリ、及び周辺制御装置を有する信号処理回路の全体において、電源電圧の供給を停止するようにしてもよい。

40

【0251】

不揮発性レジスタ400を信号処理回路に用いることで、電源電圧の供給停止によるデータの消失を防ぐことができ、電源電圧を再供給した後、短時間で電源供給停止前の状態に復帰することができる。そのため、必要なときのみ電源電圧を供給する、ノーマリオフの駆動方法を採用することができ、消費電力を大幅に削減することができる。また、信号処理回路の動作速度を高速化することができ、更に信頼性も高めることができる。

【0252】

50

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【符号の説明】

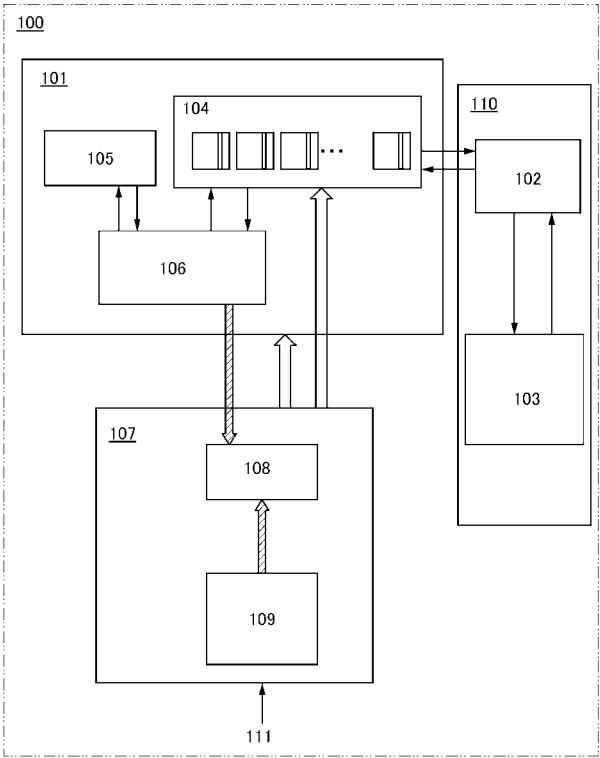
【 0 2 5 3 】

| | | |
|---------|--------------|----|
| 1 0 0 | 半導体装置 | |
| 1 0 1 | C P U | |
| 1 0 2 | 主記憶装置 | |
| 1 0 3 | 補助記憶装置 | |
| 1 0 4 | キャッシュメモリ | |
| 1 0 5 | レジスタ | |
| 1 0 6 | 演算回路 | 10 |
| 1 0 7 | 電源管理回路 | |
| 1 0 8 | 設定レジスタ | |
| 1 0 9 | 制御回路 | |
| 1 1 0 | 記憶装置 | |
| 1 1 1 | 電源電圧 | |
| 2 0 0 | ライン | |
| 2 0 1 | バリッドビット | |
| 2 0 2 | ダーティービット | |
| 2 0 3 | データ領域 | |
| 2 0 4 | セット | 20 |
| 2 0 5 | タグ領域 | |
| 2 0 7 | フラグ領域 | |
| 3 0 1 | データ線 | |
| 3 0 2 | データ線 | |
| 3 0 3 | データ線 | |
| 3 0 4 | ワード線 | |
| 3 0 5 | 電源線 | |
| 3 0 6 | グランド線 | |
| 3 0 7 | ワード線 | |
| 3 0 8 | Nチャネル型トランジスタ | 30 |
| 3 0 9 | Nチャネル型トランジスタ | |
| 3 1 0 | Nチャネル型トランジスタ | |
| 3 1 1 A | ノード | |
| 3 1 1 B | ノード | |
| 3 1 2 | Nチャネル型トランジスタ | |
| 3 1 3 | インバータ回路 | |
| 3 1 4 A | Nチャネル型トランジスタ | |
| 3 1 4 B | Pチャネル型トランジスタ | |
| 3 1 5 A | 配線 | |
| 4 0 0 | 不揮発性レジスタ | 40 |
| 4 0 1 | フリップフロップ回路 | |
| 4 0 1 a | フリップフロップ回路 | |
| 4 0 1 b | フリップフロップ回路 | |
| 4 0 2 | 回路 | |
| 4 0 2 a | 回路 | |
| 4 0 2 b | 回路 | |
| 4 1 1 | トランジスタ | |
| 4 1 2 | 容量素子 | |
| 4 1 3 | トランジスタ | |
| 4 2 1 | 演算回路 | 50 |

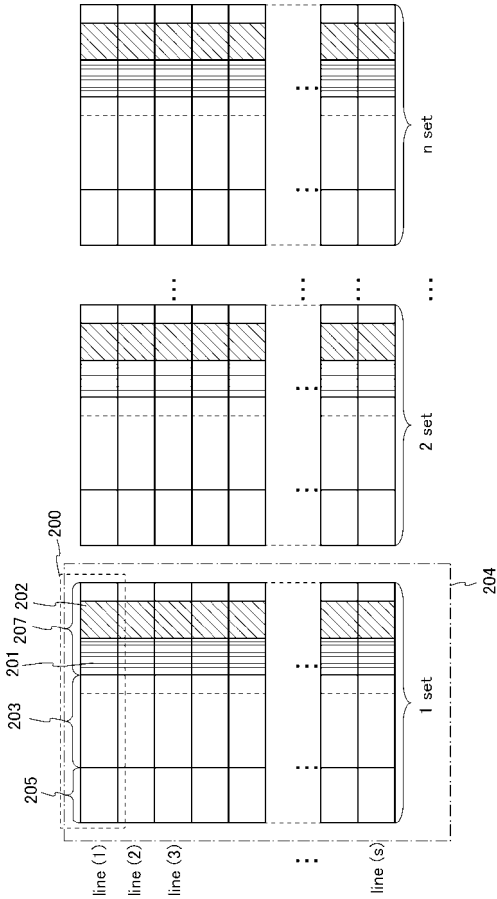
| | | |
|-----------|---------------|----|
| 4 2 1 a | 演算回路 | |
| 4 2 1 b | 演算回路 | |
| 4 2 2 | 演算回路 | |
| 4 2 2 a | 演算回路 | |
| 4 2 2 b | 演算回路 | |
| 4 2 3 | 演算回路 | |
| 4 2 4 | スイッチ | |
| 4 2 6 a | アナログスイッチ | |
| 4 2 6 b | アナログスイッチ | |
| 4 3 0 | インバータ | 10 |
| 4 3 0 a | インバータ | |
| 4 3 0 b | インバータ | |
| 8 0 0 | メモリセル | |
| 8 0 1 | Nチャネル型トランジスタ | |
| 8 0 2 | Nチャネル型トランジスタ | |
| 8 0 3 | Pチャネル型トランジスタ | |
| 8 0 4 | Pチャネル型トランジスタ | |
| 8 0 5 | Nチャネル型トランジスタ | |
| 8 0 6 | Nチャネル型トランジスタ | |
| 8 0 7 | 電源線 | 20 |
| 8 0 8 | グラウンド線 | |
| 8 0 9 | ワード線 | |
| 8 1 0 | データ線 | |
| 8 1 1 | データ線 | |
| 8 1 2 | ノード | |
| 8 1 3 | ノード | |
| 8 1 4 | インバータ回路 | |
| 8 1 5 | インバータ回路 | |
| 8 1 6 | フリップフロップ回路 | |
| 9 0 0 | メモリセル | 30 |
| 9 0 1 | Nチャネル型トランジスタ | |
| 9 0 2 | コンデンサ | |
| 9 0 3 | グラウンド線 | |
| 9 0 4 | ワード線 | |
| 9 0 5 | データ線 | |
| 9 0 3 3 | 留め具 | |
| 9 0 3 4 | スイッチ | |
| 9 0 3 5 | 電源スイッチ | |
| 9 0 3 6 | スイッチ | |
| 9 0 3 8 | 操作スイッチ | 40 |
| 9 6 3 0 | 筐体 | |
| 9 6 3 1 | 表示部 | |
| 9 6 3 1 a | 表示部 | |
| 9 6 3 1 b | 表示部 | |
| 9 6 3 2 a | 領域 | |
| 9 6 3 2 b | 領域 | |
| 9 6 3 3 | 太陽電池 | |
| 9 6 3 4 | 充放電制御回路 | |
| 9 6 3 5 | バッテリー | |
| 9 6 3 6 | D C D C コンバータ | 50 |

- 9 6 3 7 コンバータ
- 9 6 3 8 操作キー
- 9 6 3 9 ボタン

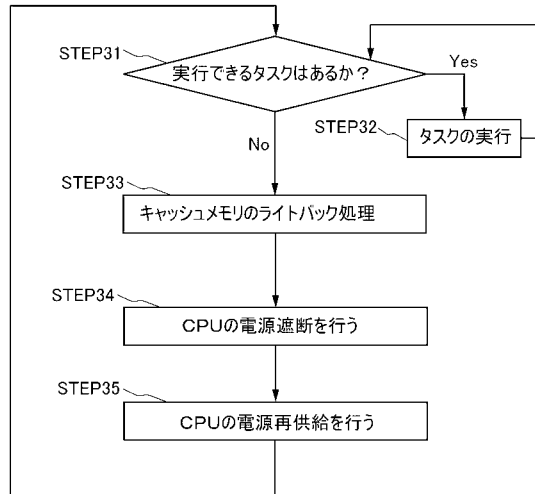
【 図 1 】



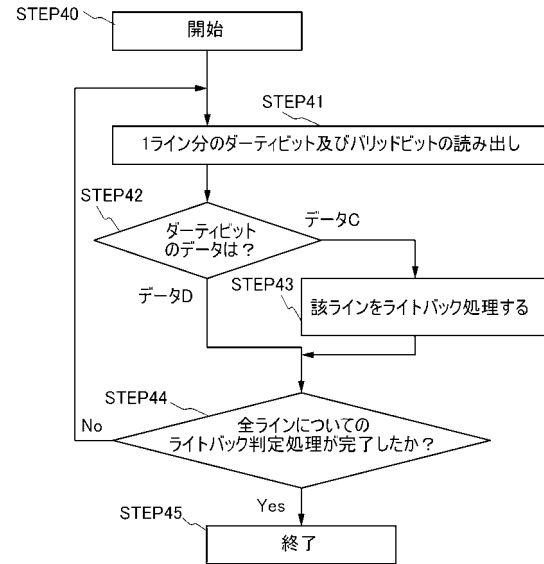
【 図 2 】



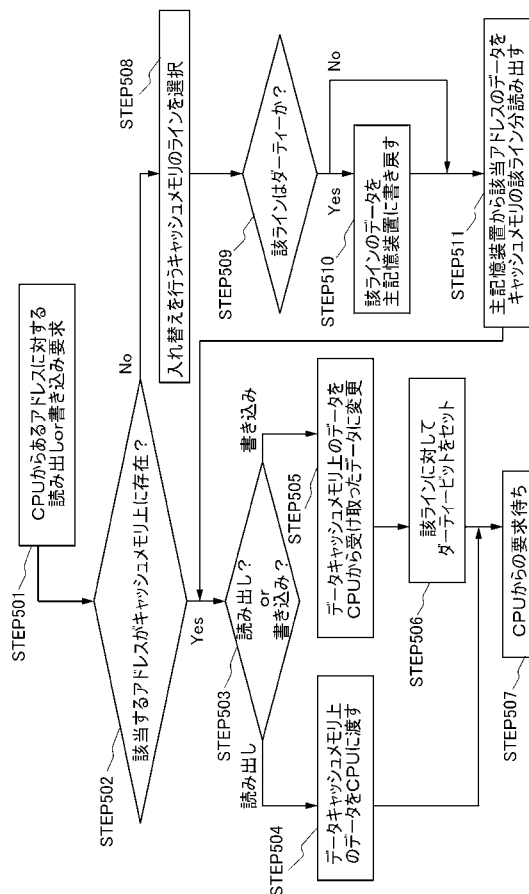
【図3】



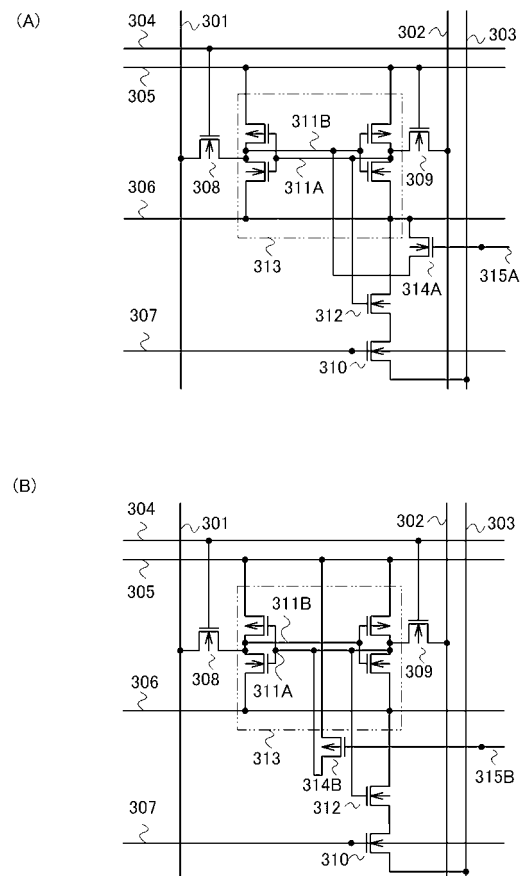
【図4】



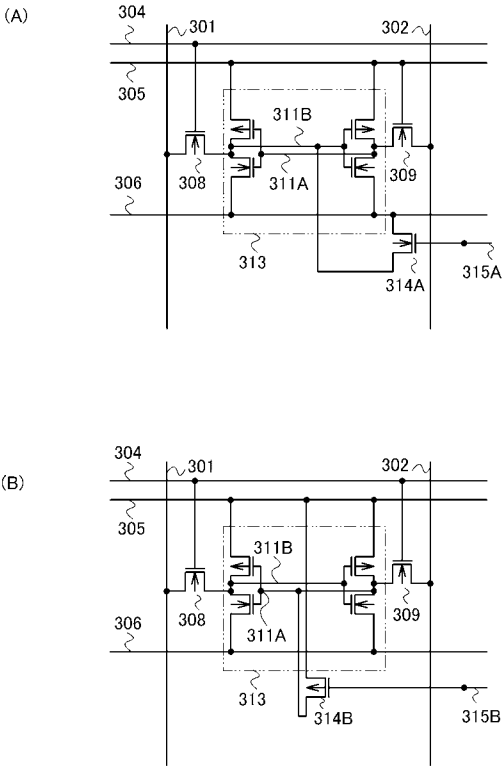
【図5】



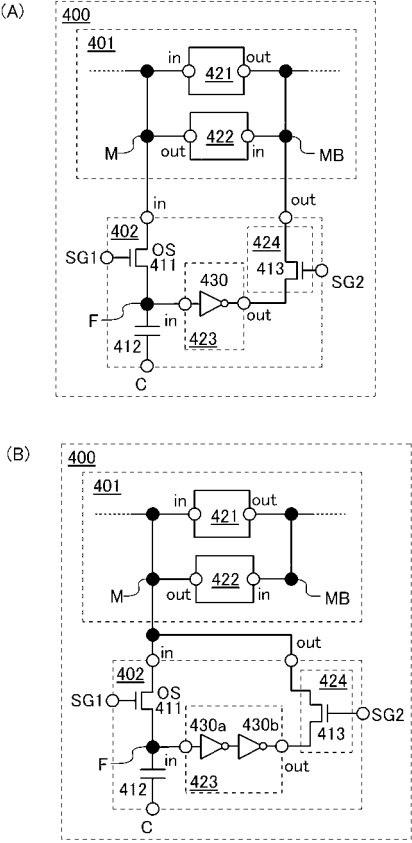
【図6】



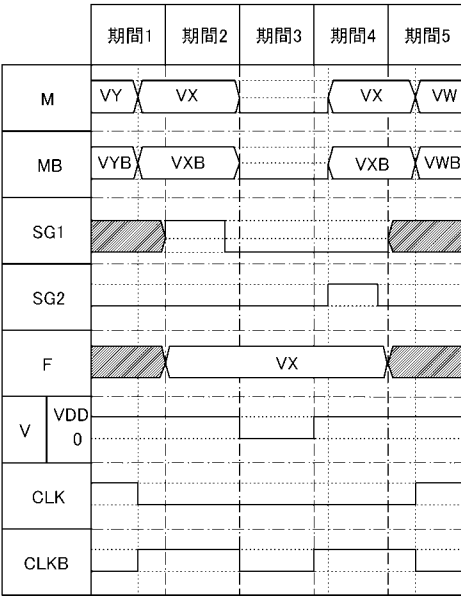
【 図 7 】



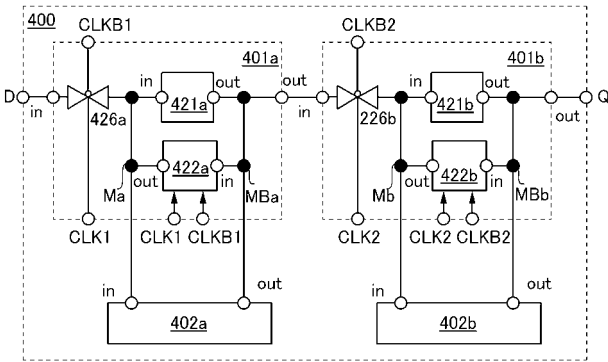
【 図 8 】



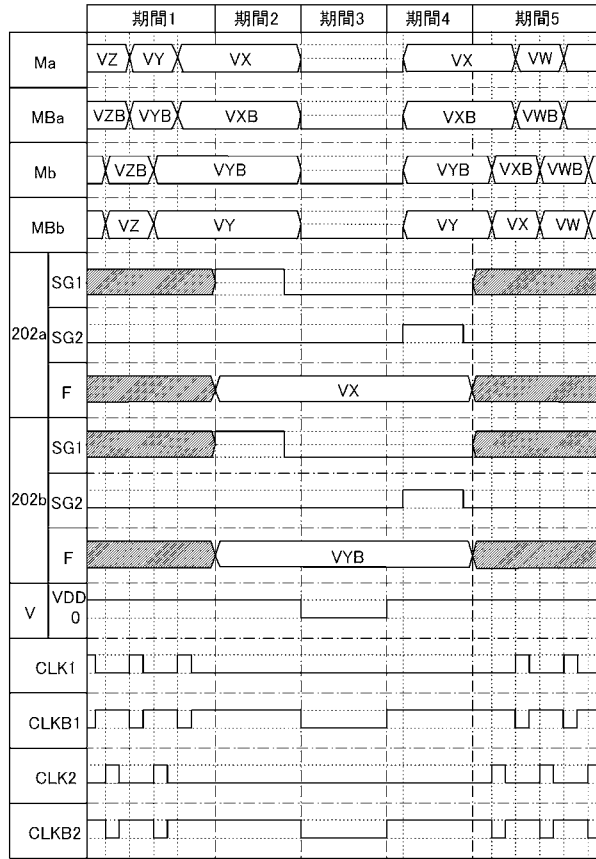
【 図 9 】



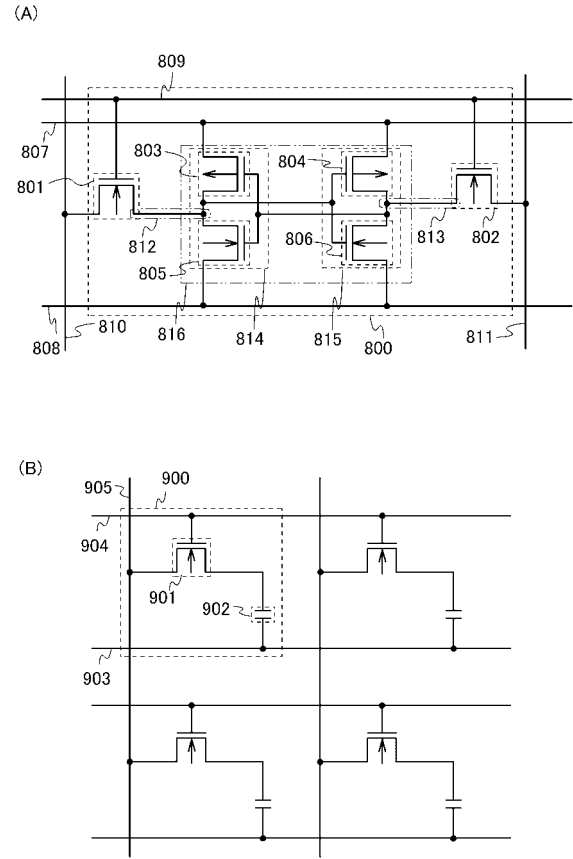
【 図 10 】



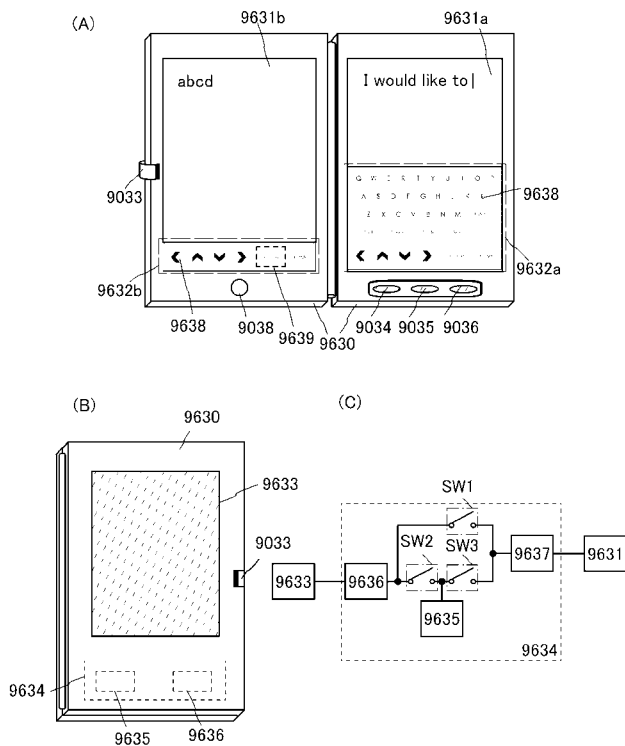
【図 1 1】



【図 1 2】



【図 1 3】



【図 1 4】

