



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201633707 A

(43) 公開日：中華民國 105 (2016) 年 09 月 16 日

(21) 申請案號：104137234

(22) 申請日：中華民國 104 (2015) 年 11 月 11 日

(51) Int. Cl. :

*H03K4/08 (2006.01)**G06F1/02 (2006.01)**H03M7/30 (2006.01)**H03M3/00 (2006.01)*

(30) 優先權：2014/11/11

美國

14/538,036

(71) 申請人：微晶片科技公司 (美國) MICROCHIP TECHNOLOGY INCORPORATED (US)

美國

(72) 發明人：克里斯 布萊恩 KRIS, BRYAN (US)

(74) 代理人：陳長文

申請實體審查：無 申請專利範圍項數：23 項 圖式數：5 共 23 頁

(54) 名稱

利用三角波產生之脈衝密度調變之數位／類比轉換器

PULSE DENSITY MODULATION DIGITAL-TO-ANALOG CONVERTER WITH TRIANGLE WAVE GENERATION

(57) 摘要

一相位累加器式樣電路產生一輸出脈衝串流。該脈衝串流之密度相對於由一加法器之位元寬度支援之最大值而與輸入資料值成比例。輸出脈衝密度表示所要輸出電壓。可藉助一電阻器-電容器 (RC) 低通濾波器對脈衝串流進行濾波以產生一類比電壓。較快時脈速率支援對減小電路成本之較小輸出濾波器之使用。此電路提供三角波產生，其中數位/類比轉換器 (DAC) 輸出以介於使用者規定最大振幅值與最小振幅值之間的一使用者規定速率 (斜率) 斜升及斜降。上升及下降之三角波斜變速率 (上升及下降之斜率) 可係不同且獨立的或相同的。

A phase accumulator style circuit generates an output stream of pulses. The density of the pulse stream is proportional to the input data value relative to the maximum value supported by the bit width of an adder. The output pulse density is representative of the desired output voltage. The pulse stream may be filtered with a resistor-capacitor (RC) low pass filter to yield an analog voltage. Faster clock rates support the use of smaller output filters that reduce circuit cost. This circuit provides triangle wave generation wherein the DAC output ramps up and down at a user specified rate (slope) between user specified maximum and minimum amplitude values. The up and down triangle wave ramp rates (up and down slopes) may be different and independent or the same.

指定代表圖：

符號簡單說明：

106 . . . 脈衝密度調  
變數位/類比轉換器

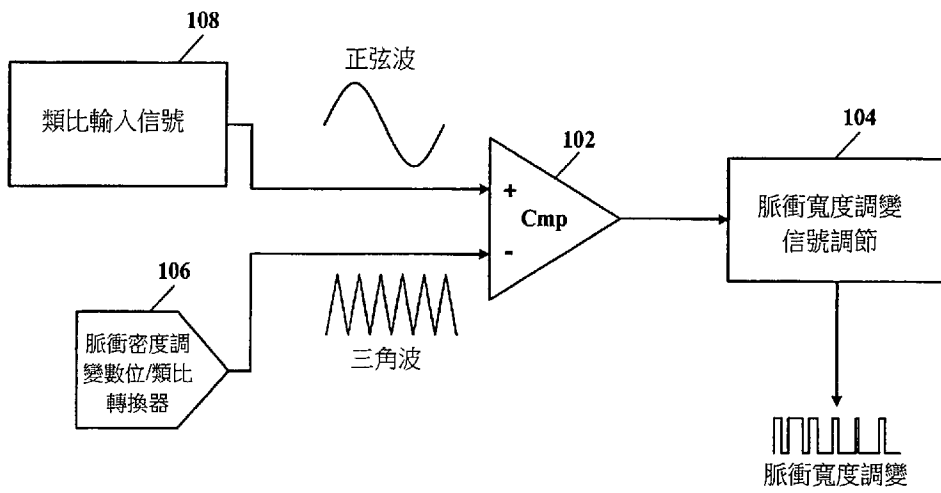


圖 1

## 發明摘要

※ 申請案號： 104137234

※ 申請日： 104.11.11

※IPC 分類：

H03K 4/08 (2006.01)  
G06F 1/02 (2006.01)  
H03M 7/30 (2006.01)  
H03M 3/00 (2006.01)

## 【發明名稱】

利用三角波產生之脈衝密度調變之數位/類比轉換器

PULSE DENSITY MODULATION DIGITAL-TO-ANALOG

CONVERTER WITH TRIANGLE WAVE GENERATION

## 【中文】

一相位累加器式樣電路產生一輸出脈衝串流。該脈衝串流之密度相對於由一加法器之位元寬度支援之最大值而與輸入資料值成比例。輸出脈衝密度表示所要輸出電壓。可藉助一電阻器-電容器(RC)低通濾波器對脈衝串流進行濾波以產生一類比電壓。較快時脈速率支援對減小電路成本之較小輸出濾波器之使用。此電路提供三角波產生，其中數位/類比轉換器(DAC)輸出以介於使用者規定最大振幅值與最小振幅值之間的一使用者規定速率(斜率)斜升及斜降。上升及下降之三角波斜變速率(上升及下降之斜率)可係不同且獨立的或相同的。

## 【英文】

A phase accumulator style circuit generates an output stream of pulses. The density of the pulse stream is proportional to the input data value relative to the maximum value supported by the bit width of an adder. The output pulse density is representative of the desired output voltage. The pulse stream may be filtered with a resistor-capacitor (RC) low pass filter to yield an analog voltage. Faster clock rates support the use of smaller output filters that reduce circuit cost. This circuit provides triangle wave generation wherein the DAC output ramps up and down at a user specified rate (slope) between user specified maximum and minimum amplitude values. The up and down triangle wave ramp rates (up and down slopes) may be different and independent or the same.

**【代表圖】**

**【本案指定代表圖】**：第（1）圖。

**【本代表圖之符號簡單說明】**：

106          脈衝密度調變數位/類比轉換器

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

利用三角波產生之脈衝密度調變之數位/類比轉換器  
PULSE DENSITY MODULATION DIGITAL-TO-ANALOG  
CONVERTER WITH TRIANGLE WAVE GENERATION

## 【技術領域】

本發明係關於脈衝寬度調變(PWM)音訊應用，且更特定而言，係關於一種數位/類比轉換器(DAC)，其包括斜率與脈衝密度調變(PDM)產生器、消隱與延遲邏輯及一低通濾波器；且提供用於將一類比波形轉換為一數位PWM脈衝列之三角波產生。

## 【先前技術】

所有類別D調變技術將關於音訊信號之資訊編碼為一脈衝串流。一般而言，脈衝寬度與音訊信號之振幅有聯繫，且脈衝之波譜包含所要音訊。最常見調變技術係脈衝寬度調變(PWM)。概念性地，PWM比較輸入音訊信號與以一固定載波頻率運行之一個三角形或斜升與斜降波形。此在該載波頻率下形成一脈衝串流。在載波頻率之每一週期內，PWM脈衝之工作比與音訊信號之振幅成比例。PWM係具有吸引力的，此乃因其允許數百千赫之PWM載波頻率下之100 dB或較佳音訊頻帶SNR足夠低以限制輸出級中之切換損耗。而且，諸多PWM調變器穩定高達接近100%調變，從而在概念上准許高輸出功率高達超載點。因此，期望以一給定類比輸入信號來針對PWM調變器之最佳效能調整三角波之振幅(高度)及斜率。

## 【發明內容】

因此，需要一種自動產生具有參數(諸如，斜變速率及電壓位準)

之一個三角形波形之脈衝密度調變(PDM)數位/類比轉換器(DAC)，該等參數可由一使用者在該PDM DAC之數位邏輯中設定。

根據一實施例，一種利用三角波產生之脈衝密度調變數位/類比轉換器(PDM DAC)可包括：一脈衝密度調變(PDM)產生器；一低通濾波器，其耦合至該PDM產生器之一輸出；及一個三角波產生器，其具有可耦合至該PDM產生器之一輸出，其中該PDM產生器之該輸出可由該三角波產生器所產生之數位值來判定。

根據又一實施例，該三角波產生器可產生單調增加之數位值直至可達到一最大數位值為止，然後其可產生單調減少之數位值直至可達到一最小數位值為止。根據又一實施例，該等單調增加之數位值可自該最小數位值轉為該最大數位值，且該等單調減少之數位值可自該最大數位值轉為該最小數位值。根據又一實施例，該等單調增加之數位值及該等單調減少之數位值可重複。根據又一實施例，該最大數位值可係可程式化的。根據又一實施例，該最小數位值可係可程式化的。根據又一實施例，該等單調增加之數位值之一改變速率可係可程式化的。根據又一實施例，該等單調減少之數位值之一改變速率可係可程式化的。

根據又一實施例，來自該PDM產生器之一脈衝密度可與該等數位值成比例。根據又一實施例，來自該低通濾波器之一輸出可提供一類比三角波。根據又一實施例，該等單調增加之數位值之一改變速率可判定類比三角波形之一正斜率。根據又一實施例，該等單調減少之數位值之改變速率可判定該類比三角波形之一負斜率。根據又一實施例，該最大數位值可判定該類比三角波形之一最大振幅。根據又一實施例，該最小數位值可判定該類比三角波形之一最小振幅。

根據又一實施例，該PDM產生器可包括：一累加器；一遞增暫存器；一加法器，其具有耦合至該累加器之一輸入之一輸出、耦合至

該遞增暫存器之一輸出之一第一輸入及耦合至該累加器之一輸出之一第二輸入；及一正反器，其具有耦合至來自該加法器之一進位輸出之一輸入。根據又一實施例，該低通濾波器可具有至少一個極。根據又一實施例，該低通濾波器可包括至少一個電阻器及至少一個電容器。

根據又一實施例，三角波產生器可包括：一斜率累加器；一高值比較器，其耦合至該斜率累加器之一輸出；一低值比較器，其耦合至該斜率累加器之該輸出；一加法器；一斜率暫存器，其具有耦合至該加法器之一輸入之一輸出；及控制邏輯，其中該等數位值可由該三角波產生器提供。根據又一實施例，可提供用於選擇一大於正常之斜率值以致使該低通濾波器快速地追蹤斜率方向之一改變之一第一斜率步驟多工器與控制邏輯。根據又一實施例，該等PDM產生器、低通濾波器及三角波產生器可提供於一混合信號積體電路中。根據又一實施例，該混合信號積體電路可係一微控制器。根據又一實施例，該混合信號積體電路可係選自由以下各項組成之群組：一微處理器、一數位信號處理器、一特殊應用積體電路(ASIC)及可程式化邏輯陣列(PLA)。

根據又一實施例，一種用於將一類比波形轉換為一脈衝寬度調變(PWM)脈衝列之系統可包括：一類比比較器，其具有耦合至一類比信號之一第一輸入；及一第二輸入，其耦合至該PDM DAC，該PDM DAC可包括：一脈衝密度調變(PDM)產生器；一低通濾波器，其耦合至該PDM產生器之一輸出；及一個三角波產生器，其具有耦合至該PDM產生器之一輸出，其中該PDM產生器之該輸出可由該三角波產生器所產生之數位值來判定且來自該類比比較器之一輸出可包括表示該類比信號之一PWM脈衝列。

### 【圖式簡單說明】

可藉由參考結合附圖進行之以下說明而獲取對本發明之一更完 5

全理解，在該等附圖中：

圖1圖解說明根據本發明之教示之包括具有三角波形輸出之一PDM DAC、一比較器及PWM信號調節之用於數位音訊PWM應用之一電路之一示意性方塊圖；

圖2圖解說明根據本發明之教示之展示使用圖1中所展示之電路之一個三角波數位音訊PWM應用之時序關係之示意性曲線圖；

圖3圖解說明根據本發明之一特定實例性實施例之一經簡化PDM DAC之一示意性方塊圖；

圖4圖解說明根據本發明之一特定實例性實施例之與圖3之PDM DAC結合使用以提供一重複發生之週期性三角波形輸出之一斜率產生器之一示意性方塊圖；及

圖5圖解說明根據本發明之一特定實例性實施例之三角波模式控制邏輯之一示意性方塊圖；

雖然本發明易於作出各種修改及替代形式，但已在圖式中展示並在本文中詳細闡述其特定實例性實施例。然而，應理解，本文對特定實例性實施例之說明並非意欲將本發明限制於本文中所揭示之特定形式，而是相反，本發明將涵蓋如由隨附申請專利範圍界定之所有修改及等效形式。

### 【實施方式】

利用三角波產生之PDM DAC提供用以產生至一類比比較器之三角波參考電壓之一低成本方式，該類比比較器用於產生表示一類比信號之時變振幅之一數位脈衝寬度調變(PDM)脈衝列。利用三角波產生之PDM DAC係實質上一數位設計，因此當移動至新程序技術時，設計移植(porting)並非一問題。其大數位內容隨程序比例縮放而良好地按比例縮放。在本文中，將可互換地使用「三角波」及「三角波形」。一個三角波係因其三角形形狀而命名之一非正弦波形。其係一

週期性分段線性連續實函數。在物理學中，一波係伴隨著一能量轉移行進穿過物質或空間之一干擾或振盪。

根據本發明之各種實施例，一相位累加器式樣電路產生一輸出脈衝串流。該脈衝串流之密度相對於由一加法器之位元寬度支援之最大值而與輸入資料值成比例。輸出脈衝密度表示所要輸出電壓。可藉助一電阻器-電容器(RC)低通濾波器對脈衝串流進行濾波以產生一類比電壓。較快時脈速率支援對減小電路成本之較小輸出濾波器之使用。此電路提供三角波產生，其中DAC輸出以介於使用者規定最大振幅值與最小振幅值之間的一使用者規定速率(斜率)斜升及斜降。上升及下降之三角波斜變速率(上升及下降之斜率)可係不同且獨立的或相同的。

現在參考圖式，示意性地圖解說明特定實例性實施例之細節。圖式中，將由相似編號表示相似元件，且將由帶有一不同小寫字母後綴之相似編號表示類似元件。

參考圖1，繪示根據本發明之教示之包括具有三角波形輸出之一PDM DAC、一比較器及PWM信號調節之用於數位音訊PWM應用之一電路之一示意性方塊圖。PDM DAC 106提供具有一可選擇週期、高及低振幅以及斜升及斜降(斜率)速率(所有皆係使用者可選擇的)之一個三角波形。參考圖2，繪示根據本發明之教示之展示使用圖1中所展示之電路之一個三角波數位音訊PWM應用之時序關係之示意性曲線圖。在圖1及圖2中所展示之實例中，音訊輸入及三角形波兩者皆以0伏特為中心，使得針對零(0)伏特下之一類比音訊輸入，PWM輸出脈衝之工作比係大約50%。針對一大振幅正輸入，其較接近於100%，且針對一大振幅負輸入，其較接近於百分之零。若音訊振幅超過三角波之振幅，則全波調變發生(100%接通或關斷脈衝寬度)，其中脈衝列停止切換，且個別週期內之工作比係百分之零(0%)或者100%。

參考圖3，繪示根據本發明之一特定實例性實施例之一經簡化PDM DAC之一示意性方塊圖。通常由數字106表示之PDM DAC可包括一PDM產生器300及一低通濾波器350。PDM產生器300可包括一累加器暫存器310、一遞增值(DAC值)暫存器318、一加法器(求和器)314、一第一多工器322、一第二多工器324、一DAClow SFR暫存器332、一DACLO暫存器328、一DACDAT SFR暫存器330、一DACHI暫存器326及一D鎖存器320。加法器(求和器)314產生具有與遞增值暫存器318中之一值成比例之一速率下之一脈衝輸出之一溢位進位輸出(CO)信號316。CO信號316耦合至鎖存器320之D輸入。D鎖存器320之Q輸出可耦合至一低通濾波器(例如，電阻器R1、R2以及電容器C1及C2形成之一(RC)低通濾波器350)。圖3中所展示之低通濾波器350係一雙極RC低通濾波器，但在本文中可使用並預期任一類型之低通濾波器。

累加器暫存器310及加法器314不斷地將來自遞增值暫存器318之一遞增值加至加法器314中之一累加總和。針對非零輸入值，該累加總和將最終溢位，其中此溢位可經由來自加法器314之CO信號316指示。發生溢位之速率與來自遞增值暫存器318之遞增值對加法器314可處置之最大値之大小相關。舉例而言，一12位元加法器314具有0xFFF之一最大輸出。若至加法器314之輸入、累加器值及輸入值超過0xFFF，則產生一CO信號316。輸入值越大，可越頻繁地產生CO信號316。然後可藉助一低通濾波器350對來自CO信號316之所得脈衝串流進行濾波。來自低通濾波器350之所得類比輸出電壓與來自遞增值暫存器318之資料輸入遞增值成比例。低通濾波器350可係整個PDM DAC 106之主要「成本」。對PDM DAC 106使用較高時脈速率允許低通濾波器350中之較小組件之使用，因此減小其成本。較高時脈速率亦支援較高轉換速度，使PDM DAC 106可用於一較寬廣範圍之應

用。然而，較高時脈速率之使用亦將增加PDM DAC 106之電流消耗。預期且在本發明之範疇內，任一低通濾波器電路設計可用以對D鎖存器320之Q輸出進行濾波以產生一類比電壓信號，且熟習電路設計且受益於本發明者可能夠容易地設計此一低通濾波器電路。

SFR (特殊功能暫存器) DACLOW 332及DACDAT 330係儲存如由使用者之軟體規定之所要DAC電壓設定之輸入暫存器。DACLO 328及DACHI 326暫存器將使用者之設定自處理器時脈域中之SFR暫存器傳送至PDM DAC之高速時脈域。在三角波形產生之上升或下降部分期間，多工器324選擇如由控制邏輯規定之DACLO 328或者DACHI 326。多工器322選擇來自多工器324之資料或者來自斜率累加器458之資料。在三角波形操作期間，多工器322總是選擇來自斜率累加器458之資料。在三角波產生中，經由多工器460將由多工器324選擇之資料發送至斜率累加器458之輸入。來自DACLO 328暫存器之低資料用以在三角波之向上斜率部分之開始處初始化斜率累加器458。來自DACHI 326暫存器之高資料用以在三角波之向下斜率部分之開始處初始化斜率累加器458。

參考圖4，繪示根據本發明之一特定實例性實施例之與圖3之PDM DAC結合使用以提供一重複發生之週期性三角波形輸出之一斜率產生器之一示意性方塊圖。在週期性三角波形產生(三角波模式)期間，將至PDM DAC 106之輸入資料值以一線性使用者規定速率重複地增加/減少直至程序終止為止。三角波模式係單調增加及單調減少之斜率之一重複循環，其係自動控制的且其不依靠外部控制信號。通常由數字400表示之三角波產生器提供三角波形產生，其中PDM DAC 106輸出以介於使用者規定最大振幅值與最小振幅值之間的一使用者規定速率斜升及斜降。在三角形波形產生模式中，累加器電路改變方向以達到另一限制，斜率產生器400將不斷地在正斜率與負斜率之間

改變。

圖4展示計算用以使PDM DAC 106能夠在PDM DAC 106自一個規定值移動至另一規定值時產生受控斜率之中間資料值的一電路。此電路可以一半之PDM時脈產生器頻率(例如，250 MHz標稱)來操作。用於產生重複發生之週期性三角波形之斜率產生器400可包括一斜率累加器458、一加法器462、一斜率輸入暫存器464、斜率相等比較器452及454、一個二補數產生器470、一比例縮放多工器467以及多工器460及466。斜率產生器400之功能係：使DAC資料值以一使用者定義速率遞增/遞減以達到一所要終點值。針對三角波產生，斜率產生器400形成三角波函數。來自使用者之斜率輸入資料規定斜率電路之每反覆之遞增/遞減量。此電路可係(舉例而言但不限於) 16位元寬以提供預期斜率持續時間內之足夠解析度及DAC資料值。針對負斜率，可在輸入至斜率加法器462之前將斜率輸入值轉換為一個二補數負值以便支援負斜率。

控制邏輯456具有諸多目的，但針對三角波產生，圖5中所展示之電路(元件570、572、574、576、578、580、582、584、586)係對控制邏輯456之一詳細說明。該控制邏輯經由波方向正反器582定義方向(三角波形之向上或向下)。波方向正反器582之控制邏輯輸出通過經由多工器466及互斥或閘468之對真實或補數三角波斜率遞增/遞減值之選擇來控制斜率累加器458將遞增還是遞減。SLPCON SFR暫存器472儲存使用者之規定正斜率遞增速率，而二補數電路470產生一負斜率遞減速率。多工器466基於控制邏輯456中之波方向正反器582之輸出而選擇正遞增值或者負遞增(遞減)值。多工器467可用以在斜率程序之開始處提供一初跳(initial jump)以減小濾波器350之回應中之滯後。互斥或閘468之目的係：為使用者提供對控制電路之極性更動控制(反相)之選項以便使三角波形替代向下而向上且然後替代向上方向

而向下。某些應用可能想要波形沿著三角波形在一高狀態或者一低狀態上開始。

參考圖5，繪示根據本發明之一特定實例性實施例之三角波模式控制邏輯之一示意性方塊圖。波方向正反器582在每一上升或下降邊緣序列之結束處交替。波方向正反器582為斜率產生器選擇遞增/遞減值，且其選擇適當數位比較器452、454 (圖4)來終止斜率上升或下降。可分別經由DACDAT暫存器330及DACLOW暫存器332 (圖3)規定波形之高點及低點。三角波形之斜率可由SLPDAT暫存器472 (圖4)規定。

可經由SLPCON暫存器472控制三角波之上升與下降時間及頻率。斜率程序之第一時脈循環可選擇一經比例縮放值而非規定值以提供對DAC軌跡之瞬時DAC回應。針對斜率程序之所有後續時脈循環，斜率產生器使用來自SLPCON暫存器472之規定資料值以使DAC資料值遞增/遞減。三角波模式在數位音訊應用中係有用的，其中經由使用一個三角波參考信號(參見圖1)之一類比比較器而對類比輸入信號進行取樣。在應用啟動處：DAC輸出電壓係零。啟用DAC (DACON = 1)，設定TWME位元(TWME = 1)，啟用斜率函數(SLOPEN = 1)。可由至XOR閘468之一輸入之一PSE信號選擇斜率之極性。該PSE信號可源自SLPCON暫存器472中之一位元。

三角波函數係一「4」步驟程序：經清除波方向正反器582選擇DACDAT暫存器330作為斜率最大限制值。可將斜率方向設定為正的。選擇DACHIGEQ數位比較器452作為終止循環之上升邊緣部分之信號。斜率累加器458在值上增加直至確證來自DACHIGEQ比較器452之輸出為止。設定波方向正反器582。波方向正反器582選擇DACLO暫存器328作為斜率最小限制值。將斜率方向設定為負的。選擇DACLOLEQ比較器454作為終止該循環之下降邊緣部分之信號。斜率

累加器 458 在值上降低直至確證來自 DACLOLEQ 比較器 454 之 DACLOLEQ 信號為止。清除波方向正反器 582。該循環重複。DACDAT 暫存器 330 及 DACLO 暫存器 328 規定三角波形之最大值及最小值。DAT 暫存器 330 規定三角波形之斜升及斜降速率。

可針對斜率或斜變程序之第一反覆確證 FSS 信號。然後，FSS 信號可選擇一大於正常之斜率遞增/遞減值(例如，16x)來提供 DAC 電壓之足夠改變以使低通濾波器 350 能夠瞬時地追蹤所要斜率以便快速地向類比低通濾波器 350 追蹤預期斜率函數。DAC 值之此小步驟改變形成幫助低通濾波器 350 做出回應之一電壓差動。在斜率程序(包含三角波分段)之第一時脈循環上，可確證來自 NOR 閘 586 之輸出之一波方向改變信號(圖 5)。可將該波方向改變信號與斜率模式開始信號進行 OR 運算以產生控制比例縮放多工器 467 (圖 4)之 FSS (第一步驟比例縮放)信號。

在斜率產生器 400 超過 DACDAT 暫存器 330 中之高 DAC 值或低於 DACLOW 暫存器 332 中之低 DAC 值時設定且清除波方向正反器 582。波方向正反器 582 在斜率斜升至正限制及然後斜降至負限制時交替。只要啟用三角波模式(TWME = 1)，循環便重複。為了快速地向類比濾波器追蹤預期斜率函數，一斜率程序之第一循環可使用一個 16x 比例縮放遞增/遞減值(未展示)。DAC 值之此小步驟改變形成幫助濾波器做出回應之一電壓差動。在斜率程序之第一時脈循環上，確證來自互斥或閘 586 之輸出之一波方向改變信號。

前述電路功能(例如，PDM 產生器、低通濾波器及三角波產生器)可提供於一混合信號積體電路(例如，一微控制器、一微處理器、一數位信號處理器、一特殊應用積體電路(ASIC)、一可程式化邏輯陣列(PLA)及諸如此類)中。

在由 Bryan Kris、Andreas Reiter 及 Tibor Futo 於 2014 年 3 月 10 日提

出申請之標題為「Pulse Density Digital-to-Analog Converter with Slope Compensation Function」之共同擁有之序列號為14/202,420的美國專利申請案中更完全地揭示關於一PDM DAC之額外背景資訊；且該美國專利申請案特此出於所有目的而以引用方式併入本文中。

雖然已藉由參考本發明之實例性實施例來繪示、闡述及界定本發明之實施例，但此等參考並不暗示對本發明之一限制，且不應推斷出存在此限制。如熟悉相關技術者且受益於本發明者將會想到，所揭示之標的物能夠在形式及功能上具有大量修改、變更及等效形式。本發明之所繪示及闡述之實施例僅作為實例，而並非係對本發明之範疇之窮盡性說明。

#### 【符號說明】

106	脈衝密度調變數位/類比轉換器
300	脈衝密度調變產生器
310	累加器暫存器
314	加法器/求和器/12位元加法器
316	溢位進位輸出信號/進位輸出信號
318	遞增值暫存器/數位/類比轉換器值暫存器
320	D鎖存器/鎖存器
322	第一多工器/多工器
324	第二多工器/多工器
326	DACHI暫存器/DACHI
328	DACLO暫存器/DACLO
330	DACDAT特殊功能暫存器/DACDAT/DACDAT暫存器 /DAT暫存器
332	DAClow特殊功能暫存器/特殊功能暫存器 DACLOW/DACLOW暫存器

350	低通濾波器/濾波器
400	數字/斜率產生器
452	斜率相等比較器/數位比較器/DACHIGEIQ數位比較器 /DACHIGEIQ比較器
454	斜率相等比較器/數位比較器/DACLOLEIQ比較器
456	控制邏輯
458	斜率累加器
460	多工器
462	加法器/斜率加法器
464	斜率輸入暫存器
466	多工器
467	比例縮放多工器/多工器
468	互斥或閘
470	二補數產生器/二補數電路
472	SLPCON特殊功能暫存器/SLPDAT暫存器/SLPCON暫 存器
570	元件
572	元件
574	元件
576	元件
578	元件
580	元件
582	元件/波方向正反器
584	元件
586	元件/NOR閘
C1	電容器

C2	電容器
CO	進位輸出
D	輸入
FSS	第一步進比例縮放信號/信號
PSE	信號
Q	輸出
R1	電阻器
R2	電阻器
TWME	位元

## 申請專利範圍

1. 一種利用三角波產生之脈衝密度調變數位/類比轉換器(PDM DAC)，其包括：
  - 一脈衝密度調變(PDM)產生器；
  - 一低通濾波器，其耦合至該PDM產生器之一輸出；及
  - 一個三角波產生器，其具有耦合至該PDM產生器之一輸出，其中該PDM產生器之該輸出由該三角波產生器所產生之數位值來判定。
2. 如請求項1之PDM DAC，其中該三角波產生器產生單調增加之數位值直至達到一最大數位值為止，然後其產生單調減少之數位值直至達到一最小數位值為止。
3. 如請求項2之PDM DAC，其中該等單調增加之數位值自該最小數位值轉為該最大數位值且該等單調減少之數位值自該最大數位值轉為該最小數位值。
4. 如請求項3之PDM DAC，其中該等單調增加之數位值及該等單調減少之數位值重複。
5. 如請求項4之PDM DAC，其中該最大數位值係可程式化的。
6. 如請求項4之PDM DAC，其中該最小數位值係可程式化的。
7. 如請求項4之PDM DAC，其中該等單調增加之數位值之一改變速率係可程式化的。
8. 如請求項4之PDM DAC，其中該等單調減少之數位值之一改變速率係可程式化的。
9. 如請求項1之PDM DAC，其中來自該PDM產生器之一脈衝密度與該等數位值成比例。
10. 如請求項2之PDM DAC，其中來自該低通濾波器之一輸出提供一

類比三角波。

11. 如請求項10之PDM DAC，其中該等單調增加之數位值之一改變速率判定類比三角波形之一正斜率。
12. 如請求項10之PDM DAC，其中該等單調減少之數位值之該改變速率判定該類比三角波形之一負斜率。
13. 如請求項10之PDM DAC，其中該最大數位值判定該類比三角波形之一最大振幅。
14. 如請求項10之PDM DAC，其中該最小數位值判定該類比三角波形之一最小振幅。
15. 如請求項1之PDM DAC，其中該PDM產生器包括：
  - 一累加器
  - 一遞增暫存器；
  - 一加法器，其具有耦合至該累加器之一輸入之一輸出、耦合至該遞增暫存器之一輸出之一第一輸入及耦合至該累加器之一輸出之一第二輸入；及
  - 一正反器，其具有耦合至來自該加法器之一進位輸出之一輸入。
16. 如請求項1之PDM DAC，其中該低通濾波器具有至少一個極。
17. 如請求項16之PDM DAC，其中該低通濾波器包括至少一個電阻器及至少一個電容器。
18. 如請求項1之PDM DAC，其中該三角波產生器包括：
  - 一斜率累加器；
  - 一高值比較器，其耦合至該斜率累加器之一輸出；
  - 一低值比較器，其耦合至該斜率累加器之該輸出；
  - 一加法器；
  - 一斜率暫存器，其具有耦合至該加法器之一輸入之一輸出；

及

控制邏輯，其中該等數位值由該三角波產生器提供。

19. 如請求項18之PDM DAC，其進一步包括一第一斜率步驟多工器與控制邏輯，其用於選擇一大於正常之斜率值以致使該低通濾波器快速地追蹤斜率方向之一改變。
20. 如請求項1之PDM DAC，其中該等PDM產生器、低通濾波器及三角波產生器提供於一混合信號積體電路中。
21. 如請求項19之PDM DAC，其中該混合信號積體電路係一微控制器。
22. 如請求項19之PDM DAC，其中該混合信號積體電路係選自由以下各項組成之群組：一微處理器、一數位信號處理器、一特殊應用積體電路(ASIC)及可程式化邏輯陣列(PLA)。
23. 一種用於將一類比波形轉換為一脈衝寬度調變(PWM)脈衝列之系統，該系統包括：
  - 一類比比較器，其具有耦合至一類比信號之一第一輸入；及
  - 一第二輸入，其耦合至如請求項1之PDM DAC，其中來自該類比比較器之一輸出包括表示該類比信號之一PWM脈衝列。

圖式

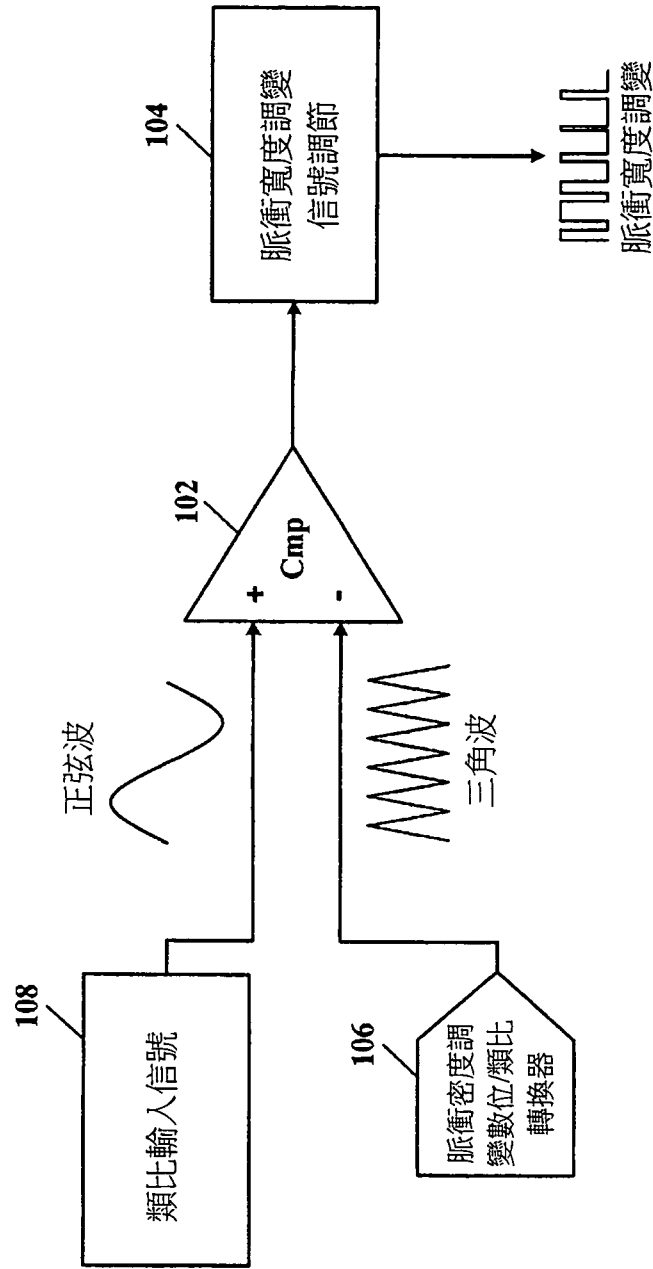


圖 1

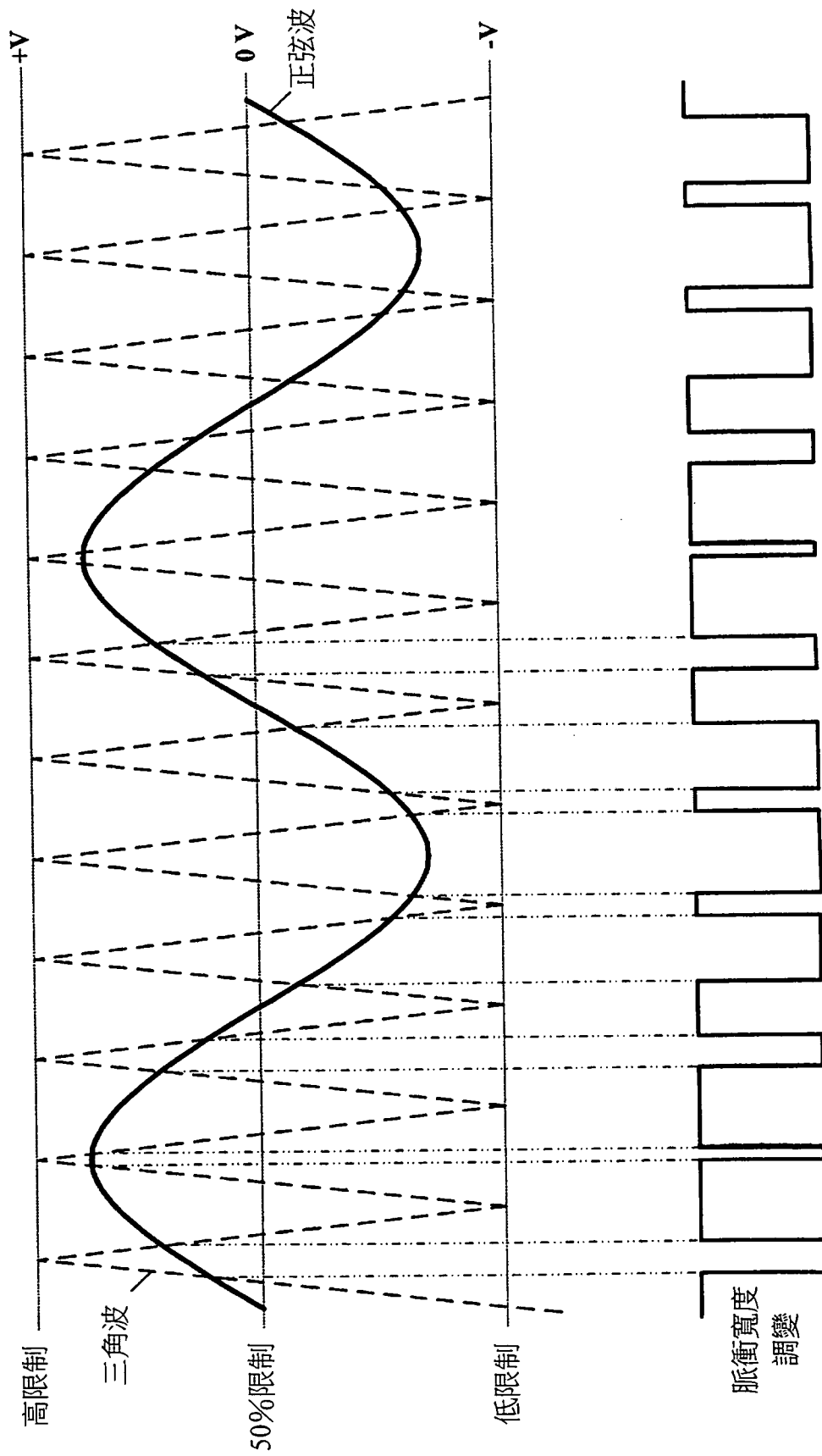


圖 2

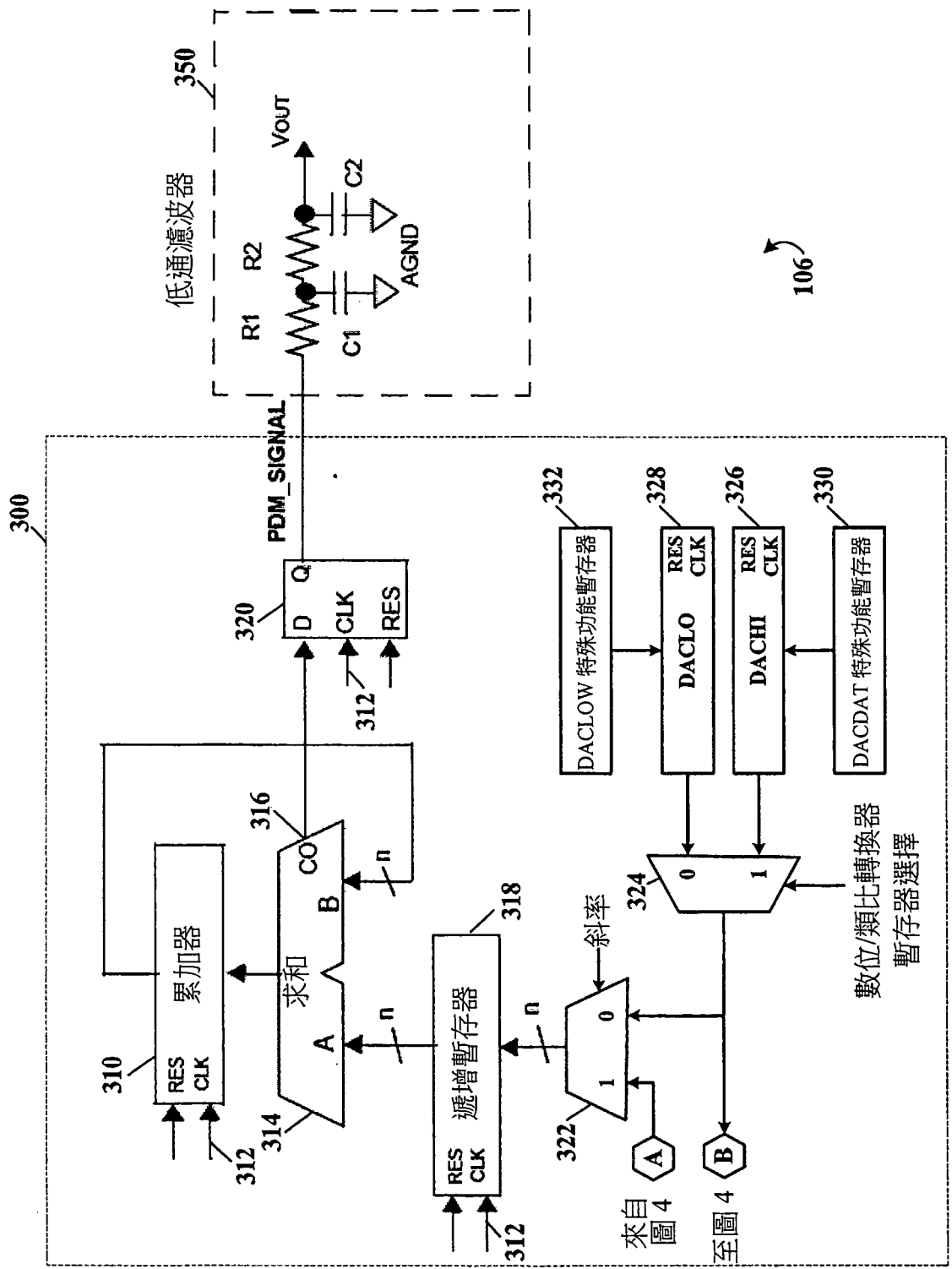


圖 3

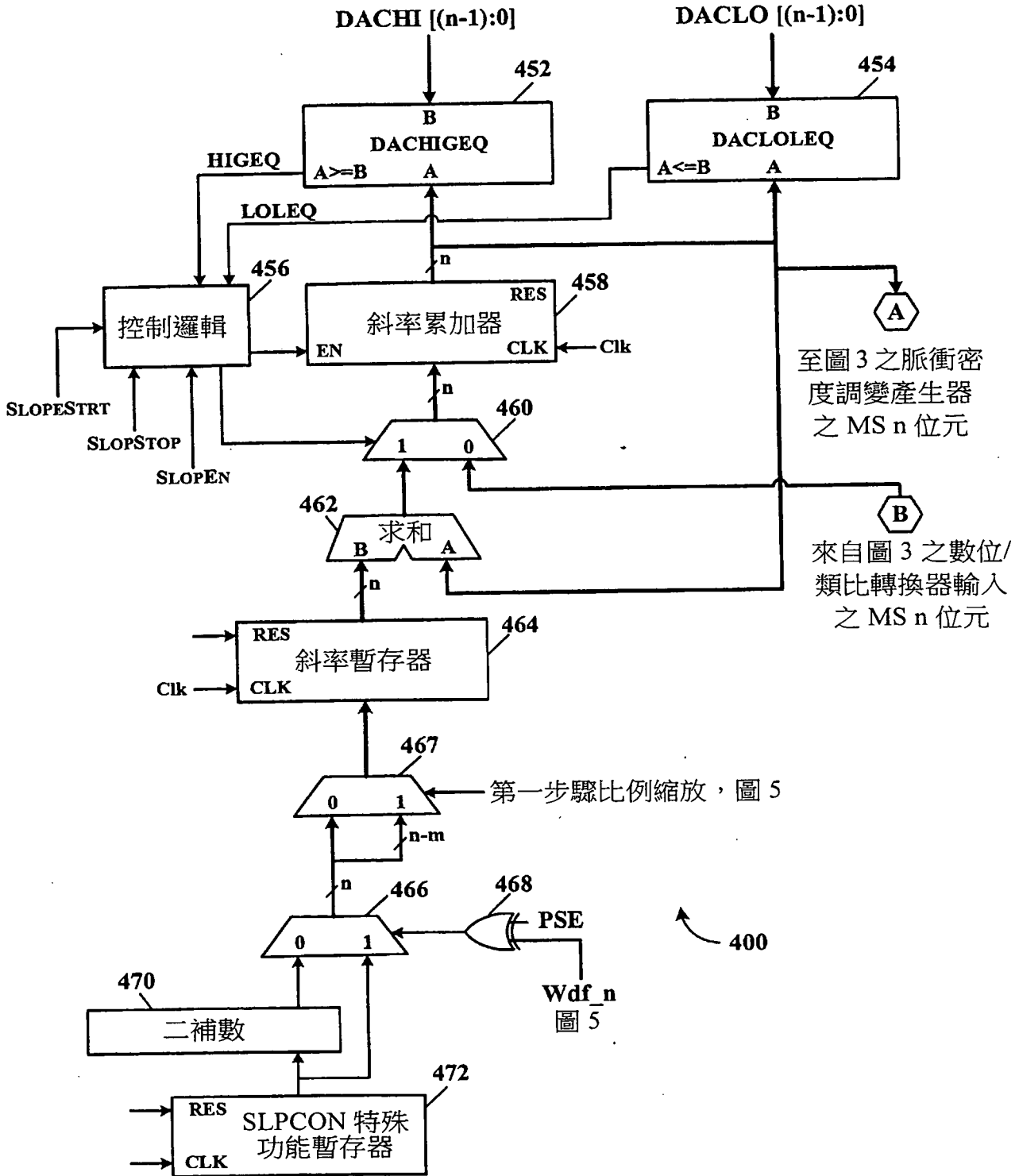


圖 4

456

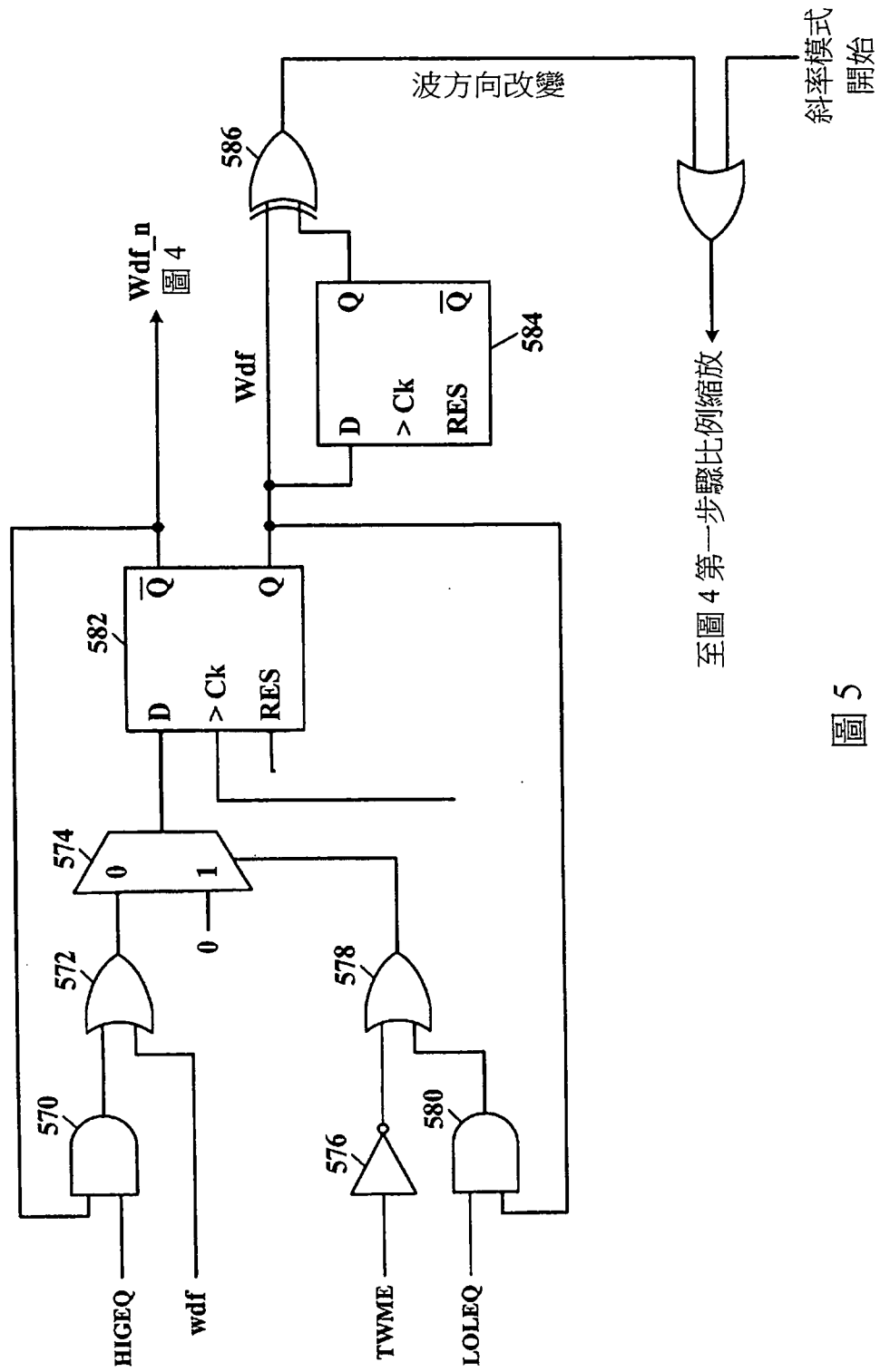


圖 5