

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成18年6月22日(2006.6.22)

【公表番号】特表2005-524987(P2005-524987A)  
 【公表日】平成17年8月18日(2005.8.18)  
 【年通号数】公開・登録公報2005-032  
 【出願番号】特願2004-504268(P2004-504268)  
 【国際特許分類】

**H 0 1 L 27/12 (2006.01)**  
**H 0 1 L 21/02 (2006.01)**  
**H 0 1 L 21/20 (2006.01)**  
**H 0 1 L 29/786 (2006.01)**  
**H 0 1 L 21/336 (2006.01)**

【F I】

H 0 1 L 27/12 E  
 H 0 1 L 21/20  
 H 0 1 L 29/78 6 1 8 A  
 H 0 1 L 29/78 6 2 6 C  
 H 0 1 L 29/78 6 1 8 E

【手続補正書】

【提出日】平成18年5月2日(2006.5.2)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板上にエピタキシャル絶縁体層を形成するステップと、  
 該エピタキシャル絶縁体層上に、エピタキシャル半導体層を形成するステップと  
 を含み、  
前記エピタキシャル絶縁体層の格子定数が、前記エピタキシャル半導体層の格子定数の  
 プラスマイナス約10%以内であることを特徴とする半導体オンインシュレータ構造の製  
 造方法。

【請求項2】

前記エピタキシャル絶縁体層を形成するステップが、  
 非晶質絶縁体層を形成するステップと、  
 固相エピタキシーによって、前記非晶質絶縁体層を単結晶材料に変換するステップと  
 を含むことを特徴とする請求項1に記載の半導体オンインシュレータ構造の製造方法。

【請求項3】

前記非晶質絶縁体層を形成するステップが、  
 原子層成長法による処理を含むことを特徴とする請求項2に記載の半導体オンインシュ  
 レータ構造の製造方法。

【請求項4】

前記非晶質絶縁体層が、3元系酸化物で構成されていることを特徴とする請求項3に記  
 載の半導体オンインシュレータ構造の製造方法。

【請求項5】

前記原子層成長法による処理が、複数のサイクルにおける原料化学物質のパルシングを

含むことを特徴とする請求項 3 に記載の半導体オンインシュレータ構造の製造方法。

【請求項 6】

別のサイクルにおけるパルシングの頻度を変更することにより、前記非晶質絶縁体層の組成を調整することを特徴とする請求項 5 に記載の半導体オンインシュレータ構造の製造方法。

【請求項 7】

前記固相エピタキシーの間に、さらに前記基板を酸化させる処理を行うことを特徴とする請求項 2 に記載の半導体オンインシュレータ構造の製造方法。

【請求項 8】

前記エピタキシャル絶縁体層が、2 を超える成分を含むことを特徴とする請求項 1 に記載の半導体オンインシュレータ構造の製造方法。

【請求項 9】

前記エピタキシャル絶縁体層が、ランタンアルミニウム酸化物を含むことを特徴とする請求項 8 に記載の半導体オンインシュレータ構造の製造方法。

【請求項 10】

前記エピタキシャル絶縁体層の格子定数が、前記エピタキシャル半導体層の格子定数に対してプラスマイナス約 1 ~ 3 % の範囲外であることを特徴とする請求項 1 に記載の半導体オンインシュレータ構造の製造方法。

【請求項 11】

前記エピタキシャル絶縁体層の格子定数が、前記エピタキシャル半導体層の格子定数に整合していることを特徴とする請求項 1 に記載の半導体オンインシュレータ構造の製造方法。

【請求項 12】

さらに、前記エピタキシャル絶縁体層を介して、前記基板を酸化するステップを含むことを特徴とする請求項 1 に記載の半導体オンインシュレータ構造の製造方法。

【請求項 13】

さらに、前記エピタキシャル絶縁体層を形成するステップの前に、前記基板上にバッファ層を形成するステップを含むことを特徴とする請求項 1 に記載の半導体オンインシュレータ構造の製造方法。

【請求項 14】

前記バッファ層が、シリコンゲルマニウムを含むことを特徴とする請求項 13 に記載の半導体オンインシュレータ構造の製造方法。

【請求項 15】

前記バッファ層が、グレーデッド層であることを特徴とする請求項 13 に記載の半導体オンインシュレータ構造の製造方法。

【請求項 16】

前記グレーデッド層が、シリコンゲルマニウムで構成され、前記基板から前記エピタキシャル絶縁体層の方向にゲルマニウムの含有量が増加していることを特徴とする請求項 13 に記載の半導体オンインシュレータ構造の製造方法。

【請求項 17】

さらに、前記エピタキシャル半導体層を形成するステップの前に、前記エピタキシャル絶縁体層上に、バッファ層を形成するステップを含むことを特徴とする請求項 1 に記載の半導体オンインシュレータ構造の製造方法。

【請求項 18】

前記バッファ層が、シリコンゲルマニウムで構成されることを特徴とする請求項 17 に記載の半導体オンインシュレータ構造の製造方法。

【請求項 19】

半導体基板上に、非晶質絶縁体層を形成するステップと、  
該非晶質絶縁体層を、高結晶性材料に変換するステップと、  
前記非晶質絶縁体層が変換された層上に、ヘテロエピタキシャルに半導体構造を成膜す

るステップとを含むことを特徴とする集積回路の製造方法。

【請求項 20】

前記非晶質絶縁体層が、原子層成長法によって形成されることを特徴とする請求項 19 に記載の集積回路の製造方法。

【請求項 21】

前記原子層成長法が、所定の組成を有する前記絶縁体層が得られるように調整されることを特徴とする請求項 19 に記載の集積回路の製造方法。

【請求項 22】

前記非晶質絶縁体層を形成するステップが、3元素以上を含む化合物を形成する処理を含むことを特徴とする請求項 19 に記載の集積回路の製造方法。

【請求項 23】

前記非晶質絶縁体層を形成するステップが、3元系酸化物を成膜する処理を含むことを特徴とする請求項 19 に記載の集積回路の製造方法。

【請求項 24】

前記非晶質絶縁体層を形成するステップが、実質的に自然酸化物のない状態に、前記半導体基板を維持することを含むことを特徴とする請求項 19 に記載の集積回路の製造方法。

【請求項 25】

前記半導体構造が、歪みを含むシリコンで構成されていることを特徴とする請求項 19 に記載の集積回路の製造方法。

【請求項 26】

基板と、  
該基板上にエピタキシャルに形成された結晶性絶縁体層と、  
該結晶性絶縁体層上にヘテロエピタキシャルに形成された結晶性半導体層とを備え、  
前記結晶性絶縁体層の格子定数が、前記半導体層の格子定数のプラスマイナス約 10% 以内であることを特徴とする半導体オンインシュレータ構造。

【請求項 27】

前記結晶性絶縁体層が、3元系絶縁体で構成されていることを特徴とする請求項 26 に記載の半導体オンインシュレータ構造。

【請求項 28】

前記結晶性絶縁体層が、ランタンアルミニウム酸化物で構成されていることを特徴とする請求項 27 に記載の半導体オンインシュレータ構造。

【請求項 29】

前記結晶性絶縁体層の格子定数が、前記半導体層の格子定数のプラスマイナス約 5% 以内であることを特徴とする請求項 26 に記載の半導体オンインシュレータ構造。

【請求項 30】

前記結晶性絶縁体層の格子定数が、前記半導体層の格子定数に整合していることを特徴とする請求項 26 に記載の半導体オンインシュレータ構造。

【請求項 31】

前記半導体層が、歪みを含むシリコンで構成されていることを特徴とする請求項 26 に記載の半導体オンインシュレータ構造。

【請求項 32】

さらに、前記半導体層と前記絶縁体層との間に、非晶質酸化物層を備えていることを特徴とする請求項 26 に記載の半導体オンインシュレータ構造。

【請求項 33】

さらに、前記基板と前記絶縁体層との間に、バッファ層を備えていることを特徴とする請求項 26 に記載の半導体オンインシュレータ構造。

【請求項 34】

前記バッファ層が、シリコンゲルマニウムで構成されていることを特徴とする請求項 33 に記載の半導体オンインシュレータ構造。

## 【請求項 3 5】

前記バッファ層が、グレーデッド層であることを特徴とする請求項 3 3 に記載の半導体オンインシュレータ構造。

## 【請求項 3 6】

前記グレーデッド層が、シリコンゲルマニウムで構成され、ゲルマニウムの含有量が、前記基板から前記絶縁体層に向けて増加していることを特徴とする請求項 3 5 に記載の半導体オンインシュレータ構造。

## 【請求項 3 7】

さらに、前記絶縁体層と前記半導体層との間に、バッファ層を備えていることを特徴とする請求項 2 6 に記載の半導体オンインシュレータ構造。

## 【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 7

【補正方法】変更

【補正の内容】

【0 0 0 7】

本発明の 1 つは、半導体オンインシュレータ構造の製造方法であって、基板上にエピタキシャル絶縁体層を形成するステップと、該エピタキシャル絶縁体層上にエピタキシャル半導体を形成するステップとを含み、前記エピタキシャル絶縁体層の格子定数が、前記エピタキシャル半導体層の格子定数のプラスマイナス約 1 0 % 以内である。

## 【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 1

【補正方法】変更

【補正の内容】

【0 0 1 1】

また、別の本発明に係る半導体オンインシュレータ構造は、基板と、該基板上にエピタキシャルに形成された結晶性絶縁体層と、該結晶性絶縁体層上にヘテロエピタキシャルに形成された結晶性半導体層とを備え、前記結晶性絶縁体層の格子定数が、前記半導体層の格子定数のプラスマイナス約 1 0 % 以内である。また、1 つの実施の形態では、前記構造は、前記エピタキシャル絶縁体層の下に、 $\text{SiO}_2$  層を備えている。