(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
G11C 11/413

(45) 공고일자 1996년06월26일
(11) 공고번호 특1996-0008455
(24) 등록일자 1996년06월26일

(21) 출원번호 특1993-0007115
(22) 출원일자 1993년04월27일
(65) 공개번호 특1999-1000001
(43) 공개일자 1999년01월01일

(30) 우선권주장 92-111408 1992년04월30일 일본(JP)
92-202603 1992년07월29일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시키가이샤 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2초메 2-3

(72) 발명자 무라카미 슈지
일본국 효고켄 이타미시 미즈하라 4-1 미쓰비시덴키 가부시키가이샤 엘.에스.아이 켄큐쇼나이
이마니 켄지
일본국 효고켄 이타미시 미즈하라 4-1 미쓰비시덴키 가부시키가이샤 엘.에스.아이 켄큐쇼나이
히로세 도시히코
일본국 효고켄 이타미시 미즈하라 4-1 미쓰비시덴키 가부시키가이샤 엘.에스.아이 켄큐쇼나이
하다사오 고지로
일본국 효고켄 이타미시 미즈하라 4-1 미쓰비시덴키 가부시키가이샤 엘.에스.아이 켄큐쇼나이
야마가다 세이진
일본국 효고켄 이타미시 미즈하라 4-1 미쓰비시덴키 가부시키가이샤 엘.에스.아이 켄큐쇼나이

(74) 대리인 정우훈, 박태경

심사관 : 장완호 (책자공보 제4524호)

(54) 개량된 단일 비트선 구성의 정적램 장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

개량된 단일 비트선 구성의 정적램(SRAM)장치

[도면의 간단한 설명]

제1도는 이 발명의 한 실시예에 의한 SRAM의 블록도.

제2도는 제1도의 SRAM에 적용되는 메모리셀의 회로도.

제3도는 제2도의 트랜지스터(Q1)의 게이트전압-드레인전류 특성표시도.

제4도는 제2도의 트랜지스터(Q3)의 게이트전압-드레인전류 특성표시도.

제5도는 제2도의 인버터(2a)의 등가회로도.

제6도는 제2도의 인버터(2a)의 입출력 특성도.

제7도는 제2도의 데이터 기억회로를 구성하는 인버터(2a)(2b)의 입출력 특성도.

제8도는 제2도에 표시한 인버터(2b)의 각종 베타비에서의 입출력 특성도.

제9도는 바람직한 베타비 범위를 설명하기 위한 그래프.

제10도는 메모리셀의 데이터 기억회로를 구성하는 2개의 인버터의 입출력 특성도.

제11도는 이 발명의 다른 실시예를 표시하는 메모리셀 회로도.

제12도는 이 발명의 다른 실시예를 표시하는 SRAM의 블록도.

제13도는 제12도의 두 개의 인접메모리셀의 회로도.

제14도는 이 발명의 다른 실시예를 표시하는 SRAM의 블록도.

제15도는 제14도의 2개 인접메모리셀의 회로도.

제16도～제20도는 제1제조방법의 제1～제5공정을 표시하는 접근게이트 트랜지스터 단면도.

제21도～제23도는 제2제조방법의 제1～제3공정을 표시하는 접근게이트 트랜지스터 단면도.

제24도～제25도는 제3제조방법의 제1～제2공정을 표시하는 접근게이트 트랜지스터 단면도.

제26도～제28도는 제4제조방법의 제1～제3공정을 표시하는 접근게이트 트랜지스터 단면도.

제29도～제31도는 제5제조방법의 제1～제3공정을 표시하는 접근게이트 트랜지스터 단면도.

제32도～제35도는 제6제조방법의 제1～제4공정을 표시하는 접근게이트 트랜지스터 단면도.

제36도는 제7제조방법의 최종공정을 표시하는 접근게이트 트랜지스터 단면도.

제37도 및 제38도는 제8제조방법의 제1 및 제2공정을 표시하는 접근게이트 트랜지스터 단면도.

제39도는 제9제조공정을 표시하는 접근게이트 트랜지스터 단면도.

제40도～제45도는 제10제조방법의 제1～제6공정을 표시하는 접근게이트 트랜지스터 단면도.

제46도～제49도는 제11제조방법의 제1～제4공정을 표시하는 접근게이트 트랜지스터 단면도.

제50도는 제54도의 X-X선에 따른 부분의 단면구조도.

제51도～제54도는 제조방법의 제1~제4공정을 표시한 제2도의 메모리셀 레이아우트도.

제55도는 단일 비트선 구성으로된 SRAM의 종래 메모리셀의 회로도.

제56도는 본원 출원인에 의하여 먼저 제안된 SRAM용 메모리셀의 회로도.

제57도는 이 발명의 또다른 하나의 실시예를 표시하는 SRAM의 블록도.

제58도는 제57도에 표시한 모의(DUMMY)셀 제어회로의 회로도.

제59도는 제58도의 모의셀의 한예를 표시하는 회로도.

제60도는 제58도의 회로동작 설명을 위항 타암차트

제61도는 제58도의 모의셀의 다른 예를 표시하는 회로도.

제62도～제65도는 이 발명의 또다른 하나의 실시예를 표시하는 모의셀 제어회로의 회로도.

제66도는 제57도의 차동증폭기 및 감지증폭기의 회로도.

제67도는 이 발명의 다른 실시예를 표시하는 SRAM의 블록도.

제68도는 제67도의 모의셀 제어회로의 회로도.

제69도는 제2도의 메모리셀에 있어서 전압 V2와 시간경과간의 관계를 표시하는 그래프.

제70도는 부등식(16)(17)을 만족하는 트랜지스터(Q1)(Q2)의 설계예를 표시하는 레이아우트도.

제71도는 부등식(16)(17)을 만족하는 트랜지스터(Q3)(Q4)의 설계예를 표시하는 레이아우트도.

* 도면의 주요부분에 대한 부호의 설명

1 : 데이터 기억회로　　7 : 워드선 승압회로

8 : Y워드선 승압회로　　10 : Y게이트회로

Q1,Q2 : TFT　　Q3,Q4,Q5,Q6 : NMOS 트랜지스터

BL : 단일 비트선　　XWL : X워드선

YWL : Y워드선

[발명의 상세한 설명]

이 발명의 정적램장치(Static access memory device)(이후 SRAM이라 함)에 관한 것으로서 특히 단일 비트선 구성의 SRAM에 관한 것이다.

SRAM은 컴퓨터등 각종 전자장치에 사용된다. 이와 같은 전자장치의 기능이 향상됨에 따라 반도체 메모리에 있어서의 저전력소비 및 고집적화가 강력하게 요망되고 있다. 이러한 요망하에 종래 단일 비트선의 SRAM이 알려져 있다.

제55도는 단일 비트선 구성의 SRAM용 메모리셀의 회로도이다.

제55도의 회로는 16K CMOS/SOS Asynchronous Static RAM 제녹의 논문(Digest Technical paper,pp.104-

105,1979,IEEE,ISSCC)에 개시되어 있다.

제55도를 참조하여 이 메모리셀은 PMOS 트랜지스터(Q21)(Q22), NMOS 트랜지스터(Q23)(Q24)(Q25) 및 다이오드(D1)(D2)를 포함한다. 데이터기억회로는 즉 래치회로는 트랜지스터(Q21)~(Q24) 및 다이오드(D1)(D2)로 구성된다. 이 데이터기억회로는 접근게이트 트랜지스터(Q25)를 통해여 단일 비트선(BL)에 접속된다. 트랜지스터(Q25)의 게이트는 워드선 WL에 접속된다.

기록동작에 있어서, 트랜지스터(Q25)의 게이트전압은 워드선(WL)을 통하여 승압된다. 그러므로 트랜지스터(Q25)가 온되고, 이에따라 비트선(BL)의 전위에 의하여 결정되는 데이터가 데이터회로내에 기억된다.

제55도의 메모리셀은 5개의 MOS트랜지스터로 형성되므로 반도체 기판상의 점유면적을 감소시킬 수 있다. 그러나 전력소비가 크게 된다. 이 전력소비를 감소시키기 위하여 본원 출원인은 제56도에 표시한 회로구성을 기히 제안하고 있다.

제56도는 이 발명의 출원인에 의하여 먼저 제안되어 있는 SRAM용 메모리셀의 회로도이다. 제56도를 참조하여 메모리셀 MC은 데이터기억회로도를 구성하는 PMOS 트랜지스터(Q31)(Q32) 및 NMOS 트랜지스터(Q33)(Q34)와 접근게이트로서 작용하는 NMOS 트랜지스터(Q35)를 포함한다. 데이터기억회로(1)는 트랜지스터(Q35)를 통하여 단일 비트선(BLj)에 접속된다. 데이터기억회로(1)의 접지측은 소스선(SLj)에 접속된다.

기록동작에 있어서, 워드선(WLi)은 워드선승압회로(307)에 의하여 승압되므로 트랜지스터(Q35)의 게이트전압이 승압된다. 따라서, 트랜지스터(Q35)는 보다 낮은 컨덕턴스(Conductance)로 온되므로, 비트선(BLj)의 전위에 의하여 결정된 데이터가 데이터기억회로(1)내에 기억된다.

메모리셀 MC을 포함하는 열이 접근안될 때, 소스선전위 제어회로(308)는 열주소신호 CAo~CAn에 응답하여 소스선 SLj를 중간전위 Vm=(VDD/2)로 되게 한다.

이 결과 데이터기억회로(1)에 공급되는 전원전압은 절반으로 감소되므로 메모리셀 MC에서 소모되는 전력을 감소시킬 수 있다.

제56도에 표시한 회로구성이 소스선전위 제어회로(308)의 작용에 의하여 메모리셀 MC의 전력소비를 감소시키고 있으나, 메모리셀의 접근여부에 따라 소스선(SLi)의 충방전이 필요하게 된다. 따라서 소스선(SLj)의 충방전에 의한 전력소비를 무시할 수 없다.

제55도 및 제56도에 표시한 SRAM에서는 기록동작시 워드선이 승압되므로 승압된 워드선에 접속된 다른 메모리셀에서도 불필요한데도 데이터기록이 실시된다.

특히 접근되지 않아야 될 다른 열내 메모리셀의 접근게이트 트랜지스터의 게이트전압이 승압되므로 그 열의 비트선의 전위에 의하여 결정되는 데이터(부정)에 의하여 기억된 데이터가 재기록된다.

이 발명의 목적은 단일 비트선 구성의 SRAM에서 데이터기록동작시에 불필요한 메모리셀로의 잘못된 데이터기록을 방지하는데 있다.

이 발명의 다른 목적은 단일 비트선 구성의 SRAM에 있어서 데이터판독속도를 향상시키는데 있다.

이 발명의 또다른 목적은 단일 비트선 구성의 SRAM에 있어서 데이터기록속도를 향상시키는데 있다.

이 발명의 또다른 목적은 단일 비트선 구성의 SRAM에 있어서 반도체기판상의 메모리셀 점유면적을 감소시키는데 있다.

이 발명에 의한 SRAM은 다수의 행과 열로 배치된 다수의 메모리셀이 있는 메모리셀 어레이와, 대응하는 열의 메모리셀에 각각 접속된 다수의 비트선을 포함한다. 각 메모리셀은 신호입출력노드를 통하여 제공된 데이터신호를 기억하는 데이터기억회로와, 대응하는 열내의 비트선과 입출력노드간에 접속되고 행 및 열의 주소신호응답하여 도통하는 스위칭회로를 포함한다. SRAM은 또한 외부로부터 부여되는 기록제어신호에 응답하여 행 및 열의 주소신호에 의하여 선택된 메모리셀내의 데이터기억회로의 기억상태를 안정화 또는 불안정화 하는 상태제어회로를 포함한다.

작용에 있어서, 상태제어회로는 행 및 열의 주소신호에 의하여 선택된 메로리셀만이 데이터기억상태를 불안정화시키므로 필요한 메모리셀에만 데이터기록이 실시된다. 따라서 불필요한 메모리셀로의 잘못된 데이터기록을 방지할 수 있다.

이 발명의 다른 특징에 의한 SRAM은 다수의 행과 열로 배치된 다수의 메모리셀이 있는 메모리셀어레이와, 대응하는 하나의 열내의 메모리셀에 각각 접속된 다수의 비트선을 포함한다.

각 메모리셀은 신호입출력노드를 통하여 공급되는 데이터신호를 기억하는 데이터기억회로와, 대응하는 열의 비트선과 입출력노드간에 직렬 접속된 제1 및 제2의 전계효과 트랜지스터를 포함한다. 이 SRAM은 또한 외부로부터 부여되는 기록제어신호에 응답하여 행주소신호에 의하여 선택된 행의 메모리셀내의 각각의 제1전계효과 트랜지스터의 게이트전압을 데이터기억회로에 공급되는 전원전압을 초과하는 전압레벨까지 승아하는 제1승압회로와, 외부로부터 부여되는 기록제어신호에 응답하여 열주소신호에 의하여 선택된 열의 메모리셀내의 각각의 제2전계효과 트랜지스터의 게이트전압을 전원전압을 초과하는 전압레벨까지 승압시키는 제2승압회로를 포함한다.

작용에 있어서, 제1 및 2간의 전계효과 트랜지스터의 게이트전압은 데이터기록을 실시해야 할 메모리셀내에서만 승압되므로 불필요한 메모리셀로의 잘못된 데이터기록이 방지된다.

이 발명의 또다른 특징에 의한 SRAM은 공통접속노드를 통하여 접속된 2개의 메모리셀과, 이 2개의 메로리셀에 의하여 공용되는 공용비트선과, 이 공용비트선과 공통접속노드간에 접속된 제1전계효과 트랜지스터를 포함한다. 각 메모리셀은 단일 입출력노드를 통하여 공급된 데이터신호를 기억하는 데이터기억회로와, 입출력노드와 공통접속노드간에 접속된 제2전계효과 트랜지스터를 포함한다.

이 SRAM은 또한 2개의 메모리셀이 행주소신호에 의하여 선택될 때 외부로부터 부여되는 기록제어신호에

응답하여 제1전계효과 트랜지스터의 게이트전압을 데이터기억회로에 공급되는 전원전압을 초과하는 레벨까지 승압하는 제1승압회로와, 2개의 메모리셀 중 하나가 열주소신호에 의하여 선택될 때 , 기록제어신호에 응답하여 선택된 하나의 메모리셀내의 대응하는 제2전계효과 트랜지스터의 게이트전압을 전원전압을 초과하는 레벨까지 승압하는 제2승압회로를 포함한다.

작용에 있어서, 접근할 메모리셀만이 데이터기억회로가 승압된 제1 및 제2의 전계효과 트랜지스터를 통하여 공용비트선에 접속되므로 불필요한 메모리셀로의 잘못된 데이터기록을 방지하게 된다.

이 발명의 또다른 하나의 특징에 의한 SRAM은 다수의 행과 열로 배치된 다수의 메모리셀이 있는 메모리셀어레이와, 대응하는 하나의 열내의 메모리셀에 각각 접속된 다수의 비트선을 포함한다. 각 메모리셀은 신호입출력노드를 통하여 부여되는 데이터신호를 기억하는 데이터기억회로와, 대응하는 열내의 비트선과 입출력노드간에 접속되고 행 및 열의 주소신호에 응답하여 도통하는 스위칭회로를 포함한다.

이 SRAM은 또한 다수의 비트선중 대응하는 하나의 비트선에 각각 접속된 다수의 모의셀과, 메모리셀내의 2개의 인접열마다 각각 설치되고 2개의 대응비트선중 한쪽을 선택하는 열주소신호에 응답하여 대응하는 2개의 비트선중 다른쪽에 접속된 모의셀을 능동화시키는 다수의 차동감지증폭기를 포함한다.

작용에 있어서, 데이터가 메모리셀에서 판독될 때 데이터기억회로내에 기억된 데이터신호가 대응하는 2개의 비트선중 한쪽에 공급된다. 대응하는 2개의 비트선중 다른쪽에 접속된 모의셀은 이 메모리셀을 선택한 열주소신호에 응답하여 능동화된다. 대응하는 차동감지증폭기는 2개 비트선간의 전위를 차동증폭하므로 데이터판독동작이 고속으로 실시될 수 있다.

이 발명의 또다른 하나의 특징에 의한 SRAM는 데이터기억회로는 제1 및 제2의 전원전위간에 직렬로 접속된 제1도전형의 제1전계효과 트랜지스터 및 이 제1도전형과는 역인 제2도전형의 제2전계효과 트랜지스터와, 입출력노드에서 제1 및 제2의 전원전위간에 직렬로 접속된 제1도전형의 제3전계효과 트랜지스터 및 제2도전형의 제4전계효과 트랜지스터를 포함한다. 제1및 제2의 전계효과 트랜지스터는 게이트전극이 입출력노드에 접속되어 있다. 제3 및 제4의 전계효과 트랜지스터는 게이트전극이 제1 및 제2전계효과 트랜지스터의 공통접속노드에 접속되어 있다. 제1전계효과 트랜지스터는 제3전계효과 트랜지스터보다도 높은 상호 컨덕턴스를 가지고 있다.

작용에 있어서, 제1전계효과 트랜지스터가 제3전계효과 트랜지스터보다도 높은 상호 컨덕턴스를 보유하므로 제1 및 제2의 전계효과 트랜지스터의 공통접속노드의 충방전이 신속하게 실시될 수 있다.

따라서 데이터기록동작이 고속으로 완료될 수 있다.

이 발명의 또다른 하나의 특징에 의한 SRAM은 데이터기억회로는 제1 및 제2의 전원전위간에 직렬로 접속된 제1도전형의 제1전계효과 트랜지스터 및 이 제1도전형과는 역인 제2도전형의 제2전계효과 트랜지스터와, 입출력노드에서 제1 및 제2의 전원전위간에 직렬로 접속된 제1도전형의 제3전계효과 트랜지스터 및 제2도전형의 제4전계효과 트랜지스터를 포함한다. 제1 및 제2의 전계효과 트랜지스터는 게이트전극이 입출력노드에 접속되어 있다.

제3 및 제4전계효과 트랜지스터는 게이트전극이 제1 및 제의 전계효과 트랜지스터의 공통접속노드에 접속되어 있다. 제4전계효과 트랜지스터는 제2전계효과 트랜지스터보다도 낮은 임계치전압을 가지고 있다.

작용에 있어서, 제4전계효과 트랜지스터는 제2전계효과 트랜지스터보다도 낮은 임계치전압을 보유하므로 제4전계효과 트랜지스터는 제1 및 제2의 전계효과 트랜지스터의 공통접속노드 전위에 응답하여 신속하게 도통한다. 따라서 기억회로의 입출력노드가 신속히 충방전되므로 데이터기록동작이 고속으로 완료될 수 있다.

제1도는 이 발명의 한 실시예에 의한 SRAM의 블록도이다.

제1도를 참조하여, SRAM(100)은 외부로부터 부여되는 행주소신호 RA0~RAm을 수신하는 행주소버퍼(3)와, 외부로부터 부여되는 열주소신호 CA0~CAn를 수신하는 열주소버퍼(3)와, 행주소신호를 해독하는 행해독기(5)와, 열주소신호를 해독하는 열해독기와, 행해독기(5)에 의하여 선택된 X워드선을 승압시키는 X워드선 승압회로(7)와, 열해독기(6)에 의하여 선택된 Y워드선을 승압시키는 Y워드선 승압회로(8)와, 열해독기(6)로부터의 출력신호에 응답하여 비트선을 선택하는 Y게이트회로(10)를 포함한다.

SRAM(100)은 다수의 행과 열로 배치된 다수의 메모리셀(MCa)가 있는 메모리셀어레이를 포함한다. 각행에서 메모리셀(MCa)은 대응하는 워드선(XWL 1), (XWL 2),...에 접속된다. 각 열에서 메모리셀(MCa)는 대응하는 비트선(BL 1), (BL 2)... 및 대응하는 Y워드선(YWL 1), (YWL 2)...에 접소된다. X워드선(XWL 1), (XWL 2)...는 X워드선 승압회로(7)에 접속된다. 비트선(BL 1), (BL 2), ...는 Y게이트회로(10)에 접속된다.

비트선(BL 1), (BL 2),...는 Y게이트회로(10)과 IO선(14)를 통하여 감지증폭기(9)에 접속된다. Y게이트회로(10)는 열해독기(6)로부터 출력된 열선택신호에 응답하여 비트선(BL 1), (BL 2)중 하나를 선택적으로 IO선(14)에 접속한다. 감지증폭기(9)는 기록제어범퍼(13)를 통하여 출력된 기록능동화신호/WE에 응답하여 활성화 된다.

따라서, 메모리로부터 판독된 데이터신호는 감지증폭기(9)에 의하여 증폭된 후, 출력데이터 Do로서 출력버퍼(12)를 통하여 출력된다. 한편 기록된 데이터신호 Di는 입력버퍼(11), IO선(14) 및 Y게이트회로(10)를 통하여 Y게이트회로(10)에 의하여 선택된 하나의 비트선으로 부여된다.

제2도는 제1도의 SRAM에 적용된 메모리셀(MCa)의 회로도이다.

제2도를 참조하여 메모리셀(MCa)은 박막트랜지스터(이하 TFT라 함)에 의하여 실현되는 PMOS 트랜지스터(Q1)(Q2) 및 드라이버 트랜지스터로 작용하는 NMOS 트랜지스터(Q3)(Q4)에 의해 구성된 데이터기억회로(1)를 포함한다. 즉, 데이터기억회로(1)는 2개의 교차결합된 두 개의 COMS 인버터(2a)(2b)를 포함한다. 인버터(2a)는 트랜지스터(Q1)(Q3)로 구성된다. 한편 인버터(2b)는 트랜지스터(Q2)(Q4)로 구성된다.

데이터기억회로(1)는 접근게이트로서 작용하는 NMOS 트랜지스터(Q5)(Q6)를 통해여 단일 비트선(BL)에 접속된다. 트랜지스터(Q5)는 게이트가 X워드선(XWL)에 접속된다. 트랜지스터(Q6)는 게이트가 Y워드선(YWL)에 접속된다. 워드선(XWL) 및(YWL)는 각각 X워드선 승압회로(7) 및 Y워드선 승압회로(8)에 접속된다.PMOS 트랜지스터(Q7)는 부하로서 단일 비트선(BL)와 전원전압VDD간에 접속된다. 제2도에는 다만 하나의 메모리셀(MCa)를 표시하였으나 제1도의 다른 메모리셀로 동일회로구성을 가지고 있다.

다음은 제1도 및 제2도를 참조하여 동작을 설명한다.

기록동작에 있어서, 외부로부터 부여되는 기록능동화신호/WE가 하강된다. 제1도에 표시한 기록제어버퍼(13)는 이 신호/WE의 강하게 응답하여 내부 기록제어신호 Swe를 출력한다. 한편 행해독기(5)는 외부로부터 부여되는 행주소신호 RA0~RAm를 해독하여 X워드선중 하나를 선택한다. X워드선 승압회로(7)는 기록제어신호 Swe에 응답하여 선택된 X워드선(XWL)을 승압한다. 마찬가지로 열해독기(6)는 외부로부터 부여되는 열주소신호 RA0~RAn를 해독하여 Y워득선을 선택한다. Y워드선 승압회로(8)는 내부 기록제어신호 Swe에 응답하여 선택된 Y워드선(YWL)를 승압한다.

기록동작에 있어서, 기록되어야 할 입력데이타 Di는 입력버퍼(11)를 통하여 Y게이트회로(10)에 부여된다. Y게이트회로(10)는 열해독기(6)에서 출력된 열선택신호에 응답하여 입력데이터신호를 선택된 비트선으로 출력한다.

제2도를 참조하여 워드선(XWL) 및 (YWL)는 X워드선 승압회로(7) 및 Y워드선 승압회로(8)에 의하여 각각 승압되며, 이에 따라 트랜지스터(Q5)(Q6)의 게이트전압이 승압된다. 게이트전압의 승압에 응답하여 트랜지스터(Q5)(Q6)는 보다 낮은 컨덕턴스에서 온하고 이에 따라 단일 비트선(BL)상의 전위에 의하여 결정된 데이터가 데이터기억회로(1)내에 기억된다.

한편, 판독동작에 있어서는 워드선 승압호로(7)(8)에 의한 승압동작이 실시되지 않으며 대신 워드선 승압회로(7)(8)는 전원전압 VDD레벨의 출력전압을 출력한다. 즉, 제2도의 메모리셀(MCa)가 접근되며 워드선 승압회로(7)(8)는 전원전압 VDD의 출력전압을 워드선(XWL) 및 (YWL)으로 출력한다. 이 결과 트랜지스터(Q5)(Q6)는 통상의 컨덕턴스에서 온되므로 데이터기억회로(1)내에 기억된 데이터신호가 단일 비트선(BL)상에 부여된다. 비트선(BL)에 부여된 데이터신호는 제1도의 Y게이트회로(10)를 통하여 감지증폭기(9)로 공급된다. 감지증폭기(9)에 의하여 증폭된 신호는 출력데이터 Do로서 출력버퍼(12)를 통하여 출력된다.

상기와 같이 제2도에 표시한 메모리셀(MCa)의 동작을 개략 설명하였다.

다음은 메모리셀(MCa)의 동작원리를 상세히 설명한다.

제2도를 다시 참조하여 데이터기억회로(1)를 구성하는 인버터(2a)를 구성하는 인버터(2a)는 TFT로 실현된 PMOS 트랜지스터(Q1)와 NMOS 트랜지스터(Q3)로 구성된다.

여기에서 인버터(2a)의 입력전압을 V1그리고 출력전압을 V2로 가정한다. 트랜지스터(Q1)는 TFT로 구성되므로 트랜지스터(Q1)의 게이트전압이 X라고 가정하면, 트랜지스터(Q1)의 드레인전류 y는 다음식으로 구한다.

$$y = 10^{-13}\ e^{1/3\ \log_{2.71\cdots}(1\times10^{-7})(x-3)} \quad \cdots\cdots(1)$$

(1)식으로 제3도에 표시한 트랜지스터(Q1)의 게이트전압-드레인전류특성을 구한다.

제3도에서 알 수 있듯이 트랜지스터(Q1)는 게이트 전압 X가 3볼트 이하 영역에서는 서브(sub)임계치 특성을 나타낸다. 제3도에서 알 수 있듯이 트랜지스터(Q1)을 통하여는 1μA이하의 전류가 흐른다. 1μA 이하 전류영역에서는 드라이버 트랜지스터(Q3)도 서브 임계치 특성을 표시한다. 서브 임계치 영역에서 드라이버 트랜지스터(Q3)의 드레인전류 Z는 게이트전압 X를 사용하여 다음식으로 표시한다.

$$y = 10^{-18}\ e^{1/1\ \log_{2.71\cdots}(1\times10^{18})x} \quad \cdots\cdots(2)$$

따라서 드라이버 트랜지스터(Q3)의 게이트전압-드레인전류특성이 제4도에 표시된다. 트랜지스터(Q1)(Q3) 공히 서브임계치 영역에서 동작하고 인버터(2a)의 출력전압 V2은 트랜지(Q1)(Q3)를 통하여 흐르는 전류에 의하여 결점됨을 제3도 및 제4도의 특성도에서 알 수 있다.

간단하게 설명하기 위하여 인버터(2a)를 제5도로 표시한다. 즉 트랜지스터(Q1)이 전류 y를 흐르게 하는 저항(R1)에 의하여 치환되고, 트랜지스터(Q3)가 전류 Z를 흐르게 하는 저항(R3)에 의하여 치환된다고 가정한다. 제5도에 표시한 등가회로의 출력전압 V는 전원전압VDD가 3볼트라고 가정하면 다음식으로 표시된다.

$$v = \frac{y}{y+z} \cdot 3 \quad \cdots\cdots(3)$$

트랜지스터(Q1)을 통하여 어떤값의 드레인전류가 흐른다고 가정하면, 제5도의 등가회로에 의하여 표시된 인버터(2a)의 출력전압 V는 아래식으로 구한다.

$$v = 3\ \frac{e^{1/3\ \log_{2.71\cdots}(1\times10^{-7})(x-3)}}{10^{13}\left(\frac{e^{1/3\ \log_{2.71\cdots}[1\times10^{-7}][x-3]}}{10^{13}} + \frac{e^{\log_{2.71\cdots}[1\times10^{18}]x}}{10^{18}}\right)} \quad \cdots\cdots(4)$$

식(4)에 표시한 경우보다도 트랜지스터(Q1)의 드레인 전류크기가 1차수 감소되고, 드라이버 트랜지스터(Q3)의 드레인전류크기가 1차수 증가된 경우는 인버터(2a)의 출력전압 W은 아랫식으로 구하게 된다.

$$w=3\ \frac{e^{1/3\ \log_{2.71\cdots}(1\times10^{-7})(x-3)}}{10^{14}\left\{\frac{e^{1/3\ \log_{2.71\cdots}[1\times10^{-7}](x-3)}}{10^{14}}+\frac{e^{\log_{2.71\cdots}[1\times10^{16}]x}}{10^{17}}\right\}} \quad \cdots\cdots(5)$$

식(4)의 경우에는 트랜지스터(Q1) 드레인 전류크기가 1차수 증가되고, 드라이버 트랜지스터(Q3)의 드레인 전류크기가 1차수 감소된 경우 인버터(2a)의 출력전압 U는 아래식으로 구하게 된다.

$$u=3\ \frac{e^{1/3\ \log_{2.71\cdots}(1\times10^{-7})(x-3)}}{10^{12}\left\{\frac{e^{1/3\ \log_{2.71\cdots}[1\times10^{-7}](x-3)}}{10^{12}}+\frac{e^{\log_{2.71\cdots}[1\times10^{16}]x}}{10^{15}}\right\}} \quad \cdots\cdots(6)$$

상기 식(4)~(6)의 여러 가지 경우에 있어서 인버터(2a)의 출력전압V, W, U와 게이트전압 X간의 관계는 제6도에 표시된다.

제6도는 인버터(2a)의 입력전압 V1과 출력전압 V2간의 관계를 표시하는 입출력특성도이다. 제6도를 참조하여 횡축은 입력전압 V1을 표시하며(트랜지스터(Q1) 및 (Q3)의 게이트전압 X에 상당한다.),종축은 출력전압 V2을 표시한다(상기 출력전압(V,W,U에 상당한다).곡선 V,W 및 U는 식(4)(5) 및(6)으로 각각 구한 출력전압을 표시한다.

다음은 제1도에 표시한 데이터 기억회로(1)를 구성하는 다른 인버터(2b)를 설명한다. 인버터(2b)에 관하여도 인버터(2a)와 같은 해석을 함으로써 제7도에 표시한 입출력 특성(C5)및(C6)을 얻게 된다.

제7도를 참조하여, 횡축은 전압 V1을 표시하고 종축은 전압 V2를 표시한다. 전압 V2는 인버터(2b)의 입력전압에 상당하고, 전압 V1은 인버터(2b)의 출력전압에 상당한다. 제2도에 표시한 접근게이트 트랜지스터(Q5)(Q6)의 게이트전압이 승압되지 않을때는(즉 전원전압 VDD레벨의 게이트 전압이 주어졌을때),인버터(2b)의 입출력 특성은 곡선(C5)으로 표시된다. 트랜지스터(Q5)(Q6)의 게이트전압이 승압되면(즉 전원전압 VDD 레벨을 초과하는 게이트 전압이 주어졌을 때) 인버터(2b)의 입출력 특성은 곡선(C6)으로 표시된다. 다시 말하면, 인버터(2b)의 입출력 특성은 트랜지스터(Q5)(Q6)의 게이트 전압의 승압여부에 따라서 변화된다.

인버터(2a)는 곡선 V로 표시된 특성이 있고, 인버터(2b)는 곡선(C5)(C6)으로 표시된 특성이 있다고 가정한다.

판독동작에 있어서, 인버터(2b)의 입출력 특서은 트랜지스터(Q5)(Q6)의 게이트전압이 승압되지 않았으므로 곡선(C5)로 표시된다. 따라서 곡선V 및 C5는 교점Pa 및 Pc에서 교차한다(중간교점 Pa는 불안정하므로 무시한다).

다시말하면 트랜지스터(Q5)(Q6)의 승압이 안됐을 때 데이터기억회로(1)는 2개의 안정상태, 즉 교점Pa 및 Pc가 있다. 따라서 기억될 데이터는 데이터기억회로(1)의 2개의 상태중 어느 하나의 상태로 유지된다.

기록동작에 있어서, 트랜지스터(Q5)(Q6)의 게이트전압이 승압되므로 인버터(2b)의 입출력 특성이 곡선(C6)으로 표시한 바와같이 변화한다. 곡선 V와 C6간에는 교점이 없으므로 데이터기억회로(1)는 불안정상태가 초래된다. 이 블안정상태에서는 단일 비트선(BL)의 전위에 의하여 결정되는 데이터신호가 트랜지스터(Q5)(Q6)를 통하여 데이터기억회로(1)에 전달된다.

다시 말하면, 데이터기억회로(1)가 불안전하기 때문에 데이터기억회로가 변경되기 쉽다. 이 결과, 데이터 기록을 용이하게 실시할 수 있다.

다음은 인버터(2a) 및 (2b)에 제7도에 표시한 관계의 특성을 부여하는데 필요조건을 설명한다. 트랜지스터(Q4)의 β는 β_{o4}로 표시된다고 가정한다.

또한 트랜지스터(Q5)(Q6)의 접근게이트가 등가적으로 하나의 트랜지스터로 표시되는 것으로 가정하고, 그 등가트랜지스터의 β치가 β_{Q56}으로 표시되는 것으로 가정한다. 베터비 βr는 아래식으로 표시되는 것으로 정의한다.

$$\beta r=\beta_{Q4}/\beta_{Q56} \quad \cdots\cdots(7)$$

제8도는 각종 베타비 βr하에서의 제2도에 표시한 인버터(2b)의 입출력 특성도이다.

제8도를 참조하여, 횡축은 인버터(2b)의 입력전압 V2를 표시하고 종축은 출력전압 V1을 표시한다. 곡선(C11) 및(C12)은 βr=1.0일때의 특성을 표시한다.

곡선(C21) 및 (C22)는 βr=20일때의 특성을 표시한다. 곡선(C31)(C32)는 βr=2.5일때의 특성을 표시한다.

곡선(C11)(C12) 및 (C31)은 접근게이트 트랜지스터(Q5)(Q6)의 게이트전압이 승압안되었을 때(=VDD=3볼트)의 특성을 표시한다. 곡선(C12)(C22) 및 (C32)는 각각 트랜지스터(Q5)(Q6)의 게이트전압이 승압될 때(=5볼트)의 특성을 표시한다. 베터비 βr가 증가함에 따라 VD1~VD3는 점차 감소됨을 제8도에서 알 수 있다.

다시 제7도를 참조하여 다음은 바람직한 베터비 βr의 바람직한 범위에 대하여 설명한다.제7도의 곡선 W 및 U는 인버터(2a)를 구성하는 트랜지스터(Q1)(Q3)의 특성의 변동을 고려하고 있다. 즉, 인버터(2a)의 실제의 특성은 곡선 W 및 U로 포위된 영역내에 존재한다. 제7도로부터 논리임계치의 차 $\triangle V_{TL}$은 대략 0.35 볼트이다. 7도에 표시한 실시예에서는 전원전압 VDD는 3볼트이다. 따라서, 판독동작 중 활성화된 워드선의 전압은 3볼이다. 한편, 기록동작중의 승압된 워드선의 전압은 5볼트이다.

데이터판독상태 즉 안정상태에서 곡선(C5)가 곡선 W 및 U와 2개의 교점 a 및 Pc에서 교차하기 위하여는 제7도에 표시한 전압차 $\triangle V_{RL}$ 및 $\triangle V_{RH}$ 가 충분히 큰값이 되어야 한다. 전압차 $\triangle V_{RL}=\triangle V_{RH}=0.2$ 볼트로 가정하면 다음식을 얻게 된다.

$V1(Pc)-V1(Pa)=\triangle V_{RL}+\triangle V_{TL}+\triangle V_{RH}$

$=0.2+0.35+0.2$

$=0.75(V)$ .....(8)

기록동작에 있어서, Pb는 곡선 U가 교차되지 않도록 할 필요가 있다.

따라서 $\triangle V_W$가 0.2볼트를 초과한다고 가정하면 다음 관계가 성립된다.

$V1(Pb)-V1(Pa)=V_{RL}+\triangle V_{TL}+\triangle V_{RH}$

$=0.75(V)$ .....(9)

식(8) 및(9)에서,전압차 V1(Pc)-V1(Pa) 및 전압차 V1(Pb)-V1(Pa)는 약 0.8볼트 이상이 되도록 설계할 필요가 있음을 알 수 있다.

제9도는 베터비 β와 상기 전압차간의 관계를 표시하는 그래프이다.

제9도는 참조하면, 횡축은 베터비 βr를 표시하고, 증축은 전압차(V)를 표시한다.

곡선(C7)은 전압차 V1(Pc)-V1(Pa) 는 베터비βr가 증가함에 따라 감소한다. 이는 교차점 Pa 및 Pb가 공히 베터비βr의 증가에 따라서 낮은 값에 억제되기 때문이다. 이 결과 베터비 βr의 바람직한 범위는 다음 부등식으로 얻게 된다.

$0.2f\beta rf1.0$ .....(10)

따라서 제2도의 메모리셀 MCa내의 트랜지스터(Q4)(Q5) 및 (Q6)는 부등식(10)을 만족하는 베터비 βr를 얻게 되도록 설계된다. 2개의 인버터(2a)(2b)의 바람직한 입출력 특성의 예를 제10도에 표시한다.

제10도를 참조하여, 곡선(C1) 및 (C2)은 트랜지스터의 (Q1)(Q3)의 특성변동을 고려한 인버터(2a)의 입출력 특성을 표시한다. 곡선(C3) 및 (C4)은 각각 판독동작 및 기록동작의 입출력 특성을 표시한다.

제10도에서, 베터비 βr는 1.0, 전원전압 VDD는 3볼트, 승압된 워드선 전압은 5볼트, 그리고 승압안된 워드선 전원은 3볼트이다.

제7도에 표시한 입출력 특성을 가진 인버터(2a) 및 (2b)를 제2도에 표시한 메모리셀(MCa)의 데이터기억회로(1)에 적용함으로써 단일 비트선 구성의 바람직한 SRAM을 얻게 된다.

즉 제1도에 표시한 각 메모리셀(MCa)에 있어서, 기록동작에서 X워드선(XWL) 및 Y워드선(YWL)를 통하여 승압된 접근게이트 트랜지스터 (Q5)(Q6)가 제1도에 표시한 각 메모리셀(MCa)내에 설치되므로 데이터기록은 원하는 메모리셀(MCa)에만 실시할 수 있다. 또 제56도에 표시한 소스선 전위제어회로(308)가 설치안되었으므로 소스선의 충방전으로 인한 전력소비는 발생하지 않는다.

다음은 이 발명에 의한 다른 실시예를 설명한다.

제11도는 이발명의 다른 실시예를 표시하는 메모리셀의 회로도이다.

제11도에 표시한 메모리셀(MCb)은 제1도의 SRAM(100)에서 메모리셀(MCa) 대신에 적용된다. 제11도를 참조하여 메모리셀(MCb)가 제2도의 메모리셀(MCa)와 다른점은 접근게이트 트랜지스터(Q8) 및 (Q10)의 각각의 게이트전극의 접속방법이 다르다는 것이다.

즉, NMOS 트랜지스터(Q8)는 게이트가 Y워드선(YWL)에 접속된다. NMOS 트랜지스터(Q10)는 게이트가 X워드선(XWL)에 접속된다. 메모리셀(MCb)를 적용함으로써 제2도의 메모리셀(MCa)의 경우와 동일한 이점을 얻게 된다.

제12도는 이 발명의 또다른 실시예를 표시하는 SRAM의 블록도이다.

제12도를 참조하여 SRAM(200)은 비트선의 접속방법에 있어서의 차이를 제외하고는 제1도의 SRAM(100)의 회로구성과 같다. 즉 하나의 공용비트선(SBL)이 2개열마다 설치된다.

따라서, 제12도의 SRAM(200)은 제1도의 SRAM(100)에 설치된 비트선의 절반으로 감소된 비트선수를 구비한다. 예를들면 제1열에서 2개의 인접메모리셀(MCc1) 및 (MCc2)는 하나의 공용비트선(SBL1)에 접속된다. 공용비트선(SBL1)은 Y게이트회로(10')에 접속된다.

제13도는 제12도의 2개의 인접메모리셀(MCc1) 및 (MCc2)의 회로도이다. 제13도를 참조하여 메모리셀(MCc1) 및 (MCc2)은 기능적으로 동일하고 구성에 있어서는 대칭적인 회로구성을 가지고 있다.

메모리셀(MCc1)은 데이터기억회로(1)와, 이 데이터기억회로(1)와 공용비트선(SBL1)간에 직렬로 접속된 NMOS 트랜지스터(Q8)(Q10)을 포함한다. 마찬가지로, 메모리셀(MCc2)는 데이터기억회로(1′)와,이 데이터

기억회로(1′)와 공용비트선(SBL1)간에 직렬로 접속된 NMOS 트랜지스터(Q8′)(Q10′)를 포함한다.

트랜지스터(Q10) 및(Q10′)는 게이트가 X워드선(XWL1)에 접속된다. 트랜지스터(Q8)는 게이트 Y워드선(YWL1)에 접속된다. 트랜지스터(Q8′)는 게이트가 Y워드선(YWL2)에 접속된다. 제13도에 표시한 각 메모리셀(MCc1) 및 (MCc2)는 제2도에 표시한 메모리셀(MCa)와 같이 제7도에 표시한 관계를 만족하는 회로특성이 있다.

하나의 공용비트선(SBL1)이 인접한 2개열내의 2개의 메모리셀(MCc1) 및(MCc2)에 의하여 공용되고 있으나, 트랜지스터(Q8)(Q8′)가 동시에온되지 않으므로 비트선공용에 의하여 아무런 문제가 발생하지 않는다.

즉, 메모리셀(MCc1)에 대하여 데이터기록이 실시될 때, 트랜지스터(Q10)(Q8)의 게이트는 X워드선 승압회로(7) 및 Y워드선 승압회로(8)에 의하여 승압된다. 따라서 공용비트선(SBL1)의 전위에 의하여 결정되는 데이터신호가 트랜지스터(Q8)(Q10)를 통하여 데이터기억회로(1)에 부여된다. 한편, 접근하지 말아야 될 메모리셀(MCc2)에서는 트랜지스터(10′)의 게이트전압이 X워드선 승압회로(7)에 의하여 승압되나, 트랜지스터(Q8′)의 게이트전압이 낮은 레벨로 유지된다. 따라서 트랜지스터(Q8′)는 오프되므로 메모리셀(MCc2)로의 잘못된 데이터 기록이 실시되지 않는다.

데이터 판독동작에 있어서는 워드선 승압회로(7)(8)에 의한 승압동작이 정지되고, 그 대신에 전원전압 VDD레벨의 전압이 접근되는 메모리셀의 트랜지스터, 예를들면 트랜지스터(Q8)(Q10)의 게이트에 주어진다. 따라서 통상의 데이터 판독동작이 실시된다.

제14도는 이 발명의 또다른 실시예를 표시하는 SRAM의 블록도이다.

제14도를 참조하여 SRAM(300)은 공용비트선이 인접하는 2개열에 사용되는 점에서 제12도의 SRAM(200)과 같다. 그러나 각 메모리셀을 구성하는 트랜지스터 수가 하나씩 감소되므로, 고집적화에 적합한 SRAM을 얻을 수 있다.

제15도는 제14도의 인접한 2개의 메모리셀의 회로도이다.

제15도를 참조하여 인접한 2개열의 메모리셀(MCd1)(MCd2)는 공용비트선(SBL1)에 접속되어 있다. 메모리셀(MCd1)(MCd2)는 각각 5개의 MOS트랜지스터로 구성된다. 예를들면 메모리셀(MCd1)은 데이터기억회로(1)와, 접근게이트로서의 NMOS트랜지스터(Q11)을 포함한다. NMOS트랜지스터(Q12)는 메모리셀(MCd1) 및 (MCd2)의 공통접속노드 CN과 공용비트선(SBL)간에 접속된다.

트랜지스터(Q12)는 X워드선(XWL1)을 통하여 X워드선 승압회로(7)에 접속된다. 메모리셀(MCd1)내에 접근게이트 트랜지스터(Q11)는 Y워드선(YWL)을 통하여 Y워드선 승압회로(8)에 접속된다. 메모리셀(MCd2)내의 접근게이트 트랜지스터(Q11′)는 게이트가 Y워드선(YWL2)을 통하여Y워드선 승압회로(8)에 접속된다. 제15도에 표시한 각 메모리셀(MCd1) 및 (MCd2)는 제2도의 메모리셀(MCa)과 같이 제7도에 표시한 관계를 만족하는 회로 특성이 있다.

트랜지스터(Q12)는 공용의 접근게이트 트랜지스터로서 작동한다. 즉, 예를들어 메모리셀(MCd1)이 접근하게 되면 트랜지스터(Q12)가 트랜지스터(Q11)와 함께온된다. 따라서 메모리셀(MCd1)내의 데이터기억회로(1)가 트랜지스터(Q11) 및 (Q12)를 통하여 공용비트선(SBL1)에 접속된다. 특히 기록동작에 있어서, 트랜지스터(Q11)의 게이트전압은 Y워드선 승압회로(8)에 의하여 승압되고, 트랜지스터(Q12)의 게이트전압이 X워드선 승압회로(7)에 의하여 승압된다.

따라서, 기록동작시 제2도를 참조하여 기술한 메모리셀(MCa)에 경우와 등가인 회로가 형성될 수 있으므로 동일한 이점을 얻게 된다. 즉, 기록동작시에 트랜지스터(Q11) 및 (Q12)의 게이트접압은 접근할 메모리셀에 대하여서만 예를들면 메모리셀(MCd1)에 대하서만 승압되므로 공용비트선(SBL1)으로부터 부여되는 데이터신호가 메모리셀(MCd1)에만 기록된다.

이와 같이 제2도, 제11도, 제13도 및 제15도에 표시한 메모리셀 회로중 어느것인가를 적용함으로써 데이터기록동작시에 필요한 메모리셀에만 소망의 데이터를 기록할 수 있다. 이는 불필요한 메모리셀로의 잘못된 데이터기록이 방지되는 것을 뜻한다.

상기 실시예에서 사용된 메모리셀 즉 제2도의 메모리셀(MCa), 제11도의 메모리셀(MCb) 및 제13도의 메모리셀(MCc1)은 직렬 접속된 2개의 접근게이트 트랜지스터를 가지고 있다. 일반적으로 SRAM은 다수의 메모리셀을 포함하고 있으므로 반도체기판상의 각 메모리셀의 점유면적을 감소시키는 것이 요구된다.

반도체기판상의 직렬 접속된 접근게이트 트랜지스터에 의한 점유면적을 감소시키기 위하여 접근게이트 트랜지스터에 대하여 이하 설명하는 구조가 제안된다.이하 제조공정의 도면을 참조하면서 설명한다.

제16도를 참조하여, P형 반도체기판(50)상의 소자분리영역에 필드산화만(51) 및 P+분리층(52)을 형성한다. 제17도를 참조하여 기판(50)의 주표면상에 게이트산화막(53)을 형성한 후 제1단결정실리콘막(54)을 형성한다.이 제1다결정실리콘막(54)상에 CVD법에 의하여 실리콘산화막(55)을 형성한다.

제18도를 참조하여, 제1다결정실리콘층(54)의 측벽에 열산화법에 의하여, 예를들어 10nm이하의 산화막(56)을 형성한다. 다결정실리콘층(54)의 산화레이트(rate)는 실리콘기판(50)에 대하여 수배 내지 수십배 크므로 이 열산화 프로세서에 의한 실리콘 기판(50)의 산화량은 그다지 크지 않다.

제19도는 참조하여 제2다결정실리콘막(57)을 형성후 다결정실리콘막(57)의 소망부분상에 사진제판기술에 의하여 포토레지스트막(58)을 형성한다. 이 포토레지스트막(58)을 마스크로 하여 프레온계 또는 염소계가스를 사용한 플라즈마 에칭법에 의하여 제2다결정실시콘막(57)을 에칭하여 접근게이트 트랜지스터(Q6)의 게이트전극을 형성한다.

다음은 소위 LDD법에 의하여 제20도에 표시한 바와같이, 예를들면 $10^{18}cm^{-3}$정도의 n-층(61) 및 $10^{20}cm^{-3}$정도의 n+층(60)을 접근게이트 트랜지스터(Q5)의 한쪽 및 접근게이트 트랜지스터(Q6)의 한쪽에 형성한다. 이 결과 제2도에 표시한 접근게이트 트랜지스터(Q5)(Q6)에 적용할 수 있는 고집적화에 적합한 구조를 얻게

된다. 다른 절연막 예를들면 실리콘질화막도 실리콘 산화막(55) 대신 사용할 수 있다.

제21도~제23도는 접근게이트 트랜지스터(Q5)(Q6)를 형성하는 다른 제조방법을 표시한다. 제21도를 참조하여, 접근게이트 트랜지스터(Q5)(Q6)의 게이트전극을 형성하기 위하여 다결정실리콘막(54) 및 텅스텐 실리사이드막(62)을 형성한다. 즉 트랜지스터(Q5)의 게이트전극으로서는 다결정실리콘막(54)의 1개층만이 아니라 WSix, MoSix,TiSix등의 고융점 실리사이드막과 다결정실리콘막과의 복합막 즉 폴리사이드막이 사용된다. 실리콘산화막 또는 실리콘질화막등으로 된 절연막(55)이 텅스텐 실리사이드막(62)상에 CVD법에 의하여 수십 nm두께로 형성된다.

제22도를 참조하여 강한 방향성을 가진 플라즈마 에칭을 실시함으로써, 게이트전극의 측벽상에만 보호막(63)을 형성한다. 이후 제1제조방법(제19도 및 제20도)와 같은 제조공정을 실시함으로써, 제23도에 표시한 바와 같이 접근게이트 트랜지스터(Q5)(Q6)를 형성한다.또, 제22도의 보호막(63)은 제1제조방법에서도 제18도의 열산화막(56) 대신에 사용할 수 있다.

다음은 제24도 및 제25도를 참조하여 제3제조방법을 설명한다. 기히 설명한 제16도~제18도를 참조하여 제조공정을 실시후 제24도에 표시한 제2다결정실리콘막(57)을 형성한다. 다음 제2다결정실리콘막(57)상에 CVD법에 의하여 예를들면 수십에서 수백 nm의 두께로 제2실리콘산화막(65)을 형성한다.

포트레지스트막(66)을 마스크로 하여 제2실리콘산화막(65)을 사진제판기술에 의하여 에칭하고 포토레지스트(66)을 제거한다.제2실리콘산화막(65)을 마스크로 하여 제2다결정실리콘막(57)을 에칭한다.

이 제조방법에 의하면, 다결정실리콘막(57)의 에칭시에 실리콘산화막(65)의 에칭레이트에 큰 차이를 줄 수 있다. 다시말하면 에칭선택비의 향상으로 게이트산화막(53)의 두께감소를 방지하게 되고 또한 게이트산화막(53)을 관통하여 실리콘기판(50)까지 초과에칭하는 것이 방지된다. 이후 제1 및 제2의 제조방법과 같은 공정을 실시함으로써,제25도에 표시한 구조를 가진 접근게이트 트랜지스터(Q5)(Q6)를 얻게 된다.

다음에 제26도~제28도를 참조하여 접근게이트 트랜지스터(Q5)(Q6)의 제4제조방법을 설명한다. 제1제조방법과 마찬가지로 제17도에 표시한 바와같이 제1다결정실리콘막(54)를 에칭한후, HF계 습식(wet)에칭 또는 CHF3등 에치가스를 사용하는 플라즈마에칭에 의하여 게이트산화막(53)을 제거한다(제26도).제27도를 참조하여 기판(50)상에 제2게이트산화막(67)을 새로히 형성한다. 동시에 제1다결정실리콘막(54)의 측벽을 산화시켜 산화막(56)을 형성한다.

이후 제1제조방법과 같은 공정을 실시하여서 제28동 표시한 구조의 접근게이트 트랜지스터(Q5)(Q6)를 얻게 된다. 이 제4제조방법에 의하면 제1다결정실리콘막(54)의 에칭과정에서 에칭가스 및/또는 에칭챔버로부터의 불순물로 인한 게이트산화막의 오염이 방지되어 접근게이트 트랜지스터(Q6)의 특성열화를 억제하게 된다.

다음은 제5제조방법을 제29도~제31도에 의하여 설명한다.

제5제조방법은 제2 및 제4의 제조방법을 조합한 것에 상당한다.

제21도의 표시한 구조의 트랜지스터(Q5)를 위한 게이트전극을 형성한후, HF계습식 에칭 또는 CHF3등 가스를 사용하는 에칭에 의하여 게이트산화막(53)을 제거한다. 그후 29도에 표시한 바와같이 게이트전극의 측벽상에 실리콘질화막 또는 실리콘산화막으로 된 보호막(68)을 형성한다. 그후 제30도에 표시하는 바와 같이,제2게이트산화막(69)이 형성된후 기히 설명한 것과 같은 공정을 실시함으로써,제31도에 표시한 구조의 접근게이트 트랜지스터(Q5)(Q6)를 얻는다.

상기 제4 및 제5도의 제조방법에서는 제1게이트산화막(53)을 제거하였으나 불순물로 인한 오염이 게이트산화막(53)표면에 가장 현저하므로 에칭에 의하여 게이트산화막(53)의 표면만을 제거하는 것이 효과적이다. 이 경우 게이트산화막(53)의 표면을 에칭한 다음 그 위에 제2게이트산화막(69)을형성한다. 이 경우에도 제4 및 제5의 제조방법의 경우와 같은 효과를 얻게된다.

상기 제1~제5제조방법을 사용하면, 접근게이트 트랜지스터(Q5)(Q6)의 게이트전극 위치에 약간의 변화가 예측되고, 이로 인하여 2개의 트랜지스터(Q5)(Q6)의 채널길이가 변동한다는 문제가 발생하게 된다.

그러나 실제에 있어서, 2개의 게이트전극 위치의 변동은 ±0.10㎛이하의 범위내이므로 (Q5)(Q6)의 전류특성에 악영향을 미치지 않는다. 다음 설명에서는 접근게이트 트랜지스터(Q5)(Q6)의 게이트전극의 위치변동,즉 이들 트랜지스터의 채널길이변동을 완전히 방지하는 제조방법을 설명한다.

제32도~제35도는 제6제조방법을 표시한다. 제1제조방법의 경우와 같이 기판(50)상에 게이트산화막(71), 제1다결정실리콘막(72) 및 실리콘산화막(73)을 형성한다. 그다음 접근게이트 트랜지스터(Q5)의 게이트전극의 한쪽끝을 결정하기 위하여 사진제판기술에 의하여 포토레지스트막(74)을 형성한다(제32도).이 포토레지스터막(74)을 제33도에 표시한 바와같이 마스크로 하여 에칭을 실시하여 레지스트막(74)을 제거한후 다결정실리콘막(75)의 측벽을 산화시켜 실리콘산화막(75)을 형성한다.

제34도를 참조하여, 제2다결정실리콘막(76)을 형성한후,제2다결정실리콘막(76)의 소망부분위에 사진 판기술에 의하여 포토레지스트막(77)을 형성한다.포토레지스트막(77)의 형상 및 치수는 2개의 접근게이트트랜지스터(Q5)(Q6)의 게이트길이(또는 채널길이) 즉 제34도에 표시한 길이 L를 결정한다.

포토레지스트막(77)을 마스크로 하여 먼저, 제2다결정실리콘막(76)을 에칭한 다음 제1다결정실리콘막(71)상의 실리콘산화막(73)을 에칭하고, 마지막으로 제1다결정실리콘막(71)을에칭한다. 그후 다른 제조방법과 같이 기판(50)에 LDD 구조를 형성하여 제35도에 표시한 구조를 가진 접근게이트 트랜지스터(Q5)(Q6)를 얻게 된다.

제36도에 표시한 구조의 접근게이트 트랜지스터(Q5)(Q6)는 제2 및 제6의 제조방법의 조합으로 얻을 수 있다. 즉 제7제조방법에 의하면 트랜지스터(Q5)의 게이트전극의 측벽상에 실리콘질화막(79)이 형성되어 있다.

다음은 제37도 및 제38도에 의하여 제8제조방법을 설명한다.

제6제조방법이 제32도 및 제33도에 표시한 공정을 실시한후 제37도에 표시한 바와같이 제2다결정실리콘막(76)을 형성한다.

또, 제2다결정실리콘막(76)상에 실리콘산화막(81)을 형성한 다음, 실리콘산화막(81)을 트랜지스터(Q5)(Q6)의 게이트길이 L을 결정하는 포토레지스트막(도시생략)을 사용하여 에칭하고, 제2다결정실리콘막(76)상에 제37도에 표시하는 실리콘산화막(81)을 형성한다.

실리콘산화막(81)을 마스크로 하여 제2다결정실리콘막(76) 및 그 하부막을 포함하는 막을 에칭한다.그 후 먼저 설명한 제조방법과 같은 공정을 실시하여서 제38도에 표시한 구조의 트랜지스터(Q5)(Q6)를 얻게 된다.

상기 제8제조방법에 의하면, 제2다결정실리콘막의 에칭시 뿐 아니라 제1다결정실리콘막의 에칭시에도 게이트산화막과의 관계에서 커다란 선택비를 얻을 수 있다.

제39도는 제9제조방법에 의하여 형성된 트랜지스터(Q5)(Q6)의 구조를 표시한다.

즉, 제4 제5 및 제6의 제조방법의 경우와 같은 접근게이트 트랜지스터(Q5)의 게이트 산화막의 전부 또는 적어도 표면을 제거함으로써 트랜지스터(Q6)의 특성 열화를 방지할 수 있다.

상기제1~제9제조방법은 모두2개 접근게이트 트랜지스터(Q5) 및 (Q6)간의 단락을 방자하기 위하여 트랜지스터(Q5)의 게이트전극이 실리콘산화막 또는 실리콘질화막당의 절연막으로 그 상부가 피복되고, 실리콘산화막 또는 실리콘질화막등의 절연성이 있는 보호막으로 그 측벽부가 피복되어 있다.

이들 절연막 및 보호막의 두께는 이상적인 막이 형성된다고 가정하면 적어도 수십 nm가 되며,SRAM동작의 안정성을 고려하면 적어도 100nm의 막두께가 요구된다.

접근게이트 트랜지스터(Q5)의 게이트전극의 측벽부상에 형성된 보호막과 접촉하는 실리콘기판영역은 게이트전압이 인가될 때 채널형성이 어렵다. 예를들면 실리콘 기판상에 두께가 100nm의 실리콘산화막이 형성된 경우에 트랜지스터(Q5)의 전류구동능력(상호컨덕턴스)는 약 30%정도 감소된다.

이미 설명한 바와같이, 예를들면 제2도의 메모리셀 MCa내의 베타비 βr는 $0.2 \leqq \beta \leqq 1.0$의 관계를 만족하지 않으면 안되므로 드라이버 트랜지스터(제2도 표시한 트랜지스터(Q4)의 전류구동능력(또는 상호컨덕턴스)은 접근게이트 트랜지스터(Q5)(Q6)의 전류구동능력(또는 상호 컨덕턴스)의 감소에 따라서 감소시켜야 된다.

이는 드라이버 트랜지스터(Q4)의 게이트 폭을 더 작게 설계할 수 있게 되므로 반도체기판상의 메모리셀의 점유면적을 감소시키는데 도움이 된다.

접근게이트 트랜지스터(Q5)(Q6)가 상기 어느 제조방법에 의하여 형성된 경우에도 2개의 트랜지스터(Q5)(Q6)간의 완전한 절연이 확보되지 않을 수도 있다. 즉2개의 트랜지스터(Q5)(Q6)의 게이트전극간에 형성된 제18도에 표시한 열산화막(56) 또는 제22도에 표시한 보호막(63)은 일정한 두께로 형성되지 않는 경우도 있다.

이는 2개 트랜지스터(Q5)(Q6)의 특성변동을 일으키므로 상기 베타비 βr의 안정치를 얻을 수 없게 된다. 이는 이러한 접근게이트 트랜지스터(Q5)(Q6)를 사용한 메모리셀에 있어서 데이터판독 또는 기록시 오동작의 가능성이 있음을 뜻한다. 다음에 이러한 오동작을 방지하는에 효과적인 제조방법을 설명한다.

제40도~제43도는 접근게이트 트랜지스터(Q5)(Q6)를 형성하는 제10제조방법을 표시한다. 제40도를 참조하여, 다른 제조방법의 경우와 같이 트랜지스터(Q5)의 게이트전극을 형성한후 CVD법을 적용함으로써 실리콘질화막(85)이 형성되고, 그위에 실리콘산화막(86)이 형성된다. 실리콘질화막(85)과 실리콘산화막(86)의 두께는 예를 들면 각각 50nm 및 100nm이다.

제40도의 공정에 이어서 실리콘산화막(86)상에 두께운 포토레지스트막 소위 하부 레지스트막(87)을 형성한다. 이 하부 레지스트막(87)상에 실리콘산화물을 유지용매에 용해하여 얻은 용액을 도포한다. 이 도포된 용액의 소성공정에 의하여 실리콘산화막(88)을 형성한다. 즉 실리콘산화막(88)은 소위 Spin-on-glass방법에 의하여 형성한다.

실리콘산화막(88)상에 얇은 포토레지스트막 즉 상부 레지스트막(89)을 도포한후 사진제판기술에 의하여 상부 레지스트막(89)이 패터닝 된다(제41도).

제41도의 공정에 이어서, 상부 레지스트막(89)을 마스크로 하여 중간 실리콘산화막(88)이 레지스트 건식에칭법에 의하여 에칭된다. 그다음 중간 실리콘산화막이 노출될때까지 포토레지스트막이 전면 에칭한다. 이 단계에서 이 막을 마스크로 하여 나머지 하부 레지스트막(87)을 에칭한다. 이 에칭처리는 접근게이트 트랜지스터(Q5)상의 실리콘산화막(86)이 노출되면 종료된다(제42도).

제42도의 공정에 이어서, 트랜지스터(Q5)의 게이트전극 측벽상의 실리콘산화막이 HF계의 습식에칭에 의하여 제거된다. 이것에 의해 하부 레지스트막을 마스크로 하여 게이트전극의 측벽옆에 자기 정합적으로 n형 불순물영역이 형선된다. 즉 n형 불순물영역은 예를들면, 비소이온을 사용하여 후공정의 열처리시 확산에 의하여 불순물농도가 $10^{17}cm^{-3} \sim 10^{20}cn^{-3}$정도가 되도록 최적화하여 형성된다(제43도).

제43도의 공정에 이어서, 하부 레지스트막(87) 및 실리콘산화막(86)이 제거된다. 그 다음 CF4,CHF3 가스를 사용하는 강한 방향성의 플라즈마에칭에 의하여 실리콘질화막으로 된 측벽(91)을 형성한다(제44도).

제44도의 공정이후는 다른 제조방법와 같은 공정을 실시하여 제45도에 표시한 구조의 접근게이트 트랜지스터(Q5)(Q6)를 얻게 된다.

접근게이트 트랜지스터(Q5)(Q6)를 형성하는 제11제조방법이 제46도~제49도에 표시된다.

제46도에 참조하여 제32도에 표시한 경우와 같이 접근게이트 트랜지스터(Q5)의 게이트전극이 한쪽끝이 위

치가 에칭에 의하여 결정된 후 제46도에 표시한 바와같이 실리콘질화막(92) 및 실리콘산화막(93)이 퇴적된다. 그후 3층 레지스트 프로세스, 사진제판기술 및 레지스트 건식에칭법을 사용하여 하부 레지스트막(94)을 에칭함으로써 게이트전극 상부에 형성된 실리콘산화막(93)이 노출된다(제46도).

제46도의 공정후 실리콘산화막(93)이 HF계의 습식에칭에 의하여 에칭된다. 제10제조방법의 경우와 같이, 열처리후의 불순말 농도가 10^{17}～$10^{20}cm^{-3}$정도가 되도록,n형 불순물영역이 게이트전극의 측항에 자기정합적으로 형성된다(제47도).

그후 상기 제10제조방법과 같이 실리콘산화막으로 된 측벽(97)을 제48도에 표시한 바와같이 형성한후 다른 제조방법과 같은 공정을 실시한다. 이와같이 하여 제49도에 표시한 구조의 접근게이트 트랜지스터(Q5)(Q6)를 얻게 된다.

제10 및 제11제조방법은 트랜지스터(Q5)의 게이트전극이 폴리사이드구조의 경우 또는 트랜지스터(Q6)의 게이트산화막이 새로 형성된 경우에도 적용할 수 있어 같은 이점을 얻게 된다.

상기의 기재에서는, 2개의 접근게이트 트란제스터(Q5)(Q6)를 형성하는 각종 제조방법을 위에서 설명하였다. 다음은 하나의 메모리셀의 제조방법을 제51도～제54도의 레이아우트도를 참조하여 설명한다.

제51도를 참조하여, 소자분리영역이 형성된후 활성화영역(201)이 형성된다. 제 1다결정실리콘층에 의하여 드라이버 트랜지스터(Q4)의 게이트전극(202) 및 접근게이트 트랜지스터(Q5)의 게이트전극(203)이 각각 형성된다.트랜지스터(Q5)의 게이트전극(203)을 형성하는 제1다결정실리콘층은 워드선(XWL)도 형성한다.

이후 접근게이트 트랜지스터(Q6)의 게이트전극 즉 워드선(YWL)이 제2다결정실리콘층에 의하여 형성된다.

제52도를 참조하여 자기 정합에 의하여 제1직접접점(204)이 개공(開孔)된다.접점패드(205) 및 접지선(206)은 제3다결정실리콘층에 의하여 형성된후 제2직접접점(207)이 개공된다.

제53도를 참조하여, 박막 폴리실리콘 트랜지스터 즉 TFT(Q1)(Q2)가 제4 및 제5의 다결정실리콘층 및 제3직접접점(208)에 의하여 형성된다. 제5다결정실리콘층에 의하여 폴리실리콘 트랜지스터의 채널(210) 및 VDD선(211)이 각각 형성된다. 제4다결정실리콘층에 의하여 폴리실리콘 트랜지스터의 게이트전극(209)이 형성된다.

제54도를 참조하여, 제3다결정실리콘층의 접점패드(205)상에 또는 제2다결정실리콘층의 워드선(YWL)상에 알루미늄접점(212)이 형성된다. 제1알루미늄 배선층에 의하여 비트선(BL),워드선(YWL), 및 선택선(213)이 각각 형성된다.

제54도의 X-X선에 따른 단면구조가 제50도에 표시된다. 제50도를 참조하여 접근게이트 트랜지스터(Q5)의 게이트전극을 구성하는 제1다결정실리콘층은 워드선(XWL)과 공용된다.트랜지스터(Q6)의 게이트전극을 형성하는 제2폴리실리콘층이 워드선(YWL)과 공용된다.제4 및제5의 다결정실리콘층(209)(210)에 의하여 TFT를 구성하는 트랜지스터(Q1)이 형성된다.

다음은 데이터판독과 기록을 더욱 고속으로 실시하기 위한 개선에 대하여 설명한다. 제1도, 제12도, 제14도에 표시한 SRAM(100)(200) 및(300)에서는 각각 행 및 열의 주소신호에 의하여 선택된 메모리셀내에 기억된 데이터신호가 하나의 비트선에 주어진다.

비트선상의 데이터신호 Y게이트회로(10)를 통하여 감지증폭기(9)로 부여된다.상기 설명에서는 특별히 언급하지 않았으나 감지증폭기(9)는 하나의 입력신호(즉 하나의 비트선으로부터 부여된 신호)를 증폭한다.

다음 실시예에서는 데이터판독을 고속으로 실시하기 위하여 차동감지증폭기를 사용한 SRAM에 대하여 설명한다.

제57도는 이 발명의 다른 실시예를 표시하는 SRAM의 블록도이다. 제57도를 참조하여, SRAM(400)은 행과 열로 배치된 다수의 메모리셀 MCe을 포함한다. 제12도에 표시한 SRAM(200)과 같이 SRAM(400)도 메모리셀의 2개열마다 하나의 공용비트선(SBL1),(SBL2)…가 설치된다. 예를들면 제1 및 제2의 열에 인접한 2개의 메모리셀(MCe1) 및(MCe2)가 하나의 공용비트선(SBL1)에 접속된다. 제3 및 제4의 열에 있어서 2개의 인접 메모리셀(MCe3) 및(MCe4)는 공용비트선(SBL2)에 접속된다.

공용비트선과 동수의 모의셀(DC1),(DC2)…는 대응하는 공용비트선(SBL1),(SBL2)…에 접속된다. 각 모의셀 제어회로(21)-(2K)는 2개의 공용비트선마다 설치된다. 예를들면 모의셀 제어회로(21)가 2개의 공용비트선(SBL1) 및(SBL2)에 대하여 설치되어 Y워드선신호(YWL1)～(YWL4)에 응답하여 모의셀(DC1) 및(DC2)의 능동화를 제어한다.

각 차등증폭기(또는 차동감지증폭기)(31)～(3K)는 2개 공용비트선마다 설치되어 대응하는 2개의 공용비트선간의 접압을 차동증폭한다. 차동증폭기(31)～(3K)의 하여 증폭된 데이터신호는 판독데이터의 전송을 위한 한쌍의 데이터선(4b)을 통하여 차동감지증폭기(30)에 주어진다.

제58도는 제57도에 표시한 하나의 모의셀 제어회로(21)의 회로도이다. 제58도를 참조하여, 모의셀(DCa1)은 NMOS 트랜지스터(Q21)를 통하여 공용비트선(SBL1)에 접속된 트랜지스터 회로(43)(추후 상세히 설명)를 포함한다.마찬가지로 모의셀(DCa2)는 NMOS 트랜지스터(Q22)를 통하여 공용비트선(SBL2)에 접속된 트랜지스터 회로(44)를 포함한다. 모의셀 제어회로(21)Y워드선(YWL1) 및(YWL2)에 접속된 OR게이트(41)와 Y워드선(YWL3) 및(YWL4)에 접속된 OR 게이트(42)를 포함한다. OR 게이트(41)의 출력신호(DA0)는 트랜지스터(Q21)의 게이트에 부여된다.차동증폭기(31)는 공용비트선(SBL) 및(SBL2)간의 전압을 증폭한다.

제59도는 제58도의 모의셀(DCa)의 한예를 표시한 회로도이다.

제59도를 참조하여 모의셀(DCa)은 공용비트선(BL1)과 접지전원간에 직렬접속된 NMOS 트랜지스터(Q21)(Q31)을 포함한다.

트랜지스터(Q21)는 게이트가 제58도에 표시한 OR게이트(42)의 출력신호 DA0를 받도록 접속된다. 트랜지스

터(Q31)는 제58도에 표시한 트랜지스터 회로(43)에 상당한다. 모의셀(DCa1)을 형성하는 트랜지스터(Q21)(Q31)은 차동증폭기(31)의 차동증폭동작이 바람직하게 실시되도록 아래와 같이 설계된다.

제59도에 표시한 트랜지스터(Q4),(Q5),(Q6),(Q7),(Q21) 및 (Q31)의 온저항이 각각 R4,R5,R6,R7,R21 및 R31이라고 가정한다. 또 메모리셀(MCe1)이 저레벨의 데이터신호 V1을 기억하는 것으로 가정한다. 따라서, 이 경우에 트랜지스터(Q4)가 도통한다.

데이터판독 동작에서 고레벨의 워드선 신호 XWL 및 YWL이 부여될 때 트랜지스터(Q5)(Q6)는 도통된다. 따라서 전류경로(CP1)가 전원전위 VDD로부터 접지전위까지 형성된다. 이 결과 공용비트선 SBL1의 V_{BLM}은 아래와 같이 표시된다.

$$V_{BLM} = \frac{R4+R5+R6}{R4+R5+R6+R7} \cdot VDD \quad \cdots\cdots (11)$$

고레벨의 능동화신호 DAO가 모의셀(DAa1)에 부여되면 트랜지스터(Q21)가 도통되어서 전류경로(CP2)가 전원전위 VDD로부터 접지전위로 형성된다.이 결과 공용비트선(SBL)의 전위 V_{BLD}는 아래식으로 표시된다.

$$V_{BLM} = \frac{R21+R31}{R7+R21+R31} \cdot VDD \quad \cdots\cdots (12)$$

차동증폭기(31)에 의한 바람직한 차동증폭을 실현하기 위하여 전위 V_{BLM} 및 V_{BLD} 사이에는 아래 관계가 성립된다. 다시 말하면 메모리셀(MCe1) 및 모의셀(DCa1)을 형성하는 트랜지스터는 아래관계를 만족하도록 설계된다.

V_{BLM} V_{BLD} .....(13)

식(11) 및 식(12) 및 부등식(13)에 의하여 표시된 관계는 제57도에 표시한 모든 메모리셀과 모의셀간에 성립된다. 따라서 차동증폭기(31)에 의한 증폭동작은 아래와 같이 실시된다.

제60도는 제58도의 회로동작을 설명하기 위한 타이밍차트이다. 제58도 및 제60도를 참조하여 메모리셀(MCe1)내에 기억된 데이터의 판독동작을 설명한다. 메모리셀(MCe1)을 선택하기 위하여 고레벨의 워드선신호 XWL 및 YWL가 부여된다. 따라서 메모리셀(MCe1)내의 트랜지스터(Q5)(Q6)가 오프되기까지 데이터기억회로(1)내에 기억된 데이터신호 V1가 공용비트선(SBL1)에 부여된다. 따라서 기억된 데이터신호 V1에 의하여 공용비트선(SBL1)은 선(L1)또는(L3)로 표시한 전위가 된다.

OR게이트(41)는 고레벨워드선 신호 YWL1에 응답하여 고레벨의 모의셀 능동화신호 DA1을 출력한다. 따라서 모의셀(DCa2)내의 트랜지스터(Q22)가 도통하므로 공용비트선(SBL2)의 전위가 선(L2)로 표시한 바와같이 변화한다. 즉 모든 모의셀은 선(L1)또는 (L3)로 표시된 전압의 중간전압 즉 선(L2)로 표시된 전압을 공용비트선에 부여될 수 있도록 설계된다.

차동즉폭(31)는 공용비트선(SBL1) 및(SBL2)간의 전압을 증폭한다. 특히 고레벨의 데이터신호 V1가 기억되면 차동증폭기(31)은 선(L1) 및(L2)간의 접압차를 증폭한다.

한편, 저레벨의 데이터신호 V2가 기억되면 차동증폭(31)은 선(L2) 및 (L3)의 전압치를 증폭한다. 다음은 메모리셀(MCe1)대신 메모리셀(MCe3)내에 기억된 데이터신호가 판독되는 경우를 설명한다.메모리셀(MCe3)내의 2개의 접근게이트 트랜지스터가 도통되므로 공용비트선(SBL2)의 전위는 기억된 데이터신호에 따라 선(L2) 및 (L6)으로 표시도니 바와같이 변화한다. OR게이트(42)는 고레벨의 워드선신호 YWL3에 응답하여 고레벨의 모의셀 능동화신호 DAO를 출력한다.트랜지스터(Q21)가 온되므로 모의셀(DCa1)가 능동화한다. 이 결과 공용비트선(SBL1)의 전위는 선(L5)로 표시한 바와같이 변화한다.

차동증폭기(31)는 선(L4) 및(L5)간의 전압차 또는 선(L5) 및(L6)간의 전압차를 증폭한다. 동일한 데이터신호가 메모리셀(MCe) 및 (MCe3)내에 기억된 경우에도 차동증폭기(31)에 의하여 증폭된 데이터신호는 서로에 대하여 반전되어 있는 것에 유의하여야 한다.

따라서 짝수번호순의 공통비트선(SBL2)를 통하여 판독된 데이터신호를 도시되지 않은 반전회로를 사용하여 반전시킴으로써, 동일 논리에 따른 데이터신호를 판독할 수 있다.

제61도는 제58도의 모의셀의 다른예를 표시하는 회로도이다. 제61도(a)를 참조하여, 모의셀(DCb)은 공용비트선(도시생략)과 접지전위간에 직렬로 접속된 NMOS트랜지스터(Q24)(Q22) 및 (Q33)을 포함한다. 트랜지스터(Q22)는 게이트가 모의셀 능동화신호 DA를 받도록 접속된다.트랜지스터(Q24)는 게이트가 기록능동화신호 SWe를 받도록 접속된다. 모의셀(DCb)에 대하여도 트랜지스터(Q22) 및(Q24)의 온저항의 합계가 R21로 가정하여 상기 부등식(13)의 관계를 만족하도록 트랜지스터가 설계된다.

제61도(b)의 모의셀(DCc)은 통상의 메모리셀과 같은 회로구성으로 되어 있다.

그러나 모의셀(DCc)는 트랜지스터(Q22) 및(Q24)의 합계 온저항이 R21로 가정하여 부등식(13)을 만족하도록 트랜지스터가 설계된다. 따라서 제60도에 표시한 바와같이 차동증폭기(31)에 의한 증폭동작은 제61도(a) 및 (b)에 표시한 모의셀(DCb) 및(DCc)중 하나를 사용함으로써 실시될 수 있다.

제62도는 이 발명의 다른 실시예를 표시하는 모의셀 제어회로의 회로도이다. 제62도를 참조하여, 제61도(a)에 표시한 모의셀(DCb)가 각 모의셀(DCb1) 및(DCb2)로서 적용된다. OR게이트(42)(41)로부터 각 모의셀(DCb1) 및(DCb2)내에 있는 2개의 접근게이트 트랜지스터의 게이트전극에 모의셀 능동화신호 DAO,DA1가 각각 부여된다. 제62도의 실시예에서는 통상의 메모리셀과 모의셀내의 접근게이트 트랜지스터의 수가 같으므로 공통의 구조특성을 얻게 되어 설계가 용이하게 된다.

제63도는 이 발명의 또다른 실시예에 의함 모의셀 제어회로를 표시하는 회로도이다.

제63도를 참조하여 2개의 접근게이트 트랜지스터(Q21)(Q23) 및(Q22)(Q24)가 각 모의셀(DCb1)(DCb2)내에 사용된다. 트랜지스터(Q21)(Q22)의 게이트에는 모의셀 능동화신호 DA0, DA1이 각각 부여된다. 트랜지스터(Q23)(Q24)의 게이트에는 기록능동화 신호 Swe가 부여된다.

데이터판독동작에 있어서, 고레벨의 신호 Swe가 부여되므로 트랜지스터(Q23)(Q24)를 온한다. 그러므로 기본적인 동작은 제58에 표시된 호로의 동작과 동일하게 실시된다. 데이터기록동작에 있어서는 저레벨의 신호 Swe가 부여되므로 트랜지스터(Q23)(Q24)를 오프한다. 이것에 의해 데이터기록동작에 있어서, 고레벨의 신호 YWL1-YWL4가 부여되더라도 모의셀(DCb1)(DCb2)을 경우하여 전류경로가 형성되지 않으므로 불필요한 전력소비가 방지된다.

제64도는 이 발명의 또다른 하나의 실시예를 표시하는 모의셀 제어회로의 회로도이다. 제64도를 참조하여 비트선 부하로서 PMOS트랜지스터(Q27)(Q28)이 전원전위 VDD와 공용비트선(SBL1)(SBL2)사이에 접속된다. 트랜지스터(Q27)(Q28)는 게이트가 기록능동화신호/SWe를 받도록 접속된다.데이터판독 동작시에 저레벨의 신호 /SWe가 부여되므로(Q27)(Q28)는 비트선 부하로 작용한다. 한편 데이터기록동작에 있어서, 고레벨의 신호 /SWe가 부여되므로 트랜지스터(Q27)(Q28)가 오프된다.

각 모의셀(DCb1)(DCb2)은 통상의 메모리셀(MCe1)과 동일한 회로특성을 가지고 있다. 다시 말하면 제64도의 실시예에서 상기 식(11)(12) 및 부등식(13)으로 표시되는 관계가 통상의 메모리셀과 모의셀간에 성립되지 않는다. 이들 관계대신에 차동증폭기(31)에 의한 차동증폭동작을 실현하기 위하여 다음과 같은 개선이 실시되고 있다.

추가적인 비트선 부하로서 PMOS 트랜지스터(Q29)(Q30)이 전원전위 VDD와 공용비트선(SBL1)(SBL2)간에 접속된다.트랜지스터(Q29)의 게이트는 OR게이트(41)의 출력신호 DA1을 입력한다. 트랜지스터(Q30)의 게이트는 OR 게이트(42)의 출력신호 DA0를 입력한다. 다음은 메모리셀(MCe1)내에 기억된 데이터의 판독에 관하여 설명한다. 고레벨의 워드선(XWL1)(YWL1)에 응답하여 메모리셀(MCe1)내에 기억된 데이터신호가 공용비트선(SBL1)을 부여된다.

OR 게이트(41)는 고레벨의 신호 YWL에 응답하여 고레벨의 신호 DL1을 출력한다. 따라서 트랜지스터(Q29)는 오프되고(DCb2)의 2개의 접근게이트 트랜지스터는 온된다. OR 게이트(42)는 저레벨의 신호 DA0를 출력하므로 트랜지스터(Q30)는 온된다.

따라서 공용비트선(SBL1)의 비트선부하가 트랜지스터(Q27)뿐이지만, 공용비트선(SBL2)의 비트선부하는 트랜지스터(Q28) 및 (Q30)으로 증가된다.

이 결과 공용비트선(SBL2)의 전위는 제60도에서 선(L2)로 표시한 중간전위가 된다. 즉 비트선부하 트랜지스터(Q27)(Q28)(Q29)(Q30)은 공용비트선(SBL1)(SBL2)에 제60도의 선(L2)으로 표시된 중간준위가 부여되도록 설계된다.

이에 따라 차동증폭기(31)에 의한 바람직한 차동증폭동작이 실현될 수 있다.

제64도에 표시한 메모리셀의 모두 접근이 없을 경우 OR게이트(41)(42)는 저레벨의 출력신호(DA1)(DA00를 출력한다. 따라서 트랜지스터(Q27)~(Q30)이 모두 공용비트선(SBL1)(SBL2)의 비트선부하로서 작용한다.이는 접근되지 않는 메모리셀에 접속된 공용비트선의 전위를 안정화시키는데 공헌한다.

제65도는 이 발명의 다른 또하나의 실시예를 표시하는 모의셀제어회로의 회로도이다. 제65도를 참조하여 비트선 부하트랜지스터(Q25)(Q26)은 게이트가 접지되어 있다. 추가된 비트선 부하트랜지스터(Q29)의 게이트는 인버터(44)에 의하여 반전된 신호/DA1을 수신한다. 추가된 부하트랜지스터(Q30)의 게이트는 인버터(43)에 의하여 반전된 신호/DA1을 수신한다. 이 실시예에서 각 모의셀(DCb1)(DCb2)는 통상적인 메모리셀과 같은 회로특성을 가지고 있다.

데이터판독동작시에 모의셀(DCe1)에 접근이 있을경우 OR게이트(41)는 고레벨의 신호 DA1를 출력한다. 트랜지스터(Q30)는 저레벨의 신호 /DA1에 응답하여 온된다. 즉 트랜지스터(Q30)는 고레벨의 워드선신호YWL1에 응답하여 도통한다. 따라서, 이 실시예는 공용비트선(SBL2)의 비트선 부하가 증가되므로 공용비트선(SBL2)의 전위를 제60도의 선(L2)으로 표시된 전위로 변화시킬수 있다. 이에 따라서 차동증폭기(31)에 의한 바람직스러운 차동증폭동작이 실시될 수 있다.

제66도는 제57도에 표시한 차동증폭기(31) 및 감지증폭기(30)의 회로도이다. 제66도를 참조하여 회로(31)는 데이터전송(DL1)과 접지전위간에 직렬로 접속된 NMOS 트랜지스터(Q31)(Q33)와 데이터전송선(DL2)와 접지전위간에 직렬로 접속된 NMOS트랜지스터(Q33)(Q34)를 포함한다. 트랜지스터(Q33)(Q34)의 게이트는 공용비트선(SBL1)(SBL2)에 각각 접속된다. 트랜지스터(Q31)(Q33)는 차동증폭기(31)를 능동화하는 제어신호 SLwel를 수신하도록 접속된다.제어신호 SLwel는 감지증폭기(30)를 활성화하기 위한 신호 Swe와 열주소신호를 사용하여 도시생략된 논리회로에서 발생된다.

데이터전송선(DL1)(DL2)은 각 차동증폭기(31)~(3K)에 접속된다.공용회로(40)는 데이터전송선(DL1)(DL2)을 통하여 회로(31)~(3K)에 의해 공용된다. 예를들면 고레벨의 신호 SLwel이 부여되면 회로(31) 및 (40)의 조합에 의하여 공용비트선(SBL1)(SBL2)간의 차동증폭이 실시된다.

후단의 감지증폭기(30)는 고레벨의 감지증폭기 활성화신호 Swe에 응답하여 활성화되고 데이터전송(DL1)(DL2)을 통하여 부여된 데이터신호를 차동증폭한다. 저레벌의 신호 Swe가 부여되면 즉 기록동작에 있어서 감지증폭기(30)는 저레벨의 신호RDB를 출력한다.

제67도는 이 발명의 다른 실시예에 의한 SRAM을 표시하는 블록도이다.

제67도의 SRAM(500)은 공용비트선(SBL1)(SBL2),…이 있는 제57도의 SRAM(400)과 달리 비트선의 공용없이 동일한 개선이 적용되고 있다. 즉 모의셀(DC1)(DC2),…은 각 비트선(BL1)(BL2)…에 각각 접속된다. 모의셀 제어회로(21′)는 2개 비트선(BL1)(BL2)마다 설치된다. 차동증폭기(31′)는 2개 비트선(BL1)(BL2)마다

설치되어 비트선(BL1)(BL2)간의 전압을 차동증폭한다.

제68도는 제67도에 표시한 하나의 모의셀 제어회로(31′)의 회로도이다. 제68도에 표시한 회로의 동작은 기본적으로 제58도에 표시한 회로의 동작과 같으므로 설명을 생략한다.

제57도～제68도에 표시한 실시예에서는 데이터판독동작에 있어서의 속도를 개선하기 위한 것을 설명하였다. 다음은 데이터기록동작에 있어서의 속도 증가를 위한 개선을 설명한다.

다시 제2도를 참조하여 PMOS 트랜지스터(Q1)(Q2)는 각각 TFT로 형성되어 있으므로 낮은 상호 컨덕턴스를 가지고 있다.

다시 말하면 트랜지스터(Q1)(Q2)는 낮은 전류공급능력(또는 전류구동능력)을 가지고 있다. 트랜지스터(Q1)(Q2)가 도통되기 시작하면, 트랜지스터(Q1)(Q2)에 흐르는 전류가 작으므로 데이터기억회로(1)의 데이터기억상태의 반전에 시간이 소요된다. 구동트랜지스터(Q3)(Q4)는 통상적인 NMOS 트랜지스터(즉 반도체 기판내에 형성된 벌크트랜지스터)로 각각 구성되므로 TFT(Q1)(Q2)보다도 큰 상호 컨덕턴스로 또는 전류공급능력을 갖고 있다.

데이터기록동작에 있어서, 고레벨의 데이터신호가 비트선(BL)로부터 트랜지스터(Q6)(Q5)를 경유하여 부여되면 트랜지스터(Q3)가 재빨리 온된다. 따라서 전압 V2가 급속히 저레벨이 된다. 따라서 이 경우에는 데이터기억회로(1)의 데이터기억상태가 신속하게 변화할 수 있게 된다.

이에 대하여 저레벨의 데이터가 비트선(BL)로부터 트랜지스터(Q6)(Q5)를 경유하여 부여될 때는 다음과 같은 문제에 직면하게 된다. 주어진 저레벨의 전압 V1에 응압하여 TFT(Q1)이 도통하기 시작한다. 그러나, 트랜지스터(Q1)의 전류공급능력이 먼저 설명한 바와 같이 작으므로 전압 V2이 저레벨에서 고레벨로 변화하는데 시간이 걸린다. 다시 말하면 전압 V2는 신속하게 고레벨로 변화할 수가 없다. 이것은 저레벨의 데이터신호의 기록동작에 있어서 데이터기록시간이 증가하는 것을 의미한다. 이 문제를 해결하기 위하여 다음과 같은 개선이 제안된다. 트랜지스터(Q1)은 트랜지스터(Q2)보다도 높은 상호 컨덕턴스(또는 전류공급능력, 전류구동능력)을 갖도록 설계한다. MOS 트랜지스터의 전류구동능력을 나타내는 파라미터 β는 일반적으로 아래식으로 표시된다.

$$\beta = \frac{\mu \cdot \varepsilon}{Tox} \cdot \frac{W}{L} \quad \cdots\cdots (14)$$

여기서 W는 MOS 트랜지스터의 채널폭, L는 MOS 트랜지스터의 채널길이, μ는 채널내 표면이동도, ε은 게이트절연막의 유전유, Tox는 게이트산화막의 두께를 표시한다.

μ · ε/Tox는 MOS 트랜지스터의 제조에 있어서 프로세스 조건에 의하여 결정되므로, 전류구동전력 즉 β는 비 W/L의 증가에 의하여 증가시킬 수 있다. 그러나 트랜지스터(Q2)의 비 W/L도 트랜지스터(Q1)와 같이 증가시키면 반도체 기판상의 메모리셀의 점유면적이 증가될 가능성이 있다. 따라서 트랜지스터(Q1)(Q2)는 메모리셀의 점유면적이 증가없이 트랜지스터(Q1)의 전류구동능력을 증가시키기 위하여 아래 관계를 만족하도록 설계된다.

W1L1W2/L2.....(15)

여기서 W1 및 L1은 각각 트랜지스터(Q1)의 채널폭 및 채널길이, 그리고 W2 및L2는 각각 트랜지스터(Q2)의 채널폭 및 채널길이를 표시한다.

저레벨의 데이터신호의 기록에 소요되는 시간을 감소시키기 위한 다른 개선에 의하며 , 트랜지스터(Q4)의 입계치전압 Vth4이 낮은 값으로 설계된다. 대규모 집적회로(LSI)의 제조에 있어서의 정도는 1미크론 이하의 영역수준까지 진행되고 있으며 MOS 트랜지스터의 임계치 전압은 단(短) 채널효과 및/또는 강채널효과의 채널폭 및 채널길이에 의하여 영향을 받는다. 일반적으로, 임계치 전압 Vth는 MOS 트랜지스터의 채널길이 L가 작을수록 감소되고 채널폭 W이 작을수록 전압 Vth이 증가된다.

따라서 트랜지스터(Q4)의 임계치전압 Vth4를 감소시키기 위하여 트랜지스터(Q4)의 채널폭(W4)는 증가되고 및/또는 트랜지스터(Q4)의 채널길이(L4)는 감소된다. 그러나 트랜지스터(Q4)와 같이 트랜지스터(Q3)에서도 채널폭(W3)을 증가시키거나 또는 채널길이(L3)를 감소시키면 메모리셀의 점유면적이 증가될 가능성이 있다. 따라서 메모리셀의 점유면적 증가를 방지하기 위하여 트랜지스터(Q3)(Q4)는 아래 관계를 만족하도록 설계된다.

W3W4.....(16)

또는

L3L4.....(17)

∴ Vth3Vth4.....(18)

트랜지스터(Q3) 및 (Q4)는 부동식(16) 및 (17)을 공히 만족하도록 설계된다. 따라서 부등식(18)으로 표시된 관계가 트랜지스터(Q3)(Q4)에 부여되는 것이나, 트랜지스터(Q4)의 임계치전압 감소는 아래와 같이 데이터기록동작 속도를 개선한다.

제69도는 제2도의 메모리셀회로(MCa)에서 전압 V2 및 시간의 경과간의 관계를 표시하는 그래프이다.

제 69도를 참조하여 종축은 전압 V2(볼트)의 변화를, 횡축은 시간의 경과t(ns)를 표시한다. 트랜지스터(Q1)이 도통시 0.5μA의 전류가 흐른다고 가정한다. 또한 트랜지스터(Q1)(Q3)의 공통접속노드(즉 노드 V2)는 10fF의 용량을 갖고 있다고 가정한다.

제69도의 그래프는 트랜지스터(Q1)이 도통을 개시하고부터 노드(V2)의 전압이 상승하는 것을 표시하고 있

다.

제69도에서 알 수 있는 바와 같이 10ns의 시간이 경과하면, 전압 V2는 0.5볼트가 된다. 시간이 20ns에서 전압 V2는 1.0볼트이다.

따라서, 트랜지스터(Q4)의 임계치전압 Vth4가 1.0볼트라고 가정하면 트랜지스터(Q4)가 도통하는 20ns의 시간이 소요된다.

이에 대하여 트랜지스터(Q4)의 임계치전압 Vth4를 더욱 낮은 0.5볼트의 전압에 설정하는 경우에는 트랜지스터(Q4)가 도통하는데 10ns의 시간만이 소요된다. 이것은 데이터기억회로(1)의 데이터기억상태의 반전에 소요되는 시간이 트랜지스터(Q4)의 임계치전압을 0.5볼트 낮은 값으로 설정함으로써 10ns만큼 감소시킬 수 있음을 의미한다.

제70도는 부등식 (15)을 만족하는 트랜지스터(Q1)(Q2)의 설계예를 표시하는 레이아우트도이다. 제70도에 표시한 레이아우트는 이미 설명한 제53도의 레이아우트에 대응하고 있다. 제70도에서 제53도에 표시한 레이아우트는 파선으로 표시되고 있다.

제71도는 부등식(16) 및 (17)를 만족하는 트랜지스터(Q3) 및 (Q4)의 설계예를 표시하는 레이아우트도 이다.

제71도는 표시한 레이아우트는 기히 설명한 제51도에 표시한 레이아우트에 대응하고 있다. 제71도에 있어서, 제51도에 표시한 레이아우트는 파선으로 표시되어 있다.

이와 같이 제2도, 제11도, 제13도 및 제15도에 표시한 메모리셀을 단일비트선 구성을 가진 SRAM에 적용함으로써 소망의 메모리셀에만 데이터기록을 실시할 수 있는 SRAM을 얻을 수 있다.

즉 각 메모리셀은 단일 비트선과 데이터기억회로(1)간에 설치된 2개의 접근게이트 트랜시스터를 포함하고 있으며 기록 동작시에 소망하는 메모리셀의 2개의 접근게이트 트랜지스터의 게이트전압만이 승압된다. 따라서 데이터기록은 소망하는 메모리셀만에 대하여 실시될 수 있다. 특히 데이터기억회로(1)의 드라이버 트랜지스터(Q4)와 2개의 접근게이트 트랜지스터(Q5)(Q6)가 조합된 등가인 접근 게이트 트랜지스터간의 베터비 βr가 $0.2 \leqq \beta \leqq 1.0$의 관계를 만족하도록 설계되고, 제7도에 표시한 특성이 각 메모리셀에 부여된다. 즉 각 메모리셀은 데이터 판독실시시 데이터기억상태를 안정화시키고 데이터 기록실시시 불안정상태가 되게 한다.

각 메모리셀에 설치된 2개의 접근게이트 트랜지스터가 제20도에 표시한 바와같이 반도체기판(50)상에 근접하여 형성할 수 있으므로 고집적화에 적합한 구조의 메모리셀을 제50도에 표시한 바와같이 얻을 수 있다. 2개의 접근게이트 트랜지스터는 위에서 설명한 바와같이 제1~제11제조방법중 어느방법에 의하여도 형성할 수 있다.

또 제57도~제68도에 표시한 실시예는 공용비트선간 또는 비트선간의 전압차를 차동증폭하는 감지증폭기회로가 설치하므로 데이터판독동작의 속도를 더욱 개선할 수 있다. 제70도 및 제71도에 표시한 실시예는 부등식(15)~(18)을 만족하도록 트랜지스터(Q1)~(Q4)가 설계되므로 데이터기록동작의 속도를 더욱 고속으로 실시할 수 있다.

(57) 청구의 범위

청구항 1

다수의 행 및 다수의 열에 배설된 다수의 메모리셀(MCa)를 포함하는 메모리셀 어레이와, 각각이 상기 메모리셀 어레이내의 대응하는 하나의 열내에 설치되고, 상기 대응하는 하나의 열내의 메모리셀에 접속된 다수의 비트선(BL1)(BL2)를 구성하며, 상기 각 메모리셀은, 단일의 입출력노드가 있으며 상기 입출력노드를 통하여 주어지는 데이터신호를 기억하는 교차접속된 두 개의 인버터로 되는 스태틱형 데이터기억수단(1)과,대응하는 열내의 비트선과, 상기 입출력노드간에 접속되어, 행 및 열주소신호에 응답하여 도통상태가 되는 NMOS 트랜지스터(Q5),(Q6)로 되는 스위칭수단과, 외부에서 주어지는 기록제어신호(swe)에 응답하여 , 행 및 열주소신호에 의해 선택된 메모리셀내의 데이터기억수단(1)의 데이터기억상태를 안정화 및 불안정화시키는 X,Y워드선 승압회로로 되는 상태 제어수단(7,8)를 구비하여, 소망의 메모리셀에만 데이터기록이 세행되는 것을 특징으로 하는 정적램(SRAM)장치.

청구항 2

제1항에 있어서, 상기 데이터기억수단은 제1 및 제2의 전원전위간에 직렬로 접속된 제1도전형의 전계효과 트랜지스터(Q1) 및 이 제1도전형과는 역인 제2도전형의 제2전계효과 트랜지스터(Q3)와, 상기 입출력노드에서 제1 및 제2의 전원전위간에 직렬로 접속된 제1도전형의 제 3전계효과 트랜지스터(Q2) 및 제2도전형의 제4전계효과 트랜지스터로 구성되고, 상기 제1 및 제2의 전계효과 트랜지스터의 게이트전극은 상기 입출력 노드에 접속되어 있으며, 상기 제3 및 제4의 전계효과 트랜지스터의 공통접속노드에 접속되어 있는 것을 특징으로 하는 정적램(SRAM)장치.

청구항 3

제2항에 있어서, 상기 스위칭수단은 대응하는 열의 비트선과 대응하는 데이터기억수단의 입출력노드간에 직렬로 접속된 제5 및 제6의 전계효과 트랜지스터(Q5)(Q6)로 구성되고, 상기 상태제어수단은 외부로부터 부여되는 기록제어신호에 응답하여 행주소신호에 의해 선택된 하나의 행중 메모리셀내의 각 제5전계효과 트랜지스터의 게이트전압을 상승시키는 제1승압수단(7)과, 외부로부터 부여되는 기록제어신호에 응답하여 열주소신호에 의해 선택된 하나의 열중 메모리셀내의 각 제6전계효과 트랜지스터의 게이트전압을 승압시키는 제2승압수단(8)으로 구성된 것을 특징으로 하는 정적램(SRAM)장치.

청구항 4

제3항에 있어서, 상기 각 제1 및 제3 전계효과 트랜지스터는 박막트랜지스터로 구성된 것을 특징으로 하는 정적램(SRAM)장치.

청구항 5

제4항에 있어서, 상기 제1전계효과 트랜지스터는 상기 제3전계효과 트랜지스터보다고 높은 상호 컨덕턴스를 가지고 있는 것을 특징으로 하는 정적램(SRAM)장치.

청구항 6

제4항에 있어서, 상기 제4전계효과 트랜지스터는 상기 제2전계효과 트랜지스터보다도 낮은 입계치 전압을 가지고 있는 것을 특징으로 하는 정적램(SRAM)장치.

청구항 7

제1항에 있어서,다수의 비트선중 대응하는 하나의 비트선에 각각 접속되어 있는 다수의 모의셀(DCa1)(DCa2)와, 상기 메모리셀 어레이내의 인접 2개열마다 각각 설치되어 있고, 상기 다수의 비트선중 대응하는 2개 비트선간에 접속되어 있는 다수의 차동증폭수단(31)~(3K)와, 상기 메모리셀 어레이내의 인접 2개열마다 각각 설치되고 상기 다수의 비트선중 대응하는 2개 비트선중 한쪽을 선택하는 열주소신호에 응답하며 상기 대응하는 2개 비트선중 다른쪽에 연결된 모의셀을 능동화하는 다수의 모의셀 능동화수단(21)~(2K)을 추가 구성한 것을 특징으로 하는 정적램(SRAM)장치.

청구항 8

제7항에 있어서, 상기 각 메모리셀은 기억데이터에 응답하여 제1 및 제2의 소정전압레벨을 가진 신호를 대응 비트선에 부여하며 상기 각 모의셀은 대응하는 모의셀 능동화수단에 응답하여, 상기 제1 및 제2의 소정전압레벨사이의 제3소정전압레벨을 가진 신호를 출력하는 것을 특징으로 하는 정적램(SRAM)장치.

청구항 9

제8항에 있어서, 상기 각 모의셀은 대응하는 비트선과 접지전위간에 직렬로 접속된 제7전계효과 트랜지스터(Q21)(Q22) 및 저항수단(Q31)으로 구성되고, 상기 제7전계효과 트랜지스터의 게이트전극은 상기 대응비트선 짝인 다른쪽 비트선을 선택하는 열주소신호를 수신하도록 접속된 것을 특징으로 하는 정적램(SRAM)장치.

청구항 10

제9항에 있어서, 상기 각 모의셀은 상기 제7전계효과 트랜지스터와 상기 저항수단간에 접속된 제8전계효과 트랜지스터(Q24)를 추가 구성하고, 상기 제8전계효과 트랜지스터는 외부로부터 부여되는 기록제어신호에 응답하여 데이터판독동작시 비도통상태가 되는 것을 특징으로 하는 정적램(SRAM)장치.

청구항 11

제7항에 있어서,상기 각 모의셀은 상기 메모리셀과 동일하게 대응비트선을 구동하는 부하구동능력을 갖고 있으며, 상기 메모리장치는 제1전원전위와 대응비트선간에 각각 접속된 다수의 제어기능 비트선부하(Q27)~(Q30)와, 열주소신호에 응답하여 열주소신호에 의하여 선택된 비트선에 접속된 비트선 부하를 다른쪽 비트선에 접속된 비트선 부하와 차동화하는 비트선 부하차동화수단(41)(42)를 추가 구성한 것을 특징으로 하는 정적램(SRAM)장치.

청구항 12

제11항에 있어서, 상기 비트선 부하차동화수단은 열주소신호에 응답하여 열주소신호에 의하여 선택된 비트선에 접속된 부하를 제외한 상기 다수의 비트선에 접속된 상기 비트선 부하를 증가시키는 수단(41)(42)으로 구성된 것을 특징으로 하는 정적램(SRAM)장치.

청구항 13

제11항에 있어서, 상기 비트선 부하차동화수단은 다수의 비트선 부하감소수단(41)(42)으로 구성되고 이들은 각각 상기 다수의 비트선중 대응하는 하나의 비트선을 선택하는 열주소신호에 응답하여 상기 비트선에 접속된 제어가능 비트선 부하를 감소시키는 것을 특징으로 하는 정적램(SRAM)장치.

청구항 14

제11항에 있어서, 상기 비트선 부하차동화수단은 다수의 비트선 부하증가수단(41)(42)으로 구성되고 이들은 각각 상기 메모리셀 어레이내의 인접하는 2개의 열마다 설치되어 상기 다수의 비트선에 대응하는 2개 비트선중 한쪽을 선택하는 열주소신호에 응답하여 상기 대응하는 2개 비트선중 다른쪽에 접속된 제어가능 비트선 부하를 증가시키는 것을 특징으로 하는 정적램(SRAM)장치.

청구항 15

제1항에 있어서,상기 상태제어수단은 외부로부터 부여된 기록제어신호에 응답하여 선택된 메모리셀내의 데이터기억수단의 데이터기억상태를 데이터판독동작시에는 안정화시키고 데이터기억동작시에는 불안정화시키는 것을 특징으로 하는 정적램(SRAM)장치.

청구항 16

제3항에 있어서, 주표면이 있는 제1도전형의 반도체기판을 추가 구성하고, 상기 제5 및제6의 전계효과 트랜지스터는 상기 기판의 주표면상에 간격을 두고 형성된 제2도전형의 제1 및 제2의
불순물영역(60)(61)과, 상기 기판의 주표면상에 형성된 제1절연층(53)과, 상기 제1 및 제2의 불순물영역

간의 상기 제1절연층상에 형성되어 서로 절연된 제1 및 제2의 도체층(54)(57)으로 구성되고, 상기 제1 및 제2의 도체층은 각각 상기 제5 및 제6의 전계효과 트랜지스터로서, 상기 제1 및 제2의 승압수단에 접속된 것을 특징으로 하는 정적램(SRAM)장치.

청구항 17

제16항에 있어서, 상기 제2도체층은 상기 제1도체층의 일부를 피복하는 것을 특징으로 하는 정적램(SRAM)장치.

청구항 18

제17항에 있어서, 상기 제5 및 제6의 전계효과 트랜지스터는 상기 제1 및 제2의 도체층간에 형성된 절연체를 추가 구성하고, 상기 절연체는 상기 제1도전층상에 형성된 제2절연층(55)과, 상기 제1도체층의 측벽상에 형성된 절연막(56)을 포함하는 있는 것을 특징으로 하는 정적램(SRAM)장치.

청구항 19

다수의 행과 열에 배치된 다수의 메모리셀(MCa)을 포함하는 메모리셀 어레이와 상기 메모리셀 어레이내의 대응열에 각각 설치되고 상기 대응하는 하나의 열의 메모리셀에 접속된 다수의 비트선(BL1)(BL2)으로 구성되고, 상기 각 메모리셀은 상기 입출력노드를 통하여 부여된 데이터신호를 기억하는 것으로 단일 입출력노드를 갖고 있으며 소정전압레벨의 전원전압이 인가되어 있는 데이터기억수단(1)과, 대응열의 비트선과 상기 입출력노드간에 직렬로 접속된 제1 및 제2의 전계효과 트랜지스터(Q5)(Q6)와, 외부로부터 부여된 기록제어신호에 응답하여 열주소신호에 의하여 선택된 열의 메모리셀내의 각 제1전계효과 트랜지스터의 게이트전압을 상기 전원전압 이상의 전압레벨로 승압시키는 제1승압수단(7)과, 외부로부터 부여된 기록제어신호에 응답하여 열주소신호에 의하여 선택된 열의 메모리셀내 각 제2전계효과 트랜지스터의 게이트전압을 상기 전원전압 이상의 전압레벨로 승압시키는 제2승압수단(8)으로 구성된 것을 특징으로 하는 정적램(SRAM)장치(100).

청구항 20

제19항에 있어서, 주표면이 있는 제1도전형의 반도체기판(50)을 추가 구성하고, 상기 각 메모리셀은 상기 기판의 주표면상에 간격을 두고 형성된 제2도전형의 제1 및 제2의 불순물영역(60)(61)과,상기 기판의 주표면상에 형성된 절연층(53)과, 상기 제1 및 제2의 불순물영역간의 상기 절연층상에 각각 형성되고 서로 절연된 제1 및 제2의 도체층(54)(57)으로 구성되고, 상기 제1 및 제2의 도체층은 각각 상기 제1 및 제2의 전계효과 트랜지스터의 게이트전극으로써 상기 제1 및 제2의 승압수단에 접속된 것을 특징으로 하는 정적램(SRAM)장치.

청구항 21

다수의 행과 열에 배치된 다수의 메모리셀(MCc)을 포함하는 메모리셀 어레이와, 상기 메모리셀 어레이내의 대응하는 2개 열마다 각각 설치되고 상기 대응하는 2개열의 메모리셀에 접속된 다수의 공용비트선(SBL1)으로 구성되고, 강기 각 메모리셀은 상기 입출력노드를 통하여 부여된 데이터신호를 기억하는 단일 입출력노드를 가진 데이터기억수단(1)과, 대응하는 2개열의 공용비트선과 상기 입출력노드간에 접속되고 행 및 열의 주소신호에 응답하여 도통하는 스위칭수단(Q5)(Q6)과, 외부로부터 부여된 기록제어신호에 응답하여 행 및 열의 주소신호에 의하여 선택된 메모리셀내의 데이터기억수단의 기억상태를 안정화 또는 불안정화하는 상태제어수단(7)(8)으로 구성된 것을 특징으로 하는 정적램(SRAM)장치.

청구항 22

다수의 행과 열에 배치된 다수의 메모리셀(MCc)을 포함하는 메모리셀 어레이와, 상기 메모리셀 어레이내의 대응하는 2개의 열마다 각각 설치되어 상기 대응하는 2개열내의 메모리셀에 접속된 다수의 공용비트선(SBL1)으로 구성되고, 상기 각 메모리셀은 상기 입출력노드로부터 부여된 데이터신호를 기억하는 것으로 단일 입출력노드를 갖고 있으며 소정전압레벨의 전원전압이 공급되어 있는 데이터기억수단(1)과, 대응하는 2개열의 공용비트선과 상기 입출력노드간에 직렬로 접속된 제1 및 제2의 전계효과 트랜지스터(Q10)(Q8)와, 외부로부터 부여된 기록제어신호에 응답하여 행주소신호에 의해 선택된 행내에 있는 메모리셀의 각 제1전계효과 트랜지스터의 게이트전압을 상기 전원전압 이상의 전압레벨로 승압시키는 제1승압수단(7)과,외부로부터 부여되는 기록제어신호에 응답하여 열주소신호에 의해 선택된 열의 메모리셀내 각 제2전계효과 트랜지스터의 게이트전압을 상기 전원전압 이상의 전압레벨로 승압시키는 제2승압수단(8)으로 구성된 것을 특징으로 하는 정적램(SRAM)장치(100).

청구항 23

공통접속노드(CN)를 통하여 접속된 2개 메모리셀(MCd1)(MCd2)과, 상기 2개 메모리셀에 의하여 공용되는 공용비트선(SBL1)과, 상기 공용비트선과 상기 공통접속노드간에 접속된 제1전계효과 트랜지스터(Q12)로 구성되고, 상기 메모리셀은 상기 입출력노드로부터 부여된 데이터신호를 기억하는 것으로 단일 입출력노드를 갖고 있으며 소정 전압레벨의 전원전압이 공급되어 있는 데이터기억수단(1)과,상기 입출력노드와 상기 공통접속노드간에 접속된 제2전계효과 트랜지스터(Q11)(Q11′)와, 상기 2개 메모리셀이 행주소신호에 의하여 선택될 때 외부로부터 부여되는 기록제어신호에 응답하여 상기 제1전계효과 트랜지스터의 게이트전압을 상기 전원전압 이상의 레벨로 승압시키는 제1승압수단(7)과,상기 메모리셀중 하나가 열주소신호에 의하여 선택될 때 기록제어신호에 응답하여 상기 2개 메모리셀중 선택된 하나의 메모리셀내 대응하는 제2전계효과 트랜지스터의 게이트전압을 승압시키는 제2승압수단(8)으로 구성된 것을 특징으로 하는 정적램(SRAM)장치(300).

청구항 24

다수의 행과 열에 배치된 다수의 메모리셀을 포함하는 메모리셀 어레이와, 상기 메모리셀 어레이내의 대응열에 각각 설치되고 상기 대응열내의 메모리셀에 접속된 다수의 비트선으로 구성되고, 상기 각 메모리

셀은 상기 입출력노드를 통하여 부여된 데이터신호를 기억하는 단일 입출력노드를 가진 데이터기억수단과, 대응열의 비트선과 상기 입출력노드간에 접속되고 행 및 열의 주소신호에 응답하여 도통하는 스위칭수단과, 상기 다수의 비트선의 대응하는 하나의 비트선에 각각 접속되어 있는 다수의 모의셀(DCa1)(DCa2)과, 상기 메모리셀 어레이내의 인접하는 2개열마다 각각 설치되고 상기 다수의 비트선중 대응하는 2개 비트선간에 접속된 다수의 차동감지증폭기수단(31)~(3K)과, 상기 메모리셀 어레이내의 인접하는 2개열마다 각각 설치되고 상기 다수의 비트선의 상기 대응하는 2개 비트선중 한쪽을 선택하는 열주소신호에 응답하여 상기 대응하는 2개 비트선중 다른쪽에 접속된 모의셀을 능동화하는 다수의 모의셀 능동화수단(21)~(2K)으로 구성된 것을 특징으로 하는 정적램(SRAM)장치.

청구항 25

다수의 행과 열에 배치된 다수의 메모리셀을 포함하는 메모리셀 어레이와, 상기 메모리셀 어레이내의 대응하는 2개열마다 각각 설치되고 상기 대응하는 2개열의 메모리셀에 접속된 다수의 공용비트선으로 구성되고, 상기 각 메모리셀은 상기 입출력노드를 통하여 부여되는 데이터신호를 기억하는 단일 입출력노드를 가진 데이터기억수단과, 대응하는 2개열내의 공용비트선과 상기 입출력노드간에 접속되고 행 및 열의 주소신호에 응답하여 도통하는 스위칭수단과, 상기 다수의 공용비트선중 대응하는 하나의 공용비트선에 각각 접속된 다수의 모의셀(DCa1)(DCa2)과, 상기 메모리셀 어레이내의 인접하는 4개열마다 각각 설치되고 상기 다수의 공용비트선중 대응하는 2개 비트선간에 접속된 다수의 차동감지증폭기수단(31)~(3K)과,상기 메모리셀 어레이내의 4개열마다 각각 상기 다수의 공용비트선의 대응하는 2개 공용비트선중 한쪽을 선택하는 열주소신호에 응답하여 상기 대응하는 2개의 공용비트선중 다른쪽에 접속된 모의셀을 능동화하는 다수의 모의셀 능동화수단(21)~(2K)으로 구성된 것을 특징으로 하는 정적램(SRAM)장치.

청구항 26

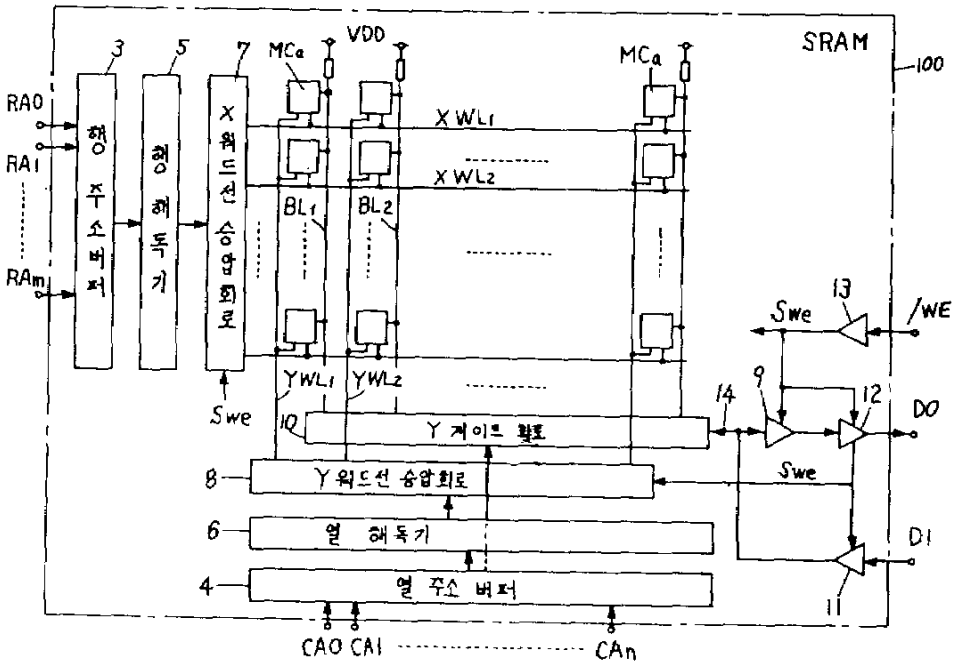
제25항에 있어서, 상기 데이터기억수단은, 제1도전형의 제1전계효과 트랜지스터(Q1) 및 제1전원전위와 제2전원전위간에 직렬로 접속되고 상기 제1도전형과 역인 제2도전형의 제2전계효과 트랜지스터(Q3)와, 입출력노드에서 제1전원전위와 제2전원전위간에 직렬로 접속된 제1도전형의 제3전계효과 트랜지스터(Q2) 및 제2도전형의 제4전계효과 트랜지스터(Q4)로 구성되고, 상기 제1 및 제2의 전계효과 트랜지스터의 게이트전극은 상기 입출력노드에 접속되고, 상기 제3 및 제4의 전계효과 트랜지스터의 게이트전극은 상기 제1 및 제2의 전계효과 트랜지스터의 공통접속노드에 접속되며, 상기 제1전계효과 트랜지스터는 상기 제3전계효과 트랜지스터보다도 높은 상호 컨덕턴스를 갖고 있는 것을 특징으로 하는 정적램(SRAM)장치.

청구항 27

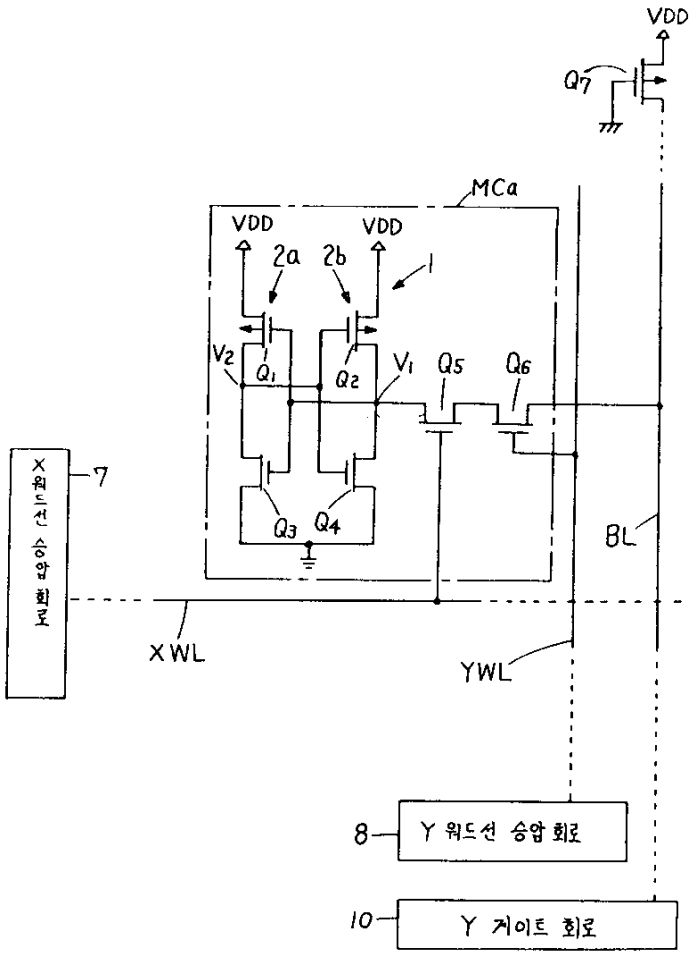
제25항에 있어서, 상기 데이터기억수단은, 제1도전형의 제1전계효과 트랜지스터(Q1) 및 제1전원전위와 제2전원전위간에 직렬로 접속되고 상기 제1도전형과 역인 제2도전형의 제2전계효과 트랜지스터(Q3)와,상기 입출력노드에서 상기 제1 및 제2의 전원전위간에 직렬로 접속된 제1도전형의 제3전계효과 트랜지스터(Q2) 및 제2도전형의 제4전계효과 트랜지스터(Q4)로 구성되고, 상기 제1 및 제2의 전계효과 트랜지스터의 게이트전극은 상기 입출력노드에 접속되며, 상기 제3 및 제4의 전계효과 트랜지스터의 게이트전극은 상기 제1 및 제2의 전계효과 트랜지스터의 공통접속노드에 접속되어 있으며, 상기 제4전계효과 트랜지스터는 상기 제2전계효과 트랜지스터보다도 낮은 임계치전압을 갖고 있는 것을 특징으로 하는 정적램(SRAM)장치.

도면

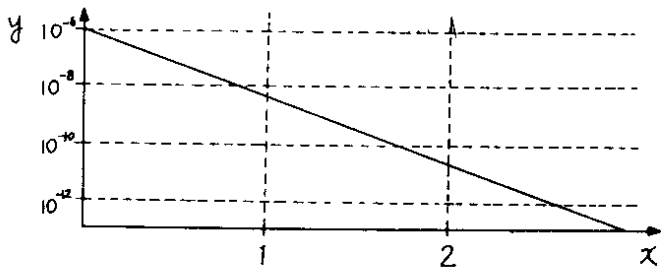
도면1


SRAM
100
RA0
RA1
RAm
3
행 주소 버퍼
5
행 해독기
7
X 워드선 승압회로
MCa
VDD
X WL1
X WL2
BL1
BL2
YWL1
YWL2
Swe
/WE
13
9
12
14
DO
DI
10
Y 게이트 회로
8
Y 워드선 승압회로
6
열 해독기
4
열 주소 버퍼
11
CA0 CA1
CAn

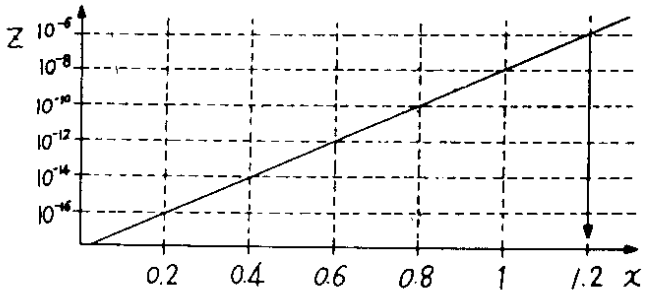
도면2


VDD
Q7
MCa
VDD
VDD
2a
2b
1
V2
Q1
Q2
V1
Q5
Q6
Q3
Q4
X워드선 승압회로
7
BL
XWL
YWL
8
Y 워드선 승압 회로
10
Y 게이트 회로

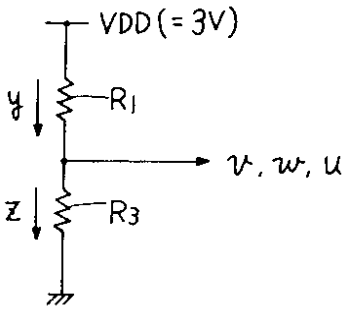
도면3


y
10^{-6}
10^{-8}
10^{-10}
10^{-12}
1
2
x

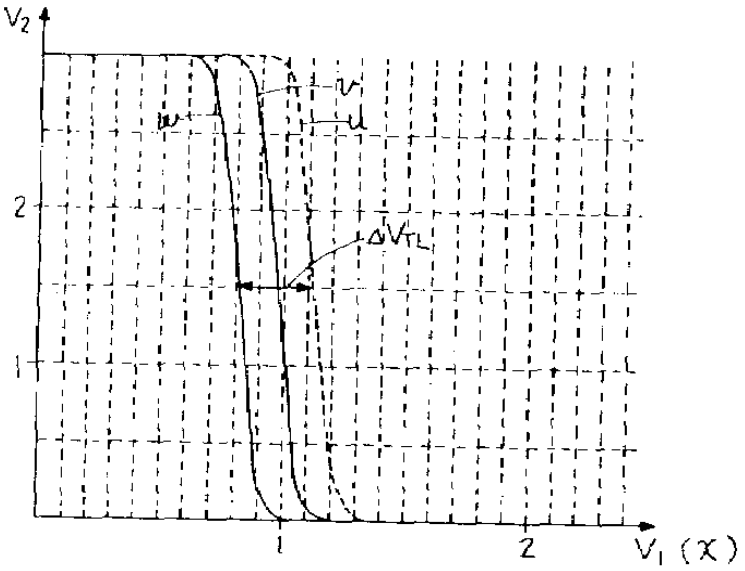
도면4


z
10^{-6}
10^{-8}
10^{-10}
10^{-12}
10^{-14}
10^{-16}
0.2
0.4
0.6
0.8
1
1.2
x

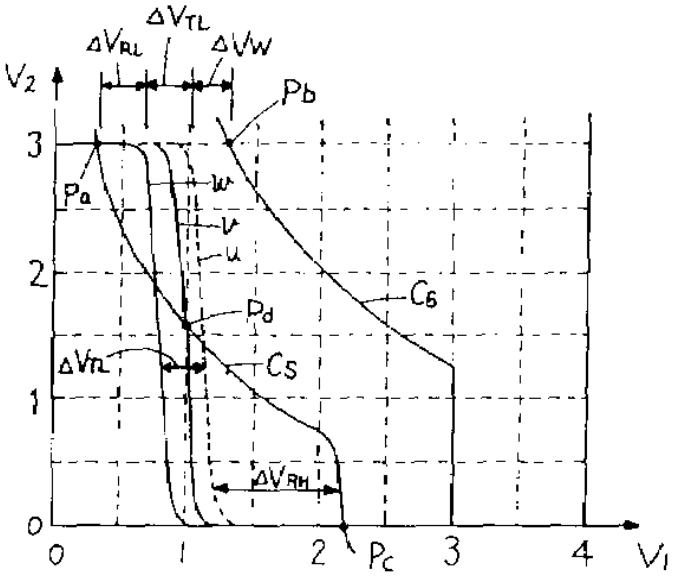
도면5


VDD (= 3V)
y
R1
v, w, u
z
R3

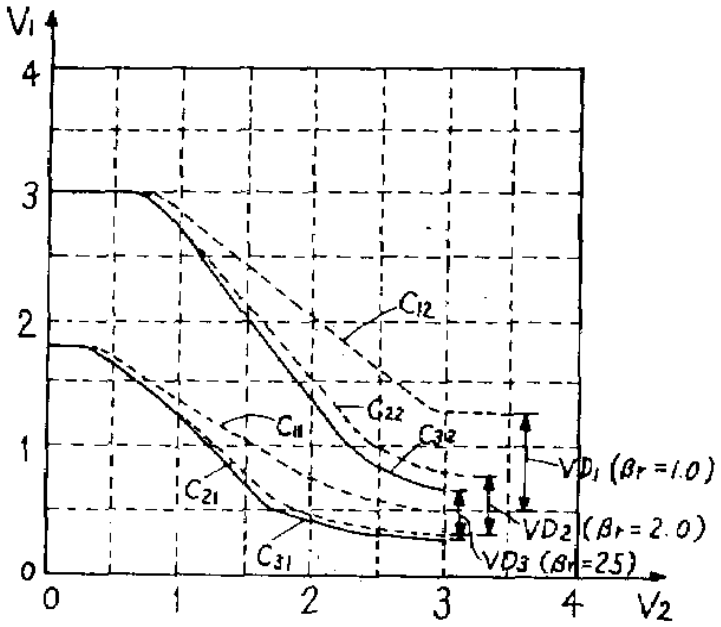
도면6


V2
w
v
u
2
ΔVTL
1
1
2
V1 (X)

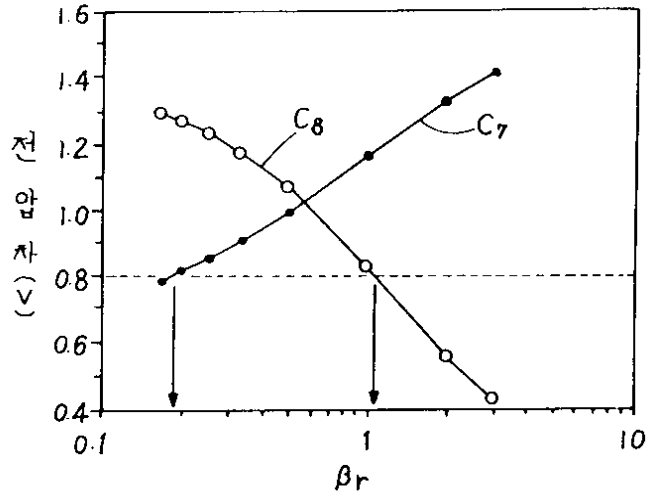
도면7


ΔVTL
ΔVRL
ΔVW
V2
Pb
3
Pa
w
v
u
2
Pd
CB
ΔVTL
CS
1
ΔVRH
0
0
1
2
Pc
3
4
V1

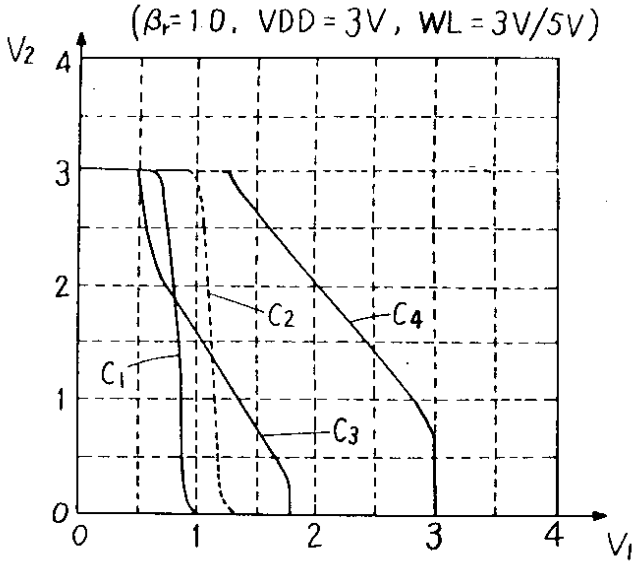
도면8


V1
4
3
2
1
0
0
1
2
3
4
V2
C12
C22
C32
C11
C21
C31
VD1 (βr=1.0)
VD2 (βr=2.0)
VD3 (βr=2.5)

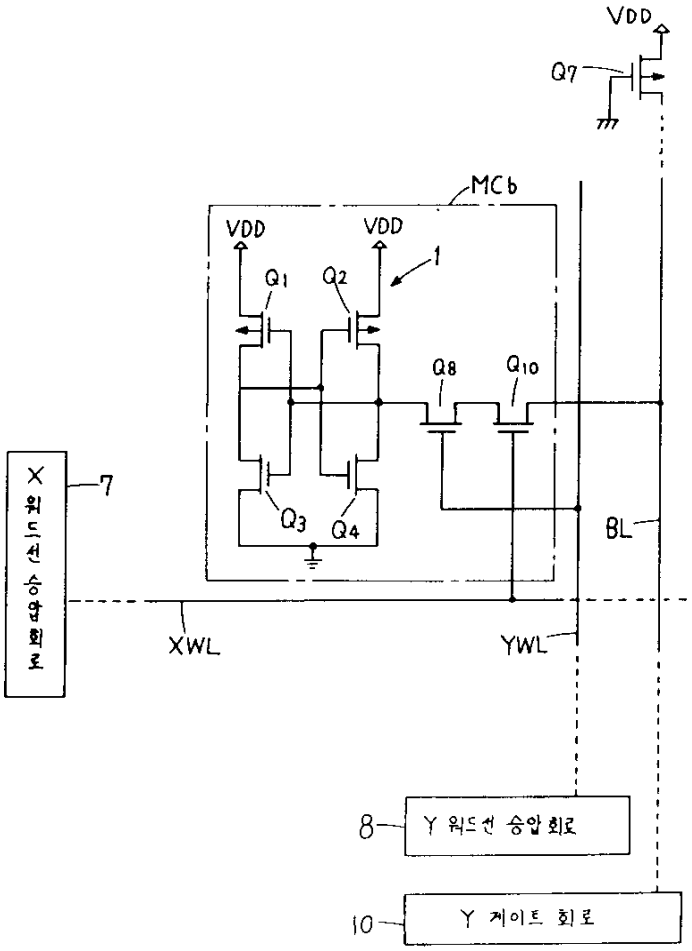
도면9


1.6
1.4
1.2
1.0
0.8
0.6
0.4
전압차 (V)
C8
C7
0.1
1
10
βr

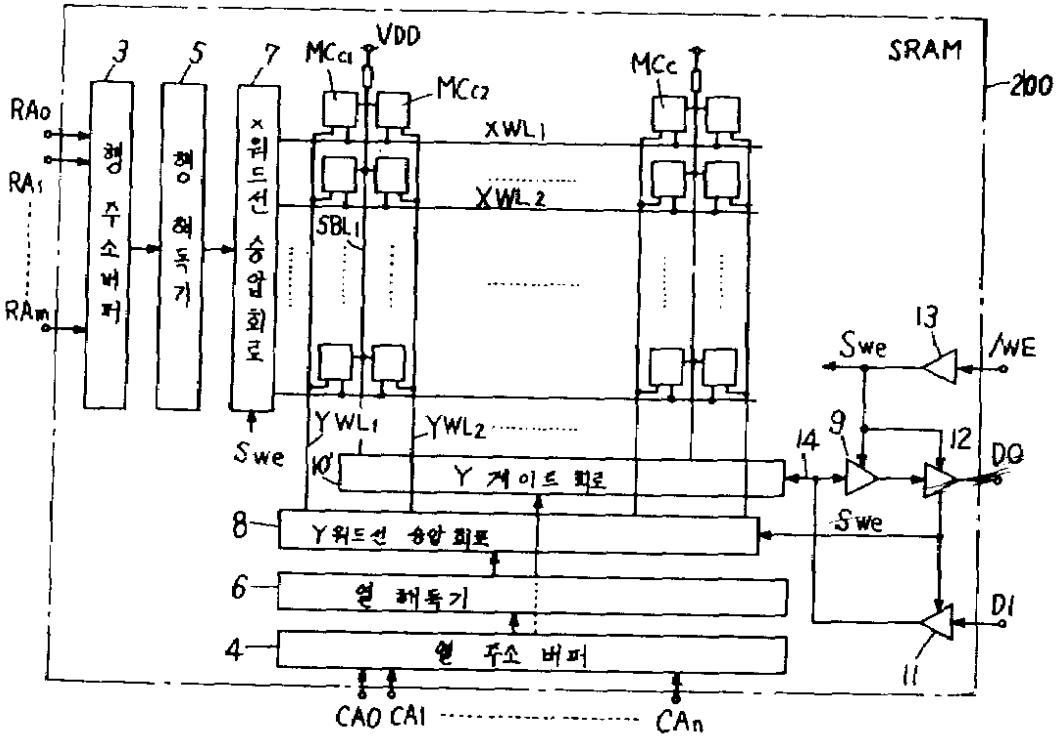
도면10


(βr=10, VDD=3V, WL=3V/5V)
V2
V1
C1
C2
C3
C4
0
1
2
3
4

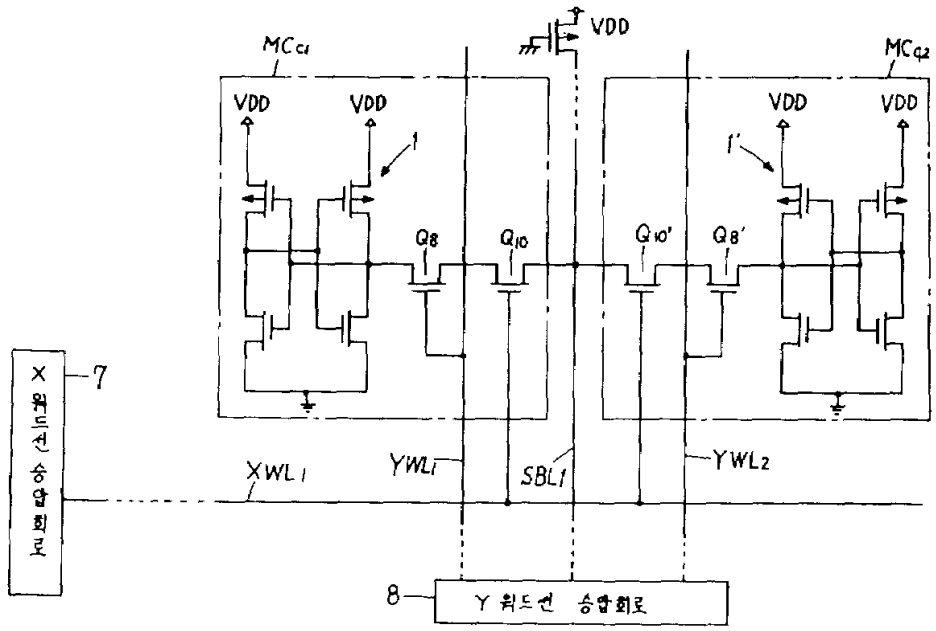
도면11


VDD
Q7
MCb
VDD
VDD
Q1
Q2
1
Q8
Q10
Q3
Q4
X 워드선 승압회로
7
BL
XWL
YWL
8
Y 워드선 승압 회로
10
Y 게이트 회로

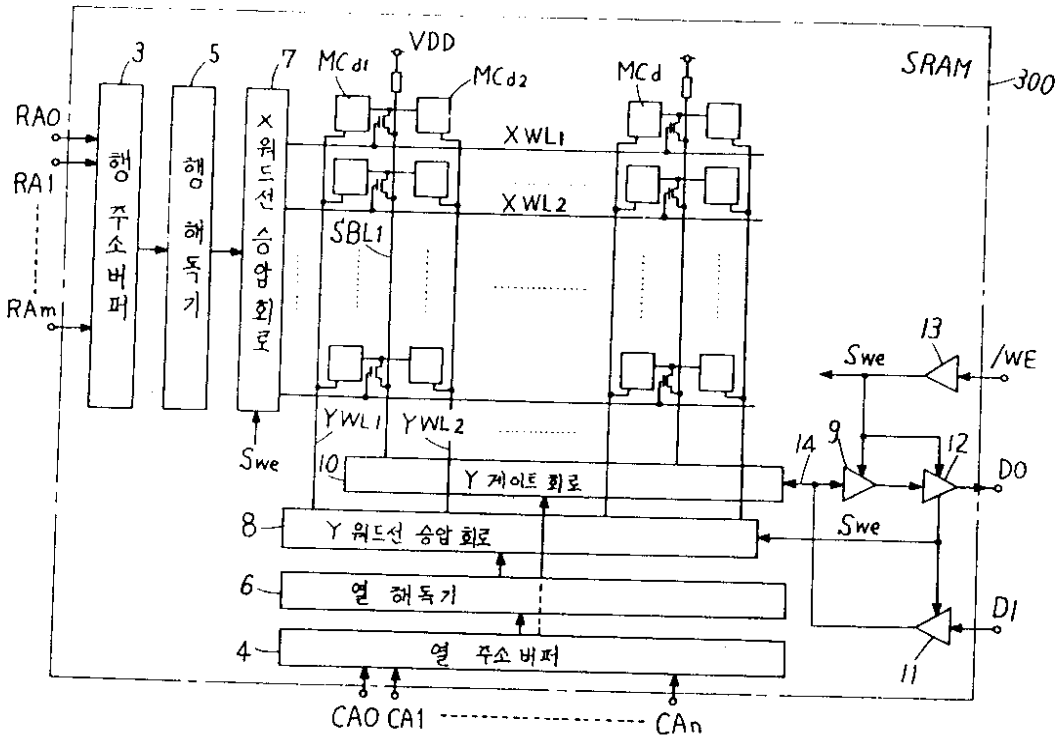
도면12


SRAM
200
RA0
RA1
RAm
3
5
7
행 주소 버퍼
행 해독기
X 워드선 승압회로
MCc1
MCc2
MCc
VDD
XWL1
XWL2
SBL1
YWL1
YWL2
Swe
10
Y 게이트 회로
8
Y 워드선 승압 회로
6
열 해독기
4
열 주소 버퍼
CA0 CA1
CAn
13
/WE
9
14
12
DO
DI
11

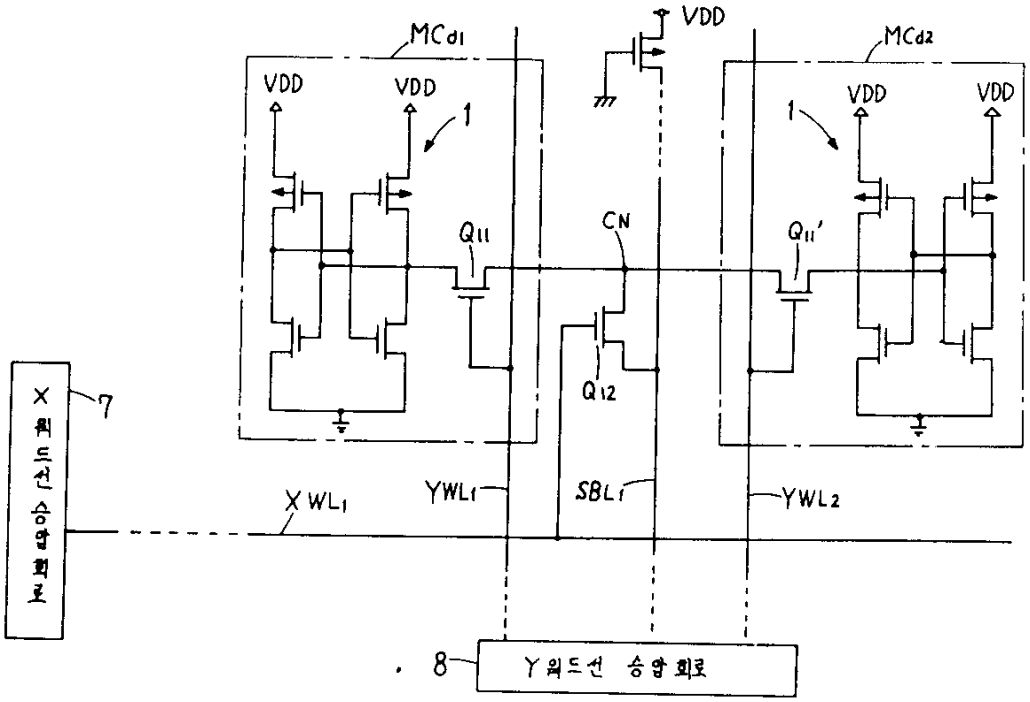
도면13


MCc1
MCc2
VDD
VDD
VDD
VDD
VDD
1
1'
Q8
Q10
Q10'
Q8'
X 워드선 승압회로
7
XWL1
YWL1
SBL1
YWL2
8
Y 워드선 승압회로

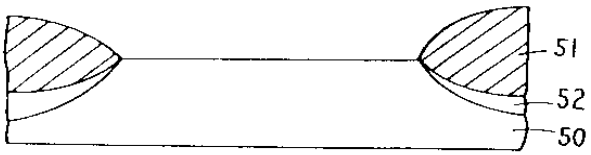
도면14


SRAM
300
RA0
RA1
RAm
3
행 주소 버퍼
5
행 해독기
7
X 워드선 승압 회로
MCd1
MCd2
MCd
VDD
XWL1
XWL2
SBL1
YWL1
YWL2
Swe
10
Y 게이트 회로
8
Y 워드선 승압 회로
6
열 해독기
4
열 주소 버퍼
CA0 CA1
CAn
13
/WE
14
9
12
DO
DI
11

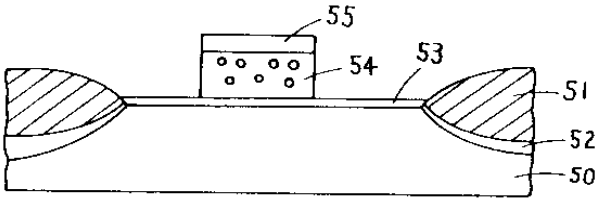
도면15


MCd1
MCd2
VDD
1
Q11
Q11'
CN
Q12
7
X 워드선 승압 회로
XWL1
YWL1
SBL1
YWL2
8
Y 워드선 승압 회로

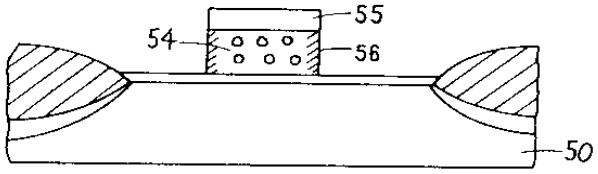
도면16



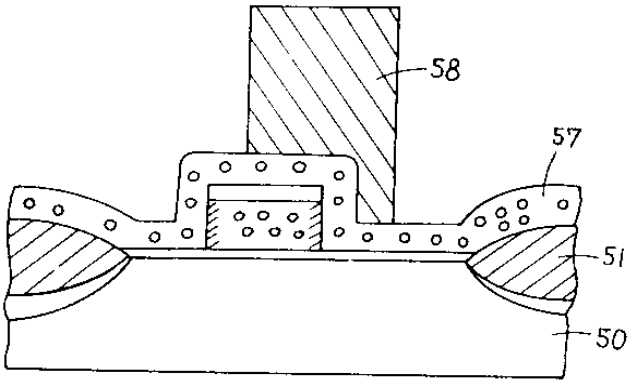
도면17



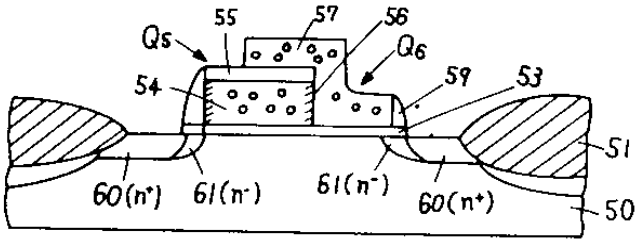
도면18



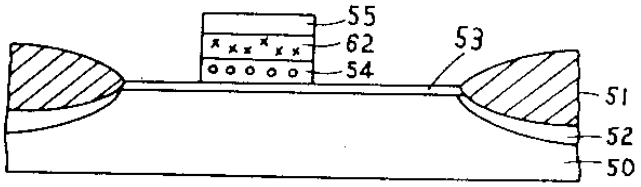
도면19



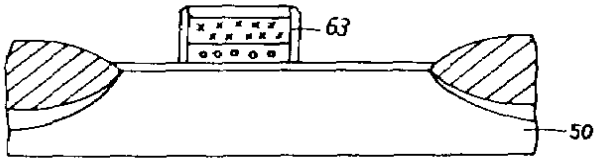
도면20



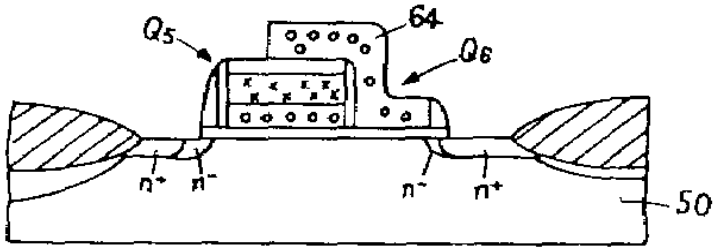
도면21



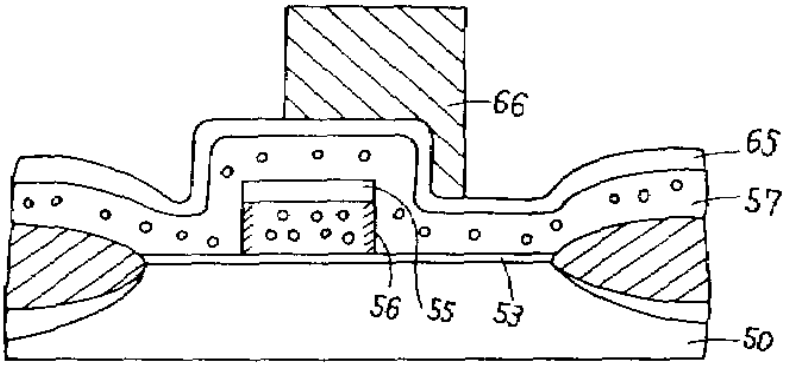
도면22



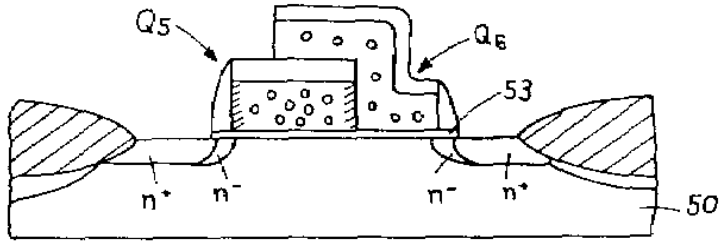
도면23



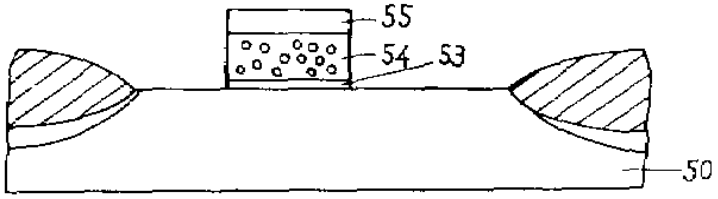
도면24



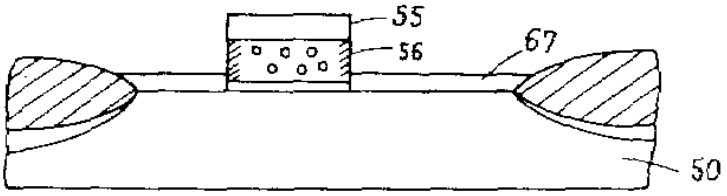
도면25



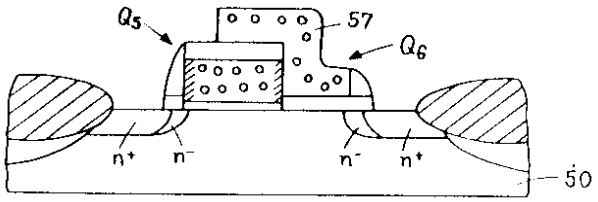
도면26



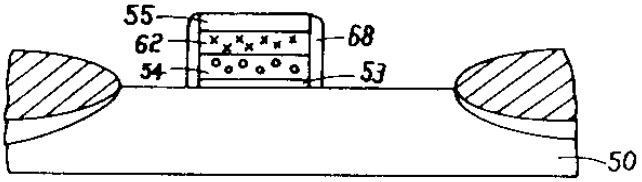
도면27



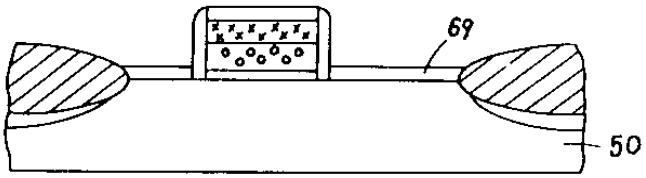
도면28



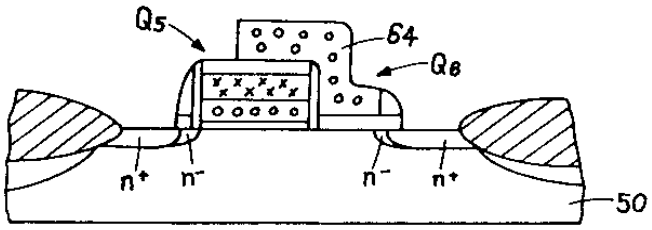
도면29



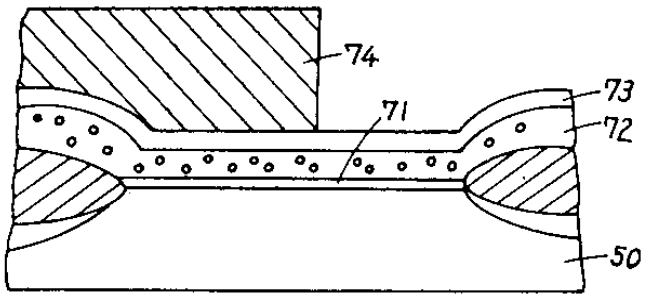
도면30



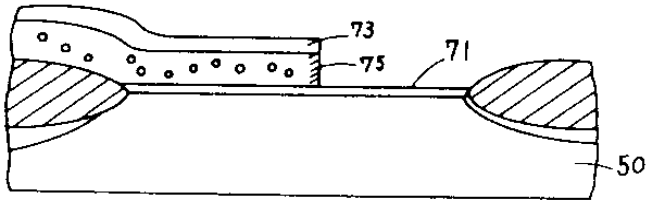
도면31



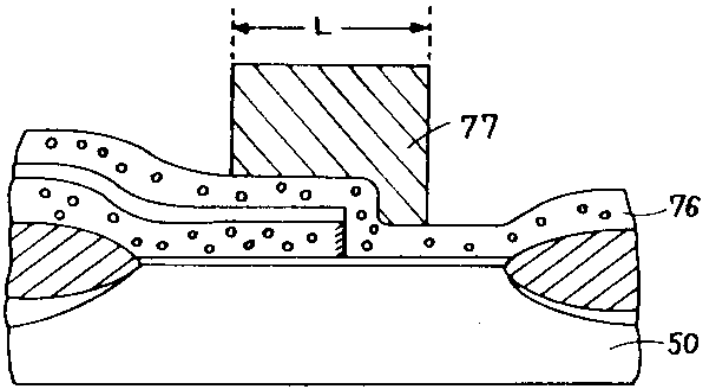
도면32



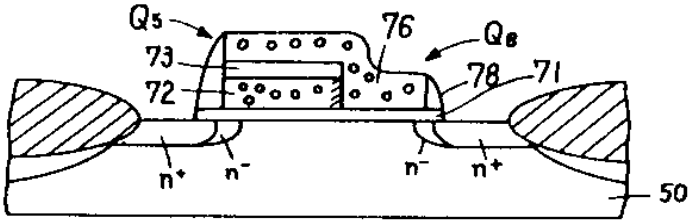
도면33



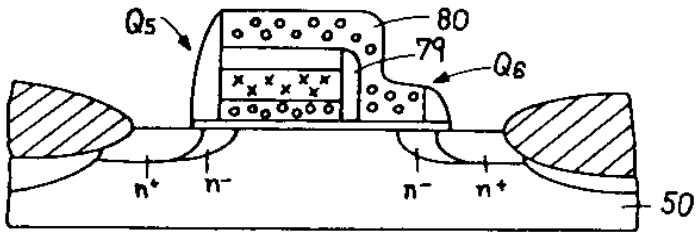
도면34



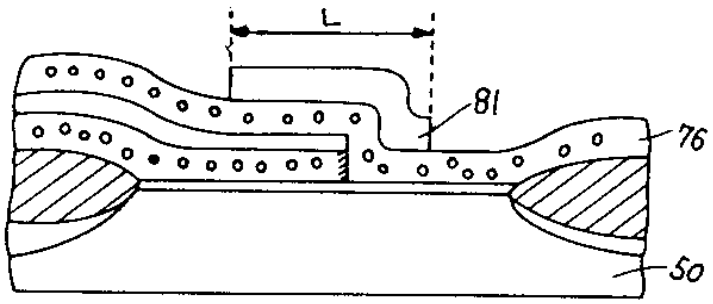
도면35



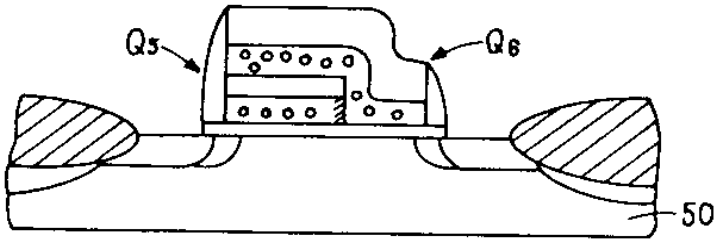
도면36



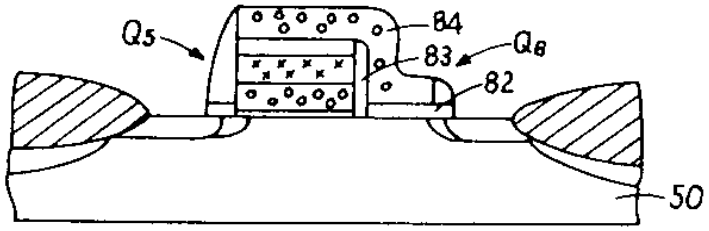
도면37



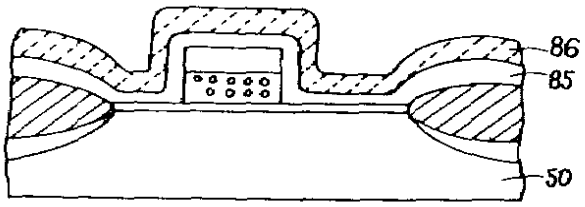
도면38



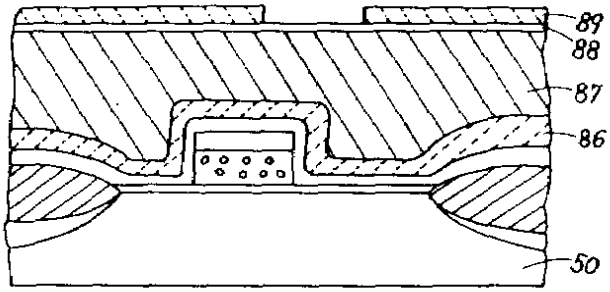
도면39



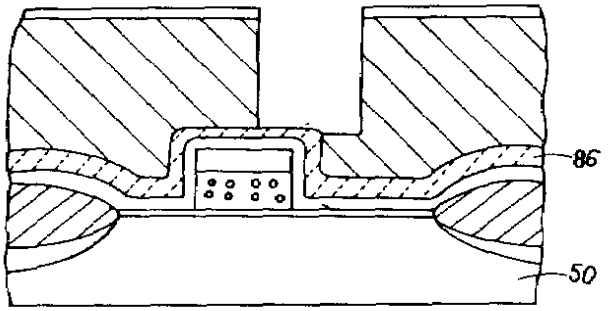
도면40



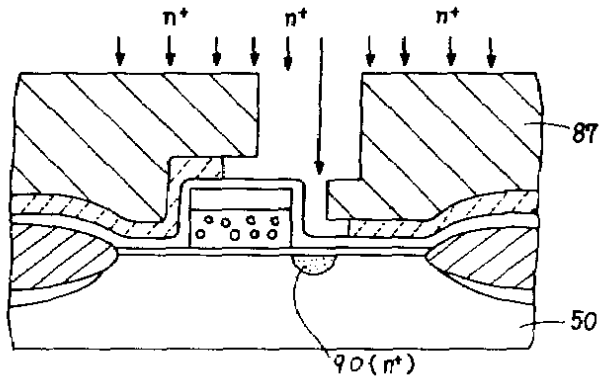
도면41



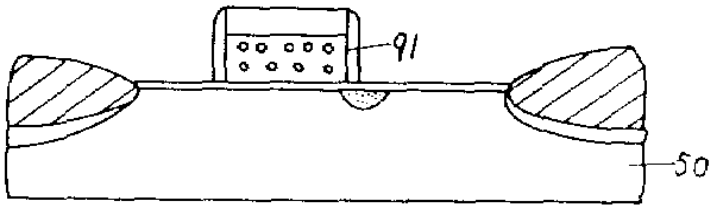
도면42



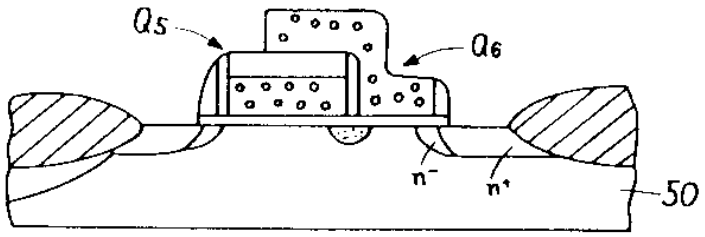
도면43



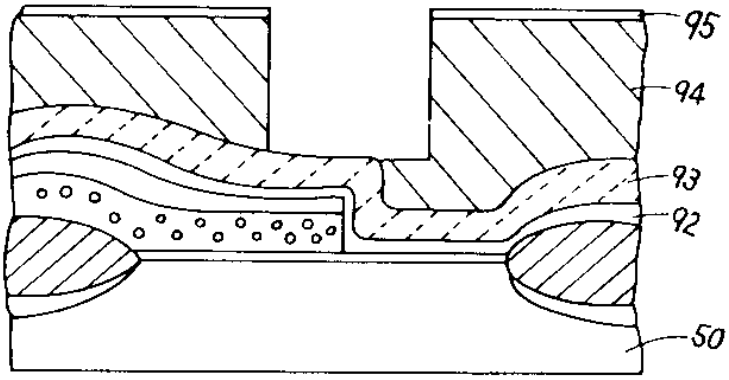
도면44



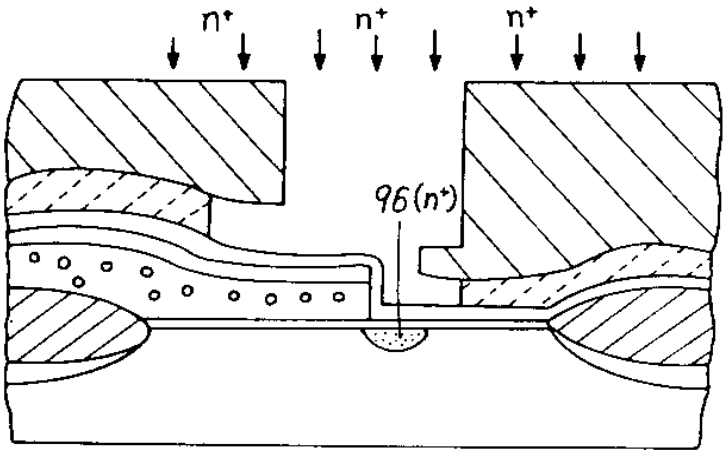
도면45



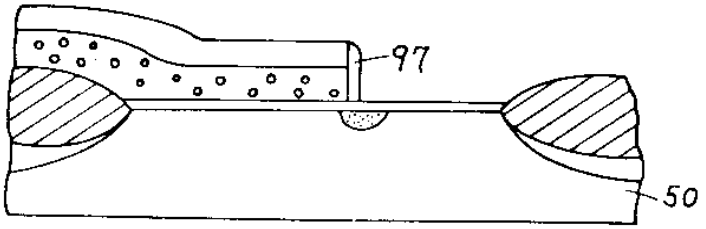
도면46



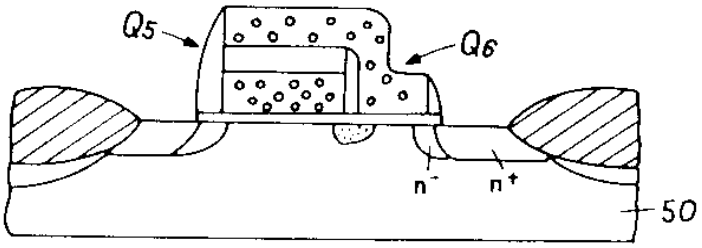
도면47



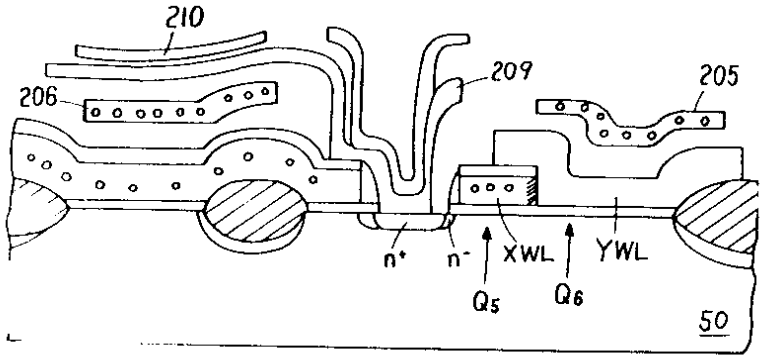
도면48



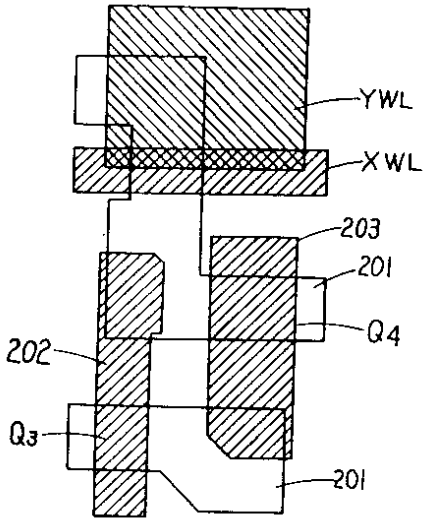
도면49



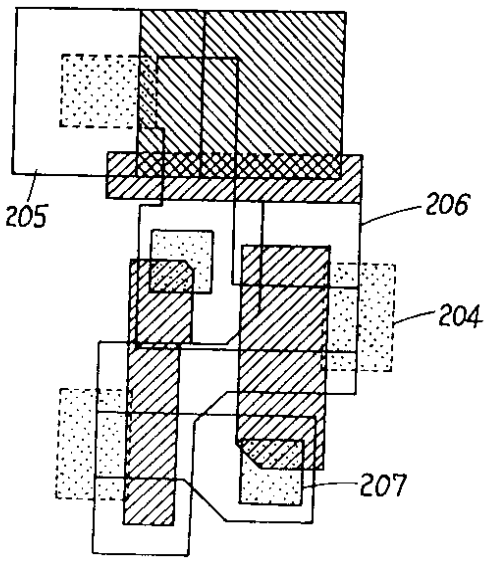
도면50



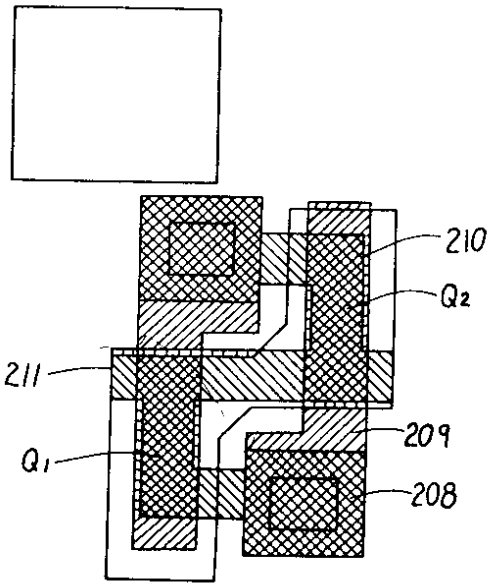
도면51



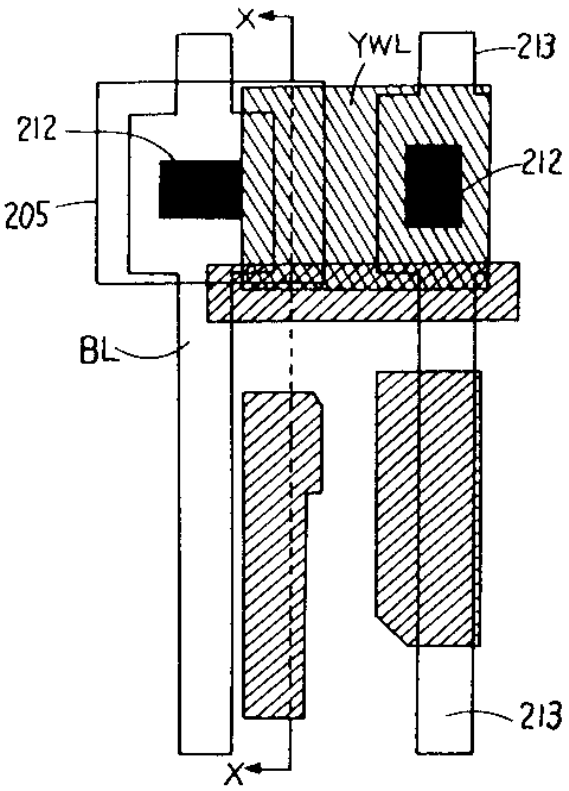
도면52



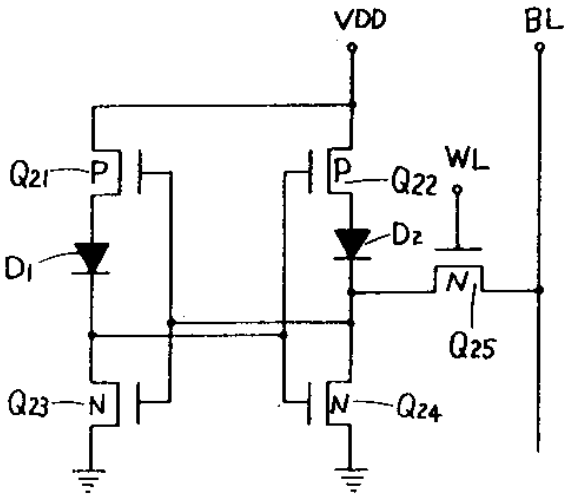
도면53



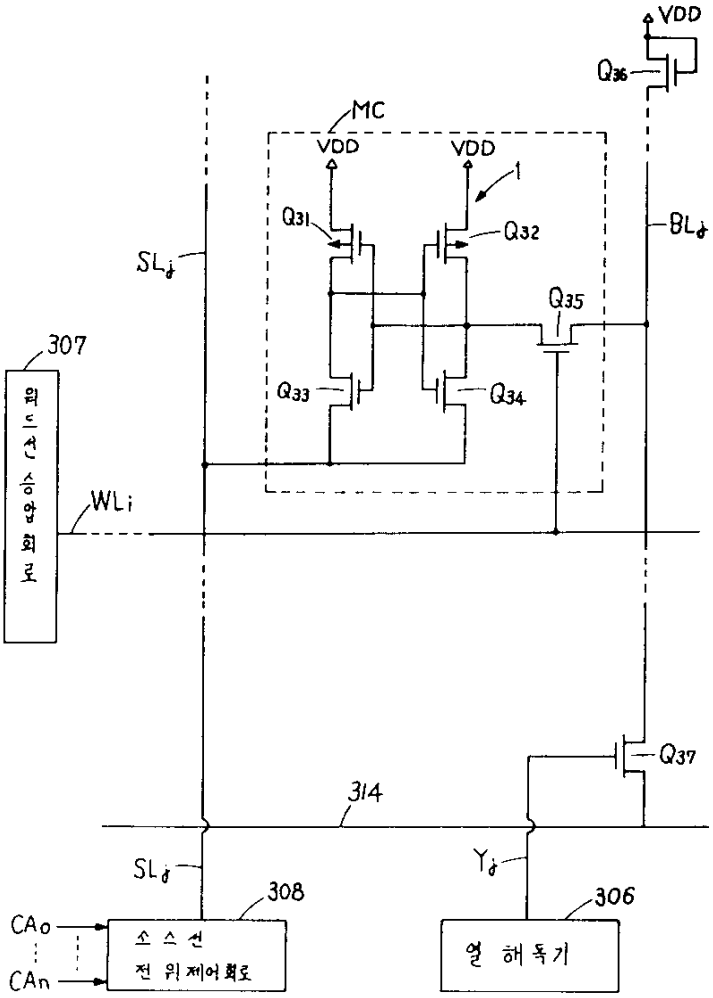
도면54


X
YWL
213
212
212
205
BL
213
X

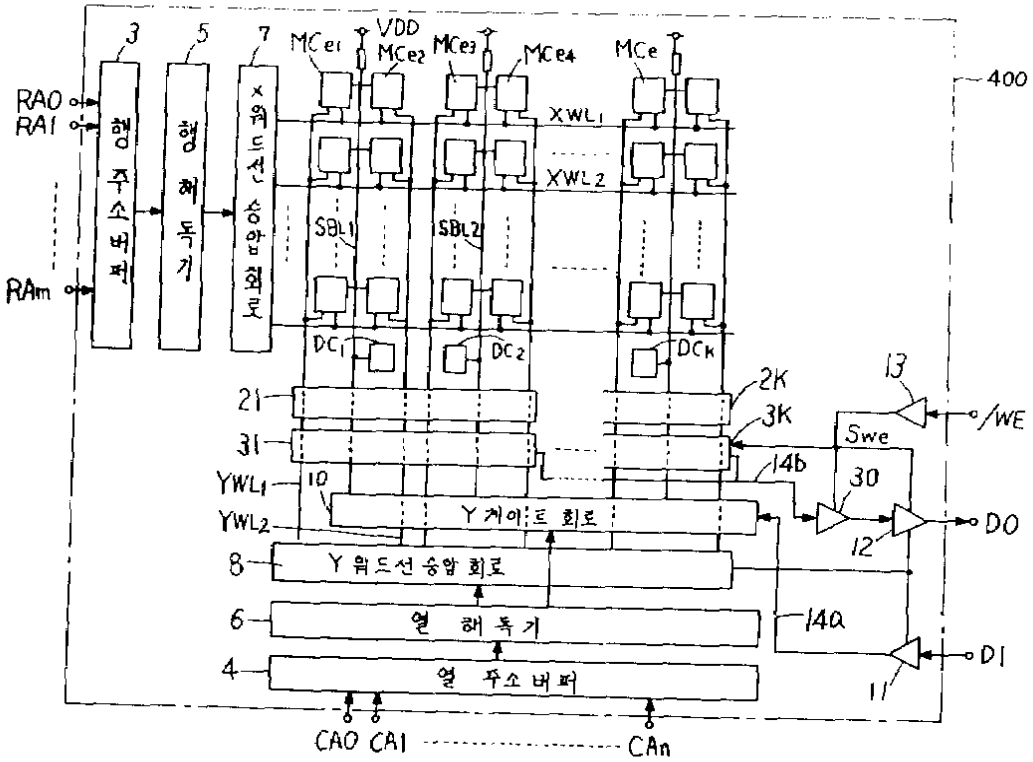
도면55


VDD
BL
Q21
P
P
Q22
WL
D2
D1
N
Q25
Q23
N
N
Q24

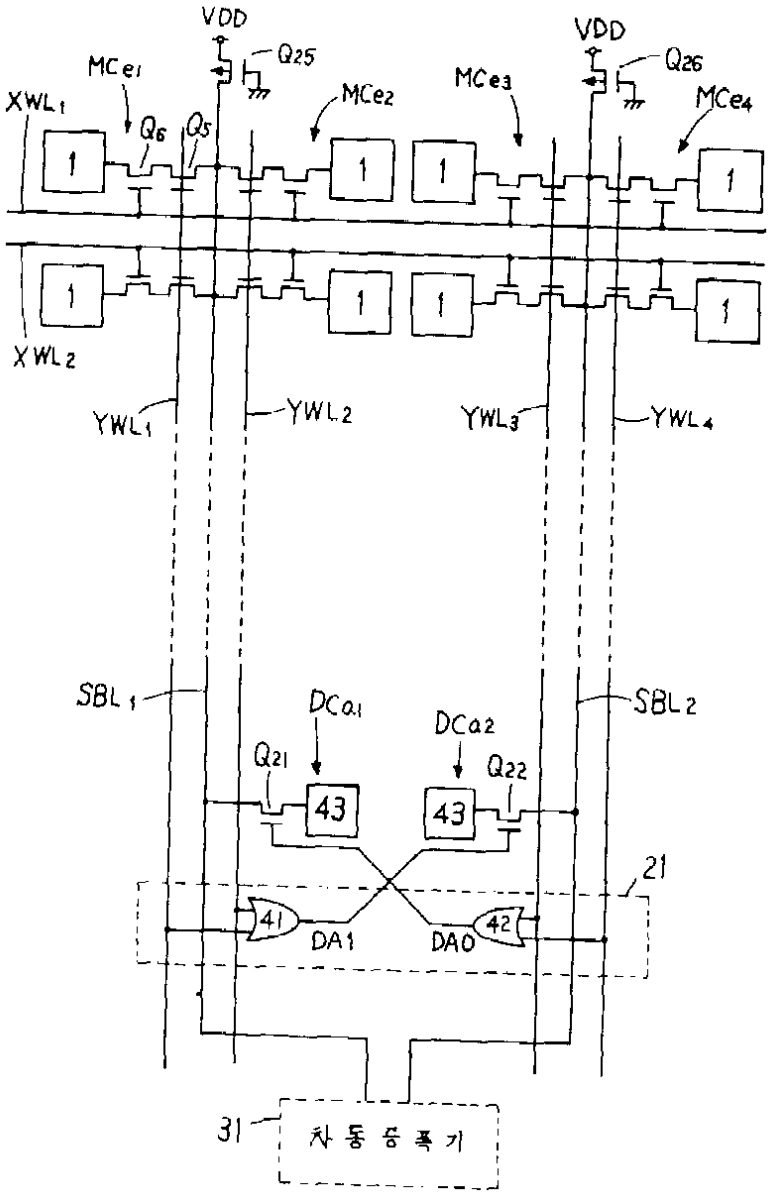
도면56


VDD
Q36
MC
VDD
VDD
1
Q31
Q32
BLj
SLj
Q35
307
Q33
Q34
워드선 구동회로
WLi
Q37
314
SLj
Yj
308
306
CA0
CAn
소스선 전위제어회로
열 해독기

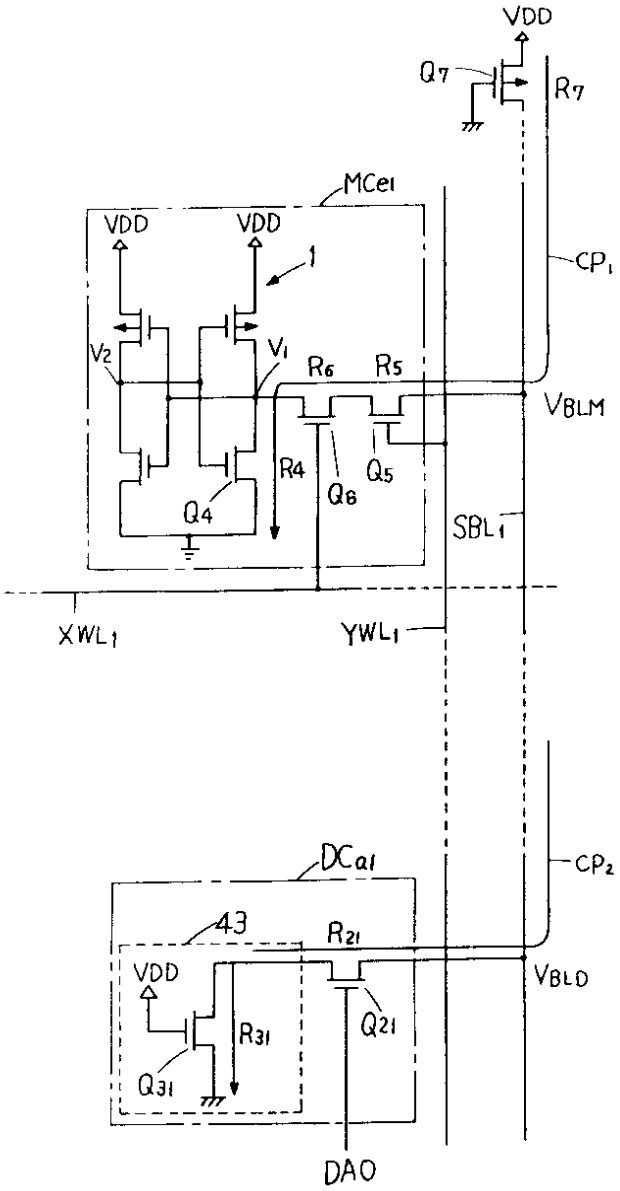
도면57


RA0
RA1
RAm
3
5
7
행 주소 버퍼
행 해독기
X 워드선 승압 회로
MCe1
VDD
MCe2
MCe3
MCe4
MCe
400
XWL1
XWL2
SBL1
SBL2
DC1
DC2
DCk
2K
3K
21
31
YWL1
YWL2
10
Y 게이트 회로
8
Y 워드선 승압 회로
6
열 해독기
4
열 주소 버퍼
13
/WE
Swe
14b
30
12
DO
14a
11
DI
CA0 CA1
CAn

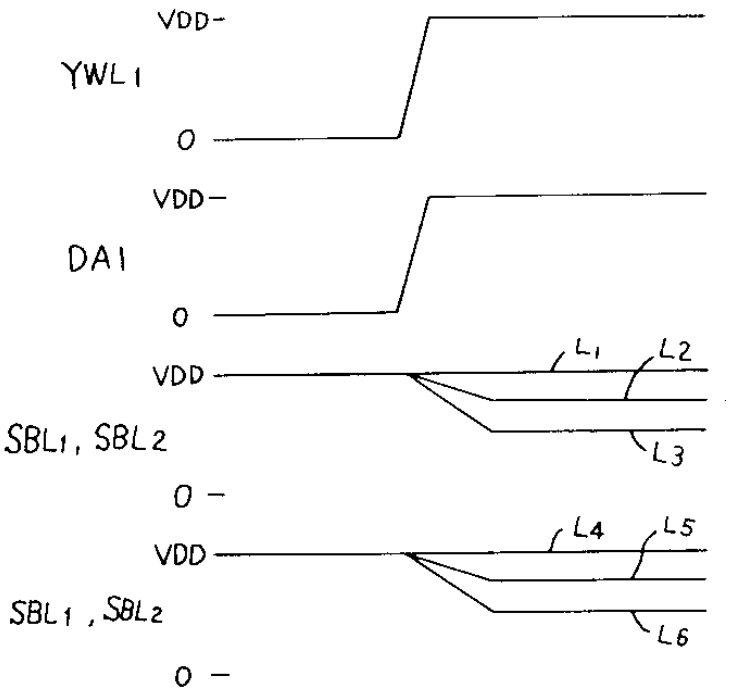
도면58


VDD
VDD
Q25
Q26
MCe1
MCe2
MCe3
MCe4
XWL1
XWL2
Q6
Q5
1
YWL1
YWL2
YWL3
YWL4
SBL1
SBL2
DCa1
DCa2
Q21
Q22
43
21
41
42
DA1
DA0
31
차 동 증 폭 기

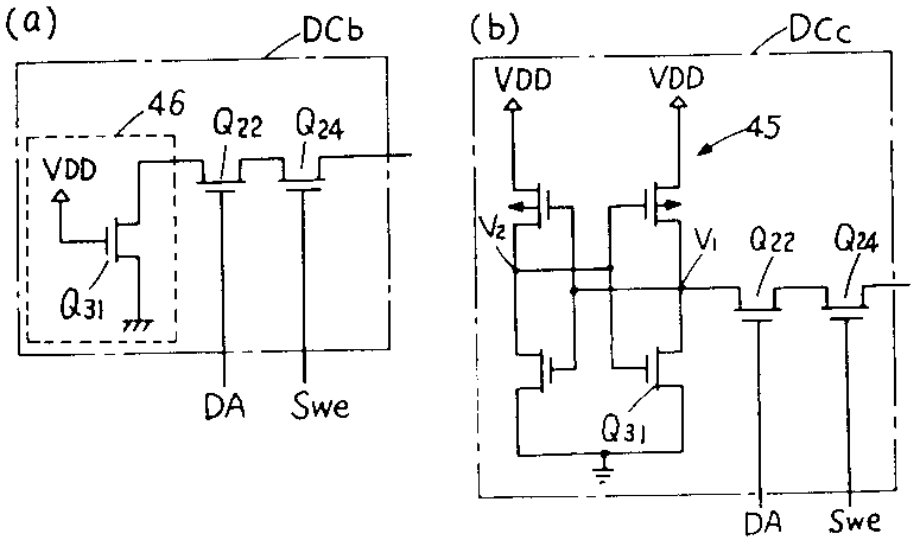
도면59


VDD
Q7
R7
MCe1
VDD
VDD
1
CP1
V2
V1
R6
R5
VBLM
R4
Q6
Q5
Q4
SBL1
XWL1
YWL1
CP2
DCa1
43
R21
VDD
VBLD
R31
Q21
Q31
DAO

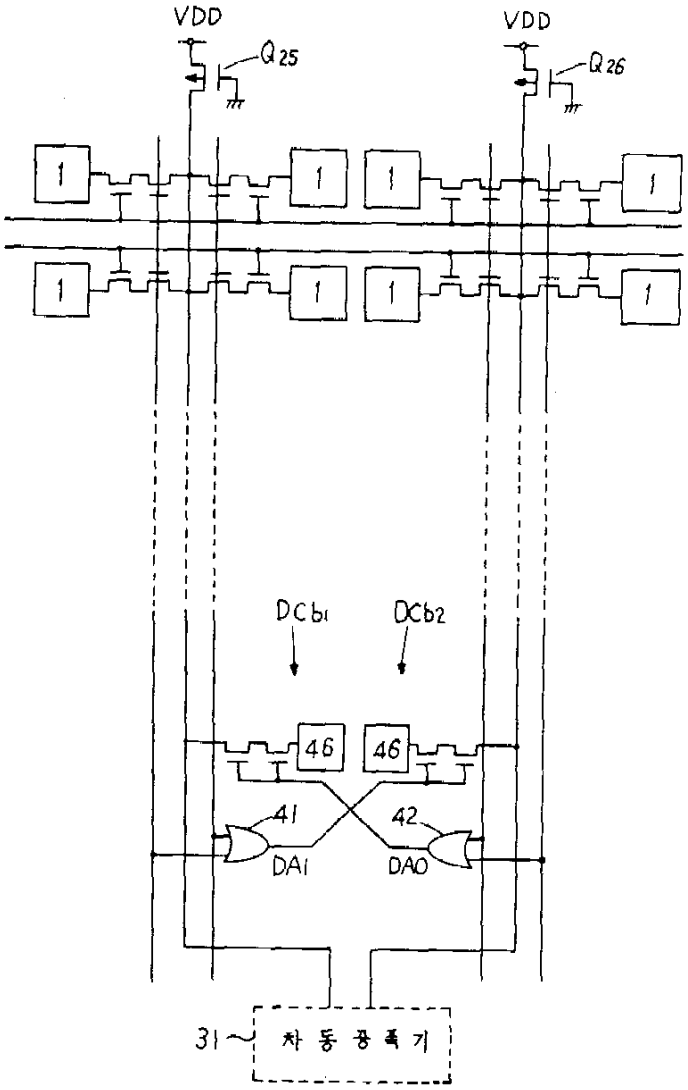
도면60


VDD
YWL1
0
VDD
DA1
0
VDD
L1
L2
L3
SBL1, SBL2
0
VDD
L4
L5
L6
SBL1, SBL2
0

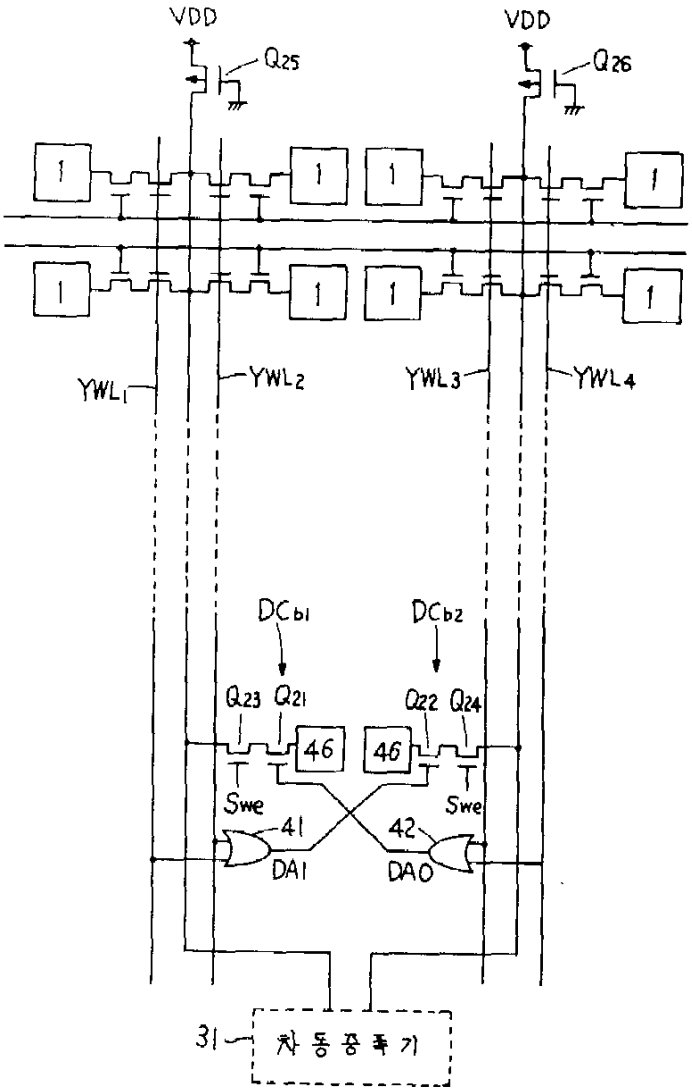
도면61


(a)
DCb
46
Q22
Q24
VDD
Q31
DA
Swe
(b)
DCc
VDD
VDD
45
V2
V1
Q22
Q24
Q31
DA
Swe

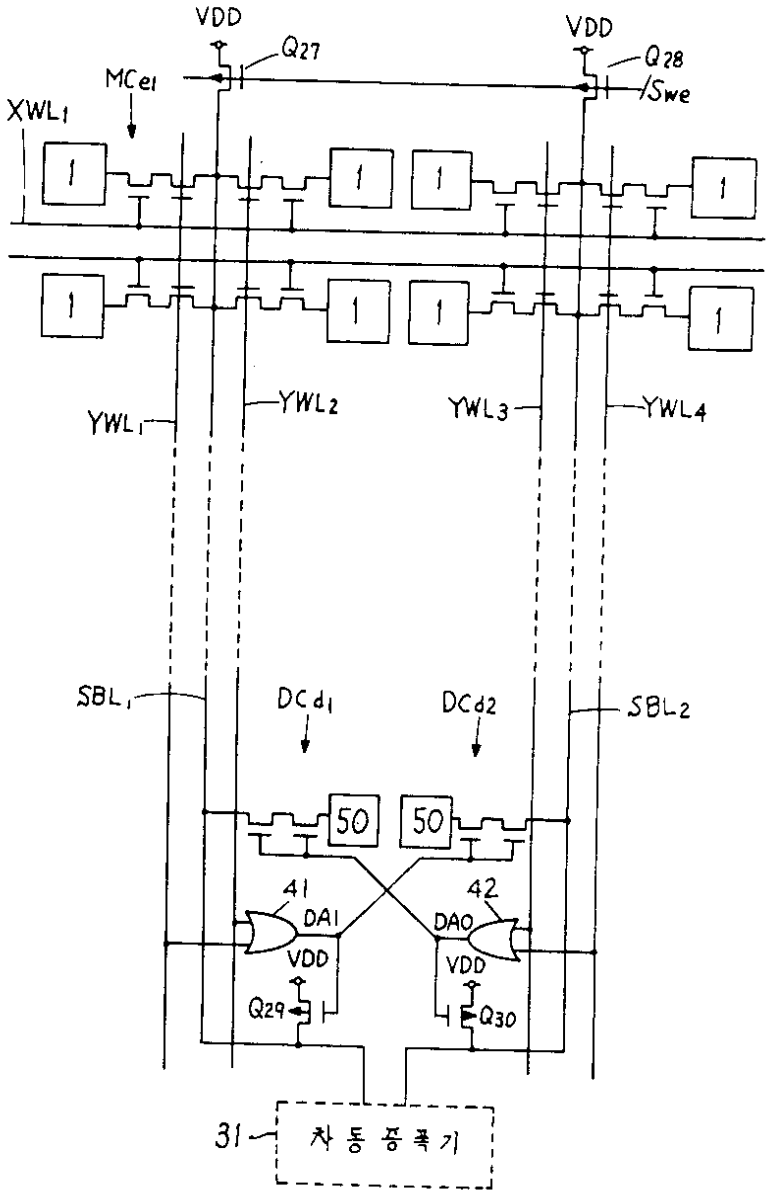
도면62



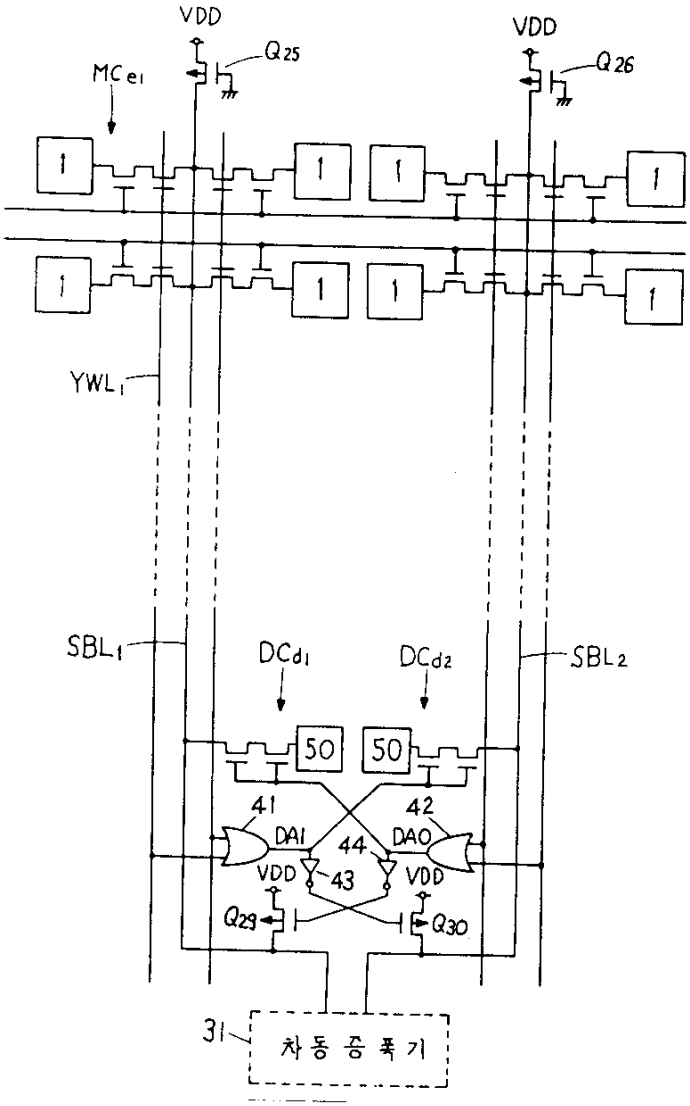
도면63


VDD
VDD
Q25
Q26
1
YWL1
YWL2
YWL3
YWL4
DCb1
DCb2
Q23
Q21
Q22
Q24
46
Swe
41
42
DA1
DA0
31
차동증폭기

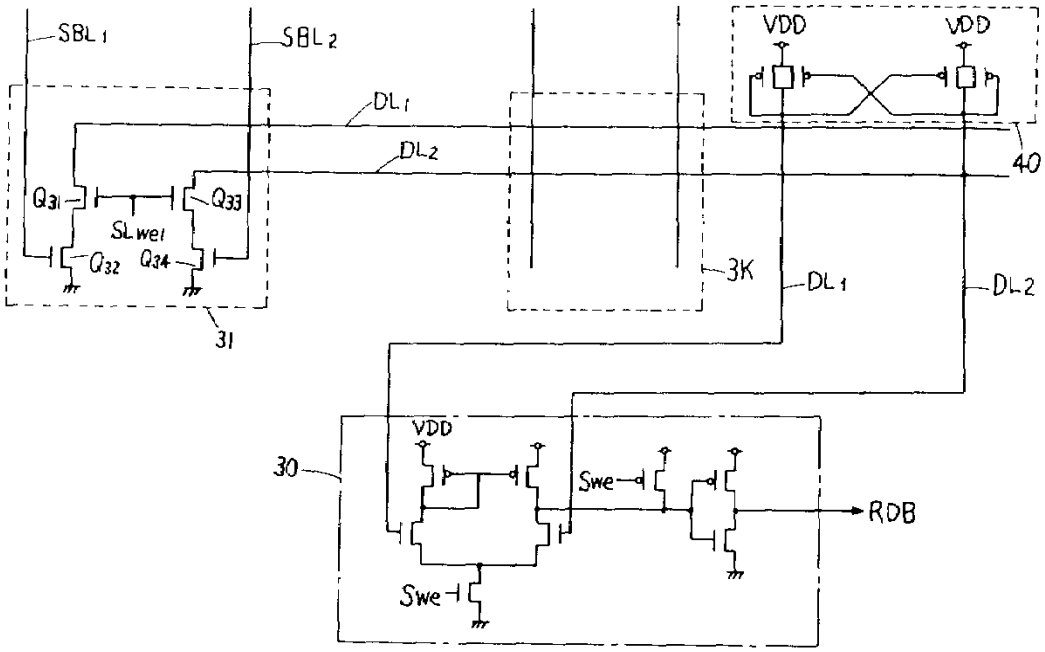
도면64


VDD
VDD
Q27
Q28
MCe1
/Swe
XWL1
1
YWL1
YWL2
YWL3
YWL4
SBL1
DCd1
DCd2
SBL2
50
41
42
DA1
DAO
VDD
VDD
Q29
Q30
31
차동증폭기

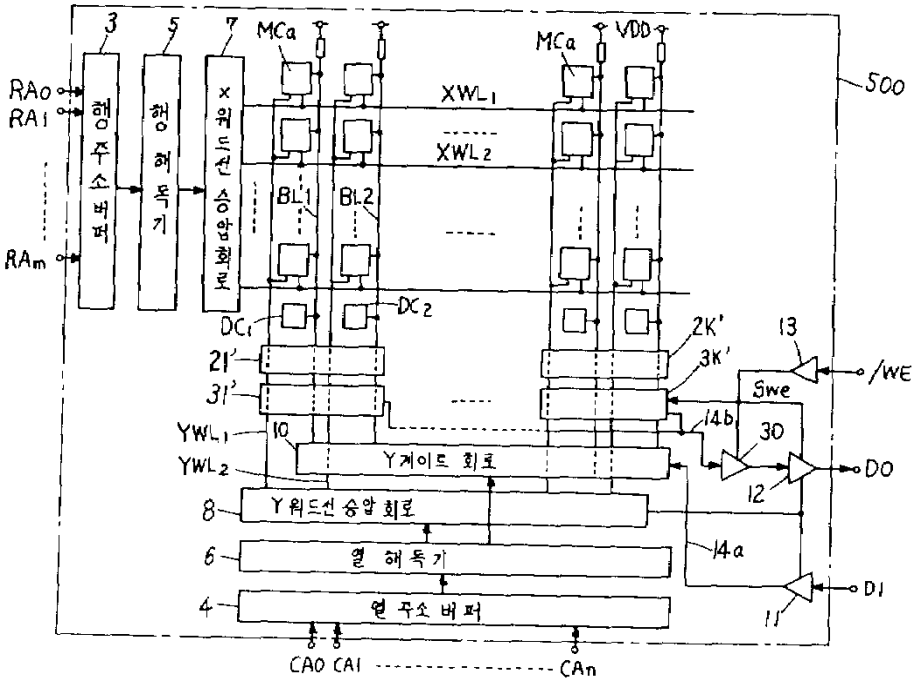
도면65


VDD
VDD
Q25
Q26
MCe1
1
YWL1
SBL1
SBL2
DCd1
DCd2
50
41
42
DAI
DAO
44
43
VDD
VDD
Q29
Q30
31
차동 증폭기

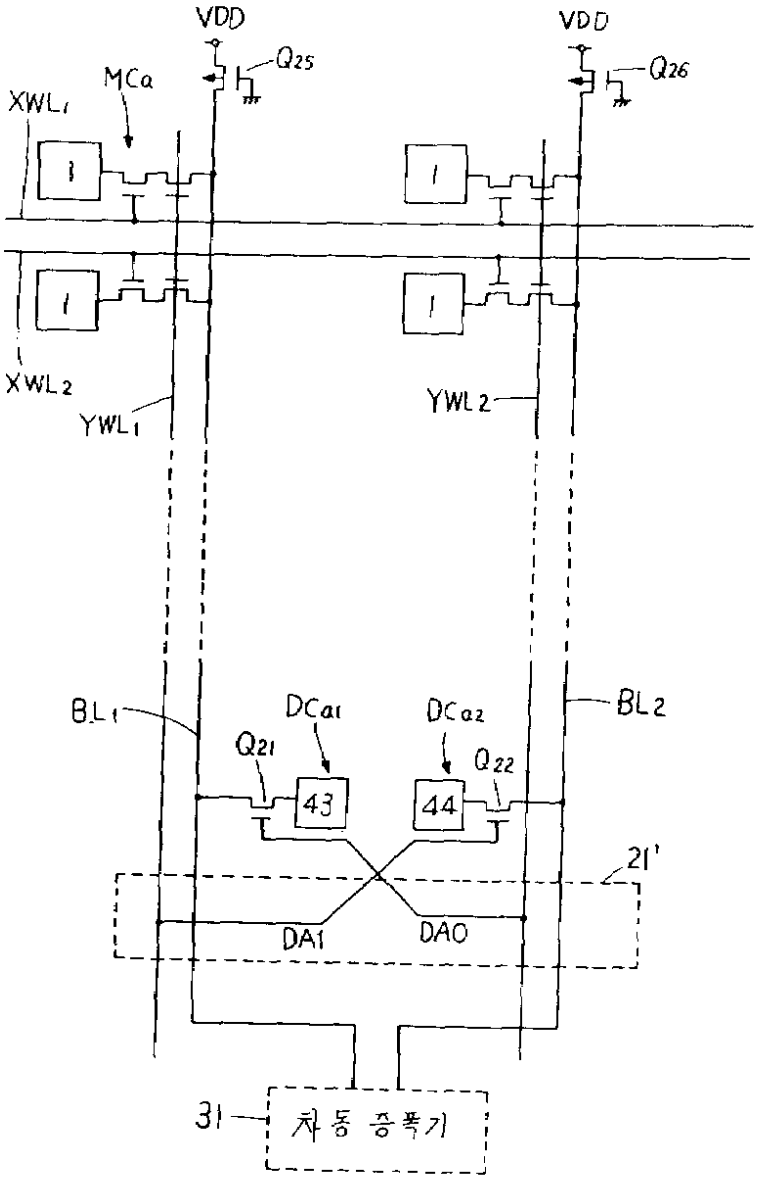
도면66


SBL1
SBL2
DL1
DL2
VDD
VDD
40
Q31
Q33
SLwe1
Q32
Q34
31
3K
DL1
DL2
30
VDD
Swe
RDB
Swe

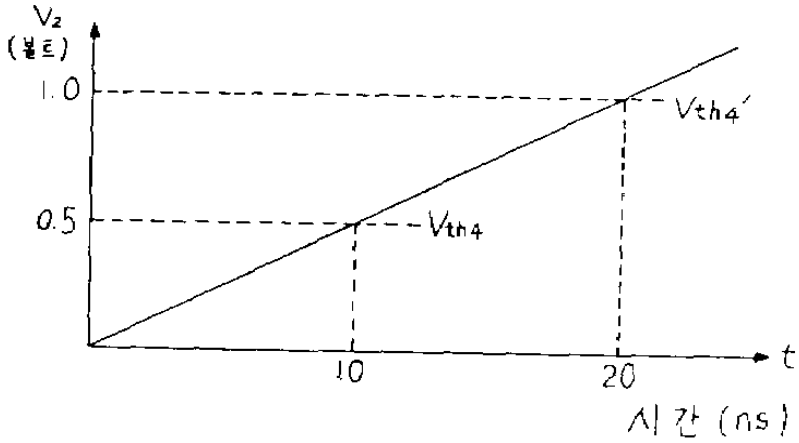
도면67


3
5
7
MCa
MCa
VDD
500
RA0
RA1
RAm
행 주소 버퍼
행 해독기
X 워드선 승압 회로
XWL1
XWL2
BL1
BL2
DC1
DC2
2K'
3K'
13
/WE
Swe
21'
31'
YWL1
YWL2
10
Y게이트 회로
14b
30
DO
12
8
Y 워드선 승압 회로
6
열 해독기
14a
DI
11
4
열 주소 버퍼
CA0 CA1
CAn

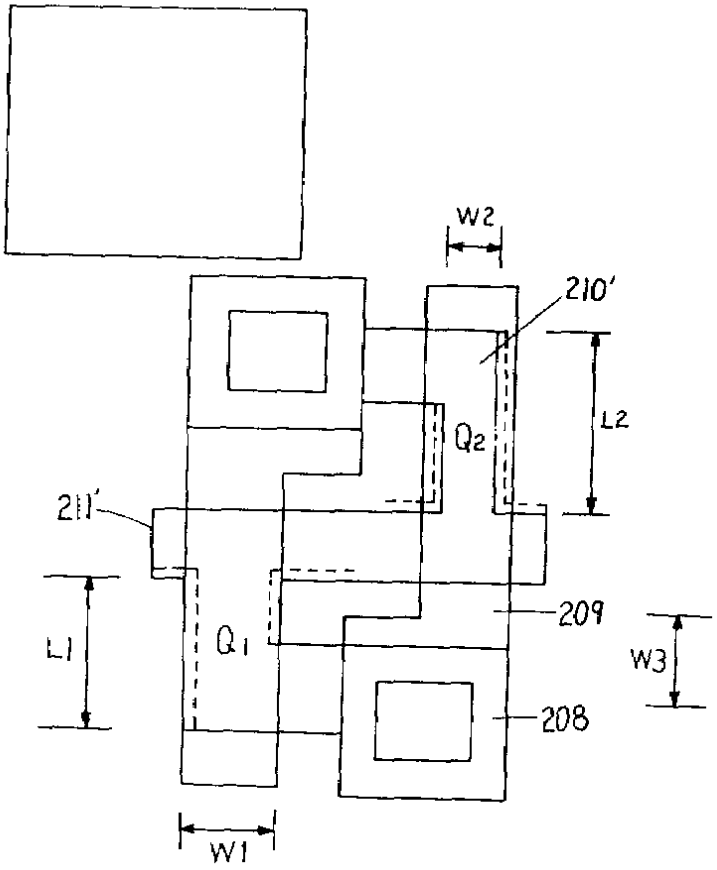
도면68


VDD
VDD
Q25
Q26
MCa
XWL1
XWL2
YWL1
YWL2
BL1
BL2
DCa1
DCa2
Q21
Q22
43
44
21'
DA1
DAO
31
차동 증폭기

도면69


V2
(볼트)
1.0
0.5
Vth4'
Vth4
10
20
t
시간 (ns)

도면70



도면71

