(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0077761
(43) 공개일자 2024년06월03일

(51) 국제특허분류(Int. Cl.)
G06F 3/06 (2006.01) *G06F 12/02* (2018.01)
(52) CPC특허분류
G06F 3/0614 (2013.01)
G06F 12/0253 (2013.01)
(21) 출원번호 10-2022-0160003
(22) 출원일자 2022년11월25일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
장인종
경기도 이천시 부발읍 경충대로 2091 에스케이하이닉스
(74) 대리인
특허법인(유한)유일하이스트

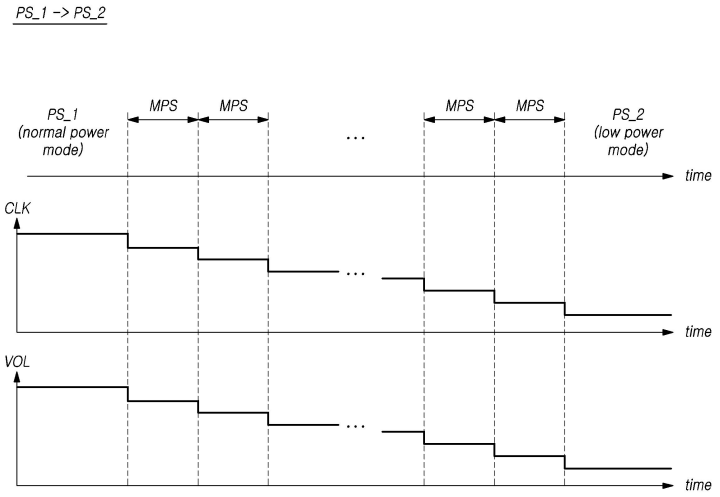
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 **전력 상태에 따라 백그라운드 동작을 실행하는 스토리지 장치 및 그 동작 방법**

(57) 요 약

스토리지 장치는 제1 전력 상태로부터 제2 전력 상태로 진입하는 중에 복수의 중간 전력 상태들에 순차적으로 진입할 수 있다. 스토리지 장치는 복수의 중간 전력 상태들에 진입할 때마다 백그라운드 플래그 정보를 확인하고, 백그라운드 플래그 정보를 기초로 하여, 복수의 중간 전력 상태들 중 제1 중간 전력 상태에서 실행 가능한 타깃 백그라운드 동작을 실행할 수 있다.

대 표 도



(52) CPC특허분류
G06F 3/0658 (2013.01)
G06F 3/0659 (2013.01)
G06F 2212/1032 (2013.01)

명 세 서

청구범위

청구항 1

복수의 메모리 블록들을 포함하는 메모리; 및

제1 전력 상태로부터 제2 전력 상태로 진입하는 중에 복수의 중간 전력 상태들에 순차적으로 진입하고,

상기 복수의 중간 전력 상태들 각각에 진입할 때마다, 상기 각 중간 전력 상태에서 실행 가능한 백그라운드 동작들을 지시하는 백그라운드 플래그 정보를 확인하고,

상기 복수의 중간 전력 상태들 중 제1 중간 전력 상태에 진입한 후 제2 중간 전력 상태로 진입하기 전에, 상기 백그라운드 동작들 중 상기 제1 중간 전력 상태에서 실행 가능한 타깃 백그라운드 동작을 상기 백그라운드 플래그 정보를 기초로 하여 실행하는 컨트롤러;를 포함하는 스토리지 장치.

청구항 2

제1항에 있어서,

상기 컨트롤러는,

상기 제1 중간 전력 상태에서 상기 제2 중간 전력 상태로 진입할 때, 동작 클럭 및 동작 전압을 감소시키는 스토리지 장치.

청구항 3

제1항에 있어서,

상기 컨트롤러는,

상기 타깃 백그라운드 동작을 설정된 임계 실행 시간 이하 동안 실행하는 스토리지 장치.

청구항 4

제1항에 있어서,

상기 백그라운드 동작들은,

상기 복수의 메모리 블록들에 대한 가비지 컬렉션 동작, 버퍼에 저장된 데이터를 상기 메모리로 플러시하는 동작, 상기 복수의 메모리 블록들 중 제1 타입 메모리 블록에 저장된 데이터를 상기 제1 타입 메모리 블록보다 저장 용량이 큰 제2 타입 메모리 블록으로 마이그레이션하는 동작 및 상기 복수의 메모리 블록들 중 일부를 소거하는 동작 중 하나 이상을 포함하는 스토리지 장치.

청구항 5

제4항에 있어서,

상기 컨트롤러는,

상기 백그라운드 동작들 중 높은 우선 순위를 가진 백그라운드 동작이 먼저 실행되도록 상기 백그라운드 플래그 정보를 결정하는 스토리지 장치.

청구항 6

제5항에 있어서,

상기 컨트롤러는,

상기 가비지 컬렉션 동작의 우선 순위를, 상기 메모리에 포함된 프리 메모리 블록들의 개수에 반비례하고 상기 메모리에 저장된 무효 데이터의 크기에 비례하도록 설정하는 스토리지 장치.

청구항 7

제5항에 있어서,

상기 컨트롤러는,

상기 제1 타입 메모리 블록에서 상기 제2 타입 메모리 블록으로 데이터를 마이그레이션하는 동작의 우선 순위를, 상기 제1 타입 메모리 블록에서 상기 제2 타입 메모리 블록으로 마이그레이션될 데이터의 크기에 반비례하도록 설정하는 스토리지 장치.

청구항 8

제5항에 있어서,

상기 컨트롤러는,

상기 버퍼에 저장된 데이터를 상기 메모리로 플러시하는 동작의 우선 순위를, 상기 버퍼에 저장된 데이터의 크기에 반비례하도록 설정하는 스토리지 장치.

청구항 9

제1항에 있어서,

상기 컨트롤러는,

상기 제1 중간 전력 상태에서, 상기 제1 전력 상태로 복귀할 것을 지시하는 이벤트가 셋되었는지 여부를 추가로 확인하는 스토리지 장치.

청구항 10

제1 전력 상태로부터 제2 전력 상태로 진입하는 중에 순차적으로 진입하는 복수의 중간 전력 상태들 중 제1 중간 전력 상태에 진입하는 단계;

복수의 백그라운드 동작들 중 실행 가능한 백그라운드 동작을 지시하는 백그라운드 플래그 정보를 확인하는 단계;

상기 백그라운드 플래그 정보를 기초로 하여, 상기 제1 중간 전력 상태에서 실행 가능한 타깃 백그라운드 동작을 실행하는 단계; 및

상기 복수의 중간 전력 상태들 중 제2 중간 전력 상태로 진입 여부를 결정하는 단계;를 포함하는 스토리지 장치의 동작 방법.

청구항 11

제10항에 있어서,

상기 제1 중간 전력 상태에서 상기 제2 중간 전력 상태로 진입할 때, 동작 클럭 및 동작 전압을 감소시키는 단계;를 추가로 포함하는 스토리지 장치의 동작 방법.

청구항 12

제10항에 있어서,

상기 백그라운드 동작들은,

상기 메모리에 포함된 복수의 메모리 블록들에 대한 가비지 컬렉션 동작, 버퍼에 저장된 데이터를 상기 메모리로 플러시하는 동작, 상기 메모리에 포함된 복수의 메모리 블록들 중 제1 타입 메모리 블록에 저장된 데이터를 상기 제1 타입 메모리 블록보다 저장 용량이 큰 제2 타입 메모리 블록으로 마이그레이션하는 동작 및 상기 복수의 메모리 블록들 중 일부를 소거하는 동작 중 하나 이상을 포함하는 스토리지 장치의 동작 방법.

청구항 13

제10항에 있어서,

상기 백그라운드 플래그 정보는,

상기 백그라운드 동작들 중 높은 우선 순위를 가진 백그라운드 동작이 먼저 실행되도록 결정되는 스토리지 장치의 동작 방법.

청구항 14

제13항에 있어서,

상기 가비지 컬렉션 동작의 우선 순위는,

상기 메모리에 포함된 프리 메모리 블록들의 개수에 반비례하거나 또는 상기 메모리에 저장된 무효 데이터의 크기에 비례하도록 설정되는 스토리지 장치의 동작 방법.

청구항 15

제13항에 있어서,

상기 제1 타입 메모리 블록에서 상기 제2 타입 메모리 블록으로 데이터를 마이그레이션하는 동작의 우선 순위는,

상기 제1 타입 메모리 블록에서 상기 제2 타입 메모리 블록으로 마이그레이션될 데이터의 크기에 반비례하도록 설정되는 스토리지 장치의 동작 방법.

청구항 16

제13항에 있어서,

상기 버퍼에 저장된 데이터를 상기 메모리로 플러시하는 동작의 우선 순위는,

상기 버퍼에 저장된 데이터의 크기에 반비례하도록 설정되는 스토리지 장치의 동작 방법.

청구항 17

복수의 메모리 블록들을 포함하는 메모리와 통신 가능한 메모리 인터페이스; 및

제1 전력을 사용하는 정상 상태로부터 제1 전력보다 낮은 제2 전력을 사용하는 저전력 상태로 진입하는 중에 복수의 중간 전력 상태들에 순차적으로 진입하고,

상기 각 중간 전력 상태에 진입할 때마다, 실행 가능한 백그라운드 동작들을 지시하는 백그라운드 플래그 정보를 기초로 하여, 복수의 백그라운드 동작들 중 실행 가능한 백그라운드 동작을 실행하는 제어 회로;를 포함하는 컨트롤러.

발명의 설명

기 술 분 야

[0001] 본 발명의 실시예들은 전력 상태에 따라 백그라운드 동작을 실행하는 스토리지 장치 및 그 동작 방법에 관한 것이다.

배 경 기 술

[0002] 스토리지 장치는 컴퓨터와, 스마트폰, 태블릿 등의 모바일 단말, 또는 각종 전자 기기와 같은 외부 장치의 요청을 기초로 데이터를 저장하는 장치이다.

[0003] 스토리지 장치는 메모리(e.g. 휘발성 메모리/비휘발성 메모리)를 제어하기 위한 컨트롤러를 더 포함할 수 있으며, 이러한 컨트롤러는 외부 장치로부터 커맨드(Command)를 입력 받아, 입력 받은 커맨드에 기초하여 스토리지 장치에 포함된 메모리에 데이터를 리드(Read), 라이트(Write), 또는 소거(Erase) 하기 위한 동작들을 실행하거나 제어할 수 있다.

[0004] 한편, 스토리지 장치는 외부 장치로부터 저전력 상태로 진입할 것을 요청하는 커맨드를 수신하거나 또는 미리 설정된 저전력 상태 진입 조건이 만족될 때, 저전력 상태로 진입할 수 있다. 저전력 상태에서, 스토리지 장치는 실행 가능한 동작이 제한되거나 또는 성능이 제한될 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예들은 저전력 상태로 진입하기 전에 백그라운드 동작을 효율적으로 수행할 수 있는 스토리지 장치 및 그 동작 방법을 제공할 수 있다.

[0006] 또한, 본 발명의 실시예들은 급격한 파워 오프 또는 클럭 다운으로 인한 오동작을 방지할 수 있는 스토리지 장치 및 그 동작 방법을 제공할 수 있다.

과제의 해결 수단

[0007] 일 측면에서, 본 발명의 실시예들은 i) 복수의 메모리 블록들을 포함하는 메모리 및 ii) 제1 전력 상태로부터 제2 전력 상태로 진입하는 중에 복수의 중간 전력 상태들에 순차적으로 진입하고, 복수의 중간 전력 상태를 각각에 진입할 때마다 각 중간 전력 상태에서 실행 가능한 백그라운드 동작들을 지시하는 백그라운드 플래그 정보를 결정하고, 복수의 중간 전력 상태들 중 제1 중간 전력 상태에 진입한 후 제2 중간 전력 상태로 진입하기 전에, 백그라운드 동작들 중 제1 중간 전력 상태에서 실행 가능한 타깃 백그라운드 동작을 백그라운드 플래그 정보를 기초로 하여 실행하는 컨트롤러를 포함하는 스토리지 장치를 제공할 수 있다.

[0008] 다른 측면에서, 본 발명의 실시예들은 i) 제1 전력 상태로부터 제2 전력 상태로 진입하는 중에 순차적으로 진입하는 복수의 중간 전력 상태들 중 제1 중간 전력 상태에 진입하는 단계, ii) 복수의 백그라운드 동작들 중 실행 가능한 백그라운드 동작을 지시하는 백그라운드 플래그 정보를 확인하는 단계, iii) 백그라운드 플래그 정보를 기초로 하여, 제1 중간 전력 상태에서 실행 가능한 타깃 백그라운드 동작을 실행하는 단계 및 iv) 복수의 중간 전력 상태들 중 제2 중간 전력 상태로 진입 여부를 결정하는 단계를 포함하는 스토리지 장치의 동작 방법을 제공할 수 있다.

[0009] 또 다른 측면에서, 본 발명의 실시예들은 i) 복수의 메모리 블록들을 포함하는 메모리와 통신 가능한 메모리 인터페이스 및 ii) 제1 전력을 사용하는 정상 상태로부터 제1 전력보다 낮은 제2 전력을 사용하는 저전력 상태로 진입하는 중에 복수의 중간 전력 상태들에 순차적으로 진입하고, 각 중간 전력 상태에 진입할 때마다, 실행 가능한 백그라운드 동작들을 지시하는 백그라운드 플래그 정보를 기초로 하여, 복수의 백그라운드 동작들 중 실행

가능한 백그라운드 동작을 실행하는 제어 회로를 포함하는 컨트롤러를 제공할 수 있다.

발명의 효과

[0010] 본 발명의 실시예들에 의하면, 저전력 상태로 진입하기 중에 백그라운드 동작을 효율적으로 수행하고, 급격한 파워 오프 또는 클럭 다운으로 인한 오동작을 방지할 수 있다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 실시예들에 따른 스토리지 장치의 개략적인 구성도이다.

도 2는 도 1의 메모리를 개략적으로 나타낸 블럭도이다.

도 3은 본 발명의 실시예들에 따른 스토리지 장치의 구조를 나타낸 도면이다.

도 4는 본 발명의 실시예들에 따른 스토리지 장치가 제1 전력 상태로부터 제2 전력 상태로 진입하는 일 예를 나타낸 도면이다.

도 5는 본 발명의 실시예들에 따른 스토리지 장치가 복수의 중간 전력 상태들 각각에 진입할 때마다 백그라운드 플래그 정보를 결정하는 일 예를 나타낸 도면이다.

도 6은 본 발명의 실시예들에 따른 스토리지 장치가 제1 중간 전력 상태에서 타깃 백그라운드 동작을 실행하는 일 예를 나타낸 도면이다.

도 7은 본 발명의 실시예들에 따른 스토리지 장치가 제1 중간 전력 상태에서 제2 중간 전력 상태로 진입하는 일 예를 나타낸 도면이다.

도 8은 본 발명의 실시예들에 따른 스토리지 장치가 제1 중간 전력 상태에서 타깃 백그라운드 동작을 실행하는 일 예를 나타낸 도면이다.

도 9는 본 발명의 실시예들에 따른 스토리지 장치가 백그라운드 동작들의 우선 순위를 기초로 백그라운드 플래그 정보를 결정하는 일 예를 나타낸 도면이다.

도 10은 본 발명의 실시예들에 따른 스토리지 장치가 백그라운드 동작의 우선 순위를 결정하는 일 예를 나타낸 도면이다.

도 11은 본 발명의 실시예들에 따른 스토리지 장치가 백그라운드 동작의 우선 순위를 결정하는 다른 예를 나타낸 도면이다.

도 12는 본 발명의 실시예들에 따른 스토리지 장치가 백그라운드 동작의 우선 순위를 결정하는 또 다른 예를 나타낸 도면이다.

도 13은 본 발명의 실시예들에 따른 스토리지 장치가 제1 중간 전력 상태에서 제1 전력 상태로 복귀하는 동작의 일 예를 나타낸 도면이다.

도 14는 본 발명의 실시예들에 따른 스토리지 장치의 동작 방법을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하에서는, 본 발명의 실시예들을 첨부된 도면을 참조하여 상세히 설명한다.

[0013] 도 1은 본 발명의 실시예들에 따른 스토리지 장치(100)의 개략적인 구성도이다.

[0014] 도 1을 참조하면, 본 발명의 실시예들에 따른 스토리지 장치(100)는 데이터를 저장하는 메모리(110)와, 메모리(110)를 제어하는 컨트롤러(120) 등을 포함할 수 있다.

[0015] 메모리(110)는 다수의 메모리 블록(Memory Block)을 포함하며, 컨트롤러(120)의 제어에 응답하여 동작한다. 여기서, 메모리(110)의 동작은 일 예로, 리드 동작(Read Operation), 프로그램 동작(Program Operation; "Write Operation" 이라고도 함) 및 소거 동작(Erasure Operation) 등을 포함할 수 있다.

[0016] 메모리(110)는 데이터를 저장하는 복수의 메모리 셀(Memory Cell; 간단히 줄여서 "셀" 이라고도 함)을 포함하는 메모리 셀 어레이(Memory Cell Array)를 포함할 수 있다. 이러한 메모리 셀 어레이는 메모리 블록 내에 존재할 수 있다.

[0017] 예를 들어, 메모리(110)는 낸드 플래시 메모리(NAND Flash Memory), 3차원 낸드 플래시 메모리(3D NAND Flash Memory), 노아 플래시 메모리(NOR Flash memory), 저항성 램(Resistive Random Access Memory: RRAM), 상변화 메모리(Phase-Change Memory: PRAM), 자기저항 메모리(Magnetoresistive Random Access Memory: MRAM), 강유전체 메모리(Ferroelectric Random Access Memory: FRAM), 또는 스핀주입 자화반전 메모리(Spin Transfer Torque Random Access Memory: STT-RAM) 등으로 다양한 타입으로 구현될 수 있다.

[0018] 한편, 메모리(110)는 3차원 어레이 구조(three-Dimensional Array structure)로 구현될 수 있다. 본 발명의 실시예들은 전하 저장층이 전도성 부유 게이트(Floating Gate)로 구성된 플래시 메모리는 물론, 전하 저장층이 절연막으로 구성된 차지 트랩형 플래시(Charge Trap Flash; CTF)에도 적용될 수 있다.

[0019] 메모리(110)는 컨트롤러(120)로부터 커맨드 및 어드레스 등을 수신하고, 메모리 셀 어레이 중 어드레스에 의해 선택된 영역을 액세스할 수 있다. 즉, 메모리(110)는 어드레스에 의해 선택된 영역에 대해 커맨드가 지시하는 동작을 수행할 수 있다.

[0020] 예를 들면, 메모리(110)는 프로그램 동작, 리드 동작 및 소거 동작 등을 수행할 수 있다. 이와 관련하여, 프로그램 동작을 수행할 때, 메모리(110)는 어드레스에 의해 선택된 영역에 데이터를 프로그램 할 수 있다. 리드 동작을 수행할 때, 메모리(110)는 어드레스에 의해 선택된 영역으로부터 데이터를 읽을 수 있다. 소거 동작 시, 메모리(110)는 어드레스에 의해 선택된 영역에 저장된 데이터를 소거할 수 있다.

[0021] 컨트롤러(120)는 메모리(110)에 대한 쓰기(프로그램), 읽기, 소거 및 백그라운드(background) 동작을 제어할 수 있다. 여기서, 백그라운드 동작은 일 예로 가비지 컬렉션(GC, Garbage Collection), 웨어 레벨링(WL, Wear Leveling), 리드 리클레임(RR, Read Reclaim) 또는 배드 블록 관리(BBM, Bad Block Management) 동작 등 중 하나 이상을 포함할 수 있다.

[0022] 컨트롤러(120)는 스토리지 장치(100)의 외부에 위치하는 장치(e.g. 호스트(HOST))의 요청에 따라 메모리(110)의 동작을 제어할 수 있다. 반면, 컨트롤러(120)는 호스트(HOST)의 요청과 무관하게 메모리(110)의 동작을 제어할 수도 있다.

[0023] 호스트(HOST)는 컴퓨터, UMPC(Ultra Mobile PC), 워크스테이션, PDA(Personal Digital Assistants), 타블렛(tablet), 모바일 폰(mobile phone), 스마트폰(smart phone), e-북(e-book), PMP(portable multimedia player), 휴대용 게임기, 네비게이션(navigation) 장치, 블랙박스(black box), 디지털 카메라(digital camera), DMB(Digital Multimedia Broadcasting) 재생기, 스마트 텔레비전(smart television), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 데이터 센터를 구성하는 스토리지, 홈 네트워크를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 네트워크를 구성하는 다양한 전자 장치들 중 하나, 텔레매틱스 네트워크를 구성하는 다양한 전자 장치들 중 하나, RFID(radio frequency identification) 장치, 인간의 제어에 따라 주행하거나 또는 자율 주행이 가능한 이동 장치(e.g. 차량, 로봇, 드론) 등일 수 있다.

[0024] 호스트(HOST)는 적어도 하나의 운영 시스템(OS, operating system)을 포함할 수 있다. 운영 시스템은 호스트(HOST)의 기능 및 동작을 전반적으로 관리 및 제어할 수 있고, 호스트(HOST)와 스토리지 장치(100) 간의 상호 동작을 제공할 수 있다. 운영 시스템은 호스트(HOST)의 이동성(mobility)에 따라 일반 운영 시스템과 모바일 운영 시스템으로 구분할 수 있다.

[0025] 한편, 컨트롤러(120)와 호스트(HOST)는 서로 분리된 장치일 수도 있다. 경우에 따라서, 컨트롤러(120)와 호스트(HOST)는 하나의 장치로 통합되어 구현될 수도 있다. 아래에서는, 설명의 편의를 위하여, 컨트롤러(120)와 호스트(HOST)가 서로 분리된 장치인 것을 예로 들어 설명한다.

[0026] 도 1을 참조하면, 컨트롤러(120)는 메모리 인터페이스(122) 및 제어 회로(123) 등을 포함할 수 있으며, 호스트 인터페이스(121) 등을 더 포함할 수 있다.

[0027] 호스트 인터페이스(121)는 호스트(HOST)와의 통신을 위한 인터페이스를 제공한다. 예시적으로 호스트 인터페이스(121)는 USB (Universal Serial Bus) 프로토콜, MMC (multimedia card) 프로토콜, PCI (peripheral component interconnection) 프로토콜, PCI-E (PCI-express) 프로토콜, ATA (Advanced Technology Attachment) 프로토콜, Serial-ATA 프로토콜, Parallel-ATA 프로토콜, SCSI (small computer small interface) 프로토콜, ESDI (enhanced small disk interface) 프로토콜, SMBus(System Management Bus) 프로토콜,

I2C(Inter-Integrated Circuit) 프로토콜, I3C(Improved Inter-Integrated Circuit) 프로토콜, 그리고 IDE(Integrated Drive Electronics) 프로토콜, 사유(private) 프로토콜 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 사용하는 인터페이스를 제공한다.

[0028] 제어 회로(123)는 호스트(HOST)로부터 커맨드를 수신할 때, 호스트 인터페이스(121)를 통해서 커맨드를 수신하여, 수신된 커맨드를 처리하는 동작을 수행할 수 있다.

[0029] 메모리 인터페이스(122)는, 메모리(110)와 연결되어 메모리(110)와의 통신을 위한 인터페이스를 제공할 수 있다. 즉, 메모리 인터페이스(122)는 제어 회로(123)의 제어에 응답하여 메모리(110)와 컨트롤러(120) 사이의 인터페이스를 제공하도록 구성될 수 있다.

[0030] 제어 회로(123)는 컨트롤러(120)의 전반적인 제어 동작을 수행하여 메모리(110)의 동작을 제어한다. 이를 위해, 일 예로, 제어 회로(123)는 프로세서(124), 워킹 메모리(125) 등 중 하나 이상을 포함할 수 있으며, 에러 검출 및 정정 회로(ECC Circuit, 126) 등을 선택적으로 포함할 수 있다.

[0031] 프로세서(124)는 컨트롤러(120)의 제반 동작을 제어하고, 논리 연산을 수행할 수 있다. 프로세서(124)는 호스트 인터페이스(121)를 통해 호스트(HOST)와 통신하고, 메모리 인터페이스(122)를 통해 메모리(110)와 통신할 수 있다.

[0032] 프로세서(124)는 플래시 변환 계층(FTL: Flash Translation Layer)의 기능을 수행할 수 있다. 프로세서(124)는 플래시 변환 계층(FTL)을 통해 호스트가 제공한 논리 블록 어드레스(LBA, logical block address)를 물리 블록 어드레스(PBA, physical block address)로 변환할 수 있다. 플래시 변환 계층(FTL)은 매핑 테이블을 이용하여 논리 블록 어드레스(LBA)를 입력 받아, 물리 블록 어드레스(PBA)로 변환시킬 수 있다.

[0033] 플래시 변환 계층의 주소 맵핑 방법에는 맵핑 단위에 따라 여러 가지가 있다. 대표적인 어드레스 맵핑 방법에는 페이지 맵핑 방법(Page mapping method), 블록 맵핑 방법(Block mapping method), 그리고 혼합 맵핑 방법(Hybrid mapping method)이 있다.

[0034] 프로세서(124)는 호스트(HOST)로부터 수신된 데이터를 랜더마이즈할 수 있다. 예를 들면, 프로세서(124)는 설정된 랜더마이징 시드(seed)를 이용하여 호스트(HOST)로부터 수신된 데이터를 랜더마이즈할 수 있다. 랜더마이즈된 데이터는 메모리(110)에 제공되고, 메모리(110)의 메모리 셀 어레이에 프로그램될 수 있다.

[0035] 프로세서(124)는 리드 동작 시 메모리(110)로부터 수신된 데이터를 디랜더마이즈할 수 있다. 예를 들면, 프로세서(124)는 디랜더마이징 시드를 이용하여 메모리(110)로부터 수신된 데이터를 디랜더마이즈할 수 있다. 디랜더마이즈된 데이터는 호스트(HOST)로 출력될 수 있다.

[0036] 프로세서(124)는 펌웨어(FirmWare)를 실행하여 컨트롤러(120)의 동작을 제어할 수 있다. 다시 말해, 프로세서(124)는, 컨트롤러(120)의 제반 동작을 제어하고, 논리 연산을 수행하기 위하여, 부팅 시 워킹 메모리(125)에 로딩 된 펌웨어를 실행(구동)할 수 있다. 이하, 본 발명의 실시예들에서 설명하는 스토리지 장치(100)의 동작은 프로세서(124)가 해당 동작이 정의된 펌웨어를 실행하는 방식으로 구현될 수 있다.

[0037] 펌웨어는 스토리지 장치(100)를 구동하기 위해서 스토리지 장치(100) 내에서 실행되는 프로그램으로서, 다양한 기능적 계층들을 포함할 수 있다. 일 예로, 펌웨어는 전술한 기능적 계층들 각각을 실행하기 위한 코드가 정의된 바이너리 데이터를 포함할 수 있다.

[0038] 예를 들어, 펌웨어는, 호스트(HOST)에서 스토리지 장치(100)에 요구하는 논리 주소(Logical Address)와 메모리(110)의 물리 주소(Physical Address) 간의 변환 기능을 하는 플래시 변환 계층(FTL: Flash Translation Layer)와, 호스트(HOST)에서 저장 장치인 스토리지 장치(100)에 요구하는 커맨드를 해석하여 플래시 변환 계층(FTL)에 전달하는 역할을 하는 호스트 인터페이스 계층(HIL: Host Interface Layer)와, 플래시 변환 계층(FTL)에서 지시하는 커맨드를 메모리(110)로 전달하는 플래시 인터페이스 계층(FIL: Flash Interface Layer) 등 중 하나 이상을 포함할 수 있다.

[0039] 이러한 펌웨어는, 일 예로, 메모리(110) 또는 메모리(110) 외부에 위치하는 별도의 비휘발성 메모리(e.g. ROM, NOR Flash)에서 워킹 메모리(125)로 로드될 수 있다. 프로세서(124)는 파워 온 이후 부팅 동작을 실행할 때, 먼저 펌웨어의 전체 또는 일부를 워킹 메모리(125)에 로드할 수 있다.

[0040] 프로세서(124)는 컨트롤러(120)의 제반 동작을 제어하기 위해 워킹 메모리(125)에 로딩된 펌웨어에 정의된 논리 연산을 수행할 수 있다. 프로세서(124)는 펌웨어에 정의된 논리 연산을 수행한 결과를 워킹 메모리(125)에 저장

할 수 있다. 프로세서(124)는 펌웨어에 정의된 논리 연산을 수행한 결과에 따라서, 컨트롤러(120)가 커맨드 또는 신호를 생성하도록 제어할 수 있다. 프로세서(124)는 수행되어야 할 논리 연산이 정의된 펌웨어의 부분이 메모리(110)에는 저장되어 있으나 워킹 메모리(125)에 로드되어 있지 않은 경우에, 펌웨어의 해당 부분을 메모리(110)로부터 워킹 메모리(125)에 로드하기 위한 이벤트(e.g. 인터럽트)를 발생시킬 수 있다.

[0041] 한편, 프로세서(124)는 펌웨어를 구동하는데 필요한 메타 데이터를 메모리(110)에서 로드할 수 있다. 메타 데이터는 메모리(110)를 관리하기 위한 데이터로서, 메모리(110)에 저장되는 유저 데이터에 대한 관리 정보를 포함할 수 있다.

[0042] 한편, 펌웨어는 스토리지 장치(100)가 생산되는 중 또는 스토리지 장치(100)가 실행되는 중에 업데이트될 수 있다. 컨트롤러(120)는 스토리지 장치(100)의 외부로부터 새로운 펌웨어를 다운로드하고, 기존 펌웨어를 새로운 펌웨어로 업데이트할 수 있다.

[0043] 워킹 메모리(125)는 컨트롤러(120)를 구동하기 위해 필요한 펌웨어, 프로그램 코드, 커맨드 또는 데이터들을 저장할 수 있다. 이러한 워킹 메모리(125)는, 일 예로, 휘발성 메모리로서, SRAM (Static RAM), DRAM (Dynamic RAM) 및 SDRAM(Synchronous DRAM) 등 중 하나 이상을 포함할 수 있다.

[0044] 에러 검출 및 정정 회로(126)는 에러 정정 코드(Error Correction Code)를 이용하여 타겟 데이터의 에러 비트를 검출하고, 검출된 에러 비트를 정정할 수 있다. 여기서, 타겟 데이터는, 일 예로, 워킹 메모리(125)에 저장된 데이터이거나, 메모리(110)로부터 리드한 데이터 등일 수 있다.

[0045] 에러 검출 및 정정 회로(126)는 에러 정정 코드로 데이터를 디코딩하도록 구현될 수 있다. 에러 검출 및 정정 회로(126)는 다양한 코드 디코더로 구현될 수 있다. 예를 들어, 비체계적 코드 디코딩을 수행하는 디코더 또는 체계적 코드 디코딩을 수행하는 디코더가 이용될 수 있다.

[0046] 예를 들면, 에러 검출 및 정정 회로(126)는 리드 데이터들 각각에 대해 설정된 섹터(Sector) 단위로 에러 비트를 검출할 수 있다. 즉, 각각의 리드 데이터는 복수의 섹터(Sector)로 구성될 수 있다. 섹터(Sector)는 플래시 메모리의 읽기 단위인 페이지(Page)보다 더 작은 데이터 단위를 의미할 수 있다. 각각의 리드 데이터를 구성하는 섹터들은 어드레스를 매개로 서로 대응될 수 있다.

[0047] 에러 검출 및 정정 회로(126)는 비트 에러율(Bit Error Rate, BER)을 산출하고, 섹터 단위로 정정 가능 여부를 판단할 수 있다. 에러 검출 및 정정 회로(126)는 예를 들어, 비트 에러율(BER)이 설정된 기준값(reference value)보다 높은 경우 해당 섹터를 정정 불가능(Uncorrectable or Fail)으로 판단할 수 있다. 반면에, 비트 에러율(BER)이 기준값보다 낮은 경우 해당 섹터를 정정 가능(Correctable or Pass)으로 판단할 수 있다.

[0048] 에러 검출 및 정정 회로(126)는 모든 리드 데이터들에 대해 순차적으로 에러 검출 및 정정 동작을 수행할 수 있다. 에러 검출 및 정정 회로(126)는 리드 데이터에 포함된 섹터가 정정 가능한 경우 다음 리드 데이터에 대해서는 해당 섹터에 대한 에러 검출 및 정정 동작을 생략할 수 있다. 이렇게 모든 리드 데이터들에 대한 에러 검출 및 정정 동작이 종료되면, 에러 검출 및 정정 회로(126)는 마지막까지 정정 불가능으로 판단된 섹터를 검출할 수 있다. 정정 불가능한 것으로 판단된 섹터는 하나 또는 그 이상일 수 있다. 에러 검출 및 정정 회로(126)는 정정 불가능으로 판단된 섹터에 대한 정보(ex. 어드레스 정보)를 프로세서(124)로 전달할 수 있다.

[0049] 버스(127)는 컨트롤러(120)의 구성 요소들(121, 122, 124, 125, 126) 사이의 채널(Channel)을 제공하도록 구성될 수 있다. 이러한 버스(127)는, 일 예로, 각종 제어 신호, 커맨드 등을 전달하기 위한 제어 버스와, 각종 데이터를 전달하기 위한 데이터 버스 등을 포함할 수 있다.

[0050] 한편, 컨트롤러(120)의 전술한 구성 요소들(121, 122, 124, 125, 126) 중 일부의 구성 요소는 삭제되거나, 컨트롤러(120)의 전술한 구성 요소들 (121, 122, 124, 125, 126) 중 몇몇 구성 요소들이 하나로 통합될 수 있다. 경우에 따라, 컨트롤러(120)의 전술한 구성 요소들 이외에 하나 이상의 다른 구성 요소가 추가될 수도 있다.

[0051] 아래에서는, 도 2를 참조하여 메모리(110)에 대하여 더욱 상세하게 설명한다.

[0052] 도 2는 도 1의 메모리(110)를 개략적으로 나타낸 블럭도이다.

[0053] 도 2를 참조하면, 본 발명의 실시예들에 따른 메모리(110)는, 메모리 셀 어레이(Memory Cell Array, 210), 어드레스 디코더(Address Decoder, 220), 읽기 및 쓰기 회로(Read and Write Circuit, 230), 제어 로직(Control Logic, 240) 및 전압 생성 회로(Voltage Generation Circuit, 250) 등을 포함할 수 있다.

[0054] 메모리 셀 어레이(210)는 다수의 메모리 블록(BLK1~BLKz, z는 2 이상의 자연수)을 포함할 수 있다.

[0055] 다수의 메모리 블록(BLK1~BLKz)에는, 다수의 워드 라인(WL)과 다수의 비트 라인(BL)이 배치되며, 다수의 메모리 셀(MC)이 배열될 수 있다.

[0056] 다수의 메모리 블록(BLK1~BLKz)은 다수의 워드 라인(WL)을 통해 어드레스 디코더(220)와 연결될 수 있다. 다수의 메모리 블록(BLK1~BLKz)은 다수의 비트 라인(BL)을 통해 읽기 및 쓰기 회로(230)와 연결될 수 있다.

[0057] 다수의 메모리 블록(BLK1~BLKz) 각각은 다수의 메모리 셀을 포함할 수 있다. 예를 들어, 다수의 메모리 셀은 비휘발성 메모리 셀들이며, 수직 채널 구조를 갖는 비휘발성 메모리 셀들로 구성될 수 있다.

[0058] 메모리 셀 어레이(210)는 2차원 구조의 메모리 셀 어레이로 구성될 수 있으며, 경우에 따라서는, 3차원 구조의 메모리 셀 어레이로 구성될 수도 있다.

[0059] 한편, 메모리 셀 어레이(210)에 포함되는 복수의 메모리 셀 각각은 적어도 1비트의 데이터를 저장할 수 있다. 일 예로, 메모리 셀 어레이(210)에 포함되는 복수의 메모리 셀 각각은 1비트의 데이터를 저장하는 싱글-레벨 셀(SLC: Single-Level Cell)일 수 있다. 다른 예로, 메모리 셀 어레이(210)에 포함되는 복수의 메모리 셀 각각은 2비트의 데이터를 저장하는 멀티-레벨 셀(MLC: Multi-Level Cell)일 수 있다. 또 다른 예로, 메모리 셀 어레이(210)에 포함되는 복수의 메모리 셀 각각은 3비트의 데이터를 저장하는 트리플-레벨 셀(TLC: Triple-Level Cell)일 수 있다. 또 다른 예로, 메모리 셀 어레이(210)에 포함되는 복수의 메모리 셀 각각은 4비트의 데이터를 저장하는 쿼드-레벨 셀(QLC: Quad-Level Cell)일 수 있다. 또 다른 예로, 메모리 셀 어레이(210)는 5비트 이상의 데이터를 각각 저장하는 복수의 메모리 셀을 포함할 수도 있다.

[0060] 이때, 복수의 메모리 셀 각각에 저장되는 데이터의 비트 수는 동적으로 결정될 수 있다. 예를 들어, 1비트의 데이터를 저장하는 싱글-레벨 셀이 3비트의 데이터를 저장하는 트리플-레벨 셀로 변경될 수 있다.

[0061] 도 2를 참조하면, 어드레스 디코더(220), 읽기 및 쓰기 회로(230), 제어 로직(240) 및 전압 생성 회로(250) 등은 메모리 셀 어레이(210)를 구동하는 주변 회로로서 동작할 수 있다.

[0062] 어드레스 디코더(220)는 다수의 워드 라인(WL)을 통해 메모리 셀 어레이(210)에 연결될 수 있다.

[0063] 어드레스 디코더(220)는 제어 로직(240)의 제어에 응답하여 동작하도록 구성될 수 있다.

[0064] 어드레스 디코더(220)는 메모리(110) 내부의 입출력 버퍼를 통해 어드레스(Address)를 수신할 수 있다. 어드레스 디코더(220)는 수신된 어드레스 중 블록 어드레스(Block Address)를 디코딩하도록 구성될 수 있다. 어드레스 디코더(220)는 디코딩된 블록 어드레스에 따라 적어도 하나의 메모리 블록을 선택할 수 있다.

[0065] 어드레스 디코더(220)는 전압 생성 회로(250)로부터 읽기 전압(Vread) 및 패스 전압(Vpass)을 입력 받을 수 있다.

[0066] 어드레스 디코더(220)는 리드 동작 중 읽기 전압 인가 동작 시, 선택된 메모리 블록 내 선택된 워드 라인(WL)으로 읽기 전압(Vread)를 인가하고, 나머지 비 선택된 워드 라인들(WL)에는 패스 전압(Vpass)을 인가할 수 있다.

[0067] 어드레스 디코더(220)는 프로그램 검증 동작 시, 선택된 메모리 블록 내 선택된 워드 라인(WL)에 전압 생성 회로(250)에서 발생된 검증 전압을 인가하고, 나머지 비 선택된 워드 라인들(WL)에 패스 전압(Vpass)을 인가할 수 있다.

[0068] 어드레스 디코더(220)는 수신된 어드레스 중 열 어드레스를 디코딩하도록 구성될 수 있다. 어드레스 디코더(220)는 디코딩 된 열 어드레스를 읽기 및 쓰기 회로(230)에 전송할 수 있다.

[0069] 메모리(110)의 리드 동작 및 프로그램 동작은 페이지 단위로 수행될 수 있다. 리드 동작 및 프로그램 동작 요청 시에 수신되는 어드레스는 블록 어드레스, 행 어드레스 및 열 어드레스 중 하나 이상을 포함할 수 있다.

[0070] 어드레스 디코더(220)는 블록 어드레스 및 행 어드레스에 따라 하나의 메모리 블록 및 하나의 워드 라인을 선택할 수 있다. 열 어드레스는 어드레스 디코더(220)에 의해 디코딩 되어 읽기 및 쓰기 회로(230)에 제공될 수 있다.

[0071] 어드레스 디코더(220)는 블록 디코더, 행 디코더, 열 디코더 및 어드레스 버퍼 등 중 하나 이상을 포함할 수 있다.

[0072] 읽기 및 쓰기 회로(230)는 다수의 페이지 버퍼(PB)를 포함할 수 있다. 읽기 및 쓰기 회로(230)는 메모리 셀 어레이(210)의 리드 동작(Read Operation) 시에는 "읽기 회로(Read Circuit)"로 동작하고, 쓰기 동작(Write

Operation) 시에는 "쓰기 회로(Write Circuit)"로 동작할 수 있다.

[0073] 전술한 읽기 및 쓰기 회로(230)는 다수의 페이지 버퍼(PB)를 포함하는 페이지 버퍼 회로(Page Buffer Circuit) 또는 데이터 레지스터 회로(Data Register Circuit)라고도 한다. 여기서, 읽기 및 쓰기 회로(230)는 데이터 처리 기능을 담당하는 데이터 버퍼(Data Buffer)를 포함할 수 있고, 경우에 따라서, 캐싱 기능을 담당하는 캐쉬 버퍼(Cache Buffer)를 추가로 더 포함할 수 있다.

[0074] 다수의 페이지 버퍼(PB)는 다수의 비트 라인(BL)을 통해 메모리 셀 어레이(210)에 연결될 수 있다. 다수의 페이지 버퍼(PB)는 리드 동작 및 프로그램 검증 동작 시, 메모리 셀들의 문턱전압(Vth)을 센싱하기 위하여, 메모리 셀들과 연결된 비트 라인들(BL)에 센싱 전류를 계속적으로 공급하면서, 대응하는 메모리 셀의 프로그램 상태에 따라 흐르는 전류량이 변화되는 것을 센싱 노드를 통해 감지하여 센싱 데이터로 래치할 수 있다.

[0075] 읽기 및 쓰기 회로(230)는 제어 로직(240)에서 출력되는 페이지 버퍼 제어 신호들에 응답하여 동작할 수 있다.

[0076] 읽기 및 쓰기 회로(230)는 리드 동작 시, 메모리 셀의 데이터를 센싱하여 독출 데이터를 임시 저장한 후, 메모리(110)의 입출력 버퍼로 데이터(DATA)를 출력한다. 예시적인 실시 예로서, 읽기 및 쓰기 회로(230)는 페이지 버퍼들(PB) 또는 페이지 레지스터들 이외에도, 열 선택 회로 등을 포함할 수 있다.

[0077] 제어 로직(240)은 어드레스 디코더(220), 읽기 및 쓰기 회로(230), 및 전압 생성 회로(250) 등과 연결될 수 있다. 제어 로직(240)은 메모리(110)의 입출력 버퍼를 통해 커맨드(CMD) 및 제어 신호(CTRL)를 수신할 수 있다.

[0078] 제어 로직(240)은 제어 신호(CTRL)에 응답하여 메모리(110)의 제반 동작을 제어하도록 구성될 수 있다. 제어 로직(240)은 다수의 페이지 버퍼(PB)의 센싱 노드의 프리 차지 전위 레벨을 조절하기 위한 제어 신호를 출력할 수 있다.

[0079] 제어 로직(240)은 메모리 셀 어레이(210)의 리드 동작을 수행하도록 읽기 및 쓰기 회로(230)를 제어할 수 있다. 전압 생성 회로(250)는, 제어 로직(240)에서 출력되는 전압 생성 회로 제어 신호에 응답하여, 리드 동작 시, 이용되는 읽기 전압(Vread) 및 패스 전압(Vpass)을 생성할 수 있다.

[0080] 한편, 전술한 메모리(110)의 메모리 블록 각각은 다수의 워드 라인(WL)과 대응되는 다수의 페이지와 다수의 비트 라인(BL)과 대응되는 다수의 스트링으로 구성될 수 있다.

[0081] 메모리 블록(BLK)에는 다수의 워드 라인(WL)과 다수의 비트 라인(BL)이 교차하면서 배치될 수 있다. 예를 들어, 다수의 워드 라인(WL) 각각은 행 방향으로 배치되고, 다수의 비트 라인(BL) 각각은 열 방향으로 배치될 수 있다. 다른 예를 들어, 다수의 워드 라인(WL) 각각은 열 방향으로 배치되고, 다수의 비트 라인(BL) 각각은 행 방향으로 배치될 수 있다.

[0082] 다수의 워드 라인(WL) 중 하나와 다수의 비트 라인(BL) 중 하나에 연결되는 메모리 셀이 정의될 수 있다. 각 메모리 셀에는 트랜지스터가 배치될 수 있다.

[0083] 예를 들어, 메모리 셀(MC)에 배치된 트랜지스터는 드레인, 소스 및 게이트 등을 포함할 수 있다. 트랜지스터의 드레인(또는 소스)은 해당 비트 라인(BL)과 직접 또는 다른 트랜지스터를 경유하여 연결될 수 있다. 트랜지스터의 소스(또는 드레인)는 소스 라인(그라운드일 수 있음)과 직접 또는 다른 트랜지스터를 경유하여 연결될 수 있다. 트랜지스터의 게이트는 절연체에 둘러싸인 플로팅 게이트(Floating Gate)와 워드 라인(WL)으로부터 게이트 전압이 인가되는 컨트롤 게이트(Control Gate)를 포함할 수 있다.

[0084] 각 메모리 블록에는, 2개의 최외곽 워드 라인 중 읽기 및 쓰기 회로(230)와 더 인접한 제1 최외곽 워드 라인의 바깥쪽에 제1 선택 라인(소스 선택 라인 또는 드레인 선택 라인이라고도 함)이 더 배치될 수 있으며, 다른 제2 최외곽 워드 라인의 바깥쪽에 제2 선택 라인(드레인 선택 라인 또는 소스 선택 라인이라고도 함)이 더 배치될 수 있다.

[0085] 경우에 따라서, 제1 최외곽 워드 라인과 제1 선택 라인 사이에는 하나 이상의 더미 워드 라인이 더 배치될 수 있다. 또한, 제2 최외곽 워드 라인과 제2 선택 라인 사이에도 하나 이상의 더미 워드 라인이 더 배치될 수 있다.

[0086] 전술한 메모리 블록의 리드 동작 및 프로그램 동작(쓰기 동작)은 페이지 단위로 수행될 수 있으며, 소거(Erasure) 동작은 메모리 블록 단위로 수행될 수 있다.

[0087] 도 3은 본 발명의 실시예들에 따른 스토리지 장치(100)의 구조를 나타낸 도면이다.

[0088] 도 3을 참조하면, 스토리지 장치(100)는 메모리(110) 및 컨트롤러(120)를 포함할 수 있다.

[0089] 메모리(110)는 복수의 메모리 블록들(BLK)을 포함할 수 있다.

[0090] 컨트롤러(120)는 메모리(110)에 포함된 복수의 메모리 블록들(BLK)을 액세스할 수 있다.

[0091] 일 예로, 컨트롤러(120)는 복수의 메모리 블록들(BLK)에 대한 리드, 라이트 또는 소거 동작을 실행할 수 있다. 다른 예로, 컨트롤러(120)는 복수의 메모리 블록들(BLK)에 대한 백그라운드 동작(e.g. 가비지 컬렉션, 리드 리클레임)을 실행할 수 있다.

[0092] 컨트롤러(120)는 복수의 메모리 블록들(BLK)을 액세스하기 위해 전력을 사용할 수 있다. 이때, 컨트롤러(120)가 사용할 수 있는 전력은 컨트롤러(120)가 진입한 전력 상태를 기초로 결정될 수 있다. 즉, 컨트롤러(120)가 어떤 전력 상태에 진입하였는지에 따라, 컨트롤러(120)가 사용할 수 있는 전력이 달라질 수 있다.

[0093] 본 발명의 실시예들에서, 컨트롤러(120)는 제1 전력 상태(PS_1)에서 제2 전력 상태(PS_2)로 진입할 수 있다. 이때, 제2 전력 상태(PS_2)과 제1 전력 상태(PS_1)가 사용하는 전력의 값은 서로 상이하다. 일 예로, 제2 전력 상태(PS_2)는 제1 전력 상태(PS_1)보다 낮은 전력을 사용할 수 있다. 다른 예로, 제2 전력 상태(PS_2)는 제1 전력 상태(PS_1)보다 높은 전력을 사용할 수 있다.

[0094] 이하, 제2 전력 상태(PS_2)가 제1 전력 상태(PS_1)보다 낮은 전력을 사용하는 경우를 예를 들어 설명하나, 후술할 실시예는 제2 전력 상태(PS_2)가 제1 전력 상태(PS_1)보다 낮은 전력을 사용하는 경우에도 동일하게 적용될 수 있다.

[0095] 일 예로, 컨트롤러(120)는 스토리지 장치(100)의 외부(e.g. 호스트(HOST))로부터 전력 상태를 변경할 것을 요청하는 커맨드(e.g. H8 command)를 수신하거나 또는 미리 설정된 전력 상태 변경 조건이 만족될 때, 제1 전력 상태(PS_1)에서 제2 전력 상태(PS_2)로 진입할 수 있다.

[0096] 이하, 도 4에서 컨트롤러(120)가 제1 전력 상태(PS_1)에서 제2 전력 상태(PS_2)로 진입하는 동작에 대해 자세히 설명한다.

[0097] 도 4는 본 발명의 실시예들에 따른 스토리지 장치(100)가 제1 전력 상태(PS_1)로부터 제2 전력 상태(PS_2)로 진입하는 일 예를 나타낸 도면이다.

[0098] 도 4를 참조하면, 스토리지 장치(100)의 컨트롤러(120)는 제1 전력 상태(PS_1)로부터 제2 전력 상태(PS_2)로 진입할 수 있다.

[0099] 일 예로, 제1 전력 상태(PS_1)는 사용 가능한 최대 전력을 사용할 수 있는 정상 상태일 수 있다. 이때, 컨트롤러(120)는 전력 사용의 제한을 받지 않고 실행 가능한 동작을 실행할 수 있다.

[0100] 일 예로, 제2 전력 상태(PS_2)는 전력 사용이 제한되는 저전력 상태일 수 있다. 이때, 컨트롤러(120)는 설정된 임계 전력 이하의 전력을 사용할 수 있으며, 이로 인해 실행 가능한 동작이 제한될 수 있다. 제2 전력 상태(PS_2)는 유휴(idle) 상태 또는 UFS 명세(specification)에서 정의된 하이버네이트(hibernate) 상태일 수 있다.

[0101] 예를 들어, 컨트롤러(120)는 미리 설정된 임계 시구간 동안 외부로부터 특정 동작들(e.g. 리드, 라이트 또는 소거 동작)을 요청하는 커맨드를 수신하지 않을 때 유휴 상태로 진입할 수 있다. 다른 예로, 컨트롤러(120)는 외부로부터 절전 상태로 진입하라는 커맨드를 수신할 때 하이버네이트 상태로 진입할 수 있다. 이 경우, 컨트롤러(120)는 제2 전력 상태(PS_2)로 진입할 수 있다.

[0102] 스토리지 장치(100)의 컨트롤러(120)는 제1 전력 상태(PS_1)로부터 제2 전력 상태(PS_2)로 진입하기 위해 필요한 동작들을 실행할 수 있다. 일 예로, 컨트롤러(120)는 동작 클럭을 디스에이블시키는 동작, 위상 고정 루프(Phase Locked Loop) 회로를 중지하는 동작, 파워 도메인 격리(isolation) 동작, 파워 스위치를 디스에이블시키는 동작 및 LDO(low dropout)을 eco 모드로 설정하는 동작 등을 실행할 수 있다.

[0103] 본 발명의 실시예들에서, 컨트롤러(120)는 제1 전력 상태(PS_1)로부터 제2 전력 상태(PS_2)로 진입하는 중에 복수의 중간 전력 상태들(MPS)에 순차적으로 진입할 수 있다. 즉, 컨트롤러(120)는 제1 전력 상태(PS_1)에서 제2 전력 상태(PS_2)로 바로 진입하지 않고, 제1 전력 상태(PS_1)로부터 복수의 중간 전력 상태들(MPS)을 거친 후에 제2 전력 상태(PS_2)로 진입할 수 있다.

[0104] 이때, 컨트롤러(120)는 복수의 중간 전력 상태들(MPS) 각각에 진입할 때마다 동작 클럭(CLK) 및 동작 전압(VO

L)을 감소시킬 수 있다. 즉, 컨트롤러(120)는 복수의 중간 전력 상태들(MPS)에 순차적으로 진입하면서 동작 클럭(CLK) 및 동작 전압(VOL)을 단계적으로 감소시킬 수 있다.

[0105] 이를 통해, 컨트롤러(120)는 제1 전력 상태(PS_1)로부터 제2 전력 상태(PS_2)로 진입할 때, 동작 클럭 및 동작 전압이 급격하게 변하여 발생할 수 있는 오동작을 방지할 수 있다.

[0106] 도 5는 본 발명의 실시예들에 따른 스토리지 장치(100)가 복수의 중간 전력 상태들(MPS) 각각에 진입할 때마다 백그라운드 플래그 정보(BKOP_FLG)를 결정하는 일 예를 나타낸 도면이다.

[0107] 도 5를 참조하면, 스토리지 장치(100)의 컨트롤러(120)는 복수의 중간 전력 상태들(MPS) 각각에 진입할 때마다 백그라운드 플래그 정보(BKOP_FLG)를 확인할 수 있다.

[0108] 특정 중간 전력 상태에 대한 백그라운드 플래그 정보(BKOP_FLG)는, 해당 중간 전력 상태에 진입할 때 컨트롤러(120)가 실행 가능한 백그라운드 동작들(BKOP)을 지시할 수 있다.

[0109] 일 예로, 백그라운드 동작들(BKOP)은 i) 메모리(110)에 포함된 복수의 메모리 블록들(BLK)에 대한 가비지 컬렉션 동작, ii) 버퍼(미도시)에 저장된 데이터를 메모리(110)로 플러시하는 동작, iii) 복수의 메모리 블록들(BLK) 중 제1 타입 메모리 블록에 저장된 데이터를 제2 타입 메모리 블록으로 마이그레이션하는 동작 및 iv) 복수의 메모리 블록들(BLK) 중 일부를 소거하는 동작 중 하나 이상을 포함할 수 있다.

[0110] 가비지 컬렉션 동작은, 복수의 메모리 블록들(BLK) 중 일부인 희생 메모리 블록들에 저장된 유효 데이터를 다른 메모리 블록들로 마이그레이션한 후에, 희생 메모리 블록들을 소거하는 동작이다.

[0111] 버퍼(미도시)에 저장된 데이터를 메모리(110)로 플러시하는 동작은, 버퍼(미도시)에 저장된 데이터를 메모리(110)에 포함된 복수의 메모리 블록들(BLK)에 라이트한 후에 라이트된 데이터를 버퍼(미도시)에서 삭제하는 동작이다.

[0112] 이때, 버퍼(미도시)는 일 예로 컨트롤러(120) 내부의 워킹 메모리(125) 상의 일부 영역일 수 있다. 그리고, 버퍼(미도시)에 저장된 데이터는 일 예로, 스토리지 장치(100)의 외부로부터 라이트 요청된 데이터이거나 또는 논리 주소와 물리 주소 간의 매핑 관계를 지시하는 맵 데이터일 수 있다.

[0113] 복수의 메모리 블록들(BLK) 중 제1 타입 메모리 블록에 저장된 데이터를 제2 타입 메모리 블록으로 마이그레이션하는 동작은, 제1 타입 메모리 블록에 저장된 데이터를 제2 타입 메모리 블록에 라이트한 후 해당 데이터를 제1 타입 메모리 블록에서 삭제 또는 무효화하는 동작이다.

[0114] 이때, 제2 타입 메모리 블록은 제1 타입 메모리 블록보다 저장 용량이 클 수 있다. 일 예로, 제1 타입 메모리 블록은 SLC 메모리 블록이고 제2 타입 메모리 블록은, MLC 메모리 블록, TLC 메모리 블록 또는 QLC 메모리 블록일 수 있다.

[0115] 복수의 메모리 블록들(BLK) 중 일부를 소거하는 동작은, 무효 데이터만이 저장된 메모리 블록을 소거하여 새로운 데이터가 라이트될 수 있는 상태로 변경하는 동작이다. 이때, 복수의 메모리 블록들(BLK) 중 일부를 소거하는 동작은 이전에 중지(suspend)되었던 상태일 수 있다.

[0116] 한편, 컨트롤러(120)가 특정 중간 전력 상태에 진입할 때 백그라운드 동작들(BKOP) 중 일부만 실행 가능할 수 있다. 일 예로, 컨트롤러(120)가 특정 백그라운드 동작을 실행할 수 있을 정도의 전력을 사용할 수 없거나 또는 특정 백그라운드 동작이 완료되어 더 이상 실행할 수 없을 수 있다.

[0117] 따라서, 컨트롤러(120)는 복수의 중간 전력 상태들(MPS) 각각에 진입할 때마다 백그라운드 플래그 정보(BKOP_FLG)를 확인하고, 이를 기초로 하여 각 중간 전력 상태에서 실행 가능한 백그라운드 동작을 실행할 수 있다.

[0118] 이와 같이, 컨트롤러(120)는 복수의 중간 전력 상태들(MPS) 별로 실행 가능한 백그라운드 동작들이 최대한 실행될 수 있도록 관리함으로써, 제2 전력 상태(PS_2)로 진입하기 전에 백그라운드 동작들을 효율적으로 실행할 수 있다.

[0119] 도 5에서, 제1 전력 상태(PS_1)에서 제2 전력 상태(PS_2)로 진입하기 전에 컨트롤러(120)가 M개(M은 2 이상의 자연수)의 백그라운드 동작들(BKOP_1, BKOP_2, ~ , BKOP_M)을 실행 가능할 때, 백그라운드 플래그 정보(BKOP_FLG)는 대응하는 중간 전력 상태에서 M개의 백그라운드 동작들(BKOP_1, BKOP_2, ~ ,BKOP_M) 중 어떤 백그라운드 동작이 실행 가능한지를 지시할 수 있다.

[0120] 도 5에서, 제1 전력 상태(PS_1) 직후의 중간 전력 상태에서, 백그라운드 플래그 정보(BKOP_FLG)는 해당 중간 전력 상태에서 백그라운드 동작들(BKOP_1, BKOP_2, BKOP_M)이 모두 실행 가능하다는 것을 지시할 수 있다.

[0121] 그리고 다음 중간 전력 상태에서, 백그라운드 플래그 정보(BKOP_FLG)는 해당 중간 전력 상태에서 백그라운드 동작들(BKOP_1, BKOP_M)이 실행 가능하고 백그라운드 동작(BKOP_2)는 실행 불가능하다는 것을 지시할 수 있다.

[0122] 그리고 제2 전력 상태(PS_2) 직전의 중간 전력 상태에서, 백그라운드 플래그 정보(BKOP_FLG)는 해당 중간 전력 상태에서 백그라운드 동작들(BKOP_1, BKOP_2, BKOP_M)이 모두 실행 불가능하다는 것을 지시할 수 있다.

[0123] 한편, 백그라운드 플래그 정보(BKOP_FLG)는 제1 전력 상태(PS_1)에서 제2 전력 상태(PS_2)로 진입하기 전에 미리 설정될 수 있다. 백그라운드 플래그 정보(BKOP_FLG)는 복수의 중간 전력 상태들(MPS)마다 미리 설정될 수도 있고, 이전 중간 전력 상태에서 컨트롤러(120)가 실행한 동작에 따라 동적으로 변경될 수도 있다.

[0124] 도 6은 본 발명의 실시예들에 따른 스토리지 장치(100)가 제1 중간 전력 상태(MPS)에서 타깃 백그라운드 동작(BKOP_TGT)을 실행하는 일 예를 나타낸 도면이다.

[0125] 도 6을 참조하면, 스토리지 장치(100)의 컨트롤러(120)는, 복수의 중간 전력 상태들(MPS) 중 제1 중간 전력 상태(MPS_1)에 진입할 수 있다.

[0126] 이후, 컨트롤러(120)는 제2 중간 전력 상태(MPS_2)로 진입하기 전에 백그라운드 플래그 정보(BKOP_FLG)를 확인하여 타깃 백그라운드 동작(BKOP_TGT)이 실행 가능하다는 것을 확인할 수 있다.

[0127] 따라서, 컨트롤러(120)는, 제2 중간 전력 상태(MPS_2)로 진입하기 전에, 타깃 백그라운드 동작(BKOP_TGT)을 제1 중간 전력 상태(MPS_1)에서 실행할 수 있다.

[0128] 한편, 컨트롤러(120)는 제1 중간 전력 상태(MPS_1)에서 타깃 백그라운드 동작(BKOP_TGT) 실행이 완료될 때, 백그라운드 플래그 정보(BKOP_FLG)에서 타깃 백그라운드 동작(BKOP_TGT)이 실행 불가능하다고 설정할 수 있다.

[0129] 도 7은 본 발명의 실시예들에 따른 스토리지 장치(100)가 제1 중간 전력 상태(MPS_1)에서 제2 중간 전력 상태(MPS_2)로 진입하는 일 예를 나타낸 도면이다.

[0130] 도 7을 참조하면, 스토리지 장치(100)의 컨트롤러(120)는 제1 중간 전력 상태(MPS_1)에서 제2 중간 전력 상태(MPS_2)로 진입할 때, 동작 클럭(CLK) 및 동작 전압(VOL)을 감소시킬 수 있다.

[0131] 도 7에서, 제2 중간 전력 상태(MPS_2)의 동작 클럭은 제1 중간 전력 상태(MPS_1)의 동작 클럭보다 낮다. 또한, 제2 중간 전력 상태(MPS_2)의 동작 전압은 제1 중간 전력 상태(MPS_1)의 동작 전압보다 낮다.

[0132] 따라서, 컨트롤러(120)가 제2 중간 전력 상태(MPS_2)에서 실행 가능한 백그라운드 동작은 제1 중간 전력 상태(MPS_1)에 비해 제한될 수 있다.

[0133] 한편, 도 7과 달리, 컨트롤러(120)는 제1 중간 전력 상태(MPS_1)에서 제2 중간 전력 상태(MPS_2)로 진입할 때, 동작 클럭(CLK) 및 동작 전압(VOL)을 증가시킬 수도 있다. 이 경우, 컨트롤러(120)가 제2 중간 전력 상태(MPS_2)에서 실행 가능한 백그라운드 동작은 제1 중간 전력 상태(MPS_1)에 비해 제한되지 않는다. 단, 컨트롤러(120)는 제2 중간 전력 상태(MPS_2)에서 실행할 백그라운드 동작을 위해 사전에 실행되어야 할 백그라운드 동작을 제1 중간 전력 상태(MPS_1)에서 미리 실행할 수 있다.

[0134] 도 8은 본 발명의 실시예들에 따른 스토리지 장치(100)가 제1 중간 전력 상태(MPS_1)에서 타깃 백그라운드 동작(BKOP_TGT)을 실행하는 일 예를 나타낸 도면이다.

[0135] 도 8을 참조하면, 스토리지 장치(100)의 컨트롤러(120)는 제1 중간 전력 상태(MPS_1)에서 백그라운드 플래그 정보(BKOP_FLG)를 확인하여 타깃 백그라운드 동작(BKOP_TGT)이 실행 가능하다는 것을 확인할 수 있다.

[0136] 이때, 컨트롤러(120)는 타깃 백그라운드 동작(BKOP_TGT)을 설정된 임계 실행 시간(THR_EXE_TIME) 이하 동안 실행할 수 있다. 즉, 컨트롤러(120)는 타깃 백그라운드 동작(BKOP_TGT)을 시작한 이후 임계 실행 시간(THR_EXE_TIME)이 경과되어도 타깃 백그라운드 동작(BKOP_TGT)이 완료되지 않았을 때에 타깃 백그라운드 동작(BKOP_TGT)을 중지할 수 있다.

[0137] 이는, 컨트롤러(120)가 타깃 백그라운드 동작(BKOP_TGT)을 실행하는데 소요되는 시간이 증가하여 결과적으로 제2 중간 전력 상태(MPS_2)로 진입하는 것이 지연되는 것을 방지하기 위함이다.

[0138] 이하, 스토리지 장치(100)가 백그라운드 플래그 정보(BKOP_FLG)를 결정하는 구체적인 실시예들을 설명한다.

[0139] 도 9는 본 발명의 실시예들에 따른 스토리지 장치(100)가 백그라운드 동작들(BKOP)의 우선 순위를 기초로 백그라운드 플래그 정보(BKOP_FLG)를 결정하는 일 예를 나타낸 도면이다.

[0140] 도 9를 참조하면, 스토리지 장치(100)의 컨트롤러(120)는 백그라운드 동작들(BKOP)의 우선 순위를 결정할 수 있다. 도 9에서 백그라운드 동작(BKOP_1)의 우선 순위는 A이고, 백그라운드 동작(BKOP_2)의 우선 순위는 A보다 낮은 B이고, 백그라운드 동작(BKOP_M)의 우선 순위는 B보다 낮은 C이다.

[0141] 이때, 컨트롤러(120)는 백그라운드 동작들(BKOP) 중 높은 우선 순위를 가진 백그라운드 동작이 먼저 실행되도록 백그라운드 플래그 정보(BKOP_FLG)를 결정할 수 있다.

[0142] 도 9에서, 컨트롤러(120)는 백그라운드 동작(BKOP_1)가 백그라운드 동작(BKOP_2) 및 백그라운드 동작(BKOP_M)보다 먼저 실행되도록, 백그라운드 플래그 정보(BKOP_FLG)에서 백그라운드 동작(BKOP_1)만 실행 가능하다고 셋하고 백그라운드 동작(BKOP_2) 및 백그라운드 동작(BKOP_M)은 실행 불가능하다고 셋할 수 있다.

[0143] 한편, 백그라운드 동작들(BKOP)의 우선 순위는 다양한 방법으로 결정될 수 있다. 일 예로, 백그라운드 동작들(BKOP)의 우선 순위는 백그라운드 동작들(BKOP)의 종류를 기초로 결정될 수 있다. 추가로, 백그라운드 동작들(BKOP)의 우선 순위는 백그라운드 동작들(BKOP)이 처리해야 하는 데이터의 크기를 기초로 결정될 수 있다.

[0144] 이하, 도 10 내지 도 11에서 스토리지 장치(100)가 백그라운드 동작들(BKOP)의 우선 순위를 결정하는 실시예를 설명한다.

[0145] 도 10은 본 발명의 실시예들에 따른 스토리지 장치(100)가 백그라운드 동작의 우선 순위를 결정하는 일 예를 나타낸 도면이다.

[0146] 도 10을 참조하면, 스토리지 장치(100)의 컨트롤러(120)는 가비지 컬렉션(GC) 동작의 우선 순위를 메모리(110)에 포함된 프리 메모리 블록들의 개수에 반비례하여 설정할 수 있다. 메모리(110)에 포함된 프리 메모리 블록들의 개수가 적을수록 가비지 컬렉션(GC) 동작을 실행하여 새로운 프리 메모리 블록을 생성해야 할 필요성이 증가하기 때문이다.

[0147] 또한, 컨트롤러(120)는 가비지 컬렉션(GC) 동작의 우선 순위를 메모리(110)에 저장된 무효(invalid) 데이터의 크기에 비례하도록 설정할 수 있다. 메모리(110)에 저장된 무효 데이터의 크기가 클수록 메모리(110)에서 새로운 데이터를 저장할 수 있는 공간이 작으므로, 가비지 컬렉션(GC) 동작을 실행하여 새로운 데이터를 저장할 수 있는 공간을 확보해야 할 필요성이 증가하기 때문이다.

[0148] 도 11은 본 발명의 실시예들에 따른 스토리지 장치(100)가 백그라운드 동작의 우선 순위를 결정하는 다른 예를 나타낸 도면이다.

[0149] 도 11을 참조하면, 스토리지 장치(100)의 컨트롤러(120)는 제1 타입 메모리 블록에서 제2 타입 메모리 블록으로 데이터를 마이그레이션하는 동작의 우선 순위를 제1 타입 메모리 블록에서 제2 타입 메모리 블록으로 마이그레이션될 데이터의 크기에 반비례하도록 설정할 수 있다. 마이그레이션될 데이터의 크기가 작을수록 마이그레이션 동작을 빠르게 완료할 수 있기 때문이다.

[0150] 도 12는 본 발명의 실시예들에 따른 스토리지 장치(100)가 백그라운드 동작의 우선 순위를 결정하는 또 다른 예를 나타낸 도면이다.

[0151] 도 12를 참조하면, 스토리지 장치(100)의 컨트롤러(120)는, 버퍼에 저장된 데이터를 메모리(110)로 플러시하는 동작의 우선 순위를 버퍼에 저장된 데이터의 크기에 반비례하도록 설정할 수 있다. 버퍼에 저장된 데이터의 크기가 작을수록 플러시 동작을 빠르게 완료할 수 있기 때문이다.

[0152] 이상에서, 스토리지 장치(100)의 컨트롤러(120)가 제1 전력 상태(PS_1)로부터 제2 전력 상태(PS_2)로 진입하는 과정에서 발생하는 동작에 대해 설명하였다.

[0153] 그러나, 스토리지 장치(100)의 컨트롤러(120)는 제1 전력 상태(PS_1)로부터 제2 전력 상태(PS_2)에 진입하기 전에 특정 조건이 만족된 경우, 제2 전력 상태(PS_2)로 진입하지 않고 다시 제1 전력 상태(PS_1)로 복귀할 수 있다. 이하, 도 12에서 이에 대해 설명한다.

[0154] 도 13은 본 발명의 실시예들에 따른 스토리지 장치(100)가 제1 중간 전력 상태(MPS_1)에서 제1 전력 상태(PS_1)로 복귀하는 동작의 일 예를 나타낸 도면이다.

[0155] 도 13을 참조하면, 스토리지 장치(100)의 컨트롤러(120)는 제1 중간 전력 상태(MPS_1)에서 전술한 백그라운드

플래그 정보(BKOP_FLG) 이외에, 제1 전력 상태(PS_1)로 복귀할 것을 지시하는 이벤트(e.g. H8 exit, reset)가 셋되었는지 여부를 추가로 확인할 수 있다.

[0156] 만약 해당 이벤트가 셋되었다는 것이 확인될 때, 컨트롤러(120)는 제1 중간 전력 상태(MPS_1) 이후에 다시 제1 전력 상태(PS_1)로 복귀할 수 있다. 이때, 컨트롤러(120)는 제1 전력 상태(PS_1)로 복귀하기 전에, 제1 전력 상태(PS_1)와 제1 중간 전력 상태(MPS_1) 사이에 진입했던 중간 전력 상태들을 역순으로 다시 진입할 수 있다.

[0157] 도 14는 본 발명의 실시예들에 따른 스토리지 장치(100)의 동작 방법을 나타낸 도면이다.

[0158] 도 14를 참조하면, 스토리지 장치(100)의 동작 방법은, 복수의 중간 전력 상태들(MPS) 중 제1 중간 전력 상태(MPS_1)에 진입하는 단계(S1410)를 포함할 수 있다. 이때, 복수의 중간 전력 상태들(MPS)은 제1 전력 상태(PS_1)로부터 제2 전력 상태(PS_2)로 진입하는 중에 순차적으로 진입하는 전력 상태이다.

[0159] 그리고 스토리지 장치(100)의 동작 방법은, 복수의 백그라운드 동작들(BKOP) 중 실행 가능한 백그라운드 동작을 지시하는 백그라운드 플래그 정보(BKOP_FLG)를 확인하는 단계(S1420)를 포함할 수 있다.

[0160] 일 예로, 백그라운드 동작들(BKOP)은 메모리(110)에 포함된 복수의 메모리 블록들(BLK)에 대한 가비지 컬렉션 동작, 버퍼에 저장된 데이터를 메모리(110)로 플러시하는 동작, 메모리(110)에 포함된 복수의 메모리 블록들(BLK) 중 제1 타입 메모리 블록에 저장된 데이터를 제1 타입 메모리 블록보다 저장 용량이 큰 제2 타입 메모리 블록으로 마이그레이션하는 동작 및 복수의 메모리 블록들(BLK) 중 일부를 소거하는 동작 중 하나 이상을 포함할 수 있다.

[0161] 이때, 백그라운드 플래그 정보(BKOP_FLG)는 복수의 백그라운드 동작들(BKOP) 중 높은 우선 순위를 가진 백그라운드 동작이 먼저 실행되도록 결정될 수 있다.

[0162] 일 예로, 가비지 컬렉션 동작의 우선 순위는, 메모리(110)에 포함된 프리 메모리 블록들의 개수에 반비례하거나 또는 메모리(110)에 저장된 무효 데이터의 크기에 비례하도록 설정될 수 있다.

[0163] 일 예로, 제1 타입 메모리 블록에서 상기 제2 타입 메모리 블록으로 데이터를 마이그레이션하는 동작의 우선 순위는, 제1 타입 메모리 블록에서 상기 제2 타입 메모리 블록으로 마이그레이션될 데이터의 크기에 반비례하도록 설정될 수 있다.

[0164] 일 예로, 버퍼에 저장된 데이터를 상기 메모리로 플러시하는 동작의 우선 순위는, 버퍼에 저장된 데이터의 크기에 반비례하도록 설정될 수 있다.

[0165] 그리고 스토리지 장치(100)의 동작 방법은, 백그라운드 플래그 정보(BKOP_FLG)를 기초로 하여, 제1 중간 전력 상태(MPS_1)에서 실행 가능한 타깃 백그라운드 동작(BKOP_TGT)을 실행하는 단계(S1430)를 포함할 수 있다.

[0166] 그리고 스토리지 장치(100)의 동작 방법은, 복수의 중간 전력 상태들(MPS) 중 제2 중간 전력 상태(MPS_2)로 진입 여부를 결정하는 단계(S1440)를 포함할 수 있다.

[0167] 한편, 스토리지 장치(100)의 동작 방법은, 제1 중간 전력 상태(MPS_1)에서 제2 중간 전력 상태(MPS_2)로 진입할 때, 동작 클럭 및 동작 전압을 감소시키는 단계를 추가로 포함할 수 있다.

[0168] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 또한, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이므로 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0170] 100: 스토리지 장치 110: 메모리

120: 컨트롤러 121: 호스트 인터페이스

122: 메모리 인터페이스 123: 제어 회로

124: 프로세서 125: 워킹 메모리

126: 에러 검출 및 정정 회로

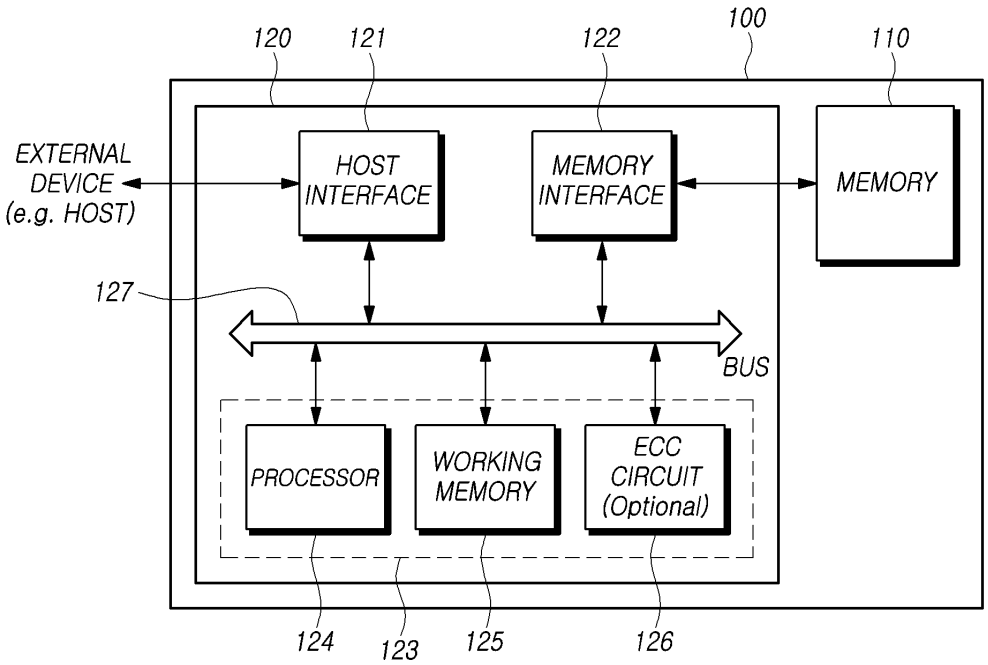
210: 메모리 셀 어레이 220: 어드레스 디코더

230: 리드 앤 라이트 회로 240: 제어 로직

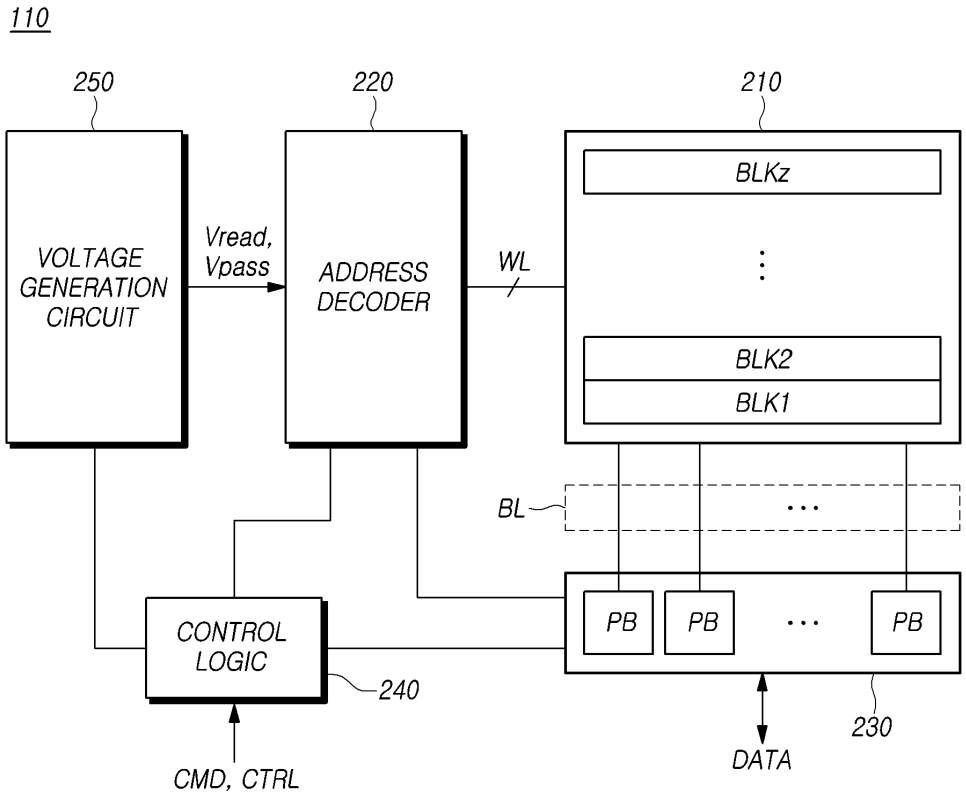
250: 전압 생성 회로

도면

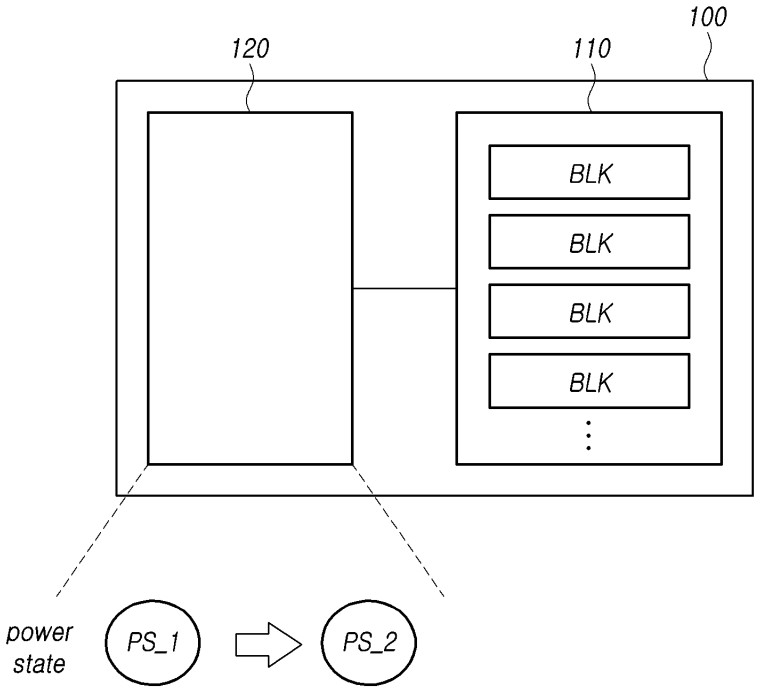
도면1



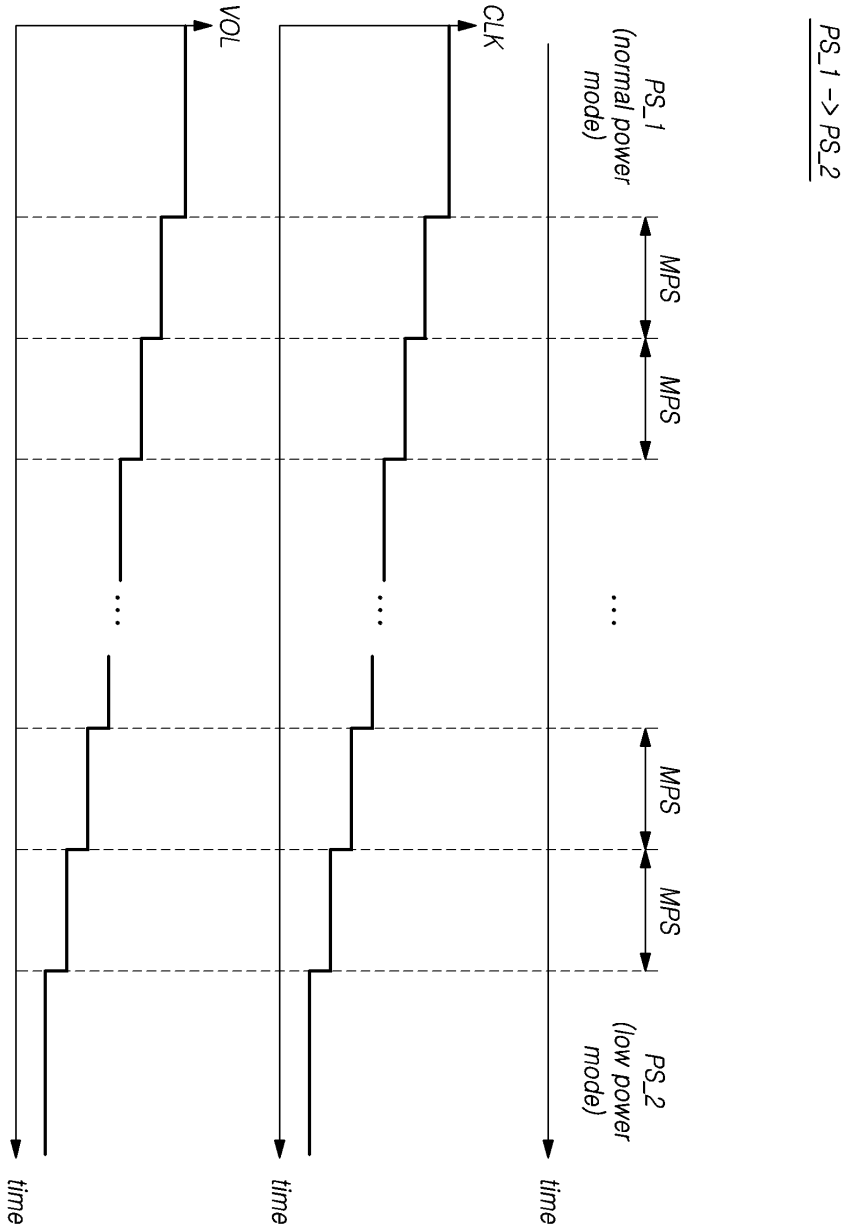
도면2


110
250
220
210
VOLTAGE GENERATION CIRCUIT
Vread, Vpass
ADDRESS DECODER
WL
BLKz
BLK2
BLK1
BL
PB
PB
PB
CONTROL LOGIC
240
230
DATA
CMD, CTRL

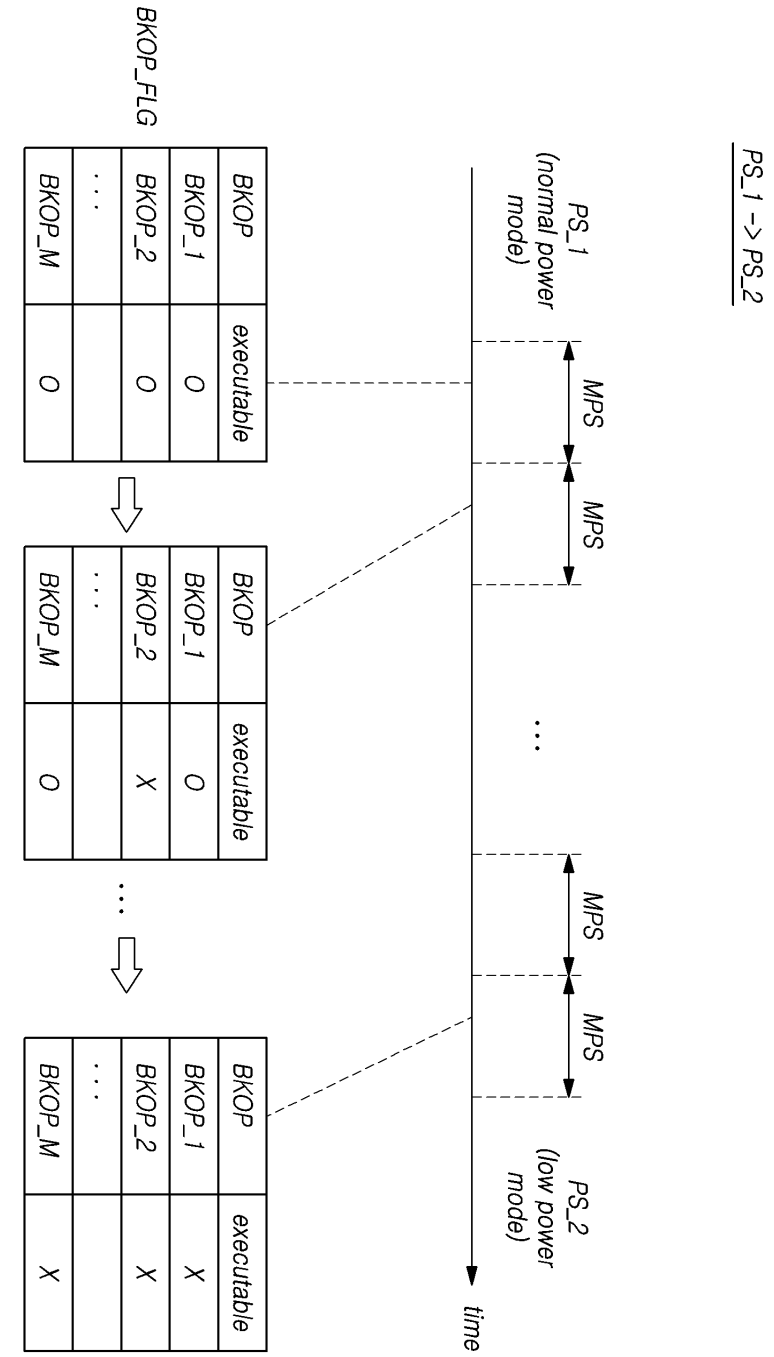
도면3


100
120
110
BLK
BLK
BLK
BLK
power state
PS_1
PS_2

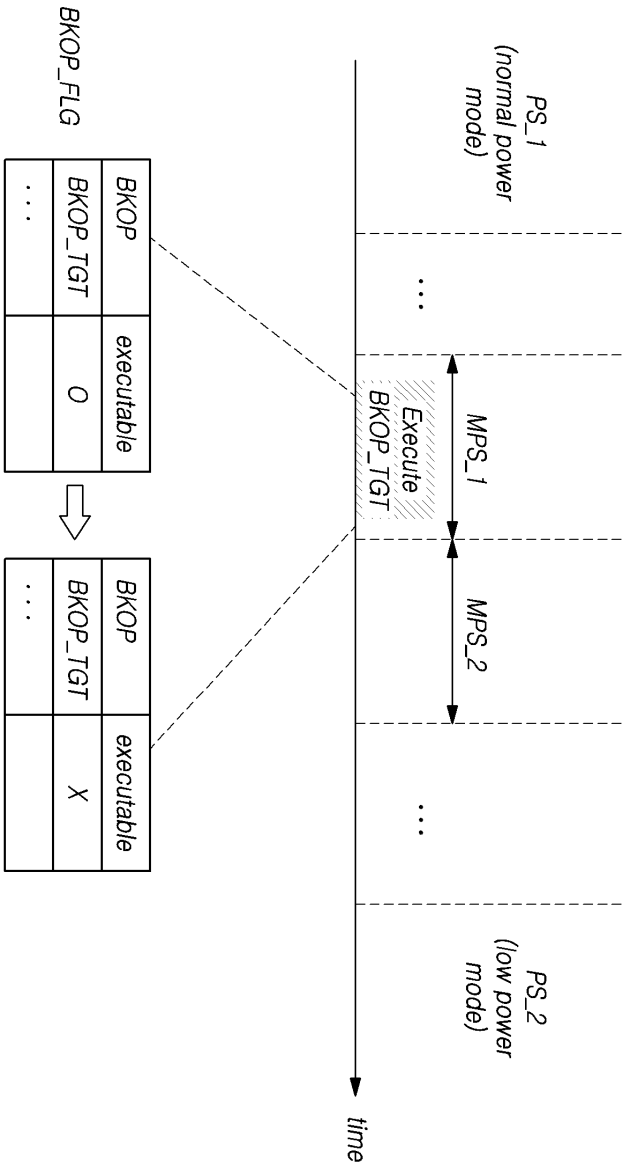
도면4


PS_1 -> PS_2
VOL
CLK
PS_1
(normal power
mode)
MPS
MPS
MPS
MPS
PS_2
(low power
mode)
time
time
time

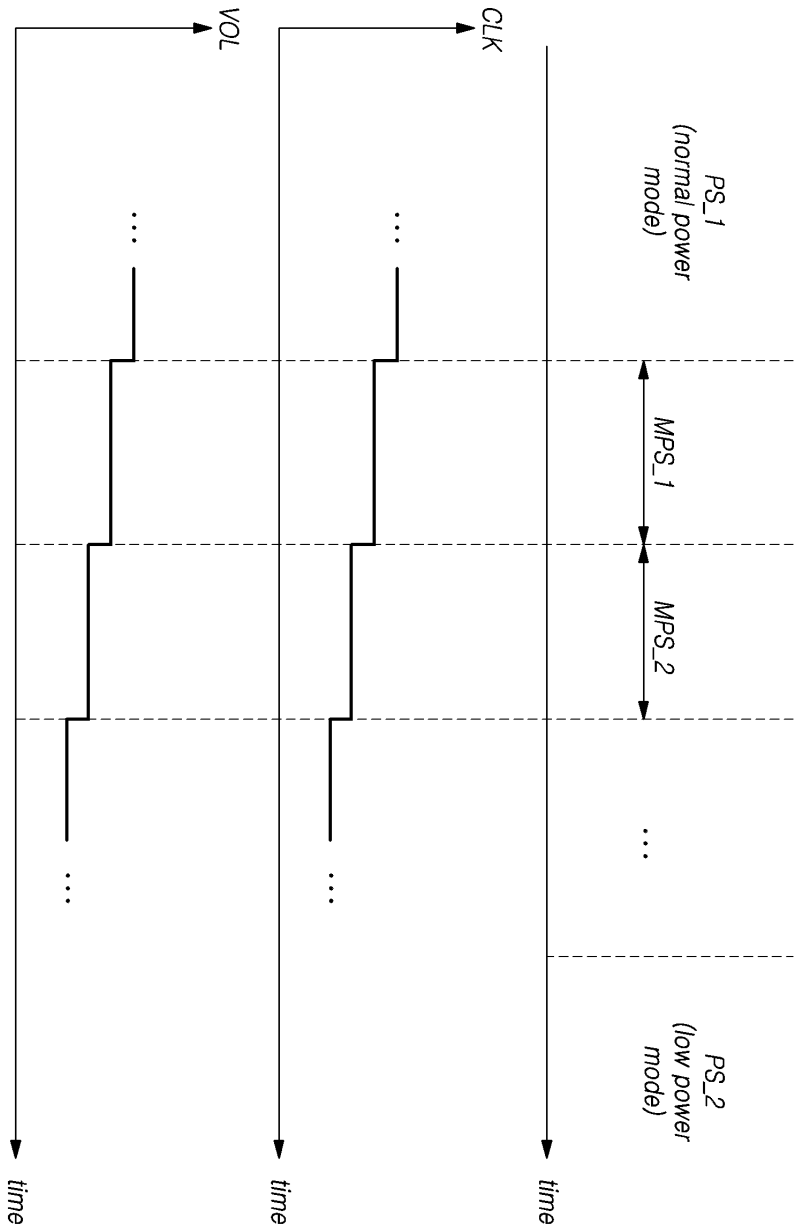
도면5


PS_1 -> PS_2
PS_1 (normal power mode)
MPS
MPS
MPS
MPS
PS_2 (low power mode)
time
BKOP_FLG
BKOP
executable
BKOP_1
O
BKOP_2
O
BKOP_M
O
BKOP
executable
BKOP_1
O
BKOP_2
X
BKOP_M
O
BKOP
executable
BKOP_1
X
BKOP_2
X
BKOP_M
X

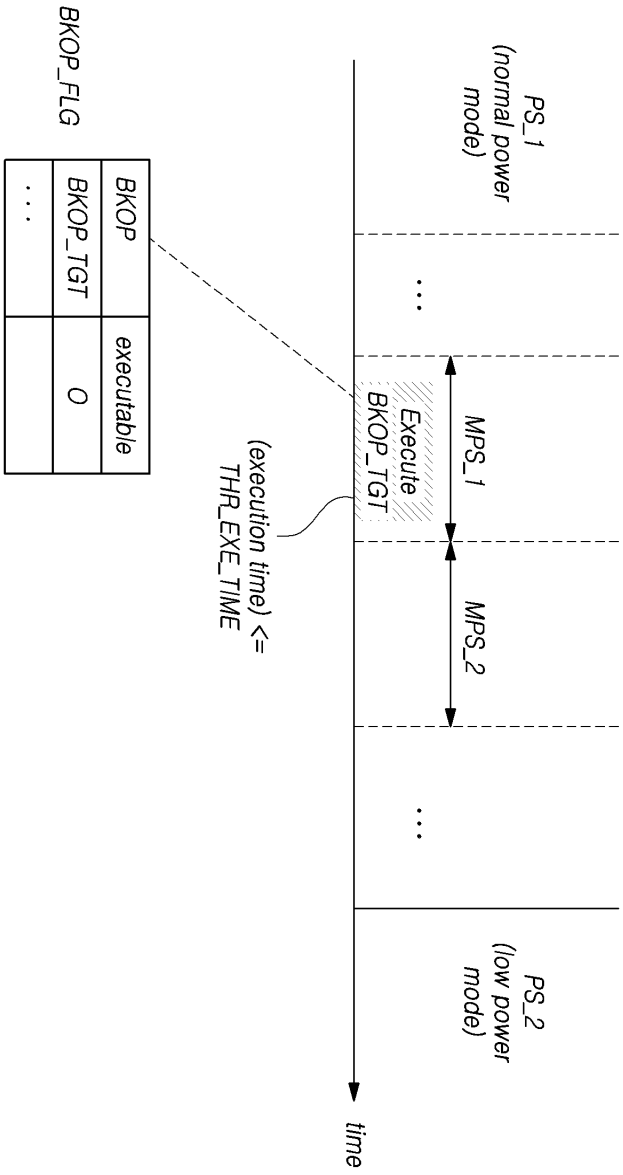
도면6


BKOP_FLG
BKOP
BKOP_TGT
executable
O
X
PS_1
(normal power mode)
PS_2
(low power mode)
MPS_1
MPS_2
Execute
BKOP_TGT
time

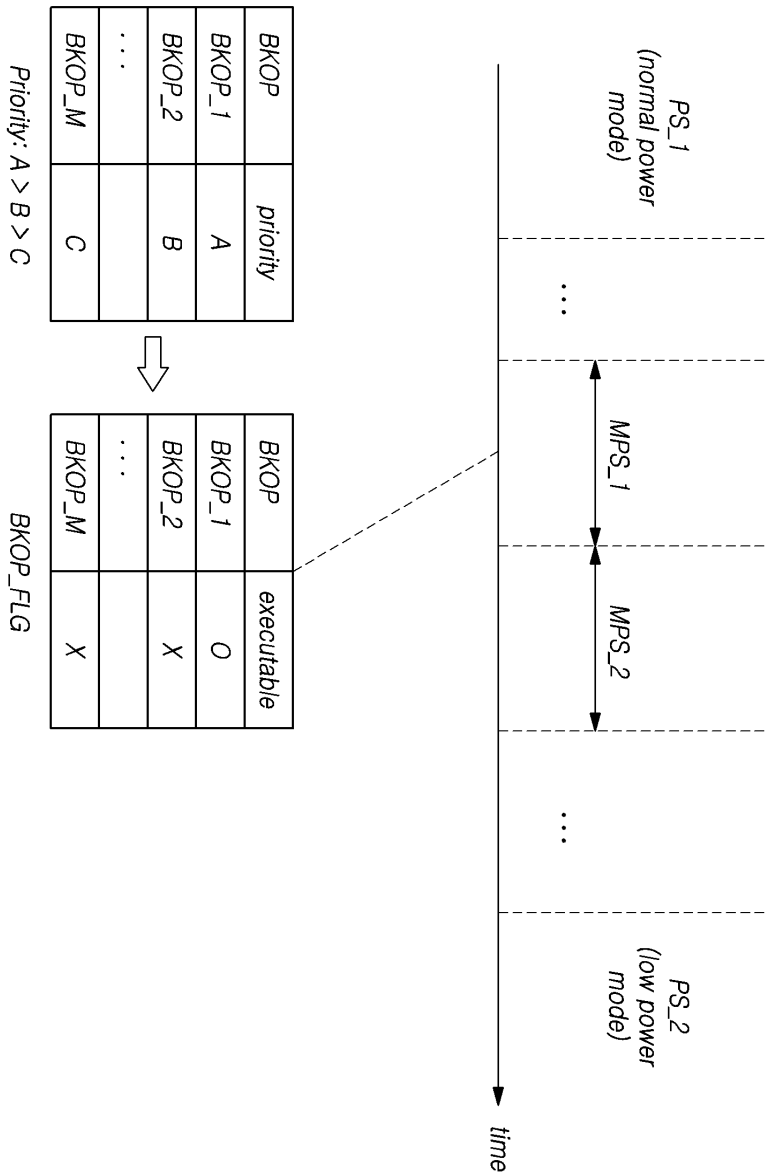
도면7


VOL
CLK
time
time
time
PS_1
(normal power
mode)
MPS_1
MPS_2
PS_2
(low power
mode)

도면8

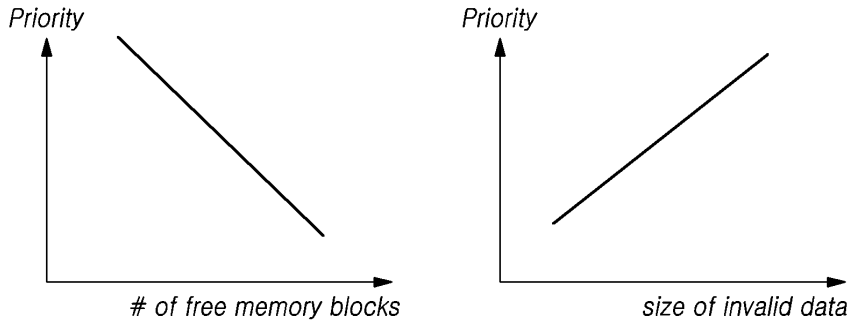

BKOP_FLG
BKOP
BKOP_TGT
executable
O
PS_1
(normal power
mode)
Execute
BKOP_TGT
MPS_1
MPS_2
(execution time) <=
THR_EXE_TIME
PS_2
(low power
mode)
time

도면9


PS_1
(normal power
mode)
MPS_1
MPS_2
PS_2
(low power
mode)
time
BKOP
priority
BKOP_1
A
BKOP_2
B
BKOP_M
C
Priority: A > B > C
BKOP
executable
BKOP_1
O
BKOP_2
X
BKOP_M
X
BKOP_FLG

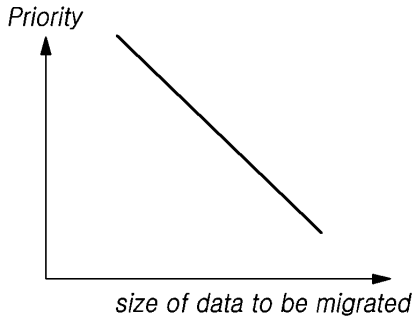
도면10

BKOP : GC



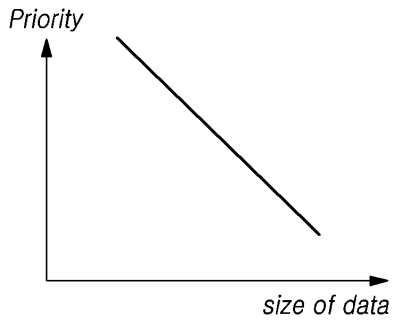
도면11

BKOP : migration (1st type -> 2nd type)

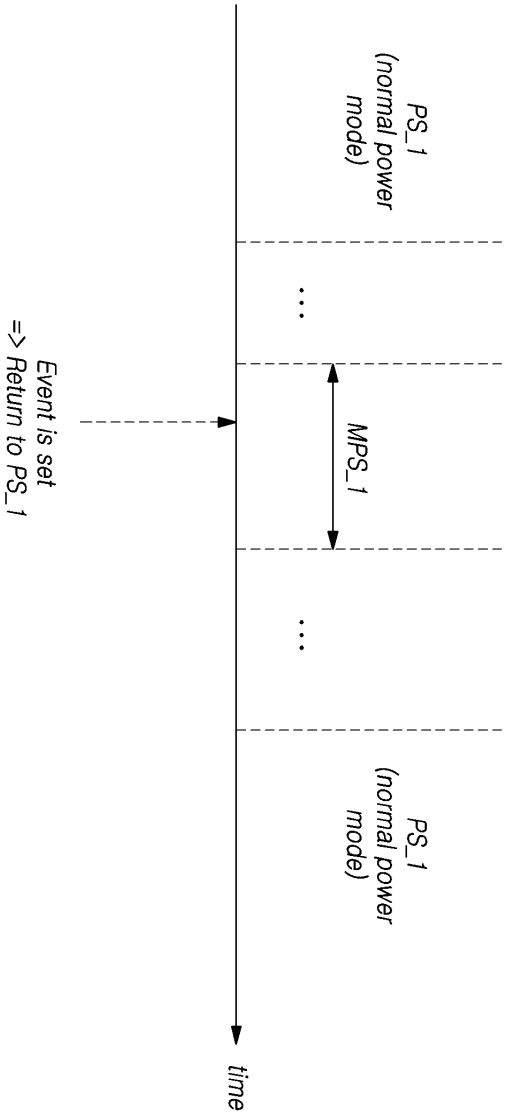


도면12

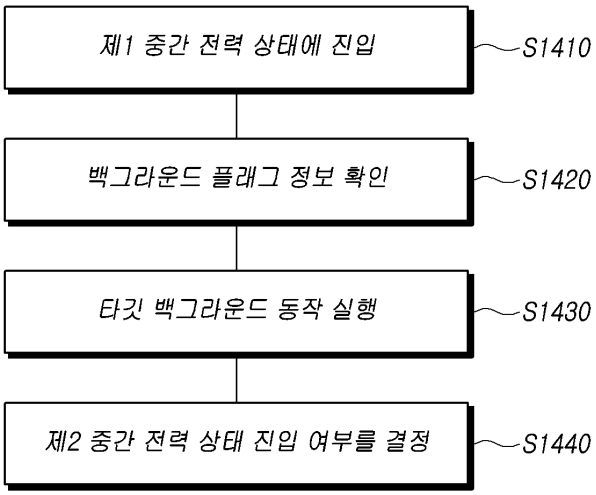
BKOP : flush data stored in buffer



도면13


PS_1
(normal power
mode)
MPS_1
Event is set
=> Return to PS_1
PS_1
(normal power
mode)
time

도면14


제1 중간 전력 상태에 진입
S1410
백그라운드 플래그 정보 확인
S1420
타깃 백그라운드 동작 실행
S1430
제2 중간 전력 상태 진입 여부를 결정
S1440