

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5266271号  
(P5266271)

(45) 発行日 平成25年8月21日(2013.8.21)

(24) 登録日 平成25年5月10日(2013.5.10)

(51) Int.Cl.

F I

G 1 1 C 11/407 (2006.01)

G 1 1 C 11/34 3 6 2 T

請求項の数 24 (全 20 頁)

(21) 出願番号	特願2010-76273 (P2010-76273)	(73) 特許権者	593138296
(22) 出願日	平成22年3月29日 (2010.3.29)		モーセッド・テクノロジーズ・インコーポ
(62) 分割の表示	特願2000-541688 (P2000-541688)		レイテッド
原出願日	平成11年4月1日 (1999.4.1)		Mosaid Technologies
(65) 公開番号	特開2010-176839 (P2010-176839A)		Incorporated
(43) 公開日	平成22年8月12日 (2010.8.12)		カナダ国 ケイ2ケイ 2エックス1 オ
審査請求日	平成22年4月20日 (2010.4.20)		ンタリオ, オタワ, ハインズ・ロード 1
(31) 優先権主張番号	2,233,789	(74) 代理人	100107766
(32) 優先日	平成10年4月1日 (1998.4.1)		弁理士 伊東 忠重
(33) 優先権主張国	カナダ (CA)	(74) 代理人	100070150
(31) 優先権主張番号	09/129,878		弁理士 伊東 忠彦
(32) 優先日	平成10年8月6日 (1998.8.6)	(74) 代理人	100091214
(33) 優先権主張国	米国 (US)		弁理士 大貫 進介

最終頁に続く

(54) 【発明の名称】 半導体メモリ非同期式パイプライン

(57) 【特許請求の範囲】

【請求項 1】

アドレス可能なメモリ素子を有するメモリ、

該メモリから読み出したデータのうちのN個のビットを検知する複数の読み出し増幅器

、  
 該読み出し増幅器からのデータを受信し、それぞれN個のラッチを有するM個のラッチ  
 グループに構成され、同一のラッチグループに含まれる全てのラッチは該読み出し増幅器  
 からの該データを同時にラッチする、複数のラッチ、

1つのラッチグループに含まれる全てのラッチを同時にイネーブルするカウンタ、

システム・クロック入力信号に同期した出力クロック信号を供給する遅延ロックスループ  
 及び

、  
 該出力クロック信号のエッジで前記複数のラッチの出力をラッチし、該システム・クロ  
 ック入力信号のエッジに同期した出力データを供給する複数のデータ出力バッファ、  
 を有する同期式D R A M素子。

【請求項 2】

N = 3 2 である、

ことを特徴とする請求項 1 に記載の同期式D R A M素子。

【請求項 3】

M = 3 である、

ことを特徴とする請求項 1 に記載の同期式D R A M素子。

10

20

## 【請求項 4】

前記複数の出力バッファは、前記システム・クロック入力信号の立ち上がりエッジ及び立ち下がりエッジに同期した出力データを供給する、

ことを特徴とする請求項 1 に記載の同期式 D R A M 素子。

## 【請求項 5】

各前記ラッチグループは、前記システム・クロック入力信号の立ち上がりエッジに同期して出力されるべきデータを受信する  $N/2$  個のラッチを有するラッチグループと、前記システム・クロック入力信号の立ち下がりエッジに同期して出力されるべきデータを受信する  $N/2$  個のラッチを有するラッチグループと、を有する、

ことを特徴とする請求項 4 に記載の同期式 D R A M 素子。

10

## 【請求項 6】

$M = 6$  である、

ことを特徴とする請求項 5 に記載の同期式 D R A M 素子。

## 【請求項 7】

前記カウンタは 2 進カウンタである、

ことを特徴とする請求項 1 に記載の同期式 D R A M 素子。

## 【請求項 8】

前記 2 進カウンタは、前記複数のラッチにイネーブル信号を供給するためにデコードされる、

ことを特徴とする請求項 7 に記載の同期式 D R A M 素子。

20

## 【請求項 9】

前記出力クロック信号は、前記システム・クロック入力信号よりも位相が進んでいる、

ことを特徴とする請求項 1 に記載の同期式 D R A M 素子。

## 【請求項 10】

各前記ラッチグループは、前記システム・クロック入力信号の複数のエッジに同期して前記出力バッファにより出力されるべきデータを受信する、

ことを特徴とする請求項 1 に記載の同期式 D R A M 素子。

## 【請求項 11】

各前記ラッチグループは、前記システム・クロック入力信号の 2 つのエッジに同期して前記出力バッファにより出力されるべきデータを受信する、

ことを特徴とする請求項 10 に記載の同期式 D R A M 素子。

30

## 【請求項 12】

各前記ラッチグループは、前記システム・クロック入力信号の立ち上がりエッジ及び立ち下がりエッジに同期して前記出力バッファにより出力されるべきデータを受信する、

ことを特徴とする請求項 11 に記載の同期式 D R A M 素子。

## 【請求項 13】

データ出力を供給する方法であって：

複数の読み出し増幅器を介して、アドレス可能なメモリ素子を有するメモリから読み出したデータのうちの  $N$  個のビットを検知する段階、

複数のラッチはそれぞれ  $N$  個のラッチを有する  $M$  個のラッチグループに構成され、同一のラッチグループに含まれる全てのラッチは該読み出し増幅器からの該データを同時にラッチし、該複数のラッチへのデータを受信する段階、

40

カウンタを介して、1 つのラッチグループに含まれる全てのラッチを同時にイネーブルする段階、

システム・クロック入力信号に同期した出力クロック信号を供給する段階、及び

該出力クロック信号のエッジで前記複数のラッチの出力をラッチする段階、及び

該システム・クロック入力信号のエッジに同期した出力データを供給する段階、

を有する方法。

## 【請求項 14】

$N = 32$  である、

50

ことを特徴とする請求項 1 3 に記載の方法。

【請求項 1 5】

M = 3 である、

ことを特徴とする請求項 1 3 に記載の方法。

【請求項 1 6】

前記出力データは、前記システム・クロック入力信号の立ち上がりエッジ及び立ち下がりエッジに同期する、

ことを特徴とする請求項 1 3 に記載の方法。

【請求項 1 7】

前記 N 個のラッチを有する M 個のラッチグループのそれぞれは、前記システム・クロック入力信号の立ち上がりエッジに同期して出力されるべきデータを受信する N / 2 個のラッチを有するラッチグループと、前記システム・クロック入力信号の立ち下がりエッジに同期して出力されるべきデータを受信する N / 2 個のラッチを有するラッチグループと、を有する、

ことを特徴とする請求項 1 6 に記載の方法。

【請求項 1 8】

M = 6 である、

ことを特徴とする請求項 1 7 に記載の方法。

【請求項 1 9】

前記カウンタは 2 進カウンタである、

ことを特徴とする請求項 1 3 に記載の方法。

【請求項 2 0】

前記 2 進カウンタの出力をデコードして、前記複数のラッチにイネーブル信号を供給する段階、

を更に有する請求項 1 9 に記載の方法。

【請求項 2 1】

前記出力クロック信号は、前記システム・クロック入力信号よりも位相が進んでいる、

ことを特徴とする請求項 1 3 に記載の方法。

【請求項 2 2】

各前記ラッチグループで、前記システム・クロック入力信号の複数のエッジに同期して出力されるべきデータを受信する段階、

を更に有する請求項 1 3 に記載の方法。

【請求項 2 3】

各前記ラッチグループは、前記システム・クロック入力信号の 2 つのエッジに同期して出力されるべきデータを受信する、

ことを特徴とする請求項 2 2 に記載の方法。

【請求項 2 4】

各前記ラッチグループは、前記システム・クロック入力信号の立ち上がりエッジ及び立ち下がりエッジに同期して出力されるべきデータを受信する、

ことを特徴とする請求項 2 3 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体メモリ、より詳しくはダイナミックランダムアクセスメモリのパイプライン型データアクセスに関する。

【背景技術】

【0 0 0 2】

従来の非パイプラインダイナミックランダムアクセスメモリ (DRAM) では、メモリへのあるいはメモリからのデータ転送は順次実行される。すなわち、読み取りまたは書き込み命令の一方が受信され、アドレスが利用可能になったとき、他の命令がメモリによ

10

20

30

40

50

て受け入れられる前に、読み取りまたは書き込み命令によるデータ転送が全体として実行される。この結果、後続の命令は、現在のデータ転送が完了する時間だけ遅延される。

【 0 0 0 3 】

歴史的に、D R A Mはプロセッサによって非同期に制御されてきた。これは、プロセッサがアドレスをD R A M入力に置き、ローアドレス選択信号 ( / R A S ) およびカラムアドレス選択信号 ( / C A S ) ピンを用いてアドレスをストローブすることを意味する。アドレスは、必要な最小時間の長さの間保持される。この間、D R A Mはメモリ内のアドレスされた位置にアクセスし、最大の遅延 ( アクセスタイム ) 後に、プロセッサからの新しいデータをメモリに書き込むか、あるいはプロセッサが読めるように出力にメモリからのデータを供給する。

10

【 0 0 0 4 】

この間、プロセッサは、D R A Mがラインのプリチャージ、アドレスのデコードおよび同様の種々の内部機能を実行するのを待たなければならない。この結果「待ち状態」が生じ、この間、より高速のプロセッサはD R A Mが応答するのを待たなければならない、これによってシステム全体の速度が遅くなる。

【 0 0 0 5 】

この問題に対する1つの解決方法はメモリ回路を同期化する、すなわちデータを保持できるD R A Mに入出力ラッチを加えることである。入力ラッチは、アドレス、データおよび制御信号をD R A Mの入力で記憶することができ、他のタスクのためにプロセッサを解放する。プリセットされた数のクロックサイクルの後に、読み取り用同期制御によってデータはD R A Mの出力ラッチで利用可能になり、あるいは書き込み動作のためにメモリに書き込むことができる。

20

【 0 0 0 6 】

同期制御は、D R A Mが、システムクロックの制御の下にプロセッサとD R A Mそれ自体との間に転送された情報をラッチすることを意味する。このように、同期式D R A Mの利点は、システムクロックが、メモリに設けなければならない唯一のタイミングエッジであることである。これによって、プリント回路基板周囲の多数のタイミングストロボの伝搬が低減あるいは除去される。

【 0 0 0 7 】

代わりに、D R A Mは非同期にすることが可能である。例えば、ローアドレスからデータアクセスまで60 n sの遅延を有するD R A Mが10 n sクロックを有するシステムで使用されるとすれば、プロセッサはローアドレスを加え、そして ( / R A S ) ピンでそれをストローブしている間、それを保持しなければならない。30 n s後に、これにカラムアドレスが続き、このアドレスを有効に保持し、そして ( / C A S ) ピンによってストローブしなければならない。次に、プロセッサは、30 n s後にデータが出力に現われ、安定し、そして読み取られるのを待たなければならない。

30

【 0 0 0 8 】

他方、同期インタフェースによれば、プロセッサは、ローおよびカラムアドレス ( および制御信号 ) を入力ラッチにロックし、そしてシステムクロックの制御の下でD R A Mが読み取り動作を実行するのを待つ間に、他のタスクを実行することができる。D R A Mの出力が6サイクル ( 60 n s ) 後にクロックされる時、所望のデータは出力ラッチ内にある。

40

【 0 0 0 9 】

また同期式D R A Mアーキテクチャは、アドレスをパイプライン化することによってD R A Mの平均アクセスタイムを速めることも可能である。この場合、D R A Mが以前のアドレスで操作している間に、プロセッサは次のアドレスを記憶するために入力ラッチを使用することが可能である。通常、アクセスすべきアドレスは、複数サイクル先行してプロセッサによって知られる。したがって、プロセッサはD R A Mの入力アドレスラッチに第2のアドレスを送ることができ、このアドレスは、第1のアドレスがD R A Mの次の処理段に移動するとすぐに利用可能である。これによって、D R A Mへの次のアクセスを開始

50

する前にプロセッサが1完全アクセスサイクル待つ必要がなくなる。

【0010】

3段カラムアドレスパイプラインの例がFIG. 1Aの概略図に示されている。カラムアドレスから出力への部分は3段パイプラインである。アドレスバッファは第1のラッチである。カラムスイッチは第2のラッチであり、そして出力バッファは第3のラッチである。したがって、カラムアクセスタイム固有の待ち時間はこれらの3つの段の間に分割される。

【0011】

パイプラインされる読み取りの動作は、次のように説明することが可能である。カラムアドレス(A1)は1つのクロックサイクルでアドレスバッファ内にクロックされ、そしてデコードされる。第2のクロックサイクルで、カラムスイッチは対応するデータ(D1)をセンス増幅器から読み取りバスに転送し、そしてカラムアドレス(A2)はアドレスバッファ内にクロックされる。第3のクロックでは、データ(D1)は出力バッファ内にクロックされ、(D2)は読み取りバスに転送され、そしてA3はカラムアドレスバッファ内にクロックされる。D1が出力に現われる時、D2とD3はD1の後ろのパイプラインにある。本発明の技術をより詳細に説明するために、Betty Princeによる「High Performance Memories」なる表題の本が参照される。

【0012】

SDRAM内のCASのラッチとデータバスのアベイラビリティとの間のクロックサイクルの数の遅延は、SDRAMの「CAS待ち時間」である。出力データが、カラムアドレスの到着に続くクロックの第2の前縁によって利用可能であるならば、装置は、2のCAS待ち時間を有すると説明される。同様に、データが第1の読み取り命令の到着に続くクロックの第3の前縁で利用可能であるならば、装置は、3の「CAS待ち時間」を有すると認識される。

【0013】

同期式DRAM(SDRAM)にはプログラム可能なCAS待ち時間がある。上述のように、クロックレート(CLK)に関係なく、CAS待ち時間は、読み取り命令が開始された後、どのクロックエッジでサイクルデータが利用可能であるかを決定する。プログラム可能なCAS待ち時間により、CAS待ち時間に影響を与えることなく、異なったシステムクロック周波数を有する異なったメモリシステムにおけるSDRAMの効率的な利用が可能になる。

【0014】

SDRAMデータバスを待ち時間段に分割する他の方法がある。ウェーブパイプラインがFIG. 1Bに概略的に示されている。通常のクロック式パイプラインは、読み取り待ち時間が、パイプライン段の数を乗算した最も低速のパイプライン段の遅延(すなわち最長の遅延)に等しくなるという不都合を有する。読み取り待ち時間に影響を与えることなくより長いパイプライン段に適応可能であるように、調整されたクロックを有するクロック式パイプラインは、各パイプライン段に調整済みのクロック信号を使用する。より長いパイプライン段は、パイプライン段を開始するクロックよりも遅延されるクロックで終了される。より短いパイプライン段は、パイプライン段を終了するクロックよりも遅延されるクロックで開始される。この方法の不都合は、チップによってサポートされる各CAS待ち時間に対してクロックの異なった調整が必要とされることである。また、アーキテクチャの変更は待ち時間段の分割に大きな影響を及ぼす可能性があり、設計者は、待ち時間段の新しい分割を適応させるためにすべてのクロックの再調整を必要とする。

【0015】

さらに、余分の待ち時間またはチップ領域を加えることなく、待ち時間段を挿入することができる位置の数が制限される。多数の待ち時間段には、段を通して伝播する信号に必要とされる時間についてすべての待ち時間段が等しいわけではないという点で、不利益がある。他の厄介な問題は、チップが動作するようにプログラミングされるCAS待ち時間に応じて待ち時間段をイネーブルまたはディスエーブルする必要があるという点である。

## 【 0 0 1 6 】

F I G . 1 B のウェーブパイプラインでは、読み取りデータバス全体を通してデータのパルスが走る。ウェーブパイプラインは理想的なデータバスの長さに依存し、すなわち、すべてのデータバスが等しいと仮定する。しかし、メモリアレイのあるメモリセルから検索されたデータは、他のメモリセルから検索されたデータよりも本来的に速い。これは、主として、読み込みおよび読み出しデータバスの両方に関するメモリセルの物理的位置のためである。このように、チップから出力される前にデータを再同期しなければならない。このデータバススキューは、ウェーブパイプライン装置で検索されたデータを確実に再同期することを難しくする。

## 【 0 0 1 7 】

10

アドレス信号が、メモリアクセスタイムを超える 1 サイクルタイムを有するデータバスに加えられるならば、メモリから読み取られるデータはメモリアレイの固有の遅延の間出力されない。換言すれば、ウェーブパイプライン技術では、メモリアレイ部分のクリティカルパスよりも短い期間がアドレス入力信号に加えられる。

## 【 0 0 1 8 】

さらに、低速クロックを有する F I G . 2 A と F I G . 2 B に例示したように、データが必要になるまでウェーブパイプラインの出力データを記憶する必要がある。

【特許文献 1】米国特許第 5, 6 5 5, 1 0 5 号明細書

【特許文献 2】米国特許第 5, 8 3 5, 4 4 3 号明細書

【特許文献 3】米国特許第 6, 0 1 4, 3 3 9 号明細書

20

【特許文献 4】米国特許第 6, 5 3 9, 4 5 4 号明細書

【特許文献 5】米国特許第 5, 2 9 4, 8 4 2 号明細書

【特許文献 6】米国特許第 6, 0 7 8, 5 4 6 号明細書

【特許文献 7】米国特許第 4, 6 5 8, 3 5 4 号明細書

【特許文献 8】米国特許第 5, 2 7 2, 3 9 0 号明細書

【特許文献 9】米国特許第 5, 4 0 2, 3 8 8 号明細書

【特許文献 1 0】米国特許第 5, 5 4 4, 1 2 4 号明細書

【特許文献 1 1】米国特許第 5, 5 5 0, 7 8 4 号明細書

【特許文献 1 2】米国特許第 5, 5 7 9, 2 6 7 号明細書

【特許文献 1 3】米国特許第 5, 7 0 3, 8 1 5 号明細書

30

【特許文献 1 4】米国特許第 5, 7 1 3, 0 0 5 号明細書

【特許文献 1 5】米国特許第 5, 7 8 4, 7 0 5 号明細書

【特許文献 1 6】米国特許第 5, 6 6 6, 4 8 0 号明細書

【特許文献 1 7】米国特許第 R E 3 5, 9 3 4 号明細書

【特許文献 1 8】米国特許第 7, 5 0 9, 4 6 9 B 2 号明細書

【特許文献 1 9】米国特許第 5, 7 8 1, 4 9 9 号明細書

【特許文献 2 0】米国特許第 5, 8 2 2, 2 5 5 号明細書

【特許文献 2 1】米国特許第 5, 9 7 8, 8 8 4 号明細書

【特許文献 2 2】米国特許第 5, 9 9 9, 2 5 8 号明細書

【特許文献 2 3】米国特許第 5, 7 9 6, 6 7 3 号明細書

40

【特許文献 2 4】欧州特許第 0 7 0 4 8 4 8 A 2 号明細書

【特許文献 2 5】特開平 2 - 0 0 3 1 7 7

【特許文献 2 6】特開平 8 - 0 9 6 5 7 3

【特許文献 2 7】特開平 9 - 0 9 1 9 5 5

【特許文献 2 8】特開平 9 - 1 3 9 0 7 6

【特許文献 2 9】特開平 1 0 - 0 5 5 6 6 8

【特許文献 3 0】特開平 1 0 - 1 8 8 5 5 6

【特許文献 3 1】特開平 1 1 - 1 7 6 1 5 8

【特許文献 3 2】米国特許第 5, 8 1 2, 4 8 9 号明細書

【特許文献 3 3】特開平 9 - 2 6 5 7 7 7

50

【特許文献34】米国特許第5,631,871号明細書  
【特許文献35】米国特許第5,703,830号明細書  
【特許文献36】米国特許第5,412,615号明細書  
【特許文献37】特開平7-326190  
【特許文献38】米国特許出願第2010-0232237号明細書  
【特許文献39】米国特許第6,483,770号明細書  
【特許文献40】米国特許第5,631,866号明細書  
【特許文献41】特開平6-203553  
【特許文献42】米国特許第6,483,770号明細書  
【特許文献43】米国特許第5,844,858号明細書  
【特許文献44】米国特許第5,999,458号明細書  
【特許文献45】米国特許第6,209,071号明細書  
【特許文献46】特開平9-106671  
【特許文献47】米国特許第6,178,492号明細書  
【特許文献48】米国特許第5,991,902号明細書  
【特許文献49】米国特許第5,954,435号明細書  
【特許文献50】米国特許第5,939,913号明細書

【非特許文献1】Mehrddad Heshami, et al., "A 250-MHz Skewed-Clock Pipelined Data Buffer," IEEE Journal of Solid-State Circuits, 31(3): 376-383 (March 1998).

【非特許文献2】Boemo, E.I., et al., "The Wave Pipeline Effect on LUT-Based FPGA Architectures," E.T.S.I. Telecommunication, 28740 Ciudad Universitaria, Madrid, Spain (date of publication not available) (6pp).

【非特許文献3】JDEC Solid State Technology Association, "JDEC Standard: DDR2 SDRAM Specification," JESD79-2E (Revision of JESD79-2D), April 2008.

【非特許文献4】Takai, Y., et al., "250Mbyte/s Synchronous DRAM Using a 3-Stage Pipelined Architecture," IEEE Journal of Solid-State Circuits, 29(4): 426-431 (April 1994).

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0019】

このように、本発明は、現在の技術に関して説明した種々の不都合の少なくともあるものを緩和することを追求する。

#### 【課題を解決するための手段】

#### 【0020】

本発明によれば、(a)メモリコアと、(b)アドレス入力ポートとI/Oデータポートとの間に定められた読み取りパスと、(c)各段が複数の非同期制御信号の対応する1つによって制御される、前記読み取りパスに配置された複数のパイプライン段と、(d)前記非同期制御信号を発生するためのタイミング遅延素子と、(e)前記段の各々でデータをラッチするために、前記非同期制御信号に応答する前記複数のパイプライン段の各々に結合されるラッチであって、前記データが、前記システムクロックと無関係に各パイプライン段にラッチされる、ラッチと、を備えるパイプライン型SDRAMが提供

される。

【 0 0 2 1 】

本発明のさらなる面に従って、非同期制御信号はチップ内に生成され、そして異なった待ち時間段に最適化される。

【 0 0 2 2 】

本発明のさらなる面は、システムクロックに無関係の段を提供し、これによって、適切な再同期出力によって支援することが可能な任意の / C A S 待ち時間において読み取りデータパスの実行が可能になる。

【 0 0 2 3 】

本発明のさらなる面は、出力データをシステムクロックに同期させるための読み取りデータパスの端部に結合された同期回路を提供する。

10

【図面の簡単な説明】

【 0 0 2 4 】

本発明のより良い理解が、次の図面と関連して以下の詳細な説明を参考にして得られるであろう。

【図 1】 F I G . 1 A は、従来のクロック式パイプライン型メモリ回路の概略図である。

F I G . 1 B は、従来のウェーブパイプライン型メモリ回路の概略図である。

【図 2】 F I G . 2 A 及び F I G . 2 B は、それぞれ高速および低速クロック状態の下で走る C A S 待ち時間 = 3 の S D R A M のタイミング波形である。

【図 3】 F I G . 3 は、本発明の一般化した実施形態の概略図である。

20

【図 4】 F I G . 4 A は、 F I G . 3 の一般化した実施形態のより詳細な概略図である。

【図 5】 F I G . 4 B は、 F I G . 3 の一般化した実施形態のより詳細な概略図である。

【図 6】 F I G . 5 は、本発明の第 1 の実施形態によるタイミング波形図である。

【図 7】 F I G . 6 A は、本発明の実施形態によるパイプ制御回路の詳細な回路図である。

。

【図 8】 F I G . 6 A ' は、本発明の実施形態によるパイプ制御回路の詳細な回路図である。

【図 9】 F I G . 6 A " は、本発明の実施形態によるパイプ制御回路の詳細な回路図である。

【図 10】 F I G . 6 A ' ' ' は、本発明の実施形態によるパイプ制御回路の詳細な回路図である。

30

【図 11】 F I G . 6 B は、本発明の実施形態によるパイプ制御回路の詳細な回路図である。

【図 12】 F I G . 6 C は、本発明の実施形態によるパイプ制御回路の詳細な回路図である。

【図 13】 F I G . 7 A は、本発明の実施形態によるパイプラッチとデータ出力ラッチの詳細な回路図である。

【図 14】 F I G . 7 A ' は、本発明の実施形態によるパイプラッチとデータ出力ラッチの詳細な回路図である。

【図 15】 F I G . 7 A " は、本発明の実施形態によるパイプラッチとデータ出力ラッチの詳細な回路図である。

40

【図 16】 F I G . 7 B は、本発明の実施形態によるパイプラッチとデータ出力ラッチの詳細な回路図である。

【図 17】 F I G . 7 B ' は、本発明の実施形態によるパイプラッチとデータ出力ラッチの詳細な回路図である。

【図 18】 F I G . 7 C は、本発明の実施形態によるパイプラッチとデータ出力ラッチの詳細な回路図である。

【図 19】 F I G . 8 は、本発明の実施形態によるデータ出力制御回路の概略図である。

【発明を実施するための形態】

【 0 0 2 5 】

50



次の説明では、同様の数字は図の同様の要素を指し、そしてローにアサートした信号は対応する信号名に関連して、互いに置き換え可能な×または上線によって示される。次にFIG. 3を参照すると、本発明の一般化した実施形態によるパイプライン型半導体メモリの概略図が概して数字20によって示されている。メモリは、アドレス入力ポート25とデータ出力32との間に画定された、読み取りパス24を有するコアメモリアレイ22を含む。読み取りパス24は複数の待ち時間段27に分解され、その各々はそれぞれの非同期制御信号28によってラッチされる。同期回路30は、読み取りパスの出力32のシステムクロックCLKにデータを再同期するために、読み取りパスの最後の待ち時間段に結合される。データは、アドレス入力25にアドレス信号Aを加えた後に、すなわちシステムのCAS待ち時間に応じて、所定数のクロックサイクルだけシステムクロックCLKに同期される。各段がそれぞれの制御信号28によって制御される3つの主な待ち時間段への読み取りパス24の分割は、一般的に、本発明による非同期パイプライン装置を達成するためのクロック式およびウェーブパイプライン技術の組合わせを例示し、前記装置は従来のウェーブパイプラインよりも小さなスキューを示すが、クロック式パイプライン装置に必要とされるような各段の個々のクロックを調整する必要なしに、任意のCAS待ち時間による動作を可能にする。FIG. 3に関する説明は、以下に説明する詳細な回路の概略を示すために役立つ。

#### 【0026】

FIG. 4A及び4Bを参照すると、FIG. 3の一般化した実施形態の詳細な概略図が数字40によって示されている。FIG. 3の待ち時間段27は、アドレス入力ポート25でアドレス信号Aiを受信するためのアドレス入力ラッチ42を含み、その出力はアドレスプリデコーダラッチ44に結合され、次にこのラッチはカラムアドレスデコーダラッチ46に接続される。カラムアドレスデコーダラッチ46はアドレス信号をデコードし、そしてメモリセルアレイ22の選択メモリセル48に結合される。カラムアドレスデコーダ46は、選択メモリセル48から読み出されたデータを検出するために関連のセンス増幅器(図示せず)を作動する。センス増幅器の出力はローカルデータバスDBを介して本実施形態では32ビット幅の読み取りメイン増幅器ブロック50に結合される。読み取りメイン増幅器50の出力はグローバルデータバスGDBに結合される。マルチプレクサ52は、GDBをI/OデータバスIODBの上にマルチプレクスし、次にIODBは読み取りデータバス増幅器RDBAMPラッチブロック54に結合される。

#### 【0027】

FIG. 3の同期回路30は、図4及び図5(FIG. 4A及び4B)に示すパイプラッチ56と、出力バッファ58と、ブロック61によって示した制御回路とから構成される。より詳しくは、RDBAMPラッチからの出力は、以下に説明するように、3つのパイプ\_\_ラッチ、パイプ\_\_ラッチ0、パイプ\_\_ラッチ1およびパイプ\_\_ラッチ2の入力に選択的に結合される。パイプラッチからの出力は一緒に接続され、そして出力バッファ58の入力に結合される。

#### 【0028】

またメモリは、FIG. 4Aに示すようにシステムクロックCLKに結合されたクロック入力端子と、/RAS、/CAS、/CSのような命令信号を受信するための命令入力端子とを有する命令ラッチ回路62を含む。命令ラッチ62は第1の制御信号63を供給し、この信号は一連の制御ロジックと遅延素子T1からT4とを通して実行される。遅延素子T1、T2、T3、T4の各々はそれぞれの遅延制御信号を生成し、これらの信号は、プリデコーダラッチ44、Yデコーダ46、RMA50およびRDBAMPラッチ54の入力ラッチ端子にそれぞれ送られる。これらの信号は、これらの回路用の個々の非同期制御信号として機能する。他方、アドレスラッチ42のクロック入力システムクロック信号CLKから直接導かれる。

#### 【0029】

FIG. 4Bに示す複数のパイプラッチ、パイプ\_\_ラッチ0、パイプ\_\_ラッチ1およびパイプ\_\_ラッチ2の制御は、パイプラッチ制御回路61によって行われる。各パイプラッ

チは、そのラッチ入力イネーブル端子に結合されたそれぞれのパイブラッチイネーブル信号、ラッチ\_\_e n x ( 0 )、ラッチ\_\_e n x ( 1 )およびラッチ\_\_e n x ( 2 )によって駆動される。パイブラッチイネーブル信号は、3つのカウント信号C O U N Tを生成するパイプカウンタ64 ( F I G . 4 A )から導かれる。パイプカウンタは、パイブラッチの総数に基づきそのカウントをリセットするフリーランニングカウンタである。システムクロックによって設定されたクロックカウンタのプリセット数の後に、信号がパイプカウンタのクロック入力端子に結合される。パイプカウンタから出力されたC O U N T信号は、カウント遅延素子66を介してカウント同期ラッチ68 ( F I G . 4 B )に結合される。ラッチ68からの3つの出力は、適切なパイブラッチ56をクロックするためのパイブラッチイネーブル信号を供給する。ラッチ68のクロック入力イネーブル端子は、読み取りパスの待ち時間段の非同期制御信号に結合され、この場合、パイブラッチを確実に動作させるためのR D B A M P 5 4の信号I O D B \_\_R E A D Xが適切な時間にラッチされる。

【 0 0 3 0 】

代わりに、データI O D B \_\_R E A D Xとラッチ68のC N T \_\_D E L信号とのより正確な同期を次のように達成することができる。

【 0 0 3 1 】

カウント遅延回路66はマルチ遅延段に分割することができ、前記各段はY S GまたはY E X T R Dのような制御ロジックイネーブル信号を受信する。したがって、アドレス伝搬およびデータ検索とクロックカウンタ遅延との間のタイミング関係は、より密接に整合されるであろう。

【 0 0 3 2 】

さらに、F I G . 4 Aに示すようにパイプカウンタ64から出力されたC O U N Tは、パイブラッチ出力イネーブル信号Q E N \_\_R I S E Xを生成するためのパイプ遅延素子70に接続され、この素子はパイブラッチ56のそれぞれの出力イネーブル端子に接続されている。D L Lにより生成され、そしてシステムクロックC L KをわずかにリードするC L K \_\_I O信号は、パイプ遅延と出力バッファ58の出力イネーブル端子に結合される。D L L ( 遅延ロックループ ) は、C L K \_\_I Oが出力バッファをイネーブルし、データをシステムクロックエッジに適切に同期させるように保証する。

【 0 0 3 3 】

回路の動作は、F I G . 5に示したタイミング図を参考にして次のように説明される。システムクロック信号C L Kの時間t 0で、アドレスラッチ42は外部アドレス信号A iをラッチし、信号A iは次にプリデコーダラッチ44に伝搬することができ、このラッチ44は、遅延素子T 1によって設定された遅延T 1の後にアドレスをラッチする。これらのアドレス信号は、T 1とT 2分C L Kから遅れている信号Y S GによってYデコーダ46でラッチされデコードされる。この時、適切なカラムが作動され、そしてデータがメモリセル48からカラムセンス増幅器に読み出され、次に、T 1 + T 2 + T 3分C L Kから遅延されるI O R E A D信号によってR M A 5 0にラッチされる。その後すぐに、データはグローバルデータバスG D Bで利用可能である。R D B A M P 5 4は、D O U T E信号を供給するために、時間t 1で、T 4分I O R E A Dから遅れた信号I O D B \_\_R E A Dによってラッチすることが可能である。

【 0 0 3 4 】

一般的に上述のように、これらの非同期制御信号はパイプライン段を制御するために使用される。これらの信号は、データがラッチ ( 通常ラッチ増幅器 ) に読み取られる時を制御する。ラッチに読み取られると、データは次の段に向かって伝搬することができる。各制御信号は、前の待ち時間段からの制御信号を遅延することによって生成される。第1段は外部クロックC L Kによって開始される。次の段は、前の段からのデータを外部クロックから遅れた制御信号でラッチする。これらの遅延のうちのあるものは、読み取りが行われるべきかを制御するために使用される回路に固有のものであり、またあるものはタイミング遅延素子を使用して慎重に加えられるものであることが指摘できよう。これらの素子は、遅く動作するように設計され、そして追加の抵抗または容量素子を含むことが可能で

あるバッファから通常構成される。

#### 【 0 0 3 5 】

T 1 から T 4 の遅延は、外部クロックタイミングと無関係の特定のメモリに最適化することができる。これらのラッチの各々のための遅延は、これらのブロックの間の伝搬遅延に適應させるように選択される。このように、読み取りメイン増幅器ラッチに加えられるクロック信号は同期され、そしてメモリアレイ 2 2 の異なった領域から読み取りメイン増幅器 5 0 までのデータを検索する際の遅れに適應させるために、カラムデコーダラッチに加えられるクロック信号から遅延される。

#### 【 0 0 3 6 】

時間 t 1 に R D B A M P 5 4 に一旦ラッチされたデータは、従来のウェーブパイプラインと同じように、メモリの出力 3 2 でシステムクロック C L K に再同期しなければならない。これは次のように達成される。パイブラッチ 5 6 は、高速データまたは低速クロックの場合にデータの記憶を可能にする。一般的に、必要とされるラッチの数は支援すべき待ち時間段の数と等しい。読み取りが実行される毎に、C O U N T 信号 ( 1 つが F I G . 5 に示されている ) は、カウント遅延素子 6 6 によって非同期に遅延され、そして最後の段、この場合 / I O D B \_ R E A D 用の制御信号によってクロック同期ラッチ 6 8 にクロックされる。この時間遅延された C O U N T 信号は、R D B A M P 5 4 からのデータをラッチ 5 6 のどのラッチに記憶すべきかを決定する / L A T C H \_ E N X を生成する。さらに、C O U N T 信号もまた、チップがプログラミングされる現在の C A S 待ち時間によって決定されるような適切な数のクロックサイクル分遅延される。F I G . 5 の / Q E N \_ R I S E として示したようなこのクロック遅延された C O U N T 信号は、ラッチ 5 6 のいずれが、データを出力バッファ 5 8 に出力するようにその出力をイネーブルしたかを制御する。C O U N T が設定されると、カウント遅延回路 6 6 による遅延の後に、C N T \_ D E L 信号が発生され、この信号はクロック同期ラッチ 6 8 内で I O D B \_ R E A D X 信号と結合されて L A T C H \_ E N X 信号を生成する。Q E N \_ R I S E X に対するパイプ遅延回路の所定のクロック遅延がアサートされた後、ラッチからの出力が適切なクロックサイクルについてのデータを含むようになる。ラッチ 5 6 は F I F O レジスタとして機能し、ラッチ 5 6 の組の 1 つへの第 1 のデータ入力は、ラッチの組から出力される第 1 のデータである。

#### 【 0 0 3 7 】

上記の説明から、読み取りバスのラッチがバスを非同期パイプラインの待ち時間段に分割することがわかる。チップアーキテクチャと最大動作周波数はこれらの段の数と配置とを決定する。一般的に、より高い動作周波数は多数のより短いパイプライン段を必要とする。段のデータバスの数を 2 倍にする、およびデータバスの間で交互に替えるなどの他の技術を使用することができる。例えば、センス増幅器からの読み取り出力は 2 つのデータバスの間で交互に替えられる。これは M o s a i d の特許第 5 , 4 1 6 , 7 4 3 号に開示されている。段の配置は、概して増幅器またはバッファの位置によって指定され、この位置は、広範囲領域の不利益を生じることなくラッチに転換することが可能である。分かりやすくするため、前のおよび次の説明では、待ち時間段は、信号またはデータバスの遅延を導入する能力を有する任意の回路素子を指す。

#### 【 0 0 3 8 】

次に F I G . 6 から F I G . 8 を参照すると、F I G . 4 の一般化した実施例の詳細な形態が示されている。

#### 【 0 0 3 9 】

F I G . 6 A ~ 6 A ' ' ' を参照する。F I G . 6 A ~ 6 A ' ' ' は F I G . 6 A の左上にある配置図に示すように配置されることにより 1 つの回路図を形成する。F I G . 6 A のカウント遅延 9 2、9 4 は F I G . 4 A のカウント遅延 6 6 に対応する。F I G . 6 A ' 及び 6 A ' ' ' のパイプ遅延 0 ~ 2 は、F I G . 4 A のパイプ遅延 7 0 に対応する。F I G . 6 A ' ' のパイプカウンタ 9 0、クロック遅延、カウントデコーダ 1 0 2 は、F I G . 4 A のパイプカウンタ 6 4 に対応する。

## 【 0 0 4 0 】

F I G . 4 A 及び 4 B のパイプ制御回路 6 1 は F I G . 6 A ' ' のパイプカウンタ 9 0 ( この詳細な概略図が F I G . 6 B に示されている ) を含み、パイプカウンタ 9 0 はそのクロック入力端子 C L K の入力システムクロック周波数によって決定される 2 桁の 2 進カウント、C O U N T 0 と C O U N T 1 とを生成する。カウントラインの各々、C O U N T 1 と C O U N T 0 はそれぞれのカウント遅延素子 9 2 と 9 4 に接続している ( F I G . 6 A ) 。遅延カウント信号は、F I G . 6 A ' ' に示す 3 つのカウント遅延ライン 9 8 、C N T 0 \_ D E L 、C N T 1 \_ D E L 、C N T 2 \_ D E L の 1 つを作動するために入力 2 進カウントをデコードするカウントデコーダ 9 6 に接続している。これらの遅延カウントライン 9 8 の信号は F I G . 5 に示したように C O U N T 信号に対応する。F I G . 5 では、すべての要素は、3 つのパイプラッチは例外として、単純化のために 3 つのコンポーネントの 1 つのみと共に示している。遅延 C O U N T 信号 9 8 はそれぞれのクロックラッチ 1 0 0 の入力に結合され、その出力はバッファされ、そして F I G . 5 に参照されるそれぞれのラッチイネーブル信号、L A T C H \_ E N X ( 0 ) 、L A T C H \_ E N X ( 1 ) 、L A T C H \_ E N ( 2 ) を供給する。これらのラッチ 1 0 0 のクロック入力端子は、インバータを介して最後の待ち時間段からの / I O D B \_ R E A D 非同期制御信号に結合される。

10

## 【 0 0 4 1 】

F I G . 6 A ' ' に示すように、パイプカウンタ 9 0 もまた、出力が第 2 のデコーダ 1 0 2 に接続され、同様にそれぞれのカウント信号 C N T 0 、C N T 1 、C N T 2 を供給する。これらはそれぞれの F I G . 6 A ' ' に示すパイプ遅延要素 1 0 4 、F I G . 6 A ' ' ' に示すパイプ遅延要素 1 0 6 、1 0 8 に結合される。パイプ遅延回路装置の詳細な回路図が F I G . 6 C に示されている。パイプ遅延の出力は C L K \_ I O 信号によって制御され、R I S E X 信号を生成する。F I G . 6 C の R I S E X 信号は F I G . 6 A ' 及び 6 A ' ' ' の Q E N \_ R I S E X ( 0 ) ~ ( 2 ) 信号、F I G . 5 の Q E N \_ R I S E X 信号、及び F I G . 4 A の Q E N \_ R I S E X 信号に対応する。F I G . 4 A 及び 4 B から分かるように、Q E N \_ R I S E X 信号はパイプラッチ 5 6 の出力ラッチイネーブルに接続される。

20

## 【 0 0 4 2 】

再び F I G . 6 C を参照すると、パイプ遅延回路装置は F A L L X 信号も生成する。F A L L X 信号は F I G . 6 A ' 及び 6 A ' ' ' の Q E N \_ F A L L X ( 0 ) ~ ( 2 ) 信号に対応する。対応する / Q E N \_ F A L L 信号はシステムクロックの立ち下がりエッジのために生成され、一方 / Q E N \_ R I S E はシステムクロックの立ち上がりエッジに対応する。

30

## 【 0 0 4 3 】

F I G . 7 A ~ 7 A ' ' と F I G . 7 B ~ 7 B ' を参照する。F I G . 7 A ~ 7 A ' ' は F I G . 7 A の左下にある配置図に示すように配置されることにより 1 つの回路図を形成し、F I G . 4 B のパイプラッチ 5 6 の詳細な回路図を示す。F I G . 7 B ~ 7 B ' は F I G . 7 B の右上にある配置図に示すように配置されることにより 1 つの回路図を形成し、F I G . 4 B の出力バッファ回路 5 8 の詳細な概略図を示す。また、F I G . 4 B に示されるようにパイプラッチ 5 6 は出力バッファ 5 8 に結合される。この結合は、F I G . 7 A ' ' の各信号が F I G . 7 B の同様の名称を有する各信号に接続されることにより実現される。

40

## 【 0 0 4 4 】

F I G . 7 A から理解できるように、I O D B データバスからのデータビット ( I O D B N 、I O D B N X ) は R D B 増幅器 ( R D B A M P N ) 1 1 0 の入力を受信される。データがシステムクロックの立ち上がり立ち下がりエッジの両方でクロックされるというダブルデータ速度 ( D D R ) のために、2 つの R D B A M P ( 4 0 、1 1 0 ) がこの装置に示されている。

## 【 0 0 4 5 】

50

FIG. 7A' に示されるように、FIG. 7A の各 RDBAMP (40、110) に対応する 2 組のパイプラッチ 112、114 及び 116 と 118、120 及び 122 とが設けられる。図を簡略化するために FIG. 4B には、FIG. 4A のパイプ遅延 70 から QEN\_\_RISEX 信号を受けシステムクロックの立ち上がりエッジに応じて動作する 1 組のパイプラッチ、つまりパイプラッチ 0、1 及び 2 (56) のみが示されている。

#### 【0046】

FIG. 7A の RDBAMP (40、110) からの出力は、FIG. 7A' で OR 及び NOR ゲートを介して一連の 6 つのパイプラッチ 112 から 122 に接続される。DDR 装置のため、3 つの代わりに上述の 6 つのラッチ 112 ~ 122 が必要である。FIG. 7A' のパイプラッチ 112 から 122 は、FIG. 6A ~ 6A' の回路から導かれるそれぞれのラッチイネーブル信号 LATCH\_\_ENX (2) ~ (0) を入力として受信する (FIG. 7A)。これは、FIG. 4A 及び 4B のパイプカウンタ 64、カウント遅延 66 及びカウント同期ラッチ 68 により生成された LATCH\_\_ENX 信号が FIG. 4B のパイプラッチ 56 へ入力されることに対応する。

#### 【0047】

FIG. 6A' 及び 6A' の各パイプ遅延 0 ~ 2 (104 ~ 108) が FIG. 6C に詳細に示されたようにシステムクロックの立ち上がりに対応する RISEX (FIG. 6A' 及び A' の QEN\_\_RISEX (0) ~ (2)) を生成し、FIG. 7A 及び 7A' に示すパイプラッチ 112 ~ 116 をシステムクロックの立ち上がりに応じて動作させる。また、各パイプ遅延 0 ~ 2 (104 ~ 108) はシステムクロックの立ち下がりに対応する FALLX (FIG. 6A' 及び A' の QEN\_\_FALLX (0) ~ (2)) も生成し、パイプラッチ 118 ~ 122 をシステムクロックの立ち下がりに応じて動作させる。

#### 【0048】

上部の 3 つのパイプラッチ 112 から 116 の出力は、FIG. 7A' で 3OR2N AND ゲート 124 の入力に接続される。同様に、下部の 3 つのラッチ 118 から 122 の出力は、3OR2N AND ゲート 126 に接続される。

#### 【0049】

/QEN\_\_RISE 信号 (FIG. 7A の QEN\_\_RISEX (2:0)) は、FIG. 7A' で 3OR2N AND ゲート 124 の入力に接続され、この出力は、イネーブルされた時、データを FIG. 7B に示した出力バッファの DOUT\_\_RISE、DOUT\_\_RISEX 入力に結合する。FIG. 7A から理解できるように、システムクロック制御信号 EDGE は、データを上部の 3 つまたは下部の 3 つのラッチに導くために設けられ、これもまた DDR の特徴である。また、データパスの速度に対して速いシステムクロックのために、3OR2N AND ゲート 124 または 126 はすでにオンになり、よってパイプラッチから出力バッファまでのデータの通過を可能にする。代わりに低速クロックの場合、システムはデータを受信し、そしてクロックを待ち、よって 3OR2N AND ゲート 124 または 126 を利用する。

#### 【0050】

FIG. 7B に戻ると、FIG. 4B に示したようなデータ出力バッファ 58 はデータ出力ラッチ 130 から 136 を備える。データ出力ラッチ 130 から 136 の入力イネーブル端子は、正しいシステムクロックエッジに同期するための CLK\_\_IO 信号に結合される。システムクロックの立ち上がりに応じてパイプラッチ 112 ~ 116 から出力されたデータ DOUT\_\_RISEX、DOUT\_\_RISE (FIG. 7A' ) は、FIG. 7B でそれぞれデータ出力ラッチ 130、132 に入力され、CLK\_\_IO 信号から得られた CLK\_\_BUF に応じてデータ出力ラッチ 130、132 によりラッチされる。また、システムクロックの立ち下がりに応じてパイプラッチ 118 ~ 122 から出力されたデータ DOUT\_\_FALLX、DOUT\_\_FALL (FIG. 7A' ) は、FIG. 7B でそれぞれデータ出力ラッチ 134、136 に入力され、CLK\_\_IO 信号から得られた CLK\_\_BUF に応じてデータ出力ラッチ 134、136 によりラッチされる。パイプ

10

20

30

40

50

ラッチ 1 1 2 から 1 2 2 の詳細な回路装置が F I G . 7 C に示されている。

【 0 0 5 1 】

このように、本発明の実施形態はダブルデータ速度 ( D D R ) システムにも適用することができる。

【 産業上の利用可能性 】

【 0 0 5 2 】

本発明は、高速および低速システムクロックの両方を容易に適応させることができるパイプライン型半導体メモリを実現するための柔軟な方法を提供することがわかる。さらに、柔軟な設計により、内部信号のより精密な整合のために読み取りパスのさらなる分割が可能になる。さらに、種々の C A S 待ち時間は、パイプ遅延素子 7 0 からの出力を単純に遅延して、データをクロックアウトする前に特定数のクロックサイクルを待つことによって適応可能である。

10

【 0 0 5 3 】

特定の実施形態を参考にして本発明について説明してきたが、ここに添付した請求項で記述したように、本発明の精神と範囲から逸脱することなしにその種々の修正が当業者には明白であろう。

【 符号の説明 】

【 0 0 5 4 】

2 0   メモリ

2 2   コアメモリアレイ

2 4   読み取りパス

2 7   待ち時間段

2 8   非同期制御信号

3 0   同期回路

3 2   出力

4 2   アドレス入力ラッチ

4 4   アドレスプリデコーダラッチ

4 6   カラムアドレスデコーダ

4 8   選択メモリセル

5 0   読み取りメイン増幅器ブロック

5 2   マルチプレクサ

5 4   読み取りデータバス増幅器 ( R D B A M P ) ラッチブロック

5 6   パイブラッチ

5 8   出力バッファ

6 1   パイプ制御回路

6 2   命令ラッチ回路

6 6   カウント遅延素子

6 4   パイプカウンタ

7 0   パイプ遅延素子

9 0   パイプカウンタ

9 2 、 9 4   カウント遅延素子

9 6   カウントデコーダ

9 8   カウント遅延ライン

1 0 0   クロックラッチ

1 0 2   デコーダ

1 0 4 、 1 0 6 、 1 0 8   パイプ遅延要素

4 0 、 1 1 0   R D B A M P

1 1 2 、 1 1 4 、 1 1 6 、 1 1 8 、 1 2 0 、 1 2 2   パイブラッチ

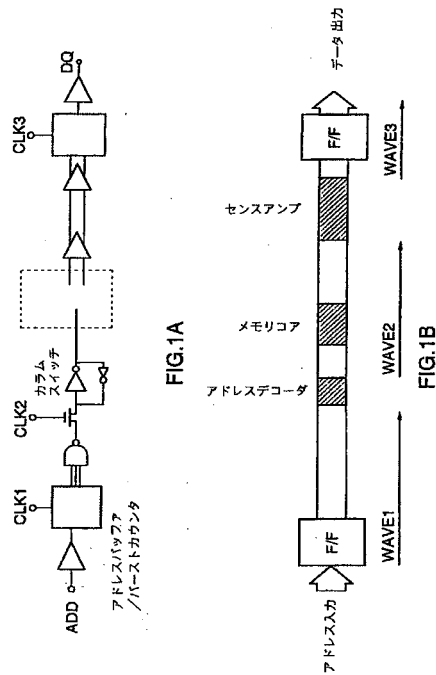
1 3 0 、 1 3 2 、 1 3 4 、 1 3 6   データ出力ラッチ

20

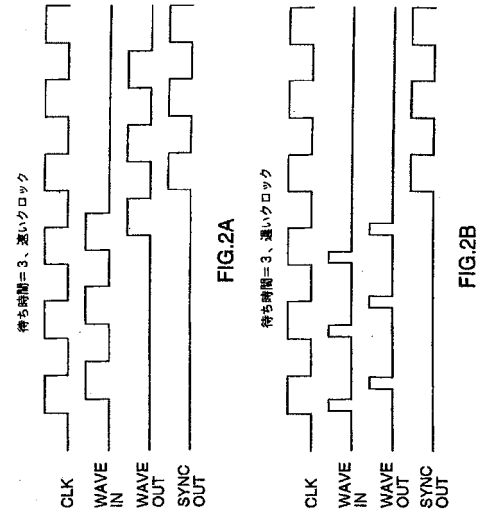
30

40

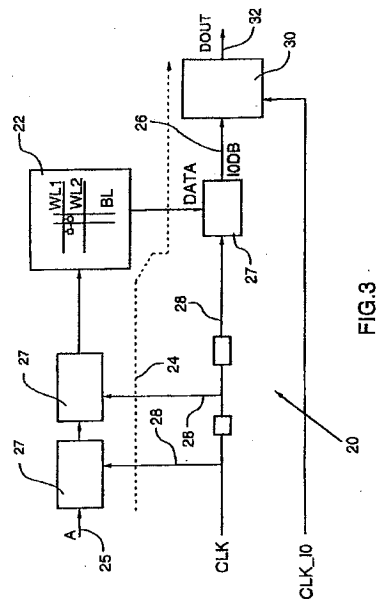
【図 1】



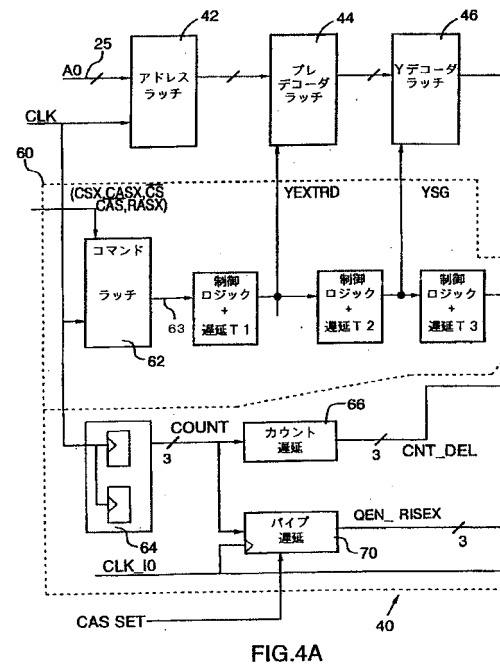
【図 2】



【図 3】



【図 4】



【 図 5 】

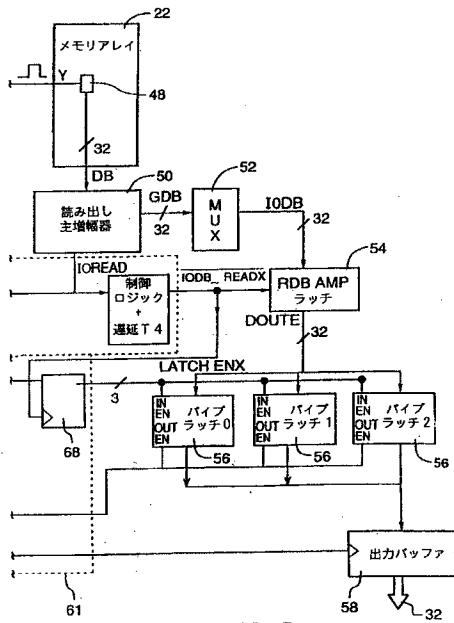


FIG.4B

【 図 6 】

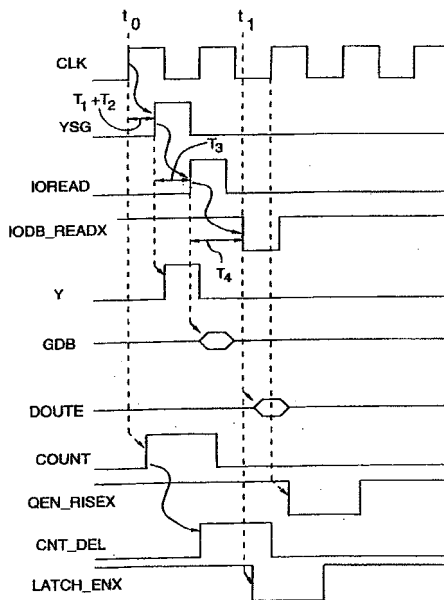


FIG.5

【圖 7】

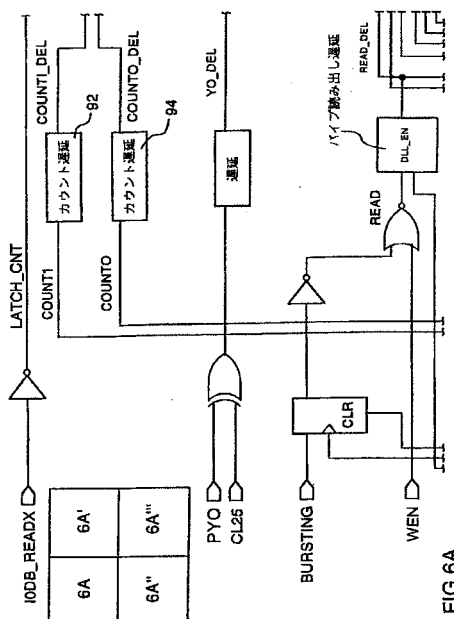


FIG. 6A

【 図 8 】

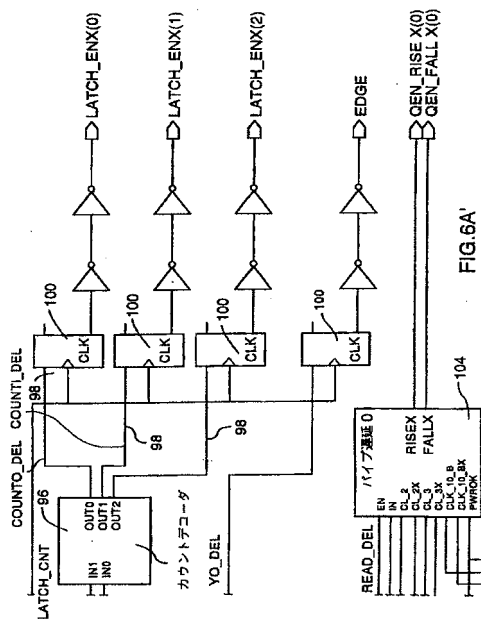
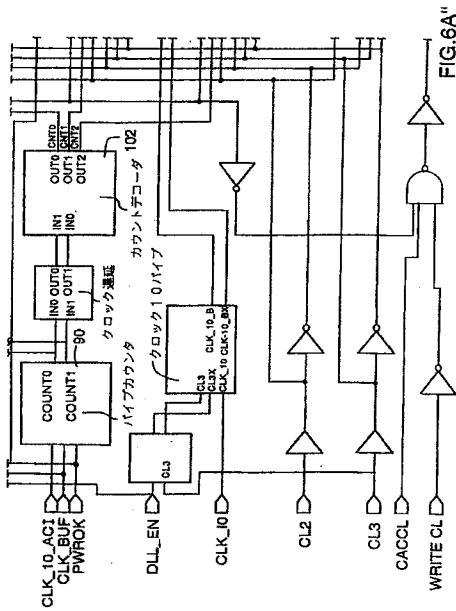


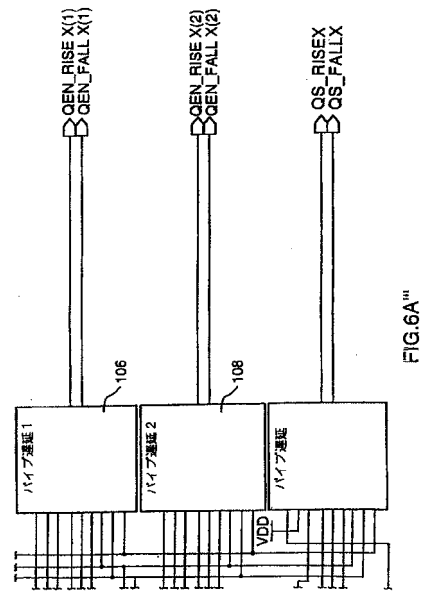
FIG. 6A'



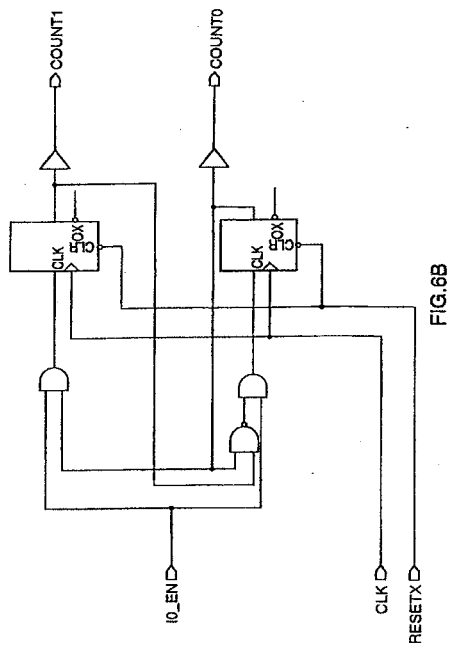
【 図 9 】



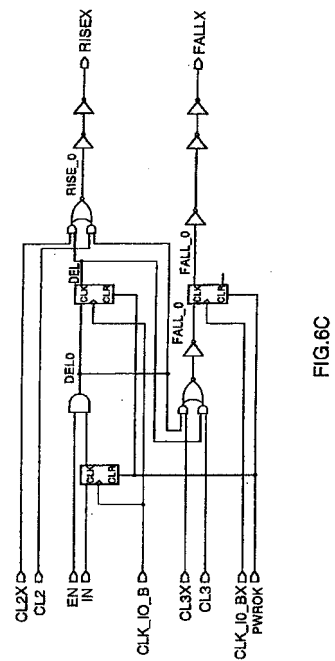
【 図 1 0 】



【 図 1 1 】



【 図 1 2 】



【図 13】

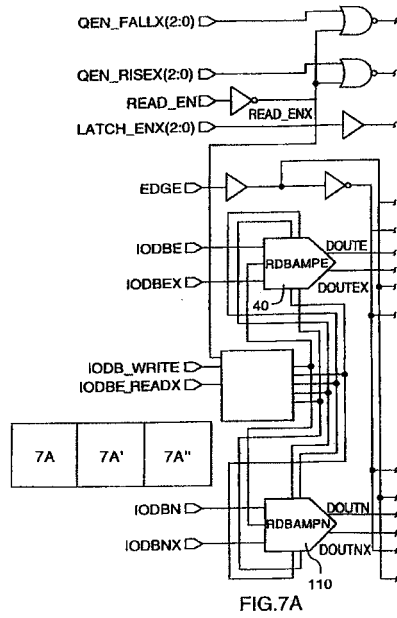


FIG. 7A

【図 14】

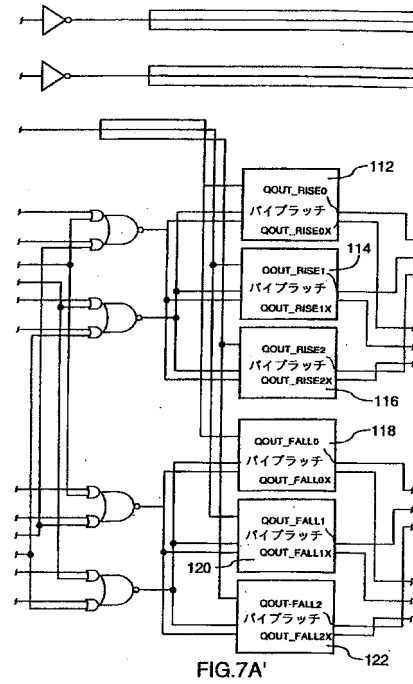


FIG. 7A'

【図 15】

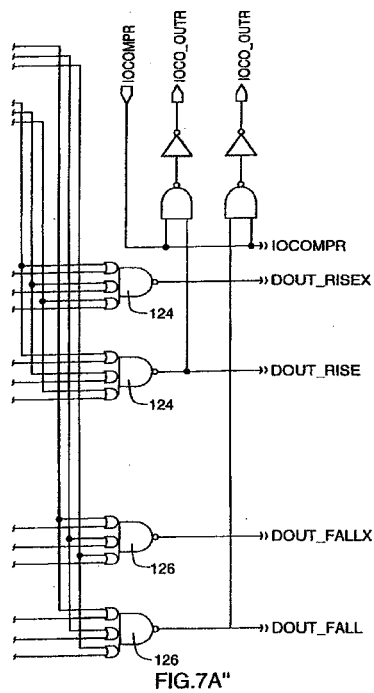


FIG. 7A''

【図 16】

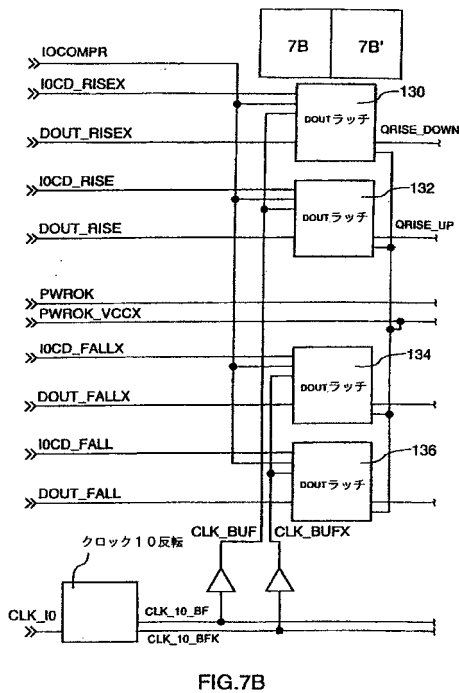
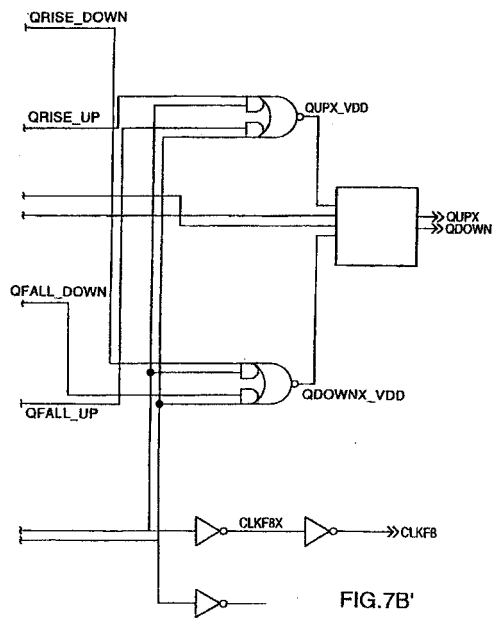
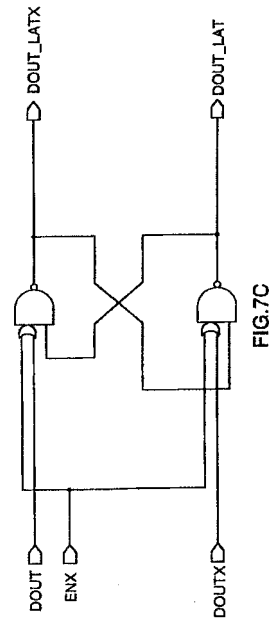


FIG. 7B

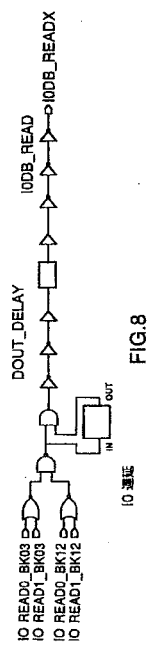
【図 17】



【図 18】



【図 19】



---

フロントページの続き

(72)発明者 メス、イアン

カナダ国 ケイ 2 ジー 6 エス 7、オンタリオ、ネピアン、エイボンモアクレセント 2 4

審査官 堀田 和義

(56)参考文献 特開平 9 - 1 0 6 6 7 1 ( J P , A )

特開平 9 - 9 1 9 5 5 ( J P , A )

特開平 1 1 - 1 7 6 1 5 8 ( J P , A )

佐伯他, 2.5ns Clock Access 250MHz 256MSDRAM, 信学技報, Vol.96/No.225(SDM96 67-76), 21-28

(58)調査した分野(Int.Cl., D B 名)

G 1 1 C 1 1 / 4 0 7