

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5134264号
(P5134264)

(45) 発行日 平成25年1月30日 (2013. 1. 30)

(24) 登録日 平成24年11月16日 (2012. 11. 16)

(51) Int. Cl.

F I

G 0 9 G 3 / 2 9 1 (2013. 01)

G 0 9 G 3 / 2 0 (2006. 01)

H 0 1 J 1 1 / 1 0 (2012. 01)

G 0 9 G 3 / 2 8 H

G 0 9 G 3 / 2 0 6 4 1 E

G 0 9 G 3 / 2 0 6 1 2 U

G 0 9 G 3 / 2 0 6 2 4 L

G 0 9 G 3 / 2 0 6 2 4 M

請求項の数 4 (全 50 頁) 最終頁に続く

(21) 出願番号 特願2007-52773 (P2007-52773)
(22) 出願日 平成19年3月2日 (2007. 3. 2)
(65) 公開番号 特開2008-216556 (P2008-216556A)
(43) 公開日 平成20年9月18日 (2008. 9. 18)
審査請求日 平成22年1月22日 (2010. 1. 22)

(73) 特許権者 000005821
パナソニック株式会社
大阪府門真市大字門真1006番地
(74) 代理人 110001025
特許業務法人藤村合同特許事務所
(72) 発明者 板倉 俊輔
山梨県中央市西花輪2680番地 パイオ
ニア株式会社内
(72) 発明者 石塚 光洋
山梨県中央市西花輪2680番地 パイオ
ニア株式会社内
(72) 発明者 矢作 和男
山梨県中央市西花輪2680番地 パイオ
ニア株式会社内

最終頁に続く

(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法

(57) 【特許請求の範囲】

【請求項1】

各画素を担う複数の放電セルがマトリクス状に配列されたプラズマディスプレイパネルを、入力映像信号の各フィールドを構成する複数のサブフィールド毎に駆動して階調表示を行うプラズマディスプレイパネルの駆動方法であって、

前記サブフィールド各々は、前記入力映像信号に基づき前記放電セル各々を点灯モード及び消去モードの内的一方に設定するアドレス行程と、前記点灯モードに設定されている放電セルのみを前記サブフィールドの輝度重みに対応した期間に亘り発光させるサスティン行程と、からなり、

互いに時間的に隣接する2つのフィールド毎に、時間的に前方のフィールドを第1フィールド、当該第1フィールドに後続するフィールドを第2フィールドとし、

前記入力映像信号に基づき、行方向及び列方向において互いに隣接する複数の放電セルからなるブロック毎に、そのブロック内の全ての放電セルが前記第1フィールドで黒表示となり且つ前記第2フィールドで当該ブロック内から黒以外の輝度を表す表示状態に切り替わる放電セルを点灯遷移セルとして検出し、

前記点灯遷移セルを検出した場合には、前記第1フィールドにおいて前記入力映像信号によって示される輝度レベルに拘わらず前記点灯遷移セルを前記サブフィールド各々の内の所定のサブフィールドの前記アドレス行程のみで強制的に前記点灯モードに設定する第1強制点灯駆動、又は、前記第2フィールドにおいて前記入力映像信号によって示される輝度レベルに拘わらず前記点灯遷移セルに隣接する隣接放電セルを前記所定のサブフィー

10

20

ルドの前記アドレス行程のみで強制的に前記点灯モードに設定する第2強制点灯駆動の内の少なくとも一方を実行することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】

前記所定のサブフィールドは他の前記サブフィールド各々内において比較的輝度重みが小なるサブフィールドであることを特徴とする請求項1に記載のプラズマディスプレイパネルの駆動方法。

【請求項3】

前記第1強制点灯駆動では、前記点灯遷移セルと共に前記隣接放電セルも前記所定のサブフィールドのみで強制的に前記点灯モードに設定することを特徴とする請求項1に記載のプラズマディスプレイパネルの駆動方法。

10

【請求項4】

前記入力映像信号に基づき前記第1フィールドにおいて前記点灯遷移セルを発光させるべき輝度レベルを検出し、当該輝度レベルに応じて前記第1強制点灯駆動又は前記第2強制点灯駆動の対象とすべき前記隣接放電セルの数を設定することを特徴とする請求項1に記載のプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入力映像信号に応じてプラズマディスプレイパネルを駆動する駆動方法に関する。

20

【背景技術】

【0002】

現在、薄型で大画面の表示デバイスとして、画素に対応した放電セルがマトリクス状に配列されているプラズマディスプレイパネル（以下、PDPと称する）を搭載したプラズマディスプレイ装置が製品化されている。

【0003】

又、各放電セル内において電極を被覆すべく設けられている酸化マグネシウム層内に、電子線照射によって200～300nmにピークを有するCL発光を為す気相酸化マグネシウム単結晶を含ませることにより、放電確率を高めるようにしたPDPが提案されている（例えば、特許文献1参照）。このようなPDPによれば、放電遅れが大幅に短縮されるので、微弱な放電を短時間に安定して生起させることが可能となる。よって、表示画像には関与しない放電に伴う発光を抑制させて、暗い画像を表示している際のコントラスト、いわゆる暗コントラストを向上させることが可能となる。

30

【0004】

ところが、表示画像には関与しない放電として、放電セルの状態を初期化すべく全放電セルにおいて一斉に生起されるリセット放電が存在する為、暗コントラストを大幅に向上させることはできなかった。

【0005】

そこで、リセット放電を生起させずにPDPを駆動する駆動方法が提案された（例えば、特許文献2参照）。

40

【0006】

しかしながら、リセット放電を生起させておかないと、その後の各種放電が安定して生起されなくなり、放電ミスが発生する可能性が高まるという問題が生じた。

【特許文献1】特開2006-54160号公報

【特許文献2】特開2001-312244号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は、かかる問題を解決すべく為されたものであり、放電ミスを生じさせることなく暗コントラストを向上させることが可能なプラズマディスプレイパネルの駆動方法を提

50

供することを目的とする。

【課題を解決するための手段】

【0008】

請求項1記載によるプラズマディスプレイパネルの駆動方法は、各画素を担う複数の放電セルがマトリクス状に配列されたプラズマディスプレイパネルを、入力映像信号の各フィールドを構成する複数のサブフィールド毎に駆動して階調表示を行うプラズマディスプレイパネルの駆動方法であって、前記サブフィールド各々は、前記入力映像信号に基づき前記放電セル各々を点灯モード及び消去モードの内の一方に設定するアドレス行程と、前記点灯モードに設定されている放電セルのみを前記サブフィールドの輝度重みに対応した期間に亘り発光させるサスティン行程と、からなり、互いに時間的に隣接する2つのフィールド毎に、時間的に前方のフィールドを第1フィールド、当該第1フィールドに後続するフィールドを第2フィールドとし、前記入力映像信号に基づき、行方向及び列方向において互いに隣接する複数の放電セルからなるブロック毎に、そのブロック内の全ての放電セルが前記第1フィールドで黒表示となり且つ前記第2フィールドで当該ブロック内から黒以外の輝度を表す表示状態に切り替わる放電セルを点灯遷移セルとして検出し、前記点灯遷移セルを検出した場合には、前記第1フィールドにおいて前記入力映像信号によって示される輝度レベルに拘わらず前記点灯遷移セルを前記サブフィールド各々の内の所定のサブフィールドの前記アドレス行程のみで強制的に前記点灯モードに設定する第1強制点灯駆動、又は、前記第2フィールドにおいて前記入力映像信号によって示される輝度レベルに拘わらず前記点灯遷移セルに隣接する隣接放電セルを前記所定のサブフィールドの前記アドレス行程のみで強制的に前記点灯モードに設定する第2強制点灯駆動の内の少なくとも一方を実行する。

【発明を実施するための最良の形態】

【0011】

互いに時間的に隣接する第1及び第2フィールドの内の第1フィールドで黒表示状態となり且つ第2フィールドで黒以外の輝度を表す表示状態に切り替わる放電セルを点灯遷移セルとして検出した場合に、以下の如き第1及び第2強制点灯駆動の内の少なくとも一方を実行する。第1強制点灯駆動では、上記第1フィールドにおいて、上記点灯遷移セルを、各フィールド内の所定のサブフィールドのアドレス行程のみで強制的に点灯モードに設定する。一方、第2強制点灯駆動では、上記第2フィールドにおいて、上記点灯遷移セルに隣接する隣接放電セルを、上記の如き所定のサブフィールドのアドレス行程のみで強制的に点灯モードに設定する。

【0012】

これら第1又第2強制点灯駆動によれば、荷電粒子不足が予測される放電セル、つまり連続する2つのフィールド間で黒表示状態から黒以外の輝度を表す表示状態に切り替わる放電セル内には、かかる強制点灯駆動によって強制的に生起されたサスティン放電に伴い荷電粒子が形成されるようになる。つまり、各放電セルにおいて荷電粒子不足となる上記の如き表示形態の遷移が生じた際にも、リセット放電に頼ることなく荷電粒子を形成させることが可能となる。よって、暗コントラスト向上を図るべくリセット放電を弱めた場合にも、その表示形態に拘わらずに、放電ミスを生じさせることなく放電セルを駆動することができるようになる。

【実施例1】

【0013】

以下、本発明の実施例を図面を参照しつつ詳細に説明する。

【0014】

図1は、本発明によるプラズマディスプレイ装置の概略構成を示す図である。

【0015】

図1に示すように、かかるプラズマディスプレイ装置は、A/D変換器1、画素駆動データ生成回路2、強制点灯処理回路3、メモリ4、PDP50、X電極ドライバ51、Y電極ドライバ53、アドレスドライバ55、及び駆動制御回路56から構成される。

【0016】

A/D変換器1は、入力映像信号をサンプリングしてこれを各画素に対応した例えば8ビットの画素データPDに変換して、画素駆動データ生成回路2及び強制点灯処理回路3の各々に供給する。

【0017】

画素駆動データ生成回路2は、まず、各画素毎の画素データPD各々に対して誤差拡散処理及びディザ処理からなる多階調化処理を施す。例えば、誤差拡散処理において画素駆動データ生成回路2は、画素データの上位6ビット分を表示データ、残りの下位2ビット分を誤差データとし、周辺画素各々に対応した画素データにおける誤差データを重み付け加算したものを、上記表示データに反映させることにより6ビットの誤差拡散処理画素データを得る。かかる誤差拡散処理によれば、原画素における下位2ビット分の輝度が周辺画素によって擬似的に表現され、それ故に8ビットよりも少ない6ビット分の表示データにて、上記8ビット分の画素データと同等の輝度階調表現が可能になる。そして、画素駆動データ生成回路2は、この誤差拡散処理によって得られた6ビットの誤差拡散処理画素データに対してディザ処理を施す。ディザ処理では、互いに隣接する複数の画素を1画素単位とし、この1画素単位内の各画素に対応した上記誤差拡散処理画素データに夫々、互いに異なる係数値からなるディザ係数を夫々割り当てて加算することによりディザ加算画素データを得る。かかるディザ係数の加算によれば、上記の如き画素単位で眺めた場合には、ディザ加算画素データの上位4ビット分だけでも8ビットに相当する輝度を表現することが可能となる。そこで、画素駆動データ生成回路2は、上記ディザ加算画素データの上位4ビット分を、図7に示す如き、全輝度レベルを15段階（第1～第15階調）にて表す4ビットの多階調化画素データPD_sに変換する。そして、画素駆動データ生成回路2は、かかる多階調化画素データPD_sを図7に示す如きデータ変換テーブルに従って14ビットの画素駆動データGDに変換して、強制点灯処理回路3に供給する。尚、画素駆動データGDの各ビットの論理レベルは、そのビット桁に対応したサブフィールドにおいてアドレス放電（後述する）を生起させるか否かを示す。例えば、論理レベル1である場合にはアドレス放電を生起させる一方、論理レベル0である場合にはそのビット桁に対応したサブフィールドではアドレス放電を生起させない。

【0018】

強制点灯処理回路3は、各画素毎の画素駆動データGD各々に対して強制点灯処理（後述する）を施して得られた画素駆動データGGDをメモリ4に供給する。尚、画素駆動データGGDも、図7に示す如く、14ビットの画素駆動データGDによる各階調毎のデータパターンと同一のデータパターン（14ビット）を有する。

【0019】

メモリ4は、上記画素駆動データGGDを順次書き込む。ここで、1画面分、つまり第1行・第1列～第n行・第m列の各画素に対応した(n×m)個分の画素駆動データGGD_{(1,1)～GGD_(n,m)}の書き込みが終了すると、メモリ4は、以下の如き読み出し動作を行う。

【0020】

まず、メモリ4は、画素駆動データGGD_{(1,1)～GGD_(n,m)}各々の第1ビット目を画素駆動データビットDB_{(1,1)～RDB_(n,m)}と捉え、これらを後述するサブフィールドSF1において1表示ライン分ずつ読み出してアドレスドライバ55に供給する。次に、メモリ4は、画素駆動データGGD_{(1,1)～GGD_(n,m)}各々の第2ビット目を画素駆動データビットDB_{(1,1)～DB_(n,m)}と捉え、これらを後述するサブフィールドSF2において1表示ライン分ずつ読み出してアドレスドライバ55に供給する。以下、同様にして、メモリ4は、画素駆動データGGD_{(1,1)～GGD_(n,m)}各々の各ビットを同一ビット桁同士にて分離して読み出し、そのビット桁に対応したサブフィールドにおいて、夫々を画素駆動データビットDB_{(1,1)～DB_(n,m)}としてアドレスドライバ55に供給する。

【0021】

プラズマディスプレイパネルとしてのPDP50には、2次元表示画面の縦方向（垂直

10

20

30

40

50

方向)に夫々伸張して配列された列電極 $D_1 \sim D_m$ 、横方向(水平方向)に夫々伸張して配列された行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ が形成されている。この際、互いに隣接するもの同士で対を為す行電極対 (Y_1, X_1) 、 (Y_2, X_2) 、 (Y_3, X_3) 、 $\dots$ 、 (Y_n, X_n) が夫々、PDP50における第1表示ライン～第n表示ラインを担う。各表示ラインと列電極 $D_1 \sim D_m$ 各々との交叉部(図1中の一点鎖線にて囲まれた領域)には、画素を担う放電セル(表示セル)PCが形成されている。すなわち、PDP50には、第1表示ラインに属する放電セル $PC_{1,1} \sim PC_{1,m}$ 、第2表示ラインに属する放電セル $PC_{2,1} \sim PC_{2,m}$ 、 $\dots$ 、第n表示ラインに属する放電セル $PC_{n,1} \sim PC_{n,m}$ の各々がマトリクス状に配列されているのである。この際、放電セル $PC_{(1,1)} \sim PC_{(n,m)}$ の中で、第 $(3t-2)$ 列($t: 1 \sim m/3$ なる整数)に属する放電セル、つまり、第1列、第4列、第7列、 $\dots$ 、第 $(m-2)$ 列に属する放電セルPCは、赤色画素に対応したものである。又、第 $(3t-1)$ 列($t: 1 \sim m/3$ なる整数)に属する放電セル、つまり、第2列、第5列、第8列、 $\dots$ 、第 $(m-1)$ 列に属する放電セルPCは、緑色画素に対応したものである。又、第 $(3t)$ 列($t: 1 \sim m/3$ なる整数)に属する放電セル、つまり、第3列、第6列、第9列、 $\dots$ 、第m列に属する放電セルPCは、青色画素に対応したものである。

【0022】

図2は、表示面側から眺めたPDP50の内部構造を模式的に示す正面図である。尚、図2においては、夫々隣接する3つの列電極Dと、互いに隣接する2つの表示ラインとの各交叉部を抜粋して示すものである。又、図3は、図2のV-V線におけるPDP50の断面を示す図であり、図4は、図2のW-W線におけるPDP50の断面を示す図である。

【0023】

図2に示すように、各行電極Xは、2次元表示画面の水平方向に伸張するバス電極Xbと、かかるバス電極Xb上の各放電セルPCに対応した位置に夫々接触して設けられたT字形状の透明電極Xaと、から構成される。各行電極Yは、2次元表示画面の水平方向に伸張するバス電極Ybと、かかるバス電極Yb上の各放電セルPCに対応した位置に夫々接触して設けられたT字形状の透明電極Yaと、から構成される。透明電極Xa及びYaは例えばITO等の透明導電膜からなり、バス電極Xb及びYbは例えば金属膜からなる。透明電極Xa及バス電極Xbからなる行電極X、並びに透明電極Ya及バス電極Ybからなる行電極Yは、図3に示す如く、その前面側がPDP50の表示面となる前面透明基板10の背面側に形成されている。この際、各行電極対(X、Y)における透明電極Xa及びYaは、互いに対となる相手の行電極側に伸張しており、その幅広部の頂辺同士が所定幅の放電ギャップg1を介して互いに対向している。又、前面透明基板10の背面側には、行電極対(X、Y)とこの行電極対に隣接する行電極対(X、Y)との間に、2次元表示画面の水平方向に伸張する黒色または暗色の光吸収層(遮光層)11が形成されている。さらに、前面透明基板10の背面側には、行電極対(X、Y)を被覆するように誘電体層12が形成されている。この誘電体層12の背面側(行電極対が接触する面とは反対側の面)には、図3に示す如く、光吸収層11とこの光吸収層11に隣接するバス電極Xb及びYbとが形成されている領域に対応した部分に、嵩上げ誘電体層12Aが形成されている。

【0024】

誘電体層12及び嵩上げ誘電体層12Aの表面上には、酸化マグネシウム層13が形成されている。

【0025】

酸化マグネシウム層13は、電子線の照射によって励起されて波長200～300nm内、特に、230～250nm内にピークを有するCL(カソードルミネッセンス)発光を行う二次電子放出材としての酸化マグネシウム結晶体(以下、CL発光MgO結晶体と称する)を含む。このCL発光MgO結晶体は、マグネシウムを加熱して発生するマグネシウム蒸気を気相酸化して得られるものであり、例えば立方体の結晶体が互いに嵌り込ん

10

20

30

40

50

だ多重結晶構造、あるいは立方体の単結晶構造を有する。C L 発光M g O 結晶体の平均粒径は、2 0 0 0 オングストローム以上（B E T 法による測定結果）である。ここで、平均粒径が2 0 0 0 オングストローム以上の大きな粒径の気相法酸化マグネシウム単結晶体を形成しようとする場合には、マグネシウム蒸気を発生させる際の加熱温度を高くする必要がある。このため、マグネシウムと酸素が反応する火炎の長さが長くなり、この火炎と周囲との温度差が大きくなることによって、粒径の大きい気相法酸化マグネシウム単結晶体ほど、上述した如きC L 発光のピーク波長（例えば、2 3 5 n m 付近、2 3 0 ~ 2 5 0 n m 内）に対応したエネルギー準位を有するものが多く形成されることになる。また、一般的な気相酸化法に比べ、単位時間あたりに蒸発させるマグネシウムの量を増加させてマグネシウムと酸素との反応領域をより増大させ、より多くの酸素と反応することによって生成された気相法酸化マグネシウム単結晶体は、上述したC L 発光のピーク波長に対応したエネルギー準位を有するものとなる。

10

【0 0 2 6】

このようなC L 発光M g O 結晶体は、2 3 5 n m に対応したエネルギー準位を有することにより、電子を長時間に亘り（数msec）捕捉し、この電子を選択放電時の電界の印加によって放出させることで放電に必要な初期電子を迅速に取得していると推測される。よって、かかるC L 発光M g O 結晶体が図3に示す如き酸化マグネシウム層1 3に含まれていると、放電空間S内には放電を生起させるのに必要十分な量の電子が常時存在することになり、放電空間S内での放電確率が著しく高くなる。

20

【0 0 2 7】

図6は、放電セルP C内に酸化マグネシウム層を設けなかった場合、従来の蒸着法によって酸化マグネシウム層を形成させた場合、C L 発光M g O 結晶体を含む酸化マグネシウム層を設けた場合各々での放電確率を夫々示す図である。

【0 0 2 8】

尚、図6中において横軸は放電の休止時間、つまり放電が生起されてから次の放電が生起されるまでの時間間隔を表すものである。図6に示すように、放電セルP C内に、C L 発光M g O 結晶体を含む酸化マグネシウム層1 3を設けると、従来の蒸着法によって酸化マグネシウム層を形成させた場合に比して放電確率が高まる。この際、C L 発光M g O 結晶体としては、電子線を照射した際のC L 発光、特に2 3 5 n m にピークを有するC L 発光の強度が大なるものほど、放電空間S内において生起される放電遅れを短縮させることができる。

30

【0 0 2 9】

このようなC L 発光M g O 結晶体を、スプレー法や静電塗布法等によって、誘電体層1 2の表面に付着させることにより酸化マグネシウム層1 3が形成されている。尚、誘電体層1 2の表面に蒸着又はスパッタ法により薄膜酸化マグネシウム層を形成し、その上にC L 発光M g O 結晶体を付着させて酸化マグネシウム層1 3を形成するようにしても良い。

【0 0 3 0】

前面透明基板1 0と平行に配置された背面基板1 4上には、各行電極対（X，Y）における透明電極X a及びY aに対向する位置において、列電極Dの各々が行電極対（X，Y）と直交する方向に伸張して形成されている。背面基板1 4上には、更に列電極Dを被覆する白色の列電極保護層1 5が形成されている。この列電極保護層1 5上には隔壁1 6が形成されている。隔壁1 6は、各行電極対（X，Y）のバス電極X b及びY bに対応した位置において夫々2次元表示画面の横方向に伸張している横壁1 6 Aと、互いに隣接する列電極D間の各中間位置において2次元表示画面の縦方向に伸張している縦壁1 6 Bとによって梯子形状に形成されている。更に、図2に示す如き梯子形状の隔壁1 6がP D P 5 0の各表示ライン毎に形成されている。互いに隣接する隔壁1 6の間には、図2に示す如き隙間S Lが存在する。又、梯子状の隔壁1 6により、夫々独立した放電空間S、透明電極X a及びY aを含む放電セルP Cが区画されている。放電空間S内には、キセノンガスを含む放電ガスが封入されている。各放電セルP C内における横壁1 6 Aの側面、縦壁1 6 Bの側面、及び列電極保護層1 5の表面には、これらの面を全て覆うように蛍光体層1

40

50

7が形成されている。この蛍光体層17は、実際には、赤色発光を為す蛍光体、緑色発光を為す蛍光体、及び青色発光を為す蛍光体の3種類からなる。つまり、赤色画素に対応した放電セルPC内には赤色発光を為す蛍光体層17、緑色画素に対応した放電セルPC内には緑色発光を為す蛍光体層17、青色画素に対応した放電セルPC内には青色発光を為す蛍光体層17が、夫々形成されているのである。

【0031】

又、蛍光体層17内には、例えば図5に示す如き形態にて、二次電子放出材としてMgO結晶体が含まれている。蛍光体層17の表面上における放電空間Sを覆う面上、つまり放電空間Sと接する面上には、放電ガスと接触するようにMgO結晶体が蛍光体層17から露出している。この際、蛍光体層17内に含まれている複数のMgO結晶体の中には、前述した如きCL発光MgO結晶体が含まれている。すなわち、各放電セルPC内には、その前面透明基板10に形成されている酸化マグネシウム層13と、背面基板14側に形成されている蛍光体層17との両者にCL発光MgO結晶体が含まれているのである。かかる構造によれば、各放電セルPC内に、より多くのCL発光MgO結晶体を含有させることが可能となるので、更なる放電確率の向上、並びに放電遅れの低減が達成される。更に、上述した如く、酸化マグネシウム層13及び蛍光体層17各々の表面上において放電ガスと接触するようにMgO結晶体を形成させることにより、放電空間S内に効率よく荷電粒子を放出することが可能となるので、更なる放電確率の向上、並びに放電遅れの低減が達成される。

【0032】

ここで、各放電セルPCの放電空間Sと隙間SLとの間は、図3に示す如く酸化マグネシウム層13が横壁16Aに当接されることによって互いに閉じられている。又、図4に示す如く、縦壁16Bは酸化マグネシウム層13に当接されていないので、その間に隙間rが存在する。すなわち、2次元表示画面の横方向において互いに隣接する放電セルPC各々の放電空間Sは、この隙間rを介して互いに連通しているのである。

【0033】

X電極ドライバ51は、駆動制御回路56から供給された各種制御信号に応じて、リセットパルス及びサスティンパルス（後述する）を夫々発生し、PDP50の行電極Xに印加する。

【0034】

Y電極ドライバ53は、駆動制御回路56から供給された各種制御信号に応じて、リセットパルス、走査パルス及びサスティンパルス（後述する）を夫々発生し、PDP50の行電極 $Y_1 \sim Y_n$ に印加する。

【0035】

アドレスドライバ55は、駆動制御回路56から供給された各種制御信号に応じて、メモリ4から読み出された画素駆動データビットDBに応じたピーク電位を有する画素データパルスを発生して、PDP50の列電極 $D_1 \sim D_m$ に印加する。

【0036】

駆動制御回路56は、上記構造を有するPDP50を図8に示す如きサブフィールド法（サブフレーム法）を採用した発光駆動シーケンスに従って駆動させるべき各種制御信号を、パネルドライバとしてのX電極ドライバ51、Y電極ドライバ53及びアドレスドライバ55の各々に供給する。

【0037】

すなわち、駆動制御回路56は、図8に示す如き先頭のサブフィールドSF1では、リセット行程R、選択書込アドレス行程 W_w 及びサスティン行程I各々に従った駆動を順次実施させるべき各種制御信号をパネルドライバに供給する。又、サブフィールドSF2～SF14各々では、選択消去アドレス行程 W_d 及びサスティン行程I各々に従った駆動を順次実施させるべき各種制御信号をパネルドライバに供給する。尚、1フィールド表示期間内の最後尾のサブフィールドSF14に限り、サスティン行程Iの実行後、駆動制御回路56は、消去行程Eに従った駆動を順次実施させるべき各種制御信号をパネルドライバ

に供給する。

【0038】

パネルドライバ、すなわち、X電極ドライバ51、Y電極ドライバ53及びアドレスドライバ55は、駆動制御回路56から供給された各種制御信号に応じて、図9に示す如きタイミングにて各種駆動パルスをPDP50の列電極D、行電極X及びYに供給する。

【0039】

図9においては、図8に示されるサブフィールドSF1～SF14の内の、先頭のサブフィールドSF1と、それに続くサブフィールドSF2、並びに最後尾のサブフィールドSF14での動作のみを抜粋して示すものである。

【0040】

10
20
30
40
50
まず、サブフィールドSF1のリセット行程Rでは、Y電極ドライバ53が、図9に示す如く時間経過に伴い緩やかに電位が下降して負極性のピーク電位に到るパルス波形を有するリセットパルスRPを発生し、これを全ての行電極 $Y_1 \sim Y_n$ に印加する。更に、リセット行程Rでは、X電極ドライバ51が、上記リセットパルスRPの印加が為されている間に亘り正極性の所定のベース電位を有するベースパルス BP^+ を全ての行電極 $X_1 \sim X_n$ 各々に印加する。この際、これら負極性のリセットパルスRP及び正極性のベースパルス BP^+ の印加に応じて、全ての放電セルPC内の行電極X及びY間においてリセット放電が生起される。尚、リセットパルスRPにおける負のピーク電位は、後述する負極性の書込走査パルス SP_w のピーク電位よりも高い電位、つまり0ボルトに近い電位に設定されている。これは、リセットパルスRPのピーク電位を書込走査パルス SP_w のピーク電位よりも低くしてしまうと、行電極Y及び列電極D間において強い放電が生起され、列電極D近傍に形成されていた壁電荷が大幅に消去されてしまい、選択書込アドレス行程 W_w でのアドレス放電が不安定となるからである。更に、上記リセットパルスRPのパルス電圧はサスティンパルスIPのパルス電圧よりも低く設定されている。又、リセットパルスRP及びベースパルス BP^+ によって各放電セル内の行電極X及びY間に印加される電圧は、後述するサスティンパルスIPの印加によって行電極X及びY間に印加される電圧よりも低い電圧である。よって、リセットパルスRP及びベースパルス BP^+ の印加に応じて生起されるリセット放電は、サスティンパルスIPの印加によって生起されるサスティン放電よりも弱い放電となる。

【0041】

かかるリセット行程Rにおいて生起された微弱なリセット放電により、各放電セルPC内の行電極X及びY各々の近傍に形成されていた壁電荷が消去され、全ての放電セルPCが消灯モードに初期化される。更に、上記リセットパルスRPの印加に応じて、全ての放電セルPC内の行電極Y及び列電極D間においても微弱な放電が生起され、かかる放電により、列電極D近傍に形成されていた正極性の壁電荷の一部が消去され、後述する選択書込アドレス行程 W_w において正しく選択書込アドレス放電を生起させ得る量に調整される。

【0042】

次に、サブフィールドSF1の選択書込アドレス行程 W_w では、Y電極ドライバ53が、図9に示す如き負極性の所定ベース電位を有するベースパルス BP^- を行電極 $Y_1 \sim Y_n$ に同時に印加しつつ、負極性のピーク電位を有する書込走査パルス SP_w を行電極 $Y_1 \sim Y_n$ 各々に順次択一的に印加して行く。X電極ドライバ51は、リセット行程Rにおいて行電極 $X_1 \sim X_n$ に印加したベースパルス BP^+ をこの選択書込アドレス行程 W_w においても引き続き行電極 $X_1 \sim X_n$ 各々に印加する。尚、上記ベースパルス BP^- 及びベースパルス BP^+ 各々の電位は、書込走査パルス SP_w の非印加期間中における行電極X及びY間の電圧が放電セルPCの放電開始電圧よりも低くなるような電位に設定されている。

【0043】

更に、この選択書込アドレス行程 W_w では、アドレスドライバ55が、先ず、サブフィールドSF1に対応した画素駆動データビットDBの論理レベルに応じた画素データパル

10

20

30

40

50

スDPを生成する。例えば、アドレスドライバ55は、放電セルPCを点灯モードに設定させるべき論理レベル1の画素駆動データビットが供給された場合には正極性のピーク電位を有する画素データパルスDPを生成する。一方、放電セルPCを消灯モードに設定させるべき論理レベル0の画素駆動データビットに応じて、低電圧(0ボルト)の画素データパルスDPを生成する。そして、アドレスドライバ55は、かかる画素データパルスDPを1表示ライン分(m個)ずつ、各書込走査パルスSP_Wの印加タイミングに同期して列電極D₁~D_mに印加して行く。この際、上記書込走査パルスSP_Wと同時に、点灯モードに設定させるべき正極性のピーク電位を有する画素データパルスDPが印加された放電セルPC内の列電極D及び行電極Y間には選択書込アドレス放電が生起される。更に、かかる選択書込アドレス放電の直後、この放電セルPC内の行電極X及びY間にも微弱な放電が生起される。つまり、書込走査パルスSP_Wが印加された後、行電極X及びY間にはベースパルスBP⁻及びベースパルスBP⁺に応じた電圧が印加されるが、この電圧は各放電セルPCの放電開始電圧よりも低い電圧に設定されている為、かかる電圧の印加だけでは放電セルPC内で放電が生起されることはない。ところが、上記選択書込アドレス放電が生起されると、この選択書込アドレス放電に誘発されて、ベースパルスBP⁻及びベースパルスBP⁺に基づく電圧印加だけで、行電極X及びY間に放電が生起されるのである。かかる放電並びに上記選択書込アドレス放電により、この放電セルPCは、その行電極Y近傍に正極性の壁電荷、行電極X近傍に負極性の壁電荷、列電極D近傍に負極性の壁電荷が夫々形成された状態、すなわち、点灯モードに設定される。一方、上記書込走査パルスSP_Wと同時に、消灯モードに設定させるべき低電圧(0ボルト)の画素データパルスDPが印加された放電セルPC内の列電極D及び行電極Y間には上述した如き選択書込アドレス放電は生起されず、それ故に行電極X及びY間にも放電が生じることではない。よって、この放電セルPCは、その直前までの状態、すなわち、リセット行程Rにおいて初期化された消灯モードの状態を維持する。

【0044】

次に、サブフィールドSF1のサスティン行程Iでは、Y電極ドライバ53が、正極性のピーク電位を有するサスティンパルスIPを1パルス分だけ発生しこれを行電極Y₁~Y_n各々に同時に印加する。この間、X電極ドライバ51は、行電極X₁~X_nを接地電位(0ボルト)の状態に設定し、アドレスドライバ55は、列電極D₁~D_mを接地電位(0ボルト)の状態に設定する。上記サスティンパルスIPの印加に応じて、上述した如き点灯モードに設定されている放電セルPC内の行電極X及びY間においてサスティン放電が生起される。かかるサスティン放電に伴って蛍光体層17から照射される光が前面透明基板10を介して外部に照射されることにより、このサブフィールドSF1の輝度重みに対応した1回分の表示発光が為される。又、かかるサスティンパルスIPの印加に応じて、点灯モードに設定されている放電セルPC内の行電極Y及び列電極D間においても放電が生起される。かかる放電並びに上記サスティン放電により、放電セルPC内の行電極Y近傍には負極性の壁電荷、行電極X及び列電極D各々の近傍には夫々正極性の壁電荷が形成される。そして、かかるサスティンパルスIPの印加後、Y電極ドライバ53は、図9に示す如く時間経過に伴う前縁部での電位推移が緩やかな負極性のピーク電位を有する壁電荷調整パルスCPを行電極Y₁~Y_nに印加する。かかる壁電荷調整パルスCPの印加に応じて、上記の如きサスティン放電の生起された放電セルPC内で微弱な消去放電が生起され、その内部に形成されていた壁電荷の一部が消去される。これにより、放電セルPC内の壁電荷の量が、次の選択消去アドレス行程W_Dにおいて正しく選択消去アドレス放電を生起させ得る量に調整される。

【0045】

次に、サブフィールドSF2~SF14各々の選択消去アドレス行程W₀では、Y電極ドライバ53が、正極性の所定ベース電位を有するベースパルスBP⁺を行電極Y₁~Y_n各々に印加しつつ、図9に示す如き負極性のピーク電位を有する消去走査パルスSP_Dを行電極Y₁~Y_n各々に順次択一的に印加して行く。尚、ベースパルスBP⁺のピーク電位は、この選択消去アドレス行程W₀の実行期間中に亘り、行電極X及びY間での誤っ

10

20

30

40

50

た放電を防止し得る電位に設定されている。又、選択消去アドレス行程 W_0 の実行期間中に亘り、X電極ドライバ51は、行電極 $X_1 \sim X_n$ 各々を接地電位（0ボルト）に設定する。又、この選択消去アドレス行程 W_D において、アドレスドライバ55は、先ず、そのサブフィールドSFに対応した画素駆動データビットをその論理レベルに応じた画素データパルスDPに変換する。例えば、アドレスドライバ55は、放電セルPCを点灯モードから消灯モードに遷移させるべき論理レベル1の画素駆動データビットが供給された場合にはこれを正極性のピーク電位を有する画素データパルスDPに変換する。一方、放電セルPCの現状態を維持させるべき論理レベル0の画素駆動データビットが供給された場合にはこれを低電圧（0ボルト）の画素データパルスDPに変換する。そして、アドレスドライバ55は、かかる画素データパルスDPを1表示ライン分(m個)ずつ、消去走査パルスSP_Dの印加タイミングに同期して列電極 $D_1 \sim D_m$ に印加して行く。この際、上記消去走査パルスSP_Dと同時に、正極性のピーク電位を有する高電圧の画素データパルスDPが印加された放電セルPC内の列電極D及び行電極Y間に選択消去アドレス放電が生起される。かかる選択消去アドレス放電により、この放電セルPCは、その行電極Y及びX各々の近傍に正極性の壁電荷、列電極D近傍に負極性の壁電荷が夫々形成された状態、すなわち、消灯モードに設定される。一方、上記消去走査パルスSP_Dと同時に、低電圧（0ボルト）の画素データパルスDPが印加された放電セルPC内の列電極D及び行電極Y間には上述した如き選択消去アドレス放電は生起されない。よって、この放電セルPCは、その直前までの状態（点灯モード、消灯モード）を維持する。

【0046】

次に、サブフィールドSF2～SF14各々のサスティン行程Iでは、X電極ドライバ51及びY電極ドライバ53が、図9に示す如く、行電極X及びY交互に、そのサブフィールドの輝度重みに対応した回数（偶数回数）分だけ繰り返し、正極性のピーク電位を有するサスティンパルスIPを行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ 各々に印加する。かかるサスティンパルスIPが印加される度に、点灯モードに設定されている放電セルPC内の行電極X及びY間においてサスティン放電が生起される。かかるサスティン放電に伴って蛍光体層17から照射される光が前面透明基板10を介して外部に照射されることにより、そのサブフィールドSFの輝度重みに対応した回数分の表示発光が為される。この際、サブフィールドSF2～SF14各々のサスティン行程Iにおいて最終に印加されるサスティンパルスIPに応じてサスティン放電が生起された放電セルPC内の行電極Y近傍には負極性の壁電荷、行電極X及び列電極D各々の近傍には正極性の壁電荷が形成される。そして、かかる最終サスティンパルスIPの印加後、Y電極ドライバ53は、図9に示す如く時間経過に伴う前縁部での電位推移が緩やかな負極性のピーク電位を有する壁電荷調整パルスCPを行電極 $Y_1 \sim Y_n$ に印加する。かかる壁電荷調整パルスCPの印加に応じて、上記の如きサスティン放電の生起された放電セルPC内で微弱な消去放電が生起され、その内部に形成されていた壁電荷の一部が消去される。これにより、放電セルPC内の壁電荷の量が、次の選択消去アドレス行程 W_D において正しく選択消去アドレス放電を生起させ得る量に調整される。

【0047】

そして、最終のサブフィールドSF14の最後尾において、Y電極ドライバ53は、負極性のピーク電位を有する消去パルスEPを全ての行電極 $Y_1 \sim Y_n$ に印加する。かかる消去パルスEPの印加に応じて、点灯モード状態にある放電セルPCのみに消去放電が生起される。かかる消去放電によって点灯モード状態にあった放電セルPCは消灯モードの状態に遷移する。

【0048】

以上の如き駆動を、図7に示す如き15通りの画素駆動データGGDに基づいて実行する。かかる駆動によると、図7に示すように、輝度レベル0を表現する場合（第1階調）を除き、先ず、先頭のサブフィールドSF1において各放電セルPC内で書込アドレス放電が生起され（二重丸にて示す）、この放電セルPCは点灯モードに設定される。その後、サブフィールドSF2～SF14各々の内の1のサブフィールドの選択消去アドレス行

程 W_0 のみで選択消去アドレス放電が生起され（黒丸にて示す）、放電セル PC は消灯モードに設定される。つまり、各放電セル PC は、表現すべき中間輝度に対応した分だけ連続したサブフィールド各々で点灯モードに設定され、これらサブフィールドの各々に割り当てられている回数分だけサスティン放電に伴う発光を繰り返し生起する（白丸にて示す）。この際、1フィールド（又は1フレーム）表示期間内において生起されたサスティン放電の総数に対応した輝度が視覚される。よって、図7に示す如き第1～第15階調駆動による15種類の発光パターンによれば、白丸にて示すサブフィールド各々で生起されたサスティン放電の合計回数に対応した15階調分の中間輝度が表現される。

【0049】

このように、図1に示されるプラズマディスプレイ装置は、画素駆動データ GGD に基づき、 $PDP50$ に対して図8及び図9に示されるが如き駆動を実施する。

10

【0050】

ここで、かかる画素駆動データ GGD は、強制点灯処理回路3が画素駆動データ G に対して強制点灯処理を施して得られたものである。

【0051】

図10は、強制点灯処理回路3の内部構成を示す図である。

【0052】

図10において、フィールドメモリ31は、 A/D 変換器1から順次、供給される各画素毎の画素データ PD 各々を順次取り込んで記憶しつつ、1フィールド（又は1フレーム）分の取り込みが終了する度に、その取り込まれた順に画素データ PD 各々を読み出す。フィールドメモリ31は、この読み出した画素データ PD を、次フィールド画素データ PD_{NX} としてフィールドメモリ32及び第2強制点灯処理部33に供給する。

20

【0053】

フィールドメモリ32は、フィールドメモリ31から順次、供給される各画素毎の次フィールド画素データ PD_{NX} 各々を順次取り込んで記憶しつつ、1フィールド（又は1フレーム）分の取り込みが終了する度に、その取り込まれた順に次フィールド画素データ PD_{NX} 各々を読み出す。フィールドメモリ32は、この読み出した次フィールド画素データ PD_{NX} を、現フィールド画素データ PD_{CU} として第2強制点灯処理部33、フィールドメモリ34及び第1強制点灯処理部35に供給する。

【0054】

フィールドメモリ34は、フィールドメモリ32から順次、供給される各画素毎の現フィールド画素データ PD_{CU} 各々を順次取り込んで記憶しつつ、1フィールド（又は1フレーム）分の取り込みが終了する度に、その取り込まれた順に現フィールド画素データ PD_{CU} 各々を読み出す。フィールドメモリ34は、この読み出した現フィールド画素データ PD_{CU} を、前フィールド画素データ PD_{BE} として第1強制点灯処理部35に供給する。

30

【0055】

第1強制点灯処理部35は、 3×3 ブロック全消灯検出部351、強制点灯セル指定部352、及び 3×3 ブロック点灯セル検出部353から構成される。

【0056】

3×3 ブロック全消灯検出部351は、先ず、1フィールド分の前フィールド画素データ PD_{BE} に基づき、1画面内の放電セル $PC_{(1,1)} \sim PC_{(n,m)}$ に対して3行 $\times$ 3列分のブロック毎に、そのブロック内の放電セル PC の全てが1フィールド期間に亘り消灯状態になるか否かを判定する。すなわち、 3×3 ブロック全消灯検出部351は、各ブロック内の放電セル PC 各々に対応した前フィールド画素データ PD_{BE} が全て輝度レベル0を表す場合に限り、そのブロック内の9個の放電セル PC の全てが1フィールドに亘り消灯状態になると判定する。そして、 3×3 ブロック全消灯検出部351は、そのブロック内の放電セル PC 各々が全て1フィールドに亘り消灯状態になると判定した場合には論理レベル1、それ以外の場合には論理レベル0を示す全消灯検出信号 $BL1$ を強制点灯セル指定部352に供給する。

40

50

【0057】

3×3ブロック点灯セル検出部353は、先ず、1フィールド分の現フィールド画素データ PD_{CU} に基づき、1画面内の放電セル $PC_{(1,1)} \sim PC_{(n,m)}$ に対して3行×3列分のブロック毎に、そのブロック内において黒表示以外、つまり輝度レベル0より大なる輝度を担う放電セル PC を検出する。すなわち、3×3ブロック点灯セル検出部353は、各ブロック内において、各放電セル PC の内からその放電セル PC に対応した現フィールド画素データ PD_{CU} が輝度レベル0より大なる輝度を表す放電セル PC を検出する。この際、3×3ブロック点灯セル検出部353は、かかる放電セル PC を点灯セルとして、この点灯セルを検出したことを示す論理レベル1の点灯セル検出信号 $CL1$ を強制点灯セル指定部352に供給する。また、3×3ブロック点灯セル検出部353は、上記点灯セルにおける1画面内での画素位置を表す点灯セル位置信号 $S1_{LOC}$ を強制点灯セル指定部352に供給する。更に、3×3ブロック点灯セル検出部353は、上記点灯セルに対応した現フィールド画素データ PD_{CU} にて示される輝度レベルを表す点灯セル輝度信号 $S1_Y$ を強制点灯セル指定部352に供給する。

10

【0058】

強制点灯セル指定部352は、各フィールド（フレーム）毎に、図11に示す如き第1強制点灯セル指定処理フローを実行する。

【0059】

図11において、先ず、強制点灯セル指定部352は、全消灯検出信号 $BL1$ が論理レベル1であるか否かを判定する（ステップS1）。すなわち、直前のフィールドの段階で、3×3ブロック内の9個の放電セル PC の全てが1フィールドに亘り消灯状態になるか否かを判定するのである。ステップS1において、全消灯検出信号 $BL1$ が論理レベル1であると判定された場合、強制点灯セル指定部352は、点灯セル検出信号 $CL1$ が論理レベル1であるか否かを判定する（ステップS2）。すなわち、現時点のフィールドの段階で、3×3ブロック内の9個の放電セル PC の中に上記の如き点灯セルが存在するか否かを判定するのである。ステップS2において、点灯セル検出信号 $CL1$ が論理レベル1であると判定された場合、強制点灯セル指定部352は、点灯セル輝度信号 $S1_Y$ にて示される輝度レベルが所定の輝度レベル $K1$ よりも小であるか否かを判定する（ステップS3）。ステップS3において、点灯セル輝度信号 $S1_Y$ にて示される輝度レベルが輝度レベル $K1$ よりも小であると判定された場合、強制点灯セル指定部352は、レベル1強制点灯セル選定処理（後述する）を実行する（ステップS4）。又、上記ステップS3にて、点灯セル輝度信号 $S1_Y$ にて示される輝度レベルが輝度レベル $K1$ よりも小ではないと判定された場合、強制点灯セル指定部352は、この点灯セル輝度信号 $S1_Y$ にて示される輝度レベルが所定の輝度レベル $K2$ （ $K1 < K2$ ）よりも小であるか否かを判定する（ステップS5）。ステップS5において、点灯セル輝度信号 $S1_Y$ にて示される輝度レベルが輝度レベル $K2$ よりも小であると判定された場合、強制点灯セル指定部352は、レベル2強制点灯セル選定処理（後述する）を実行する（ステップS6）。一方、かかるステップS5において、点灯セル輝度信号 $S1_Y$ にて示される輝度レベルが輝度レベル $K2$ よりも小ではないと判定された場合、強制点灯セル指定部352は、レベル3強制点灯セル選定処理（後述する）を実行する（ステップS7）。

20

30

40

【0060】

ここで、レベル1強制点灯セル選定処理（ステップS4）では、先ず、強制点灯セル指定部352は、点灯セル位置信号 $S1_{LOC}$ にて示される放電セルを点灯遷移セルとし、この点灯遷移セルの左右に夫々隣接する放電セル各々の内の一方を、強制的に点灯状態に設定させるべき放電セルとして選定する。例えば、かかる点灯遷移セルが図12（a）に示す如き放電セル PC_C である場合には、その右横に隣接する放電セル PC_R を強制的に点灯状態に設定させるべき放電セルとして選定する。尚、強制点灯セル指定部352は、強制的に点灯状態に設定させるべき放電セルとして、上記点灯遷移セルの上下に夫々隣接する放電セル各々の内の一方、例えば、図12（b）に示す如き中央の放電セル PC_C の上方向に隣接する放電セル PC_U を選定するようにしても良い。次に、強制点灯セル指定部

50

352は、この強制的に点灯状態に設定させるべき放電セルとして選定された放電セル、例えば図12(a)に示す放電セル PC_R 、又は図12(b)に示す放電セル PC_U の画素位置を示す情報を内蔵メモリ(図示せぬ)に記憶する。

【0061】

又、レベル2強制点灯セル選定処理(ステップS6)では、まず、強制点灯セル指定部352は、点灯セル位置信号 $S1_{LOC}$ にて示される放電セル、すなわち点灯遷移セルの左右に夫々隣接する放電セルの各々を、強制的に点灯状態に設定させるべき放電セルとして選定する。例えば、点灯遷移セルが図12(c)に示す如き放電セル PC_C である場合には、その右横に隣接する放電セル PC_R 及び左横に隣接する放電セル PC_L を夫々、強制的に点灯状態に設定させるべき放電セルとして選定する。次に、強制点灯セル指定部352は、これら強制的に点灯状態に設定させるべき放電セルとして選定された放電セルの各々、例えば図12(c)に示す如き放電セル PC_R 及び放電セル PC_L 各々の画素位置を示す情報を上記内蔵メモリに記憶する。

10

【0062】

又、レベル3強制点灯セル選定処理(ステップS7)では、まず、強制点灯セル指定部352は、点灯セル位置信号 $S1_{LOC}$ にて示される放電セル、すなわち点灯遷移セルの左右に夫々隣接する放電セルの各々、並びに上下に隣接する放電セル各々の内の一方を、夫々強制的に点灯状態に設定させるべき放電セルとして選定する。例えば、かかる点灯遷移セルが図12(d)に示す如き放電セル PC_C である場合には、その右横に隣接する放電セル PC_R 及び左横に隣接する放電セル PC_L 、並びに上方向に隣接する放電セル PC_U を夫々、強制的に点灯状態に設定させるべき放電セルとして選定する。次に、強制点灯セル指定部352は、これら強制的に点灯状態に設定させるべき放電セルとして選定された放電セルの各々、例えば、図12(c)に示す如き放電セル PC_R 、 PC_L 及び PC_U 各々の画素位置を示す情報を上記内蔵メモリに記憶する。

20

【0063】

上記ステップS4、S6又はS7が終了すると、強制点灯セル指定部352は、1フィールド(1フレーム)分の処理が終了したか否かを判定する(ステップS8)。かかるステップS8において、1フィールド(1フレーム)分の処理が終了していないと判定された場合、強制点灯セル指定部352は、上記ステップS1の実行に戻って、前述した如き動作を繰り返し実行する。一方、ステップS8において、1フィールド(1フレーム)分の処理が終了したと判定された場合、強制点灯セル指定部352は、以下の如きステップS9を実行する。

30

【0064】

すなわち、強制点灯セル指定部352は、強制的に点灯状態に設定させるべき放電セルの画素位置を示す情報を上記内蔵メモリから読み出し、その画素に対応した画素駆動データGDを、黒表示以外の階調に対応したデータに置換させるべきデータ置換指令信号LS1をデータ置換部36に供給する(ステップS9)。

【0065】

以上の如き処理により、第1強制点灯処理部35は、まず、図13に示す如き3行×3列分の放電セルのブロック毎に、そのブロック内の放電セルの全てが黒表示となる状態(直前フィールド)から、黒表示以外の輝度を担う放電セルが存在する状態(現フィールド)へ遷移したか否かを判定する(ステップS1及びS2)。この際、かかる遷移が生じたと判定された場合、第1強制点灯処理部35は、黒表示状態(直前フィールド)から黒表示以外の輝度を表す状態(現フィールド)に遷移した放電セルを、点灯遷移セルとして検出する。

40

【0066】

ところで、図13に示す表示状態では、本来、現フィールドの段階においてブロック内の点灯遷移セル(中央の放電セル)の周辺に隣接する8つの放電セル各々では黒表示を実施すべき駆動、つまり図7に示す如き第1階調に対応した駆動が為されることになる。よって、これら隣接放電セル各々では、1フィールド表示期間に亘りサスティン放電が一切

50

生起されていないことになる。従って、点灯遷移セルとしての中央の放電セルは、隣接放電セルからの荷電粒子の供給を一切受けることが出来ない状態にある。

【0067】

そこで、図13に示す如き表示状態の遷移が生じた際には、第1強制点灯処理部35は、点灯遷移セル（中央の放電セル）に夫々隣接する放電セル各々の内の少なくとも1の放電セルに対して強制的に黒表示以外の階調に対応した駆動（以下、強制点灯駆動と称する）を実施させるべき処理を実行する（ステップS9）。すなわち、第1強制点灯処理部35は、この放電セルに対応した画素駆動データGDを第1階調以外の階調に対応したデータに置換させる指令（LS1）を発するのである。この際、第1強制点灯処理部35は、点灯遷移セル（中央の放電セル）の輝度レベルが低いほど、強制点灯駆動を実施させるべく選定する放電セルの数を少なくする。例えば、第1強制点灯処理部35は、点灯遷移セルの輝度レベルがK1よりも低い場合には、図12（a）又は図12（b）に示す如く、中央の放電セルに隣接する1の放電セルのみを、強制点灯駆動を実施させるべき放電セルとして選定する（レベル1強制点灯セル選定処理）。又、第1強制点灯処理部35は、点灯遷移セルの輝度レベルがK1以上であるもののK2よりも低い場合には、図12（c）に示す如く、点灯遷移セルの左右方向に夫々隣接する2つの放電セルのみを、強制点灯駆動を実施させるべき放電セルとして選定する（レベル2強制点灯セル選定処理）。又、第1強制点灯処理部35は、点灯遷移セルの輝度レベルがK2以上である場合には、図12（d）に示す如く、点灯遷移セルの左右方向に夫々隣接する2つの放電セルと上方向に隣接する1つの放電セルの合計3つの放電セルを、強制点灯駆動を実施させるべき放電セルとして選定する（レベル3強制点灯セル選定処理）。

【0068】

第2強制点灯処理部33は、3×3ブロック全消灯検出部331、強制点灯セル指定部332、及び3×3ブロック点灯セル検出部353から構成される。

【0069】

3×3ブロック全消灯検出部331は、先ず、1フィールド分の現フィールド画素データ PD_{CU} に基づき、1画面内の放電セル $PC_{(1,1)} \sim PC_{(n,m)}$ に対して3行×3列分のブロック毎に、そのブロック内の放電セルPCの全てが1フィールド期間に亘り消灯状態になるか否かを判定する。すなわち、3×3ブロック全消灯検出部331は、各ブロック内の放電セルPC各々に対応した現フィールド画素データ PD_{CU} が全て輝度レベル0を表す場合に限り、そのブロック内の9個の放電セルPCの全てが1フィールドに亘り消灯状態になると判定する。そして、3×3ブロック全消灯検出部331は、そのブロック内の放電セルPC各々が全て1フィールドに亘り消灯状態になると判定した場合には論理レベル1、それ以外の場合には論理レベル0を示す全消灯検出信号BL2を強制点灯セル指定部332に供給する。

【0070】

3×3ブロック点灯セル検出部333は、先ず、1フィールド分の次フィールド画素データ PD_{NX} に基づき、1画面内の放電セル $PC_{(1,1)} \sim PC_{(n,m)}$ に対して3行×3列分のブロック毎に、そのブロック内において黒表示以外、つまり輝度レベル0より大なる輝度を担う放電セルPCを検出する。すなわち、3×3ブロック点灯セル検出部333は、各ブロック内において、各放電セルPCの内からその放電セルPCに対応した次フィールド画素データ PD_{NX} が輝度レベル0より大なる輝度を表す放電セルPCを検出する。この際、3×3ブロック点灯セル検出部333は、かかる放電セルPCを点灯セルとして、この点灯セルを検出したことを示す論理レベル1の点灯セル検出信号CL2を強制点灯セル指定部332に供給する。また、3×3ブロック点灯セル検出部333は、上記点灯セルにおける1画面内での画素位置を表す点灯セル位置信号 $S2_{LOC}$ を強制点灯セル指定部332に供給する。更に、3×3ブロック点灯セル検出部333は、上記点灯セルに対応した次フィールド画素データ PD_{NX} にて示される輝度レベルを表す点灯セル輝度信号 $S2_Y$ を強制点灯セル指定部332に供給する。

【0071】

10

20

30

40

50

強制点灯セル指定部 332 は、各フィールド（フレーム）毎に、図 14 に示す如き第 2 強制点灯セル指定処理フローを実行する。

【0072】

図 14 において、先ず、強制点灯セル指定部 332 は、全消灯検出信号 BL_2 が論理レベル 1 であるか否かを判定する（ステップ S11）。すなわち、現フィールドの段階で、 3×3 ブロック内の 9 個の放電セル PC の全てが 1 フィールドに亘り消灯状態になるか否かを判定するのである。ステップ S11 において、全消灯検出信号 BL_2 が論理レベル 1 であると判定された場合、強制点灯セル指定部 332 は、点灯セル検出信号 CL_2 が論理レベル 1 であるか否かを判定する（ステップ S12）。すなわち、現フィールドの次のフィールドの段階で、 3×3 ブロック内の 9 個の放電セル PC の中に上記の如き点灯セルが存在するか否かを判定するのである。ステップ S12 において、点灯セル検出信号 CL_2 が論理レベル 1 であると判定された場合、強制点灯セル指定部 332 は、点灯セル輝度信号 S_{2Y} にて示される輝度レベルが所定の輝度レベル $M1$ よりも小であるか否かを判定する（ステップ S13）。ステップ S13 において、点灯セル輝度信号 S_{2Y} にて示される輝度レベルが輝度レベル $M1$ よりも小であると判定された場合、強制点灯セル指定部 332 は、レベル A 強制点灯セル選定処理（後述する）を実行する（ステップ S14）。又、上記ステップ S13 にて、点灯セル輝度信号 S_{2Y} にて示される輝度レベルが輝度レベル $M1$ よりも小ではないと判定された場合、強制点灯セル指定部 332 は、この点灯セル輝度信号 S_{2Y} にて示される輝度レベルが所定の輝度レベル $M2$ ($M1 < M2$) よりも小であるか否かを判定する（ステップ S15）。ステップ S15 において、点灯セル輝度信号 S_{2Y} にて示される輝度レベルが輝度レベル $M2$ よりも小であると判定された場合、強制点灯セル指定部 332 は、レベル B 強制点灯セル選定処理（後述する）を実行する（ステップ S16）。一方、かかるステップ S15 において、点灯セル輝度信号 S_{2Y} にて示される輝度レベルが輝度レベル $M2$ よりも小ではないと判定された場合、強制点灯セル指定部 332 は、この点灯セル輝度信号 S_{2Y} にて示される輝度レベルが所定の輝度レベル $M3$ ($M2 < M3$) よりも小であるか否かを判定する（ステップ S17）。ステップ S17 において、点灯セル輝度信号 S_{2Y} にて示される輝度レベルが輝度レベル $M3$ よりも小であると判定された場合、強制点灯セル指定部 332 は、レベル C 強制点灯セル選定処理（後述する）を実行する（ステップ S18）。一方、かかるステップ S17 において、点灯セル輝度信号 S_{2Y} にて示される輝度レベルが輝度レベル $M3$ よりも小ではないと判定された場合、強制点灯セル指定部 332 は、レベル D 強制点灯セル選定処理（後述する）を実行する（ステップ S19）。

【0073】

ここで、レベル A 強制点灯セル選定処理（ステップ S14）では、先ず、強制点灯セル指定部 332 は、点灯セル位置信号 S_{2LOC} にて示される放電セルを点灯遷移セルとし、これを強制的に点灯状態に設定させるべき放電セルとして選定する。例えば、図 15 (a) に示す如き、 3×3 ブロック内の 9 個の放電セルの中で、点灯セル位置信号 S_{2LOC} にて示される放電セル、つまり点灯遷移セルが放電セル PC_C である場合には、この放電セル PC_C のみを、強制的に点灯状態に設定させるべき放電セルとして選定する。そして、強制点灯セル指定部 332 は、この強制的に点灯状態に設定させるべき放電セルとして選定された放電セル、つまり図 15 (a) に示す放電セル PC_C の画素位置を示す情報を内蔵メモリ（図示せぬ）に記憶する。

【0074】

又、レベル B 強制点灯セル選定処理（ステップ S16）では、先ず、強制点灯セル指定部 332 は、点灯セル位置信号 S_{2LOC} にて示される放電セル、つまり点灯遷移セルと、この点灯遷移セルの左方向（又は右方向）に隣接する放電セルとの合計 2 個の放電セルを、強制的に点灯状態に設定させるべき放電セルとして選定する。例えば、かかる点灯遷移セルが図 15 (b) に示す如き放電セル PC_C である場合には、この放電セル PC_C と、その右横に隣接する放電セル PC_R を強制的に点灯状態に設定させるべき放電セルとして選定する。そして、強制点灯セル指定部 332 は、この強制的に点灯状態に設定させるべ

き放電セルとして選定された放電セル、例えば図15(b)に示す放電セル PC_C 及び PC_R の画素位置を夫々示す情報を内蔵メモリ(図示せぬ)に記憶する。

【0075】

又、レベルC強制点灯セル選定処理(ステップS18)では、先ず、強制点灯セル指定部332は、点灯セル位置信号 $S2_{LOC}$ にて示される放電セル、つまり点灯遷移セルと、その左右に夫々隣接する放電セルの各々とを、強制的に点灯状態に設定させるべき放電セルとして選定する。例えば、かかる点灯遷移セルが図15(c)に示す如き放電セル PC_C である場合には、この放電セル PC_C と共に、その右横に隣接する放電セル PC_R 及び左横に隣接する放電セル PC_L を夫々、強制的に点灯状態に設定させるべき放電セルとして選定する。そして、強制点灯セル指定部332は、これら強制的に点灯状態に設定させるべき放電セルとして選定された放電セルの各々、つまり図15(c)に示す如き放電セル PC_C 、 PC_R 及び PC_L 各々の画素位置を示す情報を上記内蔵メモリに記憶する。

10

【0076】

又、レベルD強制点灯セル選定処理(ステップS19)では、先ず、強制点灯セル指定部332は、点灯セル位置信号 $S2_{LOC}$ にて示される放電セル、つまり点灯遷移セルと、及びその上方に隣接する放電セルの各々を、夫々強制的に点灯状態に設定させるべき放電セルとして選定する。例えば、かかる点灯遷移セルが図15(d)に示す如き放電セル PC_C である場合には、この放電セル PC_C と共に、その右横に隣接する放電セル PC_R 及び左横に隣接する放電セル PC_L 、並びに上方向に隣接する放電セル PC_U の各々を、強制的に点灯状態に設定させるべき放電セルとして選定する。そして、強制点灯セル指定部332は、これら強制的に点灯状態に設定させるべき放電セルとして選定された放電セルの各々、つまり図15(d)に示す如き放電セル PC_C 、 PC_R 、 PC_L 及び PC_U 各々の画素位置を示す情報を上記内蔵メモリに記憶する。

20

【0077】

上記ステップS14、S16、S18又はS19が終了すると、強制点灯セル指定部332は、1フィールド(1フレーム)分の処理が終了したか否かを判定する(ステップS20)。かかるステップS20において、1フィールド(1フレーム)分の処理が終了していないと判定された場合、強制点灯セル指定部332は、上記ステップS11の実行に戻って、前述した如き動作を繰り返し実行する。一方、ステップS20において、1フィールド(1フレーム)分の処理が終了したと判定された場合、強制点灯セル指定部332は、以下の如きステップS21を実行する。

30

【0078】

すなわち、強制点灯セル指定部332は、強制的に点灯状態に設定させるべき放電セルの画素位置を示す情報を上記内蔵メモリから読み出し、その画素に対応した画素駆動データGDを黒表示以外の階調(例えば第2階調)に対応したデータに置換させるべきデータ置換指令信号LS2をデータ置換部36に供給する(ステップS21)。

【0079】

以上の如き処理により、第2強制点灯処理部33は、図16に示す如き3行×3列分の放電セルのブロック毎に、そのブロック内の放電セルの全てが黒表示となる状態(現フィールド)から、黒表示以外の輝度を担う放電セルが存在する状態(次フィールド)へ遷移したか否かを判定する(ステップS11及びS12)。この際、かかる遷移が生じたと判定された場合、第2強制点灯処理部33は、この黒表示状態(現フィールド)から黒表示以外の輝度を表す状態(次フィールド)に遷移した放電セルを、点灯遷移セルとして検出する。

40

【0080】

ところで、図16に示す表示状態では、本来、現フィールドの段階ではブロック内の点灯遷移セル(中央の放電セル)を含む全ての放電セルにおいて黒表示を実施すべき駆動、つまり図7に示す如き第1階調に対応した駆動が為されることになる。よって、これら放電セル各々では、1フィールド表示期間に亘りサスティン放電が一切生起されていないことになる。従って、点灯遷移セルとしての中央の放電セルは、黒表示以外の駆動を実施す

50

る直前の段階において荷電粒子の供給を一切受けることが出来ない状態にある。

【0081】

そこで、図16に示す如き遷移が生じた際には、第2強制点灯処理部33は、本来、ブロック内の全放電セルを黒表示に対応した第1階調で駆動させるべきところを、上記点灯遷移セルを含む隣接放電セル各々の内の少なくとも1の放電セルに対しては、強制的に黒表示以外の階調（例えば第2階調）に対応した強制点灯駆動を実施させるべき処理を実行する（ステップS21）。すなわち、第2強制点灯処理部33は、この放電セルに対応した画素駆動データGDを第1階調以外の階調に対応したデータに置換させる指令（LS2）を発するのである。この際、第2強制点灯処理部33は、点灯遷移セルの輝度レベルが低いほど、強制点灯駆動を実施させるべく選定する放電セルの数を少なくする。例えば、第2強制点灯処理部33は、点灯遷移セル（中央の放電セル）の輝度レベルがM1よりも低い場合には図15（a）に示す如く点灯遷移セルのみを強制点灯駆動を実施させるべき放電セルとして選定する（レベルA強制点灯セル選定処理）。又、第2強制点灯処理部33は、点灯遷移セルの輝度レベルがM1以上であるもののM2よりも低い場合には、図15（b）に示す如く、点灯遷移セルと共にこの点灯遷移セルに隣接する1の放電セルを、強制点灯駆動を実施させるべき放電セルとして選定する（レベルB強制点灯セル選定処理）。又、第2強制点灯処理部33は、点灯遷移セルの輝度レベルがM2以上であるもののM3よりも低い場合には、図15（c）に示す如く、点灯遷移セルと共にその左右方向に夫々隣接する2つの放電セルを、強制点灯駆動を実施させるべき放電セルとして選定する（レベルC強制点灯セル選定処理）。又、第2強制点灯処理部33は、点灯遷移セルの輝度レベルがM3以上である場合には、図15（d）に示す如く、点灯遷移セルと共にその左右方向に夫々隣接する2つの放電セルと上方向に隣接する1つの放電セルの合計4つの放電セルを、強制点灯駆動を実施させるべき放電セルとして選定する（レベルD強制点灯セル選定処理）。

【0082】

ここで、図10に示される遅延処理部37は、画素駆動データ生成回路2から供給された上記画素駆動データGDを、上記第1強制点灯処理部35及び第2強制点灯処理部33各々での前述した如き処理に費やされる時間を考慮した時間だけ遅延させて、データ置換部36に供給する。つまり、遅延処理部37は、例えば第2強制点灯処理部33でのステップS20（図14に示す）において1フィールド分の処理が終了したと判定されるタイミングで、現フィールド画素データPD_{C_U}に対応した画素駆動データGDを出力するような遅延時間をもって画素駆動データGDをデータ置換部36に供給する。

【0083】

データ置換部36は、上記データ置換指令信号LS1又はLS2が供給された場合には、そのタイミングにて上記遅延処理部37から供給された現フィールド画素データPD_{C_U}に対応した画素駆動データGDを、黒表示以外の階調に対応した画素駆動データに置換する。例えば、かかる画素駆動データGDを、図7に示す如き第2階調に対応した画素駆動データ[11000000000000]に置換する。すなわち、データ置換部36は、各画素に対応した画素駆動データGD各々の内で、第1強制点灯処理部35及び／又は第2強制点灯処理部33にて強制点灯駆動を実施させるべき放電セルとして選定された放電セルに対応した画素駆動データGDのみを、強制的に第2階調に対応した画素駆動データに置換するのである。この際、データ置換部36は、遅延処理部37から供給された画素駆動データGD各々の内で、上記の如きデータ置換が施されたものを画素駆動データGGDとして出力する一方、データ置換の対象とはならなかったものは、これをそのまま画素駆動データGDとして出力する。

【0084】

この画素駆動データGGDによれば、連続する2つのフィールド間で3×3ブロック内の各放電セルの状態が図13又は図16に示す如く遷移すると予測される場合には、本来、黒表示を担う階調で駆動されるべき放電セルが、黒表示以外（例えば、図7に示す第2階調）の階調で駆動されるようになる。

【0085】

すなわち、上記データ置換指令信号LS1に応じて得られた画素駆動データGGDによれば、図17(a)～図17(c)の如く、点灯遷移セル(中央放電セル)に隣接する放電セルの内の少なくとも1において、強制点灯駆動が為されるようになる。この際、点灯遷移セルを発光させるべき輝度レベルが、所定の輝度レベルK1よりも低い場合には図17(a)、輝度レベルK1以上であり且つ輝度レベルK2未満である場合には図17(b)、輝度レベルK2以上である場合には図17(d)の如き形態で、点灯遷移セルに隣接する放電セル各々が黒表示以外の階調で駆動される。つまり、点灯遷移セルを発光させるべき輝度レベルが低いほど、強制的に黒表示以外の階調で駆動すべき放電セルの数を減らすのである。

10

【0086】

かかる駆動によれば、点灯遷移セルが黒表示以外の階調で駆動されている際に、その点灯遷移セルに隣接する放電セル各々の内の少なくとも1では強制点灯駆動が為されることになる。よって、この強制点灯駆動によって隣接放電セルで生起されたサスティン放電により、点灯遷移セル内の荷電粒子の増加が図られるようになる。これにより、確実に、点灯遷移セルを書込アドレス放電させることが可能となる。

【0087】

又、上記データ置換指令信号LS2に応じて得られた画素駆動データGGDによれば、図18(a)～図18(d)の如く、点灯遷移セルが黒表示以外の輝度で階調駆動されるフィールドの直前のフィールドで、点灯遷移セルを含む少なくとも1の隣接放電セルに対して、黒表示以外の所定階調の駆動が実施されるようになる。この際、点灯遷移セルを発光させるべき輝度レベルが、所定の輝度レベルM1よりも低い場合には図18(a)、輝度レベルM1以上であり且つ輝度レベルM2未満である場合には図18(b)、輝度レベルM2以上であり且つ輝度レベルM3未満である場合には図18(c)、輝度レベルM3以上である場合には図18(d)の如き形態で、強制点灯駆動を実施する。つまり、点灯遷移セルを発光させるべき輝度レベルが低いほど、強制的に黒表示以外の階調で駆動すべき放電セルの数を少なくするのである。

20

【0088】

従って、かかる駆動によれば、点灯遷移セルが黒表示以外の階調で駆動されるフィールドの直前のフィールドにおいて、その点灯遷移セルを含む隣接放電セルでは強制点灯駆動が為されることになる。よって、点灯遷移セルを黒表示以外の階調で駆動するフィールドの直前の段階で、この点灯遷移セルを含む隣接放電セルにおいて生起されたサスティン放電により、点灯遷移セル内の荷電粒子の増加が図られるようになる。これにより、確実に、点灯遷移セルを書込アドレス放電させることが可能となる。

30

【0089】

すなわち、1フィールド期間に亘り一切、サスティン放電が生起されない黒表示(図7に示す第1階調駆動)が為された後では、放電セル内に残存する荷電粒子の量が少量となり、その直後のフィールドで黒表示以外の階調でこの放電セルを駆動させても、正しく書込放電が生起されない場合が生じる。特に、この間、かかる放電セルの周辺に隣接する放電セル各々が全て黒表示の状態を維持していると、これら隣接する放電セルで生起されるサスティン放電に伴って発生する荷電粒子を利用することができないので、荷電粒子不足に起因する放電ミスが顕著に表れるようになる。

40

【0090】

そこで、表示すべき画像形態に起因して荷電粒子不足が生じる場合、つまり連続する2つのフィールド間で各放電セルの表示状態が図13又は図16に示す如く遷移する場合には、強制点灯処理回路3は、以下の如き駆動を実施させるべき画素駆動データGGDを生成するようにしたのである。すなわち、強制点灯処理回路3は、図17又は図18に示す如く、点灯遷移セル(ブロック中央の放電セル)に対して時間的又は空間的に隣接する放電セルを強制的に黒表示以外の階調で駆動させるようにしたのである。これにより、点灯遷移セルに対して時間的又は空間的に隣接する放電セルにおいて生起されたサスティン放

50

電に伴い、点灯遷移セル内の荷電粒子の量が増加し、その後の書込アドレス放電を確実に生起させることが可能となる。

【0091】

この際、強制的に黒表示以外の階調で駆動させるべき隣接放電セルの数が多いほど、荷電粒子を多く形成させることが出来るが、図13又は図16に示す如く、本来、点灯遷移セルに隣接する放電セル各々は黒表示を実施させるべきものである。そこで、かかる駆動に伴う画質劣化の影響を極力抑えるべく、強制点灯処理回路3では、例えば図17(a)～図17(c)の如く、点灯遷移セルの輝度レベルが低いほど、強制的に黒表示以外の階調で駆動させる隣接放電セルの数を少なくしている。つまり、点灯遷移セルを本来の輝度で発光させるにあたり、その発光輝度が低いほど、隣接放電セルにおいて為される強制点灯駆動に伴う発光が目立つようになるので、この点灯遷移セルを発光させる際の輝度レベルが低い場合には、強制点灯駆動の対象とすべき隣接放電セルの数を減らすのである。更に、かかる点に鑑みて、強制点灯処理回路3では、隣接放電セルを強制的に黒表示以外の階調で駆動させるにあたり、黒表示を担う第1階調の次に高輝度な輝度レベルを担う第2階調で駆動させるようにしている。

10

【0092】

尚、上記実施例においては、図17(a)～図17(c)に示す如き駆動と、図18(a)～図18(d)に示す如き駆動とを個別に実施しているが、図19(a)～図19(c)の如く、両者を組み合わせて実行するようにしても良い。この際、データ置換部36は、点灯遷移セルを発光させるべき輝度レベルが、所定の輝度レベルT1よりも低い場合には図19(a)、輝度レベルT1以上であり且つ輝度レベルT2未満である場合には図19(b)、輝度レベルT2以上である場合には図19(c)の如き形態で駆動が為されるように、画素駆動データに対して前述した如きデータ置換を行う。

20

【0093】

すなわち、図19(a)～図19(c)の如く、点灯遷移セルに対して時間的及び空間的に隣接する放電セルを強制的に黒表示以外の階調で駆動させるのである。

【0094】

ここで、図1に示されるプラズマディスプレイ装置では、放電セルPC内に形成されているCL発光MgOの作用を利用することにより、リセット行程Rでは、サスティン放電よりも微弱なリセット放電だけで全放電セルPCの初期化を完了させている。つまり、従来、比較的多量の荷電粒子を放電空間内に放出させるべく、リセット行程では、サスティンパルスよりも高電圧のリセットパルスを印加することにより、サスティン放電よりも強い放電をリセット放電として生起させるようにしている。すなわち、このように多量の荷電粒子を放電空間内に放出させることにより、次のアドレス行程Wwでの書込アドレス放電の安定化を図るのである。ところが、本実施例の如きCL発光MgOが形成されている放電セルでは、CL発光MgOが形成されていない放電セルに比して、リセット行程Rで放出される荷電粒子の量に拘わらず、アドレス行程Wwでの書込アドレス放電が安定化する。そこで、リセット行程Rでは、比較的多量の荷電粒子を放電空間内に放出させることができる強いリセット放電、つまりサスティン放電よりも強い放電となるリセット放電を省略することにより、暗コントラストの向上を図るようにしたのである。

30

40

【0095】

ところが、黒表示の状態が継続すると、たとえCL発光MgOの作用によって書込アドレス放電の安定化が図られても、荷電粒子不足に起因する書込アドレス放電ミスが発生する場合があった。

【0096】

そこで、この書込アドレス放電ミスを防止すべく、前述した如き強制点灯処理回路3の動作により、荷電粒子不足が予測される放電セルに時間的及び／又は空間的に隣接する隣接放電セルに対して、例えその隣接放電セルに対応した画素データPDが黒表示を示すものであったとしても、これを強制的にサスティン放電させるようにしたのである。かかる処理により、荷電粒子不足が予測される放電セルには荷電粒子の供給が為されるようにな

50

り、当該放電セルの書込アドレス放電が安定化ようになる。

【0097】

よって、図1に示されるプラズマディスプレイ装置によれば、暗コントラストを向上させるべく強いリセット放電を省略した場合であっても、安定して書込アドレス放電を生起させることが可能となる。

【0098】

尚、図9に示す駆動では、各フィールドの先頭のサブフィールドのみにリセット行程Rを設け、このリセット行程RにおいてリセットパルスRPを1度だけ印加することによりリセット放電を生起させるようにしているが、その直前に、荷電粒子を形成させる為のリセット放電を生起させるようにしても良い。

【0099】

図20は、かかる点に鑑みて為された他の駆動パルスの印加例を示す図である。

【0100】

尚、図20において、サブフィールドSF1のリセット行程Rを除く他の行程で印加される各種駆動パルス及びその印加タイミングは、図9に示されるものと同一であるので、その説明は省略する。

【0101】

図20におけるリセット行程Rでは、先ず、その前半部において、Y電極ドライバ53が、サスティンパルスIPに比して時間経過に伴う前縁部での電位推移が緩やかな波形を有する正極性のリセットパルス RP_{Y1} を全ての行電極 $Y_1 \sim Y_n$ に印加する。尚、リセットパルス RP_{Y1} のピーク電位は、上記サスティンパルスのピーク電位よりも低電位である。又、この間、アドレスドライバ55は、列電極 $D_1 \sim D_m$ を接地電位（0ボルト）の状態に設定する。上記リセットパルス RP_{Y1} の印加に応じて、全ての放電セルPC各々内の行電極Y及び列電極D間において第1リセット放電が生起される。すなわち、リセット行程Rの前半部では、行電極Yが陽極側、列電極Dが陰極側となるように両電極間に電圧を印加することにより、行電極Yから列電極Dに向けて電流が流れることになる放電（以下、列側陰極放電と称する）が第1リセット放電として生起させるのである。かかる第1リセット放電に応じて、全ての放電セルPC内の放電空間内には荷電粒子が形成される。そして、かかる第1リセット放電の終息後、全ての放電セルPC内の行電極Y近傍には負極性の壁電荷、列電極D近傍には正極性の壁電荷が夫々形成される。又、リセット行程Rの前半部では、X電極ドライバ51が、かかるリセットパルス RP_{Y1} と同一極性であり、且つ、上記リセットパルス RP_{Y1} の印加に伴う行電極X及びY間での面放電を防止し得るピーク電位を有するリセットパルス RP_X を全ての行電極 $X_1 \sim X_n$ 各々に印加する。次に、リセット行程Rの後半部では、Y電極ドライバ53が、時間経過に伴う前縁部での電位推移が緩やかな負極性のリセットパルスRPを発生し、これを全ての行電極 $Y_1 \sim Y_n$ に印加する。更に、リセット行程Rの後半部では、X電極ドライバ51が、正極性の所定のベース電位を有するベースパルス BP^+ を全ての行電極 $X_1 \sim X_n$ 各々に印加する。この際、これら負極性のリセットパルスRP及び正極性のベースパルス BP^+ の印加に応じて、全ての放電セルPC内の行電極X及びY間において第2リセット放電が生起される。尚、リセットパルスRP及びベースパルス BP^+ 各々のピーク電位は、上記第1リセット放電に応じて行電極X及びY各々の近傍に形成された壁電荷を考慮した上で、行電極X及びY間において確実に上記第2リセット放電を生起させることができる最低の電位である。又、リセットパルスRPにおける負のピーク電位は、後述する負極性の書込走査パルス SP_w のピーク電位よりも高い電位、つまり0ボルトに近い電位に設定されている。すなわち、リセットパルスRPのピーク電位を書込走査パルス SP_w のピーク電位よりも低くしてしまうと、行電極Y及び列電極D間において強い放電が生起され、列電極D近傍に形成されていた壁電荷が大幅に消去されてしまい、選択書込アドレス行程 W_w でのアドレス放電が不安定となるからである。リセット行程Rの後半部において生起された第2リセット放電により、各放電セルPC内の行電極X及びY各々の近傍に形成されていた壁電荷が消去され、全ての放電セルPCが消灯モードに初期化される。更に、上記リセッ

10

20

30

40

50

トパルス R P の印加に応じて、全ての放電セル P C 内の行電極 Y 及び列電極 D 間においても微弱な放電が生起され、かかる放電により、列電極 D 近傍に形成されていた正極性の壁電荷の一部が消去され、選択書込アドレス行程 W_w において正しく選択書込アドレス放電を生起させ得る量に調整される。尚、上記リセットパルス R P のパルス電圧はサスティンパルス I P のパルス電圧よりも低く設定されている。又、リセットパルス R P 及びベースパルス B P ⁺ によって各放電セル内の行電極 X 及び Y 間に印加される電圧は、サスティンパルス I P の印加によって行電極 X 及び Y 間に印加される電圧よりも低い電圧である。よって、リセットパルス R P 及びベースパルス B P ⁺ の印加に応じて生起されるリセット放電は、サスティンパルス I P の印加によって生起されるサスティン放電よりも弱い放電となる。

10

【0102】

このように、リセット行程 R の前半部では荷電粒子の形成を行うべく比較的弱い第 1 リセット放電を生起させるようにしている。よって、図 20 に示される駆動を採用することにより、荷電粒子を多量に形成させるべく強いリセット放電を生起させるようにした場合に比して、暗コントラストを向上させつつも、荷電粒子の補充を行うことが可能となる。

【0103】

尚、各フィールド（又はフレーム）毎に図 20 に示す如き形態で P D P 50 を駆動するにあたり、複数フィールド毎に 1 回の割合で図 9 に示す如き形態で P D P 50 を駆動するようにしても良い。又、各フィールド（又はフレーム）毎に図 9 に示す如き形態で P D P 50 を駆動しつつ、複数フィールド毎に 1 回の割合で図 20 に示す如き形態で P D P 50

20

【0104】

又、上記実施例においては、P D P 50 を駆動する発光駆動シーケンスとして図 8 に示されるものを採用しているが、図 8 に代わり図 21 に示す如き発光駆動シーケンスに従って P D P 50 を駆動するようにしても良い。

【0105】

この際、画素駆動データ生成回路 2 は、A/D 変換器 1 から供給された各画素毎の輝度レベルを 8 ビットにて表す画素データ P D に対して、先ず、前述した如き誤差拡散処理及びディザ処理からなる多階調化処理を施す。かかる多階調化処理により、画素データ P D の各々は、全輝度レベルを 16 段階（第 1 ～ 第 16 階調）にて表す、図 22 に示す如き 4

30

ビットの多階調化画素データ P D_s に変換される。そして、画素駆動データ生成回路 2 は、かかる多階調化画素データ P D_s を図 22 に示す如きデータ変換テーブルに従って 14

ビットの画素駆動データ G D に変換し、これを強制点灯処理回路 3 に供給する。

【0106】

強制点灯処理回路 3 は、図 10 に示す構成を有し、各画素毎の画素駆動データ G D 各々に対して前述した如き強制点灯処理（図 11 ～ 図 19 に示す）を施して得られた画素駆動データ G G D をメモリ 4 に供給する。尚、画素駆動データ G G D も、図 22 に示す如き、14 ビットの画素駆動データ G D による各階調毎のデータパターンと同一のデータパターン（14 ビット）を有する。

【0107】

40

メモリ 4 は、上記画素駆動データ G G D を順次書き込み、1 画面分、つまり第 1 行・第 1 列～第 n 行・第 m 列の各画素に対応した画素駆動データ G G D_(1,1) ～ G G D_(n,m) の書き込みが終了する度に、以下の如き読み出しを行う。先ず、メモリ 4 は、画素駆動データ G G D_(1,1) ～ G G D_(n,m) 各々の第 1 ビット目を画素駆動データビット D B_(1,1) ～ D B_(n,m) と捉え、これらを図 21 に示されるサブフィールド S F 1 にて 1 表示ライン分ずつ読み出してアドレスドライバ 55 に供給する。次に、メモリ 4 は、画素駆動データ G G D_(1,1) ～ G G D_(n,m) 各々の第 2 ビット目を画素駆動データビット D B_(1,1) ～ D B_(n,m) と捉え、図 21 に示されるサブフィールド S F 2 において 1 表示ライン分ずつ読み出してアドレスドライバ 55 に供給する。以下、同様にして、メモリ 4 は、画素駆動データ G G D_(1,1) ～ G G D_(n,m) 各々の各ビットを同一ビット桁同士にて分離して読み出し、そのビット

50

桁に対応したサブフィールドにおいて、夫々を画素駆動データビット $DB_{(1,1)} \sim DB_{(n,m)}$ としてアドレスドライバ 55 に供給する。

【0108】

この間、駆動制御回路 56 は、図 21 に示す如き発光駆動シーケンスに従って PDP 50 を駆動させるべき各種制御信号を、X 電極ドライバ 51、Y 電極ドライバ 53 及びアドレスドライバ 55 からなるパネルドライバに供給する。すなわち、駆動制御回路 56 は、図 21 に示す如き 1 フィールド（1 フレーム）表示期間内の先頭のサブフィールド SF1 では、第 1 リセット行程 R1、第 1 選択書込アドレス行程 $W1_w$ 及び微小発光行程 LL 各々に従った駆動を順次実施させるべき各種制御信号をパネルドライバに供給する。かかるサブフィールド SF1 に後続する SF2 では、第 2 リセット行程 R2、第 2 選択書込アドレス行程 $W2_w$ 及びサスティン行程 I 各々に従った駆動を順次実施させるべき各種制御信号をパネルドライバに供給する。又、サブフィールド SF3 ~ SF14 各々では、選択消去アドレス行程 W_d 及びサスティン行程 I 各々に従った駆動を順次実施させるべき各種制御信号をパネルドライバに供給する。尚、1 フィールド表示期間内の最後尾のサブフィールド SF14 に限り、サスティン行程 I の実行後、駆動制御回路 56 は、消去行程 E に従った駆動を順次実施させるべき各種制御信号をパネルドライバに供給する。

10

【0109】

パネルドライバ（X 電極ドライバ 51、Y 電極ドライバ 53 及びアドレスドライバ 55）は、駆動制御回路 56 から供給された各種制御信号に応じて、図 23 に示す如き各種駆動パルスを生成して PDP 50 の列電極 D、行電極 X 及び Y に供給する。

20

【0110】

尚、図 23 においては、図 21 に示されるサブフィールド SF1 ~ SF14 の内の SF1 ~ SF3、並びに最後尾のサブフィールド SF14 での動作のみを抜粋して示すものである。

【0111】

先ず、サブフィールド SF1 の第 1 リセット行程 R1 では、アドレスドライバ 55 は、列電極 $D_1 \sim D_m$ を接地電位（0 ボルト）の状態に設定する。Y 電極ドライバ 53 は、時間経過に伴う前縁部での電位推移が緩やかな波形を有する負極性のリセットパルス RP を発生し、これを全ての行電極 $Y_1 \sim Y_n$ に印加する。尚、リセットパルス RP における負のピーク電位は、後述する負極性の書込走査パルス SP_w のピーク電位よりも高い電位、つまり 0 ボルトに近い電位に設定されている。すなわち、リセットパルス RP のピーク電位を書込走査パルス SP_w のピーク電位よりも低くしてしまうと、行電極 Y 及び列電極 D 間において強い放電が生起され、列電極 D 近傍に形成されていた壁電荷が大幅に消去されてしまい、第 1 選択書込アドレス行程 $W1_w$ でのアドレス放電が不安定となるからである。この間、X 電極ドライバ 51 は、全ての行電極 $X_1 \sim X_n$ を接地電位（0 ボルト）に設定する。かかるリセットパルス RP の印加に応じて、全ての放電セル PC 内の行電極 X 及び Y 間においてリセット放電が生起される。かかるリセット放電により、各放電セル PC 内の行電極 X 及び Y 各々の近傍に残存していた壁電荷が消去され、全ての放電セル PC が消灯モードに初期化される。更に、上記リセットパルス RP の印加に応じて、全ての放電セル PC 内の行電極 Y 及び列電極 D 間においても微弱な放電が生起される。この微弱な放電により、列電極 D 近傍に形成されていた正極性の壁電荷の一部が消去され、後述する第 1 選択書込アドレス行程 $W1_w$ において正しく選択書込アドレス放電を生起させ得る量に調整される。尚、上記リセットパルス RP のパルス電圧はサスティンパルス IP のパルス電圧よりも低く設定されている。又、リセットパルス RP によって各放電セル内の行電極 X 及び Y 間に印加される電圧は、サスティンパルス IP の印加によって行電極 X 及び Y 間に印加される電圧よりも低い電圧である。よって、リセットパルス RP の印加に応じて生起されるリセット放電は、サスティンパルス IP の印加によって生起されるサスティン放電よりも弱い放電となる。

30

40

【0112】

次に、サブフィールド SF1 の第 1 選択書込アドレス行程 $W1_w$ では、Y 電極ドライバ

50

5 3 が、図 2 3 に示す如き負極性の所定ベース電位を有するベースパルス $B P^-$ を行電極 $Y_1 \sim Y_n$ に同時に印加しつつ、負極性のピーク電位を有する書込走査パルス $S P_W$ を行電極 $Y_1 \sim Y_n$ 各々に順次択一的に印加して行く。この間、アドレスドライバ 5 5 は、先ず、サブフィールド $S F 1$ に対応した画素駆動データビットをその論理レベルに応じたパルス電圧を有する画素データパルス $D P$ に変換する。例えば、アドレスドライバ 5 5 は、放電セル $P C$ を点灯モードに設定させるべき論理レベル 1 の画素駆動データビットが供給された場合にはこれを正極性のピーク電位を有する画素データパルス $D P$ に変換する。一方、放電セル $P C$ を消灯モードに設定させるべき論理レベル 0 の画素駆動データビットに対してはこれを低電圧 (0 ボルト) の画素データパルス $D P$ に変換する。そして、アドレスドライバ 5 5 は、かかる画素データパルス $D P$ を 1 表示ライン分 (m 個) ずつ、各書込走査パルス $S P_W$ の印加タイミングに同期して列電極 $D_1 \sim D_m$ に印加して行く。この際、上記書込走査パルス $S P_W$ と同時に、点灯モードに設定させるべき高電圧の画素データパルス $D P$ が印加された放電セル $P C$ 内の列電極 D 及び行電極 Y 間に選択書込アドレス放電が生起される。尚、この間、行電極 X 及び Y 間にも書込走査パルス $S P_W$ に応じた電圧が印加されることになるが、この段階では全ての放電セル $P C$ は消灯モード、つまり壁電荷が消去された状態にあるので、かかる書込走査パルス $S P_W$ の印加だけでは行電極 X 及び Y 間には放電が生じない。従って、サブフィールド $S F 1$ の第 1 選択書込アドレス行程 $W 1_W$ では、書込走査パルス $S P_W$ 及び高電圧の画素データパルス $D P$ の印加に応じて、放電セル $P C$ 内の列電極 D 及び行電極 Y 間のみに選択書込アドレス放電が生起される。これにより、放電セル $P C$ 内の行電極 X 近傍には壁電荷が存在していないものの、行電極 Y 近傍には正極性の壁電荷、列電極 D 近傍には負極性の壁電荷が夫々形成された点灯モードの状態に設定される。一方、上記書込走査パルス $S P_W$ と同時に、消灯モードに設定させるべき低電圧 (0 ボルト) の画素データパルス $D P$ が印加された放電セル $P C$ 内の列電極 D 及び行電極 Y 間には上述した如き選択書込アドレス放電は生起されない。よって、この放電セル $P C$ は、第 1 リセット行程 $R 1$ において初期化された消灯モードの状態、つまり、行電極 Y 及び列電極 D 間、並びに行電極 X 及び Y 間のいずれにおいても放電が生じない状態を維持する。

【0113】

次に、サブフィールド $S F 1$ の微小発光行程 $L L$ では、 Y 電極ドライバ 5 3 が、図 2 3 に示す如き正極性の所定のピーク電位を有する微小発光パルス $L P$ を行電極 $Y_1 \sim Y_n$ に同時に印加する。かかる微小発光パルス $L P$ の印加に応じて、点灯モードに設定されている放電セル $P C$ 内の列電極 D 及び行電極 Y 間において放電 (以下、微小発光放電と称する) が生起される。つまり、微小発光行程 $L L$ では、放電セル $P C$ 内の行電極 Y 及び列電極 D 間では放電が生起されるものの、行電極 X 及び Y 間には放電が生起させることのない電位を行電極 Y に印加することにより、点灯モードに設定されている放電セル $P C$ 内の列電極 D 及び行電極 Y 間のみで微小発光放電を生起させるのである。この際、微小発光パルス $L P$ のピーク電位は、後述するサブフィールド $S F 2$ 以降のサスティン行程 I にて印加するサスティンパルス $I P$ のピーク電位よりも低い電位であり、例えば、後述する選択消去アドレス行程 W_D において行電極 Y に印加されるベース電位と同一である。又、図 2 3 に示す如く、微小発光パルス $L P$ における電位の立ち上がり区間での時間経過に伴う変化率は、リセットパルス $R P$ における立ち下がり区間での変化率よりも高くしている。つまり、微小発光パルス $L P$ の前縁部における電位推移をリセットパルスの前縁部における電位推移よりも急峻にすることにより、第 1 リセット行程 $R 1$ 及び第 2 リセット行程 $R 2$ で生起されるリセット放電よりも強い放電を生起させるのである。ここで、かかる放電は、前述した如き列側陰極放電であり且つ、サスティンパルス $I P$ よりもそのパルス電圧が低い微小発光パルス $L P$ によって生起された放電である為、行電極 X 及び Y 間で生起されるサスティン放電 (後述する) よりもその放電に伴う発光輝度が低い。すなわち、微小発光行程 $L L$ では、上記リセット放電よりも高い輝度レベルの発光を伴う放電であるものの、サスティン放電よりもその放電に伴う輝度レベルが低い放電、つまり表示用に利用できる程度の微小な発光を伴う放電を微小発光放電として生起させるのである。この際、微小発光

行程 L_L の直前において実施される第1選択書込アドレス行程 $W1_W$ では、放電セル PC 内の列電極 D 及び行電極 Y 間で選択書込アドレス放電が生起される。よって、サブフィールド $SF1$ では、かかる選択書込アドレス放電に伴う発光と上記微小発光放電に伴う発光とによって、輝度レベル 0 よりも1段階だけ高輝度な階調に対応した輝度が表現されるのである。

【0114】

尚、上記微小発光放電後、行電極 Y 近傍には負極性の壁電荷、列電極 D 近傍には正極性の壁電荷が夫々形成される。

【0115】

次に、サブフィールド $SF2$ の第2リセット行程 $R2$ では、アドレスドライバ 55 は、列電極 $D_1 \sim D_m$ を接地電位 (0 ボルト) の状態に設定する。この間、 Y 電極ドライバ 53 は、時間経過に伴う前縁部での電位推移が緩やかな負極性のリセットパルス RP を行電極 $Y_1 \sim Y_n$ に印加する。更に、この間、 X 電極ドライバ 51 が、正極性の所定のベース電位を有するベースパルス BP^+ を行電極 $X_1 \sim X_n$ 各々に印加する。これら負極性のリセットパルス RP 及び正極性のベースパルス BP^+ の印加に応じて、全ての放電セル PC 内の行電極 X 及び Y 間においてリセット放電が生起される。尚、リセットパルス RP における負のピーク電位は、負極性の書込走査パルス SP_W のピーク電位よりも高い電位、つまり 0 ボルトに近い電位に設定されている。すなわち、リセットパルス RP のピーク電位を書込走査パルス SP_W のピーク電位よりも低くしてしまうと、行電極 Y 及び列電極 D 間において強い放電が生起され、列電極 D 近傍に形成されていた壁電荷が大幅に消去されてしまい、第2選択書込アドレス行程 $W2_W$ でのアドレス放電が不安定となるからである。ここで、第2リセット行程 $R2$ において生起されたりセット放電により、各放電セル PC 内の行電極 X 及び Y 各々の近傍に形成されていた壁電荷が消去され、全ての放電セル PC が消灯モードに初期化される。更に、上記リセットパルス RP の印加に応じて、全ての放電セル PC 内の行電極 Y 及び列電極 D 間においても微弱な放電が生起され、かかる放電により、列電極 D 近傍に形成されていた正極性の壁電荷の一部が消去され、第2選択書込アドレス行程 $W2_W$ において正しく選択書込アドレス放電を生起させ得る量に調整される。尚、上記リセットパルス RP のパルス電圧はサスティンパルス IP のパルス電圧よりも低く設定されている。又、リセットパルス RP 及びベースパルス BP^+ によって各放電セル内の行電極 X 及び Y 間に印加される電圧は、後述するサスティンパルス IP の印加によって行電極 X 及び Y 間に印加される電圧よりも低い電圧である。よって、リセットパルス RP 及びベースパルス BP^+ の印加に応じて生起されるリセット放電は、サスティンパルス IP の印加によって生起されるサスティン放電よりも弱い放電となる。

【0116】

次に、サブフィールド $SF2$ の第2選択書込アドレス行程 $W2_W$ では、 Y 電極ドライバ 53 が、図23に示す如き負極性の所定ベース電位を有するベースパルス BP^- を行電極 $Y_1 \sim Y_n$ に同時に印加しつつ、負極性のピーク電位を有する書込走査パルス SP_W を行電極 $Y_1 \sim Y_n$ 各々に順次択一的に印加して行く。 X 電極ドライバ 51 は、第2リセット行程 $R2$ において行電極 $X_1 \sim X_n$ に印加したベースパルス BP^+ をこの第2選択書込アドレス行程 $W2_W$ においても引き続き行電極 $X_1 \sim X_n$ 各々に印加する。尚、上記ベースパルス BP^- 及びベースパルス BP^+ 各々の電位は、書込走査パルス SP_W の非印加期間中における行電極 X 及び Y 間の電圧が放電セル PC の放電開始電圧よりも低くなるような電位に設定されている。更に、第2選択書込アドレス行程 $W2_W$ では、アドレスドライバ 55 が、先ず、サブフィールド $SF2$ に対応した画素駆動データビットをその論理レベルに応じたパルス電圧を有する画素データパルス DP に変換する。例えば、アドレスドライバ 55 は、放電セル PC を点灯モードに設定させるべき論理レベル1の画素駆動データビットが供給された場合にはこれを正極性のピーク電位を有する画素データパルス DP に変換する。一方、放電セル PC を消灯モードに設定させるべき論理レベル0の画素駆動データビットに対してはこれを低電圧 (0 ボルト) の画素データパルス DP に変換する。そして、アドレスドライバ 55 は、かかる画素データパルス DP を1表示ライン分 (m 個) ずつ、

各書込走査パルス SP_W の印加タイミングに同期して列電極 $D_1 \sim D_m$ に印加して行く。この際、上記書込走査パルス SP_W と同時に、点灯モードに設定させるべき高電圧の画素データパルス DP が印加された放電セル PC 内の列電極 D 及び行電極 Y 間には選択書込アドレス放電が生起される。更に、かかる選択書込アドレス放電の直後、この放電セル PC 内の行電極 X 及び Y 間にも微弱な放電が生起される。つまり、書込走査パルス SP_W が印加された後、行電極 X 及び Y 間にはベースパルス BP^- 及びベースパルス BP^+ に応じた電圧が印加されるが、この電圧は各放電セル PC の放電開始電圧よりも低い電圧に設定されている為、かかる電圧の印加だけでは放電セル PC 内で放電が生起されることはない。ところが、上記選択書込アドレス放電が生起されると、この選択書込アドレス放電に誘発されて、ベースパルス BP^- 及びベースパルス BP^+ に基づく電圧印加だけで行電極 X 及び Y 間に放電が生起されるのである。このような放電は、ベースパルス BP^+ が行電極 X に印加されない第 1 選択書込アドレス行程 W_1 では生起されない。かかる放電並びに上記選択書込アドレス放電により、この放電セル PC は、その行電極 Y 近傍に正極性の壁電荷、行電極 X 近傍に負極性の壁電荷、列電極 D 近傍に負極性の壁電荷が夫々形成された状態、すなわち、点灯モードに設定される。一方、上記書込走査パルス SP_W と同時に、消灯モードに設定させるべき低電圧（0 ボルト）の画素データパルス DP が印加された放電セル PC 内の列電極 D 及び行電極 Y 間には上述した如き選択書込アドレス放電は生起されず、それ故に行電極 X 及び Y 間でも放電が生じることはない。よって、この放電セル PC は、その直前までの状態、すなわち、第 2 リセット行程 R_2 において初期化された消灯モードの状態を維持する。

【0117】

次に、サブフィールド SF_2 のサスティン行程 I では、 Y 電極ドライバ 53 が、正極性のピーク電位を有するサスティンパルス IP を 1 パルス分だけ発生しこれを行電極 $Y_1 \sim Y_n$ 各々に同時に印加する。この間、 X 電極ドライバ 51 は、行電極 $X_1 \sim X_n$ を接地電位（0 ボルト）の状態に設定し、アドレスドライバ 55 は、列電極 $D_1 \sim D_m$ を接地電位（0 ボルト）の状態に設定する。上記サスティンパルス IP の印加に応じて、上述した如き点灯モードに設定されている放電セル PC 内の行電極 X 及び Y 間においてサスティン放電が生起される。かかるサスティン放電に伴って蛍光体層 17 から照射される光が前面透明基板 10 を介して外部に照射されることにより、このサブフィールド SF_2 の輝度重みに対応した 1 回分の表示発光が為される。又、かかるサスティンパルス IP の印加に応じて、点灯モードに設定されている放電セル PC 内の行電極 Y 及び列電極 D 間においても放電が生起される。かかる放電並びに上記サスティン放電により、放電セル PC 内の行電極 Y 近傍には負極性の壁電荷、行電極 X 及び列電極 D 各々の近傍には夫々正極性の壁電荷が形成される。そして、かかるサスティンパルス IP の印加後、 Y 電極ドライバ 53 は、図 23 に示す如く時間経過に伴う前縁部での電位推移が緩やかな負極性のピーク電位を有する壁電荷調整パルス CP を行電極 $Y_1 \sim Y_n$ に印加する。かかる壁電荷調整パルス CP の印加に応じて、上記の如きサスティン放電の生起された放電セル PC 内で微弱な消去放電が生起され、その内部に形成されていた壁電荷の一部が消去される。これにより、放電セル PC 内の壁電荷の量が、次の選択消去アドレス行程 W_D において正しく選択消去アドレス放電を生起させ得る量に調整される。

【0118】

次に、サブフィールド $SF_3 \sim SF_{14}$ 各々の選択消去アドレス行程 W_0 では、 Y 電極ドライバ 53 が、正極性の所定ベース電位を有するベースパルス BP^+ を行電極 $Y_1 \sim Y_n$ 各々に印加しつつ、図 23 に示す如き負極性のピーク電位を有する消去走査パルス SP_D を行電極 $Y_1 \sim Y_n$ 各々に順次択一的に印加して行く。尚、ベースパルス BP^+ のピーク電位は、この選択消去アドレス行程 W_0 の実行期間中に亘り、行電極 X 及び Y 間での誤った放電を防止し得る電位に設定されている。又、選択消去アドレス行程 W_0 の実行期間中に亘り、 X 電極ドライバ 51 は、行電極 $X_1 \sim X_n$ 各々を接地電位（0 ボルト）に設定する。又、この選択消去アドレス行程 W_D において、アドレスドライバ 55 は、先ず、そのサブフィールド SF に対応した画素駆動データビットをその論理レベルに応じたパルス

電圧を有する画素データパルス D_P に変換する。例えば、アドレスドライバ 55 は、放電セル P_C を点灯モードから消灯モードに遷移させるべき論理レベル 1 の画素駆動データビットが供給された場合にはこれを正極性のピーク電位を有する画素データパルス D_P に変換する。一方、放電セル P_C の現状態を維持させるべき論理レベル 0 の画素駆動データビットが供給された場合にはこれを低電圧 (0 ボルト) の画素データパルス D_P に変換する。そして、アドレスドライバ 55 は、かかる画素データパルス D_P を 1 表示ライン分 (m 個) ずつ、各消去走査パルス S_{PD} の印加タイミングに同期して列電極 $D_1 \sim D_m$ に印加して行く。この際、上記消去走査パルス S_{PD} と同時に、高電圧の画素データパルス D_P が印加された放電セル P_C 内の列電極 D 及び行電極 Y 間に選択消去アドレス放電が生起される。かかる選択消去アドレス放電により、この放電セル P_C は、その行電極 Y 及び X 各々の近傍に正極性の壁電荷、列電極 D 近傍に負極性の壁電荷が夫々形成された状態、すなわち、消灯モードに設定される。一方、上記消去走査パルス S_{PD} と同時に、低電圧 (0 ボルト) の画素データパルス D_P が印加された放電セル P_C 内の列電極 D 及び行電極 Y 間には上述した如き選択消去アドレス放電は生起されない。よって、この放電セル P_C は、その直前までの状態 (点灯モード、消灯モード) を維持する。

10

【0119】

次に、サブフィールド $SF_3 \sim SF_{14}$ 各々のサスティン行程 I では、 X 電極ドライバ 51 及び Y 電極ドライバ 53 が、図 23 に示す如く、行電極 X 及び Y 交互に、そのサブフィールドの輝度重みに対応した回数 (偶数回数) 分だけ繰り返し、正極性のピーク電位を有するサスティンパルス I_P を行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ 各々に印加する。かかるサスティンパルス I_P が印加される度に、点灯モードに設定されている放電セル P_C 内の行電極 X 及び Y 間においてサスティン放電が生起される。かかるサスティン放電に伴って蛍光体層 17 から照射される光が前面透明基板 10 を介して外部に照射されることにより、そのサブフィールド SF の輝度重みに対応した回数分の表示発光が為される。この際、サブフィールド $SF_2 \sim SF_{14}$ 各々のサスティン行程 I において最終に印加されるサスティンパルス I_P に応じてサスティン放電が生起された放電セル P_C 内の行電極 Y 近傍には負極性の壁電荷、行電極 X 及び列電極 D 各々の近傍には正極性の壁電荷が形成される。そして、かかる最終サスティンパルス I_P の印加後、 Y 電極ドライバ 53 は、図 23 に示す如く時間経過に伴う前縁部での電位推移が緩やかな負極性のピーク電位を有する壁電荷調整パルス C_P を行電極 $Y_1 \sim Y_n$ に印加する。かかる壁電荷調整パルス C_P の印加に応じて、上記の如きサスティン放電の生起された放電セル P_C 内で微弱な消去放電が生起され、その内部に形成されていた壁電荷の一部が消去される。これにより、放電セル P_C 内の壁電荷の量が、次の選択消去アドレス行程 W_D において正しく選択消去アドレス放電を生起させ得る量に調整される。

20

30

【0120】

そして、最終のサブフィールド SF_{14} のサスティン行程 I の終了後、 Y 電極ドライバ 53 は、負極性のピーク電位を有する消去パルス E_P を全ての行電極 $Y_1 \sim Y_n$ に印加する。かかる消去パルス E_P の印加に応じて、点灯モード状態にある放電セル P_C のみに消去放電が生起される。かかる消去放電によって点灯モード状態にあった放電セル P_C は消灯モードの状態に遷移する。

40

【0121】

以上の如き駆動を、図 22 に示す如き 16 通りの画素駆動データ GGD に基づいて実行する。

【0122】

先ず、黒表示 (輝度レベル 0) を表現する第 1 階調よりも 1 段階だけ高輝度を表す第 2 階調では、図 22 に示す如く、サブフィールド $SF_1 \sim SF_{14}$ の内の SF_1 のみで放電セル P_C を点灯モードに設定させる為の選択書込アドレス放電を生起させ、この点灯モードに設定された放電セル P_C を微小発光放電させる (□にて示す)。この際、これら選択書込アドレス放電及び微小発光放電に伴う発光時の輝度レベルは、1 回分のサスティン放電に伴う発光時の輝度レベルよりも低い。よって、サスティン放電によって視覚される輝

50

度レベルを「1」とした場合、第2階調では、輝度レベル「1」よりも低い輝度レベル「 α 」に対応した輝度が表現される。

【0123】

次に、かかる第2階調よりも1段階だけ高輝度を表す第3階調では、サブフィールドSF1～SF14の内のSF2のみで放電セルPCを点灯モードに設定させる為の選択書込アドレス放電を生起させ（二重丸にて示す）、次のサブフィールドSF3で放電セルPCを消灯モードに遷移させる為の選択消去アドレス放電を生起させる（黒丸にて示す）。よって、第3階調では、サブフィールドSF1～SF14の内のSF2のサスティン行程Iのみで1回分のサスティン放電に伴う発光が為され、輝度レベル「1」に対応した輝度が表現される。

10

【0124】

次に、かかる第3階調よりも1段階だけ高輝度を表す第4階調では、先ず、サブフィールドSF1において、放電セルPCを点灯モードに設定させる為の選択書込アドレス放電を生起させ、この点灯モードに設定された放電セルPCを微小発光放電させる（□にて示す）。更に、かかる第4階調では、サブフィールドSF1～SF14の内のSF2のみで放電セルPCを点灯モードに設定させる為の選択書込アドレス放電を生起させ（二重丸にて示す）、次のサブフィールドSF3で放電セルPCを消灯モードに遷移させる為の選択消去アドレス放電を生起させる（黒丸にて示す）。よって、第4階調では、サブフィールドSF1にて輝度レベル「 α 」の発光が為され、SF2にて輝度レベル「1」の発光を伴うサスティン放電が1回分だけ実施されるので、輝度レベル「 α 」+「1」に対応した輝度が表現される。

20

【0125】

又、第5階調～第16階調各々では、サブフィールドSF1において放電セルPCを点灯モードに設定させる選択書込アドレス放電を生起させ、この点灯モードに設定された放電セルPCを微小発光放電させる（□にて示す）。そして、その階調に対応した1のサブフィールドのみで放電セルPCを消灯モードに遷移させる為の選択消去アドレス放電を生起させる（黒丸にて示す）。よって、第5階調～第16階調各々では、サブフィールドSF1にて上記微小発光放電が生起され、SF2にて1回分のサスティン放電を生起された後、その階調に対応した数だけ連続したサブフィールド各々（白丸にて示す）でそのサブフィールドに割り当てられている回数分だけサスティン放電が生起される。これにより、第5階調～第16階調各々では、輝度レベル「 α 」+「1フィールド（又は1フレーム）表示期間内において生起されたサスティン放電の総数」に対応した輝度が視覚される。

30

【0126】

すなわち、図22に示す如き第1階調～第16階調駆動によれば、輝度レベル「0」～「 $255 + \alpha$ 」なる輝度範囲を図22に示す如き16段階にて表すことが可能となるのである。

【0127】

尚、図22に示される駆動では、第4階調以降の各階調においてもサブフィールドSF1において輝度レベル α の発光を伴う微小発光放電を生起させるようにしているが、第3階調以降の階調では、この微小発光放電を生起させないようにしても良い。要するに、微小発光放電に伴う発光は極めて低輝度（輝度レベル α ）である為、これよりも高輝度な発光を伴うサスティン放電との併用が為される第4階調以降の階調では、輝度レベル α の輝度増加分を視覚することができなくなる場合があり、この際、微小発光放電を生起させる意義がなくなるからである。

40

【0128】

ここで、図1に示されるプラズマディスプレイ装置では、放電セルPC内に形成されているCL発光MgOの作用を利用することにより、図23に示すリセット行程（R1、R2）の各々では、サスティン放電よりも微弱なりセット放電だけで全放電セルPCの初期化を完了させている。つまり、従来、比較的多量の荷電粒子を放電空間内に放出させるべく、リセット行程では、サスティンパルスよりも高電圧のリセットパルスを印加すること

50

により、サスティン放電よりも強い放電をリセット放電として生起させるようにしている。すなわち、初期化の段階で多量の荷電粒子を放電空間内に放出させることにより、アドレス行程での書込アドレス放電の安定化を図るのである。ところが、本実施例の如きCL発光MgOが形成されている放電セルは、CL発光MgOが形成されていない放電セルに比して、リセット放電によって放出される荷電粒子の量に拘わらず、アドレス行程での書込アドレス放電が安定化する。そこで、リセット行程(R1、R2)では、比較的多量の荷電粒子を放電空間内に放出させることができる強いリセット放電、つまりサスティン放電よりも強い放電となるリセット放電を省略することにより、暗コントラストの向上を図るようにしたのである。

【0129】

10

ところが、黒表示の状態が継続すると、たとえCL発光MgOの作用によって書込アドレス放電の安定化が図られても、荷電粒子不足に起因してアドレス行程(W1_w、W2_w)において書込アドレス放電ミスが発生する場合があった。

【0130】

そこで、この書込アドレス放電ミスを防止すべく、強制点灯処理回路3の動作により、荷電粒子不足が予測される放電セルに時間的及び／又は空間的に隣接する隣接放電セルを、強制的に黒表示以外の階調、例えば図22に示す如き第2階調で駆動させるようにしたのである。すなわち、図13に示す如き表示状態となる場合には、荷電粒子不足が予測される点灯遷移セル(中央の放電セル)に隣接する放電セルが本来、黒表示の第1階調で駆動されるものであっても、これを強制的に図22に示す如き第2階調で駆動させるようにしたのである(図17～図19)。かかる処理によれば、時間的及び／又は空間的に点灯遷移セルに隣接する隣接放電セルにおいて強制的に微弱発光放電が生起されるようになり、この微弱発光放電によって点灯遷移セルに対する荷電粒子の補充が為される。よって、荷電粒子不足が解消され、当該放電セルの書込アドレス放電が安定化する。

20

【0131】

従って、図21～図23に示す如き駆動を採用した際にも、荷電粒子不足が生じる状況、つまり連続する2つのフィールド間で3×3ブロック内の各放電セルの状態が図13に示す如く遷移する場合に懸念される書込アドレス放電ミスを防止できるようになる。

【0132】

尚、図23に示す駆動では、第1リセット行程R1及び第2リセット行程R2各々でリセットパルスRPを1度だけ印加することによりリセット放電を生起させるようにしているが、その直前において荷電粒子を形成させる為のリセット放電を生起させるようにしても良い。

30

【0133】

図24は、かかる点に鑑みて為された他の駆動パルスの印加例を示す図である。

【0134】

尚、図24において、SF1の第1リセット行程R1及びSF2の第2リセット行程R2を除く他の行程で印加される各種駆動パルス及びその印加タイミングは、図23に示されるものと同一であるので、その説明は省略する。

【0135】

40

図24における第1リセット行程R1では、先ず、その前半部において、Y電極ドライバ53が、サスティンパルスIPに比して時間経過に伴う前縁部での電位推移が緩やかな波形を有する正極性のリセットパルスRP1_{Y1}を全ての行電極Y₁～Y_nに印加する。尚、リセットパルスRP1_{Y1}のピーク電位は、サスティンパルスIPのピーク電位よりも低電位である。又、この間、アドレスドライバ55は、列電極D₁～D_mを接地電位(0ボルト)の状態に設定する。上記リセットパルスRP1_{Y1}の印加に応じて、全ての放電セルPC各々内の行電極Y及び列電極D間において第1リセット放電が生起される。すなわち、第1リセット行程R1の前半部では、行電極Yが陽極側、列電極Dが陰極側となるように両電極間に電圧を印加することにより、行電極Yから列電極Dに向けて電流が流れることになる列側陰極放電が第1リセット放電として生起させるのである。かかる第1

50

リセット放電に応じて、全ての放電セルPC内の放電空間内には荷電粒子が形成される。そして、かかる第1リセット放電の終息後、全ての放電セルPC内の行電極Y近傍には負極性の壁電荷、列電極D近傍には正極性の壁電荷が夫々形成される。又、第1リセット行程R1の前半部では、X電極ドライバ51が、かかるリセットパルス $RP1_{Y1}$ と同一極性であり、且つ、上記リセットパルス $RP1_{Y1}$ の印加に伴う行電極X及びY間での面放電を防止し得るピーク電位を有するリセットパルス $RP1_X$ を全ての行電極 $X_1 \sim X_n$ 各々に印加する。次に、第1リセット行程R1の後半部では、Y電極ドライバ53が、時間経過に伴う前縁部での電位推移が緩やかな負極性のリセットパルスRPを発生し、これを全ての行電極 $Y_1 \sim Y_n$ に印加する。この際、負極性のリセットパルスRPの印加に応じて、全ての放電セルPC内の行電極X及びY間において第2リセット放電が生起される。尚、リセットパルスRPのピーク電位は、上記第1リセット放電に応じて行電極X及びY各々の近傍に形成された壁電荷を考慮した上で、行電極X及びY間において確実に上記第2リセット放電を生起させることができる最低の電位である。又、リセットパルスRPにおける負のピーク電位は、負極性の書込走査パルス SP_W のピーク電位よりも高い電位、つまり0ボルトに近い電位に設定されている。すなわち、リセットパルスRPのピーク電位を書込走査パルス SP_W のピーク電位よりも低くしてしまうと、行電極Y及び列電極D間において強い放電が生起され、列電極D近傍に形成されていた壁電荷が大幅に消去されてしまい、第1選択書込アドレス行程 $W1_W$ でのアドレス放電が不安定となるからである。第1リセット行程R1の後半部において生起された第2リセット放電により、各放電セルPC内の行電極X及びY各々の近傍に形成されていた壁電荷が消去され、全ての放電セルPCが消灯モードに初期化される。更に、上記リセットパルスRPの印加に応じて、全ての放電セルPC内の行電極Y及び列電極D間においても微弱な放電が生起され、かかる放電により、列電極D近傍に形成されていた正極性の壁電荷の一部が消去され、第1選択書込アドレス行程 $W1_W$ において正しく選択書込アドレス放電を生起させ得る量に調整される。尚、上記リセットパルスRPのパルス電圧はサスティンパルスIPのパルス電圧よりも低く設定されている。又、リセットパルスRPによって各放電セル内の行電極X及びY間に印加される電圧は、後述するサスティンパルスIPの印加によって行電極X及びY間に印加される電圧よりも低い電圧である。よって、リセットパルスRPの印加に応じて生起されるリセット放電は、サスティンパルスIPの印加によって生起されるサスティン放電よりも弱い放電となる。

【0136】

このように、第1リセット行程R1の前半部では、荷電粒子の形成を行うべく比較的弱い第1リセット放電を生起させるようにしている。よって、強いリセット放電を生起させる場合に比して、暗コントラストを向上させることができる。

【0137】

又、図24に示される第2リセット行程R2の前半部では、Y電極ドライバ53が、サスティンパルスIPに比して時間経過に伴う前縁部での電位推移が緩やかな波形を有する正極性のリセットパルス $RP2_{Y1}$ を全ての行電極 $Y_1 \sim Y_n$ に印加する。尚、リセットパルス $RP2_{Y1}$ のピーク電位は、サスティンパルスIPのピーク電位よりも低電位である。又、この間、アドレスドライバ55は、列電極 $D_1 \sim D_m$ を接地電位（0ボルト）の状態に設定する。更に、この間、X電極ドライバ51は、上記リセットパルス $RP2_{Y1}$ の印加に伴う行電極X及びY間での面放電を防止し得るピーク電位を有する正極性のリセットパルス $RP2_X$ を全ての行電極 $X_1 \sim X_n$ 各々に印加する。尚、行電極X及びY間で面放電が生じないのであれば、X電極ドライバ51は、上記リセットパルス $RP2_X$ を印加する代わりに、全ての行電極 $X_1 \sim X_n$ を接地電位（0ボルト）に設定するようにしても良い。上記リセットパルス $RP2_{Y1}$ の印加に応じて、放電セルPC各々の内で上記微小発光行程LLにて列側陰極放電が生起されなかった放電セルPC内の行電極Y及び列電極D間において、かかる微小発光行程LLでの列側陰極放電よりも弱い第1リセット放電が生起される。すなわち、第2リセット行程R2の前半部では、行電極Yが陽極側、列電極Dが陰極側となるように両電極間に電圧を印加することにより、行電極Yから列電極D

に向けて電流が流れる列側陰極放電を上記第1リセット放電として生起させるのである。一方、上記微小発光行程LLにおいて既に微小発光放電が生起された放電セルPC内では、上記リセットパルス $RP2_{Y1}$ の印加が為されても放電は生起されない。従って、第2リセット行程R2の前半部の終了直後、全ての放電セルPC内の行電極Y近傍には負極性の壁電荷、列電極D近傍には正極性の壁電荷が形成された状態となる。

【0138】

第2リセット行程R2の後半部では、Y電極ドライバ53が、時間経過に伴う前縁部での電位推移が緩やかな負極性のリセットパルスRPを行電極 $Y_1 \sim Y_n$ に印加する。更に、第2リセット行程R2の後半部では、X電極ドライバ51が、正極性の所定のベース電位を有するベースパルス BP^+ を行電極 $X_1 \sim X_n$ 各々に印加する。この際、これら負極性のリセットパルスRP及び正極性のベースパルス BP^+ の印加に応じて、全ての放電セルPC内の行電極X及びY間において第2リセット放電が生起される。尚、リセットパルスRP及びベースパルス BP^+ 各々のピーク電位は、上記第1リセット放電によって行電極X及びY各々の近傍に形成された壁電荷を考慮した上で、行電極X及びY間において確実に上記第2リセット放電を生起させることができる最低の電位である。又、リセットパルスRPにおける負のピーク電位は、負極性の書込走査パルス SP_W のピーク電位よりも高い電位、つまり0ボルトに近い電位に設定されている。すなわち、リセットパルスRPのピーク電位を書込走査パルス SP_W のピーク電位よりも低くしてしまうと、行電極Y及び列電極D間において強い放電が生起され、列電極D近傍に形成されていた壁電荷が大幅に消去されてしまい、第2選択書込アドレス行程 $W2_W$ でのアドレス放電が不安定となるからである。ここで、第2リセット行程R2の後半部において生起された第2リセット放電により、各放電セルPC内の行電極X及びY各々の近傍に形成されていた壁電荷が消去され、全ての放電セルPCが消灯モードに初期化される。更に、上記リセットパルスRPの印加に応じて、全ての放電セルPC内の行電極Y及び列電極D間においても微弱な放電が生起され、かかる放電により、列電極D近傍に形成されていた正極性の壁電荷の一部が消去され、第2選択書込アドレス行程 $W2_W$ において正しく選択書込アドレス放電を生起させ得る量に調整される。尚、上記リセットパルスRPのパルス電圧はサスティンパルスIPのパルス電圧よりも低く設定されている。又、リセットパルスRP及びベースパルス BP^+ によって各放電セル内の行電極X及びY間に印加される電圧は、サスティンパルスIPの印加によって行電極X及びY間に印加される電圧よりも低い電圧である。よって、リセットパルスRP及びベースパルス BP^+ の印加に応じて生起されるリセット放電は、サスティンパルスIPの印加によって生起されるサスティン放電よりも弱い放電となる。

【0139】

このように、図24に示される駆動では、第1リセット行程R1及び第2リセット行程R2各々の前半部において、荷電粒子の形成を行うべく比較的弱い第1リセット放電を生起させるようにしている。よって、図24に示される駆動を採用することにより、荷電粒子を多量に形成させるべく強いリセット放電を生起させる場合に比して暗コントラストを向上させつつも、荷電粒子の補充を行うことが可能となる。

【0140】

尚、各フィールド（又はフレーム）毎に図24に示す如き形態でPDP50を駆動するにあたり、複数フィールド毎に1回の割合で図23に示す如き形態でPDP50を駆動するようにしても良い。又、各フィールド（又はフレーム）毎に図23に示す如き形態でPDP50を駆動しつつ、複数フィールド毎に1回の割合で図24に示す如き形態でPDP50を駆動するようにしても良い。

【0141】

又、強制点灯処理回路3では、図13に示す如く放電セルのブロック毎に、そのブロック内の放電セルの全てが黒表示となる状態から、黒表示以外となる状態へ遷移したか否かを判定し、この遷移が生じたブロック内において、強制点灯駆動を実施させるべき放電セルを選定している。

【0142】

しかしながら、このような強制点灯駆動を実施させるべき放電セルを予め設定しておき、画素データPDに基づく表示状態の遷移に拘わらず、その放電セルに対して強制点灯駆動を実施させるようにしても良い。

【0143】

例えば、強制点灯駆動を実施させる放電セルを、k行L列の放電セル、m行n列の放電セルの如く予め設定しておき、黒表示が行われる際には、画素データPDに拘わらずこれら放電セル各々に対して上記の如き強制点灯駆動を実施させるのである。

【0144】

又、黒表示が行われる際には、ランダムな任意の放電セルに対して画素データPDに拘わらず上記の如き強制点灯駆動を実施させるようにしても良い。このような構成を採用した場合であっても、荷電粒子の発生作用がこの強制点灯駆動された放電セルから得られるので、図13に示す如き黒表示状態から非黒表示に遷移する放電セルに対して書込アドレス放電の安定化を図ることができる。

【0145】

又、図9に示す駆動では、サブフィールドSF1にサスティン行程Iを設けているが、SF1ではサスティン行程Iを実行しなくても良い。すなわち、この間、全ての行電極Yを接地電位（0ボルト）に維持させる。この際、上記の如き強制点灯駆動に設定された放電セルを、サブフィールドSF1の選択書込アドレス行程 W_W において選択書込アドレス放電させ、次のサブフィールドSF2の選択消去アドレス行程 W_D において選択消去アドレス放電させる。かかるサブフィールドSF1での選択書込アドレス放電による荷電粒子の発生作用により、図13に示す如き黒表示から非黒表示に遷移する放電セルでの書込アドレス放電が安定化する。更に、この場合、かかる強制点灯駆動に伴う発光は行電極及び列電極間で生じる書込アドレス放電による発光のみとなる。この発光は、サスティン放電の如き行電極間で生じる面放電よりも微弱な発光であり視覚的に目立ちにくいので、表示画像への影響が少なくなり好ましい。

【0146】

又、強制点灯処理回路3においては、3行×3列の放電セルのブロック毎に点灯遷移セルを検出するようにしているが、これに限定されない。すなわち、3行×3列のブロック毎に点灯遷移セルを検出する理由は、点灯遷移セルの周囲に隣接する8個の放電セルを強制点灯駆動の対象とさせる為である。しかしながら、例えばパネル構造等によっては、点灯遷移セルの斜め方向に夫々隣接する4つの放電セルに関しては、例えその放電セルで放電が生起されても点灯遷移セル内に荷電粒子を供給することができないものが存在する。そこで、このような場合には、3×3のブロックに代えて、点灯遷移セル及びその点灯遷移セルの上下左右に隣接する合計5つの放電セルにて上記の如きブロックを構成する。つまり、点灯遷移セル、及びこの点灯遷移セルに対して荷電粒子の供給を行うことが可能な隣接放電セルのみでブロックを構成するのである。更には、ブロック単位ではなく1セルで検出してもよい。この際、強制点灯駆動の対象となる放電セルに対しては、例え入力映像信号による輝度レベルが第2階調以上の輝度レベルを示すものであったとしても、強制点灯駆動（実施例では第2階調 or 第3階調等の低輝度レベルでの駆動）させる。

【0147】

又、図18に示す如き、時間的に隣接する放電セルに対して上記の如き強制点灯駆動を実施すると、その強制点灯駆動による放電が生起されてから、1フィールド経過後に通常の黒表示以外の駆動が為されることになる。この際、強制点灯駆動による放電によって発生した荷電粒子は時間経過と共に減少して行くので、その時間間隔は短い方が好ましい。

【実施例2】

【0148】

図25は、かかる点に鑑みて為されたプラズマディスプレイ装置の構成を示す図である。

【0149】

尚、図 25 に示されるプラズマディスプレイ装置は、図 1 に示される画素駆動データ生成回路 2 に代わり画素駆動データ生成回路 20 を設け、強制点灯処理回路 3 に代わり強制点灯処理回路 30 を設け、駆動制御回路 56 に代わり駆動制御回路 560 を設けた点を除く他の構成は、図 1 に示されるものと同一である。

【0150】

よって、以下に、画素駆動データ生成回路 20、強制点灯処理回路 30 及び駆動制御回路 560 を中心にその動作について説明する。

【0151】

先ず、画素駆動データ生成回路 20 は、画素駆動データ生成回路 2 において実施された処理と同様に、A/D 変換器 1 から供給された 8 ビットの画素データ PD に対して、誤差拡散処理及びディザ処理からなる多階調化処理を施す。かかる多階調化処理により、画素データ PD の各々は、全ての輝度レベルを 15 段階（第 1 ～ 第 15 階調）にて表す、図 26 に示す如き 4 ビットの多階調化画素データ PD_s に変換される。次に、画素駆動データ生成回路 2 は、かかる多階調化画素データ PD_s を図 26 に示す如きデータ変換テーブルに従って 14 ビットの画素駆動データ GD に変換し、これを強制点灯処理回路 30 に供給する。

【0152】

強制点灯処理回路 30 は、先ず、上記画素データ PD に基づき、3 行×3 列分の放電セルのブロック毎に、そのブロック内の放電セルの全てが図 13 に示す如く黒表示となる状態（直前フィールド）から、黒表示以外の輝度を担う放電セル、つまり点灯遷移セルが存在する状態（現フィールド）へ遷移したか否かを判定する。この際、強制点灯処理回路 30 は、図 13 に示す如き遷移が生じないと判定されたブロック内の放電セル各々に対応した画素駆動データ GD に対しては、これをそのまま画素駆動データ GGD としてメモリ 4 に供給する。一方、図 13 に示す如き遷移が生ずると判定されたブロック内の放電セル各々の内、点灯遷移セルに対応した画素駆動データ GD に対しては、以下の如きデータ置換処理を行う。

【0153】

すなわち、強制点灯処理回路 30 は、先ず、この画素駆動データ GD が、低輝度を表す階調、例えば図 26 に示す如き、第 1 階調～第 3 階調のいずれか 1 に対応した画素駆動データ GD、つまり、

第 1 階調：[0000000000000000]

第 2 階調：[1000000000000000]

第 3 階調：[0100000000000000]

であるか否かを判定する。

【0154】

ここで、画素駆動データ GD が、上記の如き第 1 階調～第 3 階調以外の階調を表すものであると判定された場合には、強制点灯処理回路 30 は、供給された画素駆動データ GD をそのまま画素駆動データ GGD としてメモリ 4 に供給する。

【0155】

一方、かかる画素駆動データ GD が、上記第 1 階調～第 3 階調のいずれか 1 に対応したものであると判定された場合、強制点灯処理回路 30 は、その画素駆動データ GD を、図 26 に示す第 4 階調に対応した画素駆動データ GD、つまり、

[0111000000000000]

に置換し、これを画素駆動データ GGD としてメモリ 4 に供給する。

【0156】

メモリ 4 は、上記画素駆動データ GGD を順次書き込み、1 画面分、つまり第 1 行・第 1 列～第 n 行・第 m 列の各画素に対応した画素駆動データ GGD_(1,1)～GGD_(n,m) の書き込みが終了する度に、以下の如き読み出しを行う。先ず、メモリ 4 は、画素駆動データ GGD_(1,1)～GGD_(n,m) 各々の第 1 ビット目を画素駆動データビット DB_(1,1)～DB_(n,m) と捉え、これらを後述するサブフィールド SF1 において 1 表示ライン分ずつ読み出

10

20

30

40

50

してアドレスドライバ55に供給する。次に、メモリ4は、画素駆動データ $GGD_{(1,1)} \sim GGD_{(n,m)}$ 各々の第2ビット目を画素駆動データビット $DB_{(1,1)} \sim DB_{(n,m)}$ と捉え、これらを後述するサブフィールドSF2において1表示ライン分ずつ読み出してアドレスドライバ55に供給する。以下、同様にして、メモリ4は、画素駆動データ $GGD_{(1,1)} \sim GGD_{(n,m)}$ 各々の各ビットを同一ビット桁同士にて分離して読み出し、そのビット桁に対応したサブフィールドにおいて、夫々を画素駆動データビット $DB_{(1,1)} \sim DB_{(n,m)}$ としてアドレスドライバ55に供給する。

【0157】

駆動制御回路560は、図27に示す如き発光駆動シーケンスに従ってPDP50を駆動させるべき各種制御信号をパネルドライバ（X電極ドライバ51、Y電極ドライバ53及びアドレスドライバ55）に供給する。すなわち、駆動制御回路560は、図27に示す如き1フィールド（1フレーム）表示期間内の先頭のサブフィールドSF1では、第1リセット行程R1、第1選択書込アドレス行程 $W1_w$ 及び微小発光行程LL各々に従った駆動を順次実施させるべき各種制御信号をパネルドライバに供給する。かかるサブフィールドSF1に後続するSF2では、駆動制御回路560は、第2リセット行程R2、第2選択書込アドレス行程 $W2_w$ 、サスティン行程I、走査消去行程ES各々に従った駆動を順次実施させるべき各種制御信号をパネルドライバに供給する。又、サブフィールドSF2に後続するSF3では、駆動制御回路560は、第3リセット行程R3、第3選択書込アドレス行程 $W3_w$ 、及びサスティン行程Iに従った駆動を順次実施させるべき各種制御信号をパネルドライバに供給する。そして、残りのサブフィールドSF4～SF14各々では、駆動制御回路560は、選択消去アドレス行程 W_d 及びサスティン行程I各々に従った駆動を順次実施させるべき各種制御信号をパネルドライバに供給する。尚、最後尾のサブフィールドSF14に限り、サスティン行程Iの実行後、駆動制御回路560は、消去行程Eに従った駆動を順次実施させるべき各種制御信号をパネルドライバに供給する。

【0158】

X電極ドライバ51、Y電極ドライバ53及びアドレスドライバ55からなるパネルドライバは、駆動制御回路560から供給された各種制御信号に応じて、図28に示す如き各種駆動パルスを生成してPDP50の列電極D、行電極X及びYに供給する。

【0159】

尚、サブフィールドSF4～SF14各々で印加される各種駆動パルス及びその印加タイミングについては図24に示されるものと同一である。よって、図28では、サブフィールドSF1～SF3各々での各種駆動パルス及びその印加タイミングのみを抜粋して示している。

【0160】

図28において、サブフィールドSF1の第1リセット行程R1では、アドレスドライバ55は、列電極 $D_1 \sim D_m$ を接地電位（0ボルト）の状態に設定する。この間、Y電極ドライバ53は、時間経過に伴う前縁部での電位推移が緩やかな波形を有する負極性のリセットパルスRPを発生し、これを全ての行電極 $Y_1 \sim Y_n$ に印加する。尚、リセットパルスRPにおける負のピーク電位は、後述する負極性の書込走査パルス SP_w のピーク電位よりも高い電位、つまり0ボルトに近い電位に設定されている。すなわち、リセットパルスRPのピーク電位を書込走査パルス SP_w のピーク電位よりも低くしてしまうと、行電極Y及び列電極D間において強い放電が生起され、列電極D近傍に形成されていた壁電荷が大幅に消去されてしまい、第1選択書込アドレス行程 $W1_w$ でのアドレス放電が不安定となるからである。この間、X電極ドライバ51は、全ての行電極 $X_1 \sim X_n$ を接地電位（0ボルト）に設定する。かかるリセットパルスRPの印加に応じて、全ての放電セルPC内の行電極X及びY間においてリセット放電が生起される。かかるリセット放電により、各放電セルPC内の行電極X及びY各々の近傍に残存していた壁電荷が消去され、全ての放電セルPCが消灯モードに初期化される。更に、上記リセットパルスRPの印加に応じて、全ての放電セルPC内の行電極Y及び列電極D間においても微弱な放電が生起される。この微弱な放電により、列電極D近傍に形成されていた正極性の壁電荷の一部が消

去され、後述する第1選択書込アドレス行程 $W1_W$ において正しく選択書込アドレス放電を生起させ得る量に調整される。尚、上記リセットパルス RP のパルス電圧はサスティンパルス IP のパルス電圧よりも低く設定されている。又、リセットパルス RP によって各放電セル内の行電極 X 及び Y 間に印加される電圧は、後述するサスティンパルス IP の印加によって行電極 X 及び Y 間に印加される電圧よりも低い電圧である。よって、リセットパルス RP の印加に応じて生起されるリセット放電は、サスティンパルス IP の印加によって生起されるサスティン放電よりも弱い放電となる。

【0161】

次に、サブフィールド $SF1$ の第1選択書込アドレス行程 $W1_W$ では、 Y 電極ドライバ53が、図28に示す如き負極性の所定ベース電位を有するベースパルス BP^- を行電極 $Y_1 \sim Y_n$ に同時に印加しつつ、負極性のピーク電位を有する書込走査パルス SP_W を行電極 $Y_1 \sim Y_n$ 各々に順次択一的に印加して行く。この間、アドレスドライバ55は、先ず、サブフィールド $SF1$ に対応した画素駆動データビットをその論理レベルに応じたパルス電圧を有する画素データパルス DP に変換する。例えば、アドレスドライバ55は、放電セル PC を点灯モードに設定させるべき論理レベル1の画素駆動データビットが供給された場合にはこれを正極性のピーク電位を有する画素データパルス DP に変換する。一方、放電セル PC を消灯モードに設定させるべき論理レベル0の画素駆動データビットに対してはこれを低電圧(0ボルト)の画素データパルス DP に変換する。そして、アドレスドライバ55は、かかる画素データパルス DP を1表示ライン分(m 個)ずつ、各書込走査パルス SP_W の印加タイミングに同期して列電極 $D_1 \sim D_m$ に印加して行く。この際、上記書込走査パルス SP_W と同時に、点灯モードに設定させるべき高電圧の画素データパルス DP が印加された放電セル PC 内の列電極 D 及び行電極 Y 間に選択書込アドレス放電が生起される。尚、この間、行電極 X 及び Y 間にも書込走査パルス SP_W に応じた電圧が印加されることになるが、この段階では全ての放電セル PC は消灯モード、つまり壁電荷が消去された状態にあるので、かかる書込走査パルス SP_W の印加だけでは行電極 X 及び Y 間には放電が生じない。従って、サブフィールド $SF1$ の第1選択書込アドレス行程 $W1_W$ では、書込走査パルス SP_W 及び高電圧の画素データパルス DP の印加に応じて、放電セル PC 内の列電極 D 及び行電極 Y 間のみに選択書込アドレス放電が生起される。これにより、放電セル PC 内の行電極 X 近傍には壁電荷が存在していないものの、行電極 Y 近傍には正極性の壁電荷、列電極 D 近傍には負極性の壁電荷が夫々形成された点灯モードの状態に設定される。一方、上記書込走査パルス SP_W と同時に、消灯モードに設定させるべき低電圧(0ボルト)の画素データパルス DP が印加された放電セル PC 内の列電極 D 及び行電極 Y 間には上述した如き選択書込アドレス放電は生起されない。よって、この放電セル PC は、第1リセット行程 $R1$ において初期化された消灯モードの状態、つまり、行電極 Y 及び列電極 D 間、並びに行電極 X 及び Y 間のいずれにおいても放電が生じない状態を維持する。

【0162】

次に、サブフィールド $SF1$ の微小発光行程 LL では、 Y 電極ドライバ53が、図28に示す如き正極性の所定のピーク電位を有する微小発光パルス LP を行電極 $Y_1 \sim Y_n$ に同時に印加する。かかる微小発光パルス LP の印加に応じて、点灯モードに設定されている放電セル PC 内の列電極 D 及び行電極 Y 間において微小発光放電が生起される。つまり、微小発光行程 LL では、放電セル PC 内の行電極 Y 及び列電極 D 間では放電が生起されるものの、行電極 X 及び Y 間には放電が生起させることのない電位を行電極 Y に印加することにより、点灯モードに設定されている放電セル PC 内の列電極 D 及び行電極 Y 間のみで微小発光放電を生起させるのである。この際、微小発光パルス LP のピーク電位は、後述するサブフィールド $SF2$ 以降のサスティン行程 I にて印加するサスティンパルス IP のピーク電位よりも低い電位であり、例えば、後述する選択消去アドレス行程 WD において行電極 Y に印加されるベース電位と同一である。又、図28に示す如く、微小発光パルス LP における電位の立ち上がり区間での時間経過に伴う変化率は、リセットパルス RP における立ち上がり区間での変化率よりも高くしている。つまり、微小発光パルス LP の

10

20

30

40

50

前縁部における電位推移をリセットパルスの前縁部における電位推移よりも急峻にすることにより、リセット放電よりも強い放電を生起させるのである。ここで、かかる放電は、列側陰極放電であり且つ、サスティンパルス I P よりもそのパルス電圧が低い微小発光パルス L P によって生起された放電である為、行電極 X 及び Y 間で生起されるサスティン放電よりもその放電に伴う発光輝度が低い。すなわち、微小発光行程 L L では、上記リセット放電よりも高い輝度レベルの発光を伴う放電であるものの、サスティン放電よりもその放電に伴う輝度レベルが低い放電、つまり表示用に利用できる程度の微小な発光を伴う放電を微小発光放電として生起させるのである。この際、微小発光行程 L L の直前において実施される第 1 選択書込アドレス行程 W 1_W では、放電セル P C 内の列電極 D 及び行電極 Y 間で選択書込アドレス放電が生起される。よって、サブフィールド S F 1 では、かかる
10 選択書込アドレス放電に伴う発光と上記微小発光放電に伴う発光とによって、輝度レベル 0 よりも 1 段階だけ高輝度な階調に対応した輝度が表現されるのである。

【0163】

尚、上記微小発光放電後、行電極 Y 近傍には負極性の壁電荷、列電極 D 近傍には正極性の壁電荷が夫々形成される。

【0164】

次に、サブフィールド S F 2 の第 2 リセット行程 R 2 では、アドレスドライバ 5 5 は、列電極 D₁ ~ D_m を接地電位 (0 ボルト) の状態に設定する。この間、Y 電極ドライバ 5 3 は、時間経過に伴う前縁部での電位推移が緩やかな負極性のリセットパルス R P を行電極 Y₁ ~ Y_n に印加する。更に、この間、X 電極ドライバ 5 1 が、正極性の所定のベース
20 電位を有するベースパルス B P⁺ を行電極 X₁ ~ X_n 各々に印加する。これら負極性のリセットパルス R P 及び正極性のベースパルス B P⁺ の印加に応じて、全ての放電セル P C 内の行電極 X 及び Y 間においてリセット放電が生起される。尚、リセットパルス R P における負のピーク電位は、負極性の書込走査パルス S P_W のピーク電位よりも高い電位、つまり 0 ボルトに近い電位に設定されている。すなわち、リセットパルス R P のピーク電位を書込走査パルス S P_W のピーク電位よりも低くしてしまうと、行電極 Y 及び列電極 D 間において強い放電が生起され、列電極 D 近傍に形成されていた壁電荷が大幅に消去されてしま
30 い、第 2 選択書込アドレス行程 W 2_W でのアドレス放電が不安定となるからである。ここで、第 2 リセット行程 R 2 において生起されたリセット放電により、各放電セル P C 内の行電極 X 及び Y 各々の近傍に形成されていた壁電荷が消去され、全ての放電セル P C が消灯モードに初期化される。更に、上記リセットパルス R P の印加に応じて、全ての放電セル P C 内の行電極 Y 及び列電極 D 間においても微弱な放電が生起され、かかる放電により、列電極 D 近傍に形成されていた正極性の壁電荷の一部が消去され、第 2 選択書込
40 アドレス行程 W 2_W において正しく選択書込アドレス放電を生起させ得る量に調整される。尚、上記リセットパルス R P のパルス電圧はサスティンパルス I P のパルス電圧よりも低く設定されている。又、リセットパルス R P 及びベースパルス B P⁺ によって各放電セル内の行電極 X 及び Y 間に印加される電圧は、後述するサスティンパルス I P の印加によって行電極 X 及び Y 間に印加される電圧よりも低い電圧である。よって、リセットパルス R P 及びベースパルス B P⁺ の印加に応じて生起されるリセット放電は、サスティンパルス I P の印加によって生起されるサスティン放電よりも弱い放電となる。

【0165】

次に、サブフィールド S F 2 の第 2 選択書込アドレス行程 W 2_W では、Y 電極ドライバ 5 3 が、図 2 8 に示す如き負極性の所定ベース電位を有するベースパルス B P⁻ を行電極 Y₁ ~ Y_n に同時に印加しつつ、負極性のピーク電位を有する書込走査パルス S P_W を行電極 Y₁ ~ Y_n 各々に順次択一的に印加して行く。X 電極ドライバ 5 1 は、第 2 リセット
50 行程 R 2 において行電極 X₁ ~ X_n に印加したベースパルス B P⁺ をこの第 2 選択書込アドレス行程 W 2_W においても引き続き行電極 X₁ ~ X_n 各々に印加する。尚、上記ベースパルス B P⁻ 及びベースパルス B P⁺ 各々の電位は、書込走査パルス S P_W の非印加期間中における行電極 X 及び Y 間の電圧が放電セル P C の放電開始電圧よりも低くなるような電位に設定されている。更に、第 2 選択書込アドレス行程 W 2_W では、アドレスドライバ

55が、先ず、サブフィールドSF2に対応した画素駆動データビットをその論理レベルに応じたパルス電圧を有する画素データパルスDPに変換する。例えば、アドレスドライバ55は、放電セルPCを点灯モードに設定させるべき論理レベル1の画素駆動データビットが供給された場合にはこれを正極性のピーク電位を有する画素データパルスDPに変換する。一方、放電セルPCを消灯モードに設定させるべき論理レベル0の画素駆動データビットに対してはこれを低電圧(0ボルト)の画素データパルスDPに変換する。そして、アドレスドライバ55は、かかる画素データパルスDPを1表示ライン分(m個)ずつ、各書込走査パルスSP_Wの印加タイミングに同期して列電極D₁~D_mに印加して行く。この際、上記書込走査パルスSP_Wと同時に、点灯モードに設定させるべき高電圧の画素データパルスDPが印加された放電セルPC内の列電極D及び行電極Y間には選択書込アドレス放電が生起される。更に、かかる選択書込アドレス放電の直後、この放電セルPC内の行電極X及びY間にも微弱な放電が生起される。つまり、書込走査パルスSP_Wが印加された後、行電極X及びY間にはベースパルスBP⁻及びベースパルスBP⁺に応じた電圧が印加されるが、この電圧は各放電セルPCの放電開始電圧よりも低い電圧に設定されている為、かかる電圧の印加だけでは放電セルPC内で放電が生起されることはない。ところが、上記選択書込アドレス放電が生起されると、この選択書込アドレス放電に誘発されて、ベースパルスBP⁻及びベースパルスBP⁺に基づく電圧印加だけで行電極X及びY間に放電が生起されるのである。このような放電は、ベースパルスBP⁺が行電極Xに印加されない第1選択書込アドレス行程W1_Wでは生起されない。かかる放電並びに上記選択書込アドレス放電により、この放電セルPCは、その行電極Y近傍に正極性の壁電荷、行電極X近傍に負極性の壁電荷、列電極D近傍に負極性の壁電荷が夫々形成された状態、すなわち、点灯モードに設定される。一方、上記書込走査パルスSP_Wと同時に、消灯モードに設定させるべき低電圧(0ボルト)の画素データパルスDPが印加された放電セルPC内の列電極D及び行電極Y間には上述した如き選択書込アドレス放電は生起されず、それ故に行電極X及びY間でも放電が生じることはない。よって、この放電セルPCは、その直前までの状態、すなわち、第2リセット行程R2において初期化された消灯モードの状態を維持する。

【0166】

次に、サブフィールドSF2のサスティン行程Iでは、Y電極ドライバ53が、正極性のピーク電位を有するサスティンパルスIPを1パルス分だけ発生しこれを行電極Y₁~Y_n各々に同時に印加する。この間、X電極ドライバ51は、行電極X₁~X_nを接地電位(0ボルト)の状態に設定し、アドレスドライバ55は、列電極D₁~D_mを接地電位(0ボルト)の状態に設定する。上記サスティンパルスIPの印加に応じて、上述した如き点灯モードに設定されている放電セルPC内の行電極X及びY間においてサスティン放電が生起される。かかるサスティン放電に伴って蛍光体層17から照射される光が前面透明基板10を介して外部に照射されることにより、このサブフィールドSF2の輝度重みに対応した1回分の表示発光が為される。又、かかるサスティンパルスIPの印加に応じて、点灯モードに設定されている放電セルPC内の行電極Y及び列電極D間においても放電が生起される。かかる放電並びに上記サスティン放電により、放電セルPC内の行電極Y近傍には負極性の壁電荷、行電極X及び列電極D各々の近傍には夫々正極性の壁電荷が形成される。そして、かかるサスティンパルスIPの印加後、Y電極ドライバ53は、図28に示す如く時間経過に伴う前縁部での電位推移が緩やかな負極性のピーク電位を有する壁電荷調整パルスCPを行電極Y₁~Y_nに印加する。かかる壁電荷調整パルスCPの印加に応じて、上記の如きサスティン放電の生起された放電セルPC内で微弱な消去放電が生起され、その内部に形成されていた壁電荷の一部が消去される。これにより、放電セルPC内の壁電荷の量が、次の走査消去行程ESにおいて正しく走査消去放電を生起させ得る量に調整される。

【0167】

次に、かかる走査消去行程ESでは、Y電極ドライバ53が、正極性の所定ベース電位を有するベースパルスBP⁺を行電極Y₁~Y_n各々に印加しつつ、図28に示す如き負

極性のピーク電位を有する消去走査パルス SP_D を行電極 $Y_1 \sim Y_n$ 各々に順次択一的に印加して行く。尚、ベースパルス BP^+ のピーク電位は、この走査消去行程 ES の実行期間中に亘り、行電極 X 及び Y 間での誤った放電を防止し得る電位に設定されている。この間、アドレスドライバ 55 は、放電セル PC を点灯モードから消灯モードに遷移させるべき正極性のピーク電位を有する画素データパルス DP を生成し、かかる画素データパルス DP を 1 表示ライン分 (m 個) ずつ、各消去走査パルス SP_D の印加タイミングに同期して列電極 $D_1 \sim D_m$ に印加して行く。又、走査消去行程 ES の実行期間中に亘り、 X 電極ドライバ 51 は、行電極 $X_1 \sim X_n$ 各々を接地電位 (0 ボルト) に設定する。ここで、上記消去走査パルス SP_D と同時に、正極性のピーク電位を有する高電圧の画素データパルス DP が印加された放電セル PC 内の列電極 D 及び行電極 Y 間には消去放電が生起される。かかる消去放電により、この放電セル PC は、その行電極 Y 及び X 各々の近傍に正極性の壁電荷、列電極 D 近傍に負極性の壁電荷が夫々形成された状態、すなわち、消灯モードに設定される。この際、各表示ライン毎に列電極 $D_1 \sim D_m$ 各々に印加される画素データパルス DP は全て、正極性のピーク電位を有するものである。よって、上記走査消去行程 ES によれば、1 画面分の全ての放電セル $PC_{1,1} \sim PC_{1,m}$ が 1 表示ライン分ずつ順次、消灯モードに設定され、各放電空間内での壁電荷の残留状態が略均一となる。これにより、後述する第 3 選択書込アドレス行程 $W3_W$ において各放電セル毎に生起される書込アドレス放電のバラツキを抑制させるのである。

【0168】

次に、サブフィールド $SF3$ の第 3 リセット行程 $R3$ では、アドレスドライバ 55 は、列電極 $D_1 \sim D_m$ を接地電位 (0 ボルト) の状態に設定する。この間、 Y 電極ドライバ 53 は、時間経過に伴う前縁部での電位推移が緩やかな負極性のリセットパルス RP を行電極 $Y_1 \sim Y_n$ に印加する。更に、この間、 X 電極ドライバ 51 が、正極性の所定のベース電位を有するベースパルス BP^+ を行電極 $X_1 \sim X_n$ 各々に印加する。これら負極性のリセットパルス RP 及び正極性のベースパルス BP^+ の印加に応じて、全ての放電セル PC 内の行電極 X 及び Y 間においてリセット放電が生起される。尚、リセットパルス RP における負のピーク電位は、負極性の書込走査パルス SP_W のピーク電位よりも高い電位、つまり 0 ボルトに近い電位に設定されている。すなわち、リセットパルス RP のピーク電位を書込走査パルス SP_W のピーク電位よりも低くしてしまうと、行電極 Y 及び列電極 D 間において強い放電が生起され、列電極 D 近傍に形成されていた壁電荷が大幅に消去されてしまい、第 3 選択書込アドレス行程 $W3_W$ でのアドレス放電が不安定となるからである。ここで、第 3 リセット行程 $R3$ において生起されたりセット放電により、各放電セル PC 内の行電極 X 及び Y 各々の近傍に形成されていた壁電荷が消去され、全ての放電セル PC が消灯モードに初期化される。更に、上記リセットパルス RP の印加に応じて、全ての放電セル PC 内の行電極 Y 及び列電極 D 間においても微弱な放電が生起され、かかる放電により、列電極 D 近傍に形成されていた正極性の壁電荷の一部が消去され、第 3 選択書込アドレス行程 $W3_W$ において正しく選択書込アドレス放電を生起させ得る量に調整される。尚、上記リセットパルス RP のパルス電圧はサスティンパルス IP のパルス電圧よりも低く設定されている。又、リセットパルス RP 及びベースパルス BP^+ によって各放電セル内の行電極 X 及び Y 間に印加される電圧は、サスティンパルス IP の印加によって行電極 X 及び Y 間に印加される電圧よりも低い電圧である。よって、リセットパルス RP 及びベースパルス BP^+ の印加に応じて生起されるリセット放電は、サスティンパルス IP の印加によって生起されるサスティン放電よりも弱い放電となる。

【0169】

次に、サブフィールド $SF3$ の第 3 選択書込アドレス行程 $W3_W$ では、 Y 電極ドライバ 53 が、図 28 に示す如き負極性の所定ベース電位を有するベースパルス BP^- を行電極 $Y_1 \sim Y_n$ に同時に印加しつつ、負極性のピーク電位を有する書込走査パルス SP_W を行電極 $Y_1 \sim Y_n$ 各々に順次択一的に印加して行く。 X 電極ドライバ 51 は、第 3 リセット行程 $R3$ において行電極 $X_1 \sim X_n$ に印加したベースパルス BP^+ をこの第 3 選択書込アドレス行程 $W3_W$ においても引き続き行電極 $X_1 \sim X_n$ 各々に印加する。尚、上記ベース

パルス $B P^-$ 及びベースパルス $B P^+$ 各々の電位は、書込走査パルス $S P_W$ の非印加期間中における行電極 X 及び Y 間の電圧が放電セル $P C$ の放電開始電圧よりも低くなるような電位に設定されている。更に、第3選択書込アドレス行程 $W 3_W$ では、アドレスドライバ $5 5$ が、先ず、サブフィールド $S F 3$ に対応した画素駆動データビットをその論理レベルに応じたパルス電圧を有する画素データパルス $D P$ に変換する。例えば、アドレスドライバ $5 5$ は、放電セル $P C$ を点灯モードに設定させるべき論理レベル 1 の画素駆動データビットが供給された場合にはこれを正極性のピーク電位を有する画素データパルス $D P$ に変換する。一方、放電セル $P C$ を消灯モードに設定させるべき論理レベル 0 の画素駆動データビットに対してはこれを低電圧 (0 ボルト) の画素データパルス $D P$ に変換する。そして、アドレスドライバ $5 5$ は、かかる画素データパルス $D P$ を 1 表示ライン分 (m 個) ずつ、各書込走査パルス $S P_W$ の印加タイミングに同期して列電極 $D_1 \sim D_m$ に印加して行く。この際、上記書込走査パルス $S P_W$ と同時に、点灯モードに設定させるべき高電圧の画素データパルス $D P$ が印加された放電セル $P C$ 内の列電極 D 及び行電極 Y 間には選択書込アドレス放電が生起される。更に、かかる選択書込アドレス放電の直後、この放電セル $P C$ 内の行電極 X 及び Y 間にも微弱な放電が生起される。つまり、書込走査パルス $S P_W$ が印加された後、行電極 X 及び Y 間にはベースパルス $B P^-$ 及びベースパルス $B P^+$ に応じた電圧が印加されるが、この電圧は各放電セル $P C$ の放電開始電圧よりも低い電圧に設定されている為、かかる電圧の印加だけでは放電セル $P C$ 内で放電が生起されることはない。ところが、上記選択書込アドレス放電が生起されると、この選択書込アドレス放電に誘発されて、ベースパルス $B P^-$ 及びベースパルス $B P^+$ に基づく電圧印加だけで行電極 X 及び Y 間に放電が生起されるのである。このような放電は、ベースパルス $B P^+$ が行電極 X に印加されない第1選択書込アドレス行程 $W 1_W$ では生起されない。かかる放電並びに上記選択書込アドレス放電により、この放電セル $P C$ は、その行電極 Y 近傍に正極性の壁電荷、行電極 X 近傍に負極性の壁電荷、列電極 D 近傍に負極性の壁電荷が夫々形成された状態、すなわち、点灯モードに設定される。一方、上記書込走査パルス $S P_W$ と同時に、消灯モードに設定させるべき低電圧 (0 ボルト) の画素データパルス $D P$ が印加された放電セル $P C$ 内の列電極 D 及び行電極 Y 間には上述した如き選択書込アドレス放電は生起されず、それ故に行電極 X 及び Y 間でも放電が生じることはない。よって、この放電セル $P C$ は、その直前までの状態、すなわち、第3リセット行程 $R 3$ において初期化された消灯モードの状態を維持する。

【0170】

次に、サブフィールド $S F 3$ のサスティン行程 I では、 Y 電極ドライバ $5 3$ が、正極性のピーク電位を有するサスティンパルス $I P$ を 1 パルス分だけ発生しこれを行電極 $Y_1 \sim Y_n$ 各々に同時に印加する。この間、 X 電極ドライバ $5 1$ は、行電極 $X_1 \sim X_n$ を接地電位 (0 ボルト) の状態に設定し、アドレスドライバ $5 5$ は、列電極 $D_1 \sim D_m$ を接地電位 (0 ボルト) の状態に設定する。上記サスティンパルス $I P$ の印加に応じて、上述した如き点灯モードに設定されている放電セル $P C$ 内の行電極 X 及び Y 間においてサスティン放電が生起される。かかるサスティン放電に伴って蛍光体層 $1 7$ から照射される光が前面透明基板 $1 0$ を介して外部に照射されることにより、このサブフィールド $S F 3$ の輝度重みに対応した 1 回分の表示発光が為される。又、かかるサスティンパルス $I P$ の印加に応じて、点灯モードに設定されている放電セル $P C$ 内の行電極 Y 及び列電極 D 間においても放電が生起される。かかる放電並びに上記サスティン放電により、放電セル $P C$ 内の行電極 Y 近傍には負極性の壁電荷、行電極 X 及び列電極 D 各々の近傍には夫々正極性の壁電荷が形成される。そして、かかるサスティンパルス $I P$ の印加後、 Y 電極ドライバ $5 3$ は、図 $2 8$ に示す如く時間経過に伴う前縁部での電位推移が緩やかな負極性のピーク電位を有する壁電荷調整パルス $C P$ を行電極 $Y_1 \sim Y_n$ に印加する。かかる壁電荷調整パルス $C P$ の印加に応じて、上記の如きサスティン放電の生起された放電セル $P C$ 内で微弱な消去放電が生起され、その内部に形成されていた壁電荷の一部が消去される。これにより、放電セル $P C$ 内の壁電荷の量が、次の選択消去アドレス行程 W_D において正しく選択消去アドレス放電を生起させ得る量に調整される。

【0171】

以降、サブフィールドSF4～SF14各々では、パネルドライバは、図24に示す如きタイミングで各種駆動パルスの印加を行う。

【0172】

以上の如き駆動を、図26に示す如き15通りの画素駆動データGGDに基づいて実行する。

【0173】

先ず、黒表示（輝度レベル0）を表現する第1階調よりも1段階だけ高輝度を表す第2階調では、図26に示す如く、サブフィールドSF1～SF14の内のSF1のみで放電セルPCを点灯モードに設定させる為の選択書込アドレス放電を生起させ、この点灯モードに設定された放電セルPCを微小発光放電させる（□にて示す）。この際、これら選択書込アドレス放電及び微小発光放電に伴う発光時の輝度レベルは、1回分のサスティン放電に伴う発光時の輝度レベルよりも低い。よって、サスティン放電によって視覚される輝度レベルを「1」とした場合、第2階調では、輝度レベル「1」よりも低い輝度レベル「α」に対応した輝度が表現される。

10

【0174】

次に、かかる第2階調よりも1段階だけ高輝度を表す第3階調では、サブフィールドSF1～SF14の内のSF2のみで放電セルPCを点灯モードに設定させる為の選択書込アドレス放電を生起させる（二重丸にて示す）。よって、第3階調では、サブフィールドSF1～SF14の内のSF2のサスティン行程Iのみで生起された1回分のサスティン放電による輝度レベル「1」が表現される。次に、第3階調よりも1段階だけ高輝度を表す第4階調では、サブフィールドSF2及びSF3各々で放電セルPCを点灯モードに設定させる為の選択書込アドレス放電を生起させ（二重丸にて示す）、サブフィールドSF4にてこれを消灯モードに遷移させる為の選択書込アドレス放電を生起させる（黒丸にて示す）。よって、第4階調では、サブフィールドSF2及びSF3各々にて生起された合計2回分のサスティン放電による輝度レベル「2」が表現される。

20

【0175】

又、第5階調～第15階調各々では、サブフィールドSF2及びSF3各々で放電セルPCを点灯モードに設定させる為の選択書込アドレス放電（二重丸にて示す）が生起された後、その階調に対応した1のサブフィールドのみでこれを消灯モードに遷移させる為の選択消去アドレス放電が生起される（黒丸にて示す）。よって、第5階調～第15階調各々では、サブフィールドSF2及びSF3各々にて生起された合計2回分のサスティン放電と、SF4以降で生起されたサスティン放電（白丸にて示す）との総数に対応した輝度が表現される。

30

【0176】

すなわち、図26に示す如き第1階調～第15階調駆動によれば、輝度レベル「0」～「256」なる輝度範囲を図26に示す如き15段階にて表すことが可能となるのである。

【0177】

ここで、図25に示されるプラズマディスプレイ装置では、放電セルPC内に形成されているCL発光MgOの作用を利用することにより、図28に示すリセット行程（R1～R3）の各々では、サスティン放電よりも微弱なりセット放電だけで全放電セルPCの初期化を完了させている。つまり、従来、比較的多量の荷電粒子を放電空間内に放出させるべく、リセット行程では、サスティンパルスよりも高電圧のリセットパルスを印加することにより、サスティン放電よりも強い放電をリセット放電として生起させるようにしている。すなわち、初期化の段階で多量の荷電粒子を放電空間内に放出させることにより、アドレス行程での書込アドレス放電の安定化を図るのである。ところが、本実施例の如きCL発光MgOが形成されている放電セルは、CL発光MgOが形成されていない放電セルに比して、リセット放電によって放出される荷電粒子の量に拘わらず、アドレス行程での書込アドレス放電が安定化する。そこで、図28に示されるリセット行程（R1～R3）

40

50

各々では、比較的少量の荷電粒子を放電空間内に放出させることができる強いリセット放電、つまりサスティン放電よりも強い放電となるリセット放電を省略することにより、暗コントラストの向上を図るようにしたのである。

【0178】

ところが、黒表示の状態が継続すると、たとえC L発光M g Oの作用によって書込アドレス放電の安定化が図られても、荷電粒子不足に起因して上記の如き書込アドレス放電が失敗する場合があった。

【0179】

そこで、この書込アドレス放電ミス防止すべく、図25に示されるプラズマディスプレイ装置においては、荷電粒子不足が予測される放電セル、つまり図16に示す如き駆動状態の遷移が生じるブロック内の点灯遷移セルに限り、以下の如き駆動を実施するようにしたのである。

【0180】

すなわち、かかる点灯遷移セルに対応した画素駆動データG Dが図26に示す如き、第1階調～第3階調のいずれか1に対応した画素駆動データG D、つまり、

第1階調：[0000000000000000]

第2階調：[1000000000000000]

第3階調：[0100000000000000]

である場合には、強制点灯処理回路30は、これを図26に示す第4階調に対応した画素駆動データG D、つまり、

[0111000000000000]

に置換する。

【0181】

従って、この際、点灯遷移セルに対しては図26に示す如き第4階調の駆動を実施するのである。

【0182】

一方、上記の如き点灯遷移セルに対応した画素駆動データG Dが第1階調～第3階調のいずれにも該当しない場合には、この画素駆動データG Dによって示される階調に対応した駆動を実施する。

【0183】

このように、画素データP Dによって図16に示す如き駆動状態の遷移が生じることが予測されるブロック内の点灯遷移セルに対しては、例え第1階調で駆動すべきものであったとしても、これを強制的に、図26に示す如き第4階調以上の階調で駆動（強制点灯駆動）するようにしたのである。この際、第4階調以上、つまり第4～第15階調各々の駆動では、図26に示す如く、サブフィールドS F 2において必ず書込アドレス放電及びサスティン放電が生起される（二重丸にて示す）。よって、かかる放電に伴い、放電空間内には荷電粒子が放出され、次のサブフィールドS F 3の第3選択書込アドレス行程W_{3w}で確実に書込アドレス放電を生起させることが可能となる。

【0184】

すなわち、サブフィールドS F 2において生起された書込アドレス放電及びサスティン放電が、次のサブフィールドS F 3の第3選択書込アドレス行程W_{3w}において安定して書込アドレス放電を生起させる為の補助放電となるのである。

【0185】

このように、図16に示す如き駆動状態の遷移に伴う荷電粒子不足により、サブフィールドS F 3において書込アドレス放電ミスが生じる虞があるが、上記の如き駆動によりS F 3の直前の段階で荷電粒子不足が解消され、このS F 3において確実に書込アドレス放電を生起させることが可能となる。

【0186】

更に、かかる駆動方法によれば、図18に示す如き駆動を実施する場合に比して、補助放電（S F 2の書込アドレス放電及びサスティン放電）が生起されてからS F 3の第3選

10

20

30

40

50

択書込アドレス行程 $W3_W$ までの時間間隔が短いので、荷電粒子の減少分が少なく、より確実に書込アドレス放電を生起させることが可能となる。

【0187】

又、図26に示される一例では、SF3の第3選択書込アドレス行程 $W3_W$ において確実に書込アドレス放電を生起させる為の補助放電を、このSF3の直前のSF2において実行するようにしているが、必ずしも直前のサブフィールドで実行する必要はなく、例えばSF1で実行させるようにしても良い。又、上記実施例では、かかる補助放電を実施させるSFを1フィールド表示期間内において1回だけになっているが、これを2つ以上の複数のSFで実施させるようにしても良い。但し、この補助放電を実施させるSFとしては、輝度重みが小なるSFを設定するのが好ましい。

10

【0188】

又、図26～図28に示す駆動では、1フィールド表示期間内において、サスティン放電よりもその放電時の発光輝度が低い微小発光放電を生起させる微小発光行程LLを含むサブフィールドSF1が設けられているが、このSF1を省いても構わない。要するに、図26～図28に示されるSF1を削除し、SF2を新たな先頭サブフィールドとするのである。

【0189】

又、図26～図28に示す駆動では、各サブフィールドSFで実行するアドレス行程として、先頭部のSF1～SF3では選択書込アドレス行程採用し、SF4以降のSF各々では選択消去アドレス行程を採用しているが、全てのSFのアドレス行程を選択書込アドレス行程としてもよい。

20

【0190】

又、図28に示す一例では、SF2のサスティン行程IにおいてサスティンパルスIPを各行電極Yに1回だけ印加するようにしているが、それには限らず、行電極X及びY交互に複数回印加してもよいし、或いはサスティンパルスを全く印加しなくても良い。

【0191】

又、図28に示す一例では、SF2において、各放電セルの状態を1表示ライン分ずつ順次、消去モードに設定させる走査消去行程ESを実行するようにしているが、かかる走査消去行程ESに代わり全放電セルを一斉に消去モードに設定させる消去行程E（例えば図9に示す）を実行するようにしても良い。又、走査消去行程ESでは、1表示ライン分ずつではなく、複数の表示ラインからなる表示ライン群毎に順次、各放電セルの状態を消去モードに設定させるようにしても良い。この際、PDP50の実際の構成や材料等により、第3選択書込アドレス行程 $W3_W$ にて各放電セル毎に生起される書込アドレス放電のバラツキをある程度抑制できるのであれば、この走査消去行程ES自体を省略しても構わない。

30

【0192】

又、上記強制点灯処理回路30では、3行×3列の放電セルのブロック毎に点灯遷移セルを検出するようにしているが、これに限定されない。

【0193】

すなわち、3行×3列のブロック毎に点灯遷移セルを検出する理由は、点灯遷移セルの周囲に隣接する8個の放電セルを強制点灯駆動の対象とさせる為である。しかしながら、例えばパネル構造等によっては、点灯遷移セルの斜め方向に夫々隣接する4つの放電セルに関しては、例えその放電セルで放電が生起されても点灯遷移セル内に荷電粒子を供給することができないものが存在する。そこで、このような場合には、3×3のブロックに代えて、点灯遷移セル及びその点灯遷移セルの上下左右に隣接する合計5つの放電セルにて上記の如きブロックを構成する。つまり、点灯遷移セル、及びこの点灯遷移セルに対して荷電粒子の供給を行うことが可能な隣接放電セルのみでブロックを構成するのである。更には、ブロック単位ではなく1セルで検出してもよい。この際、強制点灯駆動の対象となる放電セルに対しては、例え入力映像信号による輝度レベルが第2階調以上の輝度レベルを示すものであったとしても、強制点灯駆動（実施例では第2階調 or 第3階調等の低輝

40

50

度レベルでの駆動)させる。

【図面の簡単な説明】

【0194】

【図1】本発明による駆動方法に従ってプラズマディスプレイパネルの駆動を行うプラズマディスプレイ装置の概略構成を示す図である。

【図2】表示面側から眺めたPDP50の内部構造を模式的に示す正面図である。

【図3】図2に示されるV-V線上での断面を示す図である。

【図4】図2に示されるW-W線上での断面を示す図である。

【図5】蛍光体層17内に含まれるMgO結晶体を模式的に表す図である。

【図6】PDP50の累積使用時間に対応したリセットパルス、走査パルス、及びサステインパルス各々の最適ピーク電位の遷移を示す図である。

【図7】図1に示されるプラズマディスプレイ装置における各階調毎の発光パターンの一例を示す図である。

【図8】図1に示されるプラズマディスプレイ装置において採用される発光駆動シーケンスの一例を示す図である。

【図9】図8に示される発光駆動シーケンスに従ってPDP50に印加される各種駆動パルスを示す図である。

【図10】強制点灯処理回路3の内部構成を示す図である。

【図11】強制点灯セル指定部352において実施される第1強制点灯セル指定処理フローを示す図である。

【図12】強制点灯セル指定部352における強制点灯セル選定処理によって選定される放電セルを示す図である。

【図13】荷電粒子不足が生じることになる放電セルの駆動形態の遷移を示す図である。

【図14】強制点灯セル指定部332において実施される第2強制点灯セル指定処理フローを示す図である。

【図15】強制点灯セル指定部332における強制点灯セル選定処理によって選定される放電セルを示す図である。

【図16】荷電粒子不足が生じることになる放電セルの駆動形態の遷移を示す図である。

【図17】第1強制点灯処理部35による強制点灯駆動によって為される放電セルの駆動形態の一例を示す図である。

【図18】第2強制点灯処理部33による強制点灯駆動によって為される放電セルの駆動形態の一例を示す図である。

【図19】第1強制点灯処理部35及び第2強制点灯処理部33による強制点灯駆動によって為される放電セルの駆動形態の一例を示す図である。

【図20】図8に示される発光駆動シーケンスに従ってPDP50に印加される各種駆動パルスの他の一例を示す図である。

【図21】図1に示されるプラズマディスプレイ装置において採用される発光駆動シーケンスの他の一例を示す図である。

【図22】図1に示されるプラズマディスプレイ装置における各階調毎の発光パターンの他の一例を示す図である。

【図23】図21に示される発光駆動シーケンスに従ってPDP50に印加される各種駆動パルスの一例を示す図である。

【図24】図21に示される発光駆動シーケンスに従ってPDP50に印加される各種駆動パルスの他の一例を示す図である。

【図25】本発明による駆動方法に従ってプラズマディスプレイパネルの駆動を行うプラズマディスプレイ装置の他の構成を示す図である。

【図26】図25に示されるプラズマディスプレイ装置における各階調毎の発光パターンの一例を示す図である。

【図27】図25に示されるプラズマディスプレイ装置において採用される発光駆動シーケンスの一例を示す図である。

10

20

30

40

50

【図 28】図 27 に示される発光駆動シーケンスに従って PDP 50 に印加される各種駆動パルスを示す図である。

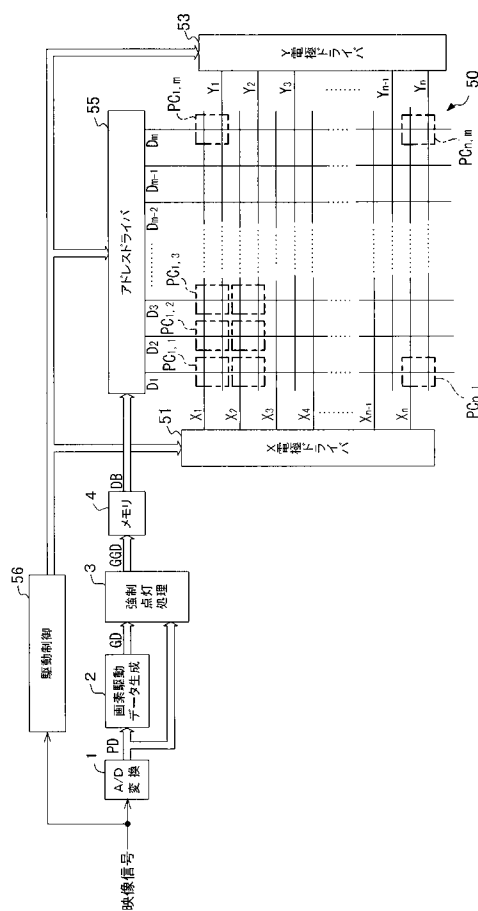
【符号の簡単な説明】

【0195】

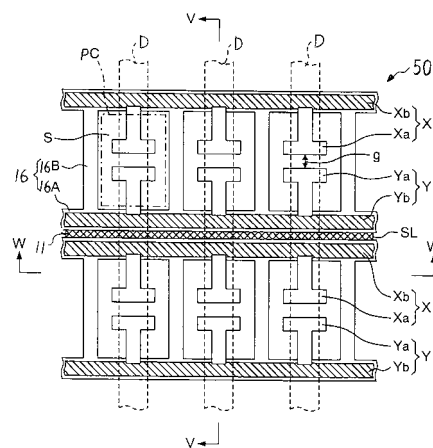
- 2 画素駆動データ生成回路
- 3 強制点灯処理回路
- 13 酸化マグネシウム層
- 17 蛍光体層
- 33 第2強制点灯処理部
- 35 第1強制点灯処理部
- 36 データ置換部
- 50 PDP
- 51 X電極ドライバ
- 53 Y電極ドライバ
- 55 アドレスドライバ
- 56 駆動制御回路

10

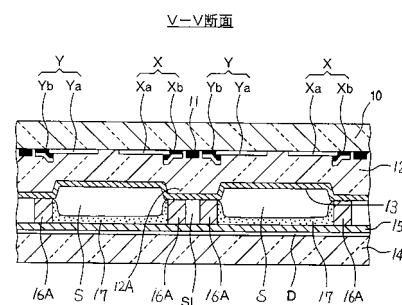
【図 1】



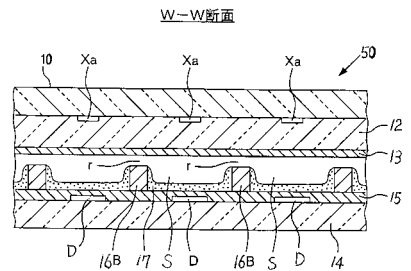
【図 2】



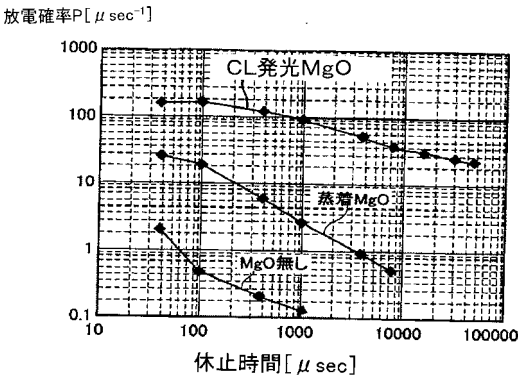
【図 3】



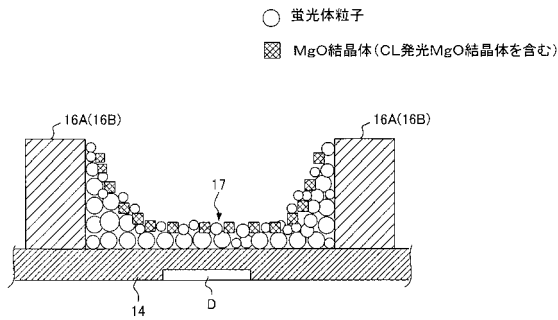
【図 4】



【図 6】



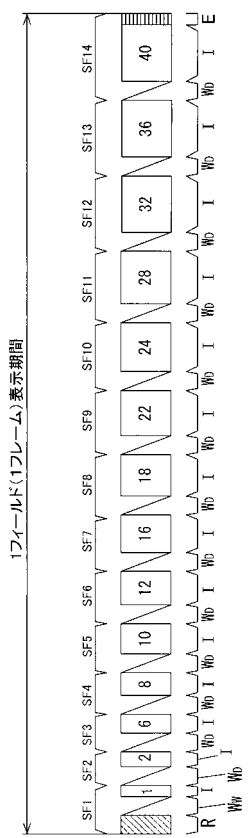
【図 5】



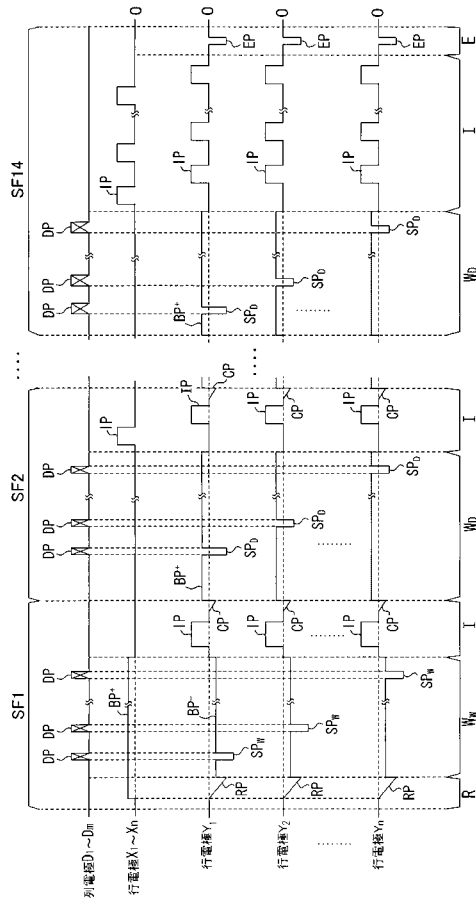
【図 7】

時間 順列	データ変換テーブル														発光パターン														表示 精度	
	PDs	60, 66D													SF 1 2 3 4 5 6 7 8 9 10 11 12 13 14															
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	SF 1	SF 2	SF 3	SF 4	SF 5	SF 6	SF 7	SF 8	SF 9	SF 10	SF 11	SF 12	SF 13		SF 14
第 1	0000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	●														0
第 2	0001	1	0	0	0	0	0	0	0	0	0	0	0	0	0	●														1
第 3	0010	1	0	1	0	0	0	0	0	0	0	0	0	0	0	●	●													3
第 4	0011	1	0	0	1	0	0	0	0	0	0	0	0	0	0	●	●													9
第 5	0100	1	0	0	0	1	0	0	0	0	0	0	0	0	0	●	●													17
第 6	0101	1	0	0	0	0	1	0	0	0	0	0	0	0	0	●	●	●												27
第 7	0110	1	0	0	0	0	0	1	0	0	0	0	0	0	0	●	●	●												39
第 8	0111	1	0	0	0	0	0	0	1	0	0	0	0	0	0	●	●	●												55
第 9	1000	1	0	0	0	0	0	0	0	1	0	0	0	0	0	●	●	●	●											73
第 10	1001	1	0	0	0	0	0	0	0	0	1	0	0	0	0	●	●	●	●											95
第 11	1010	1	0	0	0	0	0	0	0	0	0	1	0	0	0	●	●	●	●	●										119
第 12	1011	1	0	0	0	0	0	0	0	0	0	0	1	0	0	●	●	●	●	●	●									147
第 13	1100	1	0	0	0	0	0	0	0	0	0	0	0	1	0	●	●	●	●	●	●	●								179
第 14	1101	1	0	0	0	0	0	0	0	0	0	0	0	0	1	●	●	●	●	●	●	●	●							215
第 15	1110	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	●	●	●	●	●	●	●	●						255

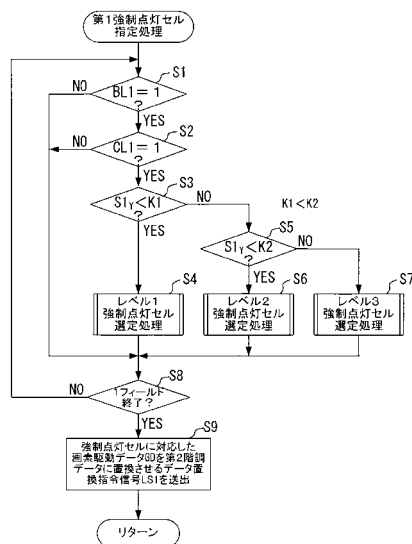
【図 8】



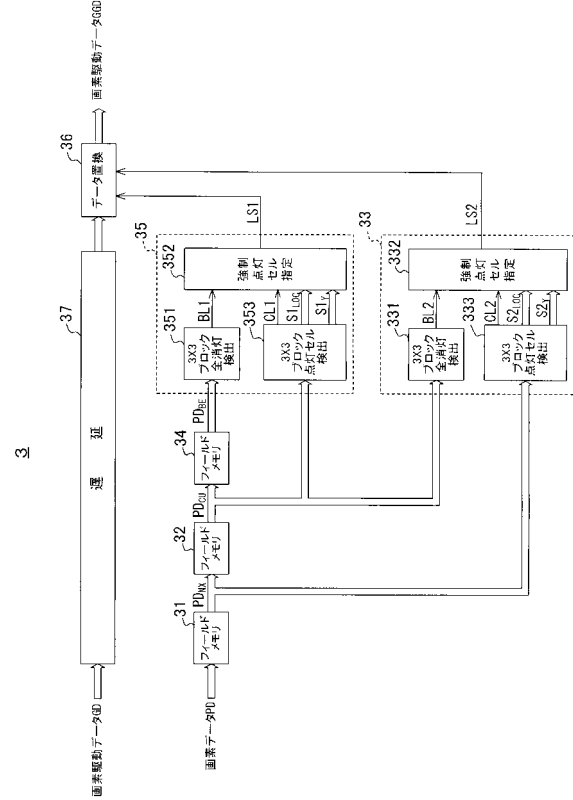
【図 9】



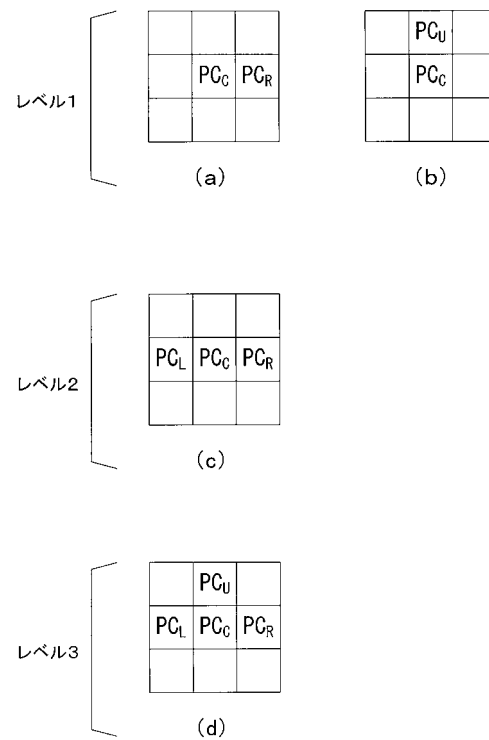
【図 1 1】



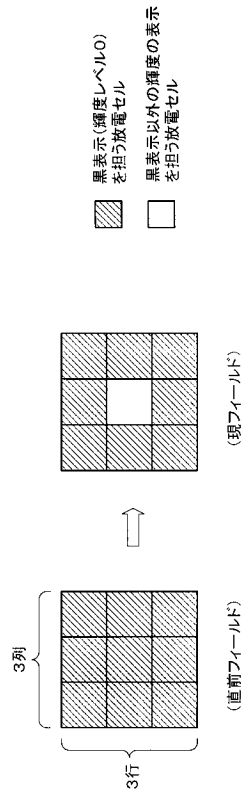
【図 10】



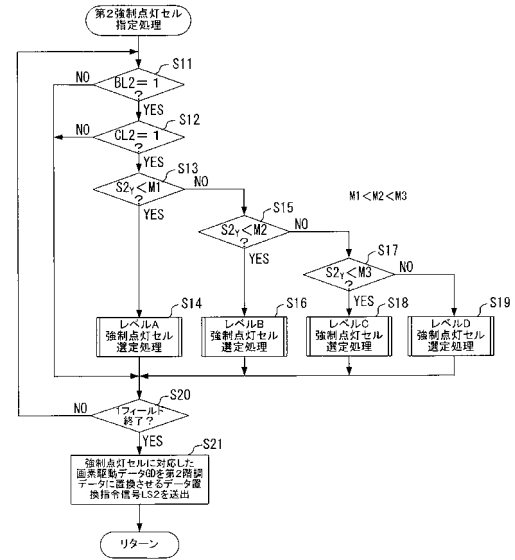
【图 1 2】



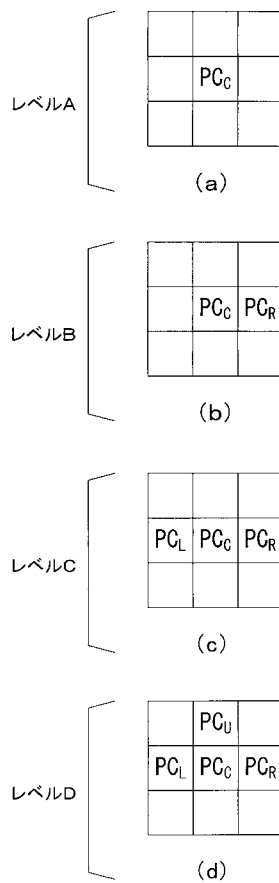
【図 13】



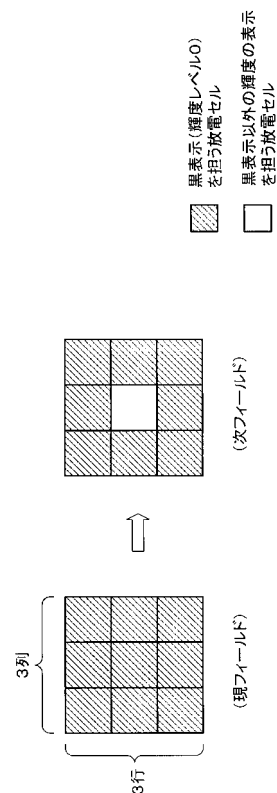
【図 14】



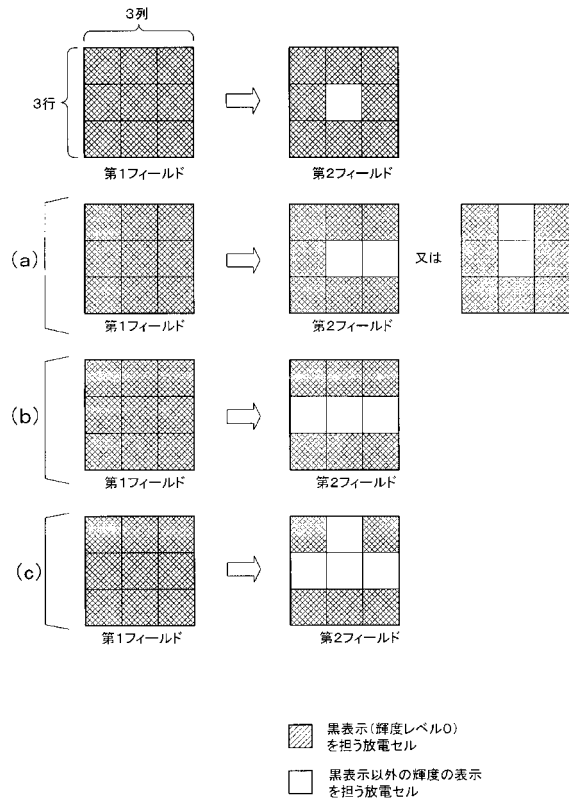
【図 15】



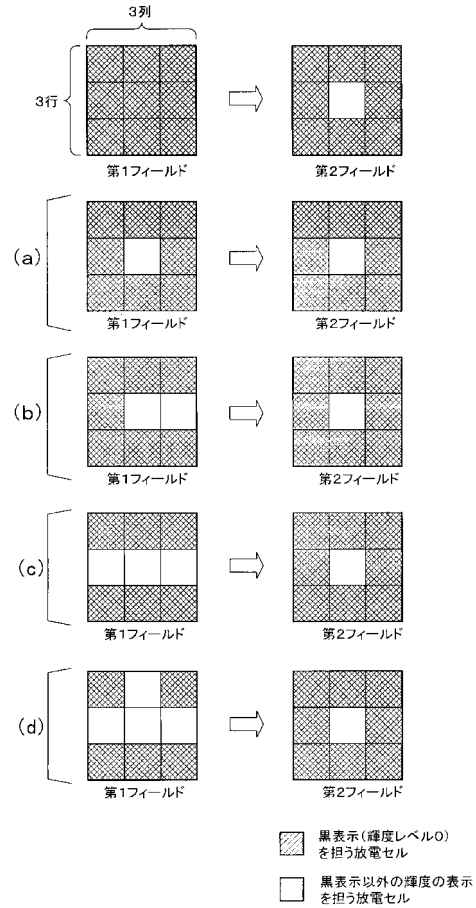
【図 16】



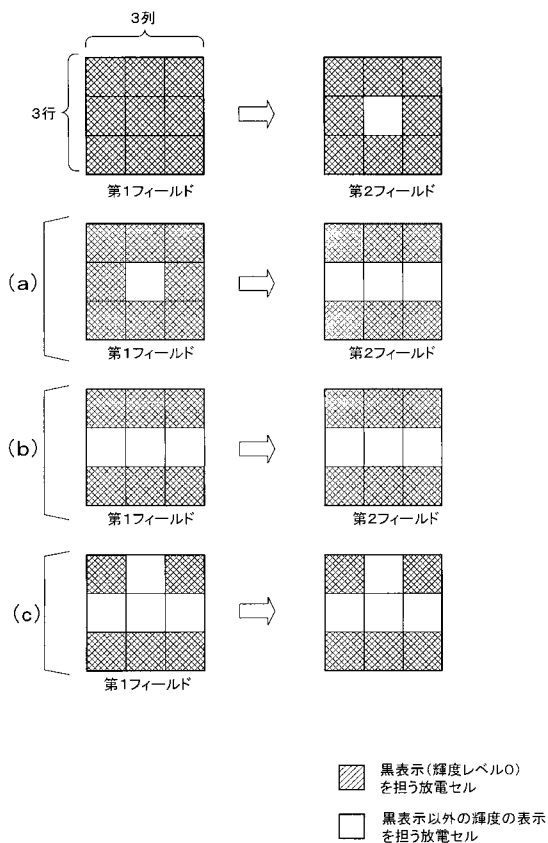
【図 17】



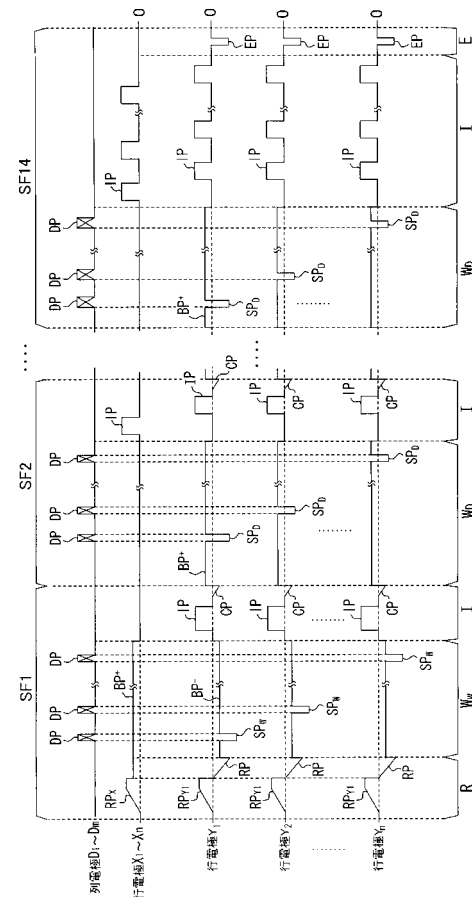
【図 18】



【図 19】



【図 20】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 2 E
G 0 9 G 3/20 6 7 0 E
H 0 1 J 11/10

(72)発明者 重田 哲也
山梨県中央市西花輪2680番地 パイオニア株式会社内

(72)発明者 本田 広史
山梨県中央市西花輪2680番地 パイオニア株式会社内

審査官 橋本 直明

(56)参考文献 国際公開第02/059864 (WO, A1)
特開2006-054160 (JP, A)
特開2005-250344 (JP, A)
特開2000-200064 (JP, A)
特開2003-015596 (JP, A)
特開2006-018045 (JP, A)
特開2003-208122 (JP, A)
特開2003-076316 (JP, A)
特開2003-066889 (JP, A)
特開2002-056779 (JP, A)
特開2001-312241 (JP, A)
特開2001-337646 (JP, A)
特開平08-146912 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3/28
G 0 9 G 3/20
H 0 1 J 11/10