

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成26年8月7日(2014.8.7)

【公開番号】特開2014-112460(P2014-112460A)
 【公開日】平成26年6月19日(2014.6.19)
 【年通号数】公開・登録公報2014-032
 【出願番号】特願2014-52135(P2014-52135)
 【国際特許分類】

G 1 1 C 13/00 (2006.01)

【F I】

G 1 1 C 13/00 1 5 0

G 1 1 C 13/00 1 1 0 P

【手続補正書】

【提出日】平成26年5月20日(2014.5.20)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のワード線と、前記複数のワード線と交差する複数のビット線と、複数の相変化記憶素子を含む複数のメモリセルと、を含むメモリセルアレイと、

第 1 の端子と、各々が前記複数のビット線のうちの関連する一つに接続された複数の第 2 の端子とを含み、前記第 1 の端子と前記複数の第 2 の端子のうちの選択された一つとの間の電気経路を形成するスイッチ回路と、

リセットデータを書き込むための電流を前記複数の相変化記憶素子に流す第 1 のトランジスタと、

セットデータを書き込むための電流を前記複数の相変化記憶素子に流す第 2 のトランジスタと、

前記第 1 のトランジスタのオン信号を伝達する第 1 のトランスファークロウと、

前記第 2 のトランジスタのオン信号を伝達する第 2 のトランスファークロウと、

前記第 1 のトランスファークロウまたは前記第 2 のトランスファークロウのいずれかをオンにする選択信号を保持する第 1 のラッチ回路と、

前記第 1 のトランスファークロウまたは前記第 2 のトランスファークロウのいずれかを介して、前記第 1 のトランジスタまたは前記第 2 のトランジスタのいずれかのオン信号を保持する第 2 のラッチ回路と、

を備え、

前記第 1 のラッチ回路および前記第 2 のラッチ回路におけるデータ保持状態を外部からの入力信号により制御することにより、前記第 1 のトランジスタまたは前記第 2 のトランジスタを選択して、前記相変化記憶素子にデータ書き込み電流を流す、

相変化メモリ装置。

【請求項 2】

リセットデータの書き込みの指示に応じて、

前記第 1 のラッチ回路は前記第 1 のトランスファークロウをオンにすると共に、前記第 2 のトランスファークロウをオフにする信号を保持するように制御され、且つ

前記第 2 のラッチ回路は前記第 1 のトランスファークロウを介して前記第 1 のトランジスタをオンにする信号を保持するように制御され、

リセットデータの書き込みの終了を指示するリセット書き込み終了信号に応じて、

前記第2のラッチ回路は、前記第1のトランスファークゲートを介して、前記第1のトランジスタをオフにする信号を保持するように制御される、

請求項1に記載の相変化メモリ装置。

【請求項3】

複数のワード線と、前記複数のワード線と交差する複数のビット線と、複数の相変化記憶素子を含む複数のメモリセルと、を含むメモリセルアレイと、

第1の端子と、各々が前記複数のビット線のうちの関連する一つに接続された複数の第2の端子とを含み、前記第1の端子と前記複数の第2の端子のうちの選択された一つとの間の電気経路を形成するスイッチ回路と、

リセットデータを書き込むための電流を前記複数の相変化記憶素子に流す第1のトランジスタと、

セットデータを書き込むための電流を前記複数の相変化記憶素子に流す第2のトランジスタと、

前記第1のトランジスタにオン信号を伝達する第1のクロックドインバータと、

前記第2のトランジスタにオン信号を伝達する第2のクロックドインバータと、

前記第1のクロックドインバータまたは前記第2のクロックドインバータのいずれかをインバータとして機能させるための選択信号を保持する第1のラッチ回路と、

前記第1のクロックドインバータまたは前記第2のクロックドインバータを介して、前記第1のトランジスタまたは前記第2のトランジスタをオンにする信号を保持する第2のラッチ回路と、

を備え、

前記第1のラッチ回路および前記第2のラッチ回路におけるデータ保持状態を外部からの入力信号により制御することにより、前記第1のトランジスタまたは前記第2のトランジスタを選択して、前記相変化記憶素子にデータ書き込み電流を流す、

相変化メモリ装置。

【請求項4】

リセットデータの書き込みの指示に応じて、

前記第1のラッチ回路は、前記第1のクロックドインバータをインバータとして機能させると共に、前記第2のクロックドインバータのインバータ機能を停止させる信号を保持するように制御され、且つ

前記第2のラッチ回路は、前記第1のクロックドインバータを介して、前記第1のトランジスタをオンにする信号を保持するように制御され、

リセットデータの書き込みの終了を指示するリセット書き込み終了信号に応じて、

前記第2のラッチ回路は、前記第1のクロックドインバータを介して、前記第1のトランジスタをオフにする信号を保持するように制御される、

請求項3に記載の相変化メモリ装置。