



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0136046
(43) 공개일자 2024년09월13일

(51) 국제특허분류(Int. Cl.)
H03M 13/15 (2015.01) G06F 11/10 (2006.01)
H03M 13/09 (2015.01)
(52) CPC특허분류
H03M 13/151 (2013.01)
G06F 11/1032 (2013.01)
(21) 출원번호 10-2023-0029220
(22) 출원일자 2023년03월06일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
김민서
서울특별시 서초구 신반포로33길 66 (잠원동, 신
반포청구아파트)101-1808
박중선
서울특별시 성북구 안암로 73-15 716B
정진호
경기도 이천시 부발읍 경충대로 2091
(74) 대리인
김선중

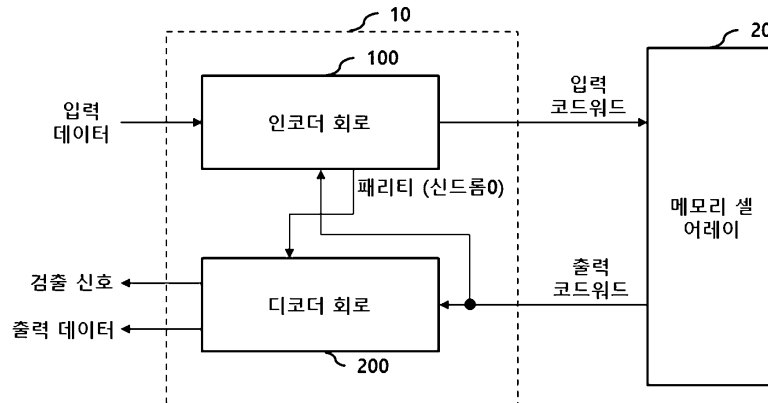
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 코딩 회로 및 이를 포함하는 메모리 장치

(57) 요약

본 실시예에 의한 코딩 회로는 입력 데이터와 입력 데이터에 홀수 패리티 생성 행렬을 적용하여 생성된 패리티를 연결하여 입력 코드워드를 생성하는 인코더 회로; 및 출력 코드워드로부터 이중 오류를 정정하고, 출력 코드워드를 홀수 패리티 생성 행렬에 적용하여 생성된 신드롬을 이용하여 삼중 오류를 검출하는 디코더 회로를 포함하되, 홀수 패리티 생성 행렬은 행렬의 각 열에 포함된 1의 개수가 홀수이다.

대표도 - 도2



(52) CPC특허분류

G06F 11/1048 (2013.01)

H03M 13/09 (2019.01)

H03M 13/1575 (2013.01)

명세서

청구범위

청구항 1

입력 데이터와 상기 입력 데이터에 홀수 패리티 생성 행렬을 적용하여 생성된 패리티를 연결하여 입력 코드워드를 생성하는 인코더 회로; 및

출력 코드워드로부터 이중 오류를 정정하고, 상기 출력 코드워드를 상기 홀수 패리티 생성 행렬에 적용하여 생성된 신드롬을 이용하여 삼중 오류를 검출하는 디코더 회로

를 포함하되, 상기 홀수 패리티 생성 행렬은 행렬의 각 열에 포함된 1의 개수가 홀수인 코딩 회로.

청구항 2

청구항 1에 있어서, 상기 인코더 회로는

입력 데이터와 패딩 데이터를 연결하여 출력하는 제 1 연결 회로;

상기 제 1 연결 회로의 출력 또는 상기 출력 코드워드를 선택하는 선택 회로;

상기 선택 회로의 출력을 상기 홀수 패리티 생성 행렬에 적용하는 패리티 생성기(110); 및

상기 입력 데이터와 상기 패리티 생성기(110)의 출력을 연결하여 상기 입력 코드워드를 생성하는 제 2 연결 회로

를 포함하는 코딩 회로.

청구항 3

청구항 2에 있어서, 인코딩 동작 시 상기 선택 회로는 상기 제 1 연결 회로의 출력을 선택하고, 디코딩 동작시 상기 선택 회로는 상기 출력 코드워드를 선택하며 상기 패리티 생성기는 상기 신드롬을 생성하는 코딩 회로.

청구항 4

청구항 1에 있어서, 상기 패리티 생성기는 $GF(2^m)$ 상에서 미리 정해지는 BCH 코딩을 위한 어느 하나의 생성 함수에 대응하는 생성 행렬로부터 1의 개수가 홀수인 열들만을 선택하여 상기 홀수 패리티 생성 행렬을 생성하는 코딩 회로.

청구항 5

청구항 1에 있어서, 상기 디코더 회로는

상기 출력 코드워드에서 다수의 신드롬을 생성하는 신드롬 생성 회로;

상기 다수의 신드롬으로부터 오류 위치를 검출하는 오류 검출 회로;

상기 오류 위치에 따라 상기 출력 코드워드에 포함된 데이터의 오류를 정정하여 출력 데이터를 제공하는 오류 정정 회로; 및

상기 신드롬을 이용하여 삼중 오류 또는 그 이상의 홀수 개의 오류 탐지 여부를 표시하는 검출 신호를 생성하는 다중 오류 검출 회로

를 포함하는 코딩 회로.

청구항 6

청구항 5에 있어서, 상기 다중 오류 검출 회로는

상기 신드롬을 상기 홀수 패리티 생성 행렬과 비교하는 비교 회로;

상기 신드롬에 포함된 1의 개수를 탐지하는 제 1 논리 회로;

상기 비교 회로와 상기 제 1 논리 회로의 출력을 연산하여 상기 검출 신호를 생성하는 제 2 논리 회로를 포함하는 코딩 회로.

청구항 7

청구항 6에 있어서, 상기 비교 회로는 상기 홀수 패리티 생성 행렬의 열 중에 상기 신드롬과 일치하는 열이 존재하지 않는 경우로우 레벨 신호를 출력하고, 상기 제 1 논리 회로는 상기 신드롬에 포함된 1의 개수가 홀수이면 하이 레벨 신호를 출력하고, 상기 제 2 논리 회로는 상기 비교 회로의 출력과 상기 제 1 논리 회로의 출력을 AND 연산하여 상기 검출 신호를 생성하는 코딩 회로.

청구항 8

메모리 셀 어레이; 및

입력 데이터를 인코딩하여 상기 메모리 셀 어레이에 입력 코드워드를 제공하고, 상기 메모리 셀 어레이에서 출력되는 출력 코드워드를 디코딩하여 출력 데이터 및 검출 신호를 생성하는 코딩 회로

를 포함하되, 상기 코딩 회로는

상기 입력 데이터와 상기 입력 데이터에 홀수 패리티 생성 행렬을 적용하여 생성된 패리티를 연결하여 상기 입력 코드워드를 생성하는 인코더 회로; 및

상기 출력 코드워드로부터 이중 오류를 정정하고, 상기 출력 코드워드를 상기 홀수 패리티 생성 행렬에 적용하여 생성된 신드롬을 이용하여 삼중 오류를 검출하는 디코더 회로

를 포함하되, 상기 홀수 패리티 생성 행렬은 행렬의 각 열에 포함된 1의 개수가 홀수인 메모리 장치.

청구항 9

청구항 8에 있어서, 상기 인코더 회로는

입력 데이터와 패딩 데이터를 연결하여 출력하는 제 1 연결 회로;

상기 제 1 연결 회로의 출력 또는 상기 출력 코드워드를 선택하는 선택 회로;

상기 선택 회로의 출력을 상기 홀수 패리티 생성 행렬에 적용하는 패리티 생성기(110); 및

상기 입력 데이터와 상기 패리티 생성기(110)의 출력을 연결하여 상기 입력 코드워드를 생성하는 제 2 연결 회로

를 포함하는 메모리 장치.

청구항 10

청구항 9에 있어서, 인코딩 동작 시 상기 선택 회로는 상기 제 1 연결 회로의 출력을 선택하고, 디코딩 동작 시 상기 선택 회로는 상기 출력 코드워드를 선택하며 상기 패리티 생성기는 상기 신드롬을 생성하는 메모리 장치.

청구항 11

청구항 8에 있어서, 상기 패리티 생성기는 $GF(2^m)$ 상에서 미리 정해지는 BCH 코딩을 위한 어느 하나의 생성 함수에 대응하는 생성 행렬로부터 1의 개수가 홀수인 열들만을 선택하여 상기 홀수 패리티 생성 행렬을 생성하는 메모리 장치.

청구항 12

청구항 8에 있어서, 상기 디코더 회로는

상기 출력 코드워드에서 다수의 신드롬을 생성하는 신드롬 생성 회로;

상기 다수의 신드롬으로부터 오류 위치를 검출하는 오류 검출 회로;

상기 오류 위치에 따라 상기 출력 코드워드에 포함된 데이터의 오류를 정정하여 출력 데이터를 제공하는 오류 정정 회로; 및

상기 신드롬을 이용하여 삼중 오류 또는 그 이상의 홀수 개의 오류 탐지 여부를 표시하는 검출 신호를 생성하는 다중 오류 검출 회로

를 포함하는 메모리 장치.

청구항 13

청구항 12에 있어서, 상기 다중 오류 검출 회로는

상기 신드롬을 상기 홀수 패리티 생성 행렬과 비교하는 비교 회로;

상기 신드롬에 포함된 1의 개수를 탐지하는 제 1 논리 회로;

상기 비교 회로와 상기 제 1 논리 회로의 출력을 연산하여 상기 검출 신호를 생성하는 제 2 논리 회로

를 포함하는 메모리 장치.

청구항 14

청구항 13에 있어서, 상기 비교 회로는 상기 홀수 패리티 생성 행렬의 열 중에 상기 신드롬과 일치하는 열이 존재하지 않는 경우 로우 레벨 신호를 출력하고, 상기 제 1 논리 회로는 상기 신드롬에 포함된 1의 개수가 홀수이면 하이 레벨 신호를 출력하고, 상기 제 2 논리 회로는 상기 비교 회로의 출력과 상기 제 1 논리 회로의 출력을 AND 연산하여 상기 검출 신호를 생성하는 메모리 장치.

발명의 설명

기술 분야

[0001] 본 기술은 코딩 회로와 이를 포함하는 메모리 장치를 제공한다.

배경 기술

[0002] 도 1은 종래 기술에 의한 코딩 회로에서의 코드워드의 길이를 나타낸 표이다.

[0003] 도 1에서 종래 기술 1은 유한체 $GF(2^m)$ 상에서 이중 오류 정정을 수행하는 종래의 BCH 코딩 회로를 기준으로 하고, 종래 기술 2는 종래 기술 1에 삼중 오류 정정 기능을 추가한 종래의 BCH 코딩 회로를 기준으로 한다.

[0004] 표에서는 m 에 대응하는 코드워드, 데이터, 패리티의 비트 수를 쌍으로 묶어 표시한다.

[0005] m 은 코드워드의 크기를 결정하는 변수로서 종래 기술 1에서 코드워드의 길이는 2^m-1 로 표시된다.

[0006] 도시된 바와 같이 삼중 오류 검출 기능이 추가되는 경우 패리티의 길이가 1 증가하여 결과적으로 종래 기술 2에서 코드워드의 길이가 2^m 으로 증가한다.

[0007] 종래의 BCH 코딩 회로는 패리티의 비트 수가 증가하면 회로의 면적과 소비 전력이 증가하는 문제가 있다.

[0008] 또한 종래의 BCH 코딩 회로에서는 다음과 같은 이유로 삼중 오류 검출 능력이 제한된다.

[0009] 이중 오류 정정 코드의 해밍 거리는 5로 고정되는데 이때 패리티 생성 행렬에서 5개의 열을 골라서 XOR 연산을 수행하는 경우 그 결과가 0 벡터가 되는 5개의 열이 존재한다.

[0010] 5개의 열을 i, j, k, l, m 으로 구별하여 표시할 때, 삼중 오류가 코드워드의 i, j, k 번째에서 오류가 발생하였다고 하면 i, j, k 번 열에 대한 XOR 연산 결과는 신드롬과 동일하게 된다. 이때 신드롬은 출력된 코드워드를 패리티 생성 행렬에 적용하여 출력된 것이다.

[0011] 그런데 l, m 번째 열과 신드롬을 XOR 연산한 것이 0 벡터가 되어야 하므로 l, m 번째 열에 대한 XOR 연산 결과는 신드롬과 동일해야 하며 이는 l, m 번째 비트에서 이중 오류가 발생한 것을 의미한다.

[0012] 이와 같이 종래의 코딩 회로에서는 삼중 오류가 발생한 경우 이중 오류가 발생한 것으로 잘못 판단될 위험이 존재한다.

선행기술문헌

특허문헌

[0013] (특허문헌 0001) US 5459740 A

발명의 내용

해결하려는 과제

[0014] 본 기술은 삼중 오류가 발생하는 경우 이를 정확히 검출할 수 있는 코딩 회로 및 이를 포함하는 메모리 장치를 제공한다.

[0015] 본 기술은 패리티 비트의 증가 없이 삼중 오류 검출 기능을 추가한 코딩 회로 및 이를 포함하는 메모리 장치를 제공한다.

과제의 해결 수단

[0016] 본 발명의 일 실시예에 의한 코딩 회로는 입력 데이터와 입력 데이터에 홀수 패리티 생성 행렬을 적용하여 생성된 패리티를 연결하여 입력 코드워드를 생성하는 인코더 회로; 및 출력 코드워드로부터 이중 오류를 정정하고, 출력 코드워드를 홀수 패리티 생성 행렬에 적용하여 생성된 신드롬을 이용하여 삼중 오류를 검출하는 디코더 회로를 포함하되, 홀수 패리티 생성 행렬은 행렬의 각 열에 포함된 1의 개수가 홀수이다.

[0017] 본 발명의 일 실시예에 의한 메모리 장치는 메모리 셀 어레이; 및 입력 데이터를 인코딩하여 메모리 셀 어레이에 입력 코드워드를 제공하고 메모리 셀 어레이에서 출력되는 출력 코드워드를 디코딩하여 출력 데이터 및 검출 신호를 생성하는 코딩 회로를 포함하며, 코딩 회로는 입력 데이터와 입력 데이터에 홀수 패리티 생성 행렬을 적용하여 생성된 패리티를 연결하여 입력 코드워드를 생성하는 인코더 회로; 및 출력 코드워드로부터 이중 오류를 정정하고, 출력 코드워드를 홀수 패리티 생성 행렬에 적용하여 생성된 신드롬을 이용하여 삼중 오류를 검출하는 디코더 회로를 포함하되, 홀수 패리티 생성 행렬은 행렬의 각 열에 포함된 1의 개수가 홀수이다.

발명의 효과

[0018] 본 기술에 의한 코딩 회로는 삼중 오류가 발생하는 경우 이를 이중 오류로 오판하지 않고 정확히 검출할 수 있다.

[0019] 본 기술에 의한 코딩 회로는 패리티 비트를 추가하지 않고 코드워드에서 삼중 오류를 검출할 수 있다.

도면의 간단한 설명

[0020] 도 1은 종래 기술에 의한 코드워드의 길이를 나타낸 표.

도 2는 본 발명의 일 실시예에 의한 메모리 장치를 나타내는 블록도.

도 3은 본 발명의 일 실시예에 의한 인코더 회로를 나타낸 블록도.

도 4는 본 발명의 일 실시예에 의한 패리티 생성기를 나타낸 블록도.

도 5는 본 발명의 일 실시예에 의한 코드워드의 길이를 나타낸 표.

도 6은 본 발명의 일 실시예에 의한 디코더 회로를 나타낸 블록도.

도 7은 본 발명의 일 실시예에 의한 다중 오류 검출 회로를 나타낸 블록도.

발명을 실시하기 위한 구체적인 내용

[0021] 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예를 개시한다.

- [0022] 도 2는 본 발명의 일 실시예에 의한 메모리 장치(1)를 나타내는 블록도이다.
- [0023] 본 발명의 일 실시예에 의한 메모리 장치(1)는 코딩 회로(10)와 메모리 셀 어레이(20)를 포함한다.
- [0024] 메모리 셀 어레이(20)는 쓰기 동작 시 코딩 회로(10)에서 생성된 입력 코드워드를 저장하고, 읽기 동작 시 출력된 출력 코드워드를 코딩 회로(10)에 제공한다.
- [0025] 코딩 회로(10)는 입력 데이터를 인코딩하여 입력 코드워드를 생성하는 인코더 회로(100) 및 출력 코드워드를 디코딩하여 출력 데이터와 검출 신호를 생성하는 디코더 회로(200)를 포함한다.
- [0026] 디코더 회로(200)는 출력 코드워드를 인코더 회로(100)에 제공하고 이에 대응하여 생성된 패리티를 참조하여 검출 신호를 생성한다. 이때 패리티를 신드롬0으로 표시할 수 있다.
- [0027] 메모리 장치(1)는 데이터의 읽기 또는 쓰기를 위해 필요한 제어 회로를 더 포함할 수 있으나 이들은 종래 기술과 차이가 없으므로 반복적인 설명은 생략한다.
- [0028] 도 3은 본 발명의 일 실시예에 의한 인코더 회로(100)를 나타낸 블록도이다.
- [0029] 인코더 회로(100)는 패리티 생성기(110), 제 1 연접 회로(120), 선택 회로(130), 제 2 연접 회로(140)를 포함한다.
- [0030] 패리티 생성기(110)는 선택 회로(130)에서 출력된 데이터를 홀수 패리티 생성 행렬에 적용하여 패리티를 생성한다.
- [0031] 먼저, 본 실시예에 의한 홀수 패리티 생성 행렬을 생성하는 방법을 개시한다.
- [0032] 본 실시예에서 코딩 회로(10)는 $GF(2^m)$ 상에서 패리티 비트의 길이가 p 이고 오류 정정 능력이 t 인 종래의 BCH 코딩 회로를 변형하여 $(t+1)$ 의 오류 탐지 능력을 갖추도록 하는 기술로서 보다 구체적으로 $t=2$ 인 경우에 대응한다.
- [0033] 즉, 본 실시예에서 코딩 회로(10)는 이중 오류 정정 기능을 수행하는 종래의 BCH 코딩 회로에 삼중 오류 검출 기능을 추가한 것이다.
- [0034] m 은 코드워드의 비트 수를 결정짓는 변수로서 일반적으로 코드워드의 길이는 2^m-1 이고, 패리티 비트의 개수(p)는 $m \times t$ 로 주어진다.
- [0035] 종래에는 삼중 오류 검출 기능을 추가하는 경우 패리티 비트의 개수가 1 증가하고 전체 코드워드의 길이도 1 증가한다. 이에 비하여 본 발명에서는 패리티 비트의 개수를 증가시키지 않는다.
- [0036] m 이 주어지는 경우 이에 대응하는 생성 함수의 종류는 결정되며 각각의 생성 함수로부터 패리티 생성 행렬이 결정된다. 이는 종래의 BCH 코딩 기술에서 잘 알려진 것이므로 구체적인 설명을 생략한다.
- [0037] 본 실시예에서는 종래의 패리티 생성 행렬에서 홀수 웨이트를 가지는 열을 골라서 홀수 패리티 생성 행렬을 생성한다. 이때 홀수 웨이트를 가지는 열은 열에 포함된 1의 개수가 홀수인 경우를 나타낸다.
- [0038] m 이 주어지는 경우 생성 함수는 다수 개 존재할 수 있으며 이에 따라 패리티 생성 행렬과 이에 대응하는 홀수 패리티 생성 행렬도 다수 개 존재한다.
- [0039] 본 실시예에서는 홀수 패리티 생성 행렬이 다수 개 존재하는 경우 열 개수가 입력 코드워드의 비트 수 이상인 것 중 어느 하나를 선택하는 것으로 가정한다.
- [0040] 도 4는 종래의 패리티 생성 행렬에서 홀수 패리티 생성 행렬을 생성하는 방법을 나타낸 도면이다.
- [0041] 도 4는 $m=5$ 인 경우를 예로 들어 홀수 패리티 생성 행렬 생성 방법을 설명한 것이다.
- [0042] (A)는 $m=5$ 에 대응하는 패리티 생성 행렬 중 어느 하나를 나타내며 행 10개, 열 31개를 포함한다.
- [0043] 본 실시예에서는 패리티 생성 행렬에서 하나의 열에 포함된 1의 개수가 홀수 개인 열 즉 홀수 웨이트를 가지는 열을 골라 (B)와 같이 홀수 패리티 생성 행렬을 생성한다. (A)로 부터 생성된 (B)의 홀수 패리티 생성 행렬은 행 10개 열 20개를 포함한다.
- [0044] 도 3으로 돌아가서, 선택 회로(130)는 쓰기 동작시에는 제 1 연접 회로(120)의 출력을 선택하고 읽기 동작 시에

는 출력 코드워드를 선택한다.

- [0045] 즉, 쓰기 동작 시 패리티 생성기(110)는 입력 데이터에 대응하는 패리티를 생성하고, 읽기 동작 시 패리티 생성기(110)는 출력 코드워드에 대응하는 패리티를 생성하는데 본 실시예에서는 이를 신드롬0으로 표시한다.
- [0046] 제 1 연결 회로(120)는 입력 데이터 다음에 패딩 데이터를 연결한다. 본 실시예에서 패딩 데이터는 다수의 패딩 비트 '0'을 포함하며, 비트 수는 패리티의 비트 수와 동일하다.
- [0047] 제 2 연결 회로(140)는 입력 데이터 다음에 패리티를 연결하여 입력 코드워드를 생성한다.
- [0048] 도 4(A)의 종래기술에 의한 인코더 회로에서는 예를 들어 21비트의 데이터가 입력되는 경우 10비트의 패딩 데이터를 연결하여 31비트의 데이터를 생성하고 이를 패리티 생성 행렬의 트랜스포즈 행렬과 곱하여 10비트의 패리티를 생성한다. 이에 따라 종래의 인코더 회로에서는 31비트의 입력 코드워드를 생성한다.
- [0049] 도 4(B)의 본 실시예에 의한 인코더 회로(100)는 10비트의 데이터가 입력되는 경우 10비트의 패딩 데이터를 연결한 20비트의 데이터를 생성하고 이를 홀수 패리티 생성 행렬의 트랜스포즈 행렬과 곱하여 10비트의 패리티를 생성한다. 이에 따라 본 실시예에 의한 인코더 회로(100)는 20비트의 입력 코드워드를 생성한다.
- [0050] 도 5는 종래 기술에 의한 코드워드와 본 기술에 의한 코드워드의 길이를 비교하여 나타낸 표이다.
- [0051] 종래 기술 1은 종래의 이중 오류 정정 기능을 구비한 BCH 코딩 회로에 대응하고, 종래 기술 2는 종래의 이중 오류 정정 및 삼중 오류 검출 기능을 구비한 BCH 코딩 회로에 대응한다.
- [0052] 표에서는 m 에 대응하는 코드워드, 데이터, 패리티의 비트 수를 쌍으로 묶어 표시한다.
- [0053] 예를 들어 128비트의 입력 데이터를 인코딩하는 경우는 $m=8$ 에 대응한다.
- [0054] 종래 기술 1에 대응하는 쌍은 (255, 239, 16) 이고 종래 기술 2에 대응하는 쌍은 (26, 239, 17) 이다. 이에 비하여 본 실시예에 대응하는 쌍은 (144, 128, 16) 이다.
- [0055] 128비트의 데이터를 보호하기 위하여 종래 기술 2에서는 17비트의 패리티를 포함하여 총 256비트의 코드워드를 사용하나 본 실시예에서는 16비트의 패리티를 포함하여 144비트의 코드워드를 사용하는 것으로 충분하다.
- [0056] 즉, 동일한 이중 오류 정정 및 삼중 오류 검출 기능을 제공하면서 필요한 코드워드의 길이가 감소하므로 본 기술을 적용하는 경우 메모리 셀 어레이(20)의 저장 공간을 효율적으로 사용할 수 있다.
- [0057] 물론 본 실시예는 종래 기술 2에 비하여 삼중 오류 검출 성능이 우수하며 이에 대해서는 아래에서 다시 개시한다.
- [0058] 도 6은 본 발명의 일 실시예에 의한 디코더 회로(200)를 나타낸 블록도이다.
- [0059] 디코더 회로(200)는 출력 코드워드에서 다수의 신드롬을 생성하는 신드롬 생성 회로(210), 다수의 신드롬(신드롬1, 신드롬3)에서 오류 발생 위치를 검출하는 오류 검출 회로(220) 및 오류 위치에서 데이터의 오류를 정정하여 출력 데이터를 제공하는 오류 정정 회로(230)를 포함한다.
- [0060] 신드롬 생성 회로(210), 오류 검출 회로(220), 오류 정정 회로(230)는 종래의 이중 오류 정정 기능을 구비한 BCH 디코더 회로에 포함된 것과 동일하므로 이에 대한 구체적인 설명은 생략한다.
- [0061] 본 실시예에 의한 디코더 회로(200)는 다중 오류 검출 회로(240)를 더 포함하여 삼중 오류 검출 기능을 수행한다.
- [0062] 다중 오류 검출 회로(240)는 인코더 회로(100)에서 출력되는 패리티(신드롬0)를 이용하여 검출 신호를 생성한다.
- [0063] 출력 데이터에 삼중 오류가 존재하는 경우 다중 오류 검출 회로(240)는 하이 레벨의 검출 신호를 생성한다.
- [0064] 도 7은 본 발명의 일 실시예에 의한 다중 오류 검출 회로(240)를 나타낸 블록도이다.
- [0065] 다중 오류 검출 회로(240)는 신드롬0을 홀수 패리티 생성 행렬과 비교하는 비교 회로(241), 신드롬0의 각 비트를 XOR 연산하는 제 1 논리 회로(242), 비교 회로(241)의 출력과 제 1 논리 회로(242)의 출력을 AND 연산하는 제 2 논리 회로(243)를 포함한다.
- [0066] 비교 회로(241)는 신드롬0과 홀수 패리티 생성 행렬의 각 열을 비교하여 일치하는 열이 존재하는 경우 로우 레

벨 신호를 출력하고 일치하는 열이 존재하지 않는 경우 하이 레벨 신호를 출력한다.

- [0067] 즉, 로우 레벨 신호는 출력 코드워드에 단일 비트 오류가 존재하는 것을 나타낸다.
- [0068] 제 1 논리 회로(242)는 신드롬0에 포함된 1의 개수가 홀수이면 하이 레벨 신호를 출력하고 신드롬0에 포함된 1의 개수가 짝수이면 로우 레벨 신호를 출력한다.
- [0069] 삼중 오류가 발생하였다면 홀수 패리티 생성 행렬에서 세 개의 열을 선택하였을 때 XOR 연산을 수행한 결과가 신드롬0과 일치하게 되는 세 개의 열을 찾을 수 있으며 이 경우 XOR 연산 결과는 신드롬0과 마찬가지로 홀수 가중치를 가진다.
- [0070] 오중 오류 또는 그 이상의 홀수 비트개의 오류가 발생하는 경우에도 신드롬0은 홀수 가중치를 가지는데 이러한 오류가 발생할 확률은 삼중 오류가 발생할 확률보다는 떨어진다.
- [0071] 따라서 신드롬0이 홀수 가중치를 가지는 경우 높은 확률로 삼중 오류가 발생한 것으로 이해할 수 있다.
- [0072] 검출 신호(243)는 비교 회로(241)와 제 1 논리 회로(242)의 출력을 AND 연산하여 검출 신호를 생성한다.
- [0073] 즉, 검출 신호는 1비트 오류가 아니면서 홀수개의 오류가 발생하는 경우 하이 레벨 신호를 출력하며 나머지 경우에는 로우 레벨 신호를 출력한다.
- [0074] 요약하면 본 실시예에서는 출력 코드워드에 삼중 오류가 포함되는 경우 하이 레벨의 검출 신호를 출력하고, 출력 코드워드에 오중 또는 그 이상의 홀수개의 오류가 포함되는 경우에도 하이 레벨의 검출 신호를 출력하나, 후자의 확률은 전자의 확률보다 낮다.
- [0075] 본 실시예에서는 삼중 오류가 발생한 경우 이를 이중 오류가 발생한 것으로 오판할 가능성이 없는 점에서 종래 기술과 차별된다.
- [0076] 전술한 바와 같이 이중 오류 정정 코드의 해밍 거리는 5로 고정되어 종래의 패리티 생성 행렬에서 5개의 열을 골라서 XOR 연산을 수행하는 경우 그 결과가 0 벡터가 되는 5개의 열이 존재한다.
- [0077] 그러나 본 실시예에서는 종래의 패리티 생성 행렬이 홀수 패리티 생성 행렬로 변경되므로 5개의 열을 골라서 XOR 연산을 수행하는 경우 홀수 웨이트가 되어 XOR 연산 결과가 0벡터가 되지 않아 종래 기술과 같은 조건이 성립하지 않는다.
- [0078] 5개의 열을 i, j, k, l, m 으로 구별하여 표시할 때, 코드워드의 i, j, k 번째 비트에서 오류가 발생하였다고 하면 i, j, k 번 열에 대한 XOR 연산 결과는 홀수 웨이트를 가지며 신드롬0과 동일하게 된다.
- [0079] 삼중 오류 발생을 이중 오류 발생으로 오판하기 위해서는 l, m 두 열을 XOR 연산하였을 때 그 결과가 신드롬0과 동일하게 되는 l, m 인 존재해야 하는데 이 경우 5개의 열을 XOR 연산한 것이 신드롬0과 신드롬0을 XOR 연산한 것과 동일하여 0 벡터가 된다.
- [0080] 이는 홀수 패리티 생성 행렬을 사용하는 본 실시예에서는 성립하지 않는 결과이므로 결국 본 실시예에서 삼중 오류가 발생한 경우 이중 오류 발생으로 오판할 가능성은 없게 된다.
- [0081] 본 발명의 권리범위는 이상의 개시로 한정되는 것은 아니다. 본 발명의 권리범위는 청구범위에 문언적으로 기재된 범위와 그 균등범위를 기준으로 해석되어야 한다.

부호의 설명

- [0082] 10: 코딩 회로
- 20: 메모리 셀 어레이
- 100: 인코더 회로
- 110: 패리티 생성기
- 120: 제 1 연결 회로
- 130: 선택 회로
- 140: 제 2 연결 회로

- 200: 디코더 회로
 210: 신드롬 생성기
 220: 오류 검출 회로
 230: 오류 정정 회로
 240: 다중 오류 검출 회로

도면

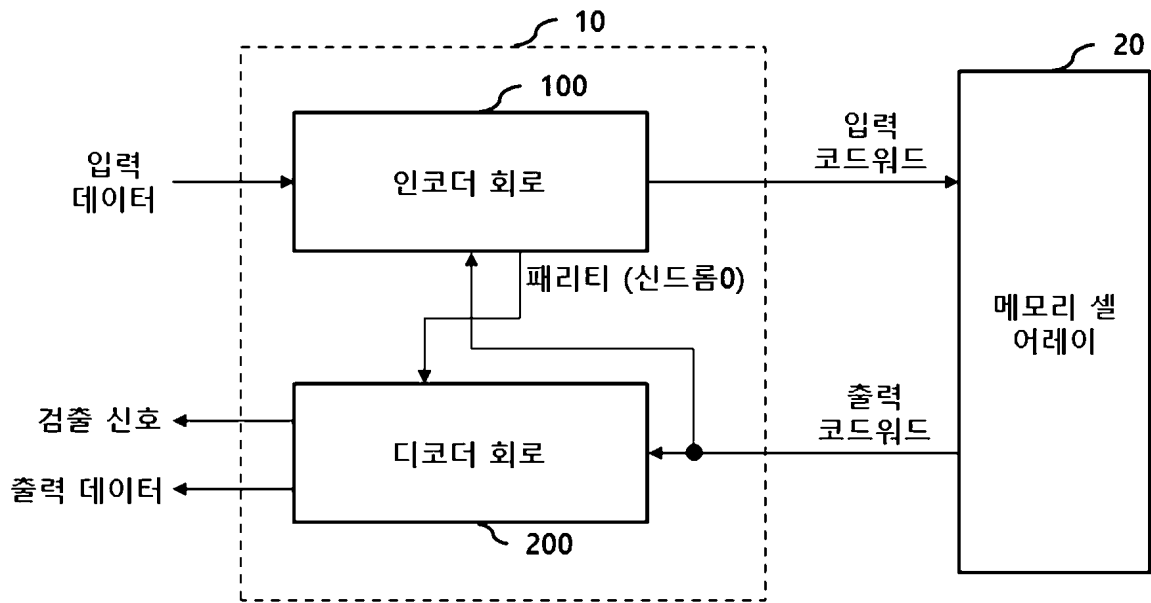
도면1

<종래기술 1>

<종래기술 2>

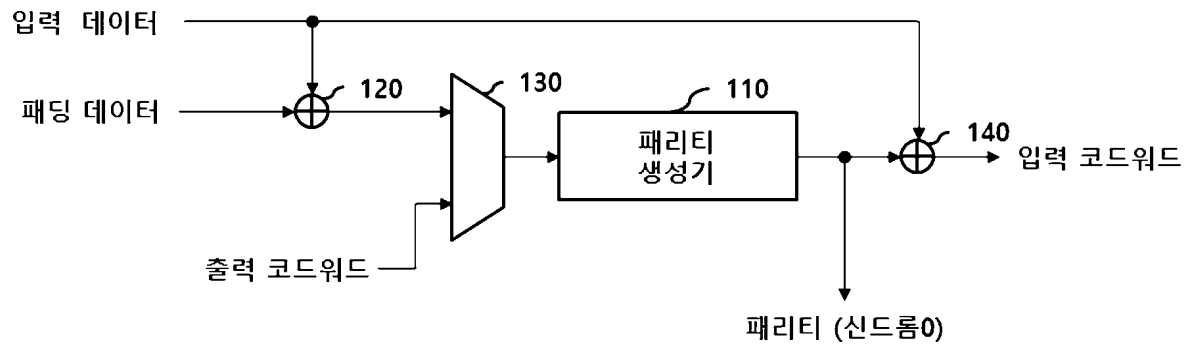
m	종래의 2중 오류 정정 BCH 코드워드, 데이터, 패리티	종래의 2중 오류 정정/ 3중 오류 검출 BCH 코드워드, 데이터, 패리티
5	(31, 21, 10)	(32, 21, 11)
6	(63, 51, 12)	(64, 51, 13)
7	(127, 113, 14)	(128, 113, 15)
8	(255, 239, 16)	(256, 239, 17)
9	(511, 493, 18)	(512, 493, 19)
10	(1023, 1003, 20)	(1024, 1003, 21)
11	(2047, 2025, 22)	(2048, 2025, 23)
12	(4095, 4071, 24)	(4096, 4071, 25)
13	(8191, 8165, 26)	(8192, 8165, 27)
14	(16383, 16355, 28)	(16384, 16355, 29)
15	(32767, 32737, 30)	(32768, 32737, 31)

도면2



1

도면3



100

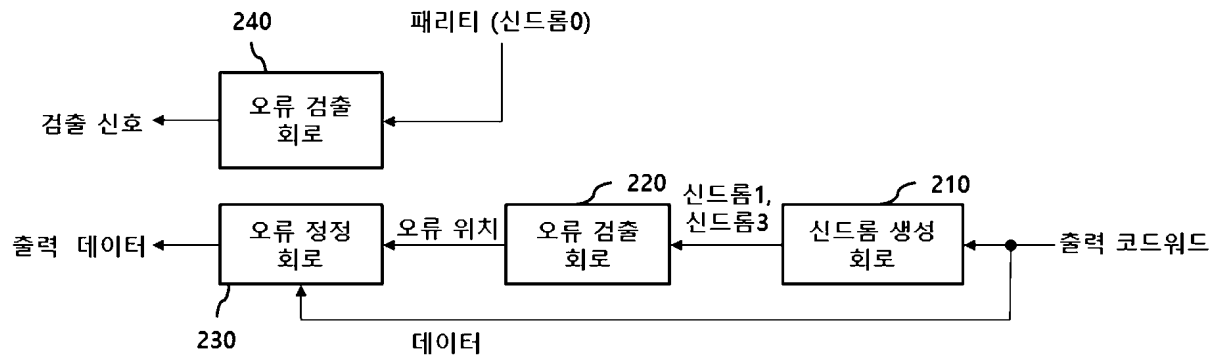
도면4

[illegible]

도면5

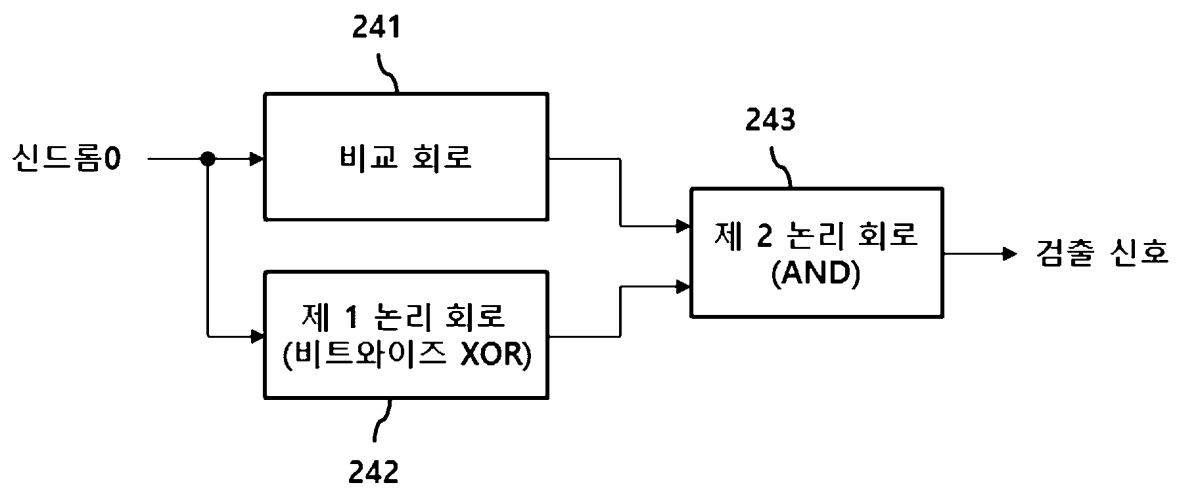
	<종래기술 1>	<종래기술 2>	<본 실시예>
m	종래의 2중 오류 정정 BCH 코드워드, 데이터, 패리티	종래의 2중 오류 정정/3중 오류 검출 BCH 코드워드, 데이터, 패리티	2중 오류 정정/3중 오류 검출 BCH 짝아진 코드워드, 데이터, 패리티
5	(31, 21, 10)	(32, 21, 11)	(20, 10, 10)
6	(63, 51, 12)	(64, 51, 13)	(40, 28, 12)
7	(127, 113, 14)	(128, 113, 15)	(72, 58, 14)
8	(255, 239, 16)	(256, 239, 17)	(144, 128, 16)
9	(511, 493, 18)	(512, 493, 19)	(272, 254, 18)
10	(1023, 1003, 20)	(1024, 1003, 21)	(544, 524, 20)
11	(2047, 2025, 22)	(2048, 2025, 23)	(1056, 1034, 22)
12	(4095, 4071, 24)	(4096, 4071, 25)	(2112, 2088, 24)
13	(8191, 8165, 26)	(8192, 8165, 27)	(4160, 4134, 26)
14	(16383, 16355, 28)	(16384, 16355, 29)	(8320, 8292, 28)
15	(32767, 32737, 30)	(32768, 32737, 31)	(16512, 16482, 30)

도면6



200

도면7



240