



(10) **DE 10 2006 019 921 B4** 2010.10.28

(12)

Patentschrift

(21) Aktenzeichen: **10 2006 019 921.9**
(22) Anmeldetag: **28.04.2006**
(43) Offenlegungstag: **08.11.2007**
(45) Veröffentlichungstag
der Patenterteilung: **28.10.2010**

(51) Int Cl.⁸: **H01L 21/336** (2006.01)
H01L 21/8234 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:
**Advanced Micro Devices, Inc., Sunnyvale, Calif.,
US**

(74) Vertreter:
**Grünecker, Kinkeldey, Stockmair &
Schwanhäusser, 80802 München**

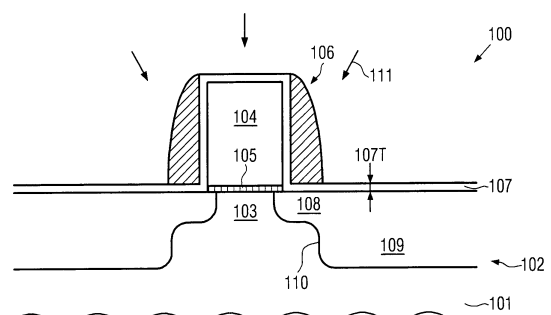
(72) Erfinder:
**Wei, Andy, 01099 Dresden, DE; Kammler,
Thorsten, 01458 Ottendorf-Okrilla, DE;
Hoentschel, Jan, 01309 Dresden, DE; Horstmann,
Manfred, 01833 Dürrröhrsdorf-Dittersbach, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

US 2006/00 88 969 A1
US 2004/01 73 815 A1
US 60 74 937 A
US 47 51 193 A
WO 01/22 500 A1

(54) Bezeichnung: **Verfahren zur Herstellung des Transistors mit eingebetteter Schicht mit Zugverformung mit geringem Abstand zu der Gateelektrode**

(57) Hauptanspruch: Verfahren mit:
Amorphisieren eines Bereichs von Drain- und Sourcegebieten eines ersten siliziumbasierten Transistors;
Implantieren von Kohlenstoff in den amorphisierten Bereich; und
Rekristallisieren des amorphisierten Bereichs, um eine Schicht mit Zugverformung in dem Drain- und Sourcegebiet zu bilden.



Beschreibung

Gebiet der vorliegenden Erfindung

[0001] Im Allgemeinen betrifft die vorliegende Erfindung die Herstellung integrierter Schaltungen und betrifft dabei die Herstellung von Transistoren mit verformten Kanalgebieten unter Anwendung einer eingebetteten verformten Schicht in den Drain- und Source-Gebieten, um damit die Ladungsträgerbeweglichkeit in dem Kanalgebiet eines MOS-Transistors zu erhöhen.

Beschreibung des Stands der Technik

[0002] Die Herstellung integrierter Schaltungen erfordert das Bilden einer großen Anzahl von Schaltungselementen auf einer vorgegebenen Chipfläche gemäß einer spezifizierten Schaltungsanordnung. Im Allgemeinen werden mehrere Prozesstechnologien gegenwärtig eingesetzt, wobei für komplexe Schaltungen, etwa Mikroprozessoren, Speicherchips, und dergleichen die CMOS-Technologie gegenwärtig eine der vielversprechendsten Lösungen auf Grund der guten Eigenschaften im Hinblick auf die Arbeitsgeschwindigkeit und/oder Leistungsaufnahme und/oder Kosteneffizienz ist. Während der Herstellung komplexer integrierter Schaltungen unter Anwendung der CMOS-Technologie werden Millionen Transistoren, d. h. n-Kanaltransistoren und p-Kanaltransistoren auf einem Substrat mit einer kristallinen Halbleiterschicht gebildet. Ein MOS-Transistor enthält, unabhängig davon, ob ein n-Kanaltransistor oder ein p-Kanaltransistor betrachtet wird, sogenannte PN-Übergänge, die durch eine Grenzfläche stark dotierter Drain- und Source-Gebiete mit einem invers dotierten Kanalgebiet, das zwischen dem Draingebiet und dem Sourcegebiet angeordnet ist, gebildet. Die Leitfähigkeit des Kanalgebiets, d. h. das Durchlassstromvermögen des leitenden Kanals, wird durch eine Gateelektrode gesteuert, die in der Nähe des Kanalgebiets ausgebildet und davon durch eine dünne isolierende Schicht getrennt ist. Die Leitfähigkeit des Kanalgebiets beim Ausbilden eines leitenden Kanals auf Grund des Anlegens einer geeigneten Steuerspannung an die Gateelektrode hängt von der Dotierstoffkonzentration, der Beweglichkeit der Majoritätsladungsträger und – für eine gegebene Ausdehnung des Kanalgebiets in der Transistorbreitenrichtung – von dem Abstand zwischen dem Source- und dem Draingebiet ab, der auch als Kanallänge bezeichnet wird. Somit bestimmt in Verbindung mit der Fähigkeit, rasch einen leitenden Kanal unter der isolierenden Schicht beim Anlegen der Steuerspannung an der Gateelektrode auszubilden, die Gesamtleitfähigkeit des Kanalgebiets im Wesentlichen das Leistungsverhalten der MOS-Transistoren. Somit wird auf Grund der Reduzierung der Kanallänge – und damit verknüpft der Verringerung des Kanalwiderstands – die Kanallänge zu einem wesentlichen Entwurfskrite-

rium, um eine Zunahme der Betriebsgeschwindigkeit integrierter Schaltungen zu erreichen.

[0003] Die zunehmende Größenreduzierung der Transistorabmessungen geht jedoch mit einer Reihe von damit verknüpften Problemen einher, etwa die geringere Steuerbarkeit des Kanals, was auch als Kurzkanaleffekt, und dergleichen bezeichnet wird, die es zu lösen gilt, um nicht unerwünschterweise die Vorteile aufzuheben, die durch das ständige Verringern der Kanallänge von MOS-Transistoren erreicht werden. Da die ständige Verringerung der Größe der kritischen Abmessungen, d. h. der Gatelänge der Transistoren, das Anpassen und möglicherweise das Neuentwickeln äußerst komplexer Prozessverfahren, beispielsweise zum Kompensieren der Kurzkanaleffekte, erforderlich macht, wurde auch vorgeschlagen, die Kanalleitfähigkeit der Transistorelemente durch Vergrößern der Ladungsträgerbeweglichkeit in dem Kanalgebiet für eine vorgegebene Kanallänge zu verbessern, um damit die Möglichkeit zu schaffen, eine Leistungssteigerung zu erreichen, die vergleichbar ist mit dem Fortschreiten zu einem künftigen Technologiestandard, während viele der bei den mit der Bauteilskalierung verknüpften Prozessanpassungen auftretenden Probleme vermieden oder zumindest zeitlich verschoben werden.

[0004] Ein effizienter Mechanismus zum Erhöhen der Ladungsträgerbeweglichkeit ist die Modifizierung der Gitterstruktur in dem Kanalgebiet durch beispielsweise Erzeugen einer Zugverspannung oder Druckverspannung in der Nähe des Kanalgebiets, um damit eine entsprechende Verformung in dem Kanalgebiet hervorzurufen, die zu einer modifizierten Beweglichkeit für Elektronen bzw. Löcher führt. Beispielsweise kann eine Druckverformung in dem Kanalgebiet die Löcherbeweglichkeit erhöhen, wodurch die Möglichkeit geschaffen wird, das Leistungsverhalten von p-Transistoren zu verbessern. Andererseits kann das Erzeugen einer Zugverformung in dem Kanalgebiet eines n-Kanaltransistors die Elektronenbeweglichkeit erhöhen. Die Einführung einer Verspannungs- oder Verformungstechnologie in den Prozess zur Herstellung integrierter Schaltungen ist ein äußerst vielversprechender Ansatz für weitere Bauteilgenerationen, da beispielsweise verformtes Silizium als eine „neue“ Art an Halbleitermaterial betrachtet werden kann, das die Herstellung schneller und leistungsstarker Halbleiterbauelemente ermöglicht, ohne dass teure Halbleitermaterialien erforderlich sind, wobei viele der gut etablierten Fertigungsverfahren weiterhin eingesetzt werden können.

[0005] Daher wird in einigen Lösungsvorschlägen die Löcherbeweglichkeit von PMOS-Transistoren verbessert, indem eine verformte Silizium/Germaniumsicht in den Drain- und Sourcegebieten der Transistoren gebildet wird, wobei die kompressiv verformten Drain- und Sourcegebiete eine uniaxiale Ver-

formung in dem benachbarten Siliziumkanalgebiet erzeugen. Dazu werden die Drain- und Sourceerweiterungsgebiete der PMOS-Transistoren auf der Grundlage einer Ionenimplantation hergestellt. Danach werden entsprechende Seitenwandabstandshalter an der Gateelektrode hergestellt, wie dies für die Ausbildung der tiefen Drain- und Sourceübergänge und des Metallsilizids in einer späteren Fertigungsphase erforderlich ist. Vor der Ausbildung der tiefen Drain- und Sourceübergänge werden diese Gebiete selektiv auf der Grundlage der Seitenwandabstandshalter vertieft, während die NMOS-Transistoren maskiert sind. Nachfolgend wird eine Silizium/Germanium-Schicht mit hoher in-situ-Dotierung selektiv in dem PMOS-Transistor durch epitaktische Wachstumsverfahren gebildet. Da die natürliche Gitterkonstante des Silizium/Germaniums größer ist als jene des Siliziums, wird die epitaktisch aufgewachsene Silizium/Germanium-Schicht, die den Gitterabstand des Siliziums annimmt, unter kompressiver Verformung aufgewachsen, die dann effizient in das Kanalgebiet übertragen wird, wodurch das Silizium darin kompressiv verformt wird. Dieses Integrationschema führt zu einer deutlichen Verbesserung des Leistungsverhaltens von p-Kanaltransistoren. Folglich wurde auch ein ähnliches Konzept für n-Kanaltransistoren vorgeschlagen, wobei ein Silizium/Kohlenstoffmaterial verwendet wird, das eine geringere Gitterkonstante im Vergleich zu Silizium besitzt. Im Gegensatz zu dem zuvor beschriebenen Ansatz ist die Integration einer eingebetteten Silizium/Kohlenstoffschicht in die Drain- und Sourcegebiete auf Grund der Tatsache schwierig, dass aktuell etablierte epitaktische Wachstumsprozesse für Silizium/Kohlenstoff eine äußerst geringe Selektivität aufweisen, woraus sich eine merkliche Materialabscheidung in unerwünschten Bauteilbereichen ergibt. Ferner ist die Löslichkeit des Kohlenstoffs in Silizium während des epitaktischen Wachstumsprozesses gering. Folglich kann auf der Grundlage konventioneller Verfahren eine Konzentration von 2 bis 3% Kohlenstoff in Silizium, wie sie für das Erreichen einer gewünschten Erhöhung der Elektronenbeweglichkeit erforderlich ist, nur unter großen Schwierigkeiten erreicht werden.

[0006] Die US 2004/0173815 A1 offenbart Transistoren mit verformten Gebieten und unterschiedlich dicken Seitenwandabstandsstrukturelementen. Die verformten Gebiete können sich bei Bedarf in die Source/Drain-Erweiterungsgebiete erstrecken.

[0007] Die US 6 074 937 A und die US 2006/0088969 A1 offenbaren Amorphisierungsverfahren.

[0008] Die WO 01/22500 A1 und die US 4 751 193 offenbaren Laser- und Blitzlichtausheizverfahren.

[0009] Angesichts der zuvor beschriebenen Situa-

on besteht die Aufgabe eine verbesserte Technik, die eine effiziente Erhöhung des Leistungsvermögens von n-Kanaltransistoren durch verformtes Silizium/Kohlenstoffmaterial ermöglicht, wobei eines oder mehrere der oben erkannten Probleme vermieden oder zumindest deren Auswirkungen reduziert werden, vorzuschlagen.

Überblick über die Erfindung

[0010] Im Allgemeinen richtet sich die vorliegende Erfindung an eine Technik zur Herstellung siliziumbasierter Transistoren mit einem verformten Siliziumkohlenstoffmaterial in dem Drain- und Sourcegebiet, um eine verstärkte Verformung in den entsprechenden Kanalgebieten zu ermöglichen. Das Silizium/Kohlenstoffmaterial kann auf der Grundlage eines Implantationsprozesses gebildet werden, wodurch im Wesentlichen die Probleme vermieden werden können, die bei selektiven epitaktischen Wachstumsverfahren beteiligt sind, wie sie in konventionellen Prozessen eingesetzt werden. Auf Grund des Einbaus von Kohlenstoffmaterial mittels Ionenimplantation wird ein hohes Maß an Flexibilität erreicht, insbesondere in Verbindung mit der Herstellung entsprechender Transistorelemente mit verformten Silizium/Germanium-Material, da das Kohlenstoffmaterial während eines beliebigen geeigneten Fertigungsstadiums implantiert werden kann, während die entsprechenden p-Kanaltransistoren durch eine entsprechende Implantationsmaske abgedeckt werden können. Ferner kann in einigen anschaulichen Ausführungsformen der Einbau des Kohlenstoffmaterials und das entsprechende Erzeugen eines verformten Halbleitermaterials in einer späten Phase des Fertigungsprozesses mit minimalem Einfluss auf die Gesamtbauteileigenschaften durchgeführt werden, indem Aktivierungsverfahren eingesetzt werden, die deutlich eine Dotierstoffdiffusion unterdrücken, während dennoch ein effizienter Kohlenstoffaktivierungsprozess ermöglicht wird. Beispielsweise können blitzlichtbasierte oder laserbasierte Ausheizverfahren in einigen anschaulichen Ausführungsformen eingesetzt werden, um in effizienter Weise entsprechende Kohlenstoffatome an Gitterplätze zu bringen, um damit das entsprechende Kohlenstoff/Siliziummaterial mit einem gewünschten Maß an Zugverformung zur Erhöhung der Elektronenbeweglichkeit in dem entsprechenden Kanalgebiet zu bilden.

[0011] Die Aufgabe der vorliegenden Erfindung wird durch die Verfahren der Ansprüche 1, 13 und 19 gelöst.

Kurze Beschreibung der Zeichnungen

[0012] Weitere Ausführungsformen der vorliegenden Erfindung sind in den angefügten Patentansprüchen beschrieben und gehen deutlicher aus der folgenden detaillierten Beschreibung hervor, wenn die-

se im Zusammenhang mit den begleitenden Zeichnungen studiert wird, in denen:

[0013] [Fig. 1a](#) bis [Fig. 1e](#) schematisch Querschnittsansichten eines Transistorelements während diverser Fertigungsstadien zeigen, in denen eine verformte Kohlenstoff/Siliziumschicht in einem oberen Bereich der Drain- und Sourcegebiete durch Ionenimplantation gemäß anschaulicher Ausführungsformen der vorliegenden Erfindung gebildet wird;

[0014] [Fig. 1f](#) bis [Fig. 1i](#) schematisch Querschnittsansichten eines Transistorelements zeigen, das eine verformte Silizium/Kohlenstoffschicht zusätzlich zu einer verspannten darüber liegenden Schicht erhält, die nahe an dem Kanalgebiet angeordnet ist, gemäß noch weiterer anschaulicher Ausführungsformen der vorliegenden Erfindung; und

[0015] [Fig. 2a](#) bis [Fig. 2c](#) schematisch ein Halbleiterbauelement mit einem n-Kanaltransistor mit einem Silizium/Kohlenstoffmaterial und einem p-Kanaltransistor mit einem Silizium/Germanium-Material in den jeweiligen Drain- und Sourcegebieten während diverser Fertigungsphasen gemäß noch weiterer anschaulicher Ausführungsformen der vorliegenden Erfindung zeigen.

Detaillierte Beschreibung

[0016] Im Allgemeinen stellt die vorliegende Erfindung eine effiziente Technik für die Herstellung verformten Silizium/Kohlenstoffmaterials in Drain- und Sourcegebieten eines entsprechenden Transistorelements bereit, wobei in einigen anschaulichen Ausführungsformen das verformte Silizium/Kohlenstoffmaterial nahe an dem Kanalgebiet des Transistorelements angeordnet werden kann, wodurch ein äußerst effizienter verformungsinduzierender Mechanismus in dem Kanalgebiet bereitgestellt wird. Ferner wird der Einbau eines merklichen Anteils an Kohlenstoff, wie er zum Erreichen einer gewünschten verformungsinduzierenden Wirkung erforderlich ist, auf der Grundlage eines Ionenimplantationsprozesses ausgeführt, wodurch die Probleme vermieden werden können, die bei selektiven epitaktischen Wachstumsverfahren für ein mit Kohlenstoff dotiertes Siliziummaterial beteiligt sind. Das Einführen des Kohlenstoffmaterials auf der Grundlage einer Ionenimplantation liefert ein hohes Maß an Flexibilität bei der Implementierung des Fertigungsprozesses für das verformte Silizium/Kohlenstoffmaterial im Hinblick auf die Einbettung in den Gesamtprozessablauf zur Herstellung moderner Halbleiterbauelemente, da der Einbau des Kohlenstoffmaterials in einem beliebigen gewünschten Fertigungsstadium und mit hoher lokaler Selektivität ausgeführt werden kann, indem beispielsweise entsprechende Implantationsmasken zum Abdecken anderer Bauteilbereiche, etwa p-Kanaltransistoren, empfindliche Bauteilbereiche, und

dergleichen, bereitgestellt werden. Des Weiteren kann der Implantationsprozess zum Einführen des Kohlenstoffmaterials in die entsprechenden Drain- und Sourcegebiete mit äußerst effizienten Ausheizverfahren kombiniert werden, etwa blitzlichtbasierten und laserbasierten Ausheizverfahren, in denen kurze Impulse einer geeigneten Strahlung mit einer einzelnen Wellenlänge oder mehreren Wellenlängen auf die entsprechenden Bauteiloberflächen gerichtet werden, wodurch eine äußerst effiziente Aktivierung, d. h. eine Positionierung entsprechender Kohlenstoffatome oder anderer Silizium- oder Nicht-Siliziumatome an Gitterplätzen, gewährleistet ist, während im Wesentlichen eine ausgeprägte Diffusion der entsprechenden Kohlenstoffatome oder anderer Nicht-Siliziumatome reduziert oder sogar vermieden wird. Folglich können die Kohlenstoffatome effizient aktiviert werden, während bereits bestehende Implantationsprofile im Wesentlichen beibehalten werden. Daher können die Kohlenstoffimplantation und die nachfolgenden strahlungsbasierten Ausheizprozesse zu einem sehr späten Stadium während des Transistorfertigungsprozesses ausgeführt werden, ohne dass im Wesentlichen die Transistoreigenschaften, die durch die vorhergehenden Prozessverfahren eingestellt wurden, beeinflusst werden. In einigen anschaulichen Ausführungsformen wird die Kohlenstoffimplantation auf der Grundlage eines Abstandshaltermaterials oder eines Beschichtungsmaterials ausgeführt, das einen deutlich geringeren Abstand zu der Gateelektrode beispielsweise im Vergleich zu den eigentlichen Bauteilabstandshaltern ermöglicht, die typischerweise für die Herstellung der tiefen Drain- und Sourcegebiete verwendet werden, wodurch die Positionierung des entsprechenden Kohlenstoffmaterials und nachfolgend des entsprechenden verformten Silizium/Kohlenstoffmaterials sehr nahe an dem Kanalgebiet ermöglicht wird, um damit einen äußerst effizienten verformungsinduzierenden Mechanismus bereitzustellen.

[0017] Ferner kann die Wirksamkeit des Implantationsprozesses sowie der nachfolgenden Ausheizsequenz verbessert werden, indem eine Amorphisierungsimplantation vor der Kohlenstoffimplantation ausgeführt wird, die für eine verbesserte Kohlenstoffpositioniergenauigkeit auf Grund der reduzierten Kanaleffekte und auch für eine erhöhte Effizienz der nachfolgenden Ausheizprozesse sorgen kann, da im Wesentlichen ein amorphisiertes Gebiet effizienter rekristallisiert werden kann im Vergleich zu kristallinen Bereichen, die durch Ionenimplantation stark geschädigt sind. Des Weiteren kann in Verbindung mit dem Herstellen eines verformten Silizium/Kohlenstoffmaterials in den entsprechenden Drain- und Sourcegebieten eine weitere Leistungssteigerung erreicht werden, indem geeignete Abstandhaltertechniken eingesetzt werden, um die parasitäre Kapazität zu verringern und/oder um eine verbesserte Spannungsübertragungseffizienz für eine verspannte

darüber liegende Schicht bereitzustellen.

[0018] Mit Bezug zu den [Fig. 1a](#) bis [Fig. 1i](#) und den [Fig. 2a](#) bis [Fig. 2c](#) werden nunmehr weitere anschauliche Ausführungsform der vorliegenden Erfindung detaillierter beschrieben.

[0019] [Fig. 1a](#) zeigt schematisch im Querschnitt ein Halbleiterbauelement **100** mit einem Substrat **101**, etwa einem Siliziumvollsubstrat, einem SOI-(Silizium-auf-Isolator) Substrat oder einem anderen geeigneten Trägermaterial, das darauf ausgebildet eine siliziumbasierte Halbleiterschicht **102** aufweist, die für das Herstellen darin und darauf von Schaltungselementen, etwa Feldeffekttransistoren, und dergleichen geeignet ist. In dieser Hinsicht ist ein siliziumbasiertes Halbleitermaterial als eine kristalline Halbleiterschicht zu verstehen, die einen merklichen Anteil an Silizium aufweist, wobei jedoch andere Nicht-Siliziumatome in einem mehr oder weniger ausgeprägten Anteil vorhanden sein können. Beispielsweise kann eine kristalline Halbleiterschicht mit mindestens ungefähr 50 Atomprozent Silizium als eine siliziumbasierte Halbleiterschicht betrachtet werden. Der Bereich des Halbleiterbauelements **100**, wie er in [Fig. 1a](#) gezeigt ist, kann ein n-Kanaltransistorelement repräsentieren, in welchem zumindest ein Bereich der siliziumbasierten Schicht **102** modifiziert wird, um eine Zugverformung aufzuweisen, um damit die Elektronenbeweglichkeit darin zu erhöhen, die zu einem erhöhten Durchlassstromvermögen des entsprechenden Transistorelements führt. Es sollte beachtet werden, dass das Halbleiterbauelement **100** andere Schaltungselemente, etwa p-Kanaltransistoren, und dergleichen aufweisen kann, in denen andere verformungsinduzierende Mechanismen, etwa ein kompressiv verformtes Halbleitermaterial, vorgesehen sein können, um speziell die Durchlassstromwerte dieser Bauelemente zu verbessern, wie dies nachfolgend mit Bezug zu den [Fig. 2a](#) bis [Fig. 2c](#) beschrieben ist.

[0020] Das Halbleiterbauelement **100** kann in dieser Fertigungsphase ferner eine Gateelektrode **104** aufweisen, die auf einer entsprechenden Gateisolationsschicht **105** ausgebildet ist, die wiederum die Gateelektrode **104** von der Halbleiterschicht **102** trennt, d. h. von einem Kanalgebiet **103**, das in einem Teil der Schicht **102** definiert ist. Die Gateelektrode **104** des Bauelements **100** kann in dieser Fertigungsphase aus einem stark dotierten Polysilizium aufgebaut sein, wie es typischerweise als Gateelektrodenmaterial in vielen gut etablierten CMOS-Technologien verwendet wird. Ferner kann in anspruchsvollen Anwendungen eine Gatelänge, d. h. eine horizontale Ausdehnung der Gateelektrode **104** in [Fig. 1a](#), ungefähr 100 nm und deutlich weniger, beispielsweise sogar 50 nm und weniger betragen, während eine Dicke der Gateisolationsschicht **105**, die aus Siliziumdioxid, stickstoffangereichertem Siliziumdioxid und derglei-

chen aufgebaut sein kann, im Bereich von einem bis mehreren Nanometern liegen kann. Des Weiteren ist eine erste Seitenwandabstandshalterstruktur **106** an Seitenwänden der Gateelektrode **104** ausgebildet und kann aus einem beliebigen geeigneten dielektrischen Material aufgebaut sein, wobei in einigen anschaulichen Ausführungsformen Siliziumnitrid verwendet wird. Des Weiteren ist eine entsprechende Beschichtung **107** konform über dem Bauelement **100** ausgebildet und kann eine hohe Ätzselektivität in Bezug auf das Material der Seitenwandabstandshalterstruktur **106** aufweisen. In einigen anschaulichen Ausführungsformen ist die Beschichtung **107** aus Siliziumdioxid aufgebaut und besitzt eine Dicke **107t**, die geeignet im Hinblick auf einen nachfolgenden Kohlenstoffimplantationsprozess ausgewählt ist, um einen gewünschten Abstand zu dem Kanalgebiet **103** zu bieten und um ein gewünschtes Maß an Integrität während der weiteren Bearbeitung zu gewährleisten. Beispielsweise kann die Dicke **107t** auf ungefähr 1 bis 5 nm oder mehr festgelegt werden. Des Weiteren kann das Halbleiterbauelement **100** in einigen anschaulichen Ausführungsformen in dieser Fertigungsphase Drain- und Sourcegebiete **109** mit entsprechenden Erweiterungsgebieten **108** aufweisen, wie sie für moderne Transistorelemente mit einer moderat geringen Kanallänge erforderlich sind. Die Drain- und Sourcegebiete **109** mit den Erweiterungen **108** können daher eine hohe Konzentration eines n-Dotiermaterials aufweisen, um damit entsprechende PN-Übergänge **110** mit dem Kanalgebiet **103** und den verbleibenden Material der Schicht **102** zu bilden. Es sollte beachtet werden, dass das Bauelement **100** in anderen anschaulichen Ausführungsformen eine SOI-Architektur repräsentieren kann, in der die tiefen Drain- und Sourcegebiete **109** sich bis zu einer entsprechenden vergrabenen isolierenden Schicht (nicht gezeigt) erstrecken, wodurch eine reduzierte parasitäre Kapazität des PN-Übergangs **110** erreicht wird.

[0021] Ein typischer Prozessablauf zur Herstellung des Halbleiterbauelements **100**, wie es in [Fig. 1a](#) gezeigt ist, kann die folgenden Prozesse umfassen. Nach dem Bereitstellen oder Herstellen des Substrats **101** mit der darauf ausgebildeten siliziumbasierten Halbleiterschicht **102**, werden geeignete Isolationsstrukturen, etwa flache Grabenisolationen (nicht gezeigt) hergestellt, um entsprechende Bereiche für die Ausbildung von Schaltungselementen oder Gruppen von Schaltungselementen, etwa p-Kanaltransistoren, etwa n-Kanaltransistoren, und dergleichen, zu definieren. Die Herstellung der entsprechenden Isolationsstrukturen kann gut etablierte Photolithographie-, anisotrope Ätz-, Abscheide- und Planarisierungstechniken beinhalten. Danach können geeignete Implantationsprozesse ausgeführt werden, um ein spezielles vertikales Dotierstoffprofil in den entsprechenden Bereichen der Halbleiterschicht **102** zu erzeugen. Anschließend werden ge-

eignete Materialien für die Gateisolationsschicht **105** und die Gateelektrode **104** beispielsweise auf der Grundlage moderner Oxidations- und/oder Abscheidungsverfahren für die Gateisolationsschicht **105**, gebildet, während das Gateelektrodenmaterial auf der Grundlage von CVD-(chemische Dampfabsehide-)Verfahren bei geringem Druck gemäß gut etablierter Rezepte gebildet werden kann. Nachfolgend wird das Gateelektrodenmaterial und das Material der Gateisolationsschicht in geeigneter Weise auf der Grundlage von Photolithographie und modernen Ätzverfahren strukturiert, wobei auch entsprechende Deckschichten (nicht gezeigt) gleichzeitig mit dem Gateelektrodenmaterial strukturiert werden können, um damit eine entsprechende Deckschicht vorzusehen, die für eine geeignete Einkapselung der Gateelektroden in anderen Bauteilbereichen erforderlich sein kann, etwa Bereichen, die den p-Kanaltransistoren entsprechen, um ein verformtes Silizium/Germanium-Material zu erhalten, wie dies auch mit Bezug zu den [Fig. 2a](#) bis [Fig. 2c](#) beschrieben ist. Nach dem Strukturieren der Gateelektrode **104** und möglicherweise der selektiven Herstellung epitaktisch gewachsener Halbleitermaterialien in anderen Bauteilgebieten, werden geeignete Implantationsprozesse aufgeführt, beispielsweise auf der Grundlage von Offset-Abstandshaltern (nicht gezeigt), um ein n-Dotiermaterial zur Bildung der Erweiterungsgebiete **108** einzuführen. Entsprechende Fertigungsprozesse zur Ausbildung von Offset-Abstandshaltern, etwa Siliziumdioxidabstandshaltern, und das Ausführen eines entsprechenden Implantationsprozesses, sind im Stand der Technik bekannt. Es sollte ferner beachtet werden, dass die entsprechenden Implantationsprozesse auch weitere Implantationen enthalten können, etwa eine Voramorphisierungsimplantation, falls erforderlich, Halo-Implantationen, und dergleichen, abhängig von den Prozess- und Bauteilerfordernissen. In noch weiteren anschaulichen Ausführungsformen kann die Beschichtung **107** vor der Implantation zur Bildung der Erweiterungsgebiete **108** gebildet werden und kann als ein entsprechender Offset-Abstandshalter verwendet werden. In diesem Falle wird die Dicke **107t** so gewählt, dass der gewünschte laterale Abstand zu der Gateelektrode **104** erreicht wird.

[0022] Danach kann die erste Abstandshalterstruktur **106** auf der Grundlage einer konformen Abscheidung und anisotroper Ätzverfahren gebildet werden, wobei beispielsweise eine Siliziumnitridschicht auf der Grundlage von beispielsweise CVD-Verfahren mit geringem Druck, und dergleichen hergestellt wird, woran sich ein anisotroper Ätzprozess anschließt, während welchem die Beschichtung **107** als eine effiziente Ätzstoppschicht dienen kann, um damit die entsprechenden Abstandselemente bereitzustellen. Anschließend wird eine weitere Ionenimplantation ausgeführt, um das n-Dotierstoffmaterial in die Schicht **102** zum Definieren der tiefen Drain- und

Sourcegebiete **109** einzuführen, wobei in einigen anschaulichen Ausführungsformen die entsprechende Fertigungssequenz das Bilden weiterer Seitenwandabstandshalterelemente in der Struktur **106** gefolgt von einem entsprechenden Implantationsprozess umfassen kann, wenn die laterale Profilierung der Drain- und Sourcegebiete **109** im Zusammenhang mit den Erweiterungsgebieten **108** anspruchsvollere Dotierstoffprofile erfordert. Danach kann ein geeigneter Ausheizprozess ausgeführt werden, um die implantierten Dotierstoffe zu aktivieren und um zumindest zu einem gewissen Maße implantationsinduzierte Schäden in dem Halbleitermaterial **102** zu rekristallisieren. Es sollte beachtet werden, dass ein entsprechender Ausheizprozess auch nach der Implantation der Erweiterungsgebiete **108** bei Bedarf ausgeführt werden kann. Das Ausheizen der Drain- und Sourcegebiete **109** und der Erweiterungen **108** kann auf der Grundlage gut etablierter Rezepte ausgeführt werden, die schnelle thermische Ausheizverfahren, ofenbasierte Verfahren, strahlungsbasierte Verfahren und Ausheiztechniken auf der Grundlage einer gepulsten Strahlung mit hochenergetischen kurzen Strahlungsimpulsen, etwa Laser-gestützte und Blitzlicht-gestützte Ausheizverfahren oder einer beliebigen Kombination davon enthalten können. In einer anschaulichen Ausführungsform wird der entsprechende Ausheizprozess so gestaltet, dass die letztlich erforderliche Form der PN-Übergänge **110** im Wesentlichen erzeugt wird, unabhängig von einem weiteren Kohlenstoffimplantationsprozess und einem entsprechenden Kohlenstoffaktivierungsprozess. Als nächstes wird in einer anschaulichen Ausführungsform ein äußerst selektiver Ätzprozess **111** ausgeführt, um die erste Abstandshalterstruktur **106** selektiv in Bezug auf das Beschichtungsmaterial **107** zu entfernen. Beispielsweise wird in einer anschaulichen Ausführungsform ein äußerst selektiver nasschemischer Ätzprozess auf der Grundlage heißer Phosphorsäure angewendet, um selektiv das Abstandshaltermaterial der Struktur **106** zu entfernen, wenn dieses aus Siliziumnitrid aufgebaut ist, während das Beschichtungsmaterial **107** zuverlässig eine Schädigung der abgedeckten Bauteilbereiche unterdrückt. In anderen anschaulichen Ausführungsformen können andere selektive Ätzrezepte, etwa selektive Trockenätzprozesse, während des Ätz-Prozesses **111** zum effizienten Entfernen der ersten Abstandshalterstruktur **106** eingesetzt werden. E sollte beachtet werden, dass der selektive Ätzprozess **111** im Wesentlichen ohne Maskieren anderer Bauteilbereiche ausgeführt werden kann, wodurch auch entsprechende erste Abstandshalterstrukturen von anderen Transistorelementen, etwa p-Kanaltransistoren, und dergleichen entfernt werden. Wenn das Vorhandensein der ersten Abstandshalterstruktur in anderen Bauteilbereichen gewünscht wird, beispielsweise im Hinblick auf die Verspannungseigenschaften der ersten Abstandshalterstruktur **106**, und dergleichen, wird eine entsprechende Ätzmaske, bei-

spielsweise eine Lackmaske, hergestellt, um in zuverlässiger Weise die entsprechenden Bauteilbereiche abzudecken. Eine entsprechende Ätzmaske kann auf der Grundlage gut etablierter Photolithographieverfahren gebildet werden.

[0023] [Fig. 1b](#) zeigt schematisch das Halbleiterbauelement **100** nach dem Ende des zuvor beschriebenen selektiven Ätzprozesses **111**. Des Weiteren ist in einer anschaulichen Ausführungsform das Bauelement **100** einer Amorphisierungsimplantation **112** ausgesetzt, um einen im Wesentlichen amorphisierten Bereich **113** in den Drain- und Sourcegebieten **109** mit den Erweiterungen **108** zu bilden. Eine entsprechende im Wesentlichen Amorphisierung kann auch in einem oberen Bereich der Gateelektrode **104** stattfinden, in welchem das im Wesentlichen polykristalline Material ebenso durch den Implantationsprozess **112** modifiziert wird. Während der Implantation **112** sorgt die Dicke **107t** der Beschichtung **107** für einen gewünschten Abstand zu der Gateelektrode **104** und zu dem entsprechenden Kanalgebiet **103** und unterdrückt im Wesentlichen auch eine Schädigung an der unteren Kante der Gateelektrode **104**, wodurch die Unversehrtheit der Gateisolationsschicht **105** im Wesentlichen beibehalten wird. In einer anschaulichen Ausführungsform wird der Implantationsprozess **112** auf der Grundlage von Silizium ausgeführt, das ein hohes Maß an Gitterschäden in dem im Wesentlichen amorphisierten Bereiche **113** erzeugt, ohne dass merkliche Anteile an Nicht-Siliziumatomen eingeführt werden. Beispielsweise kann mit einer Implantationsdosis für Silizium von ungefähr 1×10^{15} Ionen pro cm^2 und mehr mit einer geeigneten Implantationsenergie im Bereich von ungefähr 5 bis 50 keV, abhängig von der gewünschten durchschnittlichen Eindringtiefe und der Dicke **107t** der Beschichtung **107**, ein hohes Maß an Amorphisierung in den Bereichen **113** erreicht werden. In anderen anschaulichen Ausführungsformen kann eine andere schwere Ionengattung implantiert werden, etwa Xenon, oder selbst ein schweres n-Dotiermaterial kann verwendet werden, um für das gewünschte Maß an Amorphisierung zu sorgen. Geeignete Implantationsparameter für eine entsprechende Ionengattung können effizient auf der Grundlage entsprechender Simulationsmodelle und/oder Experimente ermittelt werden. Es sollte beachtet werden, dass die Implantation **112** so gestaltet sein kann, dass der entsprechende im Wesentlichen amorphisierte Bereich **113** im Wesentlichen innerhalb der Drain- und Sourcegebiete **109** einschließlich der Erweiterungen **108** angeordnet ist, während in anderen Fällen, wenn eine Ausdehnung des Bereichs **113** in Richtung des Kanalgebiets **103** erwünscht ist, entsprechende Implantationsneigungswinkel für ein entsprechendes Formen des Bereichs **113** angewendet werden können.

[0024] [Fig. 1c](#) zeigt schematisch das Halbleiterbauelement während eines nachfolgenden Implantati-

onsprozesses **114**, um Kohlenstoffionen in die im Wesentlichen amorphisierten Bereiche **113** einzuführen, wodurch ein Silizium/Kohlenstoff-Material **115** hergestellt wird, wobei eine Konzentration an Kohlenstoffatomen im Bereich von ungefähr 1,5 Atomprozent bis ungefähr 4 Atomprozent und höher liegt, abhängig von den Eigenschaften des Implantationsprozesses **114**. In einer anschaulichen Ausführungsform wird der Implantationsprozess **114** auf der Grundlage geeigneter ausgewählter Implantationsenergien und Dosierungen ausgeführt, um im Wesentlichen die Kohlenstoffionen innerhalb des im Wesentlichen amorphisierten Bereichs **113** mit einer Konzentration von ungefähr 1,5 Atomprozent bis 4 Atomprozent zuzuordnen, wobei eine Dosis von ungefähr 5×10^{16} Ionen pro cm^2 verwendet wird. Im Hinblick auf die Größe des Silizium/Kohlenstoffmaterials **115** kann auch eine geneigte Implantation eingesetzt werden, wenn ein geringerer Abstand zu dem Kanalgebiet **103** gewünscht ist. Folglich kann durch Anwendung des Implantationsprozesses **114** eine moderat hohe Konzentration an Kohlenstoff in die Drain- und Sourcegebiete **109** einschließlich der Erweiterungen **108** eingeführt werden, wobei ein lateraler Abstand des Silizium/Kohlenstoffgebiets **115** zu dem Kanalgebiet **103** im Wesentlichen durch die Dicke **107t** und/oder die Eigenschaften des Ionenimplantationsprozesses **114** bestimmt ist. Des Weiteren können die Prozessparameter der Implantationen **112** und **114** so festgelegt werden, dass das Silizium/Kohlenstoffgebiet **115** im Wesentlichen vollständig innerhalb der Erweiterungsgebiete **108** und der Drain- und Sourcegebiete **109** angeordnet ist. In diesem Falle werden die durch den PN-Übergang **110** definierten elektrischen Eigenschaften beibehalten, wodurch ein hohes Maß an Kompatibilität mit konventionellen Bauteilfertigungsverfahren, in denen kein Silizium/Kohlenstoffgebiet gebildet wird, bewahrt wird, wobei zusätzlich der Vorteil einer äußerst effizienten verformungsinduzierenden Quelle erreicht wird.

[0025] [Fig. 1d](#) zeigt schematisch das Halbleiterbauelement **100** während eines nachfolgenden Ausheizprozesses **116** zum Aktivieren der implantierten Kohlenstoffatome. In einer anschaulichen Ausführungsform umfasst der Ausheizprozess **116** eine lasergestützte oder blitzlichtgestützte Ausheiztechnik. Während eines Laserausheizprozesses werden ein oder mehrere kurze Strahlungsimpulse mit einer spezifizierten Strahlungswellenlänge erzeugt und auf die freiliegende Bauteiloberfläche gerichtet, wie dies in [Fig. 1d](#) angedeutet ist, wodurch die entsprechende Energie in dem bestrahlten Material deponiert wird. Folglich werden die bestrahlten Bereiche effizient bis zu hohen Temperaturen aufgeheizt, die den Atomen die erforderliche Aktivierungsenergie verleihen, wobei auf Grund der kurzen Strahlungsimpulse der Energietransfer und damit das Aufheizen des Materials ausreichend ist, um eine Bewegung über kurze Entfernungen der entsprechenden Silizium- und

Nicht-Silizium-Gattungen zu ermöglichen, während eine ausgedehnte Diffusion über weitere Weglängen im Wesentlichen unterdrückt wird. Somit wird der im Wesentlichen amorphisierte Bereich mit der moderat hohen Kohlenstoffkonzentration in dem Gebiet **115** in effizienter Weise rekristallisiert, wodurch die Kohlenstoffgattung aktiviert wird, d. h. es werden viele Kohlenstoffatome an Gitterplätzen in äußerst effizienter Weise angeordnet, ohne dass eine merkliche Diffusion anderer Nicht-Siliziumgattungen auftritt, etwa des n-Dotiermaterials, das den PN-Übergang **110** bildet. Somit werden die Dotierstoffgradienten in der Nähe des PN-Übergangs **110** im Wesentlichen beibehalten, während das Gebiet **115** effizient in ein verformtes Silizium/Kohlenstoffmaterial umgewandelt wird, wodurch eine entsprechende Zugverformung in dem Kanalgebiet **103** erzeugt wird. In einer blitzlichtgestützten Ausheiztechnik werden in ähnlicher Weise kurze Strahlungsimpulse bereitgestellt, wobei im Gegensatz zu einer lasergestützten Technik mehrere Wellenlängen in der entsprechenden Strahlung vorhanden sind, was vorteilhaft sein kann für eine Energiedeposition, wenn mehrere unterschiedliche Materialien mit unterschiedlichen optischen Eigenschaften in den oberen Bereich der freiliegenden Bauteilschichten vorhanden sind. Es sollte beachtet werden, dass der zusätzliche Ausheizprozess **116** zum Aktivieren der Kohlenstoffgattung in dem Gebiet **115**, obwohl dieser die n-Dotierstoffgattung im Hinblick auf eine Diffusion über ausgeprägtere Weglängen im Wesentlichen nicht beeinflusst, eine weitere Aktivierung bewirken kann, wodurch das Maß an Aktivierung des n-Dotiermittels in den Drain- und Sourcegebieten **109** und den Erweiterungen **108** verbessert wird. Somit kann der Ausheizprozess **116** zu einer noch ausgeprägteren Leistungssteigerung des Bauelements **100** beitragen.

[0026] Nach dem Ausheizprozess wird die Beschichtung **107** entfernt oder in anderen Fällen wird eine weitere Seitenwandabstandshalterstruktur auf der Beschichtung **107** ausgebildet.

[0027] [Fig. 1e](#) zeigt schematisch das Halbleiterbauelement **100** in einem weiter fortgeschrittenen Herstellungsstadium, in welchem eine zweite Abstandshalterstruktur **117** an Seitenwänden der Gateelektrode **104** gebildet ist, wobei die Beschichtung **107** in der Abstandshalterstruktur **117** eingebaut sein kann oder auch nicht, abhängig von der Prozessstrategie. In einer anschaulichen Ausführungsform umfasst die zweite Abstandshalterstruktur **117** ein dielektrisches Material mit einer geringen relativen Permittivität im Vergleich zu der ersten Abstandshalterstruktur **106**, wodurch die parasitäre Kapazität **104** zwischen Kontaktpfropfen reduziert wird, die für eine Kontaktierung der Drain- und Sourcegebiete **109** in einer späteren Phase zu bilden sind. Ferner ist auch die Kopplungskapazität der Gateelektrode **104** in Bezug auf die Drain- und Sourcegebiete reduziert. In einer an-

schaulichen Ausführungsform ist die zweite Abstandshalterstruktur **117** aus Siliziumdioxid aufgebaut, das eine geringere dielektrische Konstante im Vergleich zu Siliziumnitrid aufweist, während in anderen anschaulichen Ausführungsformen die Abstandshalter **117** ein dielektrisches Material mit kleinem ϵ umfassen. Ferner kann das Bauelement **100** Metallsilizidgebiete **118** aufweisen, die in den Drain- und Sourcegebieten **109** ausgebildet sind, d. h. zumindest in dem Bereich **115** des verformten Silizium/Kohlenstoffmaterials und auch in einem oberen Bereich der Gateelektrode **104**. Da die Metallsilizidgebiete **118** auf der Grundlage der zweiten Abstandshalterstruktur **117** hergestellt werden, wird ein hohes Maß an Zuverlässigkeit des entsprechenden Fertigungsprozesses gewährleistet, während gleichzeitig das verformte Silizium/Kohlenstoffmaterial in der Nähe des Kanalgebiets **103** beibehalten wird, so dass die Spannungsrelaxation, die durch das Metallsilizid **118** hervorgerufen wird, den gesamten verformungsinduzierenden Mechanismus nicht wesentlich negativ beeinflusst.

[0028] Das Bauelement **100**, wie es in [Fig. 1e](#) gezeigt ist, kann auf der Grundlage der folgenden Prozesse hergestellt werden. Nach dem Entfernen der Beschichtung **107** oder dem Beibehalten der Beschichtung **107** wird ein geeignetes Abstandsmaterial, etwa Siliziumdioxid, ein dielektrisches Material mit kleinem ϵ oder dergleichen auf der Grundlage gut etablierter Rezepte abgeschieden. Beispielsweise sind konforme Abscheideverfahren auf der Grundlage von CVD für Siliziumdioxid und eine Vielzahl dielektrischer Materialien mit kleinem ϵ gut bekannt. Danach wird ein entsprechender anisotroper Ätzprozess ausgeführt, wobei abhängig davon, ob die Beschichtung **107** beibehalten wurde oder entfernt wurde, und abhängig von der Materialzusammensetzung des Abstandsmaterials, geeignete Ätzstrategien eingesetzt werden, um die Gateelektrode **104** und die Drain- und Sourcegebiete, d. h. den Bereich **115**, freizulegen, während die Abstandselemente **117** gebildet werden. Als nächstes werden nach Reinigungsprozessen zum Vorbereiten der freiliegenden leitenden oder halbleitenden Bereiche geeignete Silizidierungsprozesse ausgeführt, beispielsweise auf der Grundlage hochschmelzender Metalle, etwa Nickel, Platin, Kobalt, oder Kombinationen davon, um die Metallsilizidgebiete **118** zu bilden. Es sollte beachtet werden, dass die entsprechende Prozesssequenz zur Herstellung der zweiten Seitenwandabstandshalterstruktur **117** und sowie der Metallsilizidgebiete **118** auch in anderen Bauteilbereichen, etwa p-Kanaltransistoren, und dergleichen ausgeführt werden kann. Folglich kann das Material mit Zugverformung **115** nahe an dem Kanalgebiet **103** positioniert werden, wobei in einigen anschaulichen Ausführungsformen zusätzlich eine reduzierte parasitäre Kapazität erreicht wird, indem die zweiten Abstandshalter **117** auf der Grundlage eines Materials mit reduzierter Permittivität

tivität im Vergleich zu konventionellen Bauteilstrategien vorgesehen werden, in denen typischerweise Siliziumnitrid als Abstandshaltermaterial eingesetzt wird.

[0029] Mit Bezug zu den [Fig. 1f](#) bis [Fig. 1h](#) werden weitere anschauliche Ausführungsformen der vorliegenden Erfindung nunmehr detailliert beschrieben, in denen die zweite Abstandshalterstruktur **117**, wie sie in [Fig. 1e](#) gezeigt ist, weggelassen wird, um die Herstellung einer verspannten darüberliegenden Schicht nahe an der Gateelektrode **104** zu ermöglichen.

[0030] [Fig. 1f](#) zeigt schematisch das Halbleiterbauelement **100** in einer Fertigungsphase, die im Wesentlichen dem Bauelement **100** aus [Fig. 1a](#) entspricht, wobei vor dem Entfernen der ersten Abstandshalterstruktur **106** ein geeigneter selektiver Ätzprozess **119** ausgeführt wird, um freiliegende Bereiche der Beschichtung **107** zu entfernen. Beispielsweise sind selektive Ätzrezepte für Siliziumdioxid und Silizium gut etabliert und können verwendet werden, wobei abhängig von der Dicke der Beschichtung **107** selbst isotrope Ätzrezepte eingesetzt werden können, da eine entsprechende „Unterätzung“ der ersten Abstandshalterstruktur **106** tolerierbar sein kann. In anderen Fällen werden anisotrope selektive Ätzrezepte verwendet. Es sollte beachtet werden, dass eine ausgeprägte Selektivität des Prozesses **119** in Bezug auf die Beschichtung **107** und die Abstandshalter **106** nicht erforderlich ist, insbesondere, wenn ein anisotropes Ätzrezept eingesetzt wird, da in diesem Falle dennoch ein im Wesentlichen L-förmiger Abstandshalter während des Prozesses **119** geschaffen wird, selbst wenn ein merklicher Anteil der ersten Abstandshalter **106** ebenso entfernt wird.

[0031] [Fig. 1g](#) zeigt schematisch das Bauelement **100** nach dem Ätzprozess **119** und während des Ätzprozesses **111** zum selektiven Entfernen des Abstandshalters **106**. Beispielsweise sind geeignete Rezepte mit einer moderat hohen Selektivität in Bezug auf Siliziumdioxid und Silizium für Siliziumnitrid, beispielsweise auf der Grundlage heißer Phosphorsäure, verfügbar, wodurch das Entfernen der Abstandshalterstruktur **106** möglich ist, ohne wesentlich die freiliegenden Bereiche der Gateelektrode **104** und der Drain- und Sourcegebiete **109** zu schädigen.

[0032] [Fig. 1h](#) zeigt schematisch das Bauelement **100** nach dem Entfernen der ersten Abstandshalter **106**, wodurch resultierende L-förmige Abstandselemente **107a** zurückbleiben, d. h. die Reste der Beschichtung **107**. Danach kann das Bauelement **100** bei Bedarf der Amorphisierungsimplantation **112** unterzogen werden, wobei auf Grund des Vorhandenseins der L-förmigen Abstandselemente **107a** ein leicht modifiziertes Implantationsprofil in den Drain- und Sourcegebieten **109** und den Erweiterungen **108** erzeugt wird, wie in [Fig. 1h](#) gezeigt ist. Folglich kön-

nen die im Wesentlichen amorphisierten Bereiche **113** eine modifizierte Form im Vergleich zu den Bereichen aufweisen, die in [Fig. 1b](#) gezeigt sind. Danach wird die Kohlenstoffimplantation **114** auf der Grundlage im Wesentlichen der gleichen Prozessparameter durchgeführt, wie sie zuvor beschrieben sind, wobei auch in diesem Falle eine geringfügig modifizierte Form des resultierenden Silizium/Kohlenstoff-Gebiets auf Grund der unterschiedlichen Eindringtiefe in die Drain- und Sourcegebiete **109** und die Erweiterungsgebiete **108** erreicht werden kann. Anschließend wird der Ausheizprozess **116** in ähnlicher Weise ausgeführt, wie dies zuvor mit Bezug zu [Fig. 1e](#) beschrieben ist, um die implantierte Kohlenstoffgattung zu aktivieren, um somit das verformte Silizium/Kohlenstoffgebiet **115** mit einer modifizierten Form zu dem Gebiet, wie es in [Fig. 1c](#) gezeigt ist, zu schaffen. Danach kann der Silizidierungsprozess auf der Grundlage der L-förmigen Abstandshalter **107a** ausgeführt werden, wobei die L-Form den erforderlichen Abstand der entsprechenden Metallsilizidgebiete liefert, wodurch die gewünschte Prozesszuverlässigkeit das Beibehalten eines entsprechenden verformten Silizium-Kohlenstoffmaterials benachbart zu dem Kanalgebiet **103** gewährleistet ist, in ähnlicher Weise, wie dies auch mit Bezug zu der zweiten Abstandshalterstruktur **117** in [Fig. 1e](#) beschrieben ist.

[0033] [Fig. 1i](#) zeigt schematisch das Halbleiterbauelement **100** nach dem Ende der zuvor beschriebenen Prozesssequenz. Folglich umfasst das Bauelement **100** die entsprechenden Metallsilizidgebiete **118**, während das verformte Silizium/Kohlenstoffmaterial des Gebiets **115** in unmittelbarer Nähe des Kanalgebiets **103** angeordnet ist. Des Weiteren umfasst das Bauelement **100** eine verspannte Oberschicht **120**, etwa eine Kontaktätzstoppschicht, die aus einem verspannten Siliziumnitridmaterial mit einer hohen Zugspannung aufgebaut sein kann, um die entsprechende Zugverformung in dem Kanalgebiet **103** weiter zu erhöhen. Auf Grund des Vorsehens der im Wesentlichen L-förmigen Abstandshalter **107a** kann das entsprechende verformte Material der Schicht **120** nahe an dem Kanalgebiet **103** angeordnet werden, wodurch der Spannungsübertragungsmechanismus im Vergleich zu Strategien, in denen eine zusätzliche Abstandshalterstruktur vorgesehen ist, deutlich erhöht wird. Folglich können in diesem Falle die unterschiedlichen verformungsinduzierenden Quellen, d. h. das verformte Silizium/Kohlenstoffmaterial **115** und die verspannte Oberschicht **120** in effizienterer Weise kombiniert werden, da beide verformungsinduzierenden Quellen sehr nahe an dem Kanalgebiet **103** angeordnet sind.

[0034] Damit stellt die vorliegende Erfindung eine äußerst effiziente Technik zur Positionierung eines verformten Silizium/Kohlenstoffmaterials benachbart zu dem Kanalgebiet des entsprechenden n-Kanaltransistors bereit, wodurch die darin hervorgerufene

Verformung deutlich vergrößert wird. Dazu wird der Kohlenstoffeinbau auf der Grundlage eines Implantationsprozesses erreicht, der von einer vorhergehenden Voramorphisierungsimplantation und einem geeigneten Ausheizprozess begleitet sein kann, der für eine effiziente Rekristallisierung und eine Kohlenstoffaktivierung sorgt, wobei im Wesentlichen ein Herausdiffundieren der Dotierstoffmaterialien reduziert oder unterdrückt wird. Es sollte beachtet werden, dass obwohl in dem bislang beschriebenen Ausführungsformen die Kohlenstoffimplantation in einer sehr späten Phase des Transistorherstellungsprozesses ausgeführt wird, eine entsprechende Kohlenstoffimplantation auch in einem früheren Stadium durchgeführt werden kann, wenn die entsprechende Prozessgestaltung der Ausheizprozesse geeignet gestaltet ist. Beispielsweise kann die Kohlenstoffimplantation zusammen oder nach der Herstellung der Erweiterungsgebiete **108** ausgeführt werden, wobei ein Neigungswinkel für die Implantation der Erweiterungen **108** angewendet werden kann, während eine im Wesentliche senkrechte Implantation für die Kohlenstoffimplantation angewendet wird, wenn die unterschiedlichen Abstände dieser Implantationsgebiete in Bezug auf das Kanalgebiet **103** erwünscht sind. In anderen Fällen kann die Erweiterungsimplantation separat ausgeheizt werden und danach kann die Kunststoffimplantation vor der Ausbildung der tiefen Drain- und Sourcegebiete ausgeführt werden, wodurch die Herstellung einer zusätzlichen Abstandhalterstruktur vermieden wird. Danach können die tiefen Drain- und Sourcegebiete sowie die Kohlenstoffgattung auf der Grundlage einer geeigneten lasergestützten oder blitzlichtgestützten Sequenz ausgeheizt werden. In anderen anschaulichen Ausführungsformen wird die Voramorphisierungsimplantation **112** im Zusammenhang mit dem Herstellen der Drain- und Sourcegebiete **109** und/oder der Erweiterungen **108** ausgeführt, ohne dass diese speziell für den Einbau der Kohlenstoffgattung gestaltet ist. In noch anderen anschaulichen Ausführungsformen wird die Erweiterungsimplantation für das im Wesentlichen Voramorphisieren eines erforderlichen Bereichs der Drain- und Sourcegebiete vor dem Durchführen der Kohlenstoffimplantation **114** angewendet.

[0035] Mit Bezug zu den [Fig. 2a](#) bis [Fig. 2c](#) werden nunmehr weitere anschauliche Ausführungsformen der vorliegenden Erfindung detaillierter beschrieben, in denen ein verformtes Halbleitermaterial mit einer unterschiedlichen Art an Verformung in anderen Bauteilbereichen, etwa p-Kanaltransistoren, hergestellt wird.

[0036] [Fig. 2a](#) zeigt schematisch ein Halbleiterbauelement **200**, das ein erstes Bauteilgebiet **250n** und ein zweites Bauteilgebiet **250p** aufweist. Das erste und das zweite Bauteilgebiet **250n**, **250p** sind über entsprechenden Gebieten eines Substrats **201** angeordnet, das ein beliebiges geeignetes Trägermaterial

mit einer darauf ausgebildeten geeigneten siliziumbasierten Halbleiterschicht **202** repräsentiert. Im Hinblick auf die Eigenschaften des Substrats **201** und die siliziumbasierte Schicht **202** gelten die gleichen Kriterien, wie sie zuvor mit Bezug zu dem Substrat **101** und der Schicht **102** erläutert sind. In einem Beispiel repräsentiert das erste Gebiet **250n** ein Gebiet zur Herstellung eines n-Kanaltransistors, während das Gebiet **250p** ein Gebiet zur Ausbildung eines p-Kanaltransistors repräsentiert. In der in [Fig. 2a](#) gezeigten Fertigungsphase sind Gateelektroden **204** auf entsprechenden Gateisolationsschichten **205** ausgebildet, die die entsprechenden Gateelektroden **204** von entsprechenden Kanalgebieten **203** trennen. Des Weiteren sind Drain- und Sourcegebiete **209** mit Erweiterungsgebieten **208** ausgebildet, wobei die entsprechenden Gebiete Dotierstoffe unterschiedlicher Leitfähigkeitsart entsprechend dem entsprechenden Leitfähigkeitstyp der in dem ersten und dem zweiten Bauteilgebiet **250n**, **250p** herzustellenden Transistoren enthalten. Des Weiteren besitzt in einer anschaulichen Ausführungsform der in dem Gebiet **250p** gebildete Transistor zumindest in einem Bereich der Gebiete **208**, **209** ein kompressiv verformtes Halbleitermaterial, etwa ein Silizium/Germanium-Material **251**. Ferner ist eine Beschichtung **207**, die beispielsweise aus Siliziumdioxid aufgebaut ist, mit einer geeigneten Dicke konform über dem Bauelement **200** ausgebildet, wobei zusätzlich das zweite Bauteilgebiet **250p** von einer Implantationsmaske **252**, etwa einer Lackmaske oder dergleichen, bedeckt ist.

[0037] Das Halbleiterbauelement **200**, wie es in [Fig. 2a](#) gezeigt ist, kann auf der Grundlage der folgenden Prozesse gebildet werden. Nach dem Definieren der entsprechenden Gebiete **250n**, **250p** beispielsweise auf der Grundlage flacher Grabenisolationen, und dergleichen, werden geeignete Implantationsprozesse ausgeführt, um die speziellen Dotierstoffprofile in der Schicht **202** in den Bauteilgebieten **250n**, **250p** zu bilden. Danach können die Gateelektroden **204** und die Gateisolationsschichten **205** auf der Grundlage von Prozessen strukturiert werden, wie sie zuvor beschrieben sind. Danach wird eine geeignete Prozesssequenz ausgeführt, in der das erste Bauteilgebiet **250n** von einer geeigneten Maske bedeckt ist, während die Gateelektrode **204** des zweiten Gebiets **250p** eingekapselt ist und einem entsprechenden Ätzprozess zur Herstellung von Vertiefungen bzw. Aussparungen und für ein nachfolgendes Auffüllen der Vertiefungen mit einem verformten Halbleitermaterial durch selektive epitaktische Wachstumsverfahren unterzogen wird, wie sie im Stand der Technik für beispielsweise Silizium/Germaniummaterial bekannt sind. Abhängig von Bauteil- und Prozessanforderungen wird das Silizium/Germanium-Material als ein stark dotiertes Material oder als ein im Wesentlichen intrinsisches Silizium/Germanium-Material bereitgestellt. Danach wird die entspre-

chende Maske entfernt und auch die entsprechende Einkapselung der Gateelektroden **204** wird entfernt und die weitere Bearbeitung kann fortgesetzt werden, wie dies beispielsweise mit Bezug zu [Fig. 1a](#) beschrieben ist, um die Drain- und Sourcegebiete **209** und die Erweiterungen **208** in dem ersten Bauteilgebiet **250n** zu bilden, wobei das zweite Bauteilgebiet **250p** von einer entsprechenden Implantationsmaske, etwa der Maske **252** bedeckt ist. Es sollte beachtet werden, dass die Drain- und Sourcegebiete **209** und **208** in dem zweiten Gebiet **250p** auf der Grundlage einer Ionenimplantation und/oder einer in-situ-Dotierung nach Bedarf hergestellt werden können, wobei, wenn Implantationsprozesse verwendet werden, das erste Gebiet **250n** gemäß gut etablierter CMOS-Implantationsverfahren abgedeckt wird. Während der Ausbildung der Drain- und Sourcegebiete **209** und der Erweiterungen **208** können auch die Beschichtung **207** und eine entsprechende Abstandshalterstruktur hergestellt werden, die zum Profilieren der Drain- und Sourcegebiete **209** verwendet werden, die dann in beiden Bauteilgebieten **250n**, **250p** entfernt wird. Anschließend wird die Implantationsmaske **252** auf der Grundlage gut etablierter Photolithographieverfahren hergestellt, und anschließend wird eine Implantationsprozess **214** ausgeführt, um selektiv Kohlenstoffionen in das erste Bauteilgebiet **250n** einzuführen, wobei eine entsprechende Voramorphisierungsimplantation vor dem Prozess **214** bei Bedarf ausgeführt werden kann. Danach wird die Implantationsmaske **252** entfernt und ein entsprechender Ausheizprozess wird ausgeführt, der im Wesentlichen eine Diffusion unterdrückt, während effizient die implantierte Kohlenstoffgattung aktiviert wird, wie dies beispielsweise mit Bezug zu dem Ausheizprozess **116** erläutert ist.

[0038] Wie zuvor erläutert ist, werden während dieses zusätzlichen Ausheizprozesses auch die n- und p-Dotiermittel in den Drain- und Sourcegebieten **209** und den Erweiterungen **208** in dem ersten und dem zweiten Bauteilgebiet **250n**, **250p** aktiviert, wodurch das Leistungsverhalten beider Transistorarten in diesen Gebieten verbessert wird. In anderen anschaulichen Ausführungsformen kann die Aktivierung und Rekristallisierung der Drain- und Sourcegebiete **209** und/oder der Erweiterungsgebiete **208** auch vollständig während dieses Ausheizprozesses ausgeführt werden, wenn eine lasergestützte oder blitzlichtgestützte Ausheizsequenz als geeignet erachtet wird. In anderen Fällen wird der lasergestützte oder blitzlichtgestützte Ausheizprozess mit einer Wärmebehandlung bei moderat geringen Temperaturen von ungefähr 500 bis 700°C kombiniert, um in effizienter Weise amorphisierte oder geschädigte Bereiche zu rekristallisieren, ohne dass eine signifikante Dotierstoffdiffusionsaktivität auftritt, während eine effiziente Aktivierung auf der Grundlage des lasergestützten oder blitzlichtgestützten Ausheizprozesses erreicht wird.

[0039] [Fig. 2b](#) zeigt schematisch das Halbleiterbauelement **200** in einem weiter fortgeschrittenen Herstellungsstadium, in welchem entsprechende verformte Silizium/Kohlenstoffgebiete **215** in dem ersten Bauteilgebiet **250** auf der Grundlage der vorhergehenden Kohlenstoffimplantation und des nachfolgenden Ausheizprozesses ausgebildet sind. Des Weiteren sind entsprechende Seitenwandabstandshalterstrukturen **217** an den entsprechenden Gateelektroden in beiden Gebieten **250n**, **250p** gebildet, wobei in anschaulichen Ausführungsformen die Abstandshalter **217** aus einem dielektrischen Material mit einer reduzierten dielektrischen Konstante im Vergleich zu Siliziumnitrid aufgebaut sind, etwa Siliziumdioxid, oder anderen geeigneten dielektrischen Materialien mit kleinem ϵ . Auf der Grundlage der Seitenwandabstandshalterstruktur **217** können entsprechende Metallsilizidgebiete **218** in den Drain- und Sourcegebieten **209** und den Gateelektroden **204** in beiden Bauteilgebieten **250n**, **250p** hergestellt werden. Die Abstandshalter **217** und die Metallsilizidgebiete **218** können auf der Grundlage der gleichen Prozessverfahren hergestellt werden, wie sie zuvor mit Bezug zu den Komponenten **118** und **117** beschrieben sind.

[0040] Folglich kann die Herstellung eines verformten Silizium/Kohlenstoffmaterials **215** in unmittelbarer Nähe der entsprechenden Kanalgebiete **203** effizient mit einem geeigneten Integrationsschema zur Herstellung des kompressiv verformten Halbleitermaterials **251** kombiniert werden, wobei ein hohes Maß an Kompatibilität im Hinblick auf bestehende Verfahren für das selektive Aufwachsen des verformten Materials **251** erreicht wird. In diesem Falle wird die Kohlenstoffimplantation in dem ersten Bauteilgebiet **250n** in einem beliebigen geeigneten Fertigungsstadium durchgeführt, wie dies auch mit Bezug zu dem Bauelement **100** erläutert ist, während das Bauelement in dem zweiten Gebiet **250p** im Wesentlichen nicht negativ beeinflusst wird. In anschaulichen Ausführungsformen wird, wenn ein zusätzlicher Ausheizprozess zum Aktivieren der Kohlenstoffgattung ausgeführt wurde, auch ein zusätzlicher Leistungsgewinn in dem zweiten Bauteilgebiet **250p** erreicht, wodurch das Maß an Aktivierung der entsprechenden p-Dotiermittel weiter verbessert wird. Ferner kann das Vorsehen von Seitenwandabstandshaltern mit reduzierter relativer Permittivität für die Herstellung entsprechender Metallsilizidgebiete das Leistungsverhalten beider Arten an Transistoren auf Grund der geringeren parasitären Kapazität noch weiter verbessern. Zusätzlich kann in anderen Integrationsschemata, in denen beispielsweise die verformungsinduzierende Gattung in das Bauteilgebiet **250p** durch Ionenimplantation eingeführt wurde, beispielsweise eine Gattung mit einem großen kovalenten Radius im Vergleich zu Germanium, ein hohes Maß an Symmetrie in der entsprechenden Prozesssequenz im Hinblick auf die Kohlenstoffimplantation

erreicht werden, wodurch die Prozesskomplexität deutlich reduziert wird.

[0041] **Fig. 2c** zeigt schematisch das Bauelement **200** gemäß einer noch weiteren anschaulichen Ausführungsform, in der konforme oder L-förmige Abstandshalter **207a** vorgesehen sind, um das Positionieren entsprechender verspannter Oberschichten **220n** und **220p** in unmittelbarer Nähe der entsprechenden Kanalgebiete **203** zu ermöglichen. D. h., die verspannte Oberschicht bzw. darüberliegende Schicht **220n** wird mit einer Zugspannung vorgesehen, während die Oberschicht **220p** mit einer hohen Druckspannung vorgesehen wird, um den jeweiligen verformungsinduzierenden Mechanismus entsprechend noch weiter zu verbessern. Die Schichten **220n**, **220p** können aus Siliziumnitrid aufgebaut sein, das mit hoher Zugspannung oder Druckspannung auf der Grundlage gut etablierter plasmaunterstützter CVD-Verfahren durch geeignetes Steuern der Prozessparameter, etwa der Abscheidetemperatur, dem Druck, dem Ionenbeschuss, und dergleichen hergestellt werden kann. Die entsprechenden konformen Abstandshalter **207a** können auf der Grundlage ähnlicher Prozessverfahren gebildet werden, wie sie zuvor mit Bezug zu den **Fig. 1e** bis **Fig. 1i** beschrieben sind.

[0042] Es gilt also: Die vorliegende Erfindung stellt eine effiziente Technik für die Herstellung eines verformten Silizium/Kohlenstoffmaterials nahe an einem Kanalgebiet eines n-Feldeffekttransistors bereit, wobei ein hohes Maß an Kompatibilität mit konventionellen Prozessverfahren erreicht wird. Des weiteren führt die Einführung von Kohlenstoff auf der Grundlage eines Implantationsprozesses in Verbindung mit einem geeigneten Ausheizprozess zu einem deutlichen Wirkungsgradanstieg des verformungsinduzierenden Mechanismus, ohne im Wesentlichen die elektrischen Eigenschaften des Transistors negativ zu beeinflussen. Vielmehr können die Auswirkungen der zusätzlichen Kohlenstoffimplantation und des Ausheizprozesses das Gesamtverhalten des entsprechenden n-Transistors sowie anderer Transistoren, etwa p-Kanaltransistoren verbessern, indem das Maß an Dotierstoffaktivierung erhöht und/oder eine Abstandshalterstruktur mit reduzierter Permittivität vorgesehen ist. Des weiteren kann der Einbau einer Kohlenstoffgattung mittels einer Implantation in äußerst effizienter Weise mit entsprechenden Integrations-schemata zum Bereitstellen eines kompressiv verformten Halbleitermaterials in p-Kanaltransistoren kombiniert werden, wodurch das Gesamt Leistungsverhalten von CMOS-Bauelementen deutlich verbessert wird.

Patentansprüche

1. Verfahren mit:
Amorphisieren eines Bereichs von Drain- und Sour-

cegebieten eines ersten siliziumbasierten Transistors;
Implantieren von Kohlenstoff in den amorphisierten Bereich; und
Rekristallisieren des amorphisierten Bereichs, um eine Schicht mit Zugverformung in dem Drain- und Sourcegebiet zu bilden.

2. Verfahren nach Anspruch 1, wobei Rekristallisieren des im Wesentlichen amorphisierten Bereichs Ausheizen des amorphisierten Bereichs durch gepulste Strahlung umfasst.

3. Verfahren nach Anspruch 1, das ferner umfasst: Bilden der Drain- und Sourcegebiete durch Ionenimplantation unter Anwendung einer ersten Seitenwandabstandshalterstruktur, die auf einer Beschichtung benachbart zu einer Gateelektrode des Transistors ausgebildet ist, und Entfernen der ersten Abstandshalterstruktur vor dem Amorphisieren des Bereichs.

4. Verfahren nach Anspruch 1, wobei die erste Seitenwandabstandshalterstruktur durch einen selektiven Ätzprozess unter Anwendung der Beschichtung als Ätzstopp entfernt wird.

5. Verfahren nach Anspruch 3, das ferner Ausheizen der Drain- und Sourcegebiete vor dem Implantieren des Kohlenstoffs in den Bereich umfasst.

6. Verfahren nach Anspruch 3, das ferner Bilden einer zweiten Seitenwandabstandshalterstruktur nach dem Implantieren des Kohlenstoffs in den Bereich umfasst.

7. Verfahren nach Anspruch 6, wobei die zweite Seitenwandabstandshalterstruktur aus einem dielektrischen Material mit geringerer relativer Permittivität im Vergleich zu der ersten Seitenwandabstandshalterstruktur aufgebaut ist.

8. Verfahren nach Anspruch 7, das ferner umfasst: Bilden einer Metallverbindung in dem Drain- und Sourcegebiet und der Gateelektrode auf der Grundlage der zweiten Seitenwandabstandshalterstruktur.

9. Verfahren nach Anspruch 1, das ferner umfasst: Abdecken eines zweiten siliziumbasierten Transistors, während der Bereich amorphisiert und Kohlenstoff in den Bereich implantiert wird.

10. Verfahren nach Anspruch 9, wobei der zweite siliziumbasierte Transistor sich von dem ersten siliziumbasierten Transistor in seiner Leitfähigkeitsart unterscheidet.

11. Verfahren nach Anspruch 3 und 9, wobei eine erste Seitenwandabstandshalterstruktur des zweiten

Transistors zusammen mit der ersten Seitenwandabstandshalterstruktur des ersten Transistors in einem gemeinsamen Prozess entfernt wird.

12. Verfahren nach Anspruch 7 und 11, wobei eine zweite Seitenwandabstandshalterstruktur in dem zweiten Transistor zusammen mit der zweiten Seitenwandabstandshalterstruktur in dem ersten Transistor in einem gemeinsamen Prozess gebildet wird.

13. Verfahren mit:
Bilden von Drain- und Sourcegebieten eines ersten Transistors in einer siliziumbasierten Halbleiterschicht durch Ionenimplantation und einen ersten Ausheizprozess;
Implantieren von Kohlenstoff in das Drain- und Sourcegebiet; und
Ausführen eines zweiten Ausheizprozesses, um den Kohlenstoff zu aktivieren, um eine Schicht mit Zugverformung in dem Drain- und Sourcegebiet zu bilden.

14. Verfahren nach Anspruch 13, wobei der zweite Ausheizprozess einen Ausheizprozess auf der Grundlage einer gepulsten Strahlung umfasst.

15. Verfahren nach Anspruch 13, wobei Implantieren des Kohlenstoffs ausgeführt wird, um eine lokale Kohlenstoffkonzentration in dem Drain- und Sourcegebiet von mindestens 1,5 Atomprozent zu erhalten.

16. Verfahren nach Anspruch 13, das ferner umfasst: Amorphisieren eines Bereichs der Drain- und Sourcegebiete vor dem Implantieren des Kohlenstoffs.

17. Verfahren nach Anspruch 16, das ferner umfasst: Entfernen einer ersten Seitenwandabstandshalterstruktur von Seitenwänden einer Gateelektrode des ersten Transistors vor dem Implantieren des Kohlenstoffs.

18. Verfahren nach Anspruch 17, das ferner umfasst: Bilden einer zweiten Seitenwandabstandshalterstruktur an Seitenwänden der Gateelektrode nach dem Implantieren des Kohlenstoffs und bilden von Metallsilizid in den Drain- und Sourcegebieten auf der Grundlage der zweiten Seitenwandabstandshalterstruktur.

19. Verfahren mit:
Bilden von Drain- und Sourcegebieten eines Transistors in einer siliziumbasierten Halbleiterschicht durch Ionenimplantation unter Verwendung einer Seitenwandabstandshalterstruktur, die an Seitenwänden der Gateelektrode des Transistors angeordnet ist;
Entfernen der Seitenwandabstandshalterstruktur;
Implantieren von Kohlenstoff in das Draingebiet und

das Sourcegebiet des Transistors nach dem Entfernen der Seitenwandabstandshalterstruktur; und
Aktivieren des implantierten Kohlenstoffs, um eine verformte Schicht in dem Draingebiet und dem Sourcegebiet zu bilden.

20. Verfahren nach Anspruch 19, wobei Aktivieren des implantierten Kohlenstoffs Ausführen eines Ausheizprozesses auf der Grundlage einer gepulsten Strahlung umfasst.

21. Verfahren nach Anspruch 20, wobei der Ausheizprozess einen Laserausheizprozess und/oder einen blitzlichtgestützten Ausheizprozess umfasst.

22. Verfahren nach Anspruch 19, das ferner umfasst: Bilden des Draingebiets und des Sourcegebiets durch Bereitstellen eines Dotiermittels in dem Draingebiet und dem Sourcegebiet und Ausheizen des Draingebiets und des Sourcegebiets vor dem Implantieren des Kohlenstoffs.

Es folgen 8 Blatt Zeichnungen

Anhängende Zeichnungen

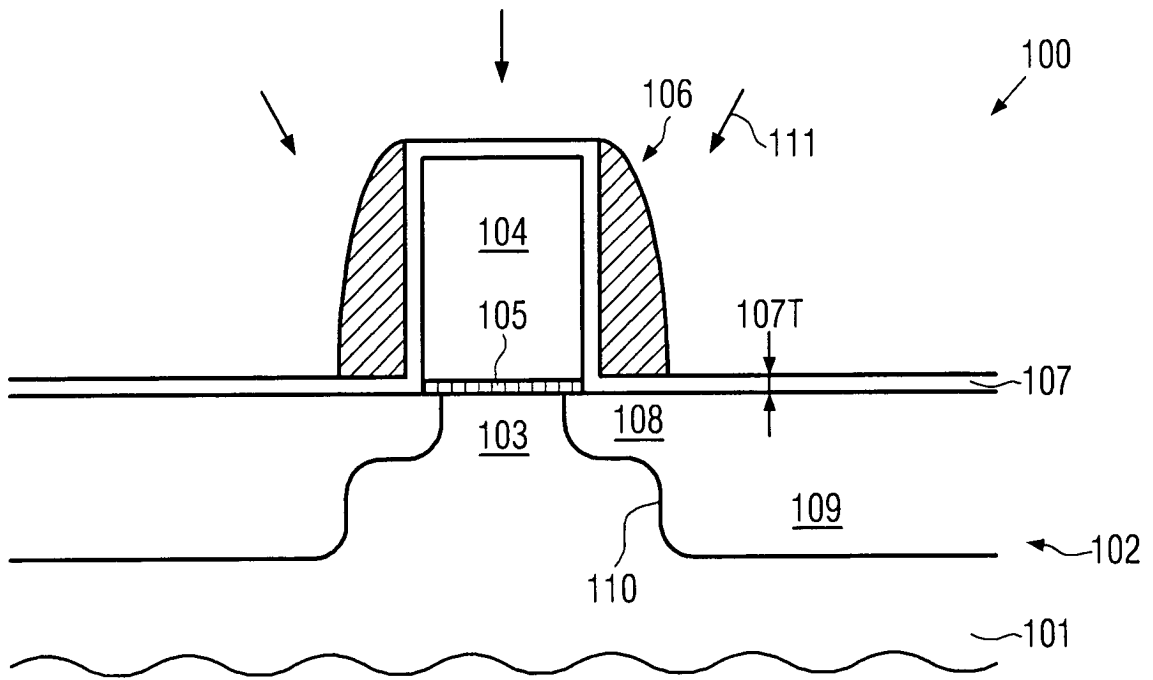


FIG. 1a

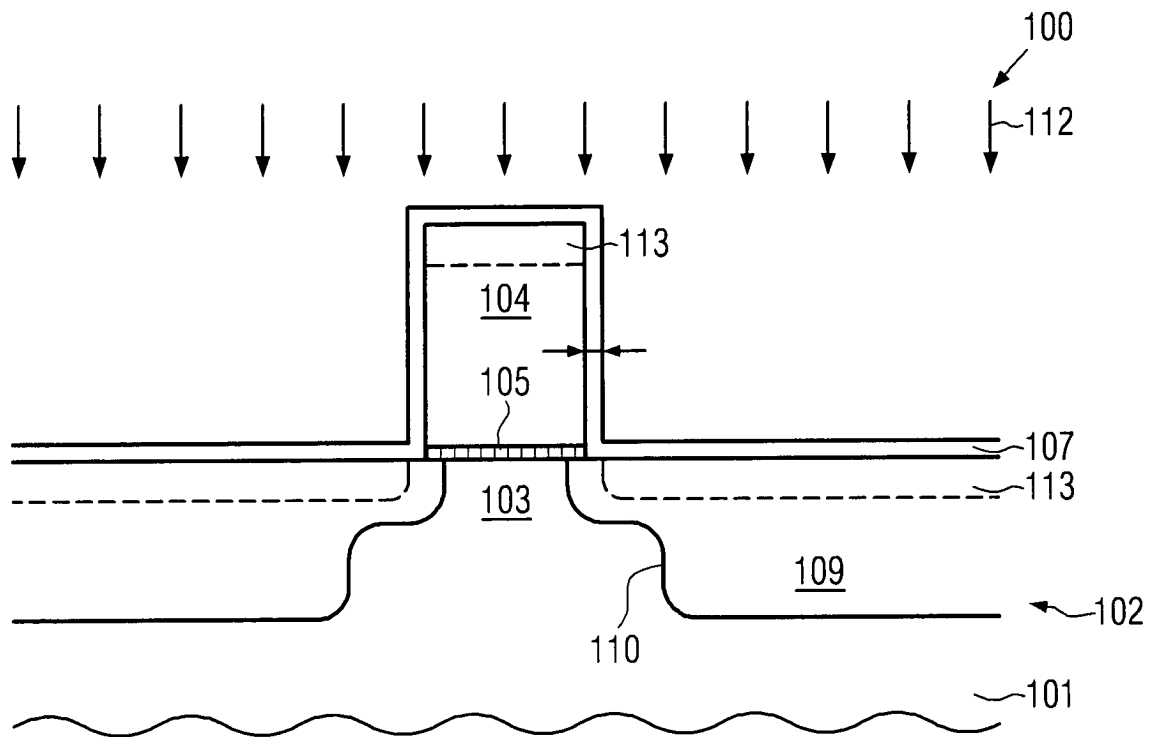


FIG. 1b

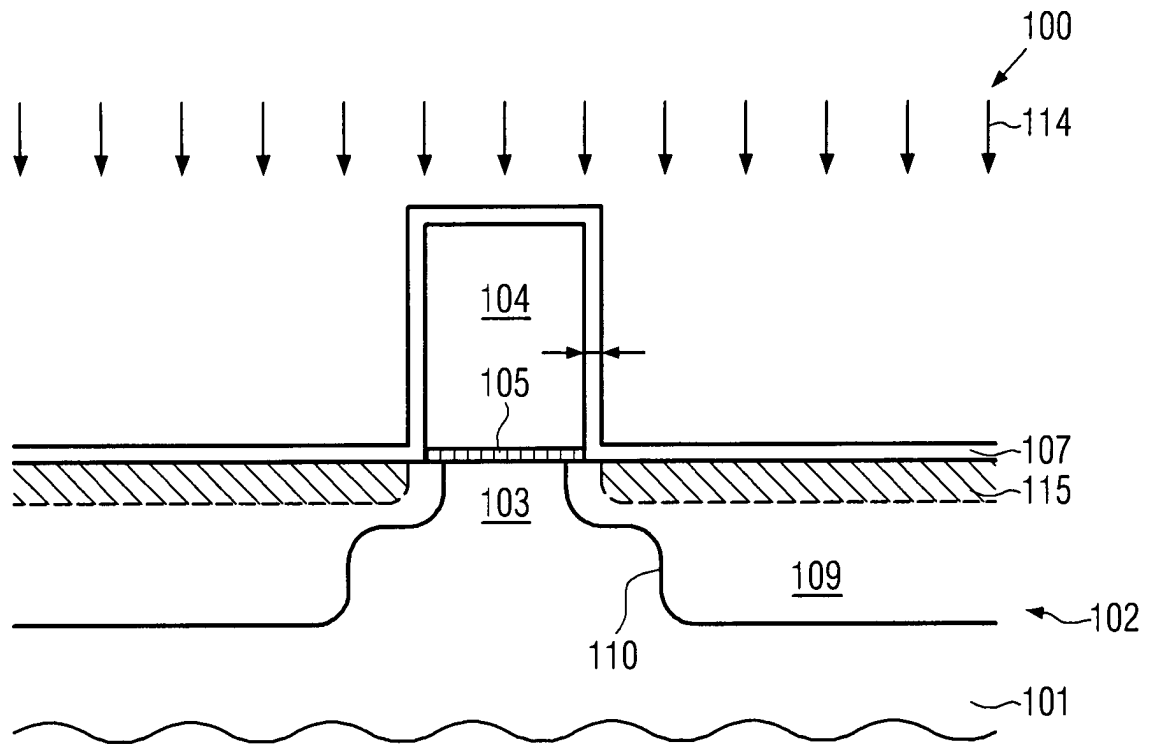


FIG. 1c

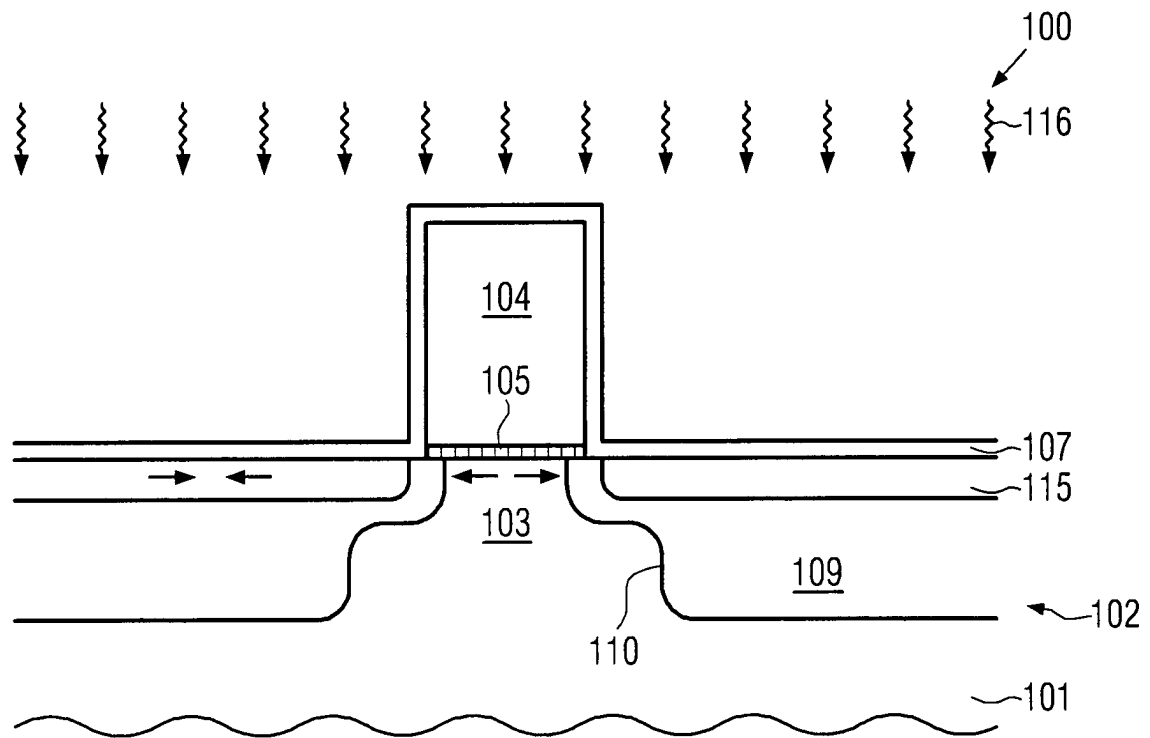


FIG. 1d

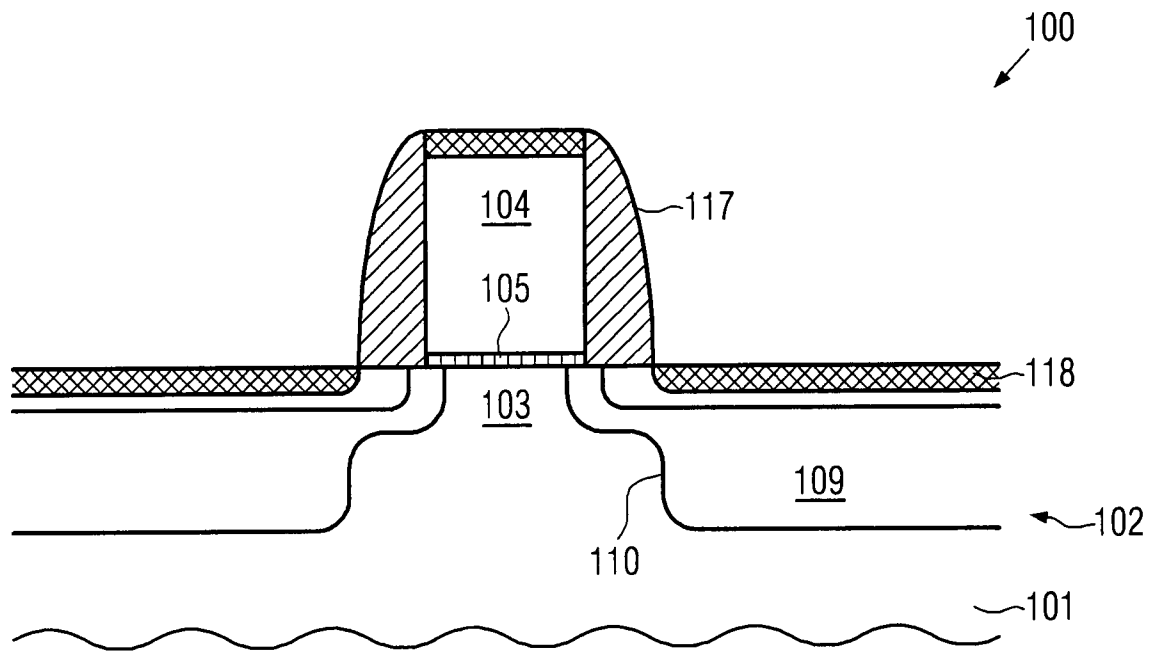


FIG. 1e

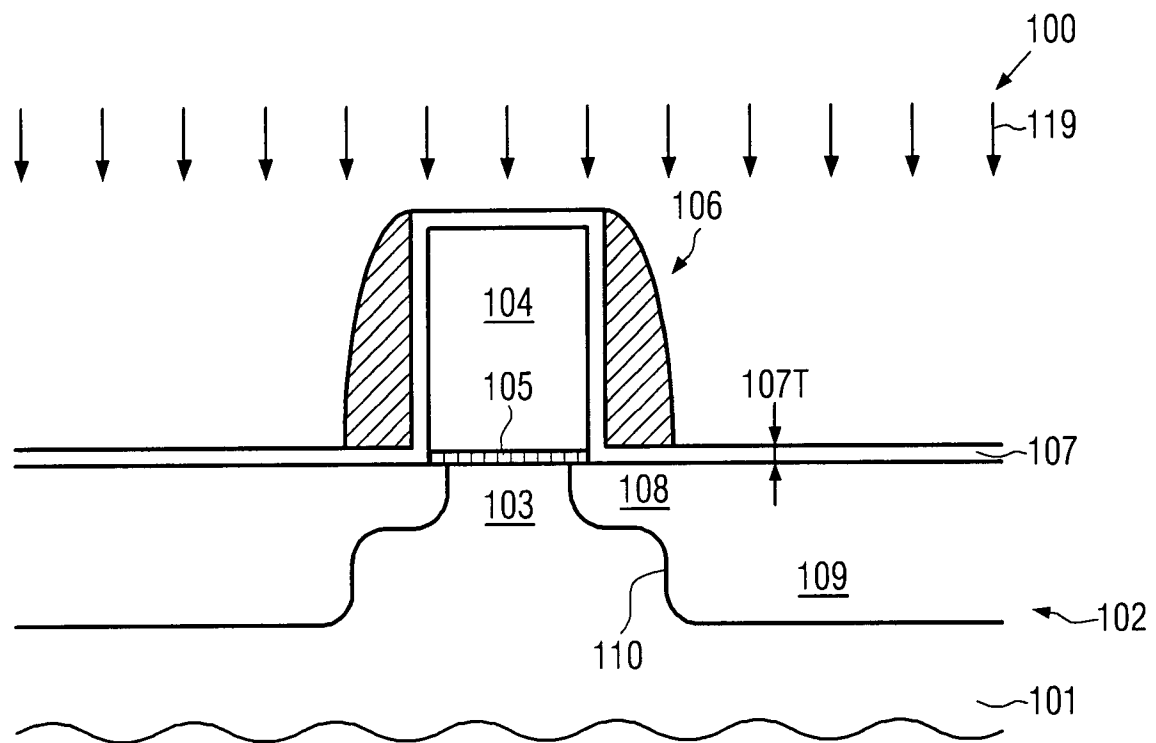


FIG. 1f

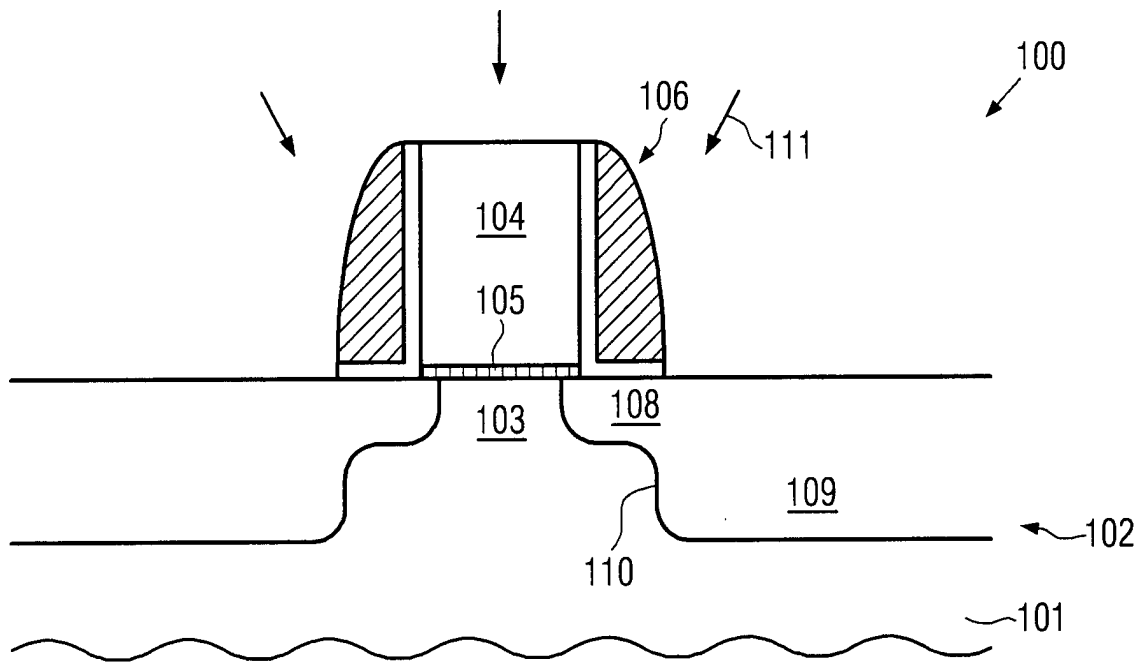


FIG. 1g

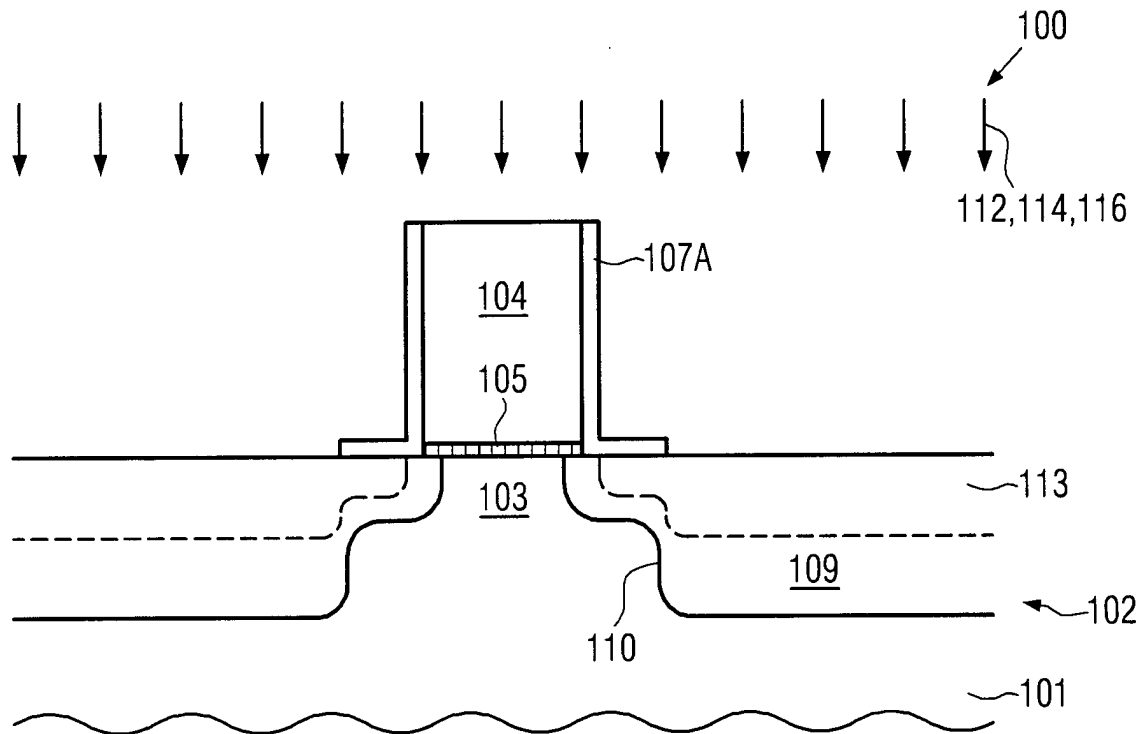


FIG. 1h

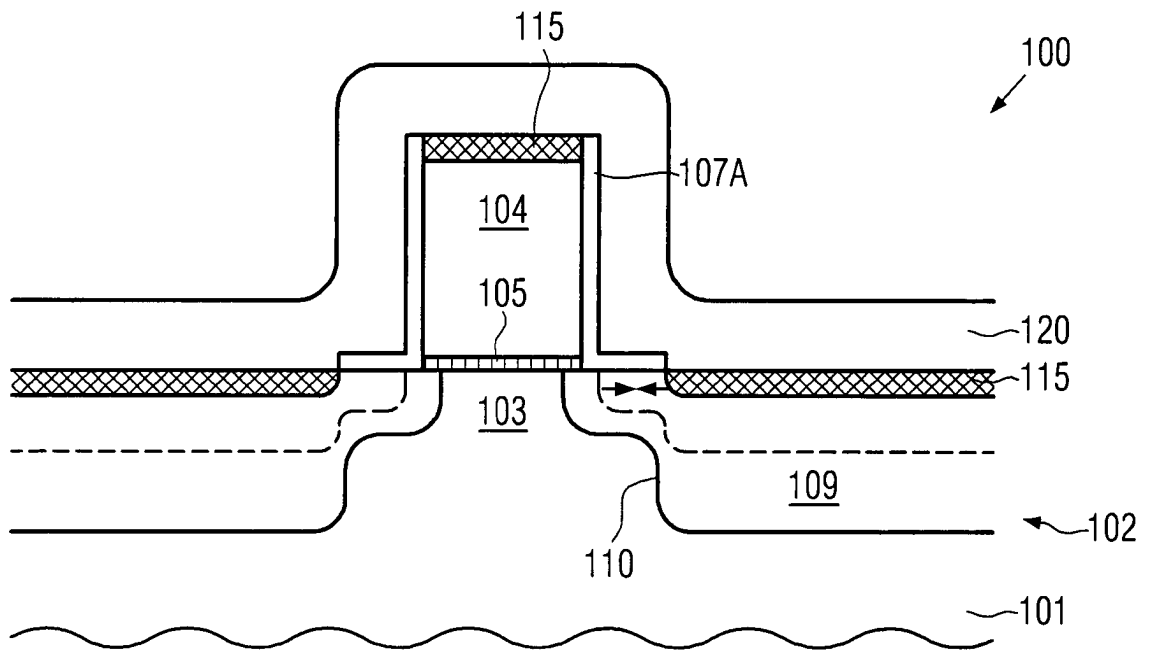


FIG. 1i

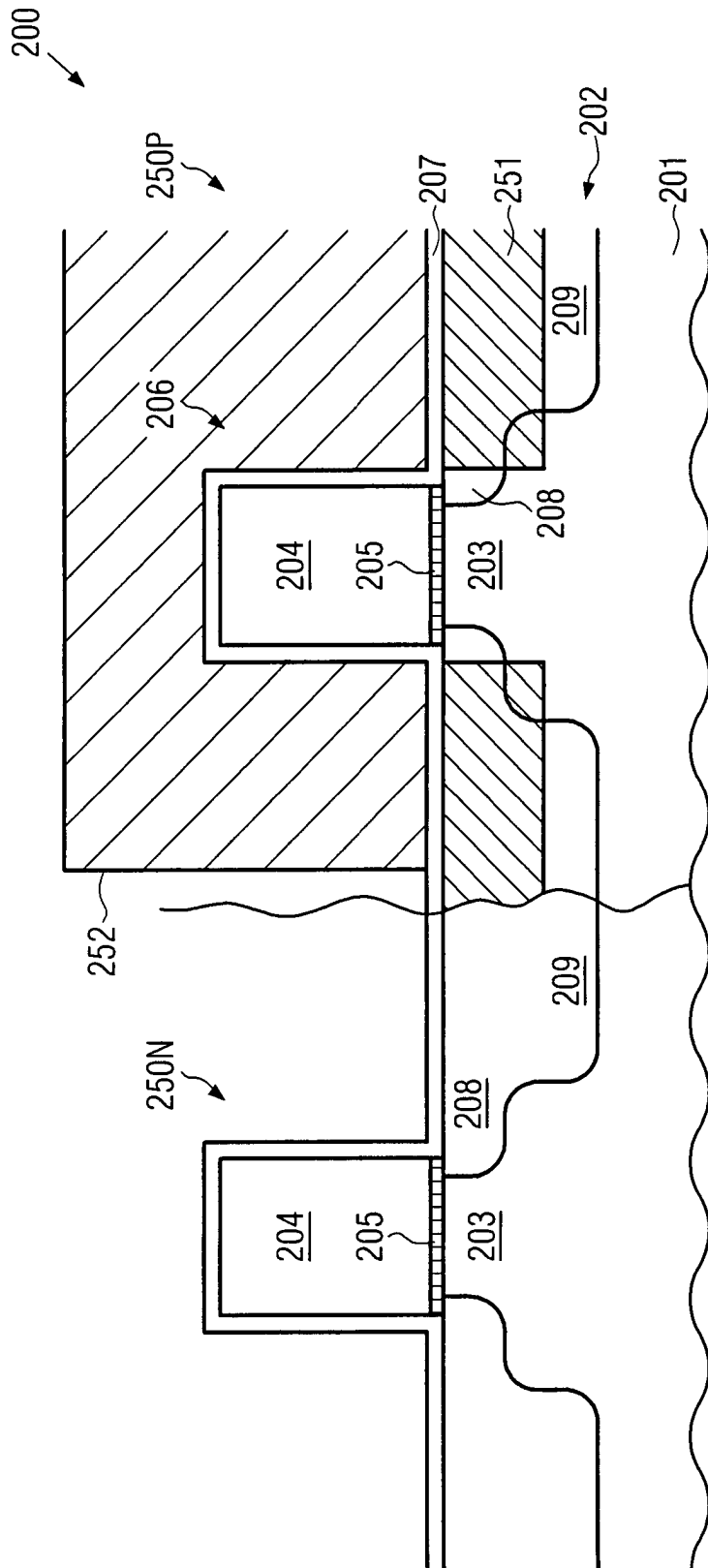


FIG. 2a

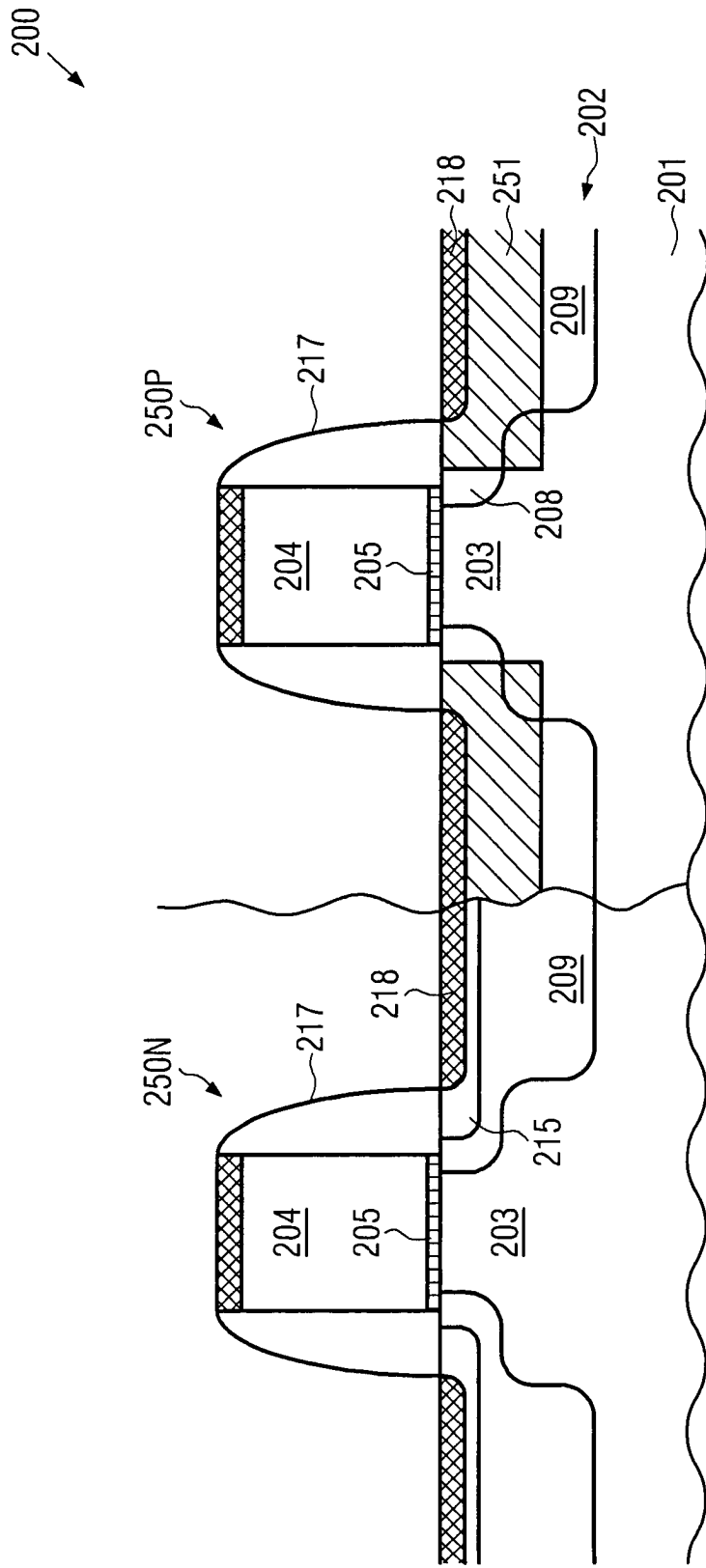


FIG. 2b

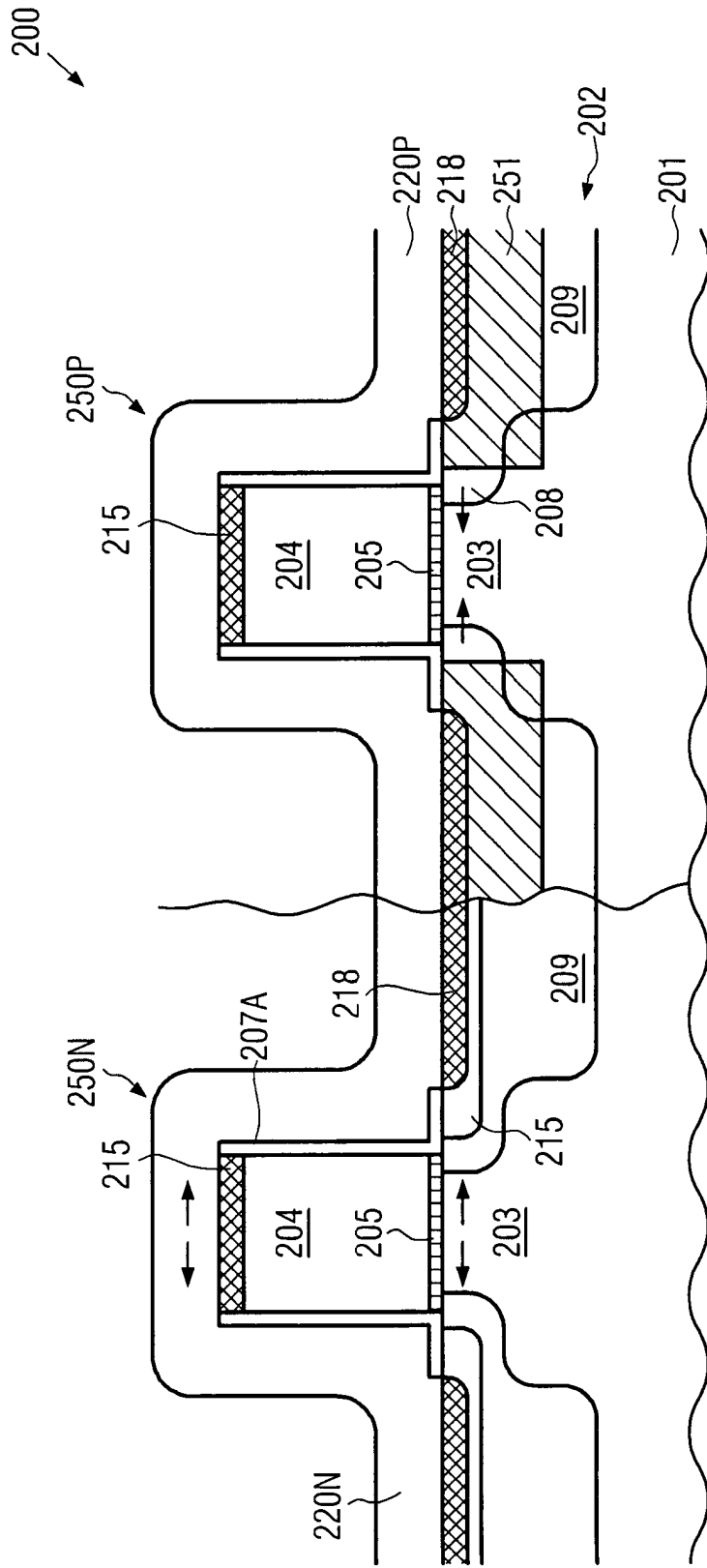


FIG. 2C