

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-324344
(P2006-324344A)

(43) 公開日 平成18年11月30日(2006.11.30)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 F	5 F O 3 2
HO 1 L 27/092 (2006.01)	HO 1 L 21/76 S	5 F O 4 8
HO 1 L 21/76 (2006.01)		

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号	特願2005-144387 (P2005-144387)	(71) 出願人	000006220 ミツミ電機株式会社 東京都多摩市鶴牧2丁目11番地2
(22) 出願日	平成17年5月17日(2005.5.17)	(74) 代理人	100070150 弁理士 伊東 忠彦
		(72) 発明者	藤戸 陽介 神奈川県厚木市酒井1601 ミツミ電機株式会社厚木事業所内
		(72) 発明者	渡辺 禎久 神奈川県厚木市酒井1601 ミツミ電機株式会社厚木事業所内
		(72) 発明者	木村 啓 神奈川県厚木市酒井1601 ミツミ電機株式会社厚木事業所内

最終頁に続く

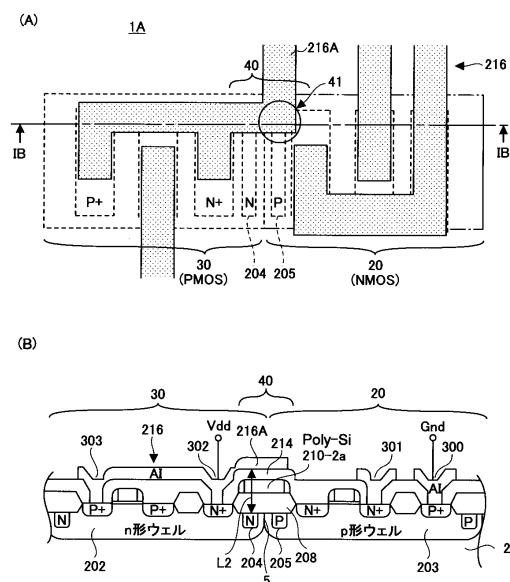
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 CMOS半導体装置において、反転領域対策を、CMOS半導体装置の製造工程を変えないで実現することを課題とする。

【解決手段】 境界領域40については、p形ウェル203とn形ウェル202の境界5の部分の上に、第1層酸化膜208とポリシリコン膜210-2aと第3層酸化膜214とが重なっており、この第3層酸化膜214の上面に、n形ウェル202から延在しているアルミニウム配線216Aが形成してある構造である。p形ウェル203及びn形ウェル202からアルミニウム配線8までの離間距離はL2であり、従来の離間距離L1に比べて長い。ポリシリコン膜210-2aはゲートを形成するために形成されたポリシリコン膜210-1の除去されずに残された部分である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板に複数の半導体素子が集積して形成してあり、該基板を覆う酸化膜を有し、且つ、該酸化膜の上面に金属配線を有する構成の半導体装置において、

該基板に形成されて隣接している n ウェルと p ウェルとの境界に対応する部分については、前記半導体素子を形成する工程の途中で形成した膜が残してあり、

前記 p ウェルと、前記 n ウェル側から出て延在して前記隣接している n ウェルと p ウェルとの境界の部分を通っている金属配線との間に、前記酸化膜と前記残された膜とを有する構成としたことを特徴とする半導体装置。

【請求項 2】

10

請求項 1 に記載の半導体装置において、

前記半導体素子は CMOS であり、

前記残された膜は、該 CMOS のゲートを形成するために前記基板の全面に形成されたポリシリコン膜のうちの残されたポリシリコン膜であることを特徴とする半導体装置。

【請求項 3】

請求項 1 に記載の半導体装置において、

前記半導体素子は CMOS であり、

前記残された膜は、該 CMOS のゲートを形成するために前記基板の全面に形成されたポリシリコン膜のうちの残されたポリシリコン膜と、

該ゲートのサイドウォールスペーサを形成するために前記基板の全面に形成されて別の酸化膜のうちの残された別の酸化膜とよりなり、

20

残されたポリシリコン膜と該残された別の酸化膜とが重なっている構成であることを特徴とする半導体装置。

【請求項 4】

n ウェルと p ウェルとが隣接して形成されている基板を覆うように酸化膜を形成する工程と、

半導体素子を形成する工程の途中で前記酸化膜の全面を覆うように形成された膜のうち、隣接している n ウェルと p ウェルとの境界に対応する部分については、残すように処理する工程と、

前記 n ウェル側から出て延在して前記隣接している n ウェルと p ウェルとの境界の部分を通る金属配線を形成する工程とよりなることを特徴とする半導体装置の製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置及びその製造方法に係り、特に、Nチャネル型 MOS と Pチャネル型 MOS とが隣り合って密接して配置している部分の改良に関する。

【背景技術】

【0002】

一般的に、CMOS 半導体装置はシリコン基板に Nチャネル型 MOS と Pチャネル型 MOS とが隣り合って密接して配置して作り込んで形成してある。

40

【0003】

図 8 は従来の CMOS 半導体装置 1 の Nチャネル型 MOS 20 と Pチャネル型 MOS 30 とが隣接している境界の部分を示す。40 は境界領域である。2 は p 形のシリコン基板、3 は p 形ウェル、4 は n 形ウェルである。5 は p 形ウェル 3 と n 形ウェル 4 との境界である。6 は第 1 層酸化膜であり、7 は第 3 層酸化膜である。8 はアルミニウム配線であり、n ウェル 4 側から出て延在して隣接している n ウェル 4 と p ウェル 3 との境界の部分に沿っており、一部は、p ウェル 3 の上側に張り出ている。

【0004】

n 形ウェル 4 は境界領域 40 の隣りの部位が V d d に接続してあり、p 形ウェル 3 は境界領域 40 の隣りの部位が G n d に接続してあり、この境界領域 40 は反転領域 10 が形

50

成され易い部分である。

【0005】

境界領域40については、p形ウェル3とn形ウェル4との境界5の部分の上に、第1層酸化膜6と第3層酸化膜7とが重なっており、この第3層酸化膜7の上面にアルミニウム配線8が形成してある構造である。p形ウェル3及びn形ウェル4からアルミニウム配線8までの離間距離はL1である。

【0006】

この離間距離L1が反転電圧を決定する一つの要因である。反転電圧とは、アルミニウム配線8に印加する電圧を上昇させていった場合に、アルミニウム配線8から発生する電界によってp形ウェル3のうちアルミニウム配線8の真下に当る部分に電子が集まってきて、反転領域10が形成されるとききの電圧である。反転電圧が高い程、反転領域が形成され難くなる。なお、反転領域10はp形ウェル3のうちアルミニウム配線8の真下に当る部分、即ち、p形ウェル3のうちn形ウェル4との境界の近傍に形成される。

10

【特許文献1】特開平11-54500号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

p形ウェル3の端の部分に反転領域10が形成されると、反転領域10を通過してPチャネル型MOS30からNチャネル型MOS20へ電流が流れ、これが原因で、Nチャネル型MOS20のV-I特性が、図3中、本来の線Iで示す状態から、線IAで示すようにシフトし特性が低下してしまう。

20

【0008】

近年、CMOS半導体装置においては各素子が緻密になって集積度も更にも高くなる傾向にある。このようになると、各素子のレイアウトが制約を受けて、nウェル側から出て延在するアルミニウム配線のうちには、nウェルとpウェルとの境界の部分に沿うものが多くなる傾向となる。このことは一つの半導体チップのうちに形成される可能性のある反転領域の数が多くなることを意味し、よって、将来的に、反転領域対策は重要な課題である。

【0009】

なお、反転電圧を上げるための構造は、CMOS半導体装置の現在の製造の工程、条件を変えないで達成できることが重要である。生産現場において、反転電圧を上げるためだけに、製造の工程、条件を変えることは現実的でないからである。よって、前記の例において、反転電圧を上げるために、第1層酸化膜6と第3層酸化膜7の厚さを厚くすることも考えられるけれども、第1層酸化膜6と第3層酸化膜7の厚さを厚くすると、成膜の条件及び成膜した酸化膜をエッチングするための条件等を設定し直すことが必要となり、解決手段として好ましくない。

30

【0010】

そこで、本発明は、上記課題を解決した半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

40

【0011】

本発明は、基板に複数の半導体素子が集積して形成してあり、該基板を覆う酸化膜を有し、且つ、該酸化膜の上面に金属配線を有する構成の半導体装置において、

該基板に形成されて隣接しているnウェルとpウェルとの境界に対応する部分については、前記半導体素子を形成する工程の途中で形成した膜(210-2a)が残してあり、

前記pウェルと、前記nウェル側から出て延在して前記隣接しているnウェルとpウェルとの境界の部分を通っている金属配線との間に、前記酸化膜と前記残された膜とを有する構成としたことを特徴とする。

【発明の効果】

【0012】

50

本発明によれば、半導体装置の製造設備を変えないで、且つ、各工程の作業の条件も変更しないで、反転領域対策を備えた構造を実現することが可能となる。

【発明を実施するための最良の形態】

【0013】

次に本発明の実施の形態について説明する。

【実施例1】

【0014】

図1(A)、(B)は本発明の実施例1になるCMOS半導体装置1Aのうち、隣接しているNチャネル型MOS20とPチャネル型MOS30との部分を示す。図1(A)は平面図、図1(B)は同図(A)中、線IB-IBに沿う断面図である。図2はNチャネル型MOS20とPチャネル型MOS30との境界領域40を拡大して且つ簡略的に示す図であり、図8に対応する図である。

10

【0015】

p形のシリコン基板2の表面には、多数のNチャネル型MOS20とPチャネル型MOS30とが密接して作り込まれている。

【0016】

境界領域40については、p形ウェル203とn形ウェル202の境界5の部分の上に、第1層酸化膜208とポリシリコン膜210-2aと第3層酸化膜214とが重なっており、この第3層酸化膜214の上面に多数本のアルミニウム配線216が形成してある構造である。ここで、p形ウェル203とn形ウェル202の境界5の部分とは、境界5、及びn形ウェル202のうち境界5に沿う部分、及びp形ウェル203のうち境界5に沿う部分を含めた帯状の部分を用いる。多数本のアルミニウム配線216のうちアルミニウム配線216Aは、nウェル202側から出て延在して隣接しているnウェル202とpウェル203との境界の部分を通っている。図1(A)中、円41で囲んで示す部分は、アルミニウム配線216Aのうちp形ウェル203上に張り出している部分を示す。p形ウェル203のうちこの円41で囲んだ部分に対応する部分に反転領域が形成される可能性がある。

20

【0017】

ここで、ポリシリコン膜210-2aが存在することによって、p形ウェル203及びn形ウェル202からアルミニウム配線216Aまでの離間距離はL2であり、図8に示す従来のCMOS半導体装置1の離間距離L1に比べて長い。よって、反転電圧は従来に比較して高く、反転領域が形成され難く、Nチャネル型MOS20は図3中、線Iで示す本来の特性を有する。

30

【0018】

ポリシリコン膜210-2aはCMOS半導体装置1Aを製造する工程の一つでシリコン基板2の全面に形成されたポリシリコン膜210-1のうち、除去されずに残されたものである。

【0019】

次に、上記構造のCMOS半導体装置1Aの製造工程について説明する。

【0020】

図4はCMOS半導体装置1Aの製造工程図である。CMOS半導体装置1Aは、酸化工程101からn形ウェル形成工程102、p形ウェル形成工程103、nC/S(nMOSチャネルストッパー)形成工程104、pC/S(pMOSチャネルストッパー)形成工程105、窒化膜形成工程106、第1層酸化膜形成工程108、ゲート酸化工程109、ゲート形成工程110、SWS(Side Wall Spacer)形成工程111、nS/D(nMOSソース、ドレイン)形成工程112、pS/D(pMOSソース、ドレイン)形成工程113、第3層酸化膜形成工程114、電極用孔形成工程115、アルミニウム配線形成工程116を経て、窒化膜形成工程117までの工程を経て製造される。

40

【0021】

ゲート形成工程110は、ポリシリコン成膜工程110-1とフォトリソグラフィ工程1

50

10 - 2 とよりなる。SWS 形成工程 111 は、第 2 層酸化膜形成工程 111 - 1 とフォトエッチング工程 111 - 2 とよりなる。

【0022】

図 5 (A) はポリシリコン成膜工程 110 - 1 が完了したときの状態を示す。図 5 (B) はフォトエッチング工程 110 - 2 が完了したときの状態を示す。

【0023】

図 5 (C) は第 2 層酸化膜形成工程 111 - 1 が完了したときの状態を示す。図 5 (D) はフォトエッチング工程 111 - 2 が完了したときの状態を示す。

【0024】

図 6 (A) は第 3 層酸化膜形成工程 114 が完了したときの状態を示す。

10

【0025】

図 6 (B) はアルミニウム配線形成工程 116 が完了したときの状態を示す。

【0026】

図 5 及び図 6 において、各工程によって形成された部分は、200 番台の符号であって、1 番台及び 10 番台については工程を示す符号と同じ符号を付す。

【0027】

シリコン基板 2 が、酸化工程 101、n 形ウェル形成工程 102、p 形ウェル形成工程 103、nC/S (nMOS チャネルストッパー) 形成工程 104、pC/S (pMOS チャネルストッパー) 形成工程 105、窒化膜形成工程 106、第 1 層酸化膜形成工程 108、ゲート酸化工程 109、ポリシリコン成膜工程 110 - 1 を経ると、図 5 (A) に示す状態となる。境界領域 40 については、n 形ウェル 202 と p 形ウェル 203 との境界 5 の部分の上に、第 1 層酸化膜 208 が形成されている。ポリシリコン膜 210 - 1 は本来はゲートを作るためのものであり基板 2 の全面に形成してある。また、このポリシリコン膜 210 - 1 には不純物を添加しない。

20

【0028】

次のポリシリコン膜 210 - 1 をエッチングするフォトエッチング工程 110 - 2 では、従来とは異なるパターンのマスク、即ち、第 1 層酸化膜 208 上のポリシリコン膜も追加して残すパターンのマスクを用いる。フォトエッチング工程 110 - 2 が完了すると、図 5 (B) に示すように、n 形ウェル 202 と p 形ウェル 203 上にポリシリコン膜 210 - 2 が残されると共に、第 1 層酸化膜 208 上にポリシリコン膜 210 - 2 a が残された状態となる。残されたポリシリコン膜 210 - 2 の部位にゲートが形成される。残されたポリシリコン膜 210 - 2 a は前記の離間距離 L2 を稼ぐ。

30

【0029】

次いで、第 2 層酸化膜形成工程 111 - 1 が行われ、図 5 (C) に示すように、基板 2 の全面に第 2 層酸化膜 211 - 1 が形成される。この第 2 層酸化膜 211 - 1 は SWS を形成するために形成される。

【0030】

次いで、フォトエッチング工程 111 - 2 が行われ、図 5 (D) に示すように、ポリシリコン膜 210 - 1 の周囲とポリシリコン膜 210 - 2 a の周囲とにだけに第 2 層酸化膜 211 - 2 が残されて SWS が形成される。ここで、境界領域 40 の部分の第 1 層酸化膜 208 の上面はポリシリコン膜 210 - 2 a によって覆われているため、第 2 層酸化膜 211 - 1 をフォトエッチングして除去するときに、境界領域 40 の部分の第 1 層酸化膜 208 の上面がフォトエッチングされてしまって、境界領域 40 の部分の第 1 層酸化膜 208 が無用に薄くなってしまうことは起きない。このことも、前記の離間距離 L2 を稼ぐように作用する。

40

【0031】

次いで、nS/D (nMOS ソース、ドレイン) 形成工程 112、pS/D (pMOS ソース、ドレイン) 形成工程 113 が行われて、nS/D (nMOS ソース、ドレイン) 212 及び pS/D 213 (pMOS ソース、ドレイン) が形成される (図 6 (A) 参照)。

50

【0032】

次いで、第3層酸化膜形成工程114が行われ、図6(A)に示すように、全面に第3層酸化膜214が形成される。

【0033】

次いで、電極用孔形成工程115がなされ第3層酸化膜214に孔が形成され、更に、アルミニウム配線形成工程116が行われて、図6(B)に示すように、アルミニウム配線216、216A及びバックゲート電極300、ソース電極301、バックゲート電極302、ソース電極303が形成される。最後に、窒化膜形成工程117が行われて、窒化膜が形成され、CMOS半導体装置1Aが完成する。

【0034】

上記の工程101から工程117は、工程110-2で使用するマスクを除いて、図8に示す従来のCMOS半導体装置1を製造する工程と全く同じである。よって、CMOS半導体装置1Aは、CMOS半導体装置1を製造する設備を使用し、且つ、各設備の設定条件も変えないで稼働させて製造することが出来る。

【実施例2】

【0035】

図7は本発明の実施例2になるCMOS半導体装置1Bのうち、隣接しているNチャネル型MOS20とPチャネル型MOS30との部分を示す。

【0036】

図1に示すCMOS半導体装置1Aと相違する点は、p形ウェル203とn形ウェル202との境界5の部分と、アルミニウム配線216Aとの間に、第1層酸化膜208とポリシリコン膜210-2aと第3層酸化膜214に加えて、第2層酸化膜211-2aが加わっている点である。この第2層酸化膜211-2aは、第2層酸化膜211-1の一部であって除去されずに残されたものであり、ポリシリコン膜210-2aの上面に形成されている。

【0037】

p形ウェル3及びn形ウェル4からアルミニウム配線216Aまでの離間距離はL3であり、図1に示すCMOS半導体装置1Aにおける離間距離L2よりも長く、反転電圧は更に高くなる。

【図面の簡単な説明】

【0038】

【図1】本発明の実施例1になるCMOS半導体装置を示す図であり、(A)は平面図、(B)は断面図である。

【図2】Nチャネル型MOSとPチャネル型MOSとの境界領域を拡大して且つ簡略的に示す図である。

【図3】Nチャネル型MOSの特性を示す図である。

【図4】図1の半導体装置の製造の工程図である。

【図5】図4中、特定の工程完了後の状態を示す図である。

【図6】図4中、特定の工程完了後の状態を示す図である。

【図7】本発明の実施例2になるCMOS半導体装置を示す断面図である。

【図8】従来のCMOS半導体装置の一部を拡大して且つ簡略的に示す図である。

【符号の説明】

【0039】

1A, 1B CMOS半導体装置

5 境界

20 Nチャネル型MOS

30 Pチャネル型MOS

40 境界領域

202 n形ウェル

203 p形ウェル

10

20

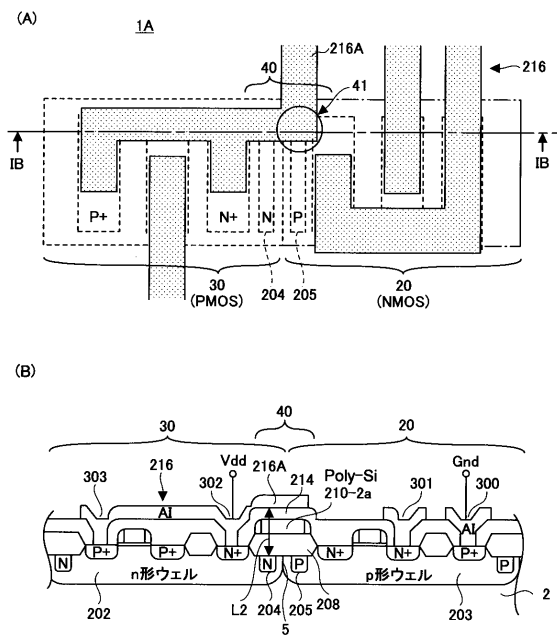
30

40

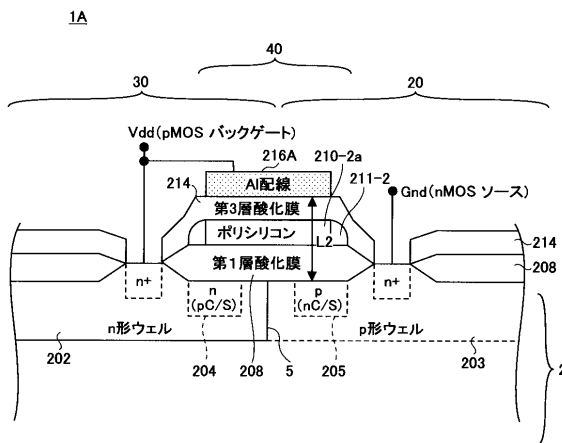
50

- 208 第1層酸化膜
- 210 - 2a 残されたポリシリコン膜
- 211 - 2a 残された第2層酸化膜
- 214 第3層酸化膜
- 216 A、216 アルミニウム配線

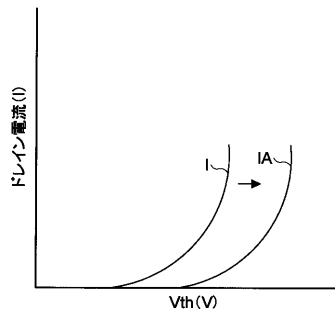
【図1】



【図2】



【 図 3 】

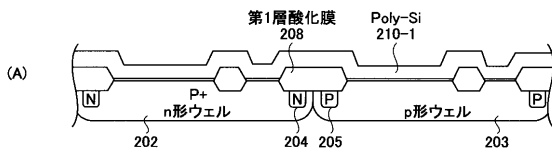


【 図 4 】

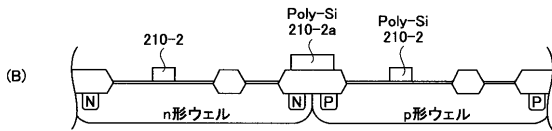
- 101 ○ 酸化
- 102 ○ nWell形成
- 103 ○ pWell形成
- 104 ○ nC/S形成
- 105 ○ pC/S形成
- 106 ○ 窒化膜形成
- 108 ○ 第1酸化膜形成
- 109 ○ ゲート酸化
- 110 ● ゲート形成
 - 110-1 (1) ポリシリコン成膜 (図5 (A))
 - 110-2 (2) フォト・エッチング (図5 (B))
- 111 ● SWS形成
 - 111-1 (1) 第2層酸化膜 (図5 (C))
 - 111-2 (2) フォト・エッチング (図5 (D))
- 112 ○ nS/D形成
- 113 ○ pS/D形成
- 114 ● 第3層酸化膜 (図6 (A))
- 115 ○ 電極用孔形成
- 116 ● Al配線形成 (図6 (B))
- 117 ○ 窒化膜形成

【 図 5 】

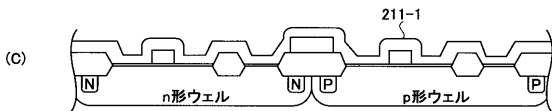
〔ゲート形成工程110のうちのポリシリコン成膜工程110-1〕



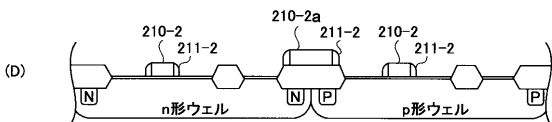
〔ゲート形成工程110のうちのフォトエッチング工程110-2〕



〔SWS形成工程111のうちの第2層酸化膜形成工程111-1〕

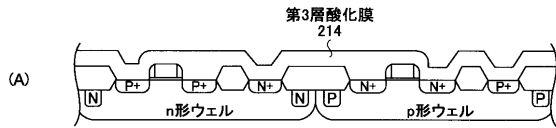


〔SWS形成工程111のうちのフォトエッチング工程111-2〕

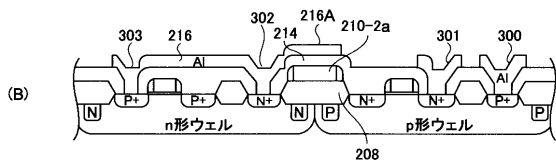


【 図 6 】

〔第3層酸化膜形成工程114〕



〔Al配線形成116〕



フロントページの続き

Fターム(参考) 5F032 AA13 AA35 AC01 BB08 CA17 CA24
5F048 AA04 AA07 AC03 BA01 BB05 BE03 BE09 BF02 BF03 BF11
BF16 BF18 BG12 BH07 DA25