

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 17 年 10 月 6 日 (2005.10.6)

【公開番号】特開 2002-231832(P2002-231832A)

【公開日】平成 14 年 8 月 16 日 (2002.8.16)

【出願番号】特願 2001-23973(P2001-23973)

【国際特許分類第 7 版】

H 0 1 L 21/8247

H 0 1 L 27/115

H 0 1 L 21/265

H 0 1 L 29/788

H 0 1 L 29/792

【F I】

H 0 1 L 27/10 4 3 4

H 0 1 L 21/265 6 0 4 V

H 0 1 L 21/265 F

H 0 1 L 29/78 3 7 1

【手続補正書】

【提出日】平成 17 年 5 月 18 日 (2005.5.18)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板上に形成された、電荷蓄積層と制御ゲート層との積層構造を有する、少なくとも 1 つのメモリセルトランジスタを含むメモリセルユニットと、

ソース/ドレイン拡散層領域の一方がビット線またはソース線に接続され、他方が前記メモリセルユニットに接続された選択ゲートトランジスタとを具備し、

前記選択ゲートトランジスタのゲート電極下で、この選択ゲートトランジスタのソース拡散層領域の形状とドレイン拡散層領域の形状とが非対称であり、

前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記ビット線またはソース線に接続された拡散層領域と前記ゲート電極とが重なり合う距離が、前記メモリセルユニットに接続された拡散層領域と前記ゲート電極とが重なり合う距離よりも小さいことを特徴とする不揮発性半導体記憶装置。

【請求項 2】

半導体基板上に形成された、電荷蓄積層と制御ゲート層との積層構造を有する、少なくとも 1 つのメモリセルトランジスタを含むメモリセルユニットと、

ソース/ドレイン拡散層領域の一方がビット線またはソース線に接続され、他方が前記メモリセルユニットに接続された選択ゲートトランジスタとを具備し、

前記選択ゲートトランジスタのゲート電極下で、この選択ゲートトランジスタのソース拡散層領域の形状とドレイン拡散層領域の形状とが非対称であり、

前記ゲート電極下で、前記ビット線またはソース線に接続された拡散層領域の最深部が、前記メモリセルユニットに接続された拡散層領域の最深部よりも浅いことを特徴とする不揮発性半導体記憶装置。

【請求項 3】

前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記ビット線また

はソース線に接続された拡散層領域の実効的な不純物濃度が、前記メモリセルユニットに接続された拡散層領域の実効不純物濃度よりも薄いことを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 4】

前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記メモリセルユニットに接続された拡散層領域の実効的な不純物濃度が、前記メモリセルトランジスタのソース/ドレイン拡散層領域の実効的な不純物濃度と同じであることを特徴とする請求項 1 乃至請求項 3 いずれか一項に記載の不揮発性半導体記憶装置。

【請求項 5】

半導体基板上に形成された、電荷蓄積層と制御ゲート層との積層構造を有する、少なくとも 1 つのメモリセルトランジスタを含むメモリセルユニットと、

ソース/ドレイン拡散層領域の一方がビット線またはソース線に接続され、他方が前記メモリセルユニットに接続された選択ゲートトランジスタとを具備し、

前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記選択ゲートトランジスタのソース拡散層領域とドレイン拡散層領域との間のチャンネル領域に、不純物濃度が異なる領域があることを特徴とする不揮発性半導体記憶装置。

【請求項 6】

前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記ビット線またはソース線に接続された拡散層領域に接するチャンネル領域の不純物濃度が、前記メモリセルユニットに接続された拡散層領域に接するチャンネル領域の不純物濃度よりも濃いことを特徴とする請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 7】

前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記メモリセルユニットに接続された拡散層領域に接するチャンネル領域の不純物濃度が、前記メモリセルトランジスタのソース/ドレイン拡散層領域に接するチャンネル領域の不純物濃度と同じであることを特徴とする請求項 5 及び請求項 6 いずれかに記載の不揮発性半導体記憶装置。

【請求項 8】

前記ビット線またはソース線を、前記拡散層領域に接続させるコンタクトが、前記選択ゲートトランジスタのゲート電極に対して、自己整合的に形成されていることを特徴とする請求項 1 乃至請求項 7 いずれか一項に記載の不揮発性半導体記憶装置。

【請求項 9】

前記メモリセルトランジスタのゲート電極の側壁、及び前記選択ゲートトランジスタのゲート電極の前記メモリセルに対向する側には、第 1 の絶縁膜と、この第 1 の絶縁膜上に形成された第 2 の絶縁膜と、この第 2 の絶縁膜上に形成された第 3 の絶縁膜とが積層されており、前記選択ゲートトランジスタのゲート電極の、前記ビット線またはソース線を接続するためのコンタクトに対向する側には、前記第 1 の絶縁膜と、この第 1 の絶縁膜上に形成された前記第 3 の絶縁膜とが積層されている構造を有することを特徴とする請求項 1 乃至請求項 8 いずれか一項に記載の不揮発性半導体記憶装置。

【請求項 10】

半導体基板上に、第 1 導電型のチャンネル領域を有するメモリセルトランジスタ及び選択ゲートトランジスタのゲート電極を形成する工程と、

前記選択ゲートトランジスタのゲート電極の、前記メモリセルトランジスタに対向する側とは反対側に開口を持つマスクを形成する工程と、

前記マスクの開口を介して前記半導体基板に第 1 導電型の不純物を注入する工程とを具備することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 11】

半導体基板上に、第 1 導電型のチャンネル領域を有するメモリセルトランジスタ及び選択ゲートトランジスタのゲート電極を形成する工程と、

前記メモリセルトランジスタ及び前記選択ゲートトランジスタのゲート電極の側壁に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上に、第 2 の絶縁膜を形成する工程と、

前記選択ゲートトランジスタのゲート電極の、前記メモリセルトランジスタに対向する側とは反対側に開口を持つマスクを形成する工程と、

前記マスクの開口を介して前記第 2 の絶縁膜を除去する工程と、

前記マスクの開口を介して前記半導体基板に第 1 導電型の不純物を注入する工程と
を具備することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 1 2】

半導体基板上に、第 1 導電型のチャネル領域を有するメモリセルトランジスタ及び選択ゲートトランジスタのゲート電極を形成する工程と、

前記選択ゲートトランジスタのソース/ドレイン拡散層領域に、前記選択ゲートトランジスタのゲート電極に対して自己整合的にコンタクト孔を開口する工程と、

前記コンタクト孔を介して前記半導体基板に第 1 導電型の不純物を注入する工程と
を具備することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 1 3】

前記不純物の注入は、前記選択ゲートトランジスタのゲート電極下のチャネル領域に不純物が注入されるように角度をつけて行われることを特徴とする請求項 1 0 乃至請求項 1 2 いずれか一項に記載の不揮発性半導体記憶装置の製造方法。

【請求項 1 4】

半導体基板上に、第 1 導電型のチャネル領域を有するメモリセルトランジスタ及び選択ゲートトランジスタのゲート電極を、前記選択ゲートトランジスタのゲート電極間のスペースを、前記メモリセルのトランジスタのゲート電極と前記選択ゲートトランジスタのゲート電極間のスペースよりも広くして形成する工程と、

前記半導体基板に第 1 導電型の不純物を、前記メモリセルトランジスタのゲート電極と選択ゲートトランジスタのゲート電極との間には注入されず、前記選択ゲートトランジスタのゲート電極間に注入される角度で注入する工程と

を具備することを特徴とする不揮発性半導体記憶装置の製造方法。