

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年10月6日(2005.10.6)

【公開番号】特開2002-231832(P2002-231832A)

【公開日】平成14年8月16日(2002.8.16)

【出願番号】特願2001-23973(P2001-23973)

【国際特許分類第7版】

H 01 L 21/8247

H 01 L 27/115

H 01 L 21/265

H 01 L 29/788

H 01 L 29/792

【F I】

H 01 L 27/10 4 3 4

H 01 L 21/265 6 0 4 V

H 01 L 21/265 F

H 01 L 29/78 3 7 1

【手続補正書】

【提出日】平成17年5月18日(2005.5.18)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板上に形成された、電荷蓄積層と制御ゲート層との積層構造を有する、少なくとも1つのメモリセルトランジスタを含むメモリセルユニットと、

ソース／ドレイン拡散層領域の一方がピット線またはソース線に接続され、他方が前記メモリセルユニットに接続された選択ゲートトランジスタとを具備し、

前記選択ゲートトランジスタのゲート電極下で、この選択ゲートトランジスタのソース拡散層領域の形状とドレイン拡散層領域の形状とが非対称であり、

前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記ピット線またはソース線に接続された拡散層領域と前記ゲート電極とが重なり合う距離が、前記メモリセルユニットに接続された拡散層領域と前記ゲート電極とが重なり合う距離よりも小さいことを特徴とする不揮発性半導体記憶装置。

【請求項2】

半導体基板上に形成された、電荷蓄積層と制御ゲート層との積層構造を有する、少なくとも1つのメモリセルトランジスタを含むメモリセルユニットと、

ソース／ドレイン拡散層領域の一方がピット線またはソース線に接続され、他方が前記メモリセルユニットに接続された選択ゲートトランジスタとを具備し、

前記選択ゲートトランジスタのゲート電極下で、この選択ゲートトランジスタのソース拡散層領域の形状とドレイン拡散層領域の形状とが非対称であり、

前記ゲート電極下で、前記ピット線またはソース線に接続された拡散層領域の最深部が、前記メモリセルユニットに接続された拡散層領域の最深部よりも浅いことを特徴とする不揮発性半導体記憶装置。

【請求項3】

前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記ピット線また

はソース線に接続された拡散層領域の実効的な不純物濃度が、前記メモリセルユニットに接続された拡散層領域の実効不純物濃度よりも薄いことを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項4】

前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記メモリセルユニットに接続された拡散層領域の実効的な不純物濃度が、前記メモリセルトランジスタのソース／ドレイン拡散層領域の実効的な不純物濃度と同じであることを特徴とする請求項1乃至請求項3いずれか一項に記載の不揮発性半導体記憶装置。

【請求項5】

半導体基板上に形成された、電荷蓄積層と制御ゲート層との積層構造を有する、少なくとも1つのメモリセルトランジスタを含むメモリセルユニットと、

ソース／ドレイン拡散層領域の一方がピット線またはソース線に接続され、他方が前記メモリセルユニットに接続された選択ゲートトランジスタとを具備し、

前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記選択ゲートトランジスタのソース拡散層領域とドレイン拡散層領域との間のチャネル領域に、不純物濃度が異なる領域があることを特徴とする不揮発性半導体記憶装置。

【請求項6】

前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記ピット線またはソース線に接続された拡散層領域に接するチャネル領域の不純物濃度が、前記メモリセルユニットに接続された拡散層領域に接するチャネル領域の不純物濃度よりも濃いことを特徴とする請求項5に記載の不揮発性半導体記憶装置。

【請求項7】

前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記メモリセルユニットに接続された拡散層領域に接するチャネル領域の不純物濃度が、前記メモリセルトランジスタのソース／ドレイン拡散層領域に接するチャネル領域の不純物濃度と同じであることを特徴とする請求項5及び請求項6いずれかに記載の不揮発性半導体記憶装置。

【請求項8】

前記ピット線またはソース線を、前記拡散層領域に接続させるコンタクトが、前記選択ゲートトランジスタのゲート電極に対して、自己整合的に形成されていることを特徴とする請求項1乃至請求項7いずれか一項に記載の不揮発性半導体記憶装置。

【請求項9】

前記メモリセルトランジスタのゲート電極の側壁、及び前記選択ゲートトランジスタのゲート電極の前記メモリセルに対向する側には、第1の絶縁膜と、この第1の絶縁膜上に形成された第2の絶縁膜と、この第2の絶縁膜上に形成された第3の絶縁膜とが積層されており、前記選択ゲートトランジスタのゲート電極の、前記ピット線またはソース線を接続するためのコンタクトに対向する側には、前記第1の絶縁膜と、この第1の絶縁膜上に形成された前記第3の絶縁膜とが積層されている構造を有することを特徴とする請求項1乃至請求項8いずれか一項に記載の不揮発性半導体記憶装置。

【請求項10】

半導体基板上に、第1導電型のチャネル領域を有するメモリセルトランジスタ及び選択ゲートトランジスタのゲート電極を形成する工程と、

前記選択ゲートトランジスタのゲート電極の、前記メモリセルトランジスタに対向する側とは反対側に開口を持つマスクを形成する工程と、

前記マスクの開口を介して前記半導体基板に第1導電型の不純物を注入する工程とを具備することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項11】

半導体基板上に、第1導電型のチャネル領域を有するメモリセルトランジスタ及び選択ゲートトランジスタのゲート電極を形成する工程と、

前記メモリセルトランジスタ及び前記選択ゲートトランジスタのゲート電極の側壁に第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に、第2の絶縁膜を形成する工程と、

前記選択ゲートトランジスタのゲート電極の、前記メモリセルトランジスタに対向する側とは反対側に開口を持つマスクを形成する工程と、

前記マスクの開口を介して前記第2の絶縁膜を除去する工程と、

前記マスクの開口を介して前記半導体基板に第1導電型の不純物を注入する工程とを具備することを特徴とする不揮発性半導体記憶装置の製造方法。

**【請求項12】**

半導体基板上に、第1導電型のチャネル領域を有するメモリセルトランジスタ及び選択ゲートトランジスタのゲート電極を形成する工程と、

前記選択ゲートトランジスタのソース／ドレイン拡散層領域に、前記選択ゲートトランジスタのゲート電極に対して自己整合的にコンタクト孔を開口する工程と、

前記コンタクト孔を介して前記半導体基板に第1導電型の不純物を注入する工程とを具備することを特徴とする不揮発性半導体記憶装置の製造方法。

**【請求項13】**

前記不純物の注入は、前記選択ゲートトランジスタのゲート電極下のチャネル領域に不純物が注入されるように角度をつけて行われることを特徴とする請求項10乃至請求項12いずれか一項に記載の不揮発性半導体記憶装置の製造方法。

**【請求項14】**

半導体基板上に、第1導電型のチャネル領域を有するメモリセルトランジスタ及び選択ゲートトランジスタのゲート電極を、前記選択ゲートトランジスタのゲート電極間のスペースを、前記メモリセルのトランジスタのゲート電極と前記選択ゲートトランジスタのゲート電極間のスペースよりも広くして形成する工程と、

前記半導体基板に第1導電型の不純物を、前記メモリセルトランジスタのゲート電極と選択ゲートトランジスタのゲート電極との間には注入されず、前記選択ゲートトランジスタのゲート電極間に注入される角度で注入する工程とを具備することを特徴とする不揮発性半導体記憶装置の製造方法。