

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-134284  
(P2012-134284A)

(43) 公開日 平成24年7月12日(2012.7.12)

(51) Int.Cl.	F I	テーマコード(参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 D	5 F 0 4 8
HO 1 L 21/336 (2006.01)	HO 1 L 27/08 1 O 2 B	5 F 1 4 0
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 3 2 1 C	
HO 1 L 27/088 (2006.01)	HO 1 L 29/78 3 O 1 H	
HO 1 L 21/8238 (2006.01)		

審査請求 未請求 請求項の数 14 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2010-284396(P2010-284396)  
(22) 出願日 平成22年12月21日(2010.12.21)

(71) 出願人 302062931  
ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753番地  
(74) 代理人 110001195  
特許業務法人深見特許事務所  
(72) 発明者 佐山 弘和  
神奈川県川崎市中原区下沼部1753番地  
ルネサスエレクトロニクス株式会社内  
Fターム(参考) 5F048 AA07 AA09 AB06 AB07 AB10  
AC01 AC03 BA01 BA12 BB01  
BB05 BB08 BB12 BB20 BC03  
BC05 BC07 BC18 BD01 BD04  
BD05 BD10 BE03 BE04 BG12  
BG13 DA25

最終頁に続く

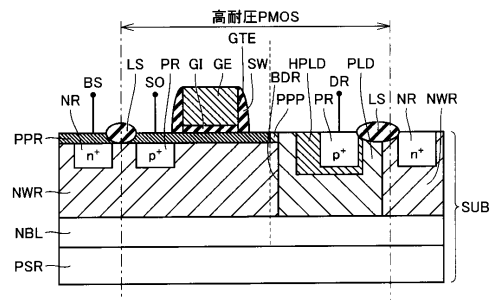
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 工程数やコストを増加させることなく、信頼性の高い高耐圧pチャネル型トランジスタが形成された半導体装置を提供する。

【解決手段】 主表面を有し、かつ内部にp型領域を有する半導体基板SUBと、p型領域PSR上であって主表面に配置された、ドレイン電極DRを取り出すための第1のp型不純物領域PRを有するp型ウェル領域PLDと、主表面に沿う方向に関してp型ウェル領域PLDと接するように配置された、ソース電極SOを取り出すための第2のp型不純物領域PRを有するn型ウェル領域NWRと、主表面に沿う方向に関して、第1のp型不純物領域PRと第2のp型不純物領域PRとの間に配置されたゲート電極GEと、n型ウェル領域NWRの上に配置された、主表面に沿って延びるp型埋め込みチャンネルPPRとを含んでいる。上記n型ウェル領域NWRとp型ウェル領域PLDとの境界部は、ゲート電極GEの、第1のp型不純物領域PRに近い側の端部よりも、第1のp型不純物領域PRに近い位置に配置される。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

高耐圧 p チャンネル型トランジスタを備える半導体装置であり、  
前記高耐圧 p チャンネル型トランジスタは、  
主表面を有し、かつ内部に p 型領域を有する半導体基板と、  
前記 p 型領域上であって前記主表面に配置された、ドレイン電極を取り出すための第 1  
の p 型不純物領域を有する p 型ウェル領域と、  
前記主表面に沿う方向に関して前記 p 型ウェル領域と接するように配置された、ソース  
電極を取り出すための第 2 の p 型不純物領域を有する n 型ウェル領域と、  
前記主表面に沿う方向に関して、前記第 1 の p 型不純物領域と前記第 2 の p 型不純物領  
域との間に配置されたゲート電極と、  
前記 n 型ウェル領域の上に配置された、前記主表面に沿って延びる p 型埋め込みチャ  
ネルとを含んでおり、  
前記 n 型ウェル領域と前記 p 型ウェル領域との境界部は、前記ゲート電極の、前記第 1  
の p 型不純物領域に近い側の端部よりも、前記第 1 の p 型不純物領域に近い位置に配置さ  
れる、半導体装置。

10

## 【請求項 2】

前記 p 型埋め込みチャンネルは、前記第 2 の p 型不純物領域と接続されており、前記 p 型  
埋め込みチャンネルの、前記第 1 の p 型不純物領域に近い側の端部は、前記ゲート電極の、  
前記第 1 の p 型不純物領域に近い側の端部よりも、前記第 1 の p 型不純物領域に近い位置  
に配置される、請求項 1 に記載の半導体装置。

20

## 【請求項 3】

前記半導体基板の前記主表面において、平面視において前記ゲート電極の前記 p 型不純  
物に近い側の端部に重なり、前記 p 型埋め込みチャンネルの最下部よりも深い位置にまで配  
置される厚みを有する絶縁層が配置されている、請求項 1 または 2 に記載の半導体装置。

## 【請求項 4】

高耐圧 p チャンネル型トランジスタを備える半導体装置であり、  
前記高耐圧 p チャンネル型トランジスタは、  
主表面を有し、かつ内部に p 型領域を有する半導体基板と、  
前記 p 型領域上であって前記主表面に配置された、ドレイン電極を取り出すための第 1  
の p 型不純物領域を有する p 型ウェル領域と、  
前記主表面に沿う方向に関して前記 p 型ウェル領域と接するように配置された、ソース  
電極を取り出すための第 2 の p 型不純物領域を有する n 型ウェル領域と、  
前記主表面に沿う方向に関して、前記第 1 の p 型不純物領域と前記第 2 の p 型不純物領  
域との間に配置されたゲート電極と、  
前記 n 型ウェル領域の上に配置された、前記主表面に沿って延びる p 型埋め込みチャ  
ネルとを含んでおり、  
前記半導体基板の前記主表面において、平面視において前記ゲート電極の前記 p 型不純  
物に近い側の端部に重なり、前記 p 型埋め込みチャンネルの最下部よりも深い位置にまで配  
置される厚みを有する絶縁層が配置されている、半導体装置。

30

40

## 【請求項 5】

前記 n 型ウェル領域と前記 p 型ウェル領域との境界部は、前記ゲート電極の、前記第 1  
の p 型不純物領域に近い側の端部よりも、前記第 1 の p 型不純物領域に近い位置に配置さ  
れる、請求項 4 に記載の半導体装置。

## 【請求項 6】

前記 p 型埋め込みチャンネルは、前記第 2 の p 型不純物領域と接続されており、前記 p 型  
埋め込みチャンネルの、前記第 1 の p 型不純物領域に近い側の端部は、前記ゲート電極の、  
前記第 1 の p 型不純物領域に近い側の端部よりも、前記第 1 の p 型不純物領域に近い位置  
に配置される、請求項 4 または 5 に記載の半導体装置。

## 【請求項 7】

50

前記半導体基板の前記 p 型領域上であって、前記主表面に沿った方向に関して前記高耐圧 p チャンネル型トランジスタと並列するように配置される低電圧 p チャンネル型トランジスタをさらに備えており、

前記高耐圧 p チャンネル型トランジスタと前記低電圧 p チャンネル型トランジスタとは、前記主表面にて前記 p 型埋め込みチャンネルを共用している、請求項 1 ~ 6 のいずれかに記載の半導体装置。

【請求項 8】

高耐圧 p チャンネル型トランジスタを備える半導体装置の製造方法であり、

前記高耐圧 p チャンネル型トランジスタを形成する工程は、

主表面を有し、かつ内部に p 型領域を有する半導体基板を準備する工程と、

前記 p 型領域上であって前記主表面に、ドレイン電極を取り出すための第 1 の p 型不純物領域を有する p 型ウェル領域を形成する工程と、

前記主表面に沿う方向に関して前記 p 型ウェル領域と接するように、ソース電極を取り出すための第 2 の p 型不純物領域を有する n 型ウェル領域を形成する工程と、

前記 n 型ウェル領域の上に配置され、前記主表面に沿って延びる p 型埋め込みチャンネルを形成する工程と、

前記主表面に沿う方向に関する前記第 1 の p 型不純物領域と前記第 2 の p 型不純物領域との間にゲート電極を形成する工程とを備えており、

前記 n 型ウェル領域を形成する工程と、前記 p 型埋め込みチャンネルを形成する工程とは同じマスクを用いて時間的に連続してなされ、

前記 n 型ウェル領域と前記 p 型ウェル領域との境界部は、前記ゲート電極の、前記第 1 の p 型不純物領域に近い側の端部よりも、前記第 1 の p 型不純物領域に近い位置に配置されるように、前記 n 型および p 型ウェル領域が形成される、半導体装置の製造方法。

【請求項 9】

前記 p 型埋め込みチャンネルは、前記第 2 の p 型不純物領域と接続され、前記 p 型埋め込みチャンネルの、前記第 1 の p 型不純物領域に近い側の端部は、前記ゲート電極の、前記第 1 の p 型不純物領域に近い側の端部よりも、前記第 1 の p 型不純物領域に近い位置に配置されるように形成される、請求項 8 に記載の半導体装置の製造方法。

【請求項 10】

前記半導体基板の前記主表面において、平面視において前記ゲート電極の前記 p 型不純物に近い側の端部に重なり、前記 p 型埋め込みチャンネルの最下部よりも深い位置にまで配置される厚みを有する絶縁層を形成する工程をさらに有する、請求項 8 または 9 に記載の半導体装置の製造方法。

【請求項 11】

高耐圧 p チャンネル型トランジスタを備える半導体装置の製造方法であり、

前記高耐圧 p チャンネル型トランジスタを形成する工程は、

主表面を有し、かつ内部に p 型領域を有する半導体基板を準備する工程と、

前記 p 型領域上であって前記主表面に、ドレイン電極を取り出すための第 1 の p 型不純物領域を有する p 型ウェル領域を形成する工程と、

前記主表面に沿う方向に関して前記 p 型ウェル領域と接するように、ソース電極を取り出すための第 2 の p 型不純物領域を有する n 型ウェル領域を形成する工程と、

前記 n 型ウェル領域の上に配置され、前記主表面に沿って延びる p 型埋め込みチャンネルを形成する工程と、

前記主表面に沿う方向に関する前記第 1 の p 型不純物領域と前記第 2 の p 型不純物領域との間にゲート電極を形成する工程とを備えており、

前記 n 型ウェル領域を形成する工程と、前記 p 型埋め込みチャンネルを形成する工程とは同じマスクを用いて時間的に連続してなされ、

前記半導体基板の前記主表面において、平面視において前記ゲート電極の前記 p 型不純物に近い側の端部に重なり、前記 p 型埋め込みチャンネルの最下部よりも深い位置にまで配置される厚みを有する絶縁層を形成する工程をさらに有する、半導体装置の製造方法。

## 【請求項 1 2】

前記 n 型ウェル領域と前記 p 型ウェル領域との境界部は、前記ゲート電極の、前記第 1 の p 型不純物領域に近い側の端部よりも、前記第 1 の p 型不純物領域に近い位置に形成される、請求項 1 1 に記載の半導体装置の製造方法。

## 【請求項 1 3】

前記 p 型埋め込みチャンネルは、前記第 2 の p 型不純物領域と接続されており、前記 p 型埋め込みチャンネルの、前記第 1 の p 型不純物領域に近い側の端部は、前記ゲート電極の、前記第 1 の p 型不純物領域に近い側の端部よりも、前記第 1 の p 型不純物領域に近い位置に形成される、請求項 1 1 または 1 2 に記載の半導体装置の製造方法。

## 【請求項 1 4】

前記半導体基板の前記 p 型領域上であって、前記主表面に沿った方向に関して前記高耐压 p チャンネル型トランジスタと並列するように配置される低電圧 p チャンネル型トランジスタを形成する工程をさらに備えており、

前記高耐压 p チャンネル型トランジスタと前記低電圧 p チャンネル型トランジスタとは、前記主表面にて前記 p 型埋め込みチャンネルを共用するように形成される、請求項 8 ~ 1 3 のいずれかに記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体装置およびその製造方法に関し、特に、高耐压 p チャンネル型トランジスタを有する半導体装置およびその製造方法に関するものである。

## 【背景技術】

## 【0002】

高耐压 p チャンネル型 M I S (Metal Insulator Semiconductor) トランジスタは、通常の p チャンネル型 M I S トランジスタよりもゲート電極とドレイン電極とに挟まれた領域を広くし、かつ当該領域における p 型不純物の濃度を低くした構成のトランジスタである。このような構成を有する当該トランジスタは、通常のトランジスタよりもゲート電極とドレイン電極との間における電界が緩和されるため、耐压が高くなる。たとえば以下の非特許文献 1 には、ドレイン電極を取り出すための不純物領域を、通常よりも幅の広い p 型ウェル領域とした構成の p チャンネル型 M I S トランジスタが開示されている。ここではドレイン電極に接続される p 型ウェル領域が、ドレイン電極から平面視においてゲート電極に重なる位置に達するようにゲート電極側へ広がっている。

## 【先行技術文献】

## 【非特許文献】

## 【0003】

【非特許文献 1】Aghoram U, Liu J, Chu M, Koehler AD, Thompson SE, Sridhar S, Wise R, Penderharkar S, Denison M 著、"Effect of mechanical stress on LDMOSFETs: Dependence on orientation and gate bias"、(米国)、アイトリプルイー (IEEE)、ISPSD '09、2009 年、p. 220 - 223

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

上記非特許文献 1 の M O S (Metal Oxide Semiconductor) トランジスタは、ゲート電極の直下のいわゆるチャンネル領域には、当該トランジスタを形成するための n 型ウェル領域としての不純物以外に特別な不純物は注入されていない。すなわち当該トランジスタのチャンネル領域は、ゲート電極に印加される電圧によりキャリアの状態が制御される、いわゆる表面チャンネルである。表面チャンネル型のトランジスタは、次に述べる埋め込みチャンネル型のトランジスタに比べて信頼性に劣るため、表面チャンネル型の代わりに埋め込みチャンネル型のトランジスタが用いられることが多い。

## 【0005】

10

20

30

40

50

ところで高耐圧 p チャンネル型 M I S トランジスタは、いわゆる低電圧 M I S トランジスタと共用して用いられることが多い。ここで低電圧 M I S トランジスタとは、高耐圧 p チャンネル型 M I S トランジスタなどの高耐圧トランジスタに比べて低いドレイン電圧にて駆動するトランジスタを意味する。低電圧 M I S トランジスタは、半導体装置を構成する論理回路などを構成しており、低電圧 M I S トランジスタと高耐圧トランジスタとの併用により、低消費電力で高速動作が可能な集積回路が提供される。低電圧 M I S トランジスタが特に n 型ゲート電極を有する埋め込みチャンネル型の素子である場合には、製造プロセスの都合上、併用される高耐圧トランジスタも必然的に埋め込みチャンネル型の素子とする必要が生じる。

**【 0 0 0 6 】**

埋め込みチャンネルを有する M I S トランジスタは、埋め込みチャンネルを形成する工程が必要な分、表面チャンネルを有する M I S トランジスタよりも工程数が多い。このため通常は埋め込みチャンネルを有する M I S トランジスタを形成する際には、埋め込みチャンネルを形成するためのマスクが余分に準備される。しかし余分なマスクを用いず、表面チャンネルの M I S トランジスタと埋め込みチャンネルの M I S トランジスタとを同時に形成するために、以下の手法が用いられることがある。

**【 0 0 0 7 】**

たとえば埋め込みチャンネルの p チャンネル型 M I S トランジスタを形成しようとする、半導体基板の n 型ウェル領域を形成する際に、同じマスクを用いて時間的に連続して埋め込みチャンネルが形成される。すなわち n 型ウェル領域が形成された後、マスクを取り替えることなくそのまま連続してウェル領域上に埋め込みチャンネルが形成される。このようにすれば、たとえば p チャンネル型 M I S トランジスタ用の n 型ウェル領域と埋め込みチャンネル領域と、低電圧 p チャンネル型 M I S トランジスタのウェル領域とをすべて同一のマスクで形成できる。

**【 0 0 0 8 】**

ところが、n 型ウェル領域が形成された直後に連続して同じマスクで p 型埋め込みチャンネルが形成される場合、p 型埋め込みチャンネルは n 型ウェル領域に比べて、主表面に沿う方向に関して広がる距離が短くなる。これは p 型埋め込みチャンネルの形成時にイオン注入されるボロンの不純物は、n 型ウェル領域の形成時にイオン注入されるリンの不純物よりもエネルギーが低く、当該不純物の分散される距離が短くなるためである。したがって n 型ウェル領域のうち、隣り合うドレイン領域側の p 型領域（たとえば低濃度 p 型不純物領域）に近い領域において、p 型埋め込みチャンネルによる p 型不純物の濃度が非常に低い領域が形成される。この p 型不純物の濃度が非常に低い領域が、たとえばゲート電極の直下に形成されると、当該 p 型不純物の濃度が非常に低い領域において、ゲートの閾値電圧が非常に高い領域が形成される。すなわち当該 p チャンネル型 M I S トランジスタのドレイン電流が低下したり、p チャンネル型 M I S トランジスタを含む半導体装置全体の信頼性が低下する可能性がある。

**【 0 0 0 9 】**

つまり上記のように n 型ウェル領域と p 型埋め込みチャンネルとが同一のマスクにより時間的に連続して形成されれば、n 型ウェル領域と p 型埋め込みチャンネルとの主表面方向に延在する幅が不一致となることに起因する不具合が起こりうる。以上の不具合は、n 型ウェル領域と p 型埋め込みチャンネルとを別個のマスクにより別工程として形成すれば、容易に回避できる。しかしその場合、準備すべきマスクの台数や、工程数が増加するため、コスト高に繋がる。

**【 0 0 1 0 】**

本発明は、以上の問題に鑑みなされたものである。その目的は、工程数やコストを増加させることなく、信頼性の高い高耐圧 p チャンネル型トランジスタが形成された半導体装置、およびその製造方法を提供することである。

**【 課題を解決するための手段 】****【 0 0 1 1 】**

本発明の一実施例による半導体装置は以下の構成を備えている。

上記半導体装置は、高耐圧pチャネル型トランジスタを備える半導体装置である。上記高耐圧pチャネル型トランジスタは、主表面を有し、かつ内部にp型領域を有する半導体基板と、p型領域上であって主表面に配置された、ドレイン電極を取り出すための第1のp型不純物領域を有するp型ウェル領域と、主表面に沿う方向に関してp型ウェル領域と接するように配置された、ソース電極を取り出すための第2のp型不純物領域を有するn型ウェル領域と、主表面に沿う方向に関して、第1のp型不純物領域と第2のp型不純物領域との間に配置されたゲート電極と、n型ウェル領域の上に配置された、主表面に沿って延びるp型埋め込みチャンネルとを含んでいる。上記n型ウェル領域とp型ウェル領域との境界部は、ゲート電極の、第1のp型不純物領域に近い側の端部よりも、第1のp型不純物領域に近い位置に配置される。

10

#### 【0012】

本発明の他の実施例による半導体装置は以下の構成を備えている。

上記半導体装置は、高耐圧pチャネル型トランジスタを備える半導体装置である。上記高耐圧pチャネル型トランジスタは、主表面を有し、かつ内部にp型領域を有する半導体基板と、p型領域上であって主表面に配置された、ドレイン電極を取り出すための第1のp型不純物領域を有するp型ウェル領域と、主表面に沿う方向に関してp型ウェル領域と接するように配置された、ソース電極を取り出すための第2のp型不純物領域を有するn型ウェル領域と、主表面に沿う方向に関して、第1のp型不純物領域と第2のp型不純物領域との間に配置されたゲート電極と、n型ウェル領域の上に配置された、主表面に沿って延びるp型埋め込みチャンネルとを含んでいる。上記半導体基板の主表面において、平面視においてゲート電極のp型不純物に近い側の端部に重なり、p型埋め込みチャンネルの最下部よりも深い位置にまで配置される厚みを有する絶縁層が配置されている。

20

#### 【0013】

本発明の一実施例による半導体装置の製造方法は以下の工程を備えている。

上記製造方法は、高耐圧pチャネル型トランジスタを備える半導体装置の製造方法である。上記高耐圧pチャネル型トランジスタを形成する工程は、まず主表面を有し、かつ内部にp型領域を有する半導体基板が準備される。上記p型領域上であって主表面に、ドレイン電極を取り出すための第1のp型不純物領域を有するp型ウェル領域が形成される。上記主表面に沿う方向に関してp型ウェル領域と接するように、ソース電極を取り出すための第2のp型不純物領域を有するn型ウェル領域が形成される。上記n型ウェル領域の上に配置され、主表面に沿って延びるp型埋め込みチャンネルが形成される。上記主表面に沿う方向に関する第1のp型不純物領域と第2のp型不純物領域との間にゲート電極が形成される。上記n型ウェル領域を形成する工程と、p型埋め込みチャンネルを形成する工程とは同じマスクを用いて時間的に連続してなされる。上記n型ウェル領域とp型ウェル領域との境界部は、ゲート電極の、第1のp型不純物領域に近い側の端部よりも、第1のp型不純物領域に近い位置に配置されるように、n型およびp型ウェル領域が形成される。

30

#### 【0014】

本発明の他の実施例による半導体装置の製造方法は以下の工程を備えている。

上記製造方法は、高耐圧pチャネル型トランジスタを備える半導体装置の製造方法である。上記高耐圧pチャネル型トランジスタを形成する工程は、まず主表面を有し、かつ内部にp型領域を有する半導体基板が準備される。上記p型領域上であって主表面に、ドレイン電極を取り出すための第1のp型不純物領域を有するp型ウェル領域が形成される。上記主表面に沿う方向に関してp型ウェル領域と接するように、ソース電極を取り出すための第2のp型不純物領域を有するn型ウェル領域が形成される。上記n型ウェル領域の上に配置され、主表面に沿って延びるp型埋め込みチャンネルが形成される。上記主表面に沿う方向に関する第1のp型不純物領域と第2のp型不純物領域との間にゲート電極が形成される。上記n型ウェル領域を形成する工程と、p型埋め込みチャンネルを形成する工程とは同じマスクを用いて時間的に連続してなされる。上記半導体基板の主表面において、平面視においてゲート電極のp型不純物に近い側の端部に重なり、p型埋め込みチャンネル

40

50

の最下部よりも深い位置にまで配置される厚みを有する絶縁層を形成する工程をさらに有する。

【発明の効果】

【0015】

本実施例によれば、n型ウェル領域と同じマスクを用いて時間的に連続してp型埋め込みチャンネルが形成されても、p型埋め込みチャンネルに形成される、不純物濃度が非常に低い領域が、ゲート電極の直下に配置されない半導体装置が形成される。このためゲート電極の直下のp型埋め込みチャンネル領域における電界効果が低下する可能性が低減される。したがってゲートの閾値電圧の低下に起因するトランジスタのドレイン電流の低下や、pチャンネル型MISトランジスタを含む半導体装置全体の信頼性の低下が抑制された半導体装置を提供することができる。

10

【0016】

本実施例の製造方法によれば、n型ウェル領域と同じマスクを用いて時間的に連続してp型埋め込みチャンネルが形成されるため、製造コストが削減される。また形成される半導体装置のゲート電極直下における、ゲートの閾値電圧の低下に起因するトランジスタのドレイン電流の低下や、pチャンネル型MISトランジスタを含む半導体装置全体の信頼性の低下が抑制された半導体装置を提供することができる。

【図面の簡単な説明】

【0017】

【図1】本実施の形態1に係る半導体装置の概略平面図である。

20

【図2】図1中の丸点線「II」で囲んだ領域に形成される高耐圧PMOSトランジスタの構成を示す概略断面図である。

【図3】図2の高耐圧PMOSトランジスタと、周辺の低電圧トランジスタとを含む本実施の形態1における半導体装置の製造方法の第1工程を示す概略断面図である。

【図4】本実施の形態1における半導体装置の製造方法の、図3に続く第2工程を示す概略断面図である。

【図5】本実施の形態1における半導体装置の製造方法の第3工程を示す概略断面図である。

【図6】本実施の形態1における半導体装置の製造方法の第4工程を示す概略断面図である。

30

【図7】本実施の形態1における半導体装置の製造方法の第5工程を示す概略断面図である。

【図8】本実施の形態1における半導体装置の製造方法の第6工程を示す概略断面図である。

【図9】本実施の形態1における半導体装置の製造方法の第7工程を示す概略断面図である。

【図10】本実施の形態1における半導体装置の製造方法の第8工程を示す概略断面図である。

【図11】本実施の形態1における半導体装置の製造方法の第9工程を示す概略断面図であり、図1のXI-XI線に沿う部分における半導体装置が完成された構成を示す概略断面図である。

40

【図12】本実施の形態1の比較例としての、高耐圧PMOSトランジスタの構成を示す概略断面図である。

【図13】本実施の形態2の第1実施例の高耐圧PMOSトランジスタの構成を示す概略断面図である。

【図14】本実施の形態2の第2実施例の高耐圧PMOSトランジスタの構成を示す概略断面図である。

【図15】本実施の形態2の第3実施例の高耐圧PMOSトランジスタの構成を示す概略断面図である。

【図16】図13の高耐圧PMOSトランジスタと、周辺の低電圧トランジスタとを含む

50

本実施の形態 2 における半導体装置の製造方法の、実施の形態 1 における図 5 の工程に相当する工程を示す概略断面図である。

【図 17】図 13 の高耐圧 P M O S トランジスタと、周辺の低電圧トランジスタとを含む本実施の形態 2 における半導体装置の製造方法の、実施の形態 1 における図 8 の工程に相当する工程を示す概略断面図である。

【図 18】図 13 の高耐圧 P M O S トランジスタと、周辺の低電圧トランジスタとを含む本実施の形態 2 における半導体装置の製造方法の、実施の形態 1 における図 10 の工程に相当する工程を示す概略断面図である。

【図 19】図 13 の高耐圧 P M O S トランジスタと、周辺の低電圧トランジスタとを含む本実施の形態 2 における半導体装置の製造方法の、実施の形態 1 における図 11 の工程に相当する工程を示す概略断面図である。

【図 20】図 15 の高耐圧 P M O S トランジスタと、周辺の低電圧トランジスタとを含む本実施の形態 2 における半導体装置の製造方法の、実施の形態 1 における図 8 の工程に相当する工程を示す概略断面図である。

【発明を実施するための形態】

【0018】

以下、本発明の実施の形態について図に基づいて説明する。

(実施の形態 1)

まず半導体基板 S U B の主表面における各素子形成領域の配置について図 1 を用いて説明する。

【0019】

図 1 を参照して、本実施の形態の半導体装置は、半導体基板 S U B の主表面に、たとえば高耐圧アナログ I / O 回路の形成領域と、低電圧ロジック回路の形成領域と、低電圧アナログ回路の形成領域と、いわゆる S R A M ( Static Random Access Memory ) の形成領域とを有している。

【0020】

上記の高耐圧アナログ I / O 回路は、通常よりも高い駆動電圧を印加して使用することが可能な、電源回路と低電圧ロジック回路などとの間で電気信号を入出力する回路である。低電圧ロジック回路とは、たとえば複数の M I S トランジスタなどにより構成された論理回路などの制御回路を有しており、デジタル信号を用いて演算する回路である。低電圧アナログ回路とは、低電圧ロジック回路と同様の低電圧にて駆動するが、アナログ信号を用いて演算する回路である。S R A M には M I S トランジスタが複数個含まれており、当該半導体装置内でのデータの記憶素子として用いられる。この他に図示されないが、当該半導体装置には、たとえば電源回路の形成領域なども有している。当該電源回路は、上記の各回路を起動するための電源電圧を供給するためのものである。

【0021】

図 1 の高耐圧アナログ I / O 回路には、たとえば図 2 の断面図に示すような、p 型の埋め込みチャネルを有するいわゆる高耐圧 P M O S ( Metal Oxide Semiconductor ) トランジスタ ( 高耐圧 p チャネル型トランジスタ ) を有している。ここで高耐圧 P M O S とは、たとえば 10 V 以上の高いドレイン電圧の耐圧を有する、p チャネル型の M O S トランジスタを意味する。

【0022】

図 2 を参照して、高耐圧 P M O S トランジスタは、たとえばシリコンの単結晶からなる半導体基板 S U B に、n 型埋め込み層 N B L と、n 型ウェル領域 N W R と、p 型低濃度領域 ( p 型ウェル領域 ) P L D とが形成されている。なお図 2 には複数の n 型ウェル領域 N W R が形成されているが、ここでは 1 対の絶縁層 L S に挟まれた領域のみで高耐圧 P M O S トランジスタの動作をする主要部分が構成されている。

【0023】

半導体基板 S U B の内部には、p 型領域 P S R が形成されている。この p 型領域 P S R の上に、n 型埋め込み層 N B L と、n 型ウェル領域 N W R と、p 型低濃度領域 ( p 型ウエ

10

20

30

40

50



ル領域) P L Dとが形成されている。

【 0 0 2 4 】

p型低濃度領域 P L Dおよびn型ウェル領域 N W Rは、n型埋め込み層 N B Lと互いに接するように形成されている。ただしp型低濃度領域 P L Dおよびn型ウェル領域 N W Rは、必ずしもn型埋め込み層 N B Lと互いに接するように形成されなくてもよい。

【 0 0 2 5 】

図2の左側のn型ウェル領域 N W Rとp型低濃度領域 P L Dとは、半導体基板 S U Bの主表面に沿う方向(図2の左右方向)に関して、境界部 B D Rにて互いに接するように配置されている。

【 0 0 2 6 】

図2の左側のn型ウェル領域 N W Rの内部には、n型不純物領域 N Rと第2のp型不純物領域 P Rとが形成されている。そして当該n型ウェル領域 N W Rの上には、半導体基板 S U Bの主表面に沿う方向に延びるp型埋め込みチャネル P P Rが形成されている。n型不純物領域 N Rは、その上のベース電位 B Sとn型ウェル領域 N W Rとを電氣的に接続することにより、n型ウェル領域 N W Rにおける電位を固定する役割を有する。また第2のp型不純物領域 P Rは、たとえばP M O Sトランジスタのソース電極 S Oを取り出すために形成された領域である。

【 0 0 2 7 】

p型低濃度領域 P L Dの内部には、p型高濃度領域 H P L Dが形成されており、さらにp型高濃度領域 H P L Dの内部には第1のp型不純物領域 P Rが形成されている。p型高濃度領域 H P L Dは、p型低濃度領域 P L Dと第1のp型不純物領域 P Rとの間の電氣的接続をより滑らかにするために配置される領域である。p型高濃度領域 H P L Dにおけるp型不純物の濃度は、p型低濃度領域 P L Dにおけるp型不純物の濃度よりも高い。

【 0 0 2 8 】

また第1のp型不純物領域 P Rは、たとえばP M O Sトランジスタのドレイン電極 D Rを取り出すために形成された領域である。第1のp型不純物濃度 P Rにおけるp型不純物の濃度は、p型高濃度領域 H P L Dにおけるp型不純物の濃度よりも高い。

【 0 0 2 9 】

そしてn型ウェル領域 N W R(p型埋め込みチャネル P P R)上の、特に第1のp型不純物領域 P Rと第2のp型不純物領域 P Rの間には、ゲート絶縁膜 G Iとゲート電極 G Eと、これらの側面を覆う側壁絶縁膜 S Wとが形成されている。

【 0 0 3 0 】

ゲート電極 G Eは、ソース電極 S O(第2のp型不純物領域 P R)よりも、ドレイン電極 D R(第1のp型不純物領域 P R)に近い領域に形成されている。このような構成とすることにより、ゲート電極 G Eとドレイン電極 D R(第1のp型不純物領域 P R)との、主表面に沿う方向に関する距離が長くなるため、当該P M O Sトランジスタのドレイン電圧の耐圧が高くなる。

【 0 0 3 1 】

本実施の形態の高耐圧P M O Sにおいては、n型ウェル領域 N W Rとp型低濃度領域 P L Dとの境界部 B D Rが、ゲート電極 G Eのドレイン電極に近い側(図2の右側)の端部(ゲート端部 G T E)よりもドレイン電極 D Rに近い位置(図2の右側)に配置されている。また当該高耐圧P M O Sのp型埋め込みチャネル P P Rは、ソース電極 S Oを取り出す第2のp型不純物領域 P Rと電氣的に接続されており、半導体基板 S U Bの主表面上に、当該主表面に沿って延びるように配置される。

【 0 0 3 2 】

p型埋め込みチャネル P P Rはゲート電極 G Eの真下、すなわちゲート電極 G Eと平面視において重なる位置の全体を通り、ゲート端部 G T Eよりもドレイン電極 D Rに近い位置(図2の右側)に達するように延在している。

【 0 0 3 3 】

また、p型埋め込みチャネル P P Rの、ドレイン電極 D R側の端部と接するように、p

10

20

30

40

50

型極低濃度領域 P P P が配置されている。p 型極低濃度領域 P P P における p 型不純物の濃度は、p 型埋め込みチャンネル P P R や p 型不純物領域 P R、さらに p 型低濃度領域 P L D における p 型不純物の濃度よりも低い。p 型極低濃度領域 P P P における p 型不純物の濃度は、半導体基板 S U B の下地を構成する p 型領域 P S R における p 型不純物の濃度と同程度である。

【 0 0 3 4 】

ここでは p 型埋め込みチャンネル P P R のドレイン電極 D R 側の端部とは、p 型埋め込みチャンネル P P R のうち、延在する左右方向に関する中央部における p 型不純物領域の濃度の 9 0 % の濃度になる、当該中央部よりもドレイン電極 D R に近い側の箇所をいうものとする。

10

【 0 0 3 5 】

特に高耐圧 P M O S の微細化によりゲート電極 G E の長さ ( 図 2 の左右方向 ) が短くなると、ゲート電極 G E にてドレイン電流を制御することが困難になり、いわゆるパンチスルー現象が発生する可能性がある。これを抑制するために、p 型極低濃度領域 P P P が配置され、高耐圧 P M O S をノーマリーオフの状態とすることがより好ましい。

【 0 0 3 6 】

以上の構成を有する高耐圧 P M O S は、n 型の埋め込みチャンネルを有するいわゆる高耐圧 N M O S トランジスタ ( 高耐圧 n チャンネル型トランジスタ ) とともに半導体基板 S U B 上に形成され、高耐圧アナログ I / O 回路を構成する。また高耐圧アナログ I / O 回路と並列するように半導体基板 S U B 上に形成される上記の低電圧ロジック回路は、低電圧 p チャンネル型トランジスタ ( 低電圧 P M O S ) と低電圧 n チャンネル型トランジスタ ( 低電圧 N M O S ) とを有している。ここで低電圧とは、高耐圧 P M O S トランジスタの駆動電圧 ( ドレイン電圧 ) に比べて相対的に低いドレイン電圧で駆動することを意味する。一般的には低電圧ロジック回路は 5 V 以下のドレイン電圧で駆動する。次に、高耐圧アナログ I / O 回路と低電圧ロジック回路とが半導体基板 S U B 上で並列するように配置される、本実施の形態の半導体装置の製造方法について、図 3 ~ 図 1 1 を用いて説明する。

20

【 0 0 3 7 】

図 3 を参照して、半導体基板 S U B の高耐圧 P M O S が形成される領域、高耐圧 N M O S が形成される領域、低電圧 P M O S が形成される領域、低電圧 N M O S が形成される領域のそれぞれの主表面上に、たとえばシリコン酸化膜 (  $S i O_2$  ) からなるゲート絶縁膜 G I が形成される。ゲート絶縁膜 G I の厚みは 1 0 n m 以上 5 0 n m 以下とすることが好ましい。また各領域に形成されるべき素子を電気的に分離する素子分離膜 L S が、主表面上の必要な箇所に部分的に形成される。素子分離膜 L S はシリコン酸化膜からなり、L O C O S ( local oxidation of silicon ) 法や S T I ( shallow trench isolation ) 法により形成される。

30

【 0 0 3 8 】

次に、半導体基板 S U B の主表面上に、通常の写真製版技術により、平面視において n 型埋め込み層 N B L が形成される領域が開口されたフォトレジスト R S のパターンが形成される。

【 0 0 3 9 】

図 4 を参照して、たとえばリン ( P ) イオンが、1 M e V 以上 5 M e V 以下のエネルギーで半導体基板 S U B の主表面の上方から注入されることにより、半導体基板 S U B の内部の、主表面より一定厚み以上深い領域に n 型埋め込み層 N B L が形成される。上記一定厚み ( 図 4 の上下方向 ) とは、次工程において形成される n 型ウェル領域 N W R や p 型低濃度領域 P L D の厚み以上である。そして図 3 のフォトレジスト R S が除去される。

40

【 0 0 4 0 】

次に、半導体基板 S U B の主表面上に、通常の写真製版技術により、平面視において高耐圧 P M O S の p 型低濃度領域 P L D が形成される領域が開口されたフォトレジスト R S のパターンが形成される。このとき形成される p 型低濃度領域 P L D は、その全体が後工程においてゲート電極 G E が形成される領域よりもドレイン電極側 ( 図 4 の右側 ) に形成

50

されるように、フォトレジストRSのパターンが形成される。

【0041】

図5を参照して、たとえばボロン(B)やフッ化ボロン(BF<sub>2</sub>)のイオンが、20keV以上500keV以下のエネルギーで半導体基板SUBの主表面の上方から注入される。その結果、高耐圧PMOS領域のn型埋め込み層NBL上にp型低濃度領域PLDが形成される。そして図4のフォトレジストRSが除去される。

【0042】

次に、半導体基板SUBの主表面上に、通常の写真製版技術により、平面視において高耐圧NMOSのn型低濃度領域NLDが形成される領域が開口されたフォトレジストRSのパターンが形成される。

10

【0043】

図6を参照して、たとえばリンのイオンが、20keV以上2000keV以下のエネルギーで半導体基板SUBの主表面の上方から注入される。その結果、高耐圧NMOS領域において半導体基板SUBの主表面(ゲート絶縁膜GI)に接するようにn型低濃度領域NLDが形成される。n型低濃度領域NLDの厚みは、たとえばp型低濃度領域PLDとほぼ同じである。そして図5のフォトレジストRSが除去される。

【0044】

次に、半導体基板SUBの主表面上に、通常の写真製版技術により、平面視における高耐圧NMOS領域、低電圧NMOS領域のp型ウェル領域PWRが形成される領域が開口されたフォトレジストRSのパターンが形成される。

20

【0045】

図7を参照して、たとえばボロンのイオンが、20keV以上1000keV以下のエネルギーで半導体基板SUBの主表面の上方から注入される。その結果、高耐圧NMOS領域および低電圧NMOS領域において半導体基板SUBの主表面(ゲート絶縁膜GI)に接するようにp型ウェル領域PWRが形成される。p型ウェル領域PWRの厚みは、たとえばp型低濃度領域PLDとほぼ同じである。そして図6のフォトレジストRSが除去される。

【0046】

次に、半導体基板SUBの主表面上に、通常の写真製版技術により、平面視における高耐圧PMOS領域、低電圧PMOS領域のn型ウェル領域NWRが形成される領域が開口されたフォトレジストRSのパターンが形成される。このとき、高耐圧PMOS領域の、特に図7のp型低濃度領域PLDの左側においては、形成されるn型ウェル領域NWRが主表面に沿う方向に関してp型低濃度領域PLDと接するように、フォトレジストRSのパターンが形成される。

30

【0047】

図8を参照して、まずたとえばリンのイオンが、150keV以上2000keV以下のエネルギーで半導体基板SUBの上方から注入される。その後、続けてたとえばボロンのイオンが20keV以上50keV以下のエネルギーで半導体基板SUBの上方から注入される。その結果、高耐圧PMOS領域、低電圧PMOS領域において、n型ウェル領域NWRとその上のp型埋め込みチャンネルPPRとが積層された構造が形成される。すなわちn型ウェル領域NWRとp型埋め込みチャンネルPPRとは、同じフォトレジストRS(マスク)を用いて時間的に連続して形成される。こうして高耐圧PMOS、低電圧PMOSともに埋め込みチャンネル型のトランジスタとして形成される。そして図7のフォトレジストRSが除去される。

40

【0048】

上記のように、高耐圧PMOS領域におけるp型低濃度領域PLDは、その全体がゲート電極GEが形成される領域よりもドレイン領域側に形成される。したがって、ここで形成されるn型ウェル領域NWRとp型低濃度領域PLDとの境界部BDRは、ゲート端部GTEよりもドレイン領域側に形成される。

【0049】

50

またここで p 型埋め込みチャンネル P P R を形成するボロンのイオンは、n 型ウェル領域 N W R を形成するリンのイオンに比べて注入されるエネルギーが非常に低い。このため p 型埋め込みチャンネル P P R は半導体基板 S U B の主表面方向に関して拡散される距離が n 型ウェル領域に比べて短い。その結果、p 型埋め込みチャンネル P P R の端部（図 8 の右側の、特に高耐圧 P M O S 領域の p 型低濃度領域 P L D の近傍）において不純物濃度が非常に低い p 型極低濃度領域 P P P が形成される。ただし p 型埋め込みチャンネル P P R の、ドレイン電極 D R に近い側の端部は、ゲート端部 G T E よりもドレイン電極 D R 側に配置されるように形成されることが好ましい。

#### 【 0 0 5 0 】

なお本工程により、高耐圧 P M O S 領域の右側の n 型ウェル領域 N W R の上にも p 型埋め込みチャンネル P P R が形成される。しかし当該領域の p 型埋め込みチャンネル P P R は高耐圧 P M O S の動作上必須ではないため、図 8 および図 2 においては図示が省略されている。同様の理由により、高耐圧 P M O S 領域の左側の n 型ウェル領域 N W R の上以外の領域における p 型極低濃度領域 P P P についても図示が省略されている。

10

#### 【 0 0 5 1 】

次に、半導体基板 S U B の主表面上に、通常の写真製版技術およびエッチング技術により、各領域に、ゲート絶縁膜 G I のパターン、およびその上の多結晶シリコン層 P S、タングステンシリサイド層 T S、シリコン酸化膜 O X がこの順に積層されたパターンが形成される。多結晶シリコン層 P S とタングステンシリサイド層 T S とシリコン酸化膜 O X とは、図 2 のゲート電極 G E に相当する領域である。ただしタングステンシリサイド層 T S やシリコン酸化膜 O X は形成されず、たとえば多結晶シリコン層 P S のみからなるゲート電極 G E が形成されてもよい。

20

#### 【 0 0 5 2 】

次に、半導体基板 S U B の主表面上に、通常の写真製版技術により、平面視における高耐圧 N M O S 領域、低電圧 N M O S 領域の p 型ウェル領域 P W R 上のエクステンション層が形成される領域が開口されたフォトレジスト R S のパターンが形成される。

#### 【 0 0 5 3 】

図 9 を参照して、たとえばリンのイオンが、5 0 k e V 以上 2 0 0 k e V 以下のエネルギーで半導体基板 S U B の主表面の上方から注入される。その結果、高耐圧 N M O S 領域および低電圧 N M O S 領域の p 型ウェル領域 P W R 上において、n 型不純物領域としてのエクステンション層 E X T が形成される。そして図 8 のフォトレジスト R S が除去される。

30

#### 【 0 0 5 4 】

次に、半導体基板 S U B の主表面上の全面に、たとえば 3 0 n m 以上 3 0 0 n m 以下の厚みを有するシリコン酸化膜が成膜される。その後、通常の写真製版技術およびエッチング技術（エッチバック）により、当該シリコン酸化膜は、各ゲート電極 G E やゲート絶縁膜 G I の側面を覆う側壁絶縁膜 S W として形成される。

#### 【 0 0 5 5 】

次に、半導体基板 S U B の主表面上に、通常の写真製版技術により、平面視における高耐圧 N M O S 領域や低電圧 N M O S 領域の、n 型ウェル領域 N W R やエクステンション層 E X T 上にソース領域やドレイン領域が形成される領域、およびゲート電極上が開口されたフォトレジスト R S のパターンが形成される。

40

#### 【 0 0 5 6 】

図 1 0 を参照して、たとえば砒素（A s）のイオンが、3 0 k e V 以上 7 0 k e V 以下のエネルギーで半導体基板 S U B の主表面の上方から注入される。その結果、高耐圧 N M O S 領域、低電圧 N M O S 領域の n 型ウェル領域 N W R、エクステンション層 E X T 上に、ソース領域 S O やドレイン領域 D R としての n 型不純物領域 N R が形成される。ここでは図 9 のフォトレジスト R S および、高耐圧 N M O S 領域や低電圧 N M O S 領域のゲート電極が、マスクとして機能する。

#### 【 0 0 5 7 】

ソース領域 S O はソース電極を取り出す不純物領域であり、ドレイン領域 D R はドレイ

50

ン電極を取り出す不純物領域である。そして図9のフォトレジストRSが除去される。

【0058】

次に、半導体基板SUBの主表面上に、通常の写真製版技術により、平面視における高耐圧PMOS領域、低電圧PMOS領域のn型ウェル領域NWR、p型低濃度領域PLD上にソース領域やドレイン領域が形成される領域が開口されたフォトレジストRSのパターンが形成される。

【0059】

ただし本実施の形態では、高耐圧PMOS領域においてはソース領域やドレイン領域が形成される領域のみフォトレジストRSのパターンが開口されるが、低電圧PMOS領域においてはほぼ全体のフォトレジストRSが開口される。これは本実施の形態では高耐圧PMOS領域のドレイン領域がマスクオフセットにより形成されるためである。

10

【0060】

図11を参照して、たとえばフッ化ボロンのイオンが20keV以上60keV以下のエネルギーで半導体基板SUBの主表面の上方から注入される。その結果、高耐圧PMOS領域、低電圧PMOS領域のn型ウェル領域NWR、p型低濃度領域PLD上に、ソース領域SOやドレイン領域DRとしてのp型不純物領域PRが形成される。そして図10のフォトレジストRSが除去される。このとき高耐圧PMOS領域においては、フォトレジストRSをマスクにp型不純物領域PRが形成される。しかし低電圧PMOS領域においては、ゲート電極GEをマスクにp型不純物領域PRが形成される。

【0061】

20

なお、上記のソース領域SOやドレイン領域DRとしてのp型不純物領域PRが形成される前に、p型低濃度領域PLD上に、p型低濃度領域PLDよりも不純物濃度が高く、p型不純物領域PRよりも不純物濃度が低いp型高濃度領域HPLDが形成されることが好ましい。図11中には省略されているが、以上の各工程を経た後、たとえばシリサイド層やコンタクト層、配線を形成する工程などがなされることにより、図1の平面図に示す高耐圧アナログI/O回路および低電圧ロジック回路が形成される。

【0062】

なお以上の図3～図11と図1の高耐圧PMOS構造とは、たとえばウェル領域や素子分離膜LSの形状が異なっているが、これは図1は素子の構想を説明するために簡素化した図面であるためである。

30

【0063】

図3～図11の工程順序は一例であり、一部において前後が入れ替わってもよい。またある領域を形成するために行なわれる不純物イオンを注入する工程は、1度になされてもよいが、複数回に分けてなされてもよい。また必要に応じて、各工程において形成されるフォトレジストRSが除去された後に熱処理を行なってもよい。当該熱処理により、形成された各不純物領域の内部における不純物の分布が調整されたり、当該不純物領域の内部における結晶欠陥の発生を抑制することができる。

【0064】

次に、本実施の形態の比較例である図12を参照しながら、本実施の形態の作用効果について説明する。

40

【0065】

図12を参照して、比較例においても本実施の形態に係る図2の高耐圧PMOSと大筋で同様の構成を有している。しかし図12の埋め込みチャネル型素子においては、n型ウェル領域NWRとp型低濃度領域PLDとの境界部BDRがゲート電極GEの真下、つまり平面視においてゲート電極GEと重なる位置に配置されている。図12の高耐圧PMOSにおいても半導体基板SUBの主表面上にはp型埋め込みチャネルPPRが形成されている。

【0066】

図12のPMOSにおけるp型埋め込みチャネルPPRは本実施の形態と同様、n型ウェル領域NWRの形成後、n型ウェル領域NWRを形成するマスクと同一のマスクを用い

50

て時間的に連続して形成されたものであると仮定する。この場合 p 型埋め込みチャンネル P P R は、n 型ウェル領域 N W R の上に配置されている。したがって p 型埋め込みチャンネル P P R の端部はゲート電極 G E の真下に配置されており、かつ p 型埋め込みチャンネル P P R の端部には p 型不純物濃度が極めて低い p 型極低濃度領域 P P P が形成されている。

【 0 0 6 7 】

したがって図 1 2 の高耐圧 P M O S には、ゲート電極 G E (ゲート絶縁膜 G I) の真下の主表面上において、不純物濃度が極めて低い領域 P P P が存在する。このため領域 P P P においてゲート電極 G E への印加電圧による電界効果が弱くなり、閾値電圧が非常に高くなる結果、当該 P M O S のドレイン電流が非常に小さくなる可能性がある。

【 0 0 6 8 】

10

しかし本実施の形態のように、n 型ウェル領域 N W R と p 型低濃度領域 P L D との境界部 B D R がゲート電極 G E の真下ではなく、ゲート端部 G T E よりもドレイン電極 D R に近い側に配置されていれば、n 型ウェル領域 N W R と同じマスクで連続して形成される p 型埋め込みチャンネル P P R も、主表面に沿ってドレイン電極 D R 側に延びるように形成される。具体的には、p 型埋め込みチャンネル P P R の端部はゲート端部 G T E よりもドレイン電極 D R に近い側に形成される。このためゲート電極 G E の真下における p 型埋め込みチャンネル P P R の不純物濃度の低下が抑制され、ゲート電極 G E による電界効果の低下によるドレイン電流の低下が抑制される。

【 0 0 6 9 】

20

したがって、本実施の形態によれば、n 型ウェル領域 N W R と p 型埋め込みチャンネル P P R とを同一のマスクで時間的に連続して形成することにより、これらを形成する効率が向上する。これは、仮に n 型ウェル領域 N W R と p 型埋め込みチャンネル P P R とが別個のマスクで形成されれば、本実施の形態の製造方法に比べて、マスクの製造コストが高騰し、当該各領域を形成する時間的な効率が低下するためである。したがって、本実施の形態によれば、製造コストを低減し、十分なドレイン電流を確保することが可能な、表面チャンネル型トランジスタよりも高信頼性を有する埋め込みチャンネル型の高耐圧 P M O S を提供することができる。

【 0 0 7 0 】

30

また本実施の形態によれば、図 8 の工程に示すように、高耐圧 P M O S 領域の p 型埋め込みチャンネル P P R と、低電圧 P M O S 領域の p 型埋め込みチャンネル P P R とが同時に ( 共用するように ) 形成される。したがって、半導体基板 S U B の主表面上の互いに異なる複数種類の素子を構成する p 型埋め込みチャンネル P P R を形成する効率がさらに向上する。その結果、製造コストをさらに低減することができる。

【 0 0 7 1 】

ただし、本実施の形態の p 型埋め込みチャンネル P P R の、ドレイン電極 D R 側の端部は、半導体基板 S U B の主表面に沿う方向に関して、ゲート端部 G T E と第 1 の p 型不純物領域 P R との間よりも、ゲート電極 G E に近い側に配置されることが好ましい。このようにすれば、当該 P M O S 構造のトランジスタとしての電気特性を向上することができる。

【 0 0 7 2 】

40

( 実施の形態 2 )

本実施の形態は、実施の形態 1 と比較して、高耐圧 P M O S トランジスタの構成において異なっている。以下、図 1 3 ~ 図 1 5 を参照しながら、本実施の形態の高耐圧 P M O S トランジスタについて説明する。

【 0 0 7 3 】

図 1 3 を参照して、本実施の形態の第 1 実施例に係る高耐圧 P M O S トランジスタは、図 2 に示す実施の形態 1 の高耐圧 P M O S トランジスタと同様の構成を有している。しかし図 1 3 においては、平面視においてゲート端部 G T E に重なる位置に、素子分離膜としての絶縁層 L S が配置されている。絶縁層 L S は、p 型埋め込みチャンネル P P R の最下部 ( 図の下側であり、p 型埋め込みチャンネル P P R と n 型ウェル領域 N W R との境界

50

)よりも、図の上下方向の深い位置にまで形成されうる厚みを有していることが好ましい。

【0074】

当該絶縁層LSは、図中の他の絶縁層LSと同様の材質を有する。当該絶縁層LSの少なくとも一部は、ゲート端部GTEの真下に配置されていることが好ましい。図13においては、当該絶縁層LSの(図の左右方向に関する)中央部がゲート端部GTEと平面視において重なるように配置されている。ただし図14に示す本実施の形態の第2実施例のように、当該絶縁層LSが(図の左右方向に関する)図13より左側に偏ってゲート端部GTEと平面視において重なるように配置されてもよい。図14はそれぞれ、上記の点においてのみ図13と異なっている。

10

【0075】

さらに当該絶縁層LSは、図13および図14において、p型埋め込みチャンネルPPRの(図の上下方向の)厚み以上の厚みを有することが好ましい。つまり絶縁層LSは、ゲート端部GTEの真下において、ソース電極SO側から半導体基板SUBの主表面に沿って延びるp型埋め込みチャンネルを完全にブロックするように配置される。このためp型埋め込みチャンネルPPRはゲート端部GTEの真下においてはまったく配置されていない。

【0076】

図13~図14においては、たとえば図12と同様に、n型ウェル領域NWRとp型極低濃度領域PLDとの境界部BDRが、ゲート電極GEの真下に配置されている。しかし図15に示す本実施の形態の第3実施例のように、図2の実施の形態1と同様に、境界部BDRがゲート端部GTEよりもドレイン電極DRに近い側に配置されることがより好ましい。この場合、p型埋め込みチャンネルPPRのドレイン電極DR側の端部も、ゲート端部GTEよりもドレイン電極DRに近い側に配置されることがより好ましい。

20

【0077】

図13~図15に示す本実施の形態の構成は、図2に示す実施の形態1の構成と比較して、以上の点において異なっており、他の点においては図2に示す実施の形態1の構成と同様であるため、同一の要素については同一の符号を付しその説明を繰り返さない。

【0078】

次に、図13の高耐圧PMOSを含む高耐圧アナログI/O回路や、図1の低電圧ロジック回路を有する、本実施の形態の半導体装置の製造方法について、図3~図11と同様に、図16~図19を用いて説明する。

30

【0079】

図16を参照して、図13を含む本実施の形態の半導体装置の製造方法においても、実施の形態1の図3~図5に示す工程と同様の処理がなされる。ただし本実施の形態においては、高耐圧PMOS領域の(図の左右方向に関する)中央付近にも他の領域と同様の素子分離膜LSが形成されている点において、実施の形態1とは異なっている。この素子分離膜LSはp型低濃度領域PLDよりも図の左側に形成され、p型埋め込みチャンネルPPRが形成される最下部よりも深い位置にまで形成され、p型埋め込みチャンネルPPR以上の厚みを有することが好ましい。

【0080】

40

図17を参照して、図16に示す状態の後、実施の形態1の図6~図8に示す工程と同様の処理がなされる。その結果図17の高耐圧PMOS領域の中央付近に形成される素子分離膜LSの中央部が、ゲート電極GTEと平面視において重なるように形成される。

【0081】

図18を参照して、図17に示す状態の後、実施の形態1の図9、図10に示す工程と同様の処理がなされる。ただしここで次工程のために形成されるフォトリソレジストRSのパターンは、高耐圧PMOS領域、低電圧PMOS領域ともにほぼ全体が開口されている点において、実施の形態1の図10に示す工程と異なっている。

【0082】

図19を参照して、図18に示す工程の後、実施の形態1の図11に示す工程と同様の

50

処理がなされる。ただしここでは高耐圧PMOS領域、低電圧PMOS領域ともに、各領域のゲート電圧GEをマスクにp型不純物領域PRが形成される。以上の手順により、高耐圧PMOS領域のゲート電極GEの端部GTEの真下に絶縁層LSが形成された半導体装置が形成される。

【0083】

以上の本実施の形態の製造方法において、実施の形態1の製造方法を示す各図に対応する図面を省略した工程については、基本的に実施の形態1の製造方法と同様である。

【0084】

図20を参照して、図15の態様を有する高耐圧PMOS構造と低電圧PMOS構造などを組み合わせた半導体装置の製造方法についても、大筋で上記の製造方法と同じである。図20は図8と比較して、ゲート端部GTEの真下に絶縁層LSが形成される点においてのみ異なっている。当該絶縁層LSは図1に相当する工程において形成されるものである。

10

【0085】

次に、本実施の形態の作用効果について説明する。

本実施の形態の高耐圧PMOSにおいては、ゲート端部GTEと平面視において重なる位置に絶縁層LSが配置されている。本実施の形態においても高耐圧PMOSのn型ウェル領域NWRとその上のp型埋め込みチャンネルPPRとは同一マスクで連続して形成される。このため、p型埋め込みチャンネルPPRには特に境界部BDRの近傍において不純物濃度が低く閾値電圧が高いp型極低濃度領域PPP（図15参照）が形成される。

20

【0086】

しかし本実施の形態においては、上記の領域PPPに重なるように絶縁層LSが配置されるため、ゲート電極GEの真下において閾値電圧が高い領域が実質的に消滅する。このため、ゲート電極GEの電界効果が低下して高耐圧PMOSのドレイン電流や信頼性が低下するなどの不具合の発生を抑制することができる。

【0087】

また特に図15のように、境界部BDRや領域PPPがゲート端部GTEよりもドレイン電極DRに近い側に形成された高耐圧PMOS構造に、本実施の形態の絶縁層LSを形成すれば、ゲート電極GEの真下のp型埋め込みチャンネルPPRにおける電界効果の低下を抑制する効果をいっそう高めることができる。

30

【0088】

本発明の実施の形態2は、以上に述べた各点についてのみ、本発明の実施の形態1と異なる。すなわち、本発明の実施の形態2について、上述しなかった構成や条件、手順や効果などは、全て本発明の実施の形態1に順ずる。

【0089】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【産業上の利用可能性】

40

【0090】

本発明は、高耐圧pチャンネル型トランジスタを有する半導体装置に、特に有利に適用されうる。

【符号の説明】

【0091】

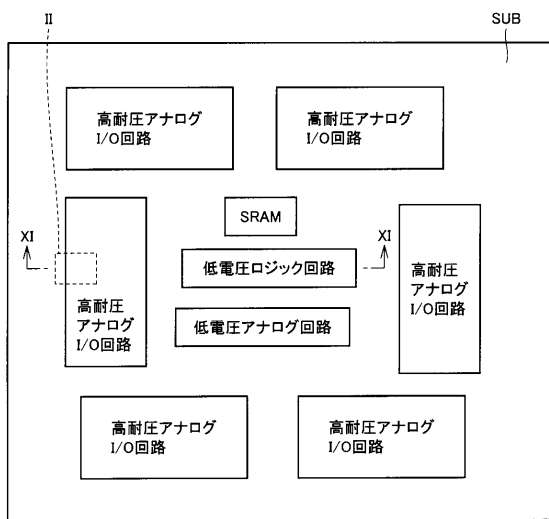
BDR 境界部、DR ドレイン電極、EXT エクステンション層、GE ゲート電極、GI ゲート絶縁膜、GTE ゲート端部、HPLD p型高濃度領域、LS 素子分離膜、NBL n型埋め込み層、NLD n型低濃度領域、NR n型不純物領域、NWR n型ウェル領域、OX シリコン酸化膜、PLD p型低濃度領域、PPP p型極低濃度領域、PPR p型埋め込みチャンネル、PR p型不純物領域、PS 多結晶シ

50

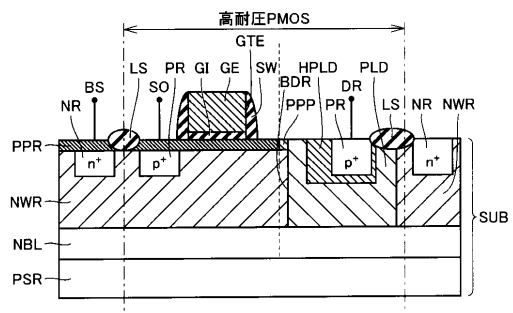


リコン層、P S R p 型領域、P W R p 型ウェル領域、R S フォトレジスト、S O  
ソース電極、S W 側壁絶縁膜、T S タングステンシリサイド層。

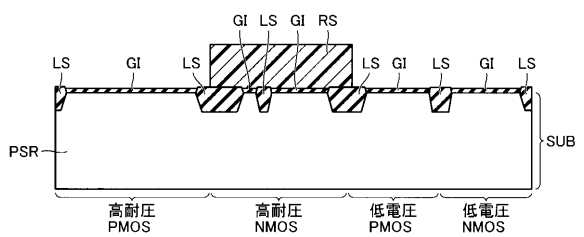
【 図 1 】



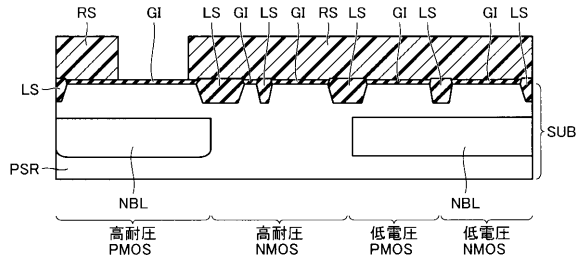
【 図 2 】



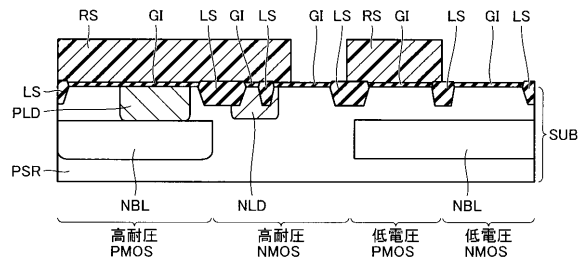
【 図 3 】



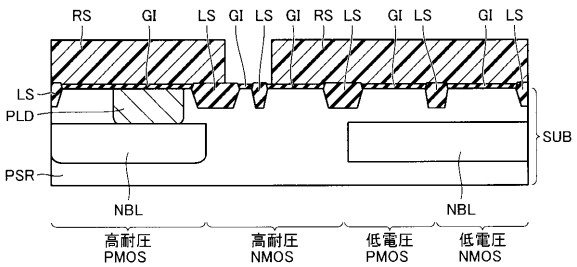
【 図 4 】



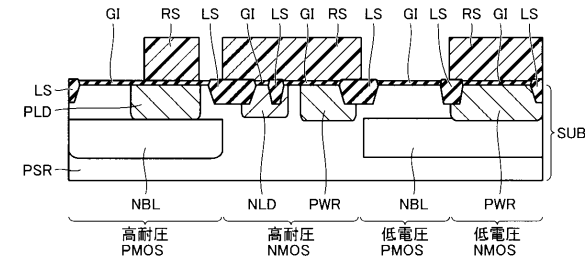
【 図 6 】



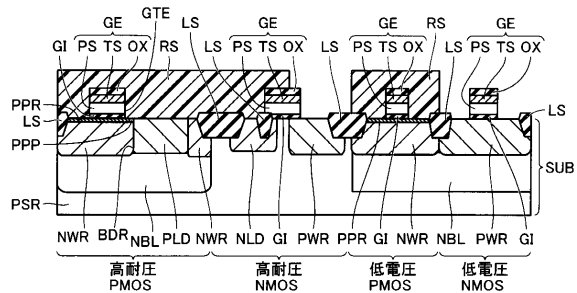
【 図 5 】



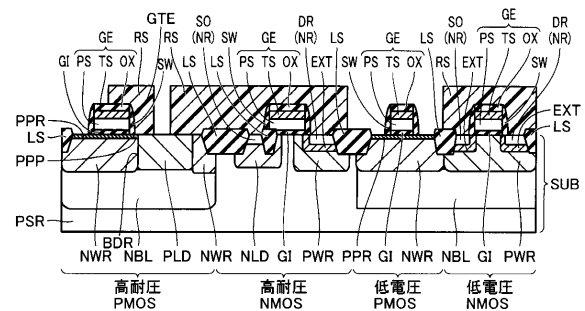
【 図 7 】



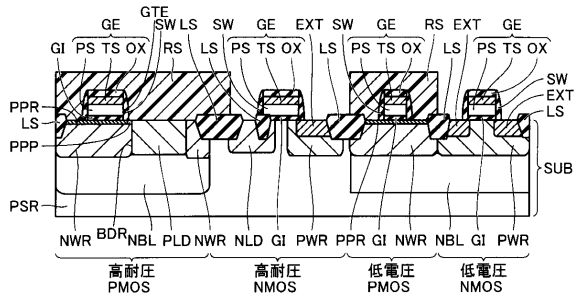
【 図 8 】



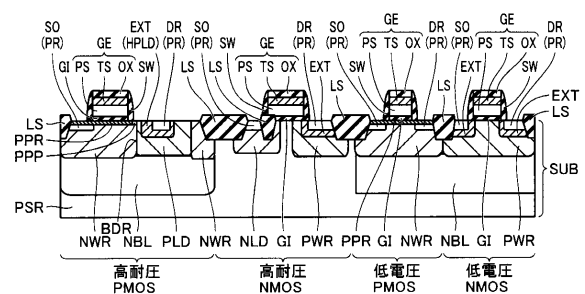
【 図 10 】



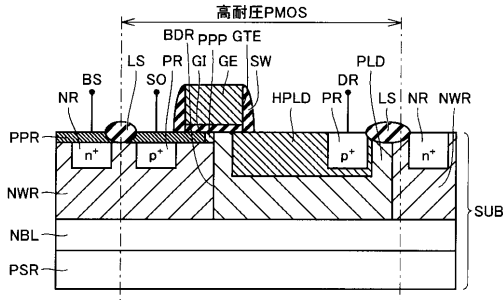
【 図 9 】



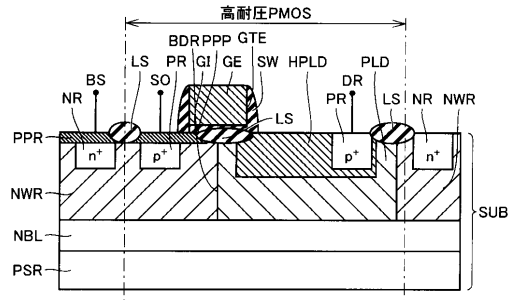
【 図 11 】



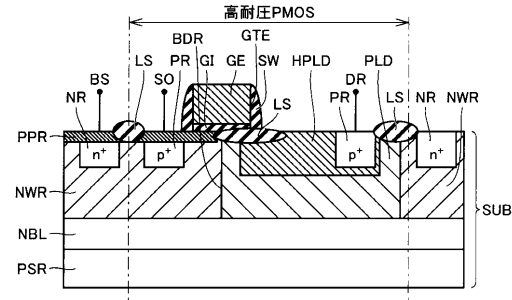
【 図 1 2 】



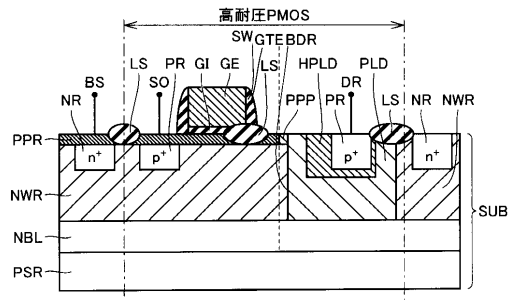
【 図 1 4 】



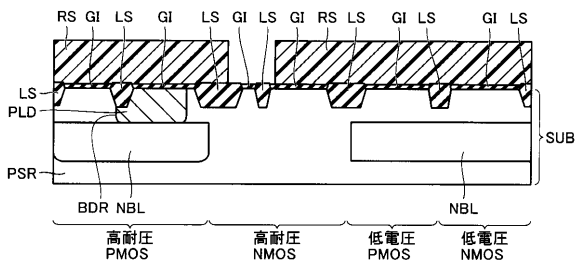
【 図 1 3 】



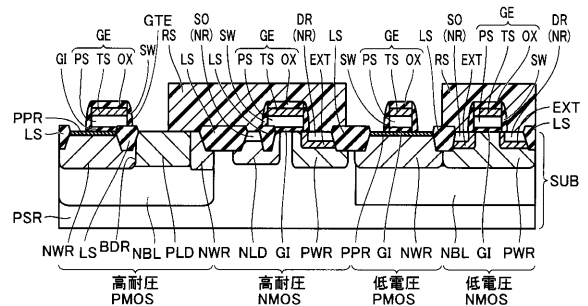
【 図 1 5 】



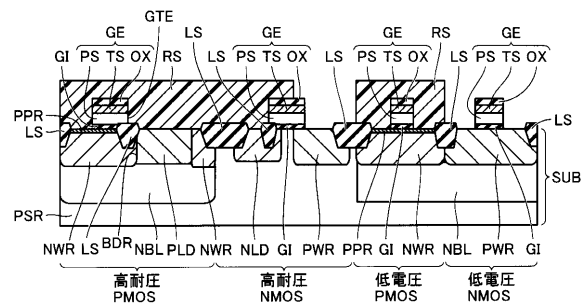
【 図 1 6 】



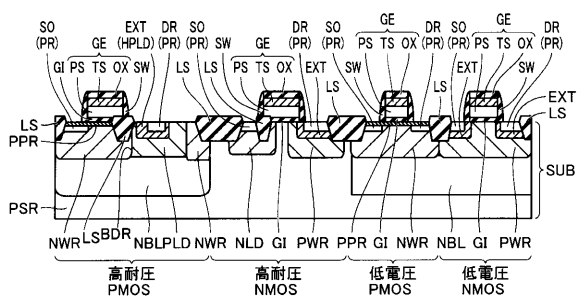
【 図 1 8 】



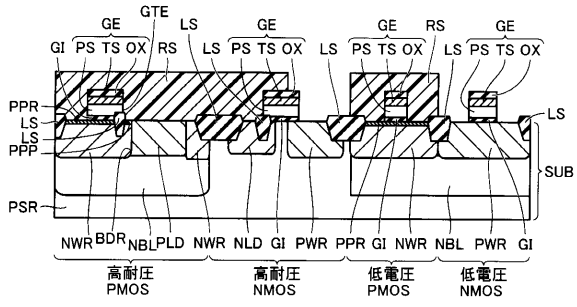
【 図 1 7 】



【 図 1 9 】



【 図 20 】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

**H 0 1 L 27/092 (2006.01)**

Fターム(参考) 5F140 AA06 AA25 AA40 AB01 AB03 AC01 AC21 AC32 AC33 BA01  
BB06 BB13 BC06 BD19 BF01 BF04 BF11 BF18 BG08 BG12  
BG20 BG37 BG51 BG53 BH05 BH13 BH14 BH17 BH30 BH47  
BJ08 BJ28 BK02 BK13 BK25 BK34 CB01 CB04 CB08 CD01