[19]中华人民共和国国家知识产权局

[51]Int.Cl[6]
G06F 11/00
G06F 11/34

[12]发明专利说明书

[21] ZL 专利号 90106027.5

[45]授权公告日 1999 年 5 月 5 日

[11]授权公告号 CN 1043273C

[22]申请日 90.12.21 [24]颁证日 99.2.27
[21]申请号 90106027.5
[30]优先权
[32]89.12.22 [33]US [31]07/455,667
[73]专利权人 布尔·HN·信息系统有限公司
地址 美国明尼苏达
[72]发明人 道格拉斯·约翰·安吉利斯
亨利·佛尔特·杰罗姆·马多克斯
阿瑟·彼得斯
唐纳德·詹姆斯·拉恩本
威廉·劳沦斯·索尔特曼茨
[56]参考文献
US4,872,121 1989.10. 3 G06F11/00
审查员 33 05

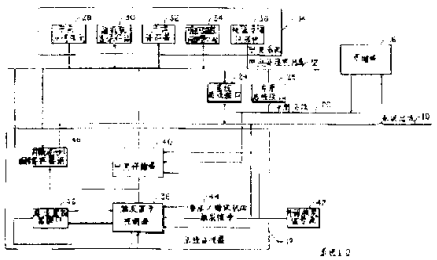
[74]专利代理机构 中国国际贸易促进委员会专利商标事务所
代理人 杨晓光

权利要求书 4 页 说明书 28 页 附图页数 5 页

[54]发明名称 能选取多信息源中独立发生事件的总线监视器

[57]摘要

用于记录一系统中选择点处状态的监视器包括给出触发信号以提供与特定的检 测状态相应的码的发生器，以及响应触发信号以记录所述状态的存贮装置，发 生器包括一具有读地址输入和数据输出的存贮器以提供相应于特定状态的信号 的模式。在发生器中，提供触发启动码，它包括相应于选定状态的码，相应于 误差信号的码，相应于触发信号序列结合的码以及相应于外触发信号的码。



ISSN1008-4274

权 利 要 求 书

1.计算机系统中用来有选择地检测与记录系统运行过程中选择点上状态的监视器装置，包括:

存贮一组可选触发控制码的装置;

与系统内部第一组选择点相联的装置，对第一组点上发生的选择状态作出响应，产生表示发生相应选择状态的触发信号，

响应触发控制码与触发信号以提供触发输出的装置，以及

在选择状态发生时，存贮系统上各点状态的装置；其特征在于:

所述触发控制码存贮装置同步存贮一组触发控制码，每个触发控制码相应于一个触发信号，该信号表示出现检测状态中的一个，所述响应触发码的装置响应任何一个要检测的状态的出现;所述存贮装置还包括:

与系统内部第二组选择点相联的中间存储器，响应触发信号输出，以记录这些点上的状态。

2.根据权利要求 1 的监视器装置，其中第一组选择点包括:

系统第一总线的线。

3.根据权利要求 1 的监视器装置，其中第二组选择点包括:

系统第一总线的线.

4.根据权利要求 1 的监视器装置，其中第二组选择点包括:

系统第二总线的线.

5.根据权利要求 1 的监视器装置，其中第一组选择点包括第一

系统总线，产生触发信号的装置包括：

存储触发信号图形的触发信号存储器，每个图形对应于第一系统总线上要检测的一个选择状态，其中

触发信号存储器包括第一端口，一个与第一系统总线的线相联的读地址输入和一个数据输出端口，该输出与产生对应于被测总线状态的触发信号图形的触发信号输出装置相联，其中

每个触发信号图形存放在触发信号存储器的单元中，其地址相当于第一系统总线上表示对应被测状态的信号图形。

6.根据权利要求5的监视器装置，其中触发信号存储器是一个双端口存储器，系统还包括：

一个处理器装置，用来产生触发信号存储装置的写地址，并提供要写入触发信号存储装置的触发图形，其中触发信号存储装置还有一个第二端口，其数据输入和写地址输入与处理器装置相联，以接收和存储由处理器装置产生的触发图形。

7. 根据权利要求1的监视器装置，其中存储触发控制码的装置包括：

存储一组总线控制码的装置，其中每个总线控制码对应于其中一个总线触发信号，每个总线触发信号表示系统总线上的一个选择状态。

8. 根据权利要求1的监视器装置，其中触发控制码包括：

一组触发序列控制码，每个触发序列控制码对应于一个触发信号的序列组合，由触发序列控制码确定的每个触发信号必须发生在接触发控码确定的序列之中。

9. 根据权利要求1的监视器装置，其中中间存储器包括一组

子中间存储器，每个子中间存储器对应于并记录第二组选择点中一个相应点上的状态，其中每个子中间存储器包括一个其数据输入与第二组选择中相应点相联的静态存储器，以及一个其数据输入与静态存储器数据输出相联的动态存储器，子中间存储器响应对应的触发信号输出，将被选第二组点上出现的状态记录到静态存储器，并将获取的状态送入动态存储器以记录获取的状态。

10.一种有选择地检测一个操作系统的点上的信号状态的监视器装置，其特征在于：

一个与所述系统的第一组点相接的状态感测电路（92），用来感测在所述第一组点上的预定信号状态，根据出现的所述预定信号状态产生第一类输出信号（A－H）；

一个控制电路（90），用来存放一组对应于所述第一输出的不同值的码，并用来发送代表所述码的第二类输出信号；以及

一个探测电路（96，98），它与所述状态感测电路及所述的控制电路相接并响应所述第一类和第二类信号，以产生对应于第二类输出信号的第三类输出信号。

11.权利要求10中的进一步提供用来记录操作系统中特定点上信号状态的监视器装置，其特征在于：

存储装置（40），它与所述系统的第二组点及所述探测电路相连接并响应所述第三类信号，记录出现在所述第二组点的信号状态表示。

12.根据权利要求10的监视器装置，其进一步特征在于：

所述状态感测电路（92）包括一个可寻址存储器，以保守第一类信号的不同图形的可寻址单元，以及

将第一组点上的所述信号状态作为一个地址加到所述可寻址存贮器中的装置.

13. 根据权利要求 11 的监视器装置的进一步特征在于:

一个计时发生器，它产生表示所述监视器装置中事件发生的相对时间的计时信号，以及

所述存储装置（ 40 ）进一步与所述计时发生器相连接，以记录与所述信号状态表示相关联的计时信号。

说　　明　　书

能选取多信息源中独立发生事件的总线监视器

本发明涉及计算机系统工作的监视，更具体地说，涉及选取触发状态的装置与方法。

对于监视计算机系统的性能与工作，例如工作时系统总线上出现的状态，经常出现的问题是监视器的用户选取被监测状态的能力。举例来说，按以往技术，监视器的用户通常只能在监视过程开始后的一定时间内获取在单信息源中发生的全部事件，但不能够在监视开始后的任何时刻选取可能在多信息源中独立发生的某些特定事件的有关信息。也就是说，先有技术中监视器的工作方式很象一台磁带记录器，把它打开，它就会记录发生的一切，直至磁带走到头。因此，除非监视器的存储容量是海量，否则，用户要获取偶尔发生的或者监视过程开始后很久才发生的事件就十分困难。实际上，也许无法获取感兴趣的事件，因为监视器的数据记录器已饱和，或者已存满数据，尤其对于间歇性的事件，例如某些故障，或者在系统正常工作中偶尔发生的事件，更是如此。此外，另一个问题是先有技术中的监视器一般都不能够有选择地来确定与获取感兴趣的事件，为了获取感兴趣的数据必须获取大量不感兴趣的数据。它们也不能监视来自不同信息源的事件，为了确定不同信息源之间的相关性，需要反复进行监视。

本发明提出一种用于计算机系统的监视器装置，它能够有选择的检测与记录系统工作过程中预选点上的状态。本监视器包括一个触发控制码存贮器，存放一组可选的触发控制码，其中每一个控制码对应

于一个表示发生相应被测状态的能发信号。本监视器还包括一个触发信号发生器，与系统中第一组选择点相联，它们与第一组选择点上的被选状态相应，产生表示发生相应被选状态的触发信号。触发输出电路装置响应触发控制码与触发信号，以根据出现的对应于被选触发控制码的能发信号产生触发信号输出。此外，还有一个中间存储器与系统中第二组选择点相联，并与触发信号输出相应，用来记录第二组选择点上的状态。

第一组选择点，即系统中受监视的用来检测发生选择状态的那些点，可能包括系统第一总线中的线、指示系统总线上出现非法状态的电路输出，以及产生表示系统总线以外的点上发生被选状态的触发信号的电路输出。

第二组选择点，即发生被选的触发状态时其状态需要被记录的那些点，可能包括系统第一总线中的线、系统第二总线中的线、以及一组系统第一与第二总线以外的点。

本发明的另一个方面是触发信号发生器，它包括一个存放触发信号图形的触发信号存储装置，其中每个触发信号图形对应于一个系统第一总线上要检测的被选状态。触发信号存储装置包括其地址读出输入与系统第一总线中的线相连的第一端口以及与触发信号输出装置相连接的数据输出端口，以产生对应于被测总线状态的触发信号图形。每个触发信号图形均存放在触发信号存储器单元中，其地址对应于表示相应被测状态的系统第一系统总线上的信号图形。

此外，触发信号存储器是一个双口存储器。系统还进一步包括一个处理器装置，用来产生触发信号存储器的写入地址以及写入触发信号存储装置的触发信号图形。在本发明中，触发信号存储装置还有一

个第二端口，其数据输入和写入地址输入与处理器装置相联，以接收和存储由处理器装置提供的触发信号图形。

触发控制码存储器存放一组触发控制码，以选定被检测的状态中哪一个可能产生一个触发信号输出。触发控制码中包括一组总线控制码，其中每个总线控制码对应于一组总线触发信号中的一个，每个总线触发信号表示系统总线上一个被选状态。触发控制码还包括一组错误控制码，其中每个错误控制码对应于一组错误触发信号中的二个，每个错误触发信号代表系统总线上的一个反常状态。系统总线上的反常状态可能是错误状态、非法状态或超时状态。

触发器控制码还可能包括一组触发序列控制码，其中每个触发器序列控制码对应于一个触发信号的序列组合，由触发序列控制码中规定的每个触发信号必须发生在触发控制码所确定的序列之中。

触发控制码还可能包括一组外部触发控制码，其中每个外部触发控制码对应于一组来自系统总线以外的信息源的外部触发信号中的一个，并对应于一组系统总线控制码和相应的总线触发信号中的一个。总线控制码与触发序列控制码可以选用外部触发信号替代总线触发信号来产生触发信号输出，或者以逻辑“与”的方式与对应的总线触发信号产生触发信号输出，也可以逻辑“或”的方式与有关的总线触发信号产生触发信号输出。

最后，中间存储器包括许多子中间存储器，每个子中间存储器对应于并记录出现在第二组选择点中的一相应点上的状态。

而每个子中间存储器又包括一个静态存储装置，其数据输入与第二组选择点的有关点相联，还包括一个动态存储器，其数据输入与静态存储器的数据输出相联。子中间存储器对相应的触发信号输出作出

响应，获取出现在第二组选择点上的状态送入静态存储器，并将获取的状态转存到动态存储器以记录获取的状态。

由此可知，本发明的目的在于提出一种能够选取多信号源中独立发生事件的总线监视器，以提供一种改进装置，来监视与记录系统工作过程中发生的状态。

有关本发明的上述与其它目的、特征与优点，通过以下附图所示的对于本发明及其实施例的叙述将得到进一步的了解。其中：

图1是包括本发明总线监视器的系统框图；

图2是本发明的总线监视器框图；

图3是本发明的触发控制码的图形表；

图4是本发明的触发信号存储装置；以及

图5是产生的以及存放在本发明触发信号存储器中的触发信号图形结构。

参阅图1，这是一个包含本发明总线监视器12的示范性系统10的框图。如图所示，系统10至少包括一个完成信息处理的中央系统14以及存放程序与数据的存储器16。中央系统14、存储器16以及诸如其它中央系统和存储器的其它系统部件，通过系统总线（SYSBUS）相联的输入输出控制器。象SYSBUS 18这样的系统总线，在技术上是众所周知的，不妨以MEGABUS 作为（ MEGABUS是BULL HN信息系统公司的商标），它曾用于BULL HN信息系统的DPS6与MRX计算机系统。

此外，系统10还包括一条联结存储器16与中央系统CCS 14的专用总线（PBUS），它只用来传送信息，即将程序中的指令与数据从存储器16送到中央系统14。专用总线20并不是本发

明的一部分，也不能作为本发明的一个限制，它是计算机系统中常有的专用总线的一个代表，在系统１０中是用来提高存储器１６向中央系统１４读信息的速度。在系统１０中，存储器写入操作是按通常方式在系统总线１８上完成的，某些存储器读出操作可以按通常方式通过系统总线１８完成。然而，许多存储器读出操作是字组读出，例如读出八个双倍长的字。在这些字组读出操作中，读出命令以及读出字组的起始地址按通常读出操作的方式通过系统总线１８送到存储器１６，而八个双倍长的字组则通过专用总线２０从存储器１６送到中央系统１４。这样，由于避开了通用系统总线１８上使用的复杂而低速的通讯协议，提高了字组读出操作的速度。

如图１所示，中央系统１４与中央处理单元总线（ＣＰＵＢＵＳ）２２相联，分别通过双向系统总线接口（ＳＢＩ）２４和单向专用总线接口（ＰＢＩ）２６，使中央系统１４中的各个部件能与系统总线１８，专用总线２０与中央处理器单元２２通讯。

中央系统１４本身由几个部件组成。其中有一个中央处理单元（ＣＰＵ）２８，在本实施方案的系统１０中可以是Ｉｎｔｅｌ８０３８６微处理器，行家们对它都是很熟悉的。因此，中央处理单元总线２２就是标准的３２位８０３８６总线，采用８０３８６数据、指令与命令格式，执行８０３８６的总线协议与规程。

与中央处理单元２８相联的是一个中央处理单元２８用来存放数据与指令的本地随机存取存储器（ＲＡＭ）３０，一个只读存储器（（ＲＯＭ）３２用来例如存放系统引导程序以及以下即将讨论的与总线监视器１２有关的可擦可编程只读存储器（ＥＰＲＯＭ）３４。最后，中央系统１４还包括其它一些与中央处理单元２８有关的部件，

统称为处理与通讯部件（ＰＣＥ）３６，它可以包括中断处理逻辑以及如磁盘驱动控制器和串并行端口控制器这一类通讯控制器等的公知的功能。

现在来讨论总线监视器１２，如上所述，总线监视器１２的作用是连续监视系统１０工作时第一组可选监视点上的状态。以下将会介绍，这些点包括系统１０的总线，特别是系统总线１８，还可能包括存储器１６，以及系统１０内外其它一些选择点。

如果总线监视器１２检测到出现在一个或多个第一组点上的多个予选触发状态中任何一个，则总线监视器１２将产生表示出现该状态的触发信号输出。这样一个状态，或者一个由这些触发信号组成的可选时序，将对出现在第二组可选采样点上的状态进行采样与存储，供以后查照。以下将介绍，第二组点可能包括部分或全部第一组点，例如出现在系统总线１８上的信号，也可能包括系统１０中的另一些，例如专用总线２０。

总线监视器１２的主要功能块中包括一个触发信号控制器３８与中间存储器４０。触发信号控制器３８有一组包括第一组被监视状态的输入。如图所示，触发信号控制器３８的这些输入接到系统总线１８、可选外部触发信号源（ＥＸＴＴＲＧ）４２以及非法／错误状态触发信号源（ＩＬＧＬ／ＥＲＲ）４４。以下将说明，触发信号控制器３８可编程以检测某些状态，即出现在被监视输入端上的状态或信号的组合、图形或序列，它还产生表示测得一个或几个程控选择状态的有关触发信号输出。这些触发信号可直接用来启动采样当时出现在系统１０内监视点上的状态，触发信号控制器３８还可以程控产生被选触发信号时序列的输出。

总线监视器１２是通过中央系统１４进行程控的，如图所示，触发信号控制器３８通过总线监视器接口（ＢＭＩ）４６与中央处理机总线２２作双向联接。这种联接允许中央系统１４将被选的触发信号状态写入触发信号控制器３８和把触发信号控制器３８的状态读出。

中间存储器４０包括一个存储体，用来存储和记录当触发状态被触发信号控制器３８检出时出现在系统１０中的采样状态，因此它有一个从触为信号控制器３８连接过来的采样控制输入。中间存储器４０的数据输入与第二组被选采样点相联，如图１所示，它们包括系统总线１８中的命令与地址线、专用总线２０中的线、以及一组来自外部触发信号４２的外部可选点。以后将说明，中间存储器４０的采样输入还包括由触发信号控制器３８产生的时间标志。

此外，中间存储器４０还有一组与中央处理总线２２相联的数据输出，所以中间存储器４０中的内容可读入中央系统１４进行分析，或者传送到其它装置，例如遥控监视设备。

最后，总线监视器１２有一个从中央处理单元总线２２连接到系统总线１８的中断／图形可编程寄存器（ＩＰＰＲ）４８。工作在第一种方式时，中央系统１４在本身的控制下通过中断／图形可编程寄存器组４８可将测试图形写入系统总线８，此时中断／图形可编程寄存器组４８由中央系统１４控制用来测试系统总线１８以及与系统总线１８相联的系统部件。工作在总线监视器方式时，中央系统１４可以将系统或中央处理单元中断命令这一类被选命令写入中断／图形可编程寄存器组４８，并将命令存入寄存器组４８，直到出现来自触发信号控制器３８的触发器输出时命令被写入系统总线１８为止。

以上已说明了包含本发明总线监视器１２的系统１０的总体结构

与工作原理。以及总线监视器１２的一般结构与工作原理。以下将较详细地叙述总线监视器１２。

B．总线监视器１２（图２）

B．１　中间存储器４０

参阅图２，图中除了中断／图形可编程寄存器４８以外已示出了较详细的总线监视器１２框图。

图２上部一行是中间存储器４０，如图所示，它包括三个子中间存储器，每个对应于系统１０中的一个点，当出现来自触发信号控制器３８的有关触发信号输出时，该点上的状态将被记录下来。如图所示，这些子中间存储器是系统总线中间存储器（ＳＳＬ）５０，专用总线中间存储器（ＰＳＬ）５２，以及外部触发器中间存储器（ＸＳＬ）５４。每个子中间存储器有三个中间存储器段，每段被指定用来记录系统１０内相应点上的某一组状态。如图所示，系统总线中间存储器５０包括系统总线数据中间存储器（ＳＤＳＬ）、系统总线地址中间存储器（ＳＡＳＬ）５８、系统总线命令中间存储器（ＳＣＳＬ）６０，以及系统总线时间标志中间存储器（ＳＴＳＬ）６２。专用总线中间存储器５２包括专用总线数据中间存储器（ＰＤＳＬ）６４与专用总线时间标志中间存储器（ＰＴＳＬ）66。外部寄存器中间存储器５４包括外部数据中间存储器（ＸＤＳＬ）６８与外部时间标志中间存储器（ＸＴＳＬ）７０。

系统总线数据中间存储器５６、地址中间存储器５８、命令中间存储器６０和时间标志中间存储器６２的数据输入端分别与系统总线１８的数据线、地址线、命令线和时间标志发生器的输出相联。专用总线数据中间存储器６４、时间标志中间存储器６６的数据输入端分

别与专用总线２０中的线与时间标志发生器相联。外部数据中间存储器６８和外部时间标志中间存储器７０的数据输入端分别与外部采样点（例如，外部触发信号４２）和时间标志发生器相联。系统总线中间存储器５０、专用总线中间存储器５２和外部寄存器中间存储器５４的数据输入端，如以下所述，还与触发器控制器３８相联，因此系统总线中间存储器５０、专用总线中间存储器５２和外部触发信号中间存储器５４可以接收与存储启动采样的触发信号以及启动采样的触发信号的有关信息。

如图所示，系统总线中间存储器５０、专用总线中间存储器５２和外部触发信号中间存储器５４的数据输出并接到中间存储器输出寄存器（ＳＯＲ）７２的数据输入，输出寄存器７２的数据输出再接到中央处理单元总线２２。以后将说明，中央系统１４可通过输出寄存器７２将任一个系统总线中间存储器５０、专用总线中间存储器５２或外部触发信号中间存储器５４中的内容选读到中央处理机总线２２。

在这个总线监视器１２的实施例中，系统总线中间存储器５０、专用总线中间存储器５２和外部触发信号中间存储器５４均包括图象随机存取存储器，象个人计算机那样用来存放与提供视频显示信号。众所周知，图象存储器由两个存储部件组成。第一个是存放大量信息（例如显示屏上显示的图形）的容量大、速度较低的动态存储器，另一个是容量较小、速度较高的静态存储器。正常使用时，数据以较低的速度写入图象存储器中的动态存储器部分，接着有选择地以较高的速度将数据送入存储器的静态存储器部分，例如送到图形显示器。然而在总线监视器１２中，数据是以高速度读入图象存储器的静态存储器部分的　，因此可以高速获取系统１０中监视点（例如系统点线

18）上出现的信息，并将它们送入图象存储器中容量较大、速度较低的动态存储器部分，接着可以从这里以低得多的速度读出。在中间存储器40中采用图象存储器可得到这样一种存储器，它既有图象存储器中静态存储器的写数和数据获取的高速性，又具有图象存储器中动态存储器所提供的大容量、低成本这些优点。

B. 2　总线监视器接口（BMIS）46

位于图2左下角的是总线监视器接口46，如图所示，它包括系统总线监视器接口（SBMI）74、专用总线监视器接口（PBMI）76和外部总线监视器接口（XBMI）78，它们分别作为中央处理机总线22与系统总线中间存储器50、专用总线中间存储器52和外部寄存器中间存储器54之间的接口。系统总线监视器接口74、专用总线监视器接口76和外部总线监视器接口78实质上都是一样的，每个均包括一个数据输入端与中央处理机总线22相联的地址与寄存器计数器（ADRRC）80，计数器的时钟输入与中间存储器40的读写控制和定时电路相联。以后将进一步说明，这些地址与寄存器计数器80为中间存储器40产生与提供读写地址，并可从中央系统14装入地址，例如用来选择将从中间存储器40读出的信息，以及予置采样信息写入中间存储器40的起始地址。地址与寄存器计数器80中与读写控制和定时电路相联的时钟输入主要用来产生将采样信息写入中间存储器40以及从中间存储器40读出记录信息的逐个地址。

系统总线监视器接口74、专用总线监视器接口76和外部总线监视器接口78还均包括一个和地址与寄存器计数器80输出相联的译码器82，它对地址与寄存器计数器的内容进行译码，在目前这个总线

监视器１２的实施方案中，用来产生系统总线中间存储器５０、专用总线中间存储器５２和外部寄存器中间存储器５４的地址和列选择输入信号。最后，系统总线监视器接口７４、专用总线监视器接口７６和外部总线监视器接口７８还均有一个暂存器（ＲＳ）８４，其数据输入与相应地址与寄存器计数器８０的输出相联，其数据输出与中央处理机总线２２相联，因此计数器８０中的内容可通过中央处理机总线２２读入中央系统１４。

Ｂ．３　控制与定时，寄存器与存储器部件

与总线监视器接口４６相邻的是两个一般化的控制与定时部件，即寄存器／中间存储器控制／译码器（ＲＳＣＤ）８６和控制与定时电路（ＣＮＴＬＴＭＧ）８８，后者在上面介绍总线监视器接口４６时刚提到过。这些部件主要用来控制访问上述总线监视器接口４６中的寄存器、系统总线中间存储器５０、专用总线中间存储器５２、外部触发信号中间存储器５４和中间存储器输出寄存器７２中的存储单元以及总线监视器１２中其它寄存器与存储单元，以后还对它们详细描述。寄存器／中间存储器控制器／译码器８６与中央处理机总线２２相联，接收并翻译来自中央系统１４的地址码与操作命令码，例如将一个地址写入总线监视器接口４６或者根据一个地址从一个或几个中间存储器４０的存储单元读出信息的地址和命令，它还向总线监视器１２的各个部件提供有关的控制输出，其中包括对控制与定时电路８８。控制与定时电路８８，顾名思义，为总线监视器１２中的寄存器和存储单元，特别是系统总线中间存储器５０、专用总线中间存储器５２与外部触发信号中间存储器５４提供全面的控制与定时信号。如图所示，控制与定时电路８８有一个输入与触发器检测逻辑的一个

触发器输出相联。以下将说明，这是为了控制将被选采样点上的数据写入系统总线中间存储器５０、专用总线中间存储器５２和外部触发信号中间存储器５４，如上所述，当总线监视器１２检出一个被选的触发状态时这个电路产生一个时间标志。寄存器／中间存储器控制／译码器８６和控制与定时电路８８均采用一般的设计与工作方式，它们在很大程度上取决于以下将详述的总线监视器１２的工作方式，以及为总线监视器１２中各寄存器与存储单元所选用的具体电路。由于寄存器／中间存储器控制／译码器８６和控制与定时电路的设计对于行家们都是熟知的，对于这两个电路以下不再作详细的说明。

B．４　触发信号控制器３８

组成触发信号控制器３８的主要部件示于图２的右下角部分，它包括一个触发控制寄存器（ＴＲＩＧＥＮＲ）９０、触发信号存储器（ＴＲＩＧＭＥＭ）９２、非法／错误状态测检器（ＥＬＧＬ／ＥＲ）９４、触发信号检测器逻辑（ＴＲＩＧＤＥＴ）９６、触发信号寄存器（ＴＲＩＧＲＥＧ）９８与时间标志发生器（ＴＳＧ）１００。以下将说明，触发信号存储器９２和非法／错误状态测检器９４的输出以及外部触发信号４２的输入均为表示发生被监视状态的触发信号，触发控制寄存器９０则以触发控制码的形式存储信息，以决定采样触发信号时结果应当是哪一些状态。触发信号控制器逻辑９６和触发信号寄存器９８将表示发生被监视状态的触发器与当前和以前来自触发控制寄存器９０的触发状态输入相比较，当一组被监视的状态与触发控制寄存器９０中的判定信息相符时产生一个触发信号输出ＴＲＩＧＳ。

B．４．１　触发控制寄存器９０（图３）

如图所示，触发控制寄存器９０的数据输入与中央处理机总线２２相联，接收并存放一组程控的可选触发控制码，每个码表示一个将导致触发信号检测器逻辑９６和触发信号寄存器９８产生触发信号输出的被监视状态或被监视状态的组合。或者表示一个将导致产生这种触发信号输出的触发信号时序组合。以下将说明，触发信号检测器逻辑９６和触发信号寄存器９８的这种触发信号输出将导致对当时系统１０中被选采样点上呈现的状态进行采样，并将状态存入中间存储器４０的适当部分。触发信号输出还可以对中央处理机２８产生中断，决定包括系统总线中断存储器５０、专用总线存储器５２或外部寄存器中间存储５４的中间存储器４０的组成部件中哪一个中间存储器将接收与存储信息。

在目前这个触发控制寄存器９０的实施方案中用的触发控制码中有１６个控制码直接与从系统１０中被监视点送到触发信号检测器逻辑９６的１６个相应触发信号输入有关，以及其它一些控制码用来决定触发状态、这１６个触发状态的某些组合或时序。以下将说明，触发控制寄存器９０还可以存储使触发信号检测器逻辑９６和寄存器９８对总线监视器１２产生其它控制信号的其它控制码，举例来说，产生一个输出信号将中断／图形可编程寄存器组４８中的命令，例如中央系统１４的中断命令，送到系统总线１８。

参阅图３，其中示出了目前实施方案中触发控制寄存器９０的图表。如图所示，寄存器９０可以多达３２个控制码，其中绝大多数均与某些触发信号或触发信号组合、序列的置位有关。

从触发控制寄存器９０的左边开始，前面一组码有１２个触发控制码（ENable TRigger？），从ＥＮＴＲＧＡ到ＥＮＴＲＧＭ，

用来选通总线监视器12以分别响应触发信号A～M中的各个触发信号。这些代码中，前面从ENTRGA到ENTRGH八个触发控制码与系统总线10上的状态有关。从ENTRGA到ENTRGH中的每个触发控制码分别对应于触发信号A到H中的一个触发信号，以下将说明，它们由触发信号存储器92产生。触发信号A～H中的每个触发信号又对应于包含80位系统总线18内命令码、地址码和数据码的80条线上的一个程控可选状态组合。ENTRGA～ENTRGH均为1位码，它决定相应的触发信号是否要记录由触发信号存储器92检出的发生予定有关触发信号状态这一事件。

这一组内剩下的三个控制码ENTRGJ、ENTRGK和ENTRGL均为1位码，分别对应于由非法／错误状态检测器94产生的触发信号J、K与L，它们用于检测系统10总线上发生的错误或非法状态，以及检测诸如系统总线18上超时状态这一类的状态。

在目前这个总线监视器12的实施方案中，这些多级的或多重控制的触发信号总是从触发信号G“开始”，逐个向触发信号A推进。此外，序列中触发控制码ENTRGA～ENTRGG必须置为真值，使得所求序列中前面与最后的触发信号状态能够检测出来。例如，对于双状态触发信号，要求（TRGIFF）（ENTRGF）（ENTRGG）全部均置为真值：TRGIFF为真，因此只有当前级触发信号F产生时最后触发信号状态G才产生，ENTRGF为真，将前面的触发信号F置位，ENTRGG为真，将最后一个触发信号G置位。同样，对于三状态触发信号，要求（TRFIFE）（TRGIFF）（ENTRGE）（ENTRGF）（ENTRGG）使最后一个能发信号G依赖于前面的触发信号E与F，使产生触

发信号G、F与E。应当指出，这里要求从触发信号G向触发信号A推进并不对可能建立的序列加以实质性的限制，因为触发信号 ～G可以分别指派给任何一个要检测的被选状态；也就是说，触发信号A～G的字母次序纯属习惯排列，对哪些触发信号分派给哪些触发信号状态或触发信号状态的组合，不可以任何限制。还应当指出，在一般情况下，TRIGFF用作时序操作的控制码，如TRIGFF不为真值，当出现相应状态时触发器A～H中的任一个均可出现。

顺着触发控制寄存器90中列出的控制码次序，后面的四个控制码（ENable external TRigger? ）ENXTRD、ENXTRE、ENXTRF和ENXTRG分别与外部触发信号源42的外部触发信号XD、XE、XF和XG相对应。这四个外部触发信号和四个与其对应的由触发信号存储器92提供的内部触发信号D、E、F和G，以各种不同的方式配合工作。

首先，通过程序利用触发信号存储器42中的“无关”码将触发信号D、E、F或G封锁，并设置触发信号XD、XE、XF或XG的控制码，任一个触发信号XD、XE、XF或XG均可用来替代触发信号D、E、F或G中的相应触发信号，关于这一点在以下谈到触发信号存储器92时还将说明。这样，触发信号XD、XE、XF或XG将代替触发信号D、E、F或G进行工作。

其次，通过合适的程序控制触发信号存储器42中的触发信号D、E、F或G，同时设置触发信号XD、XE、XF或XG以及相应触发信号D、E、F和G的控制码，则任一个触发信号XD、XE、XF或XG均可用来与相应的触发信号D、E、F或G按“与”的方式进行工作。在介绍触发信号存储器92时已谈到，在以后还将说明，

触发信号D、E、F和G都是根据系统总线18上出现的80位状态产生的；利用触发信号XD、XE、XF和XG可将80位状态扩展到81位状态。其第81位代表非系统总线18状态，即外部触发信号状态。

第三，对触发信号XD、XE、XF或XG以及触发信号D、E、F或G中的几个予定信号设置触发控制码，同时与上述第一种情况相反，将触发信号存储器92中的触发信号D、E、F或G通过程序设置动作码而不是“无关”码，则任一个触发器XD、XE、XF或XG，均可与触发器D、E、F或G中的任何一个独立使用。外部触发器的这种用法将产生一个“或”操作功能，例如，对触发器XF或者触发器F产生一个触发信号。

最后，触发信号XD、XE、XF和XG可以按上述任何一种方式产生在讨论控制码TRBIFA，TRCIFB、TRIGDIFC、TRIGEIFD、TRIGFIFE与TRIGIFF时曾提及的时序触发信号状态。外部触发信号的这种用法可以允许建立这样一个时序触发信号状态，例如，它需要在序列中出现触发信号XF而不是触发信号F，或者相反，或者序列中同时出现触发信号XF和F。

触发控制寄存器90中的其它代码与触发信号产生没有直接关系，但用来控制与选通总线监视器12与系统10的其它一些操作。

例如，外部时钟选通码ENXTCK（ENable eXternal ClocK）用来选通与外部触发信号源42的触发信号有关的时钟，将状态从外部触发信号源42送入外部触发信号中间存储器52，例如，与外部触发信号源42输入相联的总线上的周期数。

中断触发信号码TRGINT（TRigger INTerrupt）是控

制码，如果设置以真值，则当总线监视器12检出触发信号C时，或者当TRGIFF不为真值并且检出触发信号A～L中的任一个时，它使中央处理机28中断中央系统14的工作。这种中断通常是利用中断／图形可编程寄存器组48中的中断命令来完成的，当出现触发器状态时将它送到系统总线18。

复位触发器码TRGRST（TRigger ReSeT）控制触发器38在每个系统总线18周期的终点将触发器寄存器99中存放触发信号A～F的寄存器复位，所以只要TRGRST置位，在每个系统总线18周期均可检测与记录触发信号A～F。

串行选通存储器码SERENM（SERial ENable Memory）控制将信息从系统总线18写入系统总线中间存储器50的时钟。当这个控制码不置位时，没有任何信息可写入系统总线中间存储器50；这个控制码通常在系统10的总线，特别是系统总线18受监视时被置位，当中央系统14正在读出中间存储器40的内容时被复位。控制码SERENP和SERENX按类似方式分别控制将信息写入专用总线中间存储器52和外部触发信号中间存储器54。

增量地址存储码INCRAS（INCRement Address Stcre）是控制码，当它置位时，在总线监视器12将数据读入系统总线中间存储器50，专用总线中间存储器52与外部触发信号中间存储器54的时候，将系统总线监视器接口74、专用总线监视器接口76与外部总线监视器接口78的地址与寄存器计数器80中的中间存储器40地址增1。当数据记录过程结束以及中间存储器40中的信息正在检查与处理时，INCRAS被复位。

最后，控制码QLTWRP和PRTEVN是用来测试系统与总

线监视器１２的代码。质量试验环境方式码ＱＬＴＷＲＰ（Quality Test Wraparound Mode）使总线监视器１２只响应由总线监视器１２起动的系统１０总线操作引起的那些触发信号状态。偶数校验码ＰＲＴＥＶＮ（Parity Even）将系统总线１８上的所有奇偶位设置为偶数校验，用来在系统总线１８上产生测试状态。

Ｂ．４．２　触发状态输入：外部触发信号源４２

与非法／错误状态检测器９４（图２）

如图所示，触发信号控制寄存器９０的触发控制输出与触发信号测检器９６的第一组输入相联。触发信号检测器９６的第二组输入与触发信号存储器９２的输出，非法／错误状态检测器９４和外部触发信号源４２相联。触发信号检测器９６的第二组输入包括一组受触发信号控制器３８监视的一组系统１０状态。以上已说明，这组被监视状态输入中的某些输入，例如来自外部触发信号源４２的输入，直接与触发信号状态源相联。其它的输入，例如来自触发信号存储器９２与非法／错误状态检测器９４的输入，则间接由受监视的状态产生。

首先考虑来自外部触发信号源４２的输入，这些输入称作“外部”输入，因为它们来自系统总线１８和专用总线２０以外的点，并且不对这些输入进行任何处理或逻辑运算，直接将这点接到触发信号检测器９６。如以上所述，触发信号检测器９６的这些输入包括触发信号ＸＤ、ＸＥ、ＸＦ和ＸＧ，而且还可能包括存储器１６、中央处理机２８或中央系统１４中的点，一般地说，包括与系统总线１８相联的各种其它系统部件中的点，或者甚至还包括系统１０以外的点和设备，例如外部设备，或其它系统，也可能包括由总线监视器１２的用户选定的任意点。

非法／错误状态检测器９４的输入接到系统总线１８、专用总线２０以及系统１０内在正常监视过程中要进行监视的那些设备与部件。这些输入专门用于系统中这些点上发生的错误状态，用来检测系统总线１８与专用总线２０上确定的错误状态。在目前这个实施方案中，非法／错误状态检测器９４由组合逻辑组成，例如可编程逻辑阵列，它接收这些输入并产生一组表示错误状态的触发信号。

非法／错误状态检测器９４的两个输出，即触发信号J和K，是由分别与系统总线１８和专用总线２０中的命令和控制总线相联的输入产生的，它们表示系统总线１８或专用总线２０上的特定错误状态，当出现这些状态时产生触发信号J或K。这些总线错误状态，举例来说，可能是指示总线上发生多重或不相容响应的命令信号，例如同时回答与不等待信号 、同时不回答与等待信号、同时回答与等待信号；也可能是总线上发生不正常的定时状态，例如短响应或断开状态。

最后，非法／错误状态检测器９４产生触发信号L用来指示系统１０尤其是系统总线操作中的定时错误。产生触发信号L的输入接到控制系统总线操作的系统１０内的各种设备，例如各种对系统总线１８或专用总线２０具有总线控制能力的设备。当这个电路测得超时状态时，即当前的总线操作在正常允许时间内尚未完成，则触发信号L作为输出信号产生。

B．４．３　触发信号状态输入，触发信号存储器９２（图２、４与５）

参阅触发信号存储器９２，如上所述，由触发控制寄存器９０产生的触发控制码有八个，即ＥＮＴＲＧＡ～ＥＮＴＲＧＨ，与系统总线１０上的状态相关。每个触发控制码分别对应于八个触发信号A～

H中的一个，每个触发信号又对应于包含８０位系统总线１８的命令、地址与数据位的８０条线上的一个程控可选的状态组合。这八个触发信号A～H由触发信号存储器９２产生，每个均可由程序选择。

如图２所示，触发信号存储器９２是一个双端口的存储器。它的第一个端口包括第一地址输入，即状态地址输入（ＣＡ），以及存储器地址输入，即状态数据输入（ＣＤＩ），两者均与中央处理器总线２２相联。触发信号存储器９２的第二个端口包括第二地址输入，即触发信号地址（ＴＡ），它与系统总线１８相联，触发信号存储器９２的数据输出，即触发信号数据输出（ＴＤＣ），与触发信号检测器９６的触发信号输入相联。

触发信号存储器９２在功能上有八位宽，每位对应于其中一个触发信号A～H，存放对应于被检测的系统总线１８状态的触发信号位A～H的代码图形。每个触发信号A～H的代码图形占用一个触发信号存储器９２存储单元，其地址对应于一个特定的系统总线１８代码位组合，该组合表示要检测的相应系统总线状态。因为系统总线１８上出现的信号接到触发信号存储器９２的第二端口地址输入ＴＡ，因此当预定的被监视状态出现在系统总线１８时，将从触发信号存储器９２读出触发信号A～H的代码图形，这个图形已选定与某个特殊的系统总线１８状态相对应。

触发信号位图形由中央系统１４产生或提供，通过触发存储器９２的第一端口，即通过９２的ＣＡ与ＣＤＩ，由中央系统１４将它们写入触发信号存储器９２的有关单元。作为例子，这些触发信号图形可以在中央系统１４中运行的软件控制下产生，或者在中央系统１４的控制下由外部信源送入，也可以存在中央系统１４的EPROM

３４内，在中央系统控制下从ＥＰＲＯＭ３４读出，写入触发存储器９２。

此后并当总线监视器１２正在监视系统总线１８的活动时，系统总线１８中命令，地址和数据总线上的数位就作为读出地址送到触发信号存储器９２第二端口的地址输入，即ＴＡ。当系统总线１８上出现的数位组合与要检测的系统总线１８状态相一致时，则选定表示该系统总线１８状态并根据系统总线１８上的地址输入位组合存在触发信号存储器９２地址单元中触发信号位Ａ～Ｈ的图形，从触发信号存储器９２读入触发信号检测器９６，从而产生选定的一组触发信号Ａ～Ｈ。

如上所述，本发明中系统１０的系统总线１８最多可包括８０条线。这８０条线包括３２个地址位、７个用于其它功能的特征位、３２个数据位和８个命令位。

本实施方案中的触发信号存储器９２包括８个８×１０２４的双端口子存储器１０２～１１６，以及８个“与”门，其联接如图４所示。可以看到，来自系统总线１８的８０条地址输入线分成８段，每段１０位，触发信号图形也相应地分成８个触发信号段，每段８位，每个触发信号段占用子存储器１０２～１１６中的一个，保存与触发信号Ａ～Ｈ中的每个信号相对的位置。将来自系统总线１８的每个０位地址段与触发信号存储器９２的每个８×１０２４子存储器内的一个单元相关联，则触发信号存储器９２就能检测系统总线１８上的数位组合与存放在８个子存储器１０２～１１６中的触发信号图形是否一致。如果系统总线１８的地址与要检测的系统１８状态相符，或者某个特定的触发信号段已确定为“无关”状态，则子存储器１０２～

116中每个触发信号段存储单元的内容在某些触发信号位置上为逻辑“1”。如果触发信号存储器92子存储器102～116中某一地址内8个触发信号段均含逻辑1，则这些“1”可由“与”门118检出，并将触发信号A～H中有关的“1”送到触发信号检测器96。

为了叙述方便，设系统总线18上发生下列状态时触发信号存储器92输出触发信号A：

(a)00010000 (b)00000000 (e)10000000

(d)00000000 (e)11000000

(f) 00000000 (g)11111111 (h)00110000

(i)00000000 (j)11100011。

不考虑“无关”状态的可能性，在这种状态下触发信号图形有：

(a)子存储器地址0001000由触发信号A位置上为1；

(b)子存储器地址00000000内触发信号A位置上为1；

(c) 子存储器地址10000000内触发信号A位置上为1；

(d) 子存储器地址00000000内触发信号A位置上为1；

(e) 子存储器地址11000000内触发信号A位置上为1；

(f) 子存储器地址00000000内触发信号A位置上为1；

(g) 子存储器地址11111111内触发信号A位置上为1；

(h) 子存储器地址00110000内触发信号A位置上为1；

(i) 子存储器地址00000000内触发信号A位置上为1；

(j) 子存储器地址11100011内触发信号A位置上为1；

当上列代码或状态出现在系统总线18的80条线上时，所有子存储器102～116的触发信号A输出端均为逻辑“1”，因此

“与”门从触发信号存储器９２输出一个触发信号A。

产生触发信号A～H中一个或几个信号并将它送入触发信号检测器９４　的过程示于图５。如图所示这个过程包括两步。

第一步是建立用户映射１２０，这一步对要产生的每个触发信号A～H规定一个系统总线１８　８０条线上出现的状态或信号。这一过程示于图５的上部，它表示用户映射１２０。如图所示，用户映射１２０有８行８０列，每行对应触发信号A～H中的一个信号，每列对应系统总线１８中的一条线。

对于要产生的触发信号A～H中每个信号，用户首先选择A～H中哪个触发信号要确定，然后定义一个包括１到８０项的布尔乘积函数（“与”函数），其中每项表示积极参与产生触发信号的８０个系统总线１８信号中的一个信号，从而为该触发信号确定触发状态。接着，用户根据被监视状态要求相应线上的信号是逻辑“１”还是逻辑“０”，然后对每个系统总线１８的信号或线赋予一个状态，逻辑“１”或者逻辑“０”，即确定触发状态。在确定触发状态时不用的信号赋以“无关”状态。在确定触发状态时，除了逻辑“１”与逻辑“０”状态以外又加上了“无关”状态，这就要求参与定义触发的状态的每条线或每个信号的状态至少由两位来确定。

第一步的过程示于图５的上部，对于触发信号A，用户映射部分系统总线１８的确定过程用影线表示。

在过程的第二步中，用户映射１２０转换为硬件映射１２２，它表示触发信号存储器９２中的实际触发图形。如图４下部份所示，硬件映射１２２结构上分成８块，分别对应于包括触发信号存储器９２的８个子存储器１０２～１１６与系统总线１８的１０线一组的８组

线，每块与子存储器１０２～１１６的第二端口地址输入，即触发信号存储器９２的ＴＡ相联。每块硬件映射１２２包括８行，如图所示，每列对应于其中一个触发信号Ａ～Ｈ，它有１０２４行，每行对应于子存储器１０２～１１６地址单元中的一个单元，它们可以用系统总线１８中各组线产生的１０位地址输入进行单独访问。存放在子存储器１０２～１１６即硬件映射１２２中的触发图形是这样产生的：将用户映射１２０的每一行分为８段，每段１０位，对于给定的一个触发信号，每段表示系统总线１８的一组线（１０条线）上信号的布尔组合，这组线决定该触发信号的部分触发状态。

其中一段在用户映射１２０中用影线表示。每个１０位段均可以有１０２４个不同的值，决定对应的１０２４个不同的二进数，每个数值均以１－１对应的方式分配给硬件映射１２２列中的对应１位单元，１位单元的地址相当于这段的“数值”。因此，如果列中单元的二进制地址等于用户映射１２０段中的数值，则硬件映射１２２列中的任何１位单元置“１”。对于用户映射１２０中的一个触发信号规定的一个１０位段，图５示出了将触发信号和触发状态从用户映射１２０映射到硬件映射１２２中的触发图形，它说明了怎样将段映射到硬件映射１２２的单列子存储块中的单地址单元。

对于每个触发信号状态，即对于用户已定义的触发信号Ａ～Ｈ中的每个信号，这个过程的结果是，在硬件映射１２２的８块８列中产生一个相应的由１与０组成的触发图形，对用户映射１２０的每个１０位段产生一个图形。

形成的触发图形可以直接写入触发信号存储器９２，或者在多数情况　存入存储器１６或中央系统１４中的ＲＡＭ３０，并在监视操

作开始前写入触发信号存储器９２．此外，本文在其它地址已说明，有些予定的与常用的触发图形可以“永久”存在中央系统１４的ＥＰＲＯＭ３４中，在被总线监视器１２的用户选中时使用。

Ｂ．４．４　触发信号检测器９６与触发信号寄存器９８

触发信号检测器９６本质上是一个“与／或”电路，它将外部触发信号源４２、非法／错误状态检测器９４和触发信号存储器９２产生的触发信号，与触发控制寄存器９０产生的触发控制码相比，当相应的触发信号和触发控制码发现产生系统１０状态时，输出一个触发信号ＴＲＩＧＳ。在这一方面，触发寄存器９８是用来锁存产生ＴＲＩＧＳ输出的触发信号，因此，前面已说过，产生ＴＲＩＧＳ信号的触发信号可以连同系统１０中各采样点上的采样数据一起存在中间存储器４０中。

此外，曾经说明过，有些触发信号是由相继出现触发信号Ａ～Ｈ和ＸＤ～ＸＨ中的其它信号产生的。因此，触发信号寄存器不仅存储直接引起ＴＲＩＧＳ的触发信号，而且还存储这些触发信号的发生序列，并将这一信息反　给触发检测器９６。当发生已被确定并受触发控制码控制的特定触发信号序列时，由触发信号检测器９６产生ＴＲＩＧＳ。在关系总线监视器１２的说明中，在说明其它部分时，例如说明触发信号寄存器９０及其存储的控制码，以及说明触发信号存储器９２及其存储的触发图形，已经对完成触发信号检测器９６与触发信号寄存器９８的功能所需的逻辑实施方案与详细设计，以及这两个电路要完成的操作，同样都作了全面的叙述。因此关于触发检测器９６与触发寄存器９８这里将不再详述。

Ｂ．４．５　中断／图形可编程寄存器４８

如上所述，由触发信号检测器９６和触发信号寄存器９８产生的ＴＲＩＧＳ输出启动将系统总线１８、专用总线２０以及外部触发信号源４２中的数据记录到中间存储器４０。此外，以上已提到，总线监视器１２包括一组联接中央处理机总线２２与系统总线１８的中断／图形可编程寄存器（ＩＰＰＲ）４８。如上所述，工作于第一种方式时，在中央系统１４的控制下通过寄存器４８可让中央系统１４将测试图形写到系统总线１８上，因此中断／图形可编程寄存器４８可由中央系统１４用来测试系统总线１８以及与系统总线１８相联的系统部件。

工作于总线监视方式时，中央系统１４可以将系统或中央处理机中断命令这一类予选的命令写入中断／图形可编程寄存器４８。这些命令一直留在寄存器４８，直到出现由触发信号检测器９６和触发信号寄存器９８产生的触发信号ＴＲＩＧＳ输出，此时将它们送到系统总线１８。在目前这个总线监视器１２的实施方案中，在极多数情况下这个命令是中央处理机２８中断命令，它将中断中央处理机２８当时正在执行的操作，所以监视器１２可以中断系统１０的操作。

这一中断命令在系统总线１８周期的终点出现在系统总线１８上，它终止了系统总线周期。系统总线中间存储器５０中与涉及产生触发信号的被监视状态的事件有关的信息组，在这种情况下将从触发信号本身开始，然后将状态送到系统总线１８，作为该触发状态的结果对它们采样，例如该系统总线１８周期内在系统总线１８上出现的状态，最后以中断命令的出现而告终，中断命令是系统总线１８上出现的最后一组状态。为了取得记录在系统总线中间存储器５０、专用总线中间存储器５２和外部触发器中间存储器５４三个存储器中的数据

相关关系，还将中断命令放入专用总线中间存储器５２和外部触发器中间存储器５４的时间标志中间存储器，即中间存储器６６和７０，如果这些中间存储正在记录发生中断命令的事件。

B．４．６　时间标志

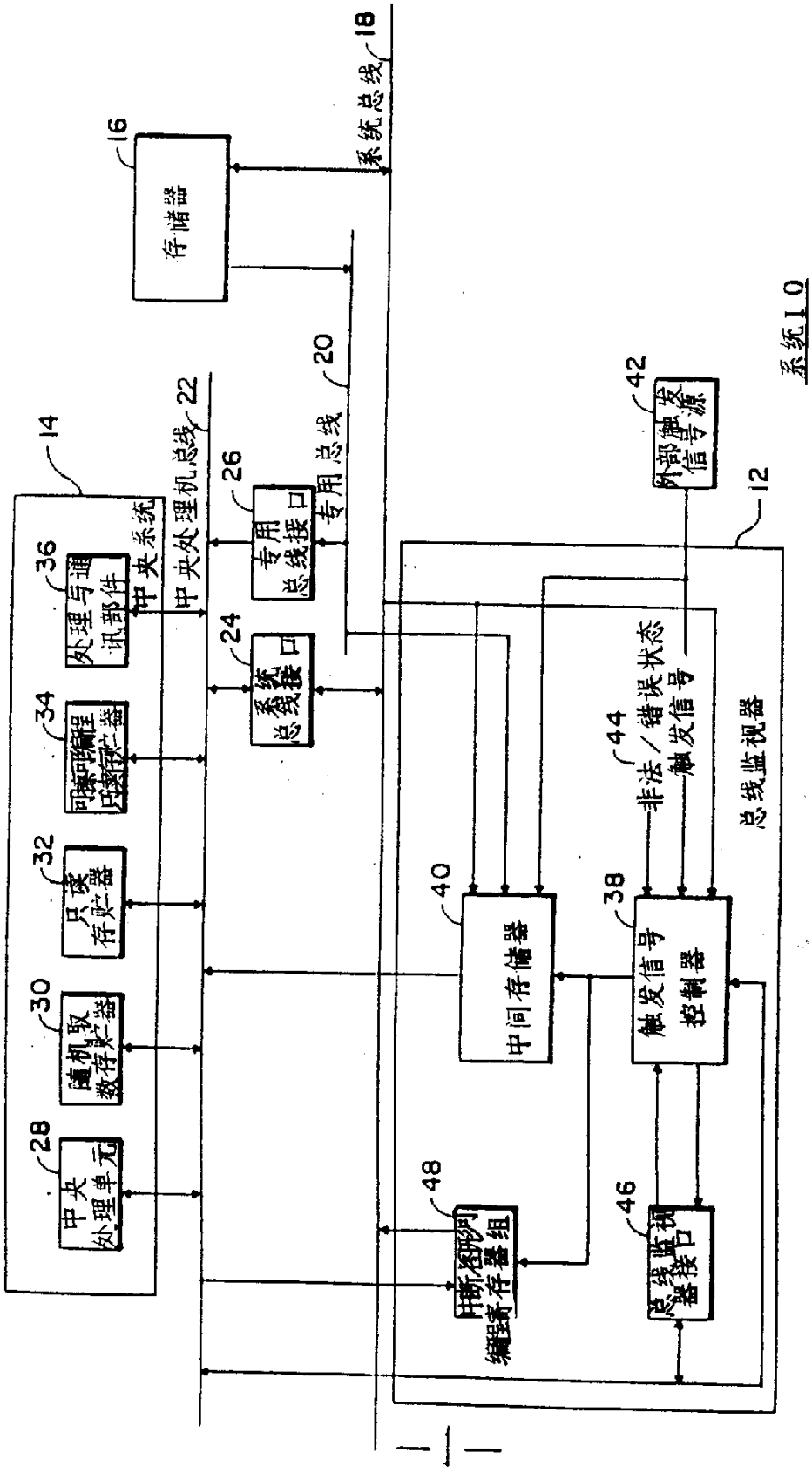
如上所述，触发控制器３８里有一个时间标志发生器（ＴＳＧ）１００，实质上这是一个计数器，当出现由触发检测器９６和触发寄存器９８产生的触发信号ＴＲＩＧＳ时开始计数。出现触发信号在每个采样操作的起点将时间标志发生器１００的计数输出写入中间存储器５０，这样，总线监视器１２的用户就可以确定发生每个触发状态的相对时间。根据总线监视器１２该采样周期内中间存储器４０中哪些部分正在记录数据，时间标志发生器１００计数输出的最低位也写入专用总线中间存储器５２和外部触发器中间存储器５４，以取得系统总线中间存储器５０、专用总线中间存储器５２和外部触发器中间存储器５４内数据之间的相关关系。

由于写入到中间存储器４０内三个子存储器中的采样数据不是此相关的，因此需要记录系统总线中间存储器５０中的时间标志计数值以及中间存储器５２和５４中的部分时间标志计数值。举例来说，各监视和采样操作不一定导致数据都写入到中间存储器４０的三个部分，因此对于同样一个操作中间存储器４０的三个子存储器中占用相同地址单元的信息组是不需要的。例如，如果系统总线１８上只监视与系统总线１８本身有关的状态，则发生该状态时最后得到的数据只写入系统总线中间存储器５０。

此外，在采样操作中存放在中间存储器４０的三个子存储器中的信息组是不等长的。例如，产生触发状态并使系统总线１８上的数据

写入系统总线中间存储器５０的典型系统总线１８操作（如从存储器１６读数的系统总线１８命令）只占用一个系统总线周期，因此，当系统总线１８状态引起一个触发信号时，总线监视器１２只记录一个系统总线１８周期内的数据。然而。专用总线２０操作以及由输入引起的某些操作则可能占用一个以上的系统总线１８周期。例如，从存储器１６读数的命令可能只占一个系统总线１８周期，但通过专用总线２０实际从存储器１６读数将占用８个相继的专用总线２０周期，因此，如果该操作产生一个触发信号并将数据记入中间存储器４０，则中间存储器４０必须将一个系统总线１８周期内的数据记入系统总线中间存储器５０，将８个相继的专用总线２０周期内的数据记入专用总线中间存储器５２。

说 明 书 附 图



系统总线
18
16
存储器
20
专用总线
22
中央处理机总线
14
中央系统
26
专用总线接口
24
系统总线接口
36
处理与通讯部件
34
可擦可编程只读存贮器
32
只读存贮器
30
随机取数存贮器
28
中央处理单元
42
外部触发信号源
12
44
非法/错误状态
触发信号
总线监视器
40
中间存储器
38
触发信号控制器
48
中断/图形/编程寄存器组
46
总线监视器接口
系统10

图1

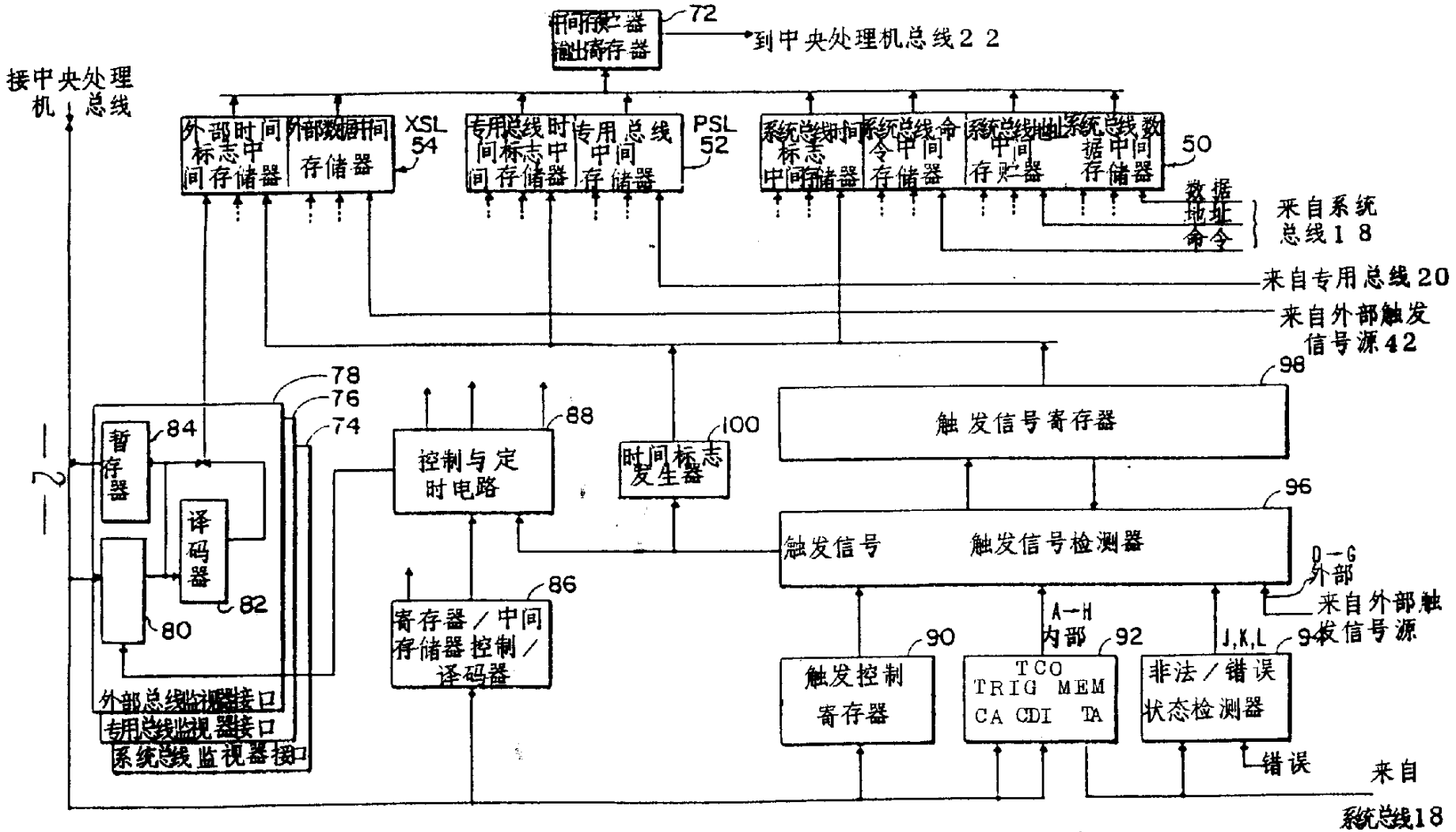

72
到中央处理机总线22
接中央处理机总线
外部时间标志中间存储器
外部数据中间存储器
XSL 54
专用总线时间标志中间存储器
专用总线中间存储器
PSL 52
系统总线时间标志中间存储器
系统总线命令中间存储器
系统总线地址中间存贮器
系统总线数据中间存储器
50
数据
地址
命令
来自系统总线18
来自专用总线20
来自外部触发信号源42
78
76
74
84
暂存器
译码器
82
80
外部总线监视器接口
专用总线监视器接口
系统总线监视器接口
控制与定时电路
88
时间标志发生器
100
寄存器/中间存储器控制/译码器
86
触发信号寄存器
98
触发信号
触发信号检测器
96
D-G
外部
来自外部触发信号源
A-H
内部
J,K,L
94
触发控制寄存器
90
TCO
TRIG MEM
CA CDI TA
92
非法/错误状态检测器
错误
来自系统总线18

图2

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
PRTEVN	QLTWRP	INCRAS	SERENX	SERENP	SERENM	TRGRST	ENXTRG	ENXTRF	ENXTRE	ENXTRD	TRGINT	ENXTCK	RFU	TRGIFF	TRFIFE	TRFEFD	TRDIFC	TRCIFB	TRBIFA	ENTRGM	ENTRGL	ENTRGK	ENTRGJ	ENTRGH	ENTRGG	ENTRGF	ENTRGE	ENTRGD	ENTRGC	ENTRGB	ENTRGA

代码号

代码

图3

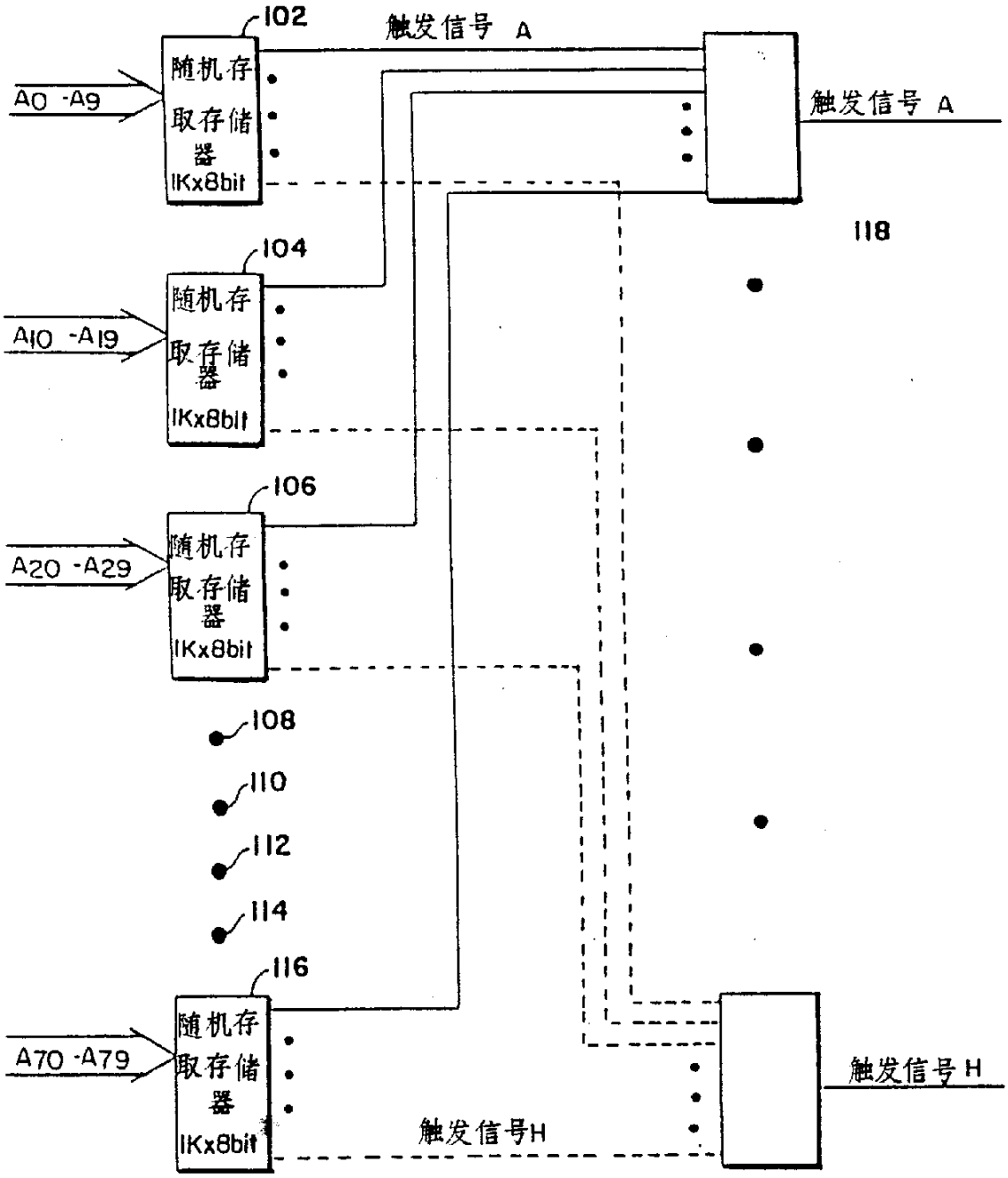

102
触发信号 A
随机存取存储器 1Kx8bit
A0 -A9
触发信号 A
118
104
随机存取存储器 1Kx8bit
A10 -A19
106
随机存取存储器 1Kx8bit
A20 -A29
108
110
112
114
116
随机存取存储器 1Kx8bit
A70 -A79
触发信号H
触发信号H

图4

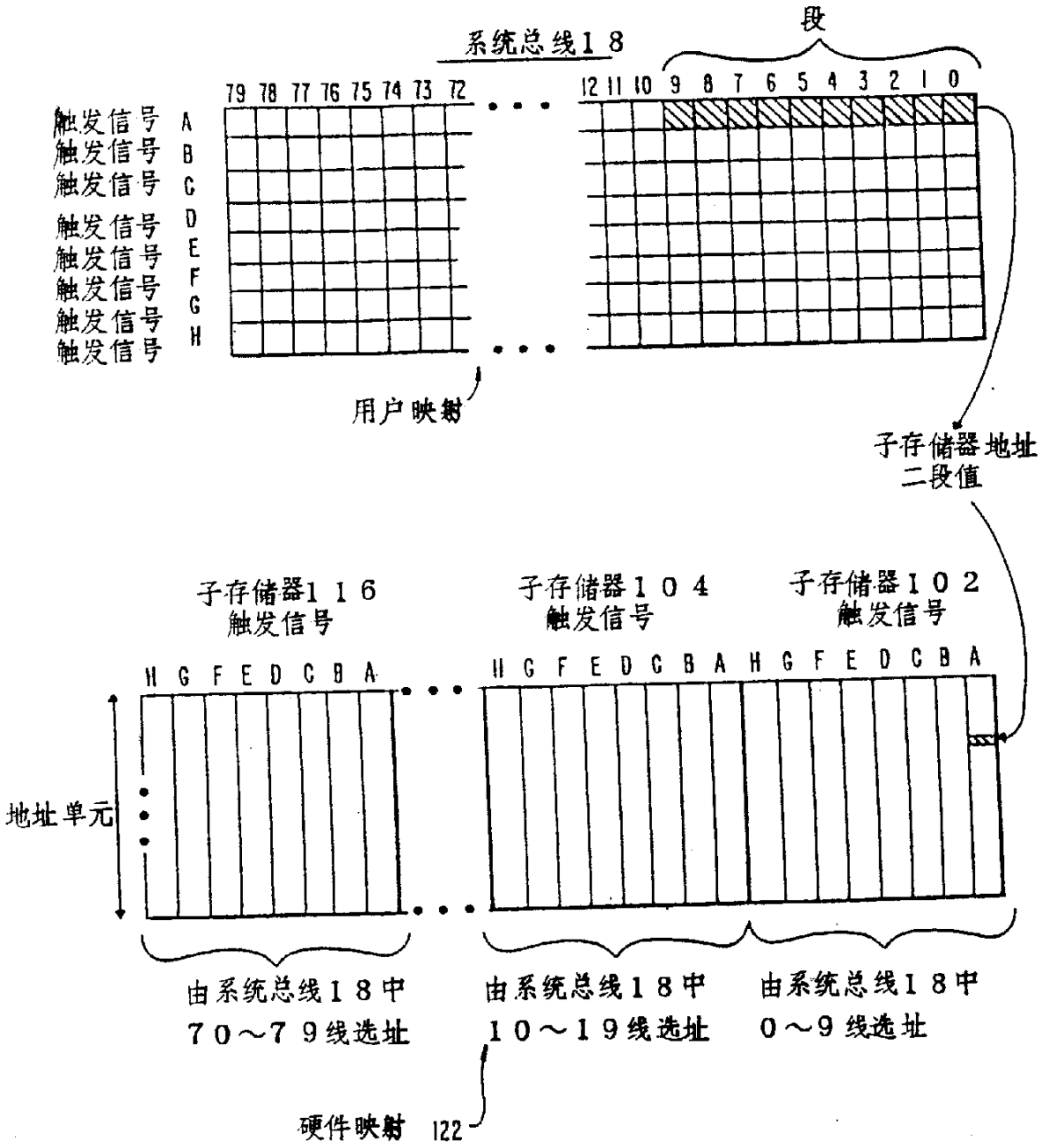

系统总线18
段
79 78 77 76 75 74 73 72
12 11 10 9 8 7 6 5 4 3 2 1 0
触发信号 A
触发信号 B
触发信号 C
触发信号 D
触发信号 E
触发信号 F
触发信号 G
触发信号 H
用户映射
子存储器地址
二段值
子存储器116
触发信号
子存储器104
触发信号
子存储器102
触发信号
H G F E D C B A
地址单元
由系统总线18中
70～79线选址
由系统总线18中
10～19线选址
由系统总线18中
0～9线选址
硬件映射 122

图5